```
1   `timescale 1ns / 1ps
2   //////////////////////////////////////////////////////////////////////////////////
3   //                                                                              //
4   //  Class: CECS 360                                                             //
5   //  Project name: Project1_CECS360                                              //
6   //  File name: Counter.v                                                        //
7   //                                                                              //
8   //  Created by Umar Khan 09/19/2017       .                                     //
9   //                                                                              //
10  //  Abstract: Increments or decrements based on the switch UPHDWL.              //
11  //                                                                              //
12  //////////////////////////////////////////////////////////////////////////////////
13  module Counter(clk, reset, inc, uphdnl, q);
14
15     input clk, reset;
16     input uphdnl, inc;
17
18     output [15:0] q;
19     reg [15:0] q;
20
21     always @(posedge clk, posedge reset)
22
23        if (reset) q <= 8'b0;
24        else
25        if (inc) q <= (uphdnl)? q + 16'b1 : q - 16'b1;
26
27  endmodule
28
```