

ESPECIFICAÇÃO DO PROJETO (Primeira Unidade)

Projeto da ULA

O projeto da ULA precisa ser acoplado a um decodificador binário para display de sete segmentos que também será desenvolvido. Este projeto da primeira unidade deve ser desenvolvido totalmente baseado em portas lógicas.

O projeto deve estar pronto para baixar na placa de prototipação DE2-70, inclusive com as pinagens configuradas. As respectivas pinagens (associação de um sinal entrada/saída com um pino do FPGA) estão especificadas abaixo.

Deverá ser entregue um relatório impresso ao monitor juntamente com o código fonte (pasta completa do projeto compactada), detalhando cada fase desenvolvida, que deve conter:

- Capa com identificação dos alunos
- Visão Geral do Projeto (figura ilustrando o sistema completo em blocos).
Explicar sucintamente nesta etapa cada módulo desenvolvido.
- Tabelas da Verdade (sempre que aplicável) e cálculos (reduções e mapas-k)
- Circuito projetado de cada módulo e simulação (waveform)
- Circuito com todo sistema conectado e simulação (waveform)
- Conclusão

A unidade lógica e aritmética deverá ser capaz de executar as seguintes operações, que serão selecionadas a partir dos códigos da tabela abaixo:

Seleção			Função
S_2	S_1	S_0	
0	0	0	$F = A + B$
0	0	1	$F = A - B$
0	1	0	$F = \text{Complemento a 2 de B}$
0	1	1	$F = A = B$
1	0	0	$F = A > B$
1	0	1	$F = A < B$
1	1	0	$F = A \text{ AND } B$
1	1	1	$F = A \text{ XOR } B$

Entradas:

- Dois vetores A e B de 4 bits (1 para o sinal e 3 para o módulo) representando os operandos. Esses números são binários positivos ou negativos (complementados a 2).
- Um vetor S de 3 bits representando o seletor da operação segundo a tabela anterior.

Saídas:

1. Um vetor F de 4 bits representando o resultado da operação (para os casos em que a operação retorna um vetor).
2. Um sinal (LED) representando overflow (para as operações que podem gerar overflow).
3. Um sinal (LED) representando o status (para as operações que retornam um booleano).

Obs: Complemento de 2 de B também gera overflow.

Somador BCD

Deverá ser implementado um somador BCD como o descrito nas aulas. Para o relatório ele deve ser capaz de somar dois números de dois dígitos, ou seja, de 00+00 a 99+99. Por limitações da placa, para a apresentação ele deve ser capaz de somar números de 1 dígito, ou seja, de 0+0 a 9+9.

Entradas:

1. Dois vetores A e B de bits representando os operandos. Os números de bits dependem das condições explicitadas acima e devem estar codificados em BCD.

Saídas:

1. Um vetor representando o resultado da soma, em codificação BCD.
2. Um sinal representando *overflow* (para as operações que podem gerar *overflow*)

Decodificador para display de 7 segmentos

Para que seja possível exibir os números no display da placa DE2-70, o projeto da ULA deve estar acoplado a um decodificador. Os leds de cada display acendem quando colocado nível lógico 0.

Entradas:

1. Para uma ULA de 4 bits representando um número binário positivo ou negativo (complemento a 2).
2. Para o Somador BCD um vetor de 4 bits representando o dígito menos significativo (codificado em BCD) e o bit de saída (do somador) representando o dígito mais significativo.

Saídas:

1. Dois vetores de 7 bits representando os 2 displays, segundo a tabela abaixo.

Diagramas dos projetos

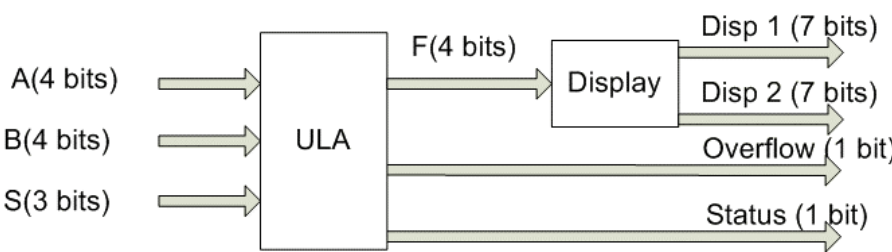


Figura 1: diagrama do projeto da ULA

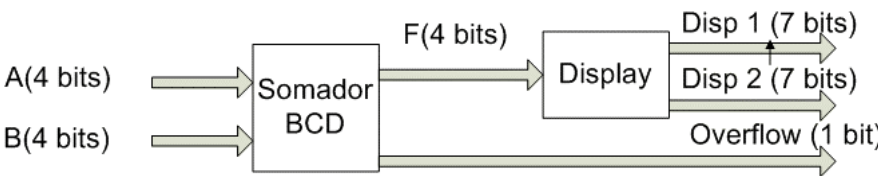


Figura 2: diagrama do projeto do somador BCD

Pinagem:

O FPGA Cyclone II para o qual o projeto será baixado é o EP2C70F896C6.

Signal Name	FPGA Pin No.	Description
KEY[0]	PIN_T29	Pushbutton[0]
KEY[1]	PIN_T28	Pushbutton[1]
KEY[2]	PIN_U30	Pushbutton[2]
KEY[3]	PIN_U29	Pushbutton[3]

Table 5.2. Pin assignments for the pushbutton switches.

Signal Name	FPGA Pin No.	Description
LEDG[0]	PIN_W27	LED Green[0]
LEDG[1]	PIN_W25	LED Green[1]
LEDG[2]	PIN_W23	LED Green[2]
LEDG[3]	PIN_Y27	LED Green[3]
LEDG[4]	PIN_Y24	LED Green[4]
LEDG[5]	PIN_Y23	LED Green[5]
LEDG[6]	PIN_AA27	LED Green[6]
LEDG[7]	PIN_AA24	LED Green[7]
LEDG[8]	PIN_AC14	LED Green[8]

Signal Name	FPGA Pin No.	Description
LEDR[0]	PIN_AJ6	LED Red[0]
LEDR[1]	PIN_AK5	LED Red[1]
LEDR[2]	PIN_AJ5	LED Red[2]
LEDR[3]	PIN_AJ4	LED Red[3]
LEDR[4]	PIN_AK3	LED Red[4]
LEDR[5]	PIN_AH4	LED Red[5]
LEDR[6]	PIN_AJ3	LED Red[6]
LEDR[7]	PIN_AJ2	LED Red[7]
LEDR[8]	PIN_AH3	LED Red[8]
LEDR[9]	PIN_AD14	LED Red[9]
LEDR[10]	PIN_AC13	LED Red[10]
LEDR[11]	PIN_AB13	LED Red[11]
LEDR[12]	PIN_AC12	LED Red[12]
LEDR[13]	PIN_AB12	LED Red[13]
LEDR[14]	PIN_AC11	LED Red[14]
LEDR[15]	PIN_AD9	LED Red[15]
LEDR[16]	PIN_AD8	LED Red[16]
LEDR[17]	PIN_AJ7	LED Red[17]

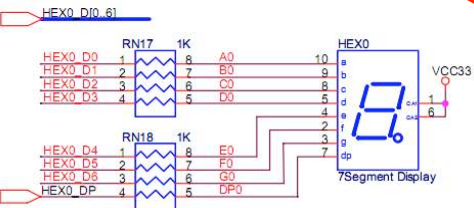
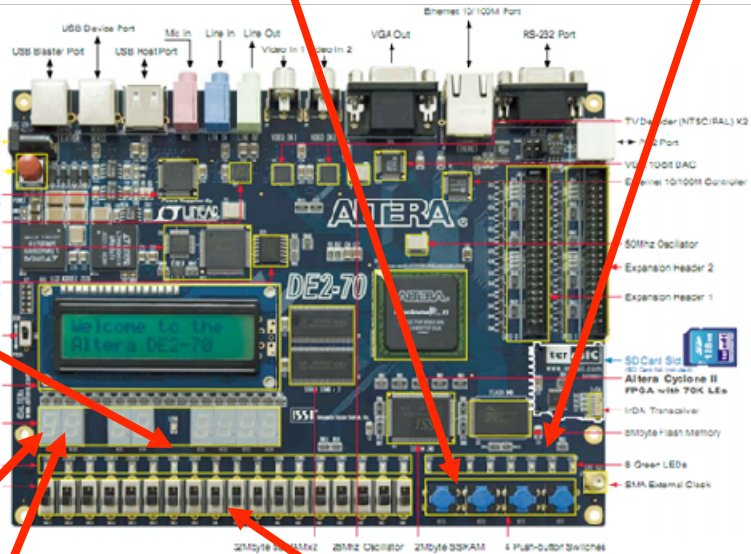


Figure 5.6. Schematic diagram of the 7-segment displays.

Signal Name	FPGA Pin No.	Description
HEX0_D[0]	PIN_AE8	Seven Segment Digit 0[0]
HEX0_D[1]	PIN_AF9	Seven Segment Digit 0[1]
HEX0_D[2]	PIN_AH9	Seven Segment Digit 0[2]
HEX0_D[3]	PIN_AD10	Seven Segment Digit 0[3]
HEX0_D[4]	PIN_AF10	Seven Segment Digit 0[4]
HEX0_D[5]	PIN_AD11	Seven Segment Digit 0[5]
HEX0_D[6]	PIN_AD12	Seven Segment Digit 0[6]
HEX0_DP	PIN_AF12	Seven Segment Decimal Point 0

Signal Name	FPGA Pin No.	Description
HEX1_D[0]	PIN_AG13	Seven Segment Digit 1[0]
HEX1_D[1]	PIN_AE16	Seven Segment Digit 1[1]
HEX1_D[2]	PIN_AF16	Seven Segment Digit 1[2]
HEX1_D[3]	PIN_AG16	Seven Segment Digit 1[3]
HEX1_D[4]	PIN_AE17	Seven Segment Digit 1[4]
HEX1_D[5]	PIN_AF17	Seven Segment Digit 1[5]
HEX1_D[6]	PIN_AD17	Seven Segment Digit 1[6]
HEX1_DP	PIN_AC17	Seven Segment Decimal Point 1



Signal Name	FPGA Pin No.	Description
SW[0]	PIN_AA23	Toggle Switch[0]
SW[1]	PIN_AB26	Toggle Switch[1]
SW[2]	PIN_AB25	Toggle Switch[2]
SW[3]	PIN_AC27	Toggle Switch[3]
SW[4]	PIN_AC26	Toggle Switch[4]
SW[5]	PIN_AC24	Toggle Switch[5]
SW[6]	PIN_AC23	Toggle Switch[6]
SW[7]	PIN_AD25	Toggle Switch[7]
SW[8]	PIN_AD24	Toggle Switch[8]
SW[9]	PIN_AE27	Toggle Switch[9]
SW[10]	PIN_W5	Toggle Switch[10]
SW[11]	PIN_V10	Toggle Switch[11]
SW[12]	PIN_U9	Toggle Switch[12]
SW[13]	PIN_T9	Toggle Switch[13]
SW[14]	PIN_L5	Toggle Switch[14]
SW[15]	PIN_L4	Toggle Switch[15]
SW[16]	PIN_L7	Toggle Switch[16]
SW[17]	PIN_L8	Toggle Switch[17]

Table 5.1. Pin assignments for the toggle switches.

Informações sobre clock (Neste projeto não será necessário)

Signal Name	FPGA Pin No.	Description
CLK_28	PIN_E16	28 MHz clock input
CLK_50	PIN_AD15	50 MHz clock input
CLK_50_2	PIN_D16	50 MHz clock input
CLK_50_3	PIN_R28	50 MHz clock input
CLK_50_4	PIN_R3	50 MHz clock input
EXT_CLOCK	PIN_R29	External (SMA) clock input

Table 5.5. Pin assignments for the clock inputs.