



گزارش کار پنجم آزمایشگاه مدارهای منطقی

دکتر شاهین حسابی

## واحد محاسبات و منطق (ALU)

نویسنده: علیرضا حبیبزاده  
شماره دانشجویی: 99109393

۸ دی ۱۴۰۰

دانشگاه صنعتی شریف  
دانشکده مهندسی کامپیوتر

## مقدمه

هدف از این آزمایش، آشنایی با واحد محاسبات و منطق (ALU) است. ابتدا با تراشه‌ی ۷۴۱۸۱ یک مدار ALU خواهیم ساخت. سپس در بخش بعد مدار داخلی ALU را نیز خودمان پیاده خواهیم کرد و یک واحد محاسبات و منطق ۴ بیتی خواهیم ساخت.

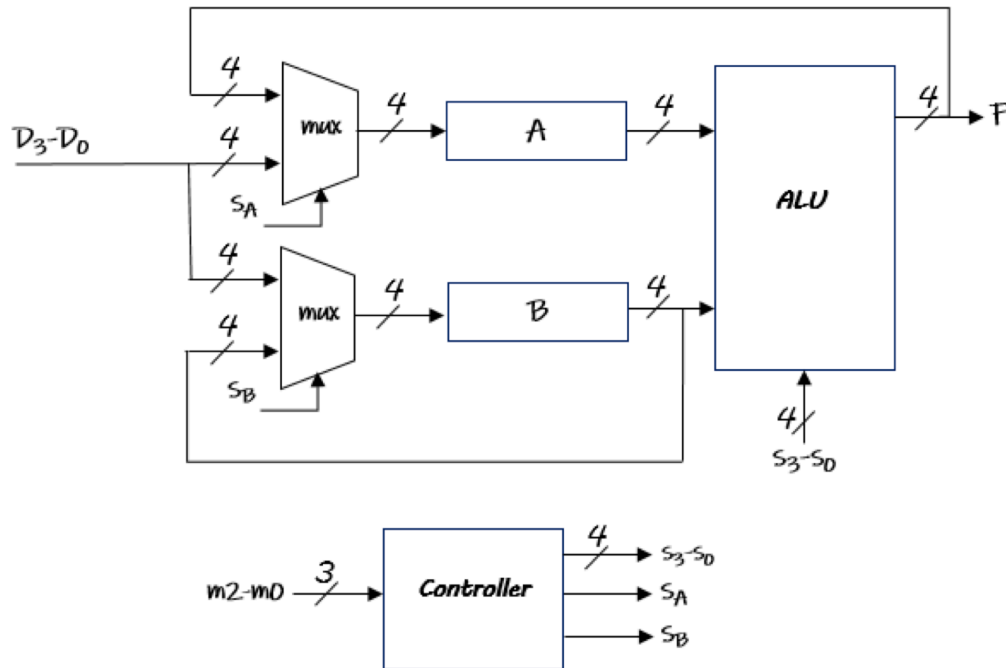
همه‌ی بخش‌های این آزمایش در نرم‌افزار Proteus انجام خواهد شد.

# فهرست مطالب

i	مقدمه
۱	آشنایی با تراشه ۷۴۱۸۱ . . . . . ۱.۰
۱	سیگنال‌های ورودی . . . . . ۱.۱.۰
۱	سیگنال‌های خروجی . . . . . ۲.۱.۰
۲	طرز کار . . . . . ۳.۱.۰
۳	ساخت مدار داخلی ALU . . . . . ۲.۰
۴	بخش محاسبات Arithmetic . . . . . ۱.۲.۰
۴	بخش محاسبات Logical . . . . . ۲.۲.۰
۶	بخش شیفت‌دهنده . . . . . ۳.۲.۰

## ۱.۰ آشنایی با تراشه ۷۴۱۸۱

در این بخش با استفاده از تراشه ۷۴۱۸۱ و مطابق شکل (۱) یک ALU با دو ورودی A و B می‌سازیم که دارای یک کنترل‌کننده است. به طوری که با دادن کدهای مختلف به ALU، اعمال مختلف بر روی ورودی‌ها انجام می‌شود.



شکل ۱: مدار بخش اول

### ۱.۱.۰ سیگنال‌های ورودی

۱. خطوط داده D0-D3
۲. خطوط دستور M0-M2
۳. یک کلید از نوع push-button برای بازگرداندن مدار به حالت اولیه (Reset)
۴. یک کلید از نوع push-button برای ورودی clock

### ۲.۱.۰ سیگنال‌های خروجی

۱. محتویات ثبات‌های A و B
۲. خروجی ALU

### ۳.۱.۰ طرز کار

برای ساخت مدار از تراشه‌های (ALU) 74181، (Registers) 74175، (MUX) 74157، و تعداد کافی گیت پایه استفاده می‌کنیم.

<i>M2</i>	<i>M1</i>	<i>M0</i>	<i>Operation</i>
0	0	0	$A \leftarrow D_3-D_0$
0	0	1	$B \leftarrow D_3-D_0$
0	1	0	$A \leftarrow A$
0	1	1	$A \leftarrow B$
1	0	0	<i>clear</i> ( <i>A</i> )
1	0	1	$A \leftarrow \text{not}(A)$
1	1	0	$A \leftarrow \text{and}(A,B)$
1	1	1	$A \leftarrow \text{add}(A,B)$

شکل ۲: عملیات صورت گرفته بر حسب ورودی‌های کنترلی

در صفحه‌ی بعد ساده‌سازی و جدول ورودی‌های تراشه‌های به کار رفته آورده شده است. از آنجایی که مدار با این گیت‌ها کمی شلوغ می‌شده در مدار نهایی به جای استفاده از گیت‌ها از یک دیکدر استفاده شده. شکل مدار نهایی این بخش نیز در ادامه آمده است. مدار به دو صورت Active-High و Active-Low بسته شده است. همچنین جدول عملکرد تراشه‌ی ۷۴۱۸۱ که جدول‌ها مطابق آن بدست آمده در شکل (۳) آمده است.

انتخاب بین A، D و F (S<sub>A</sub>)

M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>	S <sub>A</sub>	S <sub>B</sub>
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

در S<sub>A</sub> و S<sub>B</sub> آدرس می‌آید. می‌توانیم

جای ورودی‌های MUX را عوض کنیم.

$$\rightarrow S_A = M_2 + M_1 + M_0$$

$$S_B = M_2 + M_1 + \overline{M_0}$$

(controller)

M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	M	C <sub>n</sub>
0	0	0	x	x	x	x	x	x
0	0	1	1	1	1	1	x	0
0	1	0	1	1	1	1	x	0
0	1	1	1	0	1	0	1	x
1	0	0	0	0	1	1	x	0
1	0	1	0	0	0	0	1	x
1	1	0	1	0	1	1	x	0
1	1	1	1	0	0	1	0	1

$$\vdash \begin{array}{|c|} \hline 1 \\ \hline \end{array} \begin{array}{|c|} \hline x \\ \hline \end{array}$$

$$\vdash \begin{array}{|c|} \hline 1 \\ \hline \end{array} \begin{array}{|c|} \hline x \\ \hline \end{array}$$

$$\vdash \begin{array}{|c|} \hline 1 \\ \hline \end{array} \begin{array}{|c|} \hline x \\ \hline \end{array}$$

$$\vdash \begin{array}{|c|} \hline 1 \\ \hline \end{array} \begin{array}{|c|} \hline x \\ \hline \end{array}$$

$$\rightarrow M = \overline{(M_2 \cdot M_1 \cdot M_0)} = \overline{M_2} + \overline{M_1} + \overline{M_0}$$

$$C_n = 1$$

$M_1 M_0$					
$M_2$		00	01	11	10
	0	X <sub>0</sub>	1 <sub>1</sub>	1 <sub>3</sub>	1 <sub>2</sub>
	1	0 <sub>4</sub>	0 <sub>5</sub>	1 <sub>7</sub>	1 <sub>6</sub>

$$\rightarrow S_3 = M_1 + \overline{M_2}$$

$M_1 M_0$					
$M_2$		00	01	11	10
	0	X	1	0	1
	1	0	0	0	0

$$\rightarrow S_2 = \overline{(M_2 + M_0)} = \overline{M_2} \cdot \overline{M_0}$$

$$\begin{aligned} \overline{M_2} \cdot \overline{(M_1 \cdot M_0)} &= \overline{M_2} \cdot (\overline{M_1} + \overline{M_0}) \\ &= \overline{M_2} \cdot \overline{M_1} + \overline{M_2} \cdot \overline{M_0} \end{aligned}$$

$M_1 M_0$					
$M_2$		00	01	11	10
	0	X	1	1	1
	1	1	0	0	1

$$\rightarrow S_1 = \overline{M_2} + \overline{M_0} = \overline{M_2 \cdot M_0}$$

$M_1 M_0$					
$M_2$		00	01	11	10
	0	X	1	0	1
	1	1	0	1	1

$$\rightarrow S_0 = \overline{M_0} + \underbrace{M_2 \cdot M_1 + \overline{M_2} \cdot \overline{M_1}}_{\text{XNOR}}$$

**FUNCTION TABLE**

MODE SELECT INPUTS				ACTIVE LOW INPUTS & OUTPUTS		ACTIVE HIGH INPUTS & OUTPUTS	
S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	LOGIC (M = H)	ARITHMETIC** (M = L) (C <sub>n</sub> = L)	LOGIC (M = H)	ARITHMETIC** (M = L) (C <sub>n</sub> = H)
L	L	L	L	$\overline{A}$	A minus 1	$\overline{A}$	A
L	L	L	H	$\overline{AB}$	$\overline{AB}$ minus 1	$\overline{A} + B$	A + $\overline{B}$
L	L	H	L	A + B	AB minus 1	AB	A + B
L	L	H	H	Logical 1 minus 1		Logical 0 minus 1	
L	H	L	L	A + B	A plus (A + B)	$\overline{AB}$	A plus AB
L	H	L	H	$\overline{B}$	AB plus (A + B)	B	(A + B) plus AB
L	H	H	L	$A \oplus B$	A minus B minus 1	$A \oplus B$	A minus B minus 1
L	H	H	H	$\overline{A} + B$	A + B	$\overline{AB}$	AB minus 1
H	L	L	L	AB	A plus (A + B)	$\overline{A} + B$	A plus AB
H	L	L	H	$A \oplus B$	A plus B	$A \oplus B$	A plus B
H	L	H	L	B	AB plus (A + B)	B	(A + B) plus AB
H	L	H	H	A + B	A + B	AB	AB minus 1
H	H	L	L	Logical 0 A plus A*		Logical 1 A plus A*	
H	H	L	H	AB	$\overline{AB}$ plus A	A + B	(A + $\overline{B}$ ) plus A
H	H	H	L	AB	AB plus A	A + B	(A + B) Plus A
H	H	H	H	A	A	A	A minus 1

L = LOW Voltage Level

H = HIGH Voltage Level

\*Each bit is shifted to the next more significant position

\*\*Arithmetic operations expressed in 2s complement notation

شکل ۳: جدول عملکرد پردازنده ALU ۷۴۱۸۱

## ۲.۰ ساخت مدار داخلی ALU

در این بخش مطابق جدول (۶) یک ALU طراحی خواهیم کرد.

همانطور که در شکل مدار نهایی مشاهده می‌کنید. بخش‌های مختلف این ALU با استفاده از MUX یا در واقع Data Selector از هم جدا شده‌اند.

در واقع مدار از نظر کارکرد به سه قسمت

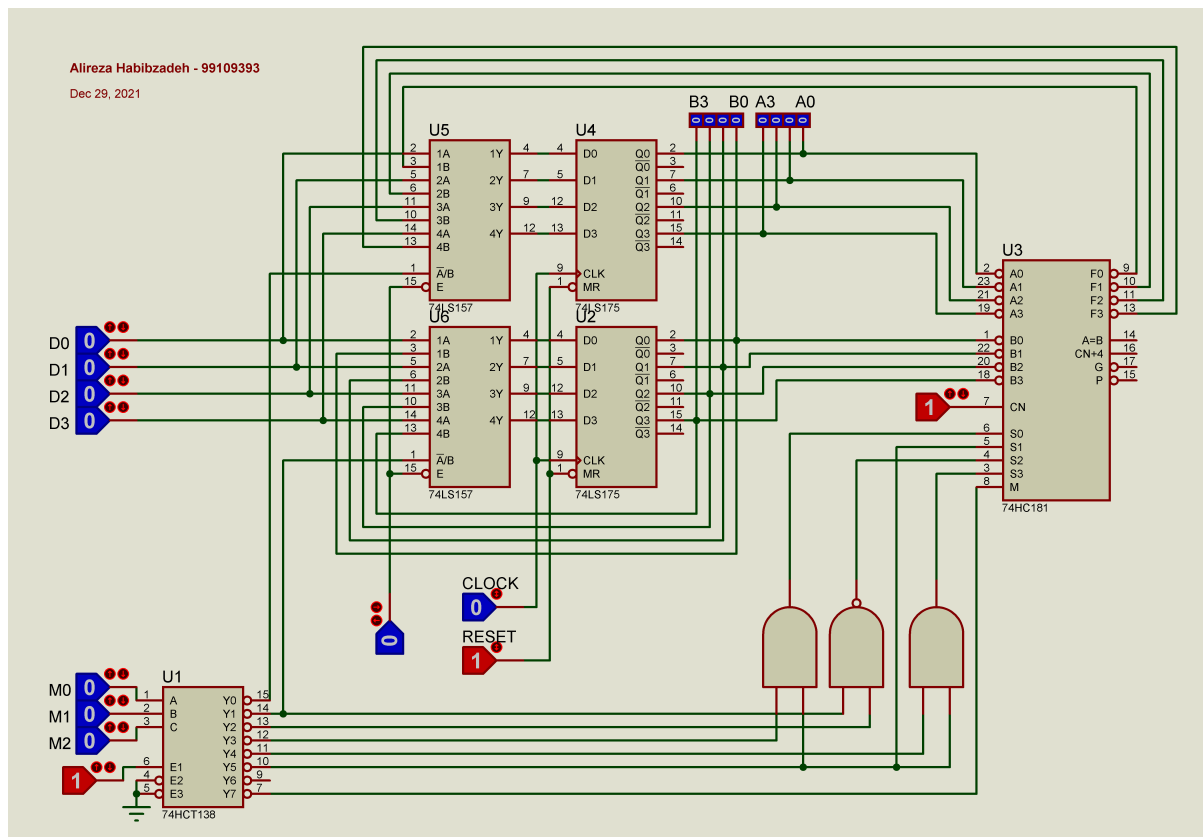
۱. محاسبات Arithmetic

۲. محاسبات Logical

۳. شیفت‌دهنده

تقسیم شده است.





شکل ۴: مدار Active-High

## ۱.۲.۰ بخش محاسبات Arithmetic

بخش اول شامل ۸ دستور ابتدایی جدول است که به سادگی توسط یک تراشه‌ی جمع‌کننده پیاده‌سازی شده است.

مقدار کُری به طور خودکار همیشه کافی است به ورودی کُری جمع‌کننده اضافه شود و در همه‌ی بخش‌ها کار کند.

برای قسمت‌هایی که B قرار است مکمل ۱ شود باید همه‌ی بیت‌های آن را نات کنیم که این فرایند توسط گیت‌های XOR با یک ورودی مشترک صورت می‌گیرد.

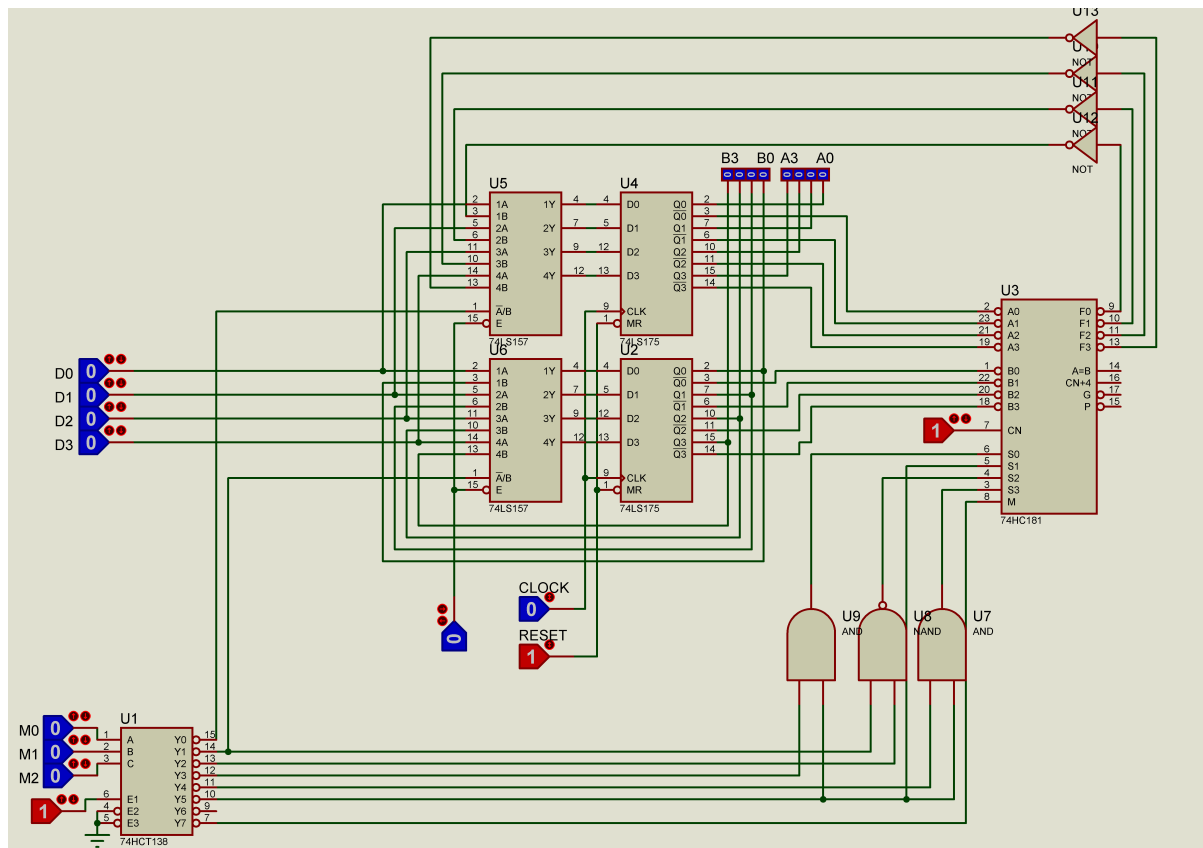
برای قسمت‌هایی که B نباید حضور داشته باشد و A، Decrement می‌شود، کافی است به جای B چیزی که در جمع‌کننده با آن اضافه می‌شود، مکمل ۲ عدد منفی ۱ را اضافه کنیم که همان ۴ بیت ۱ است.

دو بیت کنترلی یکی مستقیم و دیگری با یک گیت به ورودی‌های ما مربوط می‌شوند که در شکل نهایی مدار آمده.

## ۲.۲.۰ بخش محاسبات Logical

این بخش مستقیماً توسط گیت‌ها پیاده‌سازی شده. انتخاب بین خروجی گیت‌ها دوباره توسط دو MUX صورت می‌گیرد.

برای قسمت مکمل ۱ A از روش مشابه قبل استفاده شده که در ورودی‌های XOR به جای B، ۱ داده می‌شود تا بیت‌های A



شکل ۵: مدار Active-Low

Operation select					Operation	Function
$S_3$	$S_2$	$S_1$	$S_0$	$C_{in}$		
0	0	0	0	0	$F = A$	Transfer $A$
0	0	0	0	1	$F = A + 1$	Increment $A$
0	0	0	1	0	$F = A + B$	Addition
0	0	0	1	1	$F = A + B + 1$	Add with carry
0	0	1	0	0	$F = A + \overline{B}$	Subtract with borrow
0	0	1	0	1	$F = A + \overline{B} + 1$	Subtraction
0	0	1	1	0	$F = A - 1$	Decrement $A$
0	0	1	1	1	$F = A$	Transfer $A$
0	1	0	0	x	$F = A \wedge B$	AND
0	1	0	1	x	$F = A \vee B$	OR
0	1	1	0	x	$F = A \oplus B$	XOR
0	1	1	1	x	$F = \overline{A}$	Complement $A$
1	0	x	x	x	$F = shr A$	Shift right $A$ into $F$
1	1	x	x	x	$F = shl A$	Shift left $A$ into $F$

شکل ۶: جدول عملکرد ALU که قرار است طراحی کنیم

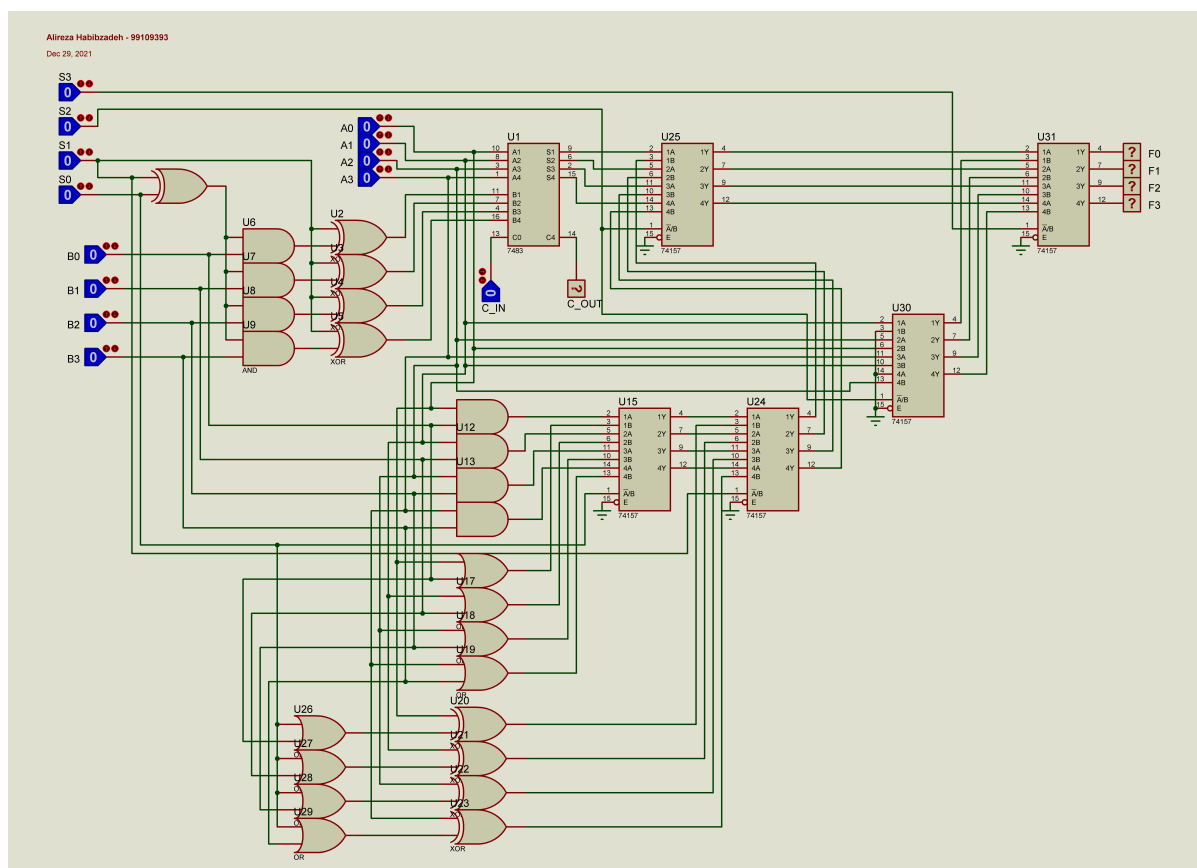
را قرینه کنند.

### ۳.۲.۰ بخش شیفت‌دهنده

این بخش ساده‌ترین بخش است. کافی است A را به صورت شیفت‌خورده به ورودی‌های MUX وصل کنیم.

در دو سری ورودی MUX هر بار یک بیت خالی می‌ماند که همان بیتی است که از ناکجا به داخل عدد شیفت‌خورده. برای این بیت باید تصمیم بگیریم تراشه‌ی ما قرار است چه شیفتی انجام دهد.

یک راه این است که این ورودی را همان بیت کرای ورودی قرار دهیم، یه می‌توانیم به سادگی آن را صفر قرار دهیم. همچنین می‌توان آن را بیت علامت A قرار داد. در مدار فعلی این بیت‌ها صفر قرار داده شده‌اند اما به سادگی می‌توان آن را تغییر داد.



شکل ۷: مدار داخلی ALU