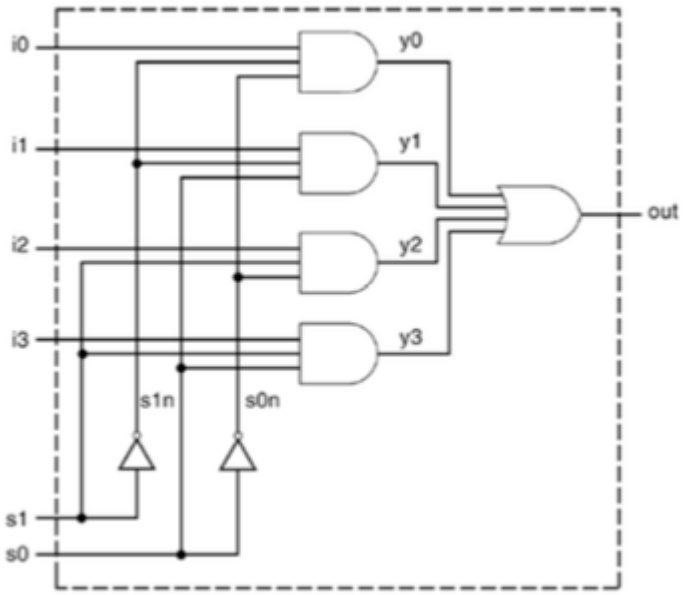
📝 گزارش کار تمرین ۴

طراحی سیستم‌های دیجیتال

Alireza Habibzadeh `99109393`

May 20, 2022

پیاده‌سازی gate-level



multiplexer

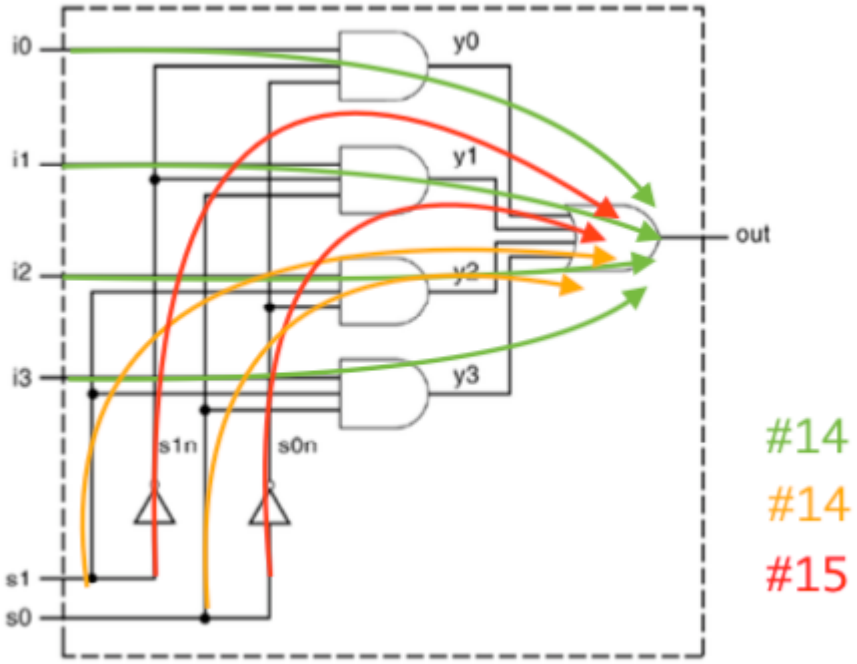
برای پیاده‌سازی در سطح گیت کافی است مدار شکل را به صورت ساختاری توصیف کنیم. برای تاخیرها از `#(<delay>)` قبل از نام گیت استفاده کنیم. تاخیرها را مطابق جدول موجود در صورت سوال اضافه می‌کنیم. برای کوتاهی و خوانایی کد در تعریف ماژول از ANSI C style module declaration استفاده شده است. کد نهایی می‌شود:

```
module mux(
        input [3:0] i,
        input [1:0] s,
        output out
        );
```

```
6
7         wire [1:0] sn;
8         wire [3:0] y;
9
10        not #(1) n0 (sn[0], s[0]);
11        not #(1) n1 (sn[1], s[1]);
12
13        and #(6) a0 (y[0], i[0], sn[1], sn[0]);
14        and #(6) a1 (y[1], i[1], sn[1], s[0]);
15        and #(6) a2 (y[2], i[2], s[1], sn[0]);
16        and #(6) a3 (y[3], i[3], s[1], s[0]);
17
18        or #(8) o (out, y[0], y[1], y[2], y[3]);
19 endmodule
```

تاخیر مسیر (Path Delay)

برای پیدا کردن تاخیر مسیرها باید تک تک مسیرهای ممکن از ورودی‌ها به خروجی‌ها را در نظر بگیریم و تاخیر بیشینه در آن‌ها را حساب کنیم (جمع تاخیرهای بیشینه‌ی گیت‌ها). در شکل زیر این کار انجام شده و تاخیر هر مسیر روی آن نوشته شده است. (بعضی از مسیرهای هم تاخیر مشابه با یک فلش نشان داده شده‌اند)



delays

حال که مسیر بحرانی (مسیرهای قرمز که در واقع ۴ مسیر هستند) را پیدا کردیم طبق خواسته‌ی سوال همه‌ی تاخیرها را حذف می‌کنیم و فقط به اندازه‌ی تاخیر مسیر بحرانی (۱۵ واحد زمانی) تاخیر برای گیت OR نهایی قرار می‌دهیم تا عملا برای همه‌ی مسیرها این تاخیر لحاظ گردد و تاخیر همه‌ی مسیرها برابر با critical path's delay شود. کد این ماژول می‌شود:

```
module mux_critical(
        input [3:0] i,
        input [1:0] s,
        output out
        );

        wire [1:0] sn;
        wire [3:0] y;

        not n0 (sn[0], s[0]);
        not n1 (sn[1], s[1]);

        and a0 (y[0], i[0], sn[1], sn[0]);
```

```
14          and a1 (y[1], i[1], sn[1], s[0]);
15          and a2 (y[2], i[2], s[1], sn[0]);
16          and a3 (y[3], i[3], s[1], s[0]);
17
18          or #(15) o (out, y[0], y[1], y[2], y[3]);
19  endmodule
```