

# گزارش آزمایش ۸

آزمایشگاه طراحی سیستم‌های دیجیتال

Alireza Habibzadeh 99109393

June 7, 2022

## مقدمه

در این آزمایش قصد داریم یک ALU برای اعداد مختلط درست کنیم. البته با صفر گذاشتن قسمت موهومی می‌توان از آن برای عملیات روی اعداد عادی هم استفاده کرد.

## ماژول‌های حافظه

دو ماژول حافظه یکی برای دستورات و یکی برای داده‌ها در نظر گرفته شده است. پیاده سازی ماژول حافظه‌ی داده‌ها به شکل زیر است:

```
1 // data memory
2 module data_mem(
3     input clock,
4     input reset,
5     input write_en,
6     input [4:0] address,
7     input [7:0] data_in,
8     output reg [7:0] data_out
9 );
10 reg [7:0] data_reg [0:31];
11
12 always @(negedge clock or posedge reset) begin
13     if(reset) begin
14         data_out = 8'b0;
15     end
16     else begin
17         if(write_en) data_reg[address] <= data_in;
18         data_out <= data_reg[address];
19     end
20 end
```

21 **endmodule**

پیاده‌سازی ماژول حافظه‌ی دستورات هم مشابه همین است.

## جمع و ضرب اعداد مختلط

برای جمع و ضرب دو عدد مختلط ابتدا قسمت‌های حقیقی و موهومی آن‌ها را جدا می‌کنیم و سپس مطابق روابط زیر چند عملیات ساده جمع و ضرب انجام می‌دهیم. (که یعنی نتیجه‌ی ما در صورت نداشتن جمع‌کننده/ضرب‌کننده‌های متعدد در یک کلاک آماده نمی‌شود)

$$\begin{aligned}\tilde{C}_1 + \tilde{C}_2 &= (a_1 + ib_1) + (a_2 + ib_2) = (a_1 + a_2) + i(b_1 + b_2) \\ \tilde{C}_1 \cdot \tilde{C}_2 &= (a_1 + ib_1)(a_2 + ib_2) = (a_1a_2 - b_1b_2) + i(a_1b_2 + a_2b_1)\end{aligned}$$

```
1 // add or subtract two complex numbers
2 module complex_add_subtract(
3     input wire [7:0] a,
4     input wire [7:0] b,
5     input wire op,
6     output wire [7:0] c
7 );
8
9     wire [3:0] a_real, a_imag, b_real, b_imag, c_real, c_imag;
10    assign a_real = a >> 4;
11    assign a_imag = a;
12    assign b_real = b >> 4;
13    assign b_imag = b;
14
15    assign c_real = op ? a_real + b_real : a_real - b_real;
16    assign c_imag = op ? a_imag + b_imag : a_imag - b_imag;
17
18    assign c = {c_real, c_imag};
19 endmodule
```

```
1 // multiply two complex numbers
2 module complex_mul(
3     input wire [7:0] a,
4     input wire [7:0] b,
5     output wire [7:0] c
```

```

6      );
7
8      wire [3:0] a_real, a_imag, b_real, b_imag, c_real, c_imag;
9      assign a_real = a >> 4;
10     assign a_imag = a;
11     assign b_real = b >> 4;
12     assign b_imag = b;
13
14     assign c_real = a_real * b_real - a_imag * b_imag;
15     assign c_imag = a_real * b_imag + a_imag * b_real;
16
17     assign c = {c_real, c_imag};
18 endmodule

```

## آپکدها

از جدول زیر برای تعیین عملکرد opcodeها استفاده شده است. اینها طوری تعیین شده‌اند که به سادگی بتوان بیت کم‌ارزش opcode را به opcode جمع‌کننده/تفریق‌کننده داد.

operation	opcode
nop (skip)	00
multiply	01
subtract	10
add	11