

گزارش آزمایش ۶

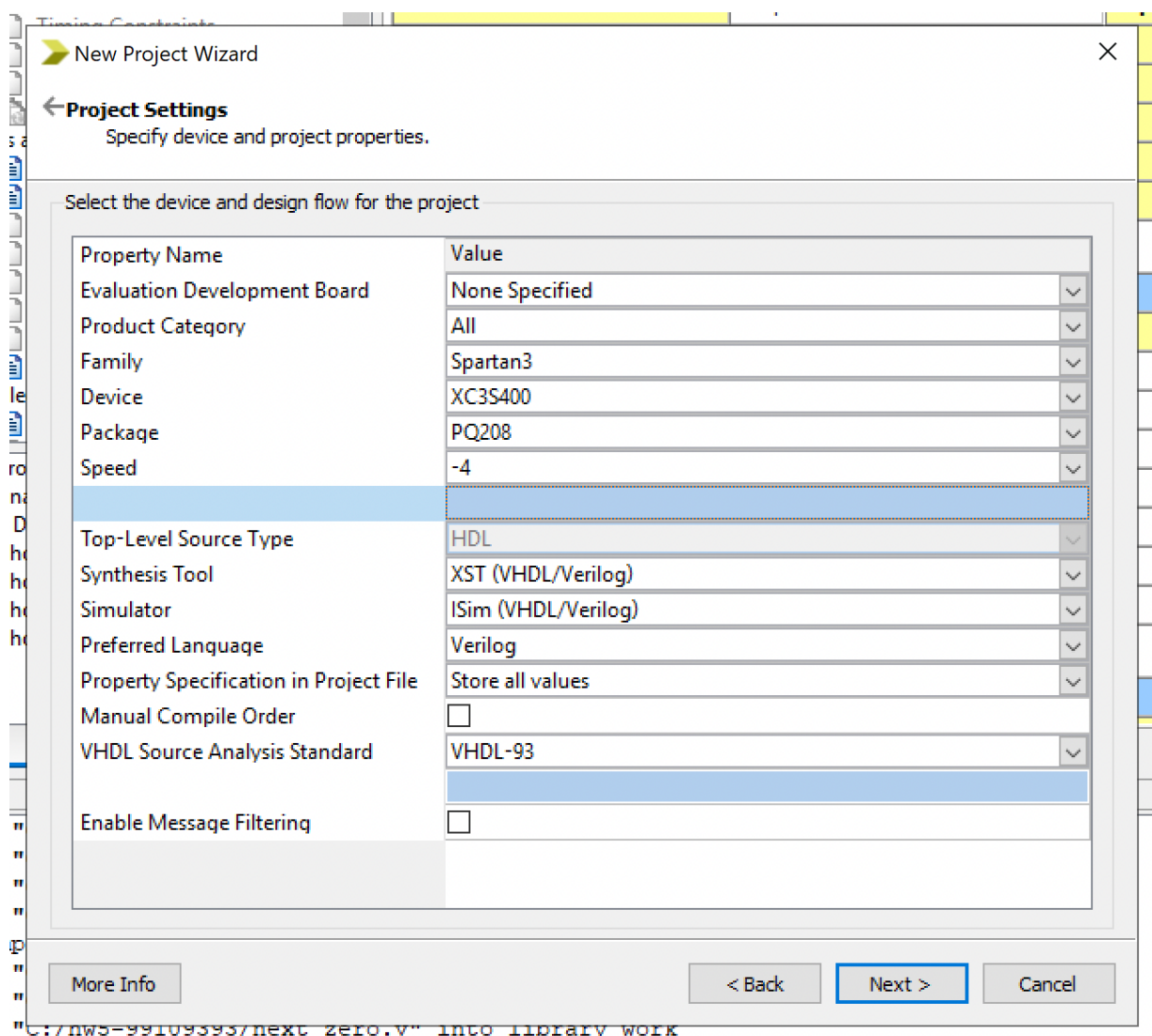
آزمایشگاه طراحی سیستم‌های دیجیتال

Alireza Habibzadeh 99109393

May 17, 2022

تنظیمات ساخت پروژه

به دلیل این که قصد داریم این دفعه پروژه را به صورت کامل سنتز کنیم و از گزارش آن استفاده کنیم، لازم است تا در تنظیمات سخت‌افزاری پروژه هماهنگی داشته باشیم. تنظیمات زیر برای این پروژه در نظر گرفته شده‌اند:



| Property Name | Value |
|--|--------------------------|
| Evaluation Development Board | None Specified |
| Product Category | All |
| Family | Spartan3 |
| Device | XC3S400 |
| Package | PQ208 |
| Speed | -4 |
| Top-Level Source Type | HDL |
| Synthesis Tool | XST (VHDL/Verilog) |
| Simulator | ISim (VHDL/Verilog) |
| Preferred Language | Verilog |
| Property Specification in Project File | Store all values |
| Manual Compile Order | <input type="checkbox"/> |
| VHDL Source Analysis Standard | VHDL-93 |
| Enable Message Filtering | <input type="checkbox"/> |

More Info < Back Next > Cancel

C:/nws-99109393/next_zero.v" into library work

خروجی Project Summry نرم افزار مطابق زیر است:

Project:

Project Name: hw6-99109393
Project Path: C:\hw6-99109393
Working Directory: C:\hw6-99109393
Description:
Top Level Source Type: HDL

Device:

Device Family: Spartan3
Device: xc3s400
Package: pq208
Speed: -4

Top-Level Source Type: HDL
Synthesis Tool: XST (VHDL/Verilog)
Simulator: ISim (VHDL/Verilog)
Preferred Language: Verilog
Property Specification in Project File: Store all values
Manual Compile Order: false
VHDL Source Analysis Standard: VHDL-93

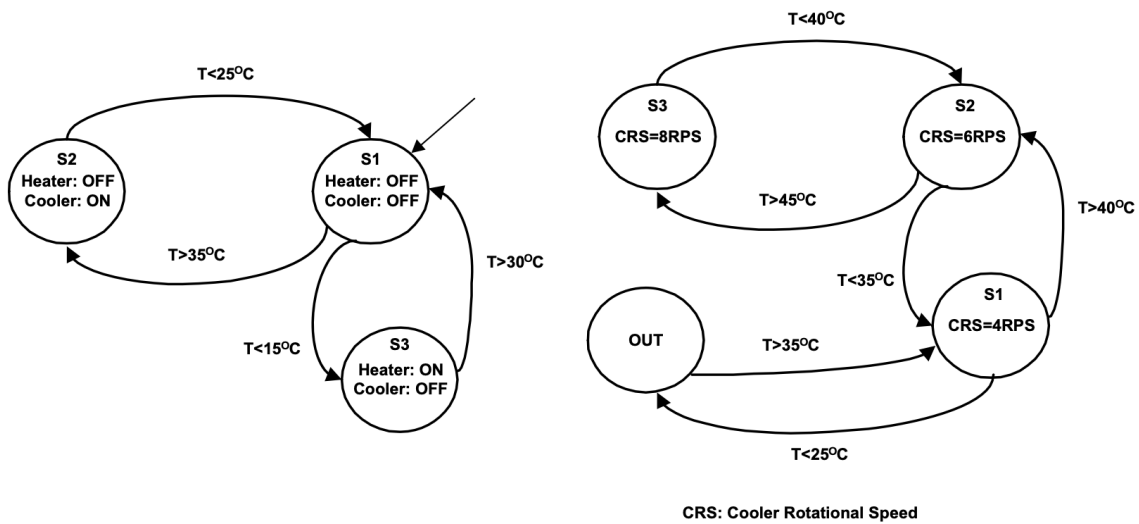
Message Filtering: disabled

پیاده سازی ماژول

برای این پروژه تنها به یک ماژول incubator نیاز داریم. آن را با توصیف رفتاری دو قسمت کنترل کننده اصلی و کنترل کننده سرعت کولر می سازیم.

نمودار حالت

نمودارهای حالت سیستم مطابق زیر هستند. نمودار سمت چپ عملکرد کلی و نمودار سمت راست سرعت چرخش موتور کولر را نشان می دهند.



می‌توانیم متغیرهای حالت تعریف کنیم اما اینجا خود مقادیر heateron و cooleron و crs به نوعی متغیر حالت هستند و دیگر نیازی به رجیستر جدید نداریم. با استفاده از خود آن‌ها به عنوان متغیر حالت ماژول را پیاده می‌کنیم:

```

1 module incubator(cooleron,
2                   heateron,
3                   crs,
4                   T,
5                   clk,
6                   rst);
7
8   output reg cooleron, heateron;
9   output reg [3:0] crs;
10  input signed [7:0] T;
11  input rst, clk;
12
13  always @(posedge clk or negedge rst)
14  begin
15      if(rst == 1'b0) begin
16          cooleron <= 1'b0;
17          heateron <= 1'b0;

```

```
18     end
19     else
20         case({cooleron, heateron})
21             2'b00: begin
22                 if(T > 35) cooleron <= 1'b1;
23                 else if(T < 15) heateron <= 1'b1;
24             end
25             2'b01: if(T > 30) heateron <= 1'b0;
26             2'b10: if(T < 25) cooleron <= 1'b0;
27             2'b11: {heateron, cooleron} <= 2'b00;
28         endcase
29     end
30
31     always @(posedge clk or negedge rst) begin
32         if(rst == 1'b0) crs <= 4'b00;
33         else if(cooleron)
34             case(crs)
35                 0: if(T > 35) crs <= 4'd4;
36                 4: begin
37                     if(T > 40) crs <= 4'd6;
38                     else if(T < 25) crs <= 4'd0;
39                 end
40                 6: begin
41                     if(T > 45) crs <= 4'd8;
42                     else if(T < 35) crs <= 4'd4;
43                 end
44                 8: if(T < 40) crs <= 4'd6;
45             endcase
46         else crs <= 4'b0;
47     end
48 endmodule
```

تست

برای بررسی صحت عملکرد مدار از test bench زیر استفاده شده است. البته قسمت‌هایی از آن به صورت خودکار توسط نرم‌افزار تولید می‌شود و کافی است داخل بلاک `initial` را تغییر دهیم.

سعی شده همه‌ی حالت‌های کولر و بخاری و گذر بین آن‌ها تست شوند. موج ورودی و خروجی مدار در انتهای این pdf آمده است.

```
1 module incubator_tb;
2     // Inputs
3     reg [7:0] T;
4     reg clk;
5     reg rst;
6     // Outputs
7     wire cooleron;
8     wire heateron;
9     wire [3:0] crs;
10    // Instantiate the Unit Under Test (UUT)
11    incubator uut (
12        .cooleron(cooleron),
13        .heateron(heateron),
14        .crs(crs),
15        .T(T),
16        .clk(clk),
17        .rst(rst)
18    );
19    initial begin
20        // Initialize Inputs
21        T = 0;
22        clk = 0;
23        rst = 1;
24        // Wait 100 ns for global reset to finish
25        #100;
26        rst = 0;
```

```
27     #10;
28     rst = 1;
29
30     // Add stimulus here
31     T = 60;
32     #10 clk = 1; #10 clk = 0;
33     #10 clk = 1; #10 clk = 0;
34     #10 clk = 1; #10 clk = 0;
35     #10 clk = 1; #10 clk = 0;
36     #10 clk = 1; #10 clk = 0;
37
38     T = -10;
39     #10 clk = 1; #10 clk = 0;
40     #10 clk = 1; #10 clk = 0;
41     #10 clk = 1; #10 clk = 0;
42     #10 clk = 1; #10 clk = 0;
43     #10 clk = 1; #10 clk = 0;
44     #10 clk = 1; #10 clk = 0;
45
46     T = 27;
47     #10 clk = 1; #10 clk = 0;
48     #10 clk = 1; #10 clk = 0;
49     #10 clk = 1; #10 clk = 0;
50     #10 clk = 1; #10 clk = 0;
51     #10 clk = 1; #10 clk = 0;
52
53     T = 36;
54     #10 clk = 1; #10 clk = 0;
55     #10 clk = 1; #10 clk = 0;
56     #10 clk = 1; #10 clk = 0;
57     #10 clk = 1; #10 clk = 0;
58
```

```

59         $stop;
60     end
61
62 endmodule

```

سنتز

پس از سنتز موفقیت آمیز می توانیم گزارش سنتز را از نرم افزار دریافت کنیم. فایل کامل این گزارش در زیپ ارسالی پیوست شده اما خلاصه ی قسمت های مهم آن را در ادامه می بینیم:

فرکانس کاری مدار

```

1
2 Timing Summary:
3 -----
4 Speed Grade: -4
5
6 Minimum period: 5.770ns (Maximum Frequency: 173.310MHz)
7 Minimum input arrival time before clock: 7.761ns
8 Maximum output required time after clock: 7.508ns
9 Maximum combinational path delay: No path found
10
11 Timing Detail:
12 -----
13 All values displayed in nanoseconds (ns)
14
15 =====
16 =====
17 Timing constraint: Default period analysis for Clock 'clk'
18   Clock period: 5.770ns (frequency: 173.310MHz)
19   Total number of paths / destination ports: 43 / 5
20 -----
21 -----
22 Delay: 5.770ns (Levels of Logic = 3)

```

```
21 Source:          crs_1 (FF)
22 Destination:    crs_3 (FF)
23 Source Clock:    clk rising
24 Destination Clock: clk rising
25
```

گزارش بالا اطلاعات جالبی در خصوص تعداد طبقات منطقی مدار ما (۳) و تاخیر آن دارد. بخش مورد نظر ما یعنی بیشینه فرکانس کاری مدار هم 173.310 MHz گزارش شده است. که به دلیل تاخیر 5.770 ns ای است که داریم.







قطعات مصرفی

```
1  =====
2  *                               Final Report
3  *
4  =====
5  Final Results
6  RTL Top Level Output File Name      : incubator.ngc
7  Top Level Output File Name          : incubator
8  Output Format                        : NGC
9  Optimization Goal                   : Speed
10 Keep Hierarchy                      : No
11
12 Design Statistics
13 # IOs                               : 16
14
15 Cell Usage :
16 # BELS                               : 37
17 # GND                                : 1
18 # INV                                : 1
19 # LUT2                               : 1
20 # LUT3                               : 3
```


| | | | | |
|----|-------|-------------------|---|----|
| 20 | # | LUT3_D | : | 1 |
| 21 | # | LUT3_L | : | 2 |
| 22 | # | LUT4 | : | 22 |
| 23 | # | LUT4_D | : | 1 |
| 24 | # | LUT4_L | : | 1 |
| 25 | # | MUXF5 | : | 4 |
| 26 | # | FlipFlops/Latches | : | 5 |
| 27 | # | FDC | : | 5 |
| 28 | # | Clock Buffers | : | 1 |
| 29 | # | BUFGP | : | 1 |
| 30 | # | IO Buffers | : | 15 |
| 31 | # | IBUF | : | 9 |
| 32 | # | OBUF | : | 6 |
| 33 | ===== | | | |
| | ===== | | | |

همانطور که از جدول بالا در بخشی از گزارش آمده، تعداد قطعات مصرفی مشخص شده است. INV همان گیت نات، LUT همان Look-up Table است و FDC نوعی D-flipflop است.

“FDC is a D-type flip-flop with an asynchronous active-high clear”

-  cooleron
-  heateron
-  crs[3:0]
-  T[7:0]
-  clk
-  rst

