



استفاده از SRAM در پردازنده ARM به عنوان حافظه داده

گردآورندگان:

دکتر علیرضا یزدان پناه

مهندس ادریس نصیحت کن

مهندس مرضیه رستگار

اهداف

- ۱- آشنایی با حافظه‌ی SRAM
- ۲- استفاده نمودن از حافظه‌ی OFF-CHIP به عنوان حافظه‌ی داده‌ی پردازنده
- ۳- نحوه تبدیل حافظه‌ی ناهمگام به همگام برای کنترل بهتر آن
- ۴- آشنایی با ثابت نگه داشتن دستورات در خط لوله‌ی پردازنده
- ۵- آشنایی با تاثیر نوع حافظه در معماری پردازنده
- ۶- تاثیرات اجزای مختلف پردازنده در کارایی آن و نحوه افزایش آن

توضیحات کلی

- ۱- در آزمایش‌های قبل یک پردازنده ARM پیاده سازی گردید که برای حافظه داده از حافظه داخلی استفاده شد. در حافظه داخلی زمان خواندن و نوشتن یک کلاک است. اما به علت محدودیت در استفاده از حافظه داخلی FPGA باید از حافظه خارجی بر روی برد استفاده شود. این نوع حافظه‌ها دارای تاخیر دسترسی بیش از یک کلاک هستند. که باعث ایجاد چالش در معماری پردازنده می‌گردد.
- ۲- در این آزمایش از حافظه خارجی SRAM به عنوان حافظه داده پردازنده ARM استفاده می‌شود. برای این کار یک ماژول برای کنترل کردن آن طراحی می‌شود که دسترسی به حافظه داده با کلاک پردازنده همگام شود. همچنین خطوط داده برای خواندن حافظه و نوشتن در آن را از هم جدا می‌کند.
- ۳- حافظه SRAM مورد استفاده در این آزمایش یک شبیه‌سازی از حافظه‌های SRAM واقعی است. این حافظه در هر مرحله یک کلمه ۳۲ بیتی را می‌تواند بخواند یا بنویسد، اما در پردازنده‌های واقعی زمان دستیابی به حافظه خارجی بیش از این مقدار طول می‌کشد (بیش از ۱۰۰ کلاک). در اینجا زمان دستیابی به حافظه را ۶ کلاک در نظر می‌گیریم.
- ۴- هنگامی که زمان دستیابی به حافظه بیش از یک کلاک شود، آنگاه باید در طراحی خط لوله پردازنده تغییراتی صورت گیرد. به طوری که هنگام دستیابی به حافظه، خط لوله باید منتظر بماند تا عملیات مربوط به حافظه به اتمام رسد و سپس خط لوله به کارش ادامه می‌دهد.



دستور کار

همانطور که می دانید FPGAها حافظه روی تراشه (on-chip memory) کمی دارند. مثلاً FPGA بر روی برد DE2 موجود در آزمایشگاه تنها ۶۴ کیلو بایت حافظه دارد. این در حالی است که در مواقع زیادی به حافظه بیشتری نیاز است. بنابراین باید از حافظه‌ی خارجی استفاده شود. برد DE2 دارای دو نوع حافظه‌ی خارجی از نوع SRAM و DRAM می‌باشد. برای آشنایی بیشتر با این حافظه‌ها می‌توانید به دیتاشیت‌های مربوط به برد در سایت مراجعه نمایید.

در این آزمایش از SRAM به عنوان حافظه‌ی داده پردازنده استفاده می‌شود. حافظه SRAM مورد نظر از نوع ناهمگام است که شامل ۵۱۲ کیلوبایت فضا می‌باشد، که کلمات آن ۱۶ بیتی هستند. این حافظه دارای خط داده ۱۶ بیتی و خط آدرس ۱۸ بیتی می‌باشد. در این حافظه خط داده برای نوشتن و خواندن به صورت مشترک استفاده می‌شود. یعنی تنها یک گذرگاه ۱۶ بیتی برای داده وجود دارد، که با استفاده از سیگنال write عمل خواندن یا نوشتن تعیین می‌شود.

با توجه به مجازی بودن آزمایشگاه و برای سادگی در پیاده سازی SRAM مورد نظر برای پیاده سازی دارای خط داده ۳۲ بیتی طراحی شده است. این حافظه برای نوشتن با آمدن اولین لبه بالا رونده عملیات نوشتن را انجام می‌دهد و برای خواندن پس از تأخیر ۳۰ نانو ثانیه عملیات خواندن را انجام می‌دهد. با توجه به اینکه SRAM مورد نظر دارای تأخیر در خواندن است clock حافظه را از پردازنده جدا نمایید و در TB با فرکانس ۲۵ مگاهرتز (هر کلاک ۴۰ نانوثانیه) در نظر بگیرید.

توجه: برای پیاده سازی این بخش باید پردازنده شما با فرکانس ۵۰ مگاهرتز (هر کلاک ۲۰ نانوثانیه) پیاده‌سازی شود.

کد زیر را به عنوان SRAM در کنار پردازنده در نظر بگیرید و به پردازنده خود متصل کنید.

```
1 `timescale 1ns/1ns
2 module Memory(
3     input CLK,
4     input RST,
5     input SRAM_WE_N,
6     input [16:0] SRAM_ADDR,
7     inout [31:0] SRAM_DQ
8 );
9
10 reg[31:0] memory[0:511]; //65535
11
12 assign #30 SRAM_DQ = SRAM_WE_N ? memory[SRAM_ADDR]: 32'bzzzz_zzzz_zzzz_zzzz_zzzz_zzzz_zzzz_zzzz;
13
14 always@(posedge CLK)begin
15     if(~SRAM_WE_N)begin
16         memory[SRAM_ADDR] = SRAM_DQ;
17     end
18 end
19 endmodule
20
```



آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده

برای استفاده از SRAM به عنوان حافظه‌ی داده پردازنده نیاز به طراحی ماژولی برای کنترل SRAM است. ماژول کنترل کننده باید به صورت همگام عمل می‌کند، یعنی عمل خواندن و نوشتن در حافظه به صورت همگام صورت گیرد. همچنین در این ماژول می‌توان خطوط داده برای خواندن و نوشتن را از هم جدا کرد. ماژول کنترل کننده باید مطابق شکل ۱ باشد.

```
1 module SRAM_Controller(  
2     input clk,  
3     input rst,  
4  
5     input write_en,  
6     input read_en,  
7     input [31:0] address,  
8     input [31:0] writeData,  
9  
10    output [31:0] readData,  
11  
12    output ready,  
13  
14    inout [31:0] SRAM_DQ,  
15    output [16:0] SRAM_ADDR,  
16    output SRAM_UB_N,  
17    output SRAM_LB_N,  
18    output SRAM_WE_N,  
19    output SRAM_CE_N,  
20    output SRAM_OE_N  
21 );  
22
```

شکل ۱- ورودی‌ها و خروجی‌های SRAM_Controller

خطوط کنترلی SRAM و عملکرد هر کدام از بیت‌ها در جدول ۱ آورده شده است. توجه نمایید که تمامی بیت‌های کنترلی Active Low هستند.

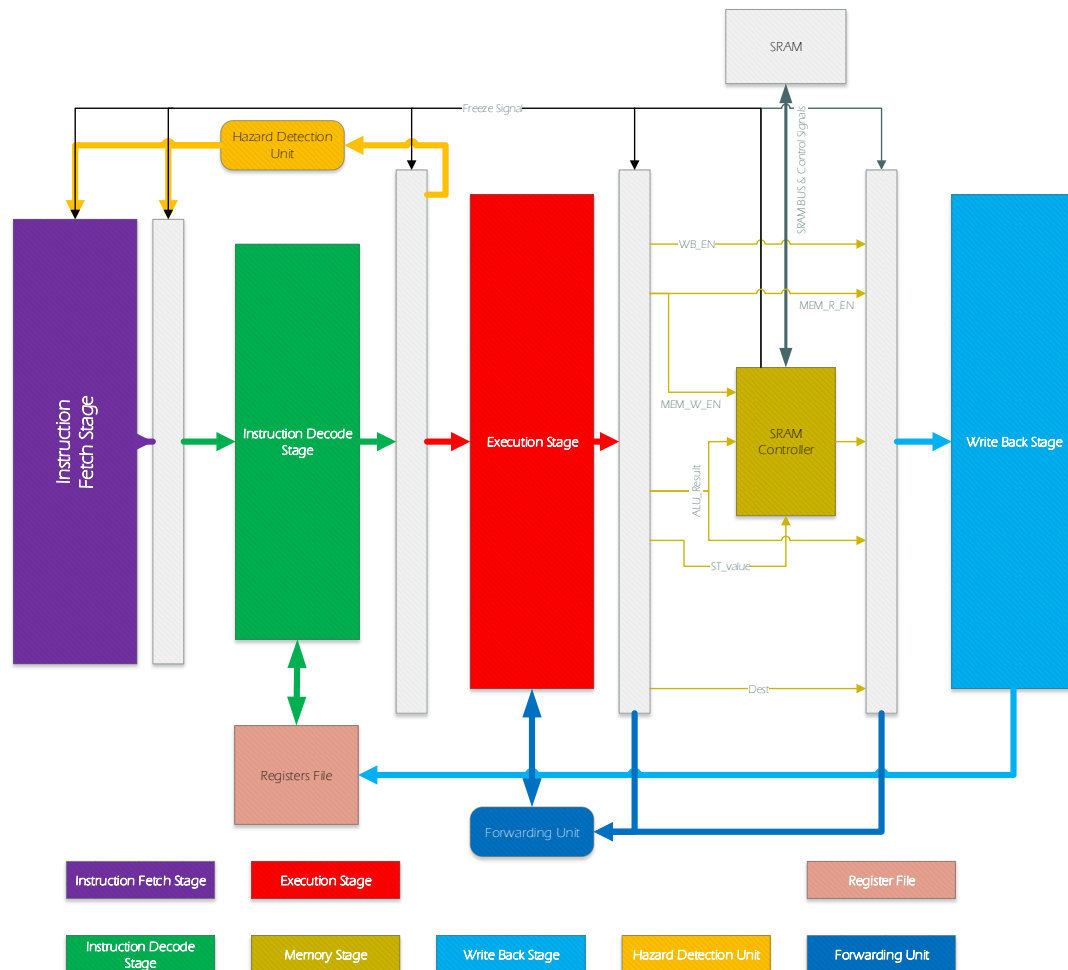
جدول ۱- بیت‌های کنترلی SRAM

SRAM_WE_N	PIN_AE10	SRAM Write Enable
SRAM_OE_N	PIN_AD10	SRAM Output Enable
SRAM_UB_N	PIN_AF9	SRAM High-byte Data Mask
SRAM_LB_N	PIN_AE9	SRAM Low-byte Data Mask
SRAM_CE_N	PIN_AC11	SRAM Chip Enable

برای راحتی کار سیگنال‌های کنترلی SRAM_OE_N، SRAM_UB_N، SRAM_LB_N و SRAM_CE_N را همیشه فعال (به ۰ متصل نمایید) و تنها سیگنال SRAM_WE_N را کنترل کنید. این سیگنال هنگام خواندن باید غیر فعال (۱) شود، در این هنگام گذرگاه داده باید در حالت High Impedance (Z) قرار گیرد تا داده‌ی متناظر با آدرس بر روی گذرگاه داده قرار گیرد. در هنگام نوشتن، سیگنال SRAM_WE_N را فعال (۰) نمایید و داده‌ی مورد نظر را بر روی گذرگاه داده قرار دهید. برای اطلاعات

آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده

بیشتر به دیتاشیت مربوطه مراجعه نمایید. در نظر داشته باشید که در مازول شبیه سازی فقط سیگنال SRAM_WE_N پیاده سازی شده است.



عملیات خواندن و نوشتن حافظه‌ی SRAM را در این آزمایش به اندازه حافظه را ۶ کلاک در نظر بگیرید (یعنی بعد از ۵ کلاک سیگنال READY را یک نمایید).

با افزایش زمان دستیابی به حافظه کارایی پردازنده کاهش می یابد، برای جبران کاهش کارایی در پردازنده از حافظه نهان (Cache) استفاده می شود که در آزمایش بعدی بررسی می گردد.



آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده

هنگامی که پردازنده در مرحله حافظه بیشتر از یک کلاک منتظر عملیات خواندن یا نوشتن شود، باید خط لوله باید متوقف شود یعنی دستوراتی که در مراحل دیگر (Fetch, Decode و Execute) هستند باید در جای خود ثابت باقی بمانند (freeze شوند). برای این کار معماری پردازنده باید تغییرات داشته باشد. پس از انجام کارهای گفته شده پردازنده خود را با این حافظه‌ی داده تست نمایید.

*** نکته:** برای انجام این آزمایش یک جلسه فرصت دارید.

گزارش کار:

- در ابتدای گزارش کار معماری پردازنده با تغییرات اعمال شده در سطح RTL ترسیم گردد و درباره قسمت‌های اضافه شده توضیحات کاملی نوشته شود.
- نتایج برنامه ریزی روی برد را توضیح دهید و میزان کارایی پردازنده را با حالتی که از حافظه داخلی استفاده می‌شد، مقایسه کنید.
- در قسمت بعد نتایج ستنز آورده شود، و هزینه سخت افزار نسبت به حالتی که از حافظه داخلی استفاده می‌شد، مقایسه شود.
- **همانطور که مشاهده می‌شود، به علت استفاده از حافظه خارجی کارایی پردازنده کاهش می‌یابد. در این قسمت پیشنهاداتی که می‌تواند کارایی پردازنده را بهبود دهد، (به جز روش استفاده از حافظه نهان) ارائه کنید. به پیشنهادات خوب نمره اضافی تعلق می‌گیرد.**