

با استفاده از Hspice

1. یک سلول SRAM 6 ترانزیستور طراحی کنید (40)

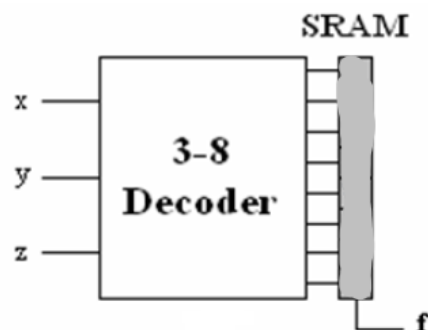
- این سلول باید قابلیت خواندن و نوشتن را داشته باشد
- طراحی bitline conditioning امتیازی است (+10)

2. یک 3 Decoder به 8 طراحی کنید (30)

3. در این بخش میخواهیم با استفاده از 2 بخش دیگر یک **LUT** طراحی

کنیم که تابع زیر را پیاده سازی میکند (30)

$$f(a, b, c) = b'c' + a'bc + ab' + ac'$$



## نکات مهم:

1. پروژه به صورت فردی است
2. در انتهای خروجی هر گیت یک خازن با ظرفیت  $0.5p$  قرار دهید
3. برای ترانزیستور ها داریم  $2L=Wn=Wp=1\mu m$
4. زمان های مربوط به  $rise\ time$  ,  $fall\ time$  ,  $propagation\ delay$  را بدست آورید
5. حالت های مختلف را شبیه سازی کنید و همگی را به همراه توضیحات طراحی خود در فایل گزارش کار قرار دهید و به همراه  $src$  کد خود در سامانه بارگزاری نمایید