



دانشکده مهندسی کامپیوتر

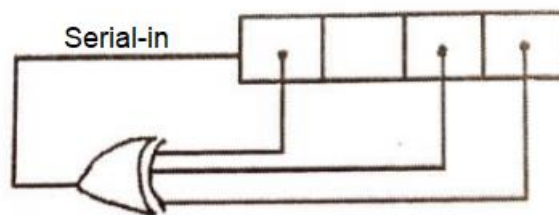
به نام خدا  
تمرین هشتم درس مدارهای منطقی  
نیم سال دوم ۹۸-۹۹  
موعد تحویل: ۹۹/۳/۲۶

مدرسین: دکتر حسایی،  
دکتر همت یار،  
دکتر ارشدی

دانشجویان گرامی در صورت داشتن هرگونه سؤال در مورد تمرین می توانید به آدرس زیر ایمیل بزنید.

[hoda.sadeghzade@gmail.com](mailto:hoda.sadeghzade@gmail.com)

۱. در مدار شکل زیر ثبات انتقالی چهار بیتی در هر پالس ساعت یک بیت های محتوای خود را به راست شیفت می دهد. اگر مقدار اولیه این ثبات انتقالی 0001 باشد، دوره تناوب آن را به دست آورید.



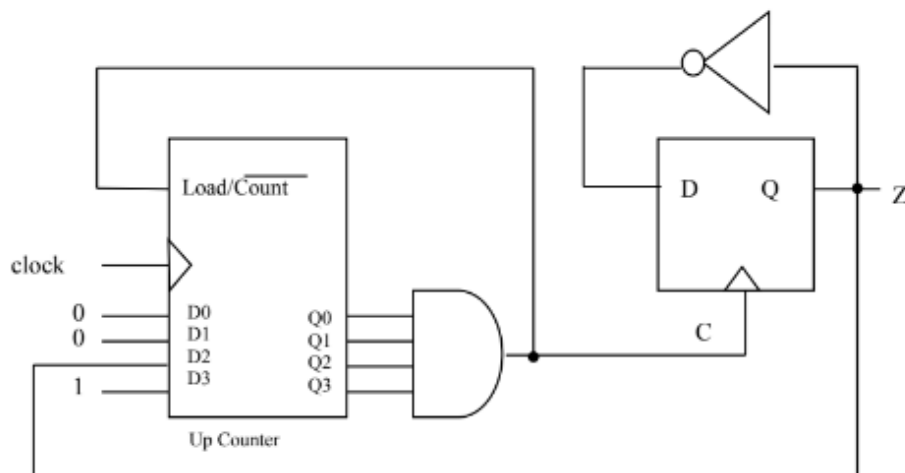
۲. یک شمارنده آسنکرون طرح کنید که اعداد مورد نیاز برای ثانیه شمار یک ساعت دیجیتال را تولید کند. به عبارت دیگر، خروجی آن اعداد BCD صفر تا 59 باشد.
- توجه کنید که رقم یکان 0 تا 9 توسط چهار FF تولید می شود و رقم دهگان 0 تا 5 نیز توسط سه FF و با کنترل رقم یکان تولید می شود.
۳. نمودار منطقی یک ثبات چهاربیتی با چهار D FF و چهار مولتی پلکسر 4x1 را رسم کنید. ورودی های انتخابی  $S_1$  و  $S_2$  هستند و ثبات باید مطابق جدول زیر عمل کند.

$S_1$	$S_2$	عمل ثبات
0	0	بی تغییر
0	1	متمم کردن چهار خروجی
1	0	پاک کردن ثبات، قرار گرفتن 0 در آن (همزمان با ساعت)
1	1	مقدارگیری موازی

۴. یک شمارنده سنکرون با استفاده از فلیپ فلاپ T طراحی کنید که به صورت زیر شمارش کند:

$0 \rightarrow 1 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 7 \rightarrow 0$

۵. در مدار شکل زیر، با فرض این که در ابتدا شمارنده از عدد 5 ( $Q_3Q_2Q_1Q_0=0101$ ) شروع کند و خروجی Z در ابتدا 0 باشد. مقدار خروجی Z و خروجی شمارنده را برای ۱۵ پالس ساعت متوالی نشان دهید. توجه کنید که با رسیدن clock، اگر مقدار سیگنال  $Load/\overline{Count}$  یک باشد، اطلاعات از ورودی به داخل شمارنده وارد می‌شود و اگر صفر باشد، شمارنده شمارش رو به بالا انجام می‌دهد.



۶. در مدار شکل زیر، ابتدا یکبار سیگنال Clear فعال شده و خروجی FFها صفر می‌شود. ورودی W نیز کلاک پالس است. رفتار را بررسی کرده و نحوه شمارش آن را مشخص کنید.

