



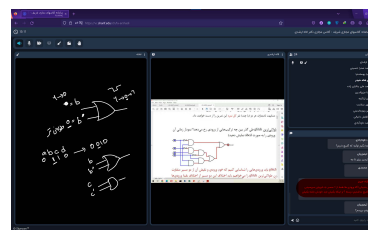
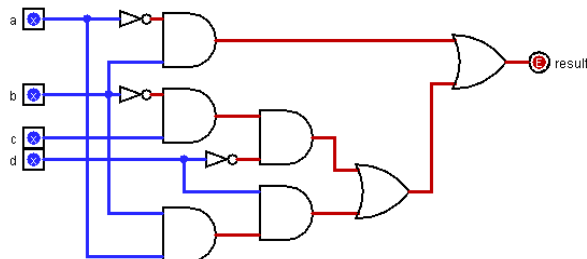
به موارد زیر توجه کنید:

- ۱- حتما نام و شماره دانشجویی خود را روی پاسخنامه بنویسید.
- ۲- در حل سوالات به نوشتن جواب آخر اکتفا نکنید. همه مراحل میانی را هم بنویسید.
- ۳- کل پاسخ تمرینات را در قالب یک فایل pdf با شماره دانشجویی خود نام گذاری کرده در سامانه CW بارگذاری کنید.
- ۴- این تمرین ۲۲ نمره دارد که معادل ۰,۵۵ نمره از نمره کلی درس است و ۰,۰۵ نمره آن امتیازی است.
- ۵- در صورت مشاهده هر گونه مشابهت نامتعارف هر دو (یا چند) نفر کل نمره این تمرین را از دست خواهند داد.

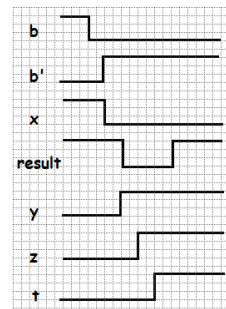
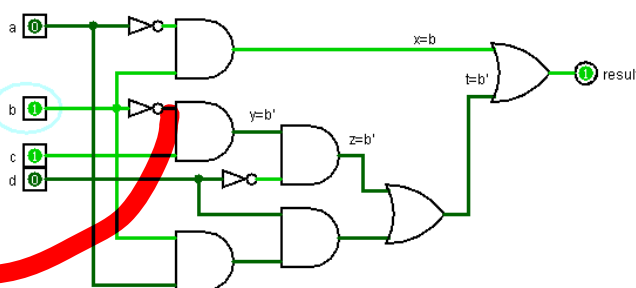
سوالات:

۱- (۳ نمره) در مدار زیر طولانی ترین glitch طی گذر بین چه ترکیب‌هایی از ورودی رخ می‌دهد؟ نمودار زمانی آن


را رسم کنید. (ترکیب ورودی را به صورت abcd نمایش دهید)



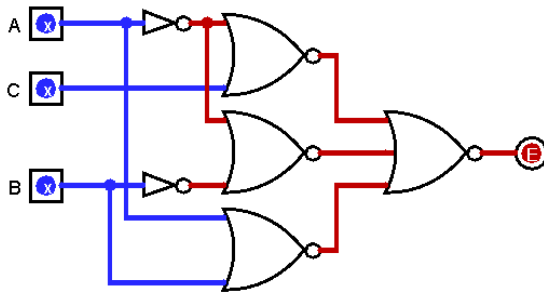
پاسخ: برای پیدا کردن glitch باید ورودی‌هایی را شناسایی کنیم که خود ورودی و نقیض آن از دو مسیر متفاوت به نتیجه می‌رسند و چون طولانی‌ترین glitch را می‌خواهیم باید اختلاف این دو مسیر از اختلاف بقیه ورودی‌ها بیشتر باشد. می‌بینیم که a و a' ، b و b' و d و d' هر سه از دو مسیر به خروجی می‌رسند. بیشترین اختلاف بین دو مسیری است که b و b' را به خروجی می‌رساند، بنابراین اول این دو مسیر را بررسی می‌کنیم که آیا glitch تولید می‌کنند یا خیر. ورودی‌های دیگر باید در وضعیتی باشند که تا جای ممکن بی‌اثر شوند تا تغییر b بتواند در خروجی glitch تولید کند. بنابراین باید $c=1$ و $a=d=0$ باشند. شکل مدار به صورت زیر تبدیل می‌شود.



می‌بینیم که در این وضعیت ورودی گیت OR آخری b و b' می‌شود که b کوتاه‌ترین و b' بیشترین مسیر را برای رسیدن به این گیت طی می‌کنند. اگر در وضعیت اولیه $b=1$ باشد، خروجی یک خواهد بود. اگر $b=0$ شود، تا پیش از این که تاثیر b' به گیت خروجی برسد، خروجی صفر و سپس یک می‌شود. بنابراین glitch خواهیم داشت. در رسم شکل تاخیر همه گیت‌ها را یک اندازه فرض کرده‌ایم، بنابراین طول glitch به اندازه تاخیر ۳ گیت می‌شود.

با استدلال مشابهی می‌بینیم که تغییر a از صفر به یک هم می‌تواند یک glitch در خروجی ایجاد کند (در وضعیتی که $b=d=1$ و c هر مقداری باشد). اما این glitch کوتاه‌تر از glitch اولی است.  تغییر وضعیت d از صفر به یک یا برعکس تحت هیچ شرایطی glitch تولید نمی‌کند. اگر d بخواهد در خروجی تاثیر بگذارد با $b=1$ باشد که در این صورت $b'=0$ خواهد بود و در نتیجه d تاثیر در خروجی نخواهد داشت.

۲- (۲ نمره) آیا در مدار شکل زیر مخاطره پنهانی وجود دارد؟ توضیح دهید.



پاسخ: در این مدار ورودی C فقط از یک مسیر در خروجی تاثیر دارد، بنابراین تغییر وضعیت آن مخاطره‌ای ایجاد نمی‌کند. متغیر B از دو مسیر به خروجی می‌رسد، یک بار خودش در خروجی تاثیرگذار است و یک بار نقیض آن پس **ممکن** است در خروجی glitch ایجاد کند. برای بررسی این امکان باید بقیه متغیرهای این مسیر را بی‌اثر در نظر بگیریم، یعنی $A=1$ ، گیت NOR وسط فقط B' را عبور می‌دهد اما خروجی گیت NOR پایین صفر می‌شود و به B بستگی نخواهد داشت. برعکس، اگر $A=0$ ، خروجی گیت NOR وسط صفر می‌شود و باز به B بستگی نخواهد داشت. بنابراین تغییر B نمی‌تواند در خروجی glitch ایجاد کند.

اما متغیر A می‌تواند در خروجی glitch ایجاد کند. اگر $B=C=0$ ، خروجی گیت NOR بالا برابر با A و خروجی گیت NOR پایین A' خواهد شد و همین می‌تواند هنگام تغییر وضعیت ورودی‌ها از ۱۰۰ به ۰۰۰ موجب ایجاد glitch در خروجی شود.

۳- (۲ نمره) مخاطره پنهان مدار معادل عبارت زیر را با افزودن تعداد کافی جملات اضافه رفع کنید.

$$f(A, B, C, D) = BC' + C'D + CD' + AB'D$$

سوال ۳ - می‌دانم به عنوان مخاطره پنهان در مدار SOP، باید در جدول کارنو متغیرهای مجاور درون جدول را به هم با یک خط قرمز آبی وصل کرد.

$$f(A, B, C, D) = BC' + C'D + CD' + AB'D$$

مداخل منطقی را به صورت یک مدار ساده تر می‌نویسیم:

① $(AB'CD, AB'CD') \rightarrow AB'C$
 ② $(AB'CD, AB'CD')$
 ③ $(A'B'CD, A'B'CD')$ } $\rightarrow BD'$

سپه بازنویسی مدار به صورت $AB'C$ و BD' می‌نویسیم
 مضاعف پنهان را می‌نویسیم

۴- (۴ نمره) تابع زیر را یک بار به صورت SOP و بار دیگر به صورت POS ساده کنید و هر بار اگر مضاعف پنهانی در مدار معادل آن وجود دارد، آن را برطرف کنید.

$$f(A, B, C, D) = \sum m(0, 2, 3, 4, 9, 10) + d(5, 8, 12, 13)$$

پاسخ: اگر بخواهیم تابع را به صورت SOP ساده کنیم، دو راه مختلف داریم که در دو جدول زیر دیده می‌شود. در جدول سمت چپ یک مضاعف پنهان هست (هنگام تغییر ورودی از ۰۱۰۰ به ۰۰۰۰)، بنابراین برای رفع مضاعف باید تابع را به صورت سمت راست ساده کنیم.

$$f = B'D' + AC' + A'B'C + C'D'$$

AB \ CD	00	01	11	10
00	1	1	x	x
01		x	x	1
11	1			
10	1			1

اگر تابع را به روال عادی به صورت POS ساده کنیم به جدول سمت چپ می‌رسیم که یک مضاعف پنهان (هنگام تغییر از ورودی ۰۱۰۱ به ۰۱۱۱) دارد. برای رفع این مضاعف می‌توانیم M_1 را به تنهایی در نظر بگیریم و به پاسخ سمت راست برسیم. بنابراین ساده شده بدون مضاعف تابع به صورت زیر خواهد بود:

$$f = (A + B + C + D')(B' + C')(A' + C' + D')$$

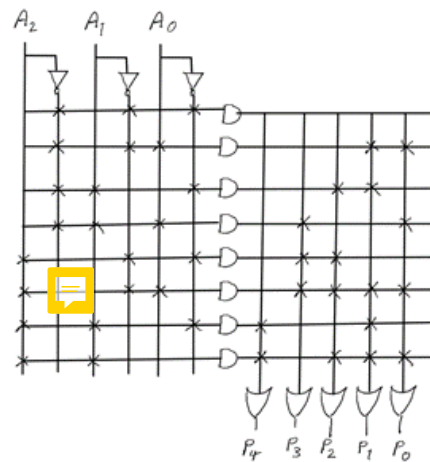
AB \ CD	00	01	11	10
00			x	x
01	0	x	x	
11		0	0	0
10		0	0	

۵- (۳ نمره)

الف) با استفاده از کوچکترین ROM ممکن و بدون هیچ گیت اضافه مداری بسازید که یک عدد سه‌بیتی را در سه ضرب کند.

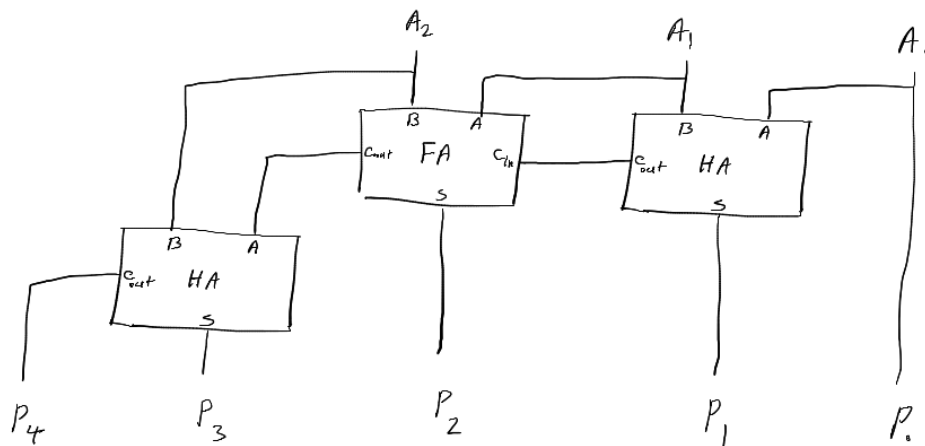
پاسخ: چون حداکثر مقدار خروجی ۲۱ است (7×3)، خروجی باید ۵ بیت داشته باشد و جدول و شکل ROM آن به صورت زیر خواهد بود.

A ₂	A ₁	A ₀	P ₄	P ₃	P ₂	P ₁	P ₀
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	1
0	1	0	0	0	1	1	0
0	1	1	0	1	0	0	1
1	0	0	0	1	1	0	0
1	0	1	0	1	1	1	1
1	1	0	1	0	0	1	0
1	1	1	1	0	1	1	1



ب) مسئله بند الف را با استفاده از کمترین تعداد Half Adder و Full Adder و بدون گیت اضافه بسازید. پاسخ: می‌دانیم که برای ضرب یک عدد در ۳ می‌توانیم یک بار آن را در ۲ ضرب کنیم و سپس آن را با خودش جمع کنیم و می‌دانیم که برای ضرب در ۲ می‌توانیم عدد را یک بیت به چپ شیفت بدهیم، بنابراین برای ضرب کردن عدد در سه باید خود عدد را با شیفت‌یافته آن جمع کنیم و برای این کار به دو H.A نیاز داریم و یک F.A.

$$\begin{array}{r}
 A_2 \ A_1 \ A_0 \\
 + \quad A_2 \ A_1 \ A_0 \ 0 \\
 \hline
 P_4 \ P_3 \ P_2 \ P_1 \ P_0
 \end{array}$$



۴-۶) (نمره) با استفاده از ساده‌ترین OR-AND PAL ممکن، مداری بسازید که عدد سه بیتی $\text{Input} = XYZ$ را دریافت و خروجی چهار بیتی $X+3$ را تولید کند.

توجه کنید منظور از OR-AND PAL حافظه برنامه‌پذیری است که لایه اول آن (سمت ورودی) آرایه‌ای از گیت‌های OR و لایه دوم آن (سمت خروجی) آرایه‌ای از گیت‌های AND دارد.

پاسخ: ابتدا جدول درستی مدار را رسم کرده و سپس براساس آن معادلات خروجی را می‌نویسیم و ساده می‌کنیم.

ورودی			خروجی			
x	y	z	a	b	c	d
0	0	0	0	0	1	1
0	0	1	0	1	0	0
0	1	0	0	1	0	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	0	0
1	1	0	1	0	0	1
1	1	1	1	0	1	0

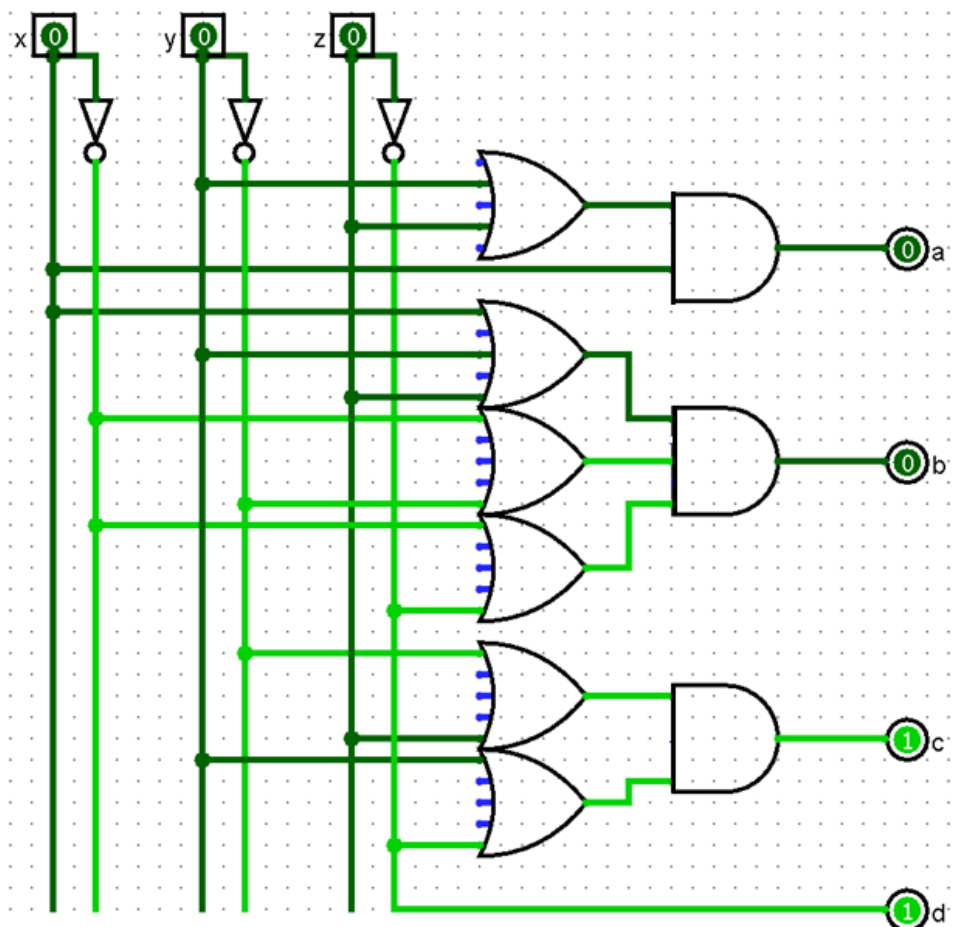
$$a(x,y,z) = \sum m(5,6,7) = x(y+z)$$

$$b(x,y,z) = \sum m(1,2,3,4) = (x+y+z)(x'+y')(x'+z')$$

$$c(x,y,z) = \sum m(0,3,4,7) = (y'+z)(y+z')$$

$$d(x,y,z) = \sum m(0,2,4,6) = z'$$

و شکل مدار به این صورت خواهد بود:



۷- (۴ نمره) با استفاده از ساده‌ترین PLA ممکن، مداری بسازید که جدول درستی زیر را پیاده‌سازی کند. فرض کنید در خروجی این PLA گیت‌های XOR تعبیه شده‌اند که امکان ساخت مکمل توابع موردنظر را فراهم می‌کنند.

ورودی			خروجی			
X	Y	Z	a	b	c	d
0	0	0	0	1	1	0
0	0	1	1	0	1	0
0	1	0	1	0	0	1
0	1	1	0	1	1	0
1	0	0	1	0	0	1
1	0	1	0	1	0	1
1	1	0	1	0	1	1
1	1	1	0	0	1	0

$$a(x,y,z) = \Sigma m(1,2,4,6) = x'y'z + xz' + yz'$$

$$a' = x'y'z' + yz + xz$$

$$b(x,y,z) = \Sigma m(0,3,5) = x'y'z' + x'yz + xy'z$$

$$b' = x'y'z + xy + yz' + xz'$$

$$c(x,y,z) = \Sigma m(0,1,3,6,7) = x'y' + xy + yz$$

$$c' = x'yz' + xy'$$

$$d(x,y,z) = \Sigma m(2,4,5,6) = xy' + yz'$$

$$d' = x'y' + yz$$

روابط بالا را بر اساس جدول درستی به دست می‌آوریم. چون می‌توانیم مکمل خروجی‌ها را هم بسازیم، ترکیبی از روابطی را پیدا می‌کنیم که کمترین جملات ضربی را نیاز داشته باشیم. اگر روابط a و b و c و d را در نظر بگیریم ۶ جمله مشترک خواهیم داشت.

$$x'y'z, xz', yz', xy, x'y', yz,$$

اگر روابط a و b و c و d را در نظر بگیریم، ۸ جمله مشترک خواهیم داشت:

$$x'y'z', yz, xz, x'y'z, xy, yz', xz', x'y'$$

بنابراین پاسخ اول درست است، پاسخ دوم تا حدی قابل قبول است.

