**Instituto de Ciências Matemáticas e de Computação (ICMC)  
Universidade de São Paulo (USP)**

**Relatório do trabalho da Unidade Lógica e Aritmética 3-bit**

ELIAS ITALIANO RODRIGUES  
Nº USP: 7987251

São Carlos  
JUNHO/2012

**Resumo**

Neste trabalho foi desenvolvido o circuito lógico simples para uma Unidade Lógica e Aritmética (ULA) 3-bit. A ULA é utilizada em processadores (CPU) e é capaz de executar operações matemáticas. A conclusão do trabalho é resultado da disciplina de laboratório de Introdução à Lógica Digital (SSC0117-ILD) do curso de Bacharelado em Ciências de Computação (BCC) do Instituto de Ciências Matemáticas e Computação (ICMC) da Universidade de São Paulo (USP), ministrada pelo professor Alexandre Cláudio Botazzo Delbem.

**Sumário**

**1.** Introdução ......................................................... 1

**2.** Display ............................................................ 3

**2.1** Binário-decimal 4-bit ......................................... 3

**3.** Operações ......................................................... 5

**3.1** Demultiplexador ............................................ 5

**3.2** Códigos da Operações ........................................ 6

**4.** Soma ............................................................. 7

**4.1** Meio-somador .............................................. 7

**4.2** Somador Completo .......................................... 7

**4.3** Somador 3-bit .............................................. 8

**5.** Comparação e Comparação ........................................... 9

**6.** Multiplicação por 2 .................................................. 12

**7.** Divisão por 2 ....................................................... 13

**8.** Experimentos ...................................................... 14

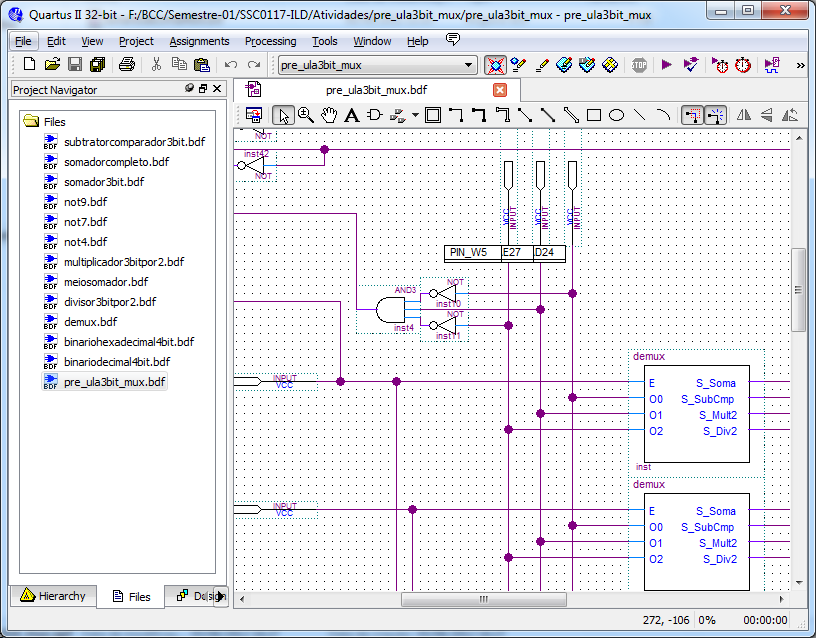
**9.** Conclusões ........................................................ 17

**Capítulo 1**

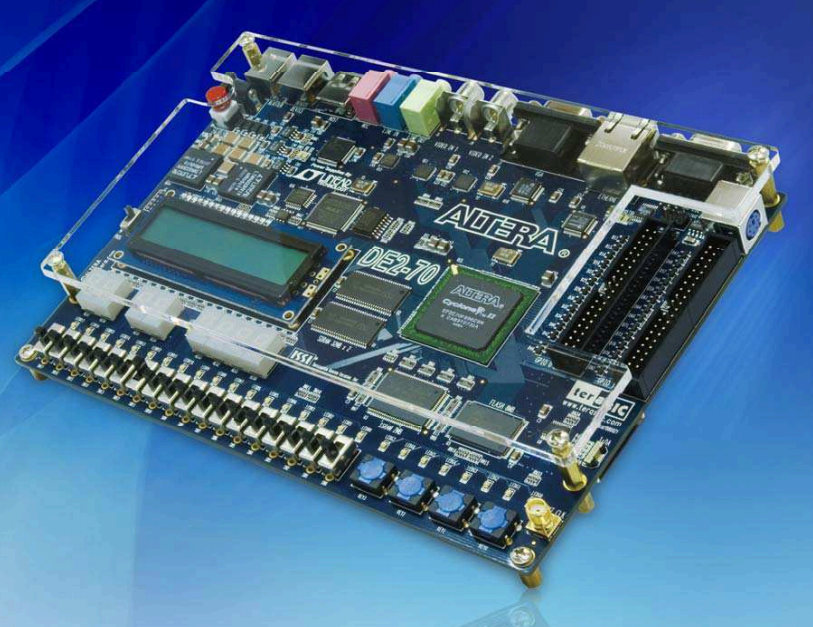
**Introdução**

A ULA (Unidade Lógica e Aritmética) 3-bit é composta por 5 operações, sendo elas: soma, subtração, comparação (menor, maior, igual) entre dois números e multiplicação por 2 e divisão por 2 para o primeiro número. Com 3 bits é possível realizar essas operações com valores de 0 à 7 na base decimal. O valor máximo obtido como resultado é 14 (soma de 7 e 7) sendo então necessário um display 4-bit para exibir os resultados.

A ULA foi feita desenhando e compilando circuitos lógicos no software Quartus II Web Edition em ambiente Windows e carregando-os para o dispositivo FPGA Ciclone II DE2-70 da Altera.

****

**Figura 1.1**: Interface do software Quartus II Web Edition em ambiente Windows 7.

****

**Figura 1.2**: Foto do dispositivo Altera DE2-70.

**Capítulo 2**

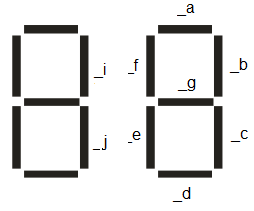
**Display**

Para exibir os números selecionados e os resultados das operações, são usados displays de 7 segmentos implementados com um conversor binário-decimal 4-bit.

**2.1 Binário-Decimal** (binariodecimal4bit)

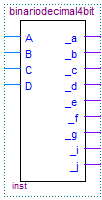
O conversor binário-decimal possui as seguintes equações:

\_a = |B|D + |AC + BD + A|C  
\_b = |ACD + |C|D + A|C + A|D + |B  
\_c = |B|C + |AB + AC + D  
\_d = |A|BC + |AC|D + B|CD + ABD + |B|D + A|C  
\_e = |AC|D + A|C|D + |B|D  
\_f = |B|C|D + |AB|C + BC|D + ABC + A|B|C + A|B|D  
\_g = |A|BC + B|C + B|D + AB + A|C  
\_i = \_j = AB + AC

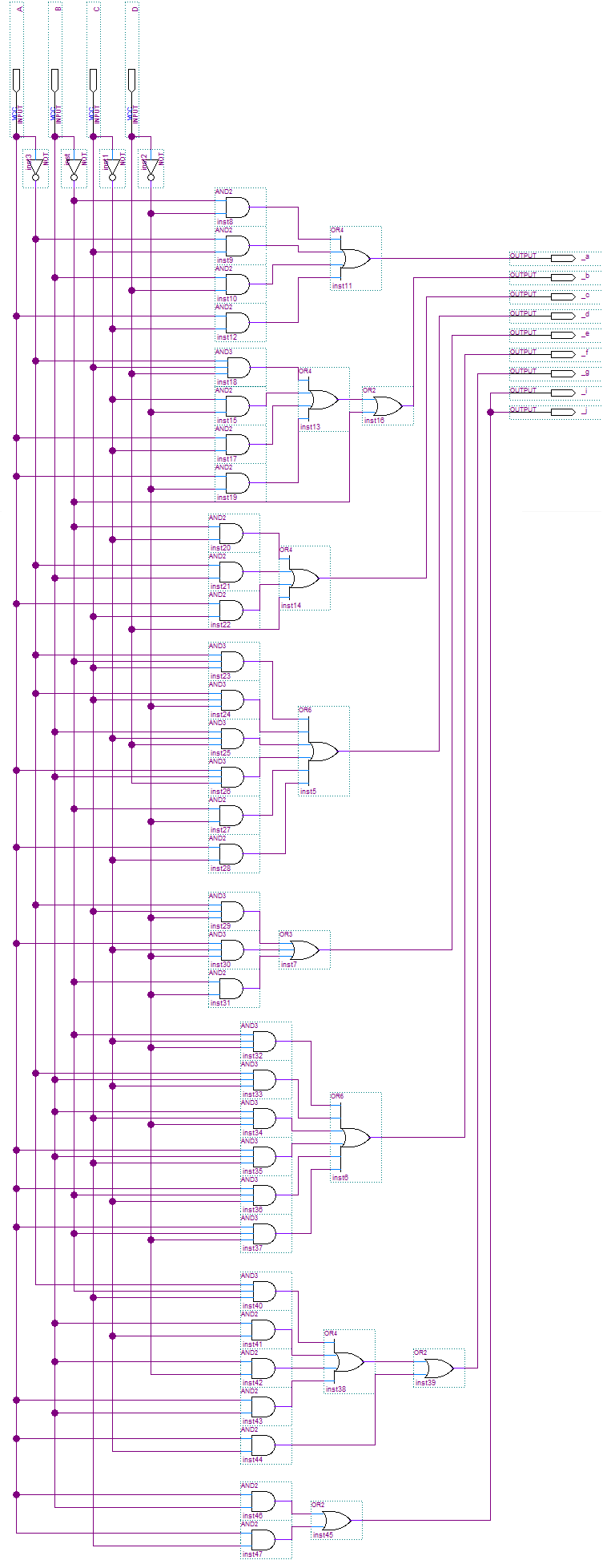


**Figura 2.1**: Dois displays de 7 segmentos com as saídas das equações do conversor binário-decimal associadas aos segmentos.

**Diagrama 2.1**: Bloco do conversor binário-decimal 4-bit.



**Diagrama 2.2**: Circuito lógico do conversor binário-decimal 4-bit.



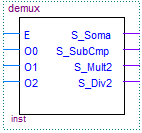
**Capítulo 3**

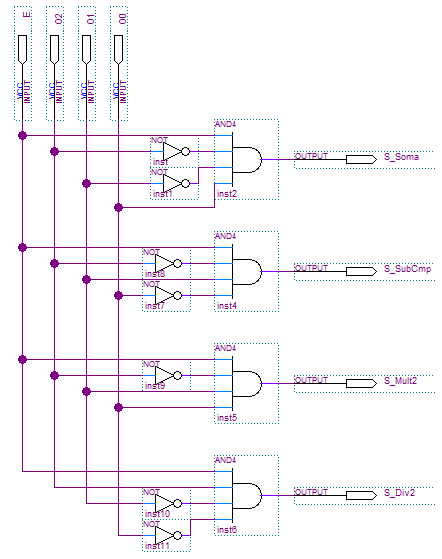
**Operações**

As operações são selecionadas ativando/desativando os switches SW[8], SW[9] e SW[10] do dispositivo que estão ligados a um circuito demultiplexador (demux) e os números são informados ativando/desativando os switches SW[17], SW[16], SW[15] para o primeiro número e os switches SW[2], SW[1], SW[0] para o segundo número.

**3.1 Demultiplexador** (demux)

O demultiplexador é um circuito lógico que, de acordo com as configurações dos seletores, seleciona um bit encaminhando-o para uma das operações da ULA.

**Diagrama 3.1**: Bloco do demultiplexador.

**Diagrama 3.2**: Circuito lógico do demultiplexador.

**3.2 Códigos das Operações**

As seguintes configurações dos switches ativam as operações da ULA:

001: Soma  
010: Subtração e Comparação  
011: Multiplicação por 2  
100: Divisão por 2

**Capítulo 4**

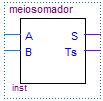
**Soma**

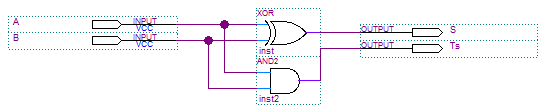
A soma é feita por circuitos de meio-somadores e somadores completos combinados.

**4.1 Meio-somador** (meiosomador)

O meio-somador possui as equações:

S = A [+] B  
Ts = AB

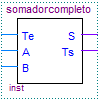
**Diagrama 4.1:** Bloco do meio-somador.

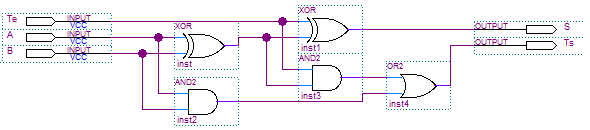
**Diagrama 4.2:** Circuito lógico do meio-somador.

**4.2 Somador Completo** (somadorcompleto)

O somador completo as possui equações:

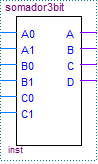
S = Te [+] A [+] B  
Ts = AB + Te(A [+] B)

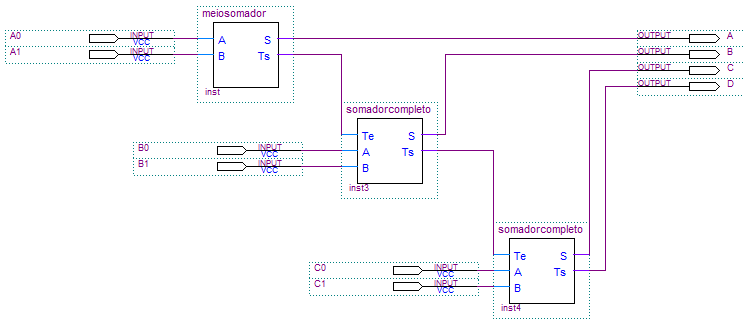
**Diagrama 4.3**: Bloco do somador completo

**Diagrama 4.4**: Circuito lógico do somador completo

**4.3 Somador 3-bit** (somador3bit)

O somador de 3-bit é composto por um bloco de meio-somador e dois blocos de somadores completos combinados como ilustrado a seguir.

**Diagrama 4.5**: Bloco do circuito somador 3-bit.

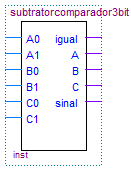
**Diagrama 4.6**: Circuito lógico do somador 3-bit

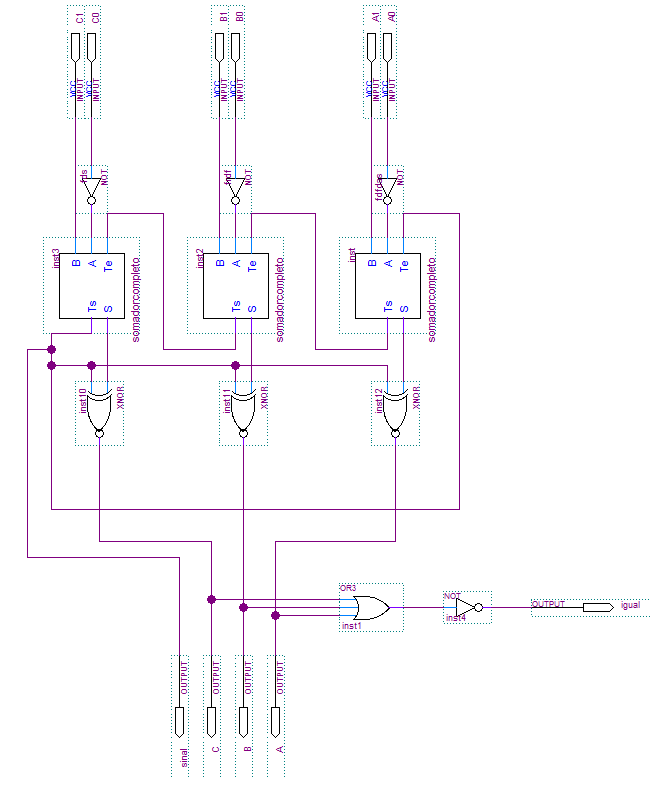
**Capítulo 5**

**Subtração e Comparação**

A subtração e comparação na ULA são feitas utilizando um circuito subtrator. Este circuito subtrator-comparador (subtratorcomparador3bit) é composto por somadores completos (somadorcompleto) associados a portas XNOR. Analisando-se o bit de overflow (sinal) é possível indicar no display se o resultado da operação é positivo ou negativo.  
Sendo o resultado negativo, implica-se que o primeiro número da operação é menor que o segundo, caso contrário confere-se que é maior ou igual.

Para decidir a comparação entre maior ou igual é necessário analisar se o resultado da subtração é zero, neste caso igual. Caso contrário o primeiro número é maior que o segundo.

**Diagrama 5.1**: Bloco do subtrator e comparador 3-bit

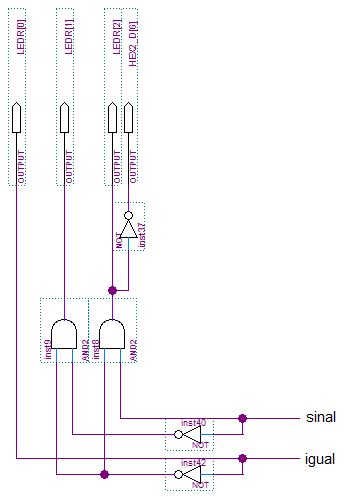
**Diagrama 5.2**: Circuito Lógico do subtrator e comparador 3-bit

**Tabela 5.1**: Tabela verdade para a comparação:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| sinal | igual | LEDR[2]/ HEX2\_D[6] menor | LEDR[1] maior | LEDR[0] igual |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 |

Equações para comparação a partir da tabela 5.1:

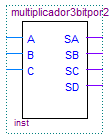
menor = sinal |(igual)  
maior = |sinal (igual)  
igual = igual

**Diagrama 5.3**: Circuito lógico da comparação:

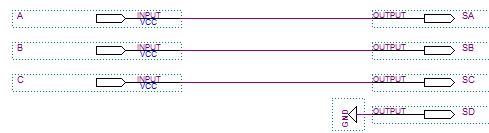
**Capítulo 6**

**Multiplicação por 2**

A multiplicação por 2 (multiplicador3bitpor2) é aplicada somente ao primeiro número e é efetuada simplesmente adicionando um bit 0 ao final da palavra.

**Diagrama 6.1**: Bloco do multiplicador por 2

**Diagrama 6.2**: Circuito lógico do multiplicador por 2

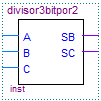


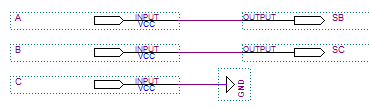
**Capítulo 7**

**Divisão por 2**

A divisão por 2 (divisor3bitpor2) é aplicada somente ao primeiro número e é efetuada simplesmente removendo-se o bit menos significativo da palavra.

**Diagrama 7.1**: Bloco do divisor por 2

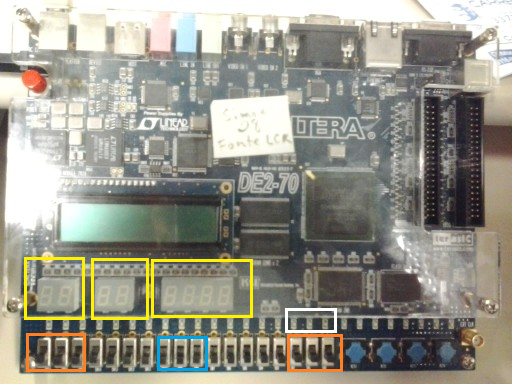


**Diagrama 7.2**: Circuito lógico do divisor por 2

**Capítulo 8**

**Experimentos**

Seguem imagens dos experimentos realizados após o carregamento do circuito para o dispositivo da Altera.



**Figura 8.1**: Imagem explicativa do dispositivo Altera DE2-70 com marcações indicando as entradas e saídas como o seguinte (da esquerda para a direita):

Amarelo: display para o primeiro número, display para o segundo número e display para o resultado.

Laranja: switches de seleção para o primeiro número e switches de seleção para o terceiro número.

Azul: switches de seleção para a operação.

Branco: LEDs indicadores de menor, maior e igual.



**Figura 8.2**: Soma de dois números. No caso, 4 mais 7 resultando em 11.



**Figura 8.3**: Subtração e comparação de dois números. No caso, 4 menos 7 resultando em -3 (resultado negativo) e indicando que 4 é menor com 7 ativando-se o LEDR[2].



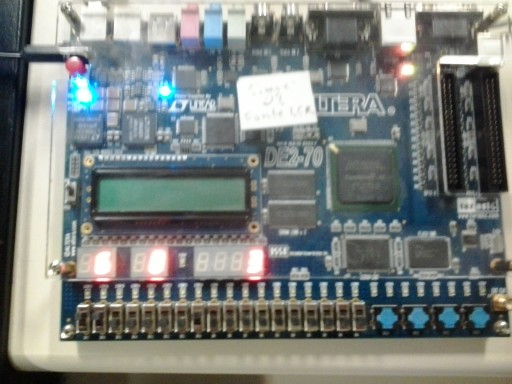
**Figura 8.4**: Subtração e comparação entre dois números. No caso, 7 menos 4 resultando em 3 e indicando que 7 é maior que 4 ativando o LEDR[1].



**Figura 8.5**: Subtração e comparação entre dois números. No caso, 7 menos 7 resultando em zero e indicando que 7 é igual a 7 ativando o LEDR[0].



**Figura 8.6**: Multiplicação do primeiro número por 2. No caso, 6 vezes 2 resultando em 12.



**Figura 8.7**: Divisão do primeiro número por 2. No caso, 6 divido por 2 resultando em 3.

**Capítulo 9**

**Conclusões**

No início das aulas de Lógica Digital tive alguma dificuldade até absorver os conceitos da lógica binária e conseguir resolver expressões booleanas com mais facilidade, o que foi superado com as aulas práticas no laboratório e os estudos para as provas. O desenvolvimento deste trabalho sobre a ULA 3-bit, por mais que ainda simples, serviu bem para consolidar o entendimento da lógica binária e circuitos lógicos.

**Referências**

* Manual Altera DE2-70 Board
* IODETA, I. V.; CAPUANO, F. G. Elementos de Eletrônica Digital, 12 ed., São Paulo, Livros Érica, 1987.