

Derivazione del Modello (0)

- La metodologia *Logical Effort* nasce per consentire il dimensionamento di massima di reti logiche multistadio costituite dalla cascata di pi stadi ciascuno dei quali costituito da una porta logica complessa. Alla base del metodo vi è la determinazione di una espressione del ritardo di propagazione dei segnali che separa il contributo della tecnologia da quello dovuto alla scelta di una particolare combinazione di porte logiche. La metodologia consente dunque di confrontare diverse implementazioni della medesima funzione logica e ottimizzare quella in grado di fornire il minimo ritardo.
- Partiamo considerando il ritardo di un invertitore simmetrico avente $a_n = S_n = W_n/L_n = 1$, $L_n = L_{min}$, caricato da una capacità esterna (C_{out}) pari alla propria capacità di ingresso (C_{inv}) e privo di capacità parassite ($C_p = 0$). Poiché le reti di pull-up e pull-down sono simmetriche abbiamo $R_n = R_p = R_{inv}$ e $t_{pLH} = t_{pHL} = t_p$ dunque:

$$\begin{aligned}\tau &= t_p = R_{inv} C_{inv} \\ C_{inv} &= C_{ox} L_{min} (W_n + W_p) = C_{ox} L_{min}^2 (1 + \gamma) S_n \\ R_{inv} &= R_{eq} = \frac{3}{4} \frac{V_{DD}}{I_{Dsatn}} \left(1 - \frac{7}{9} \lambda_n V_{DD} \right) \\ I_{Dsatn} &= a_n k'_n V_{min} (V_{DD} - V_{Tn} - V_{min}/2) \left(1 - \frac{7}{9} \lambda_n V_{DD} \right) \\ V_{min} &= \min [V_{GS} - V_{Tn}, V_{DS}, V_{Dsatn}]\end{aligned}$$

dove $\gamma = a_n/a_p$ è il rapporto tra i fattori di forma dei transistori dell'invertitore di riferimento e per ragioni di simmetria viene preso pari al rapporto tra le mobilità di elettroni e lacune nei transistori nMOS e pMOS rispettivamente: $\mu = \mu_n/\mu_p$.

- τ dipende solo dalla tecnologia, *non dal dimensionamento dell'invertitore*. Infatti all'aumentare di a_n (e per la condizione di simmetria, a_p) la capacità di ingresso aumenta in proporzione ad a_n mentre la resistenza equivalente delle reti di pull-up e pull-down diminuisce in proporzione. Ne consegue che qualsiasi invertitore simmetrico può essere considerato come riferimento purchè sia privo di parassiti e la capacità di carico sia pari a quella di ingresso.
- τ può essere adottato come unità di misura dei ritardi in una data tecnologia. *Non è una variabile di progetto* ma il risultato di una complessa operazione di ottimizzazione tecnologica fuori dalla portata del progettista digitale.
- Caveat: In taluni casi l'unità di ritardo di una tecnologia è espressa con riferimento ad un invertitore caricato da 4 invertitori identici. Si parla allora di ritardo di un invertitore *fan-out of 4* (τ_{FO4}). Questa scelta deriva da fatto che in molti circuiti e applicazioni il carico statisticamente più probabile corrisponde appunto ad un fan-out di 4.

Derivazione del Modello (1)

- Consideriamo ora una generica porta logica full-CMOS. Le reti di pull up e pull down sono composte da combinazioni serie-parallelo di transistori che, durante i transitori, operano tutti con la medesima tensione di gate. Pertanto essi sono assimilabili ad un solo transistorore con fattore di forma pari al fattore S_{eq} della rete di transistori.
- Per una coppia di transistori $S_{eq}=S_1+S_2$ se i transistori sono tra loro in parallelo; $S_{eq}=S_1S_2/(S_1 + S_2)$ se i transistori sono in serie.
- Il ritardo di propagazione di un gate Full-CMOS (t_p , in secondi) può dunque essere espresso come prodotto tra la capacità di carico complessiva C_L (somma del carico esterno, C_{out} , più la capacità parassita di source e drain, C_p) ed una opportuna resistenza equivalente R_{eq} dipendente dalla tensione di alimentazione, da parametri tecnologici dei transistori, dal criterio scelto per considerare terminato il transitorio, dal dimensionamento delle reti di pull-up e pull-down.
- L'equazione del transitorio di carica/scarica consente di definire in modo univoco R_{eq} in ogni situazione. Per la scarica

$$\begin{aligned}
 C_L \frac{dV_{out}}{dt} &= -I_{DS}(V_{out}) \quad \text{scarica} \\
 C_L \int_{V_i}^{V_f} \frac{dV_{out}}{I_{DS}} &= R_{eq} C_L \\
 R_{eq} &= - \int_{V_i}^{V_f} \frac{dV_{out}}{I_{DS}(V_{out})} = \frac{1}{S_{eq} f(V_{DD}, V_T, k'_n, \lambda_n, V_{OL})} \quad (1)
 \end{aligned}$$

dove $f(\cdot)$ è un valore dipendente da parametri tecnologici (V_{DD} , V_T , k'_n , λ_n per la scarica, i corrispondenti valori dei pMOS per la carica), e dal criterio scelto per definire il termine del transitorio (V_{OL} , oppure V_{OH}), mentre $I_{DS}(V_{out})$ è proporzionale al fattore S_{eq} che a sua volta dipende da parametri di progetto quali i fattori di forma $a_n = S_n$ e $a_p = S_p$ dei transistori.

Derivazione del Modello (2)

- Consideriamo una generica porta logica realizzata nella stessa tecnologia dell'invertitore di riferimento ed avente resistenze equivalenti delle reti di pull-up e pull-down (nelle condizioni di caso peggiore) identiche tra loro $R_{eq,n} = R_{eq,p} = R_t$, capacità di ingresso totale C_t (somma dei contributi dei transistori a canale n- e p-), capacità parassita C_{pt} e capacità di carico C_{out} . Per questo circuito possiamo scrivere (nel caso peggiore):

$$t_p = R_t C_{out} + R_t C_{pt} = R_t C_t \frac{C_{out}}{C_t} + R_t C_{pt}$$

- Mettiamo in evidenza il ritardo dell'invertitore di riferimento riscrivendo l'equazione precedente nella forma:

$$\begin{aligned} t_p &= \tau(gh + p) \\ \tau &= R_{inv} C_{inv} = \text{ritardo unitario} \\ g &= \frac{R_t C_t}{R_{inv} C_{inv}} = \text{logical effort} \\ h &= \frac{C_{out}}{C_t} = \text{electrical effort} \\ p &= \frac{R_t C_{pt}}{R_{inv} C_{inv}} = \text{parasitic effort} \end{aligned}$$

- Ogni altro circuito della stessa tipo che rispetti la condizione di simmetria può essere visto come una versione "in scala" di quello di riferimento nel quale la larghezza (W) di tutti i transistori è stata modificata di un fattore α a parità di lunghezza $L = L_{min}$. Siano C_{in} la capacità di ingresso di tale circuito, C_{pi} la capacità parassita di uscita e R_i la resistenza di pull-up (uguale a quella di pull-down) del gate. Poichè :

$$\begin{aligned} C_t &= C_{ox} W_n L_n + C_{ox} W_p L_p \\ \frac{1}{R_t} &= f(\cdot) \frac{W_n}{L_n} = f(\cdot) \frac{W_p}{L_p} \end{aligned}$$

dove $f(\cdot)$ si riferisce alla rete di pull-up o pull-down a seconda del caso esaminato. Per la porta logica "in scala" avremo allora:

$$C_{in} = \alpha C_t \quad , \quad C_{pi} = \alpha C_{pt} \quad , \quad R_i = \frac{R_t}{\alpha} \quad (1)$$

- Il ritardo di propagazione del gate in scala può essere espresso come:

$$\begin{aligned} t_p &= R_i (C_{out} + C_{pi}) \\ &= \left(\frac{R_t}{\alpha} \right) C_{in} \left(\frac{C_{out}}{C_{in}} \right) + \left(\frac{R_t}{\alpha} \right) (\alpha C_{pt}) \\ &= (R_t C_t) \left(\frac{C_{out}}{C_{in}} \right) + R_t C_{pt} \\ &= \tau(gh' + p) \end{aligned}$$

Significato dei parametri del modello

- Il progettista circuitale può limitarsi a considerare ritardi normalizzati a τ (ovvero misurati in unità di τ e quindi espressi dai numeri adimensionali f, g, h, p).

$$d = \frac{t_p}{\tau} = f + p = gh + p \quad (1)$$

f (*effort delay* o *stage effort*) si compone di due termini equivalenti: h e g .

- $h = C_{out}/C_{in}$ è il rapporto tra la capacità di carico del gate (al netto dei parassiti) e la capacità di ingresso. Esso esprime come l'ambiente elettrico del gate influisce sul ritardo. Viene spesso indicato con il termine *Fan-Out*. Dipende dal dimensionamento della porta logica. Se il carico è costituito dalla capacità di ingresso di un altro gate e se tutti i transistori hanno $L = L_{min}$ allora $h = W_{i+1}/W_i$ essendo W_i la larghezza di gate dei transistori (n- o p-) del i -esimo stadio.
- g esprime quanto la *topologia* del gate è meglio o peggio di quella dell'invertitore di riferimento al fine di commutare una capacità di carico di riferimento.
- Se $C_t = C_{inv}$ allora $g = R_t/R_{inv}$, mentre se $R_t = R_{inv}$ allora $g = C_t/C_{inv}$. Pertanto g rappresenta di quanto la corrente di uscita del gate è minore di quella di un invertitore di riferimento avente la medesima capacità di ingresso, ovvero di quanto la capacità del gate è maggiore di quella di un invertitore di riferimento in grado di fornire la medesima corrente di uscita. g dipende dalla topologia del gate.
- p esprime il ritardo intrinseco normalizzato del gate dovuto alle sue stesse capacità parassite. Poichè queste ultime sono grosso modo proporzionali alle dimensioni dei transistori, p è pressochè indipendente dal dimensionamento dei transistori nel gate mentre invece h ne dipende.
- Dal punto di vista del ritardo i parassiti interni del gate e il suo *carico* (elettrico e "logico") giocano lo stesso ruolo.

Parasitic Effort

- p rappresenta il contributo al ritardo del gate dovuto alle capacità parassite del gate stesso.
- Nelle tecnologie tradizionali (bulk CMOS) il principale contributo alle capacità parassite è solitamente dovuto alla capacità delle giunzioni di source e drain.
- Poichè la larghezza delle giunzioni è spesso proporzionale alla larghezza del transistor la capacità parassita è proporzionale alla conducibilità del transistor. Questo implica che p sia abbastanza indipendente dal dimensionamento del gate.
- Dal punto di vista del ritardo i parassiti interni del gate e il suo *carico* (*effort* elettrico e logico) giocano lo stesso ruolo.

- **Inverter:** La capacità parassita di un inverter è data principalmente dalla capacità di giunzione al nodo di uscita $C_p = (1 + \gamma)C_d$ essendo C_d la capacità di giunzione (somma dei contributi di area e di perimetro) del transistor nMOS. La capacità di ingresso di un inverter privo di parassiti è data dalla capacità di gate $C_{inv} = (1 + \gamma)C_g$ essendo $C_g = C_{ox}W_nL_n$ la capacità di gate del transistor nMOS.

Esempio 1: $L = W = 0.35\mu\text{m}$, $t_{ox} = 100\text{\AA}$, $C_g = C_{ox}WL \simeq 0.42\text{fF}$, $C_d = C_jA + C_{j-sw}P = 10L_{min}^2C_j + 14L_{min}C_{j-sw} \simeq 0.86 + 0.15 \simeq 1\text{fF}$.

Esempio 2: $L = 0.35\mu\text{m}$, $W/L = 10$, $t_{ox} = 70\text{\AA}$, $C_g = C_{ox}WL \simeq 6.0\text{fF}$, $C_d = C_jA + C_{j-sw}P = 4WL_{min}C_j + 2(W + 4L_{min})C_{j-sw} \simeq 3.4 + 4.1 \simeq 7.5\text{fF}$.

La capacità parassita è confrontabile o superiore alla capacità di gate. Pertanto: $p_{inv} = C_p/C_{inv} = C_d/C_g$ è dell'ordine dell'unità o più.

- **NAND:** Poichè in un nand simmetrico a n ingressi ho n pMOS di larghezza γ e un nMOS di larghezza n collegati all'uscita ottengo:

$$p = \frac{R_t C_{pt}}{R_{inv} C_{inv}} = \frac{C_{pt}}{C_{inv}} = \frac{n(1 + \gamma)C_d}{(1 + \gamma)C_g} = np_{inv}$$

- **In generale:** se tutti i transistori hanno $L = L_{min}$

$$p = \frac{\sum_i W_{d,i}/L_{min}}{1 + \gamma} p_{inv}$$

dove $W_{d,i}$ è la larghezza dell' i -esimo transistor connesso al nodo di uscita. Questa stima prevede che p cresca linearmente con il numero degli ingressi (fan-in). In realtà per effetto della resistenza dei transistori si hanno effetti di tipo "distribuito" che rendono p una funzione quadratica del fan-in. Inoltre un gate a più ingressi p può dipendere dall'ordine di commutazione degli ingressi.

- Come vedremo il dimensionamento che produce il minimo ritardo attraverso una cascata di gate dipende dallo *stage effort* e non dai parassiti. Stime errate dei parassiti non alterano il dimensionamento dei gate.

Calibrazione del Modello

- I parametri del modello possono essere estratti graficando il ritardo del gate in funzione dello sforzo elettrico (h , proporzionale alla capacità di uscita) e misurando la pendenza e l'intercetta della retta che meglio rappresenta i dati.
- Per un invertitore abbiamo $g = 1$ e pertanto:

$$t_p = \tau(h + p_{inv}) \quad (1)$$

$$\tau = \text{pendenza} \quad (2)$$

$$p_{inv} = \text{intercetta}/\text{pendenza} \quad (3)$$

- Per un generico gate avremo:

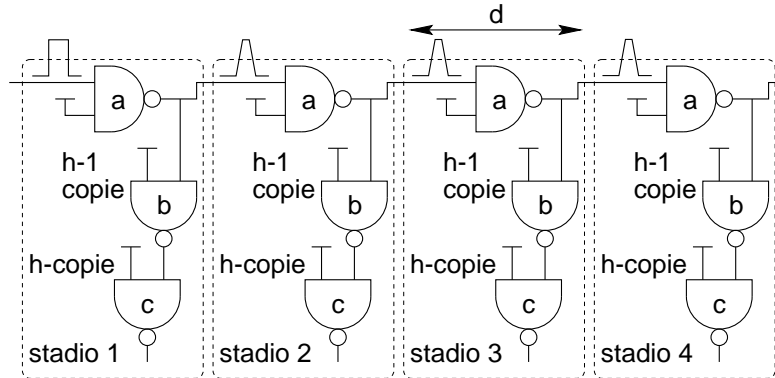
$$t_p = \tau(g_{gate}h + p_{gate}) \quad (4)$$

$$g_{gate} = \text{pendenza}/\tau \quad (5)$$

$$p_{gate} = \text{intercetta}/\tau \quad (6)$$

dove τ deve essere determinato caratterizzando l'invertitore di riferimento.

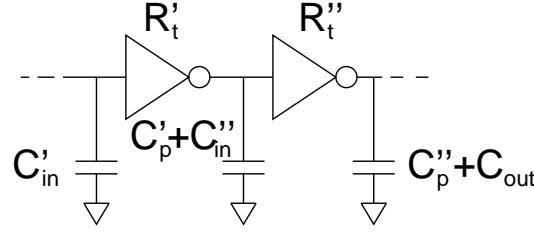
- Il modello può essere calibrato anche attraverso strutture di test come quelle di Figura.



Gli stadi 1 e 2 forniscono la corretta pendenza al fronte di ingresso allo stadio 3. Il terzo stadio contiene il gate da caratterizzare (a) e il quarto stadio fornisce la corretta capacità di carico al terzo stadio. Ogni stadio contiene un gate primario (a), un gate di carico (b) e un gate di carico del carico (c). I gate (a) sono collegati ad h istanze del medesimo gate in modo da garantire che il fan-out sia esattamente pari ad h ; di queste istanze una è sul percorso di propagazione del segnale e $h-1$ su un percorso verticale. La presenza dei gate (c) serve a rallentare il transitorio all'uscita del gate intermedio, che per effetto Miller potrebbe comportare errori non trascurabili nella stima del ritardo. Con questa topologia tutte le porte logiche lavorano sotto identiche condizioni di carico (fan-out= h).

- Per la caratterizzazione dell'invertitore si possono utilizzare oscillatori ad anello

Circuiti Multistadio



- Il ritardo del percorso (D) può essere espresso come:

$$\begin{aligned}
 D &= R'_t(C''_{in} + C'_p) + R''_t(C_{out} + C''_p) = \\
 &= \tau(p' + g'h' + p'' + g''h'') = \\
 &= \tau(D_F + P)
 \end{aligned}$$

Notiamo che questa espressione é diversa da quella del ritardo di Elmore. In questo caso infatti l'i-esimo stadio R-C é separato da quello a valle da un buffer ideale (amplificatore di tensione controllato in tensione). Definiamo:

$$\begin{aligned}
 P &= \sum_i p_i = \text{parasitic delay} \\
 D_F &= \sum_i g_i h_i = \text{path effort} \\
 H &= \prod_i h_i = \text{path electrical effort} \\
 F &= \prod_i g_i \prod h_i = GH = \prod_i g_i h_i = \text{path logical effort}
 \end{aligned}$$

- Consideriamo un percorso di segnale attraverso due stadi in cascata di cui è nota la topologia (quindi g_1 e g_2) e il rapporto tra capacità di ingresso e capacità di carico ($H = h_1 h_2$ se non c'è branching).

$$D = \tau(g_1 h_1 + \frac{g_2 H}{h_1} + P) = \tau \left(2\sqrt{g_1 g_2 \frac{C_{out}}{C_{in}}} + P \right)$$

- Minimizzando il ritardo complessivo rispetto al dimensionamento dei gate e ricordando che P è pressoché indipendente dalle dimensioni otteniamo l'espressione dello stage effort ottimo \hat{f} :

$$\begin{aligned}
 \frac{\partial D}{\partial h_1} &= \tau(g_1 - \frac{g_2 H}{h_1^2}) = 0 \\
 g_1 h_1 &= \frac{H g_2}{h_1} = g_2 h_2 \\
 \hat{f} &= g_1 h_1 = g_2 h_2 = \sqrt{F} = \sqrt{g_1 g_2 \frac{C_{out}}{C_{in}}}
 \end{aligned}$$

- Generalizzando otteniamo che il minimo ritardo attraverso una catena di stadi di topologia nota si ottiene quando tutti gli stadi hanno il medesimo *stage effort* $f = gh$, non necessariamente il medesimo ritardo. Il ritardo complessivo dello stadio è infatti determinato anche dal ritardo parassita. Il ritardo parassita però non influisce sulla condizione di ottimo.

Progetto Ottimo

- Il progetto di una catena di propagazione del segnale implica la scelta del numero di stadi (N), della loro topologia (g_i) e del loro dimensionamento (h_i).
- **Caso 1: Numero prefissato di stadi:** Supposta nota la topologia della catena di propagazione del segnale, quindi il numero di stadi, N , e lo sforzo logico di ciascuno, g_i e il rapporto $H = C_{out}/C_{in}$ il problema di progetto è quello di determinare i valori degli sforzi elettrici h_i .

Conosco $H = \prod_i h_i$. Lo moltiplico per $G = \prod g_i$. Ricordando che tutti gli stadi devono avere il medesimo *effort* $f = g_i h_i$ ottengo:

$$F = GH = f^N \Rightarrow \hat{f} = F^{1/N}$$

$$\hat{h}_i = F^{1/N}/g_i \Rightarrow C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

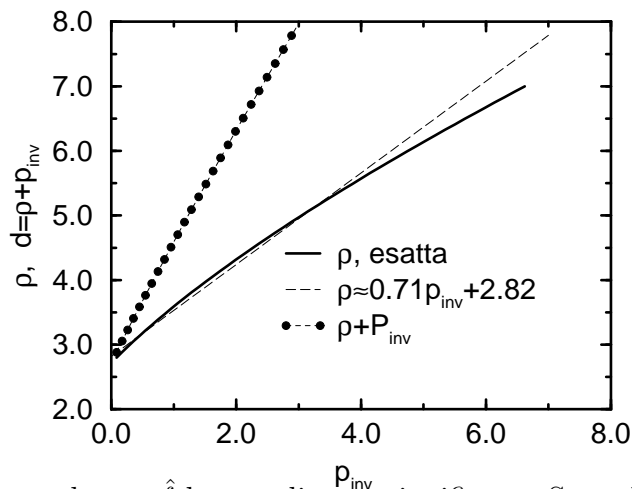
- **Caso 2: Numero variabile di stadi:** Supponiamo che la catena di propagazione del segnale abbia topologia nota costituita da n_1 stadi fissi, ma che sia possibile variare il numero totale di stadi N aggiungendo un numero *arbitrario* (pari o dispari) di invertitori n_2 . Poichè la condizione di ottimo si ottiene comunque eguagliando i termini $f_i = \hat{f} = F^{1/N}$ otteniamo l'espressione del ritardo ottimo (\hat{D}):

$$\hat{D} = NF^{1/N} + (N - n_1)p_{inv} + \sum_{i=1}^{n_1} p_i$$

$$\frac{d\hat{D}}{dN} = N \exp\left(\frac{1}{N} \ln(F)\right) \left(-\frac{1}{N^2} \ln(F)\right) + F^{1/N} + p_{inv} = F^{1/N}(1 - \ln(F^{1/N})) + p_{inv} = 0$$

Il numero ottimo di stadi (\hat{N}) dipende sia da F che da p_{inv} . \hat{N} è tale che $\rho = F^{1/\hat{N}}$ soddisfa l'equazione (vedi Figura):

$$\rho(1 - \ln(\rho)) + p_{inv} = 0$$



- **Attenzione:** in generale ρ e \hat{f} hanno diverso significato. Se scelgo $N = \hat{N}$ allora $\hat{f} = \rho$.

Progetto Ottimo (2)

- Al crescere di F , un aumento del numero di stadi consente di ridurre il dimensionamento di ciascuno di essi, riducendo le capacità di ingresso e quindi il ritardo.
- Noto $F = GH$ come è possibile determinare il numero ottimo di stadi e il loro dimensionamento ? Occorre prima conoscere p_{inv} .
- I valori limite di F a partire dai quali la soluzione a $N + 1$ stadi diviene vantaggiosa rispetto ad quella a N stadi si ottengono eguagliando i ritardi corrispondenti alle due soluzioni:

$$\hat{N}(F^{1/\hat{N}} + p_{inv}) = (\hat{N} + 1)(F^{1/(\hat{N}+1)} + p_{inv})$$

\hat{N}	$p_{inv} = 0$	$p_{inv} = 0.6$	$p_{inv} = 1$
1	0	0	0
2	4.0	5.13	5.83
3	11.4	17.7	22.3
4	31.6	59.4	82.2
5	86.7	196	300

- Ricordando che $F = \rho^{\hat{N}}$ e imponendo \hat{N} intero, otteniamo:

$$\begin{aligned}\hat{N} &\simeq \frac{\ln F}{\ln \rho} = \log_{\rho} F \\ \hat{D} &\simeq \hat{N}\rho + \sum_i p_i\end{aligned}$$

- Per \hat{N} elevato il ritardo ottimo di una catena di invertitori tende a:

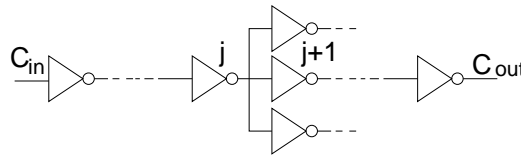
$$\hat{D} \simeq \frac{\ln F}{\ln \rho}(\rho + p_{inv})$$

Poichè per $p_{inv} = 1$ abbiamo $\rho = 3.6 \approx 4$, e poichè per $p_{inv} = 1$ abbiamo $\tau_{FO4} \approx (4 + 1)\tau \approx 5\tau$ otteniamo $\rho + p_{inv} \approx 5 \approx \tau_{FO4}/\tau$. Pertanto

$$\hat{D} \approx \tau_{FO4} \cdot \log_4 F$$

Poichè il ritardo è abbastanza indipendente da ρ in prossimità dell'ottimo, questa stima è ragionevole per qualsiasi valore di f . Poichè circuiti diversi dalla catena di invertitori sono comunque spesso dominati dall'*effort delay* e non dai parassiti, questa stima è ragionevole anche per essi.

Branching Effort



- Nel caso esistano lungo la catena di propagazione del segnale uscite con fan-out maggiore di uno occorre rivedere le formule utilizzate per l'ottimizzazione della catena.
- Un'ottimizzazione basata su $F = GH$ dove

$$H = \prod_j h_j = \frac{C_{out}}{C_{in}} = \frac{C_{out}}{C_n} \dots \frac{C_{j+1}}{C_j} \cdot \frac{C_j}{C_{j-1}} \dots \frac{C_2}{C_{in}}$$

e C_j è la capacità di ingresso al j -esimo stadio lungo il percorso del segnale non tiene conto del fatto che la capacità di uscita allo stadio j è maggiore di quella del solo ramo k per effetto del carico eccedente dovuto agli altri rami in parallelo.

- Lo sforzo elettrico effettivo sullo stadio j sarà:

$$\frac{C_{j+1}}{C_j} \cdot \frac{C_{j+1} + C_{off-path}}{C_{j+1}} = h_j b_j$$

dove il termine b_j rappresenta di quanto la capacità di uscita dello stadio j eccede il valore dovuto alla sola porta logica lungo il percorso di segnale considerato

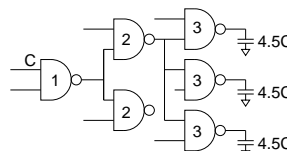
$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}} = \text{branching effort}$$

- Nei problemi di ottimizzazione è possibile utilizzare i risultati già visti definendo

$$F = GHB = \prod_j g_j \frac{C_{out}}{C_{in}} \prod_j b_j$$

dove $B = \prod_j b_j$ è il path branching effort. Supponendo che al variare delle dimensioni dei transistori sia $C_{on-path}$ che $C_{off-path}$ varino in proporzione, lo stage effort ottimo vale $\hat{f}_j = g_j h_j b_j = F^{1/N}$. In questo modo il simbolo h_j mantiene il significato di rapporto tra le capacità di uscita e di ingresso "on-path".

- **Esempio:**



$$\begin{aligned} G &= (4/3)^3, \quad H = 4.5, \quad B = 2 \cdot 3 = 6, \quad F = HGB = 64 \\ D &= NF^{1/N} + P = 3(64)^{1/3} + 3(2p_{inv}) \simeq 18, \quad \hat{f} = 64^{1/3} = 4 \\ h_3 &= C_{out}/C_3 = \hat{f}/g_3 \Rightarrow C_3 = 1.5C \\ \hat{f} &= g_2 b_2 C_3 / C_2 \Rightarrow C_2 = C_3 g_2 b_2 / \hat{f} = 1.5C(4/3)3/4 = 1.5C \\ \hat{f} &= g_1 b_1 C_2 / C_1 \Rightarrow C_1 = C_2 g_1 b_1 / \hat{f} = 1.5C(4/3)2/4 = 1.0C \end{aligned}$$

Sensibilità al dimensionamento dei transistori

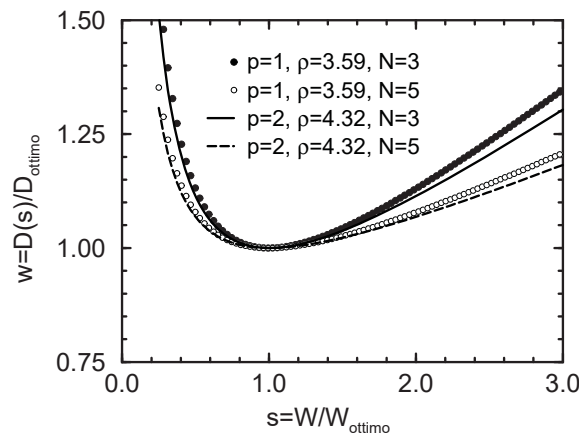
- Quanto è sensibile il progetto ottimo delineato in precedenza alla scelta del numero ottimo di stadi ?
- Supponiamo di progettare una catena di invertitori utilizzando il rapporto di *step-up* ottimo corrispondente al ritardo parassita della tecnologia impiegata. Supponiamo che un solo stadio della catena presenti un dimensionamento differente di un fattore s dall'ottimo.
- Il ritardo della catena non-ottima e di quella ottima saranno:

$$D(s) = (\hat{N} - 2)F^{1/N} + \hat{N}p + sF^{1/N} + \frac{F^{1/N}}{s}$$

$$D(1) = \hat{N}(F^{1/\hat{N}} + p)$$

Pertanto, ricordando che $F = \rho^{\hat{N}}$, il loro rapporto vale:

$$w = \frac{D(s)}{D(1)} = 1 + \frac{s\rho - 2\rho + \frac{\rho}{s}}{\hat{N}(\rho + p)}$$



Per s compreso tra 0.5 e 2 il deterioramento del ritardo è inferiore al 20%

- Il progetto ottimo è piuttosto insensibile all'esatto dimensionamento dei transistori.

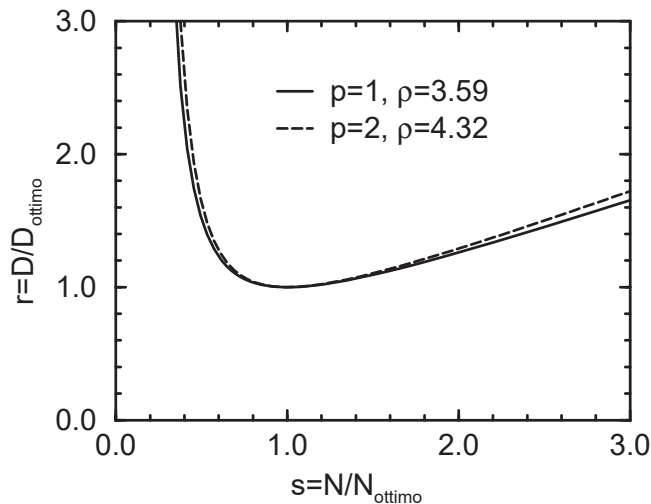
Sensibilità al numero di stadi

- Quanto è sensibile il progetto ottimo delineato in precedenza alla scelta del numero ottimo di stadi ?
- Supponiamo di progettare la catena di propagazione utilizzando un numero di stadi non ottimo $N = s\hat{N}$. Supponiamo che tutti gli stadi abbiano il medesimo ritardo parassita p .
- I ritardi della catena non-ottima e di quella ottima saranno:

$$\begin{aligned}\hat{D}(N) &= N(F^{1/N} + p) \\ \hat{D}(\hat{N}) &= \hat{N}(F^{1/\hat{N}} + p)\end{aligned}$$

Pertanto, ricordando che $F = \rho^{\hat{N}}$, il loro rapporto vale:

$$r = \frac{\hat{D}(N)}{\hat{D}(\hat{N})} = \frac{s\hat{N}(F^{1/s\hat{N}} + p)}{\hat{N}(F^{1/\hat{N}} + p)} = \frac{s(\rho^{1/s} + p)}{\rho + p}$$



$$s = 0.67 \Rightarrow r \simeq 1.14, \quad s = 1.33 \Rightarrow r \simeq 1.05$$

- Il progetto ottimo è piuttosto insensibile al numero esatto degli stadi impiegato.