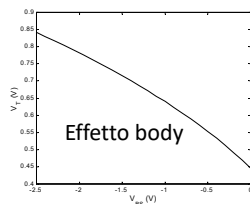
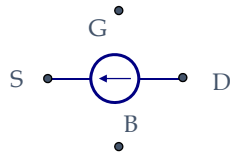
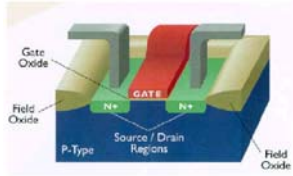


Transistori nMOSFET



- Il terminale di Source è per definizione a tensione minore o uguale di quello di drain
- V_{TN} è positiva (tipicamente $0.2 - 0.25$ volte V_{DD})
- $V_{DSATN} > 0$ è direttamente proporzionale ad L : pertanto se $V_{min} = V_{DSATN}$ la corrente nel transistor tende ad essere indipendente da L
- Idealmente $I_G = I_B = 0A$. I_{DS} è positiva (scorre da D a S)
- $K'_n = \mu_n C_{ox} = \mu_n \epsilon_{ox} / t_{ox}$; $a'_n = W/L$, $\lambda_n > 0$, $k_n = k'_n * W/L$
- Effetto body: V_{TN} cresce al crescere di $V_{SB} > 0$

$$I_{DS} = k'_n \frac{W}{L} V_{min} (V_{GS} - V_{TN} - V_{min}/2) (1 + \lambda_n V_{DS})$$

per $V_{GS} > V_{TN} > 0$

$$V_{min} = \min(V_{GS} - V_{TN}, V_{DS}, V_{DSATN})$$

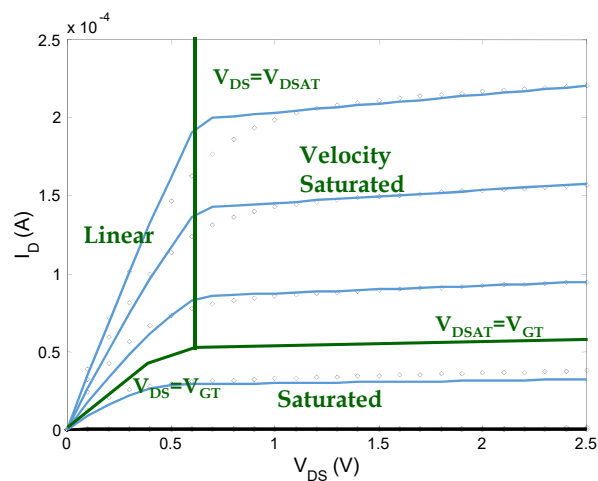
$$V_{TN} = V_{TN0} + \gamma_n (\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \quad \text{con } V_{TN0} > 0 \text{ e } \gamma_n > 0$$

(c) Luca Selmi - Univ. di Modena



41

Caratteristiche ID-VDS nMOSFET corti

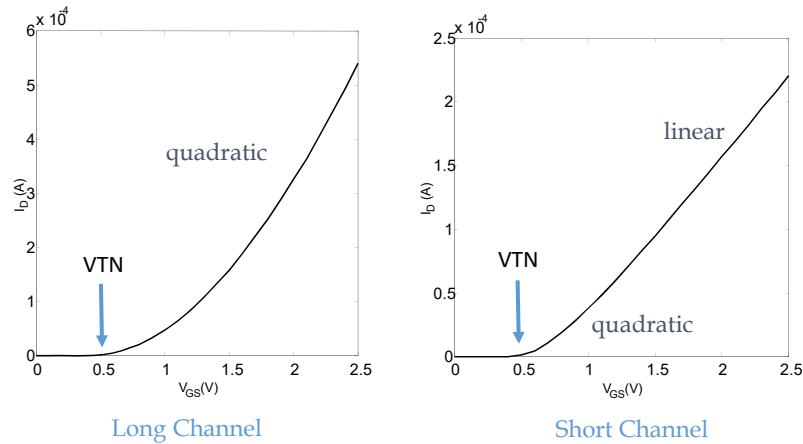


(c) Luca Selmi - Univ. di Modena



42

Caratteristiche ID-VGS nMOSFET in saturazione



(c) Luca Selmi - Univ. di Modena



43

Corrente sottosoglia di nMOSFET

La corrente sottosoglia (cioè per $V_{GS} < V_{TN}$) non è esattamente zero ma è descritta dalla equazione

$$I_{DS} = I_S \exp\left(\frac{V_{GS}}{n V_{th}}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_{th}}\right)\right) (1 + \lambda V_{DS})$$

La corrente sottosoglia per $V_{GS}=0V$ viene solitamente indicata con il simbolo IOFF

$$\log_{10}(I_{DS}) = \log_{10}\left(I_S \left(1 - \exp\left(-\frac{V_{DS}}{V_{th}}\right)\right) (1 + \lambda V_{DS})\right) + \log_{10}\left(\exp\left(\frac{V_{GS}}{n V_{th}}\right)\right)$$

$$y = p + \frac{\ln\left(\exp\left(\frac{x}{n V_{th}}\right)\right)}{\ln(10)} = p + \frac{x}{n V_{th} \ln(10)} = m x + p$$

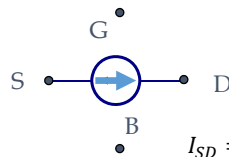
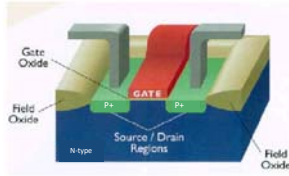
- Dove p è indipendente da V_{GS} , $V_{th} = K_B T/q = 26$ mV a 300 K e $m=1/[n \cdot 60 \text{ mV/dec}]$ a temperatura ambiente di 300 K. « n » prende il nome di fattore di idealità e vale 1 per transistori ideali. Il fattore $1/m$ prende il nome di «subthreshold swing» e rappresenta la variazione di tensione V_{GS} necessaria a modificare la corrente di sottosoglia di un fattore 10.
- In scala semilog la caratteristica I_D - V_{GS} sottosoglia appare dunque una retta che interseca l'asse delle ordinate in corrispondenza della corrente $I_{DS}=I_{OFF}$

(c) Luca Selmi - Univ. di Modena



44

Transistori pMOSFET



- Il terminale di Source è per definizione a tensione maggiore o uguale di quello di drain
- V_{TP} è negativa (tipicamente $0.2 - 0.25$ volte $-V_{DD}$)
- V_{Dsatp} è negativa e direttamente proporzionale ad L : pertanto se $V_{min} = |V_{Dsatp}|$ la corrente nel transistor tende ad essere indipendente da L
- Idealmente $I_G = I_B = 0$ A, I_{SD} è positiva (scorre da S a D)
- $k'_p = \mu_p C_{ox} = \mu_p \epsilon_{ox} / t_{ox} > 0$; $a'_p = W/L$, $\lambda_p < 0$, $k_p = k'_p * W/L$
- Effetto body: V_{TP} cala al crescere di $V_{BS} > 0$ (cioè V_{TP} cresce in valore assoluto al crescere di $V_{BS} > 0$)

$$I_{SD} = k'_p \frac{W}{L} V_{min} (V_{SG} - |V_{TP}| - V_{min}/2) (1 + |\lambda_p| V_{SD}) \text{ per } V_{SG} > |V_{TP}|$$

$$V_{min} = \min(V_{SG} - |V_{TP}|, V_{SD}, |V_{DSATp}|)$$

$$V_{TP} = V_{TP0} - \gamma_p (\sqrt{2\Phi_F + V_{BS}} - \sqrt{2\Phi_F}) \text{ con } V_{TP0} < 0 \text{ e } \gamma_p > 0$$

(c) Luca Selmi - Univ. di Modena



45

Esempio: nMOSFET con $a_n=1$

$$V_{GS} = 2.5V \rightarrow V_{GS} - V_{Tn} = 2.5V - 0.4V = 2.1V > 0$$

$$V_{DS} = 2.5V \rightarrow V_{min} = (V_{GS} - V_{Tn} = 2.1V, V_{DS} = 2.5V, V_{DSATn} = 0.4V) = 0.4V$$

$$I_d = k'_n a_n V_{min} \left[(V_{GS} - V_{Tn}) - \frac{V_{min}}{2} \right] (1 + \lambda_n V_{DS})$$

$$I_d = 100 \times 10^{-6} \times 1 \times 0.4 \times \left[(2.1) - \frac{0.4}{2} \right] (1 + 0.1 \times 2.5) = 95 \times 10^{-6} A = 95 \mu A$$

$$V_{GS} = 1.25V \rightarrow V_{GS} - V_{Tn} = 1.25V - 0.4V = 0.85V > 0$$

$$V_{DS} = 1.25V \rightarrow V_{min} = (V_{GS} - V_{Tn} = 0.85V, V_{DS} = 1.25V, V_{DSATn} = 0.4V) = 0.4V$$

$$I_d = k'_n a_n V_{min} \left[(V_{GS} - V_{Tn}) - \frac{V_{min}}{2} \right] (1 + \lambda_n V_{DS})$$

$$I_d = 100 \times 10^{-6} \times 1 \times 0.4 \times \left[(0.85) - \frac{0.4}{2} \right] (1 + 0.1 \times 1.25) = 29.25 \times 10^{-6} A = 29.25 \mu A$$

(c) Luca Selmi - Univ. di Modena



46

Esempio: pMOSFET con $a_p=4$

$$\begin{aligned}
 V_S &= 2.5V & V_G &= 0V & V_D &= 0V \\
 V_{SG} &= 2.5V \rightarrow V_{SG} - |V_{Tp}| = 2.5V - 0.4V = 2.1V > 0 \\
 V_{SD} &= 2.5V \rightarrow V_{min} = (V_{SG} - |V_{Tp}| = 2.1V, V_{SD} = 2.5V, |V_{DSATp}| = 0.4V) = 0.4V \\
 I_d &= k'_p a_p V_{min} \left[(V_{SG} - |V_{Tp}|) - \frac{V_{min}}{2} \right] (1 + |\lambda_n| V_{SD}) \\
 I_d &= 25 \times 10^{-6} \times 4 \times 0.4 \times \left[(2.1) - \frac{0.4}{2} \right] (1 + 0.1 \times 2.5) = 95 \times 10^{-6} A = 95 \mu A
 \end{aligned}$$

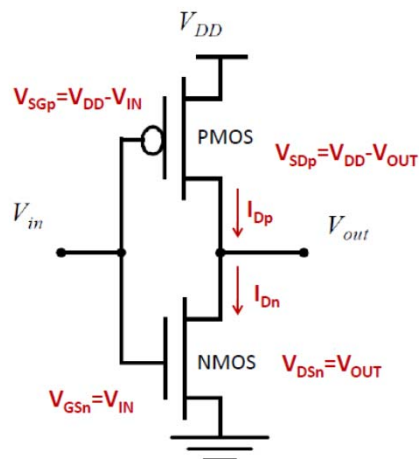
$$\begin{aligned}
 V_S &= 2.5V & V_G &= 1.25V & V_D &= 1.25V \\
 V_{SG} &= 1.25V \rightarrow V_{SG} - |V_{Tp}| = 1.25V - 0.4V = 0.85V > 0 \\
 V_{SD} &= 1.25V \rightarrow V_{min} = (V_{SG} - |V_{Tp}| = 0.85V, V_{SD} = 1.25V, |V_{DSATp}| = 0.4V) = 0.4V \\
 I_d &= k'_p a_p V_{min} \left[(V_{SG} - |V_{Tp}|) - \frac{V_{min}}{2} \right] (1 + |\lambda_n| V_{SD}) \\
 I_d &= 25 \times 10^{-6} \times 4 \times 0.4 \times \left[(0.85) - \frac{0.4}{2} \right] (1 + 0.1 \times 1.25) = 29.25 \times 10^{-6} A = 29.25 \mu A
 \end{aligned}$$

(c) Luca Selmi - Univ. di Modena



47

Invertitore CMOS



V_{DD} rappresenta la tensione di alimentazione. Storicamente assume il valore di 5V ma nelle tecnologie attuali può essere 3.3V, 2.5V, 1.8V, 1.2V

Tale inverter è chiamato CMOS acronimo di **Complementary MOS** e il motivo è dato dal fatto che sfrutta sia dispositivi MOS di tipo p che n.

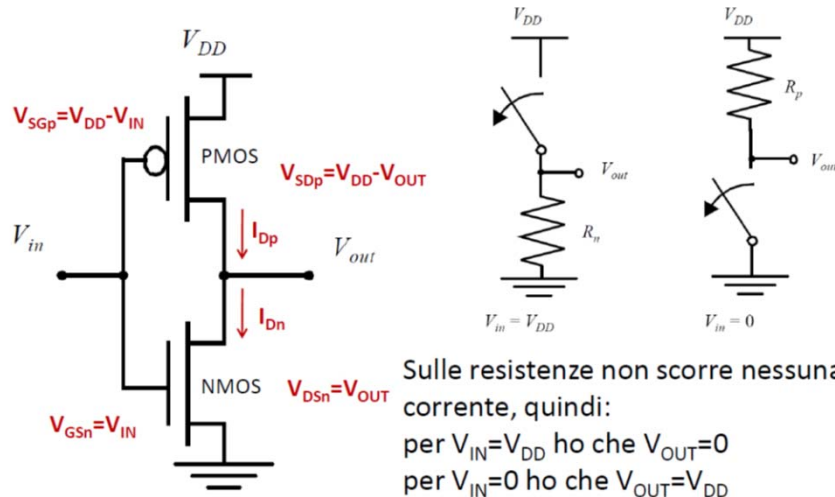
La presenza di uno switch di tipo n- e uno di tipo p- garantisce che nel caso di transizioni istantanee dell'ingresso non sia mai presente (né in condizioni stazionarie né in transitorio) un percorso di corrente diretto tra alimentazione e massa causa di consumo di potenza

(c) Luca Selmi - Univ. di Modena



48

Invertitore CMOS funzionamento qualitativo



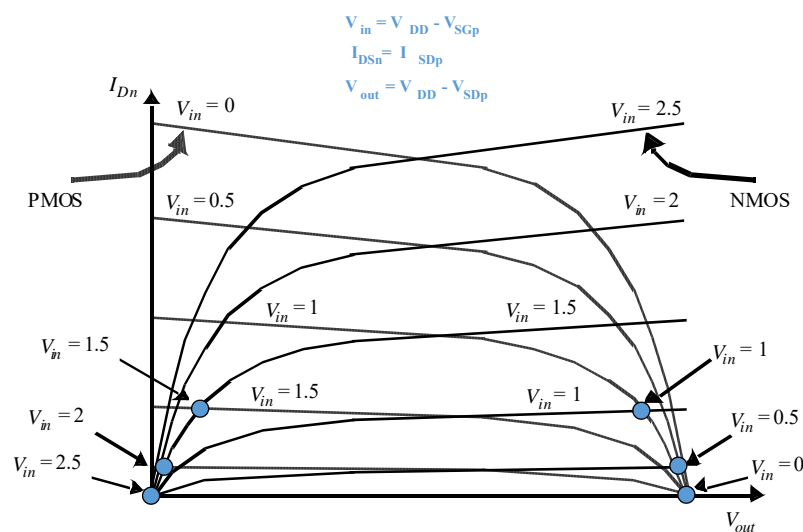
L'assenza di un percorso di corrente diretto tra alimentazione e massa e il fatto che la caratteristica $I_{DS}-V_{DS}$ del MOSFET passi per l'origine garantiscono $SL = V_{DD}$

(c) Luca Selmi - Univ. di Modena



49

Costruzione della VTC per via grafica



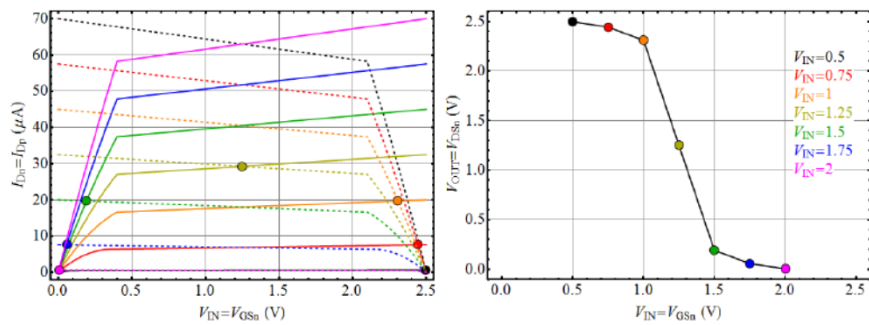
(c) Luca Selmi - Univ. di Modena



50

Costruzione della VTC per via grafica

- Per ottenere la VTC si impone che le correnti del pmos e del nmos siano uguali (lo sono perché non ci sono altri possibili percorsi per la corrente). Graficamente questo significa disegnare le caratteristiche dei due mos sullo stesso grafico e trovare i punti di intersezione

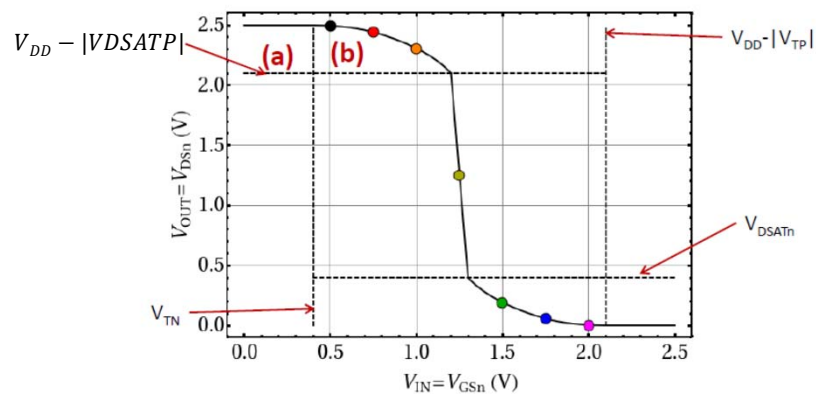


(c) Luca Selmi - Univ. di Modena



51

Costruzione della VTC per via grafica



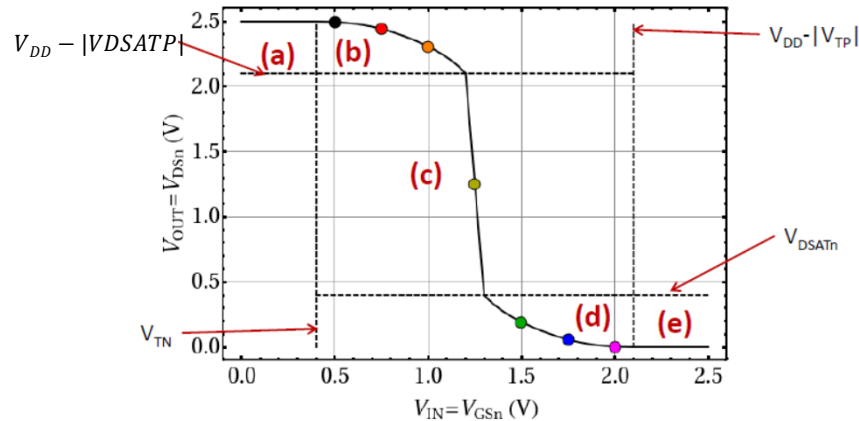
- (a): NMOS spento ($V_{IN} < V_{TN}$), PMOS acceso in regione lineare
 (b): NMOS acceso ($V_{IN} > V_{TN}$) in saturazione, PMOS acceso in regione lineare

(c) Luca Selmi - Univ. di Modena



52

Costruzione della VTC per via grafica



(c): NMOS e PMOS entrambe accesi in saturazione

(d): NMOS acceso in lineare, PMOS acceso in saturazione

(e): NMOS acceso in lineare, PMOS spento

(c) Luca Selmi - Univ. di Modena



53

Calcolo di $V_{LT} = V_M$

La soglia logica V_M può essere trovata imponendo che le correnti dell'NMOS e del PMOS siano uguali, e che $V_{OUT} = V_{IN}$. Tale condizione si verificherà sicuramente nella zona (c) dove entrambe i MOS sono in saturazione. Trascuriamo il contributo dovuto a $\lambda_{n,p}$

$$k_n V_{DSATn} \left[V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right] = k_p |V_{DSATp}| \left[V_{DD} - V_M - |V_{Tp}| - \frac{|V_{DSATp}|}{2} \right]$$

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} - |V_{Tp}| - \frac{|V_{DSATp}|}{2} \right)}{1 + r}$$

$$r = \frac{k_p |V_{DSATp}|}{k_n V_{DSATn}} = \frac{\mu_p |V_{DSATp}| W_p L_n}{\mu_n V_{DSATn} W_n L_p} = \frac{v_{satp} W_p}{v_{satn} W_n}$$

Se $V_{Tn} = |V_{Tp}|$ e $V_{DSATn} = |V_{DSATp}|$

$$V_M \approx \frac{r V_{DD}}{1 + r}$$

(c) Luca Selmi - Univ. di Modena



54

Progettazione per $V_M = V_{DD}/2$

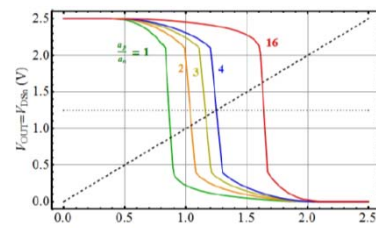
$$k_n = k'_n \left(\frac{W}{L} \right)_n = \mu_n C_{OX} \left(\frac{W}{L} \right)_n = \mu_n C_{OX} a_n$$

$$k_p = k'_p \left(\frac{W}{L} \right)_p = \mu_p C_{OX} \left(\frac{W}{L} \right)_p = \mu_p C_{OX} a_p$$

Se i parametri tecnologici dei transistori sono simmetrici ($V_{TN} = |V_{TP}|$ e $V_{DSATN} = |V_{DSATP}|$, $\lambda_n = |\lambda_p|$), allora è possibile compensare la maggiore mobilità del transistor a canale n con un più elevato fattore di forma del transistor a canale p

$$\frac{(W/L)_p}{(W/L)_n} = \frac{a_p}{a_n} = \frac{k'_n V_{DSATn} \left(\frac{V_{DD}}{2} - V_{Tn} - \frac{V_{DSATn}}{2} \right)}{k'_p |V_{DSATp}| \left(V_{DD} - \frac{V_{DD}}{2} - |V_{Tp}| - \frac{|V_{DSATp}|}{2} \right)} = \frac{k'_n}{k'_p}$$

Tipo	V_{Th} (V)	V_{DSAT} (V)	k' (A/V ²)	λ (V ⁻¹)
NMOS	0.4	0.4	100×10^{-6}	0.1
PMOS	-0.4	-0.4	25×10^{-6}	-0.1



(c) Luca Selmi - Univ. di Modena



55

Considerazioni sulla soglia logica

- La soglia logica è funzione del rapporto fra i fattori di forma a_n e a_p
- La condizione ideale (che rende la caratteristica simmetrica e massimizza i margini di rumore) è quella in cui $V_M = V_{DD}/2$
- In un circuito tipico, in cui si punta a minimizzare le dimensioni totali, i due fattori di forma corrisponderanno ai minimi consentiti dal processo
- Nei processi moderni, tipicamente si ha che:
 - Le tensioni di soglia di NMOS e PMOS sono uguali
 - La V_{DSATp} è leggermente maggiore della V_{DSATn}
 - La mobilità degli elettroni è storicamente circa 2-3 volte quella delle lacune ma i due valori stanno diventando molto simili tra loro nelle tecnologie più moderne che utilizzano strained Silicon
- Per avere $V_M = V_{DD}/2$ dobbiamo avere $r=1$

$$r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{\mu_p V_{DSATp} W_p L_n}{\mu_n V_{DSATn} W_n L_p}$$

- Se $L_n = L_p = L_{min}$ e se le V_{DSAT} sono molto simili):
 - $r=1 \rightarrow W_p = (\mu_n V_{DSATn} / \mu_p V_{DSATp}) W_n$
 - $r=1 \rightarrow W_p \approx \mu_n / \mu_p W_n \rightarrow a_p \approx \mu_n / \mu_p a_n$

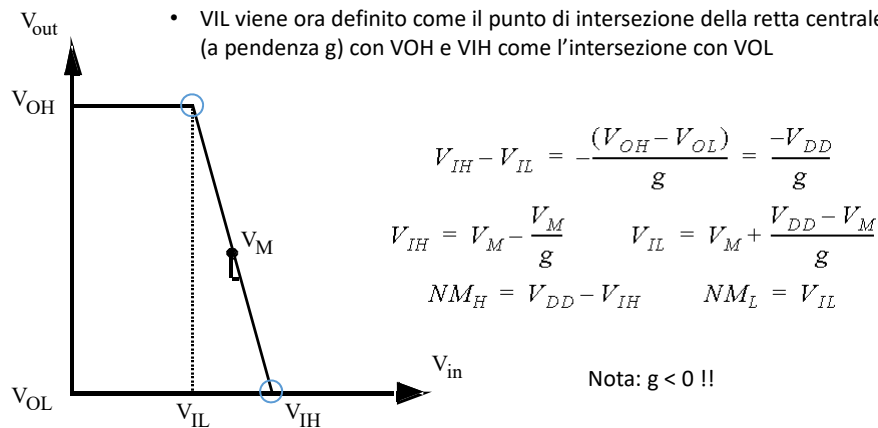
(c) Luca Selmi - Univ. di Modena



56

Margini di immunità ai disturbi

- Per calcolare i margini di rumore è necessario trovare V_{IL} e V_{IH} .
- Questo calcolo è complesso se si usano le definizioni standard.
- Eseguiamo il calcolo approssimando la VTC come una curva spezzata, costituita da 3 tratti.
- V_{IL} viene ora definito come il punto di intersezione della retta centrale (a pendenza g) con V_{OH} e V_{IH} come l'intersezione con V_{OL}



(c) Luca Selmi - Univ. di Modena



57

Calcolo del guadagno di tensione

- Il calcolo del guadagno di tensione può essere effettuato con una metodologia di linearizzazione della VTC nell'intorno della soglia logica. Questa metodologia porta come risultato

$$\frac{dV_{out}}{dV_{in}} = \frac{dV_{out}}{dI_{ds}} \frac{dI_{ds}}{dV_{in}} = -\frac{g_{mn} + g_{mp}}{g_{dn} + g_{dp}}$$

- Dove i termini g_m e g_d sono tutti positivi e definiti come

$$g_{mn} = \frac{dI_{DSn}}{dV_{GSn}} \quad g_{mp} = \frac{dI_{SDp}}{dV_{SGp}} \quad g_{dn} = \frac{dI_{DSn}}{dV_{DSn}} \quad g_{dp} = \frac{dI_{SDp}}{dV_{SDp}}$$

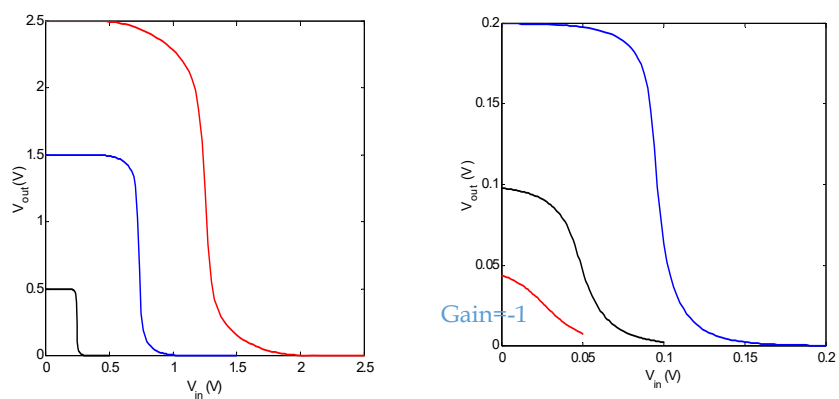
- Valori tipici di g in tecnologie moderne si aggirano attorno a 10-30

(c) Luca Selmi - Univ. di Modena



58

VTC al variare della tensione V_{DD}

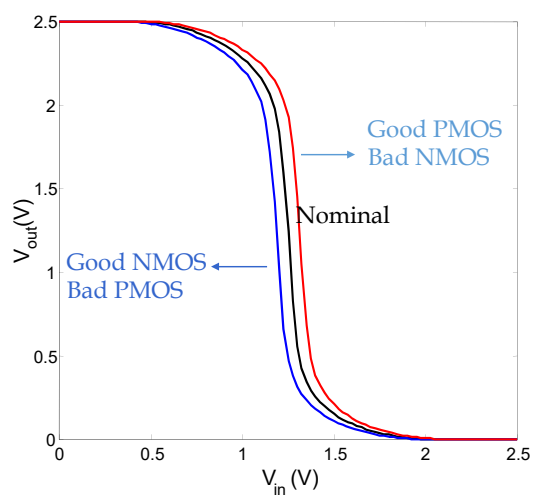


(c) Luca Selmi - Univ. di Modena



59

Impatto delle variazioni di processo



(c) Luca Selmi - Univ. di Modena



60

Sintesi relativa alle caratteristiche statiche

- Le tensioni nominali di uscita sono rispettivamente V_{DD} e 0 dunque coprono il massimo intervallo di tensioni possibile ($S_L = V_{DD}$)
- Il valore delle tensioni nominali V_{OH} e V_{OL} NON dipende dalle dimensioni dei MOS (logica ratioless, ossia NON a rapporto)
- L'invertitore può essere progettato per avere $V_M = V_{DD}/2$, con conseguente massimizzazione dei margini di immunità ai disturbi
- In condizioni statiche esiste sempre un percorso a bassa impedenza (idealmente un corto circuito) verso massa o verso l'alimentazione (a seconda che sia chiuso lo NMOS o il PMOS)
- In condizioni statiche NON esiste un percorso di corrente diretto fra alimentazione e massa → consume static nullo
- L'impedenza di ingresso è molto elevata (idealmente infinita) perché rappresentata dal terminale di gate di un transistor MOS