

SINTESI DI CIRCUITI LOGICI A MULTIPLEXER E PASS-TRANSISTORS

CIRCUITI LOGICI DINAMICI

(c) Luca Selmi - Univ. di Modena



135

Diritti d'autore

Questa filmato è protetto dalle leggi sul copyright e dalle disposizioni dei trattati internazionali. Il titolo ed i copyright relativi al filmato (ivi inclusi, ma non limitatamente, ogni immagine, fotografia, animazione, video, audio, musica e testo) sono di proprietà dell'autore, prof. Luca Selmi, Università degli Studi di Modena e Reggio Emilia.

Il filmato può essere utilizzato dall'Università degli Studi di Modena e Reggio Emilia, per scopi istituzionali, non a fine di lucro. In tal caso non è richiesta alcuna autorizzazione.

Ogni altro utilizzo o riproduzione (ivi incluse, ma non limitatamente a, lo scaricare o creare copie su dispositivi locali, le riproduzioni su supporti magnetici, su reti di calcolatori e stampe) in toto o in parte è vietata, se non esplicitamente autorizzata per iscritto, a priori, da parte dell'autore. L'informazione contenuta in questo filmato è ritenuta essere accurata alla data della pubblicazione. Essa è fornita per scopi meramente didattici e non per essere utilizzata in progetti di impianti, prodotti, reti, ecc.

In ogni caso essa è soggetta a cambiamenti senza preavviso. L'autore non assume alcuna responsabilità per il contenuto di questo filmato (ivi incluse, ma non limitatamente, la correttezza, completezza, applicabilità, aggiornamento dell'informazione).

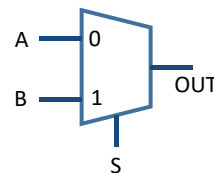
In ogni caso non può essere dichiarata conformità all'informazione contenuta in questo filmato. In ogni caso questa nota di copyright e il suo richiamo in calce non devono mai essere rimossi e devono essere riportati anche in utilizzi parziali.

(c) Luca Selmi - Univ. di Modena



Sintesi logica a multiplexer

- Un multiplexer è una rete avente n ingressi di selezione, s_i , 2^n ingressi, x_i e una uscita, out.
- In corrispondenza di ciascuna delle 2^n combinazioni degli ingressi viene copiato in uscita il dato del corrispondente ingresso x_i .
- L'implementazione di multiplexer è particolarmente efficiente se si utilizzano pass-transistor
- Esempio di multiplexer a 2 ingressi
- Un bit di selezione S
- $Out = A * NOT(S) + B * S$



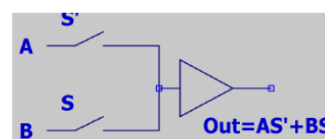
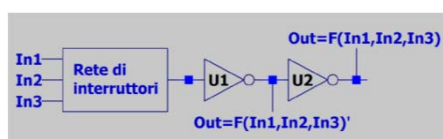
(c) Luca Selmi - Univ. di Modena



137

Implementazione di multiplexer

- L'implementazione di multiplexer è particolarmente efficiente se si utilizzano pass-transistor
- Esempio di multiplexer a 2 ingressi
- Un bit di selezione S in forma vera e negata
- Se $S=0$ passa A (quindi 0 o 1 a seconda del valore di A).
- Se $S=1$ passa B (quindi 0 o 1 a seconda del valore di B).
- Il nodo a valle della rete di interruttori non è in grado di trasmettere 0 o 1 forti. E' necessaria una connessione a VDD o 0 V che può essere ottenuta realizzando un buffer, per esempio attraverso una catena di due invertitori



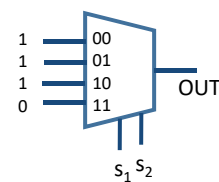
(c) Luca Selmi - Univ. di Modena



138

Implementazione di multiplexer

- Il multiplexer può essere utilizzato per implementare una funzione logica $out=f(s_1, s_2, \dots, s_n)$ nella quale le variabili s_i svolgono il ruolo di ingressi mentre le x_i assumono il valore fisso «0» o «1» a seconda di quanto deve valere l'uscita out in corrispondenza della particolare combinazione di ingressi.
- Esempio di porta logica NAND a 2 ingressi



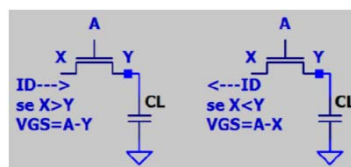
(c) Luca Selmi - Univ. di Modena



139

Realizzazione degli switch attraverso pass-transistor

- Il transistor MOS è un dispositivo simmetrico, dunque non si può definire uno dei due terminali source o drain senza sapere il verso della corrente o il potenziale applicato.
- Nel transistor nMOSFET il source è il terminale verso cui è diretta la corrente (potenziale inferiore).
- Dunque a seconda di come scorre la corrente cambia la caduta di potenziale che devo considerare quale V_{GS} per verificare se il transistor è acceso o spento.



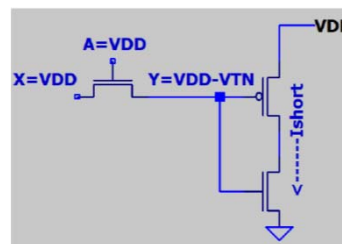
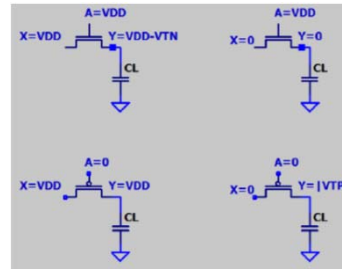
(c) Luca Selmi - Univ. di Modena



140

Riepilogo su pass-transistor MOSFET

- Abbiamo già visto che i transistor NMOS trasmettono bene lo zero ma male l'uno.
- Per i PMOS vale il discorso duale...
- Un 1 “debole” causa un consumo di potenza statico nell’inverter che segue l’interruttore. Infatti il PMOS sarà sull’orlo della conduzione ed avrà una corrente I_{sc} non nulla.
- Come ovviare al problema ?



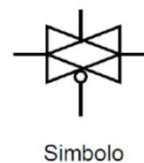
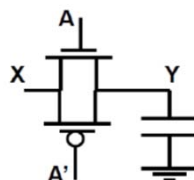
(c) Luca Selmi - Univ. di Modena



141

Transfer-gate CMOS

- Si tratta di due pass-transistor in parallelo, uno con transistore a canale n, l'altro con transistore a canale p.
- Il PMOS è pilotato dal segnale di ingresso del NMOS invertito.
- Il PMOS si occupa di correggere gli 1 “deboli” e lo NMOS di correggere gli 0 “deboli”.
- Il circuito presenta margini di immunità ai disturbi maggiori che se fosse implementato a pass-transistor
- Il circuito necessita del PMOSFET e del segnale in forma negata

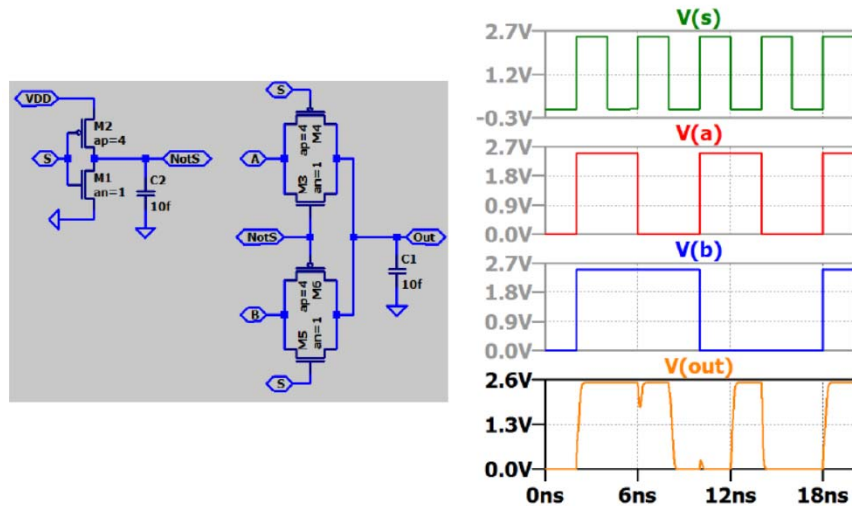


(c) Luca Selmi - Univ. di Modena



142

MUX 2x1 a pass transistor



(c) Luca Selmi - Univ. di Modena

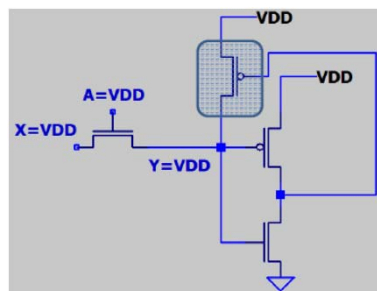


143

Level restorer (per «1» deboli)

L'implementazione con soli NMOS (che risolve il problema di dovere avere a disposizione tutti i segnali di ingresso negati) è possibile usando il level restorer

Quando passa un 1 è sufficiente che il nodo Y sia abbastanza alto da fare commutare l'inverter per accendere il level-restorer che porta Y stesso a VDD

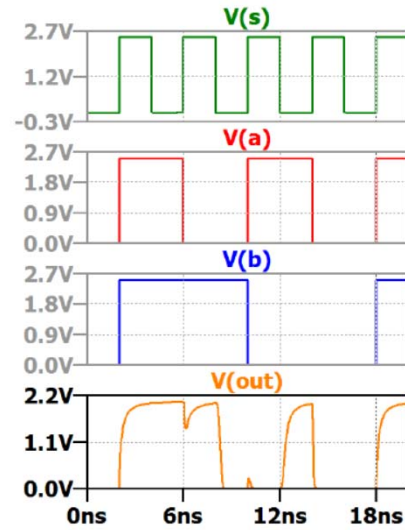
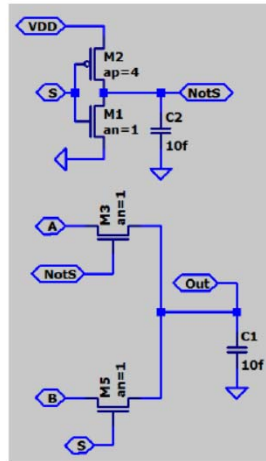


(c) Luca Selmi - Univ. di Modena



144

MUX 2x1 senza Level Restorer

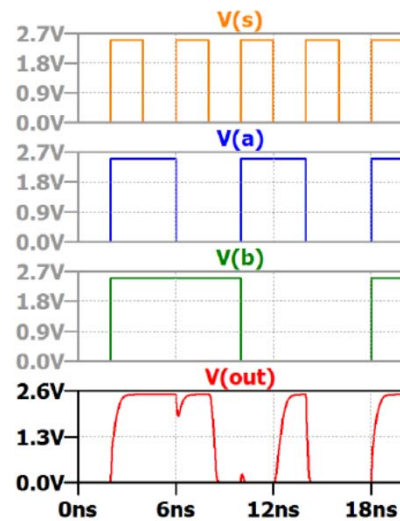
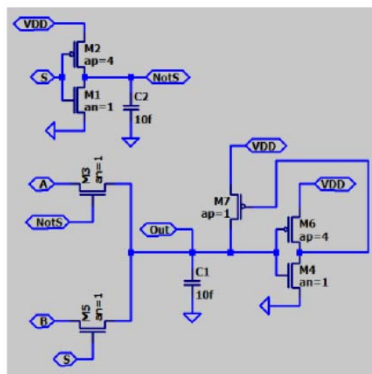


(c) Luca Selmi - Univ. di Modena



145

MUX 2x1 con Level Restorer

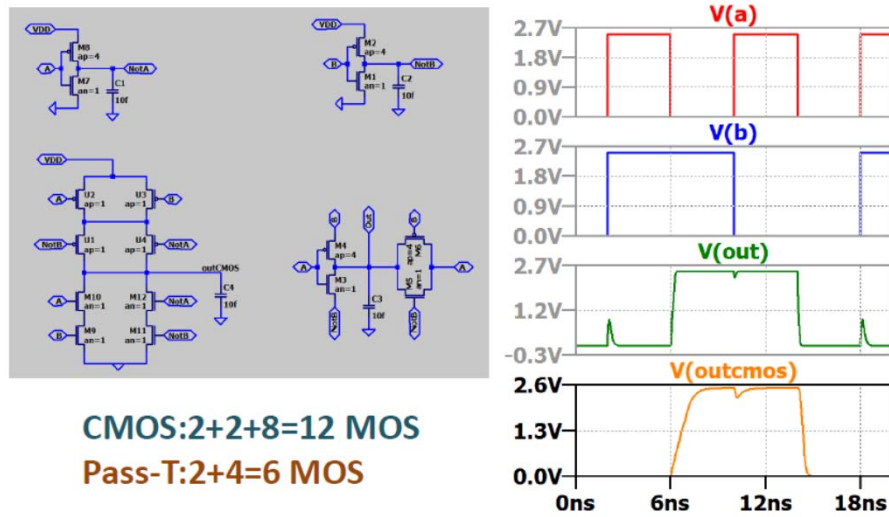


(c) Luca Selmi - Univ. di Modena



146

Esempio di sintesi logica: XOR



(c) Luca Selmi - Univ. di Modena

UNIMORE
UNIVERSITÀ DI MODENA
INTELLIGENT PRODUCTION

147

Domande di riepilogo

(c) Luca Selmi - Univ. di Modena

UNIMORE
UNIVERSITÀ DI MODENA
INTELLIGENT PRODUCTION

148

Logica combinatoria dinamica

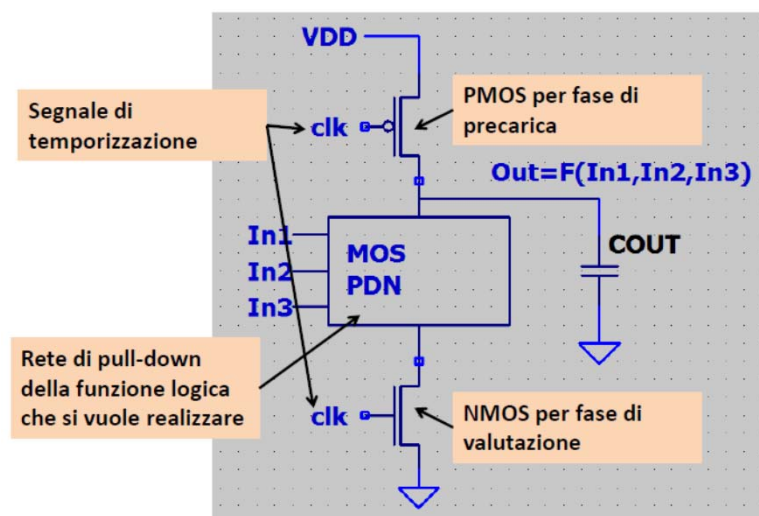
- Le logiche dinamiche sono logiche in cui negli stati stazionari le uscite non sono sempre connesse ad una delle alimentazioni.
- L'informazione viene temporaneamente immagazzinata sotto forma di **carica elettrica su un condensatore**.
- Poiché il condensatore non può essere mai perfettamente isolato lo stato di carica tende a degradarsi ed è necessario prevedere delle forme di refresh del dato (tipicamente contestuali alla sua lettura)
- In genere sono logiche temporizzate, in cui cioè si alternano fasi di **valutazione** della funzione logica e di **memorizzazione** sulle capacità.
- La temporizzazione è condizionata dalle caratteristiche di isolamento delle capacità. Maggiore l'isolamento, minore la frequenza di refresh necessaria.

(c) Luca Selmi - Univ. di Modena



149

Logiche combinatorie dinamiche di tipo Domino

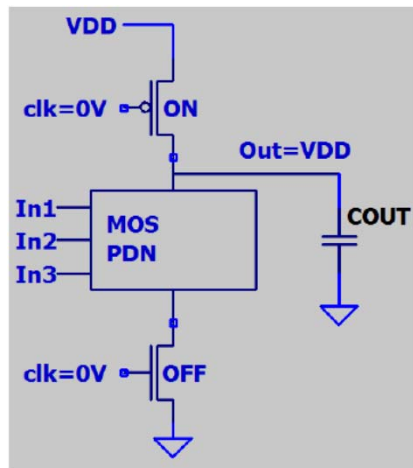


(c) Luca Selmi - Univ. di Modena



150

Fase di precarica (CLK=«0»)



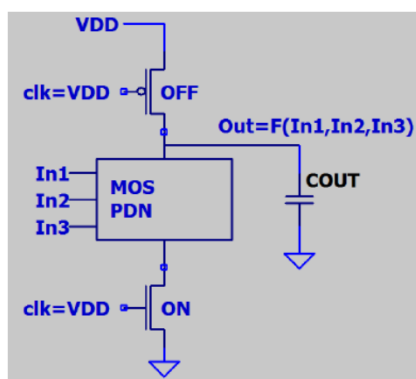
Il PMOS è acceso e cortocircuita l'uscita a V_{DD} .
Lo NMOS è spento ed interdice il percorso verso massa.
Il capacitore si carica a V_{DD} .

(c) Luca Selmi - Univ. di Modena



151

Fase di valutazione (CLK=«1»)



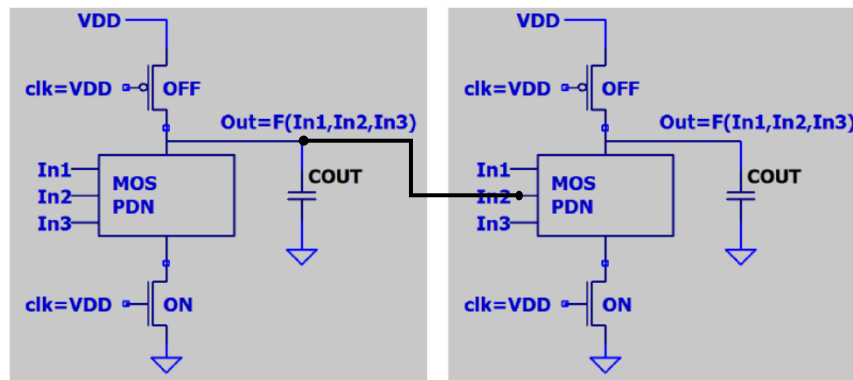
Il PMOS è spento ed interdice il percorso verso V_{DD} . Lo NMOS è acceso ed abilita il percorso verso massa. Se la combinazione di ingresso è tale da chiudere un percorso nella PDN il capacitore si scarica verso massa.

(c) Luca Selmi - Univ. di Modena



152

Fase di valutazione in cascata



(c) Luca Selmi - Univ. di Modena



153

Principio di funzionamento di logiche Domino

- Quando il segnale di clock è basso la PDN è disabilitata (lo NMOS apre il percorso a massa) ed il PMOS carica la COUT in uscita a VDD
- Quando il segnale di clock è alto il PMOS si interdice e la PDN è abilitata, quindi l'uscita potrà andare a 0 (se PDN si chiude) o restare a 1 (altrimenti)
- Il funzionamento è quindi sincronizzato dal segnale di clock clk e le operazioni sono divise in 2 fasi
 - 1. Precarica (clk=0)
 - 2. Valutazione (clk=1)
- In presenza di porte logiche Domino in cascata l'attivazione del clock sulla prima porta abilita la valutazione a cascata di tutte le porte logiche a valle in modo strettamente sequenziale; da qui il nome «Domino».

(c) Luca Selmi - Univ. di Modena



154

Caratteristiche e problematiche delle logiche Domino

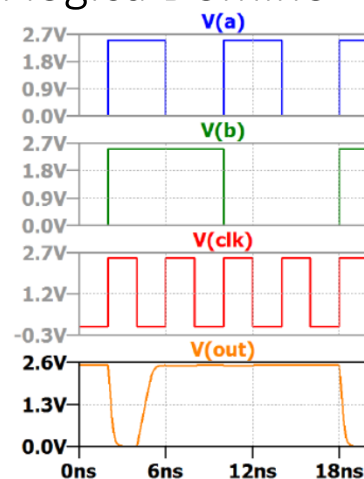
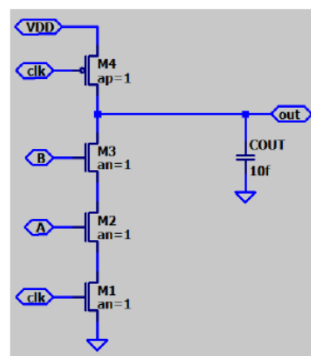
- Sono necessari solo N+2 transistor
- Ogni ingresso vede il carico di un solo MOS.
- Non c'è dissipazione di potenza statica (il percorso statico fra VDD e massa è sempre interdetto).
- La PDN può essere realizzata come nel caso del CMOS statico (quindi implementa solo funzioni invertenti).
- E' più veloce e compatta dell'equivalente CMOS statico (meno capacitori parassiti e minor carico dovuto alla presenza di un solo gate anzi che due).
- Poiché la commutazione dipende da soli transistor NMOS si può dire che V_M , V_{IL} e V_{IH} coincidono con V_{Tn} (tensione di soglia degli NMOS). Questo rende i margini di rumore molto bassi.
- Inoltre il fatto che l'uscita alta sia immagazzinata come carica su una capacità rende il circuito molto sensibile a disturbi (accoppiamenti capacitivi).
- La presenza di correnti di perdita può scaricare inavvertitamente l'uscita alta.

(c) Luca Selmi - Univ. di Modena



155

Esempio di NAND2 in logica Domino

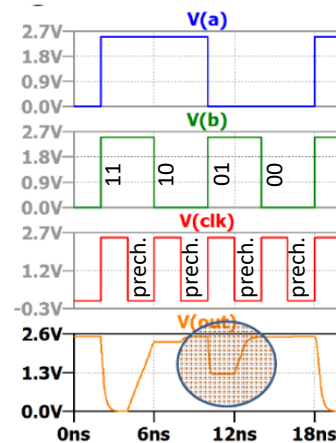
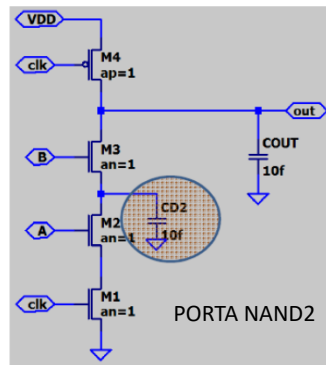


(c) Luca Selmi - Univ. di Modena



156

Problemi delle logiche dinamiche: Charge sharing

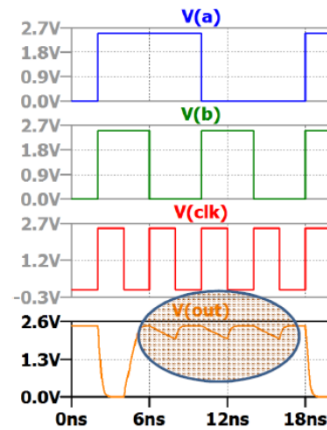
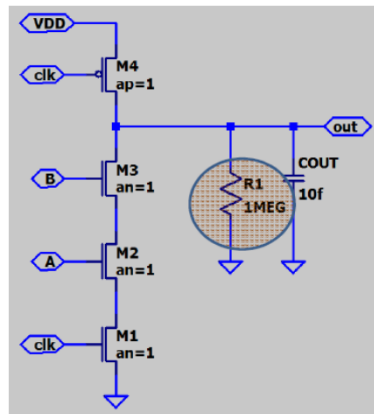


La valutazione di «10» scarica CD2 attraverso M1 ed M2, mentre OUT resta a «1» in quanto M3 è spento. La valutazione di «01» dovrebbe mantenere alta l'uscita, ma M3 si accende mentre M2 resta spento. Pertanto la carica su Cout si distribuisce su Cout+CD2 causando una riduzione della tensione che può essere significativa.

Problemi delle logiche dinamiche: Charge sharing

- Prima dell'accensione di M3 abbiamo:
 - $V_{out}=VDD$, $Q_{out}=C_{out}*VDD$
 - $V_{cd2}=0$ V, $Q_{cd2}=0$ C
- Durante l'accensione il nodo costituito da Vout e Vcd2 resta isolato e pertanto la carica $Q_{out}+Q_{cd2}$ si conserva tra prima e dopo la transizione
- La carica si ridistribuisce tra le armature di Cout e Cd2. Il transitorio si esaurisce quando $V_{out}=V_{cd2}=V_{fin}$, condizione per la quale Cout e Cd2 risultano in parallelo. Pertanto abbiamo
 - $Q_{out}+Q_{cd2} = (C_{out}+C_{d2})*V_{fin}$
- $V_{fin} = C_{out}*VDD / (C_{out}+C_{d2})$

Problemi delle logiche dinamiche: perdite nei condensatori



Se il nodo di uscita presenta perdite verso massa o VDD (per esempio dovute a imperfetta tenuta dell'isolante di gate o leakage attraverso le giunzioni di drain di M4 ed M3, allora la Cout si scarica parzialmente durante i periodi in cui la tensione Vout dovrebbe rimanere a «1».

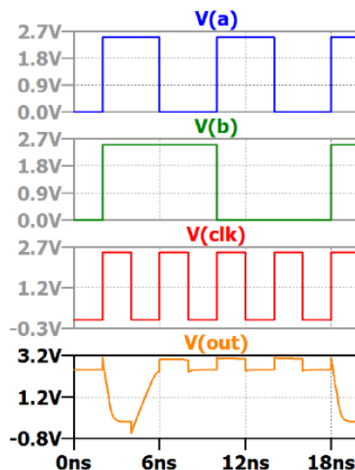
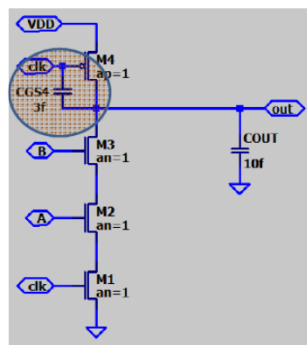
(c) Luca Selmi - Univ. di Modena



UNIMORE
UNIVERSITÀ DI MODENA
INTELLIGENT DESIGN

159

Problemi delle logiche dinamiche: clock feedthrough



La presenza di capacità gate-source e gate-drain causa un accoppiamento capacitivo tra segnale di clock e uscita del circuito.

Se CGS4 è confrontabile con Cout, la perturbazione dell'uscita prodotta dal clock è significativa. Analoghe considerazioni possono valere per l'accoppiamento tra il segnale «B» e l'uscita.

(c) Luca Selmi - Univ. di Modena



UNIMORE
UNIVERSITÀ DI MODENA
INTELLIGENT DESIGN

160

Domande di riepilogo

(c) Luca Selmi - Univ. di Modena



161