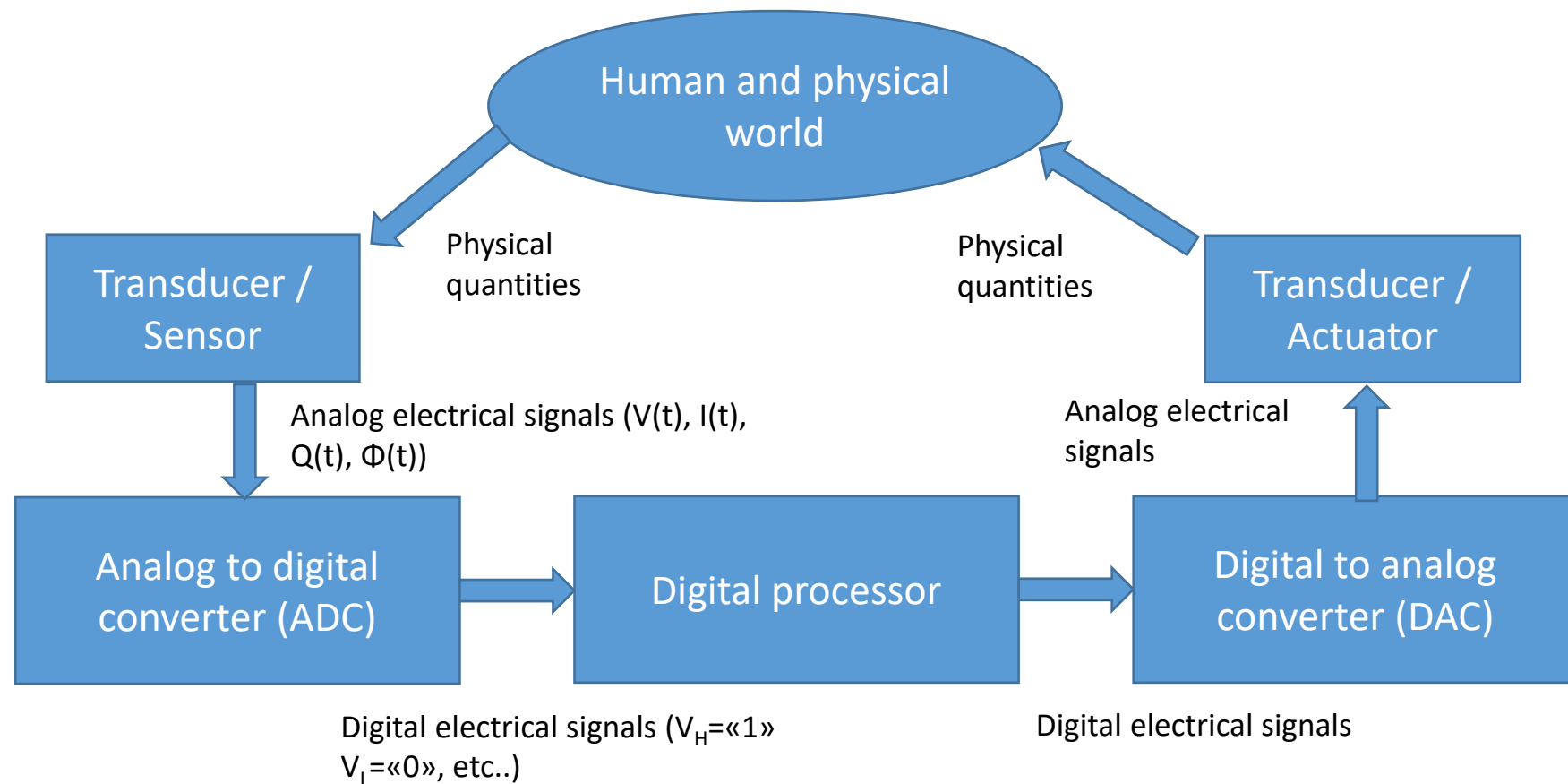


# Electronic systems (cyber-physical systems)



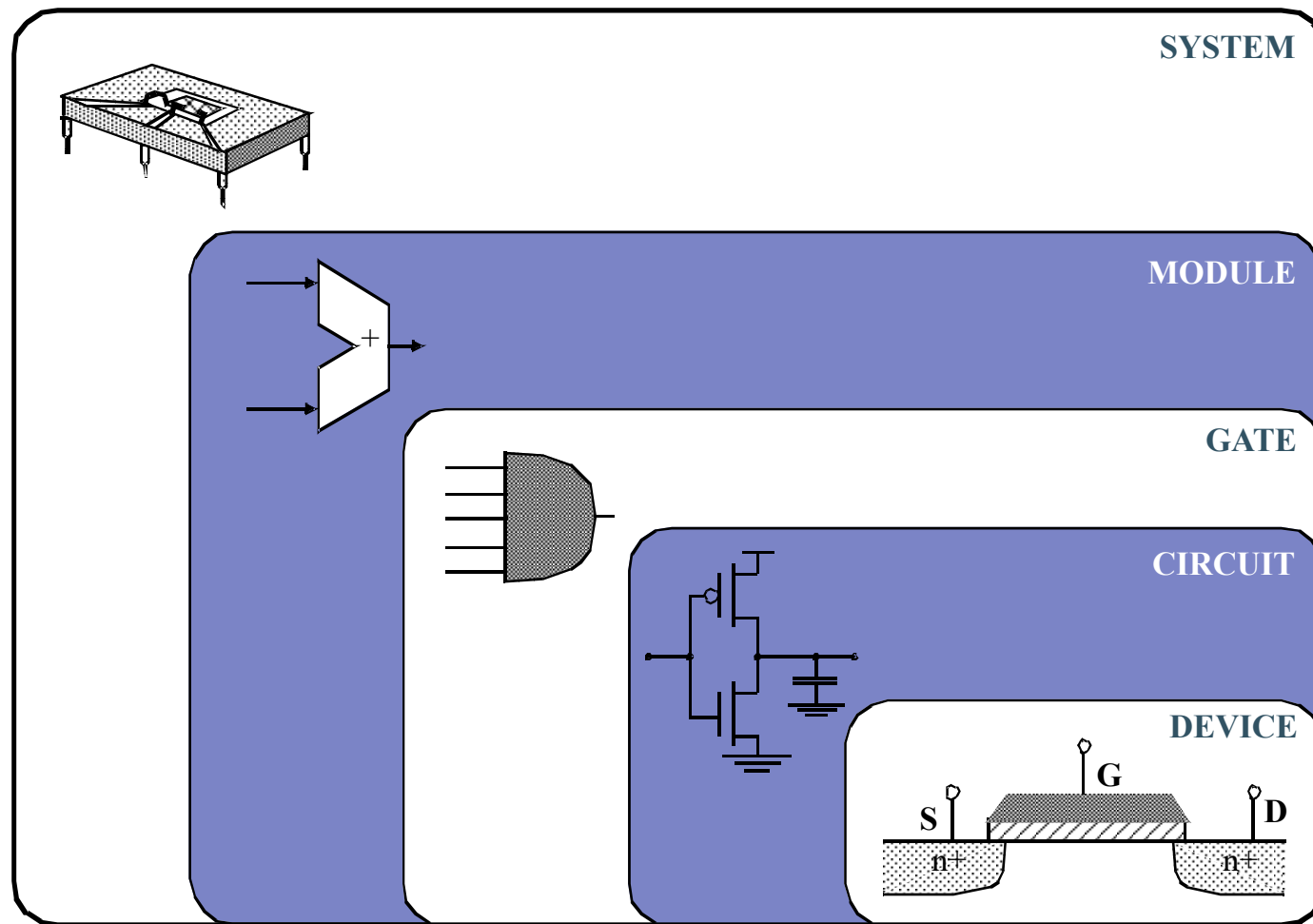
I segnali possono essere di natura sia

analogica :  $v(t) = s(t) + n(t)$

Digitale :  $v(t) = V_H + n(t)$  oppure  $v(t) = V_L + n(t)$

- La rappresentazione di questi 2 valori avviene associando a questi ultimi degli intervalli di valori relativi ad una grandezza elettrica, tipicamente rappresentata da una **tensione**.

# Livelli di astrazione



# Segnali digitali

- E' un segnale digitale che assume solo 2 valori:  
0 e 1, vero e falso, alto e basso

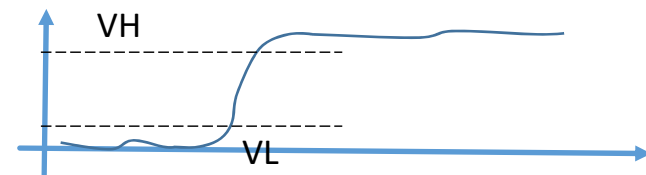
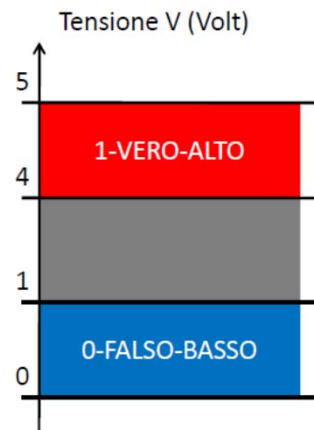
In logica vera o positiva:

assenza del segnale=0=falso, presenza del segnale=1=vero

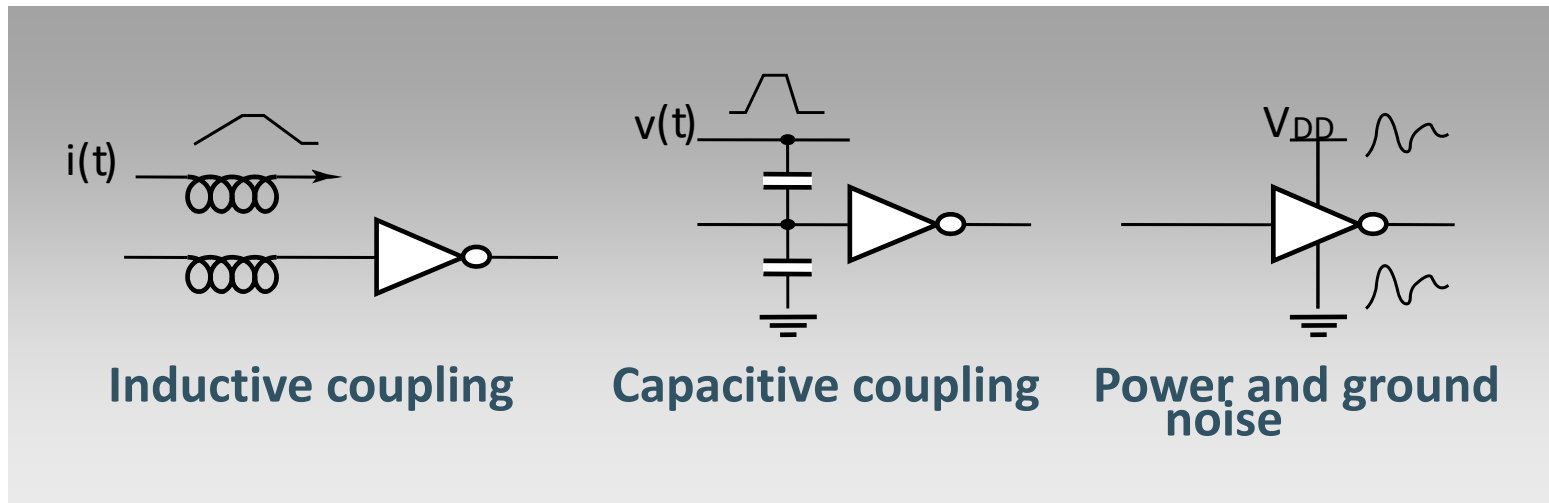
In logica falsa o negativa:

assenza del segnale=1=vero , presenza del segnale=0=falso

- A ciascuno dei due simboli viene associato un intervallo di tensione (nell' esempio a destra 4V->5V per 1 e 0V->1V per 0), e non un singolo valore.
- I due intervalli sono separati da una zona proibita di valori di tensione che non dovrebbero essere MAI presenti.
- In pratica anche in un sistema ideale questi valori intermedi vengono comunque assunti dal segnale durante le inevitabili transizioni tra un livello e l'altro, cui però si decide a priori di non dare significato

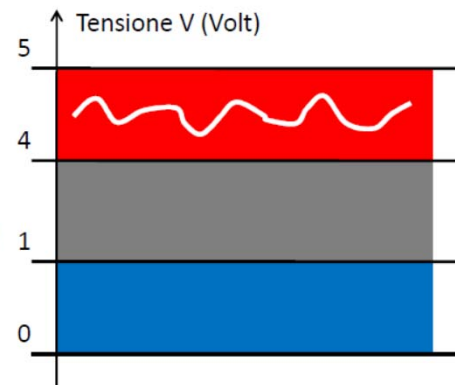


# Disturbi e relativa immunità



## Immunità ai disturbi

La presenza di disturbi elettrici non altera la validità del dato rappresentato, almeno fino a quando il segnale di tensione associato al segnale digitale rimane nell'intervallo di tensione assegnato.



# Rappresentazione digitale (binaria)

- Codificando l'informazione in forma digitale attraverso un numero limitato di simboli (ad esempio 2 come nel caso binario) si opera un'astrazione che consente di prescindere dai dettagli della forma d'onda che trasporta l'informazione (segnale) per concentrarsi solo su intervalli di valori e intervalli temporali in cui si ritiene che la forma d'onda abbia significato.
- Questo significa che eventuale rumore sovrapposto al segnale distrugge l'informazione solo se avviene in precisi intervalli di tempo e solo se la sua ampiezza supera alcune soglie preassegnate.
- Il circuito di elaborazione diventa più semplice e la sua immunità ai disturbi aumenta.
- Il prezzo da pagare è la necessità di ricorrere a circuiti di conversione A/D e D/A per interfacciare i due mondi.

# Vantaggi dei sistemi digitali

- ***Adattabilità***

Tutte le informazioni, indipendentemente dalla loro natura, vengono rappresentate nello stesso modo (con NUMERI). Ciò permette di utilizzare gli stessi sistemi elettronici digitali per applicazioni diverse. Ad esempio, un sistema di calcolo digitale potrebbe essere utilizzato sia all'interno di uno smartphone per elaborare e codificare la voce (un suono) che nella realizzazione di sistema ABS per elaborare la velocità delle ruote e quindi decidere come ripartire la frenata.

- ***Programmabilità***

Visto che i dati sono rappresentati nello stesso modo, al cambiare del tipo di dato si può cambiare non il sistema stesso ma solo la sequenza di operazioni che esso svolge sui dati stessi.

- Possibilità di disaccoppiare varie parti dell'elaborazione in blocchi distinti con chiare interfacce tra l'uno e l'altro.
- Possibilità di realizzare librerie di celle elementari descritte da pochi parametri.
- Maggiore robustezza.
- Possibilità di rigenerare il segnale al suo valore ideale anche a valle di elaborazioni da parte di elementi non-ideali
- L'uso di un numero limitato di simboli consente di utilizzare tecniche di progettazione circuitale standardizzata, modulare e semiautomatica
- Il costo della progettazione si riduce e la percentuale di successo al primo colpo migliora sensibilmente

# Computazione con variabili Booleane

- Elemento base sono le **porte logiche**, operatori in grado di implementare funzioni booleane di tipo combinatorio o sequenziale
- La connessione di porte logiche costituisce una **rete logica**
- Esempi: NOT, AND, OR, XOR, XNOR
- Un insieme completo di operatori booleani (porte logiche) è un set di porte in grado di consentire la realizzazione di qualsiasi funzione booleana combinatoria
- Esempi di insiemi completi di operatori
  1. And, Or, Not
  2. Nand
  3. Nor

# Realizzazione fisica di porte logiche

- Le porte logiche possono essere realizzate attraverso interruttori comandati, ad esempio relays, triodi a vuoto, transistori, etc. connessi in opportuni circuiti
- Nel circuito le grandezze in gioco sono  $V$ ,  $I$ ,  $Q$ , etc... ma ciascuna rappresenta una variabile booleana e quindi ha significato solo all'interno di precisi intervalli
- Una Funzione booleana di variabile Booleana sarà:  
 $F \in \{0,1\}$   $x_i \in \{0,1\}$  qualsiasi « $i$ » ;  $F=F(x_i)$  con  $x_i = V_i, Q_i$
- In taluni casi indicheremo con il simbolo del segnale elettrico la variabile Booleana e viceversa. Il contesto impedisce di generare confusione tra i due



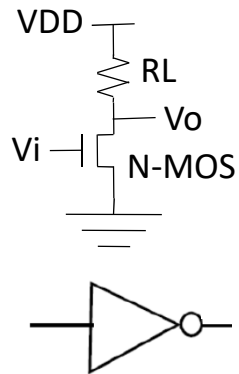
# Interruttori di tipo n- e p-

- Distinguiamo tra interruttori di tipo n- e p-
- Questi interruttori hanno minimo 3 terminali: uno di controllo e 2 tra i quali scorre la corrente controllata. La tensione di controllo modifica la conduttanza o resistenza tra gli altri 2 terminali
- Per switch realizzati nella comune tecnologia MOS il terminale di controllo è detto gate o porta e 2 tra i quali scorre la corrente controllata sono detti source e drain, rispettivamente sorgente e pozzo.
- **Negli interruttori di tipo n- la tensione di controllo è quella  $V_{GS}$  tra il gate e il terminale a potenziale più basso tra gli altri due (per definizione source degli n-MOS).** Il transistor è acceso (bassa resistenza tra source e drain) se  $V_{GS} > V_{TN}$ ; spento altrimenti
- **Negli interruttori di tipo p- la tensione di controllo è quella  $V_{GS}$  tra il gate e il terminale a potenziale più alto tra gli altri due (per definizione source dei p-MOS).** Il transistor è acceso (bassa resistenza tra source e drain) se  $V_{GS} < V_{TP} < 0$  V, ovvero  $V_{SG} > |V_{TP}|$ ; spento altrimenti.

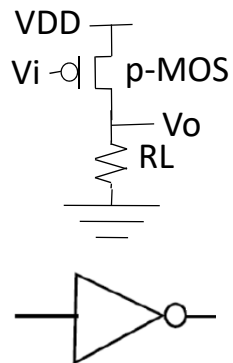
# Lezione 2

- Domande di recap della lezione precedente:
  - Quali sono le principali fonti di disturbo da considerare nei circuiti digitali ?
  - Cosa si intende per switch di tipo n ?
  - Cos'è un insieme di operatori booleani completo (con esempi) ?

# Invertitore con n-switch e con p-switch



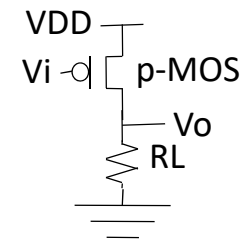
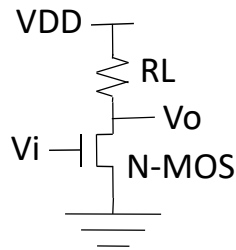
- $V_i = V_{GS}$  associato alla variabile booleana IN;  $V_o = V_{DS}$  associato alla variabile booleana OUT;  $V_{TN} > 0$ ;  $I_o = 0$  A (nessun assorbimento di corrente all'uscita)
- Se  $V_i < V_{TN} \rightarrow$  nMOS spento  $\rightarrow V_o = R_{off} / (R_{off} + R_L) = V_{DD} = V_{oH} > V_{TN}$
- Se  $V_i > V_{TN} \rightarrow$  nMOS acceso  $\rightarrow V_o = R_{on} / (R_{on} + R_L) = V_{oL} < V_{TN}$  a patto che  $R_{on} \ll R_L$
- Pertanto se  $V_i > V_{TN} \rightarrow V_o < V_{TN}$  mentre se  $V_i < V_{TN} \rightarrow V_o > V_{TN}$
- Associando «0» e «1» logico a valori alti e bassi di  $V_i$  e  $V_o$  otteniamo che per  $IN = \text{«1»} \rightarrow OUT = \text{«0»}$  mentre e viceversa  $\rightarrow$  funzione logica  $OUT = \text{NOT}(IN)$



- $V_i = V_{GS}$  associato alla variabile booleana IN;  $V_o = V_{RL}$  associato alla variabile booleana OUT;  $V_{TP} < 0$ ;  $I_o = 0$  A (nessun assorbimento di corrente all'uscita)
- Se  $V_i > V_{DD} + V_{TP} \rightarrow$  pMOS spento  $\rightarrow V_o = R_L / (R_{off} + R_L) = 0 \text{ V} = V_{oL} < V_{DD} + V_{TP}$
- Se  $V_i < V_{DD} + V_{TP} \rightarrow$  pMOS acceso  $\rightarrow V_o = R_L / (R_{on} + R_L) = V_{oH} > V_{DD} + V_{TP}$  a patto che  $R_{on} \ll R_L$
- Pertanto se  $V_i > V_{DD} + V_{TP} \rightarrow V_o < V_{DD} + V_{TP}$  mentre se  $V_i < V_{DD} + V_{TP} \rightarrow V_o > V_{DD} + V_{TP}$
- Associando «0» e «1» logico a valori alti e bassi di  $V_i$  e  $V_o$  otteniamo che per  $IN = \text{«1»} \rightarrow OUT = \text{«0»}$  mentre e viceversa  $\rightarrow$  funzione logica  $OUT = \text{NOT}(IN)$



# Invertitore con n-switch e con p-switch



In entrambi i casi è possibile progettare i circuiti in modo tale da ottenere un corretto funzionamento logico e poterli anche connettere in cascata ottenendo un corretto funzionamento logico del circuito complessivo.

Poiché in entrambi i casi la resistenza  $R_{on}$  del transistor è inversamente proporzionale alla sua larghezza  $W$ , per garantire la condizione  $R_{on} \ll R_L$  dobbiamo progettare transistori sufficientemente larghi. Più larghi sono più le tensioni  $V_{oL}$  (nMOS) e  $V_{oH}$  (pMOS) si avvicinano ai valori ottimali di 0V e  $V_{DD}$ , rispettivamente

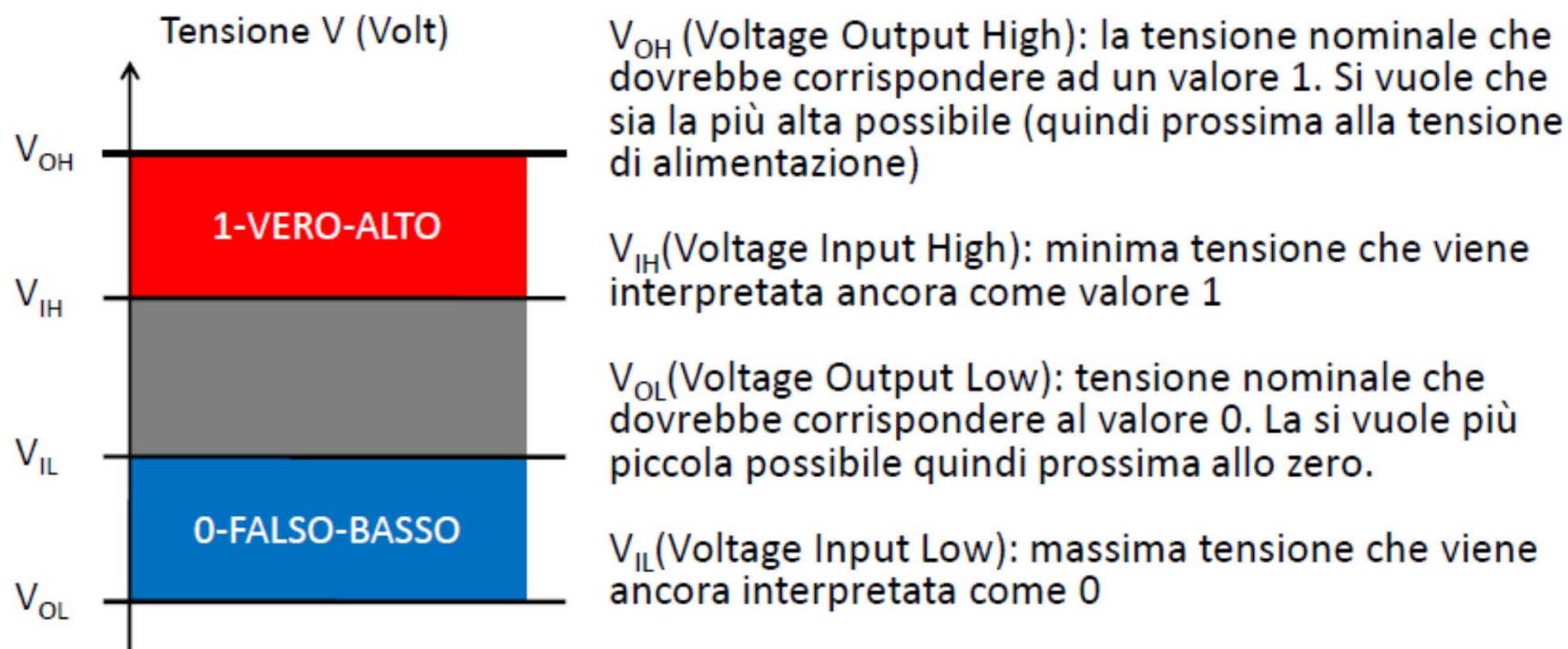
Swing logico è per definizione  $SL = V_{OH} - V_{OL}$ . Caso ideale non ottenibile con logiche a rapporto:  $SL = V_{DD} - 0 = V_{DD}$

Le logiche «a rapporto» (ratioed, come quelle mostrate) non garantiscono  $V_{OL} = 0$  V (se a nMOS) oppure non garantiscono  $V_{OH} = V_{DD}$  (se a pMOS) e pertanto non presentano  $SL$  ottimale. Inoltre, esse consumano potenza statica nello stato  $V_o = V_{OL}$  (rispettivamente  $V_o = V_{OH}$ ). Anche questa è una importante ragione per cercare di trovare soluzioni migliori.

Voltage Transfer Curve = VTC = caratteristica statica  $V_o = V_o(V_i)$ . In altri termini la funzione  $y = VTC(x)$  è quella funzione di  $x$  tale per cui  $V_o = VTC(V_i)$

Tensione di soglia logica = Logic Threshold = VLT (indicata con  $V_M$  da Rabaey)  $\rightarrow$  tensione che soddisfa la condizione  $VLT = VTC(VLT)$ . In pratica la coordinata a cui si ha l'intersezione della caratteristica statica con la bisettrice del primo quadrante.

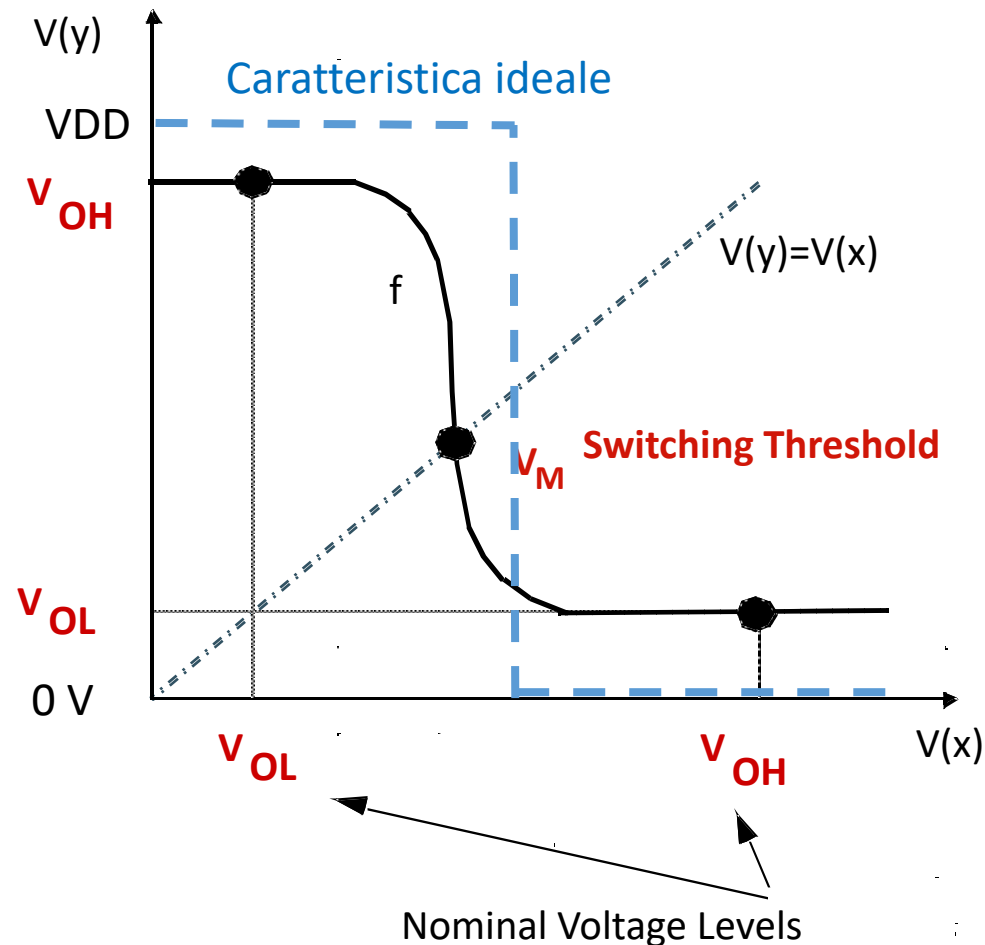
# Definizione dei livelli di tensione



Il pedice **O** si riferisce ad uscita, ovvero fa riferimento alla tensione nominale in uscita alla porta logica. Il pedice **I** si riferisce invece ad ingresso, terminale al quale tale tensione deve essere interpretata correttamente come alta o bassa)

**Questi valori devono tenere conto della variabilità delle caratteristiche delle porte logiche, delle condizioni di carico e delle escursioni di temperatura**

# Voltage Transfer Curve (VTC) e valori nominali alto e basso

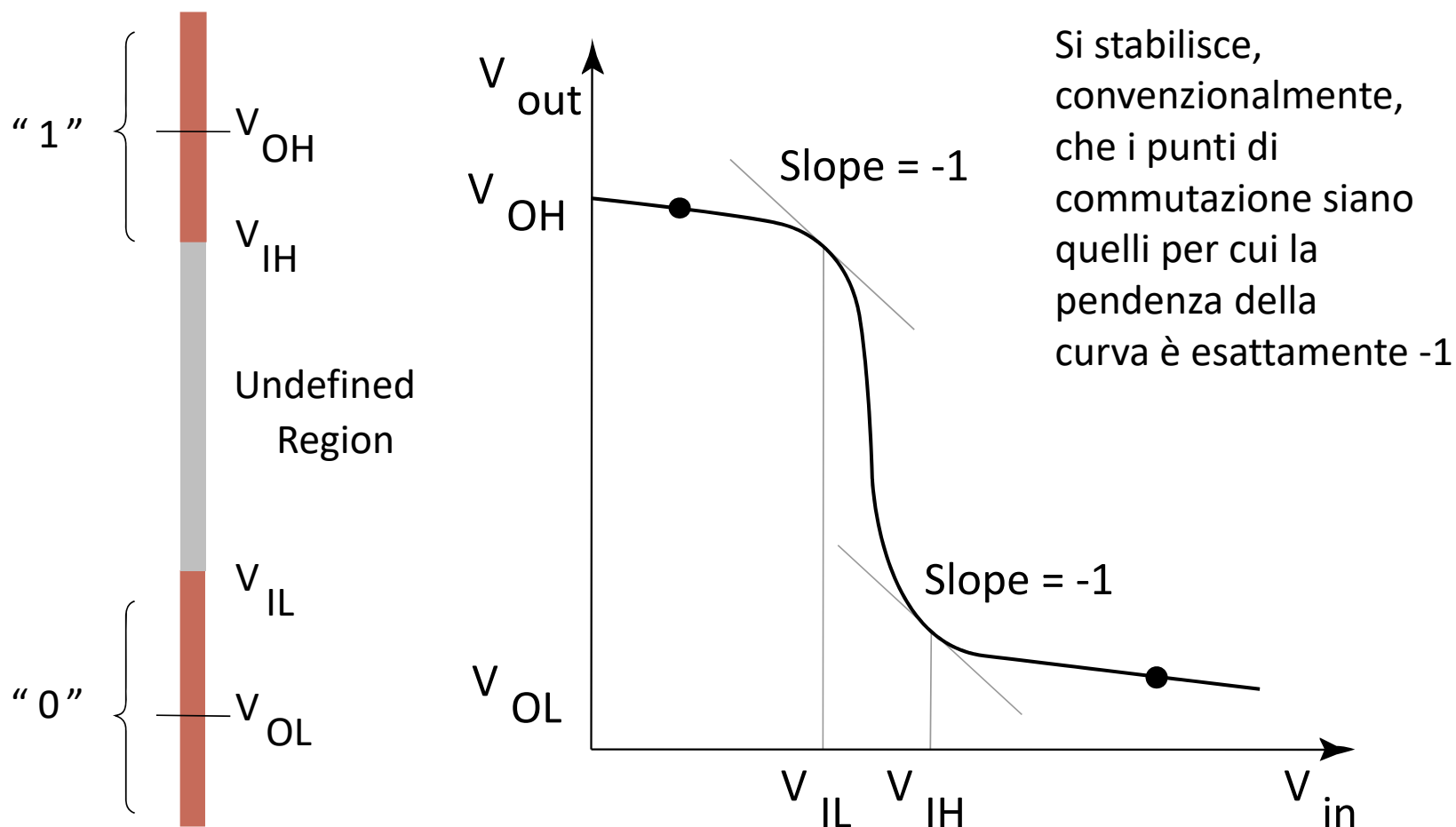


- Consideriamo una VTC biunivoca
- $VOL = f(VOH) \rightarrow$
- $VOH = f(VOL) = f^{-1}(VOL)$
- $f^{-1}$  corrisponde al grafico di  $f$  con assi  $x$  e  $y$  scambiati. Quindi  $VOH$  e  $VOL$  si trovano all'intersezione delle curve di  $f$  ed  $f^{-1}$
- $VM = f(VM)$

Guadagno di tensione  $A_v = dV_o/dV_i$   
E' indispensabile che la VTC contenga un tratto a guadagno  $A_v$  maggiore di 1 in valore assoluto  $\rightarrow |A_v| > 1$

La VTC ideale dovrebbe avere guadagno infinito o nullo. La VTC reale non presenta mai un guadagno infinito

# Margini di immunità ai disturbi



$V_{IL}$  = massima tensione che viene ancora riconosciuta come valore basso

$V_{IH}$  = minima tensione che viene ancora riconosciuta come valore alto



# Margini statici di immunità al rumore

Se l'ingresso  $V_{in1}$  è alto ( $V_{in1} > V_{IH}$ ) l'uscita del primo inverter, se tutto fosse ideale, DOVREBBE essere bassa:

(1)  $V_{out1} = V_{OL}$

Se il rumore iniettato dal primo inverter è pari a  $\Delta V$  l'uscita cambierà e diventerà:

(2)  $V_{out1} = V_{OL} + \Delta V$  (valore ideale + rumore)

Perché il secondo inverter riconosca in ingresso comunque un valore basso, l'uscita non deve uscire dall'intervallo quindi:

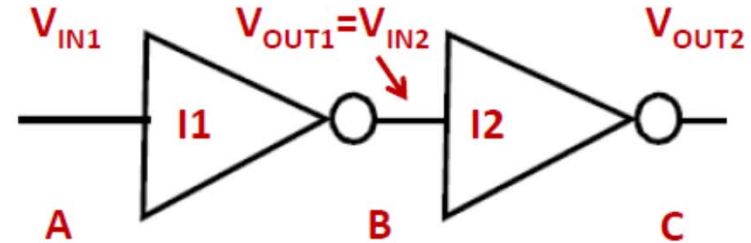
(3)  $V_{out1} < V_{IL}$

Sostituendo in (3) il valore di  $V_{out1}$  ricavato in (2) si ottiene:

(4)  $V_{OL} + \Delta V < V_{IL}$

Risolviendo (4) rispetto a  $\Delta V$  :

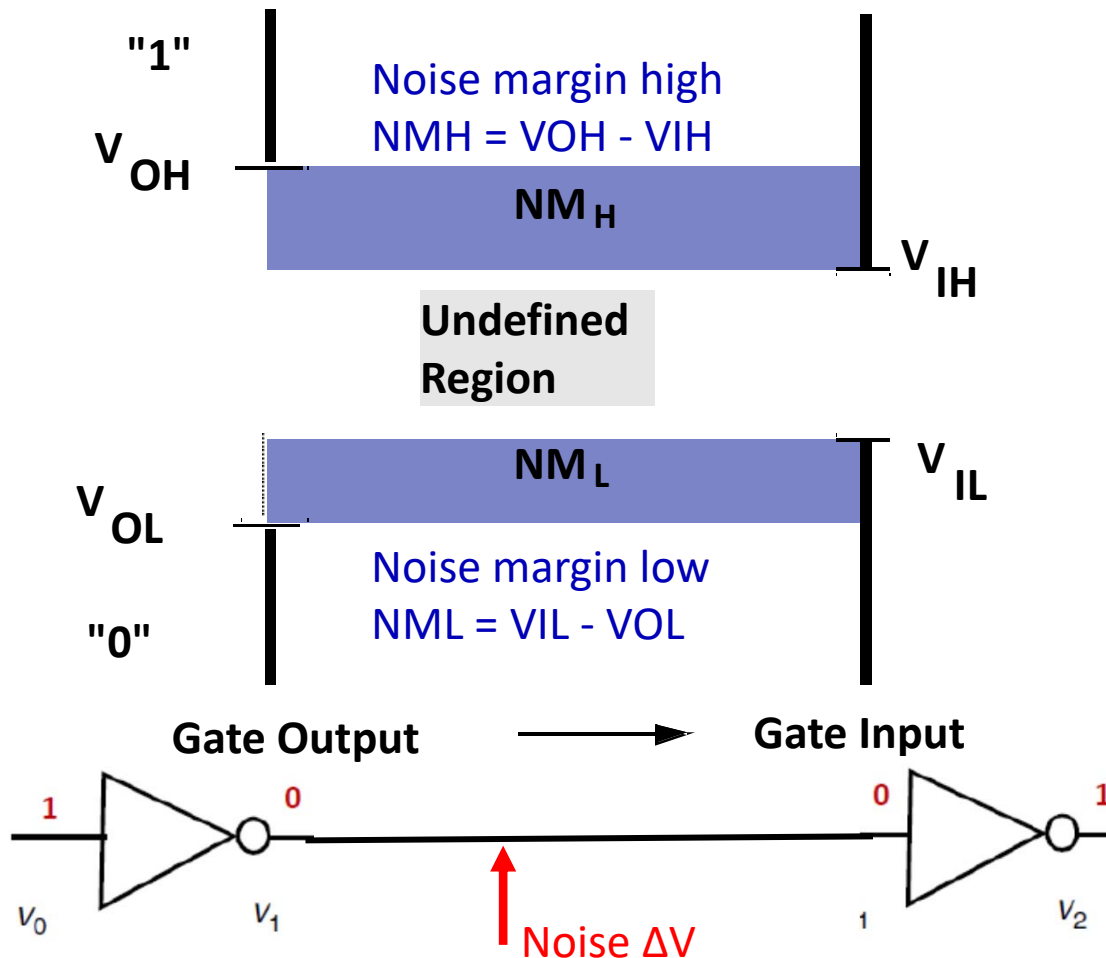
(5)  $\Delta V < V_{IL} - V_{OL}$



$$\Delta V < V_{IL} - V_{OL}$$

$\Delta V$  rappresenta la massima quantità di rumore accettabile prima che il segnale venga alterato (in senso logico) e prende il nome di margine di rumore.

# Static Noise margins



Esempio: Se al segnale v1 si somma un rumore di ampiezza DV, fino a quando il sistema funzionerà correttamente (cioè v2 sarà uguale a 0 V) ?

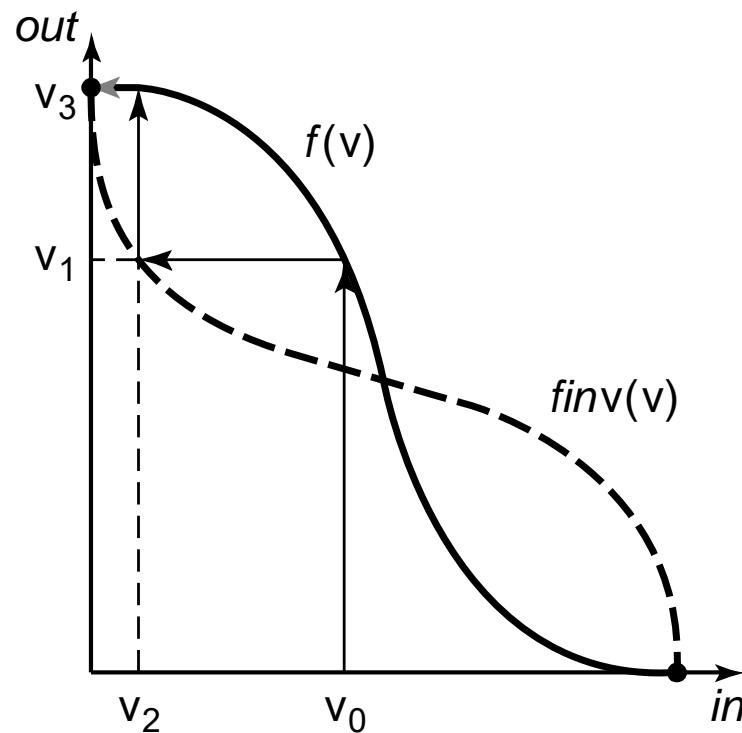
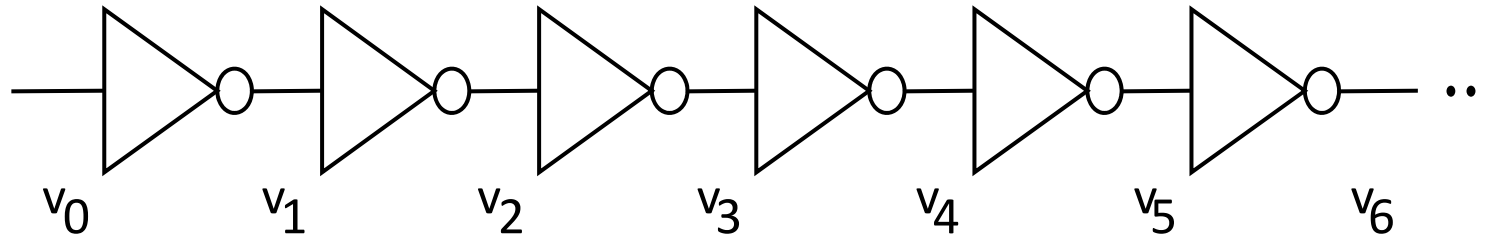
Il sistema funzionerà correttamente fino a quando la tensione v1, che rappresenta l'ingresso del secondo inverter, sarà al massimo pari a VIL, ovvero riconosciuta ancora come un ingresso basso dalla porta logica a valle di quella considerata (supposta identica a quella precedente)

NMH ed NML devono essere i più elevati possibile. Pertanto il caso ideale si ha quando la VTC presenta  $VOH = VDD$ ,  $VOL = 0V$ ,  $VLT = VDD/2$ ,  $Av(VLT) = \infty$ ,  $Av(VOH) = Av(VOL) = 0$

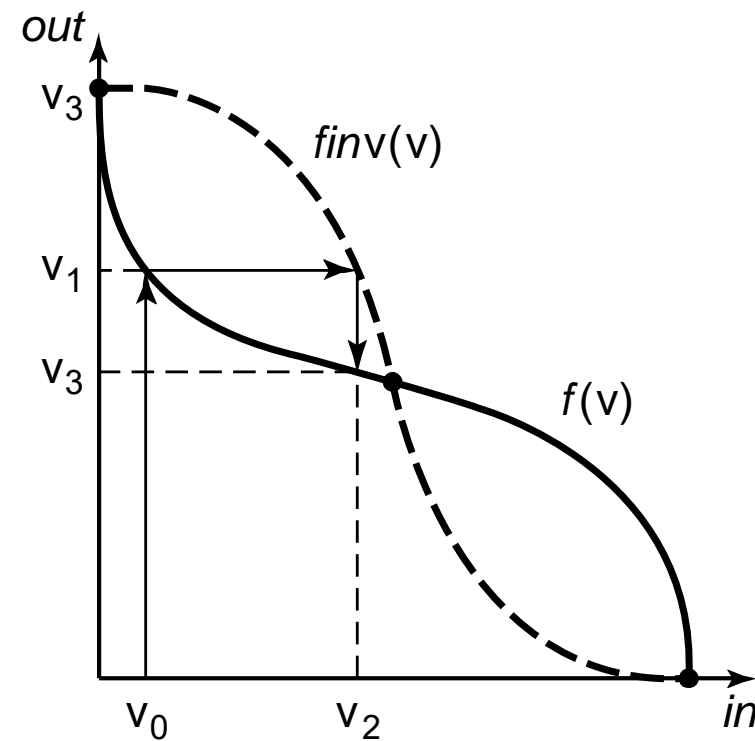
# Immunità al rumore

- Come abbiamo già visto la comunicazione tra due nodi di un circuito è soggetta a numerose fonti di rumore e interferenze.
- I margini di immunità ai disturbi possono essere metriche fuorvianti in quanto una medesima sorgente di rumore/interferenza ha effetti molto diversi sul segnale a seconda dell'impedenza del nodo colpito da rumore.
- Ad esempio nodi flottanti (debole accoppiamento puramente capacitivo verso massa o VDD) sono disturbati molto più facilmente di nodi che presentano una bassa impedenza verso la sorgente
- La metrica più importante è l'immunità ai disturbi intesa come capacità di sopprimere eventuali sorgenti di rumore riducendone l'impatto.
- Key metrics: Noise transfer functions, Output impedance of the driver and input impedance of the receiver;

# Proprietà rigenerativa

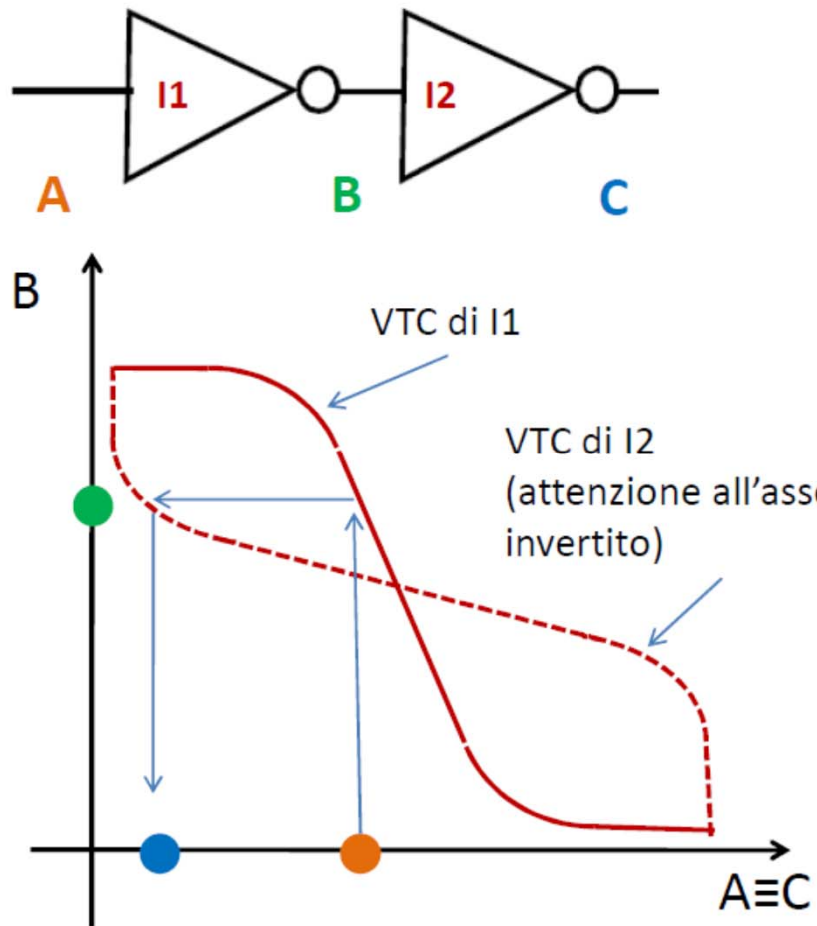


Regenerative



Non-Regenerative

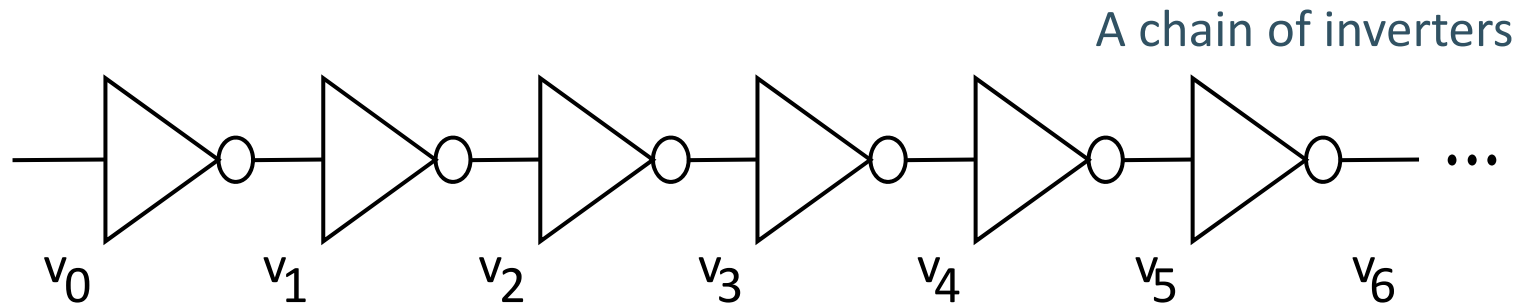
# Proprietà rigenerativa



Il vantaggio della VTC scelta sta nel fatto che un segnale affetto da rumore, attraversando livelli di logica, viene riportato a valori nominali .

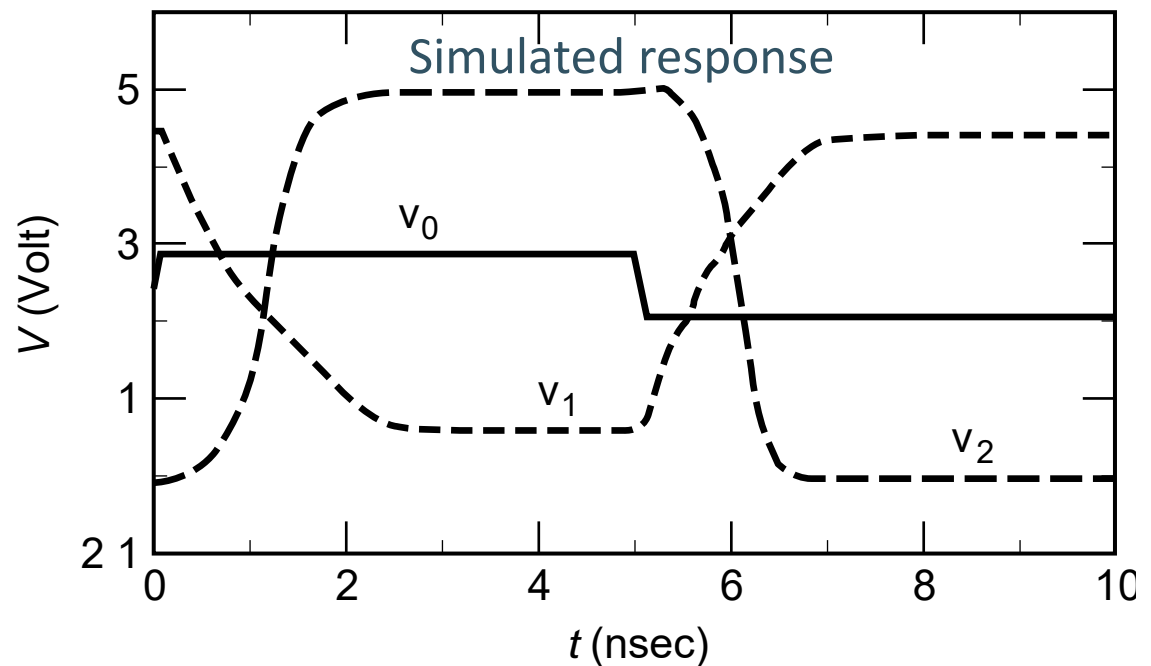
Ovvero anche se A era uno zero "sporco" dopo due inversioni, segnale C ,risulta essere uno zero più "pulito"

# Proprietà rigenerativa



L'ampiezza del segnale viene riportata verso i valori nominali man mano che il segnale si propaga attraverso le porte logiche

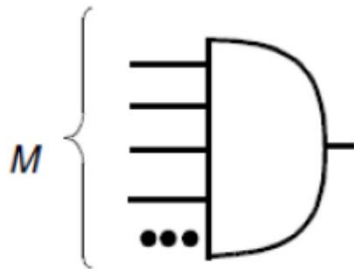
Se vale la proprietà rigenerativa, valori inferiori a  $V_{LT}=V_M$  tendono a  $V_{OL}$  dopo un numero pari di invertitori, valori superiori a  $V_{LT}=V_M$  tendono a  $V_{OH}$  dopo un numero pari di invertitori



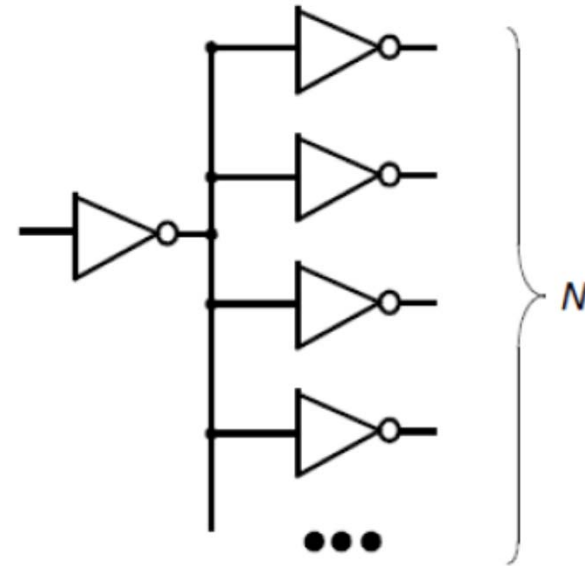
# Direttività delle porte logiche

- Per direttività intendiamo il fatto che in una porta logica ideale uno qualsiasi degli ingressi ha effetto sull'uscita mentre l'uscita non deve avere effetto sugli ingressi.
- La propagazione dei segnali deve essere unidirezionale.
- Questo non avviene mai perfettamente in quanto i transistori con cui sono realizzate le porte logiche presentano elementi passivi bidirezionali e reciproci collegati tra ingresso ed uscita (ad esempio capacità parassite).
- A seconda dello stile di progetto prescelto questi effetti possono essere più o meno rilevanti

# Fan-in e Fan-out



Il **Fan-In** è il numero di ingressi  $M$  ad una determinata porta logica (nel caso dell'inverter è sempre 1). Determina ovviamente la complessità della porta stessa.



Il **Fan-Out** è il numero di porte  $N$  connesse all'uscita di una determinata porta logica (anche nel caso dell'inverter può essere maggiore di 1). In alcune tecnologie esiste un numero massimo di porte collegabili in uscita. In tecnologia CMOS il numero di porte in uscita influenza esclusivamente le caratteristiche dinamiche (la velocità di commutazione) della porta, ma non le sue caratteristiche statiche.