

Elementi Programmabili

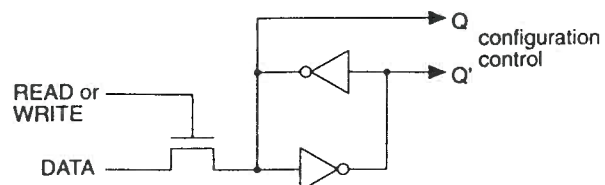
- **Antifusibili**

PLICE (programmable low impedance circuit element) Due tipi: polisilicio-diffusione o metal-metal. Corrente di programmazione elevata ($\approx 5\text{mA}$). Si basano sulla distruzione di un sottile strato di ossi-nitrato isolante. La programmazione non è reversibile (OTP). La resistenza dipende dalla corrente di programmazione e dalla tecnologia. Standard CMOS + ossido spesso per transistori selezione alta tensione + ONO. Tempo di programmazione: 5-10 minuti

- **RAM statica**

Compatibile con il processo CMOS standard. Il dato nella cella pilota i pass-transistor dei blocchi programmabili. Il dato può essere riscritto attraverso un opportuno circuito di selezione. Consente di implementare Hardware riconfigurabile "al volo" (In system programming). La configurazione è volatile e deve essere ricaricata da una memoria non-volatile (ROM, EEPROM) tutte le volte che viene a mancare l'alimentazione.

FIGURE 4.5 The Xilinx SRAM (static RAM) configuration cell. The outputs of the cross-coupled inverter (configuration control) are connected to the gates of pass transistors or transmission gates. The cell is programmed using the WRITE and DATA lines.



- **Cella PROM, EPROM, EEPROM**

Utilizza una cella non volatile. Versione EPROM richiede cancellazione con raggi ultravioletti e package ceramici di maggior costo.

Schemi di interconnessione moduli per FPGA

• Actel ACT:

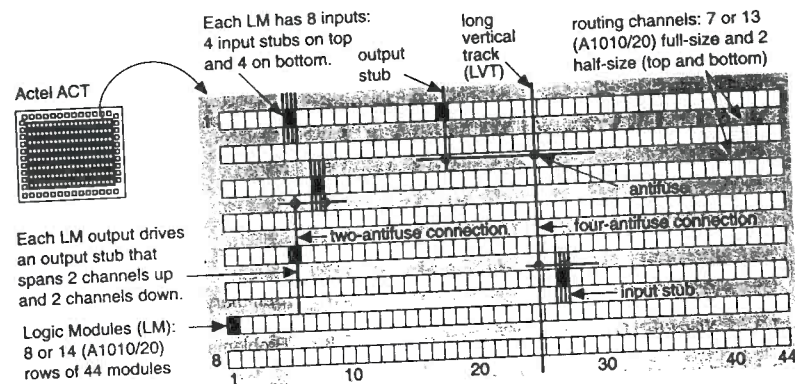


FIGURE 7.1 The interconnect architecture used in an Actel ACT family FPGA. (Source: Actel.)

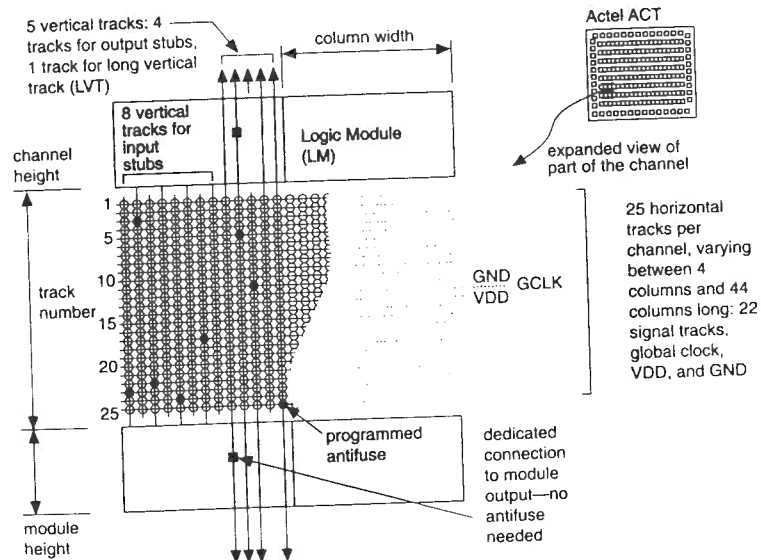


FIGURE 7.2 ACT 1 horizontal and vertical channel architecture. (Source: Actel.)

Moduli Logici per FPGA

- Teorema di espansione di Shannon

Qualunque funzione logica $F(A, B, C, \dots)$ può essere espansa rispetto ad una qualsiasi delle sue variabili (per esempio A) nella forma:

$$F = A \cdot F(A = 1) + A' \cdot F(A = 0)$$

dove $A' = NOT(A)$. Espandendo una funzione logica rispetto a tutte le sue variabili si ottiene la forma canonica. L'espansione di una funzione logica rispetto ad una variabile può essere implementata attraverso un multiplexer che seleziona una diversa uscita a seconda della variabile di espansione.

- un multiplexer a due ingressi può implementare direttamente 10 delle 16 funzioni di due variabili.

Function, F	F =	Canonical form	Minterms ¹	Minterm code ²	Function number ³	M1 ⁴		
						A0	A1	SA
1 '0'	'0'	'0'	none	0000	0	0	0	0
2 NOR1-1(A, B)	$(A + B)'$	$A' \cdot B$	1	0010	2	B	0	A
3 NOT(A)	A'	$A' \cdot B' + A' \cdot B$	0, 1	0011	3	0	1	A
4 AND1-1(A, B)	$A \cdot B'$	$A \cdot B'$	2	0100	4	A	0	B
5 NOT(B)	B'	$A' \cdot B' + A \cdot B'$	0, 2	0101	5	0	1	B
6 BUF(B)	B	$A' \cdot B + A \cdot B$	1, 3	1010	6	0	B	1
7 AND(A, B)	$A \cdot B$	$A \cdot B$	3	1000	8	0	B	A
8 BUF(A)	A	$A \cdot B' + A \cdot B$	2, 3	1100	9	0	A	1
9 OR(A, B)	$A + B$	$A' \cdot B + A \cdot B' + A \cdot B$	1, 2, 3	1110	13	B	1	A
10 '1'	'1'	$A' \cdot B' + A' \cdot B + A \cdot B' + A \cdot B$	0, 1, 2, 3	1111	15	1	1	1

¹The minterm numbers are formed from the product terms of the canonical form. For example, $A \cdot B' = 10 = 2$.

²The minterm code is formed from the minterms. A '1' denotes the presence of that minterm.

³The function number is the decimal version of the minterm code.

⁴Connections to a two-input MUX: A0 and A1 are the data inputs and SA is the select input (see Eq. 5.11).

Moduli Logici per FPGA (2)

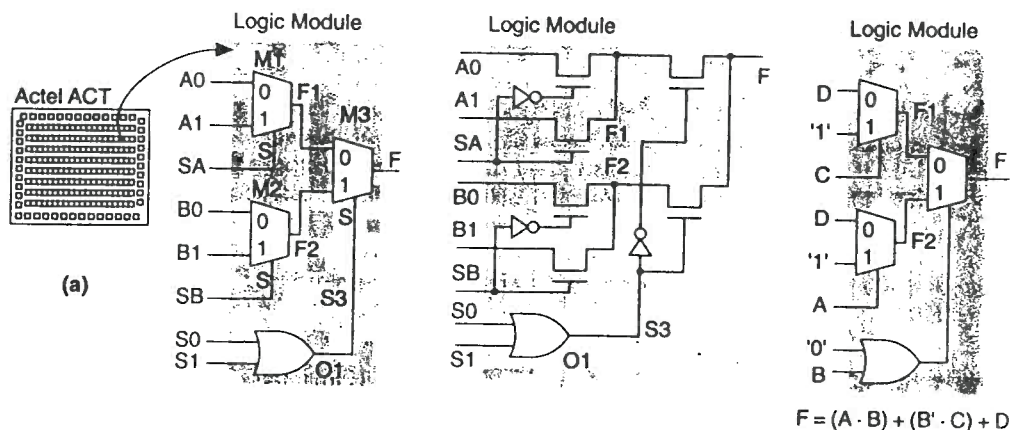
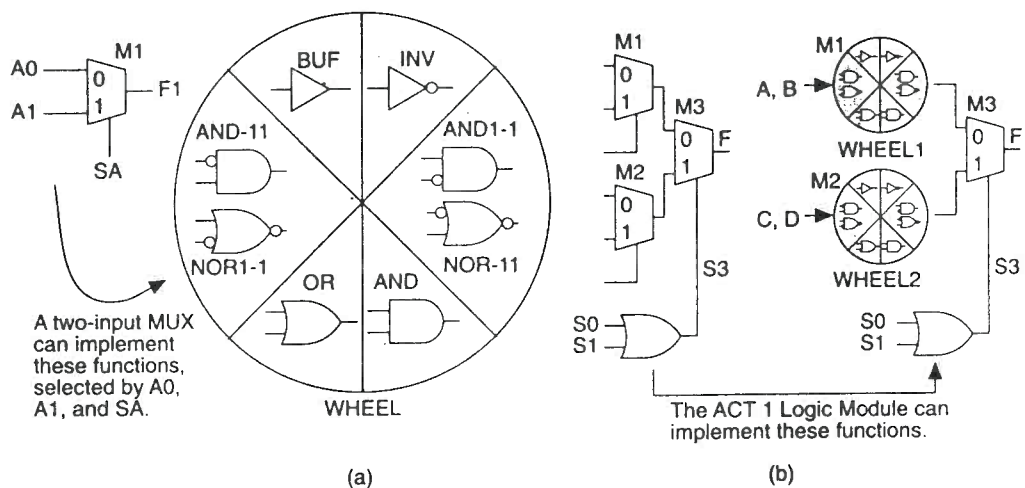
- **Esempio: Il modulo ACT1 di Altera.**

la funzione logica realizzata è:

$$F = MUX(WHEEL1, WHEEL2, OR(S0, S1))$$

dove

$$MUX(A0, A1, SA) = A0 \cdot NOT(SA) + A1 \cdot SA$$



- Il modulo logico ACT1 può generare tutte le funzioni di una variabile, la maggior parte di quelle di tre variabili e alcune di quelle a quattro variabili
- Occorrono due moduli per generare un flip-flop

Schemi di interconnessione moduli per FPGA

• Xilinx LCA:

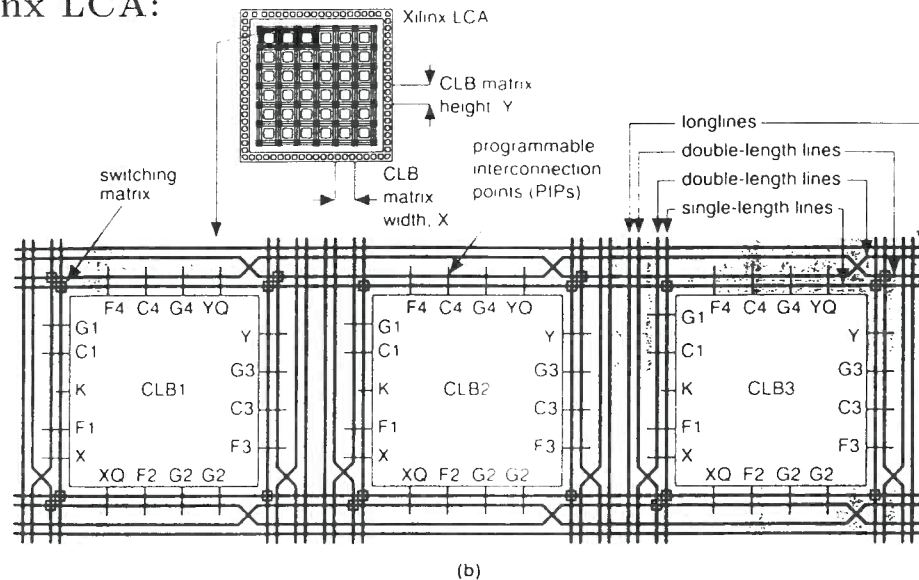
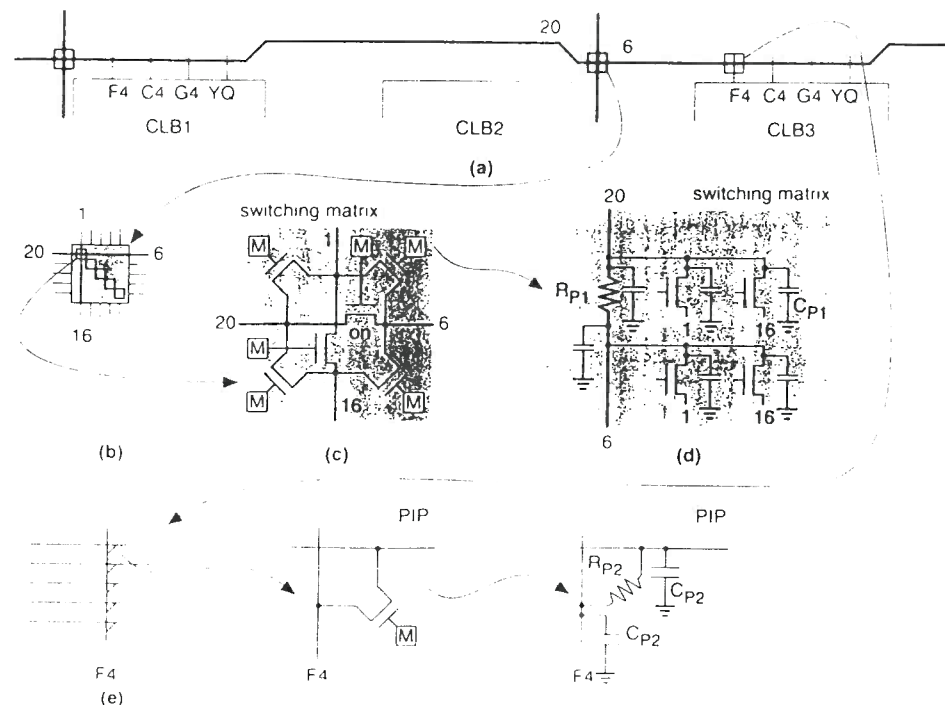


FIGURE 7.5 Xilinx LCA interconnect (a) The LCA architecture (notice the matrix element size is larger than a CLB); (b) A simplified representation of the interconnect resources. Each of the lines is a bus



Tecnologia degli antifusibili

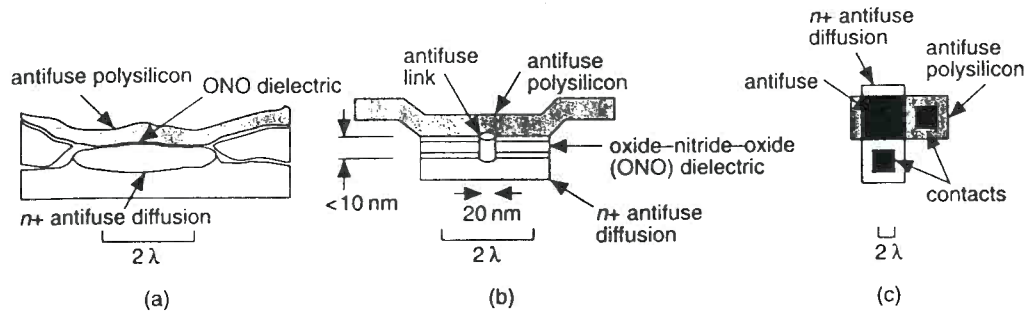


FIGURE 4.1 Actel antifuse. (a) A cross section. (b) A simplified drawing. The ONO (oxide-nitride-oxide) dielectric is less than 10 nm thick, so this diagram is not to scale. (c) From above, an antifuse is approximately the same size as a contact.

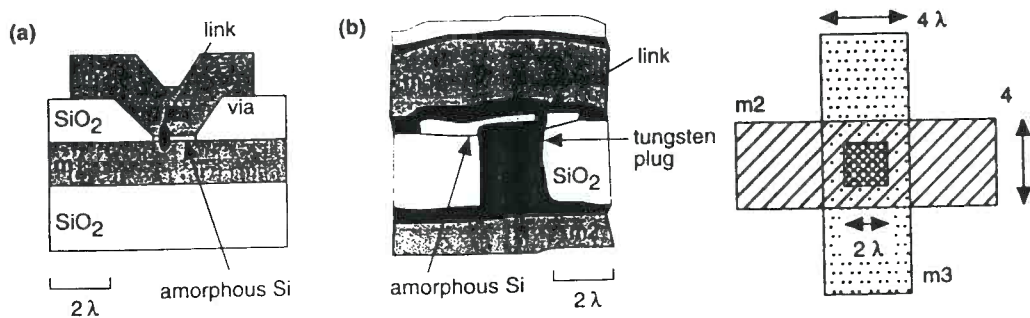
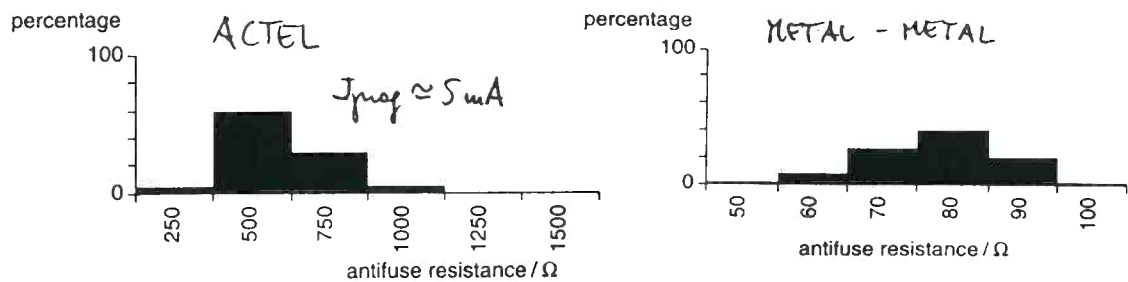


FIGURE 4.3 Metal-metal antifuse. (a) An idealized (but to scale) cross section of a QuickLogic metal-metal antifuse in a two-level metal process. (b) A metal-metal antifuse in a three-level metal process that uses contact plugs. The conductive link usually forms at the corner of the via where the electric field is highest during programming.