

CIRCUITI LOGICI COMBINATORI

(c) Luca Selmi - Univ. di Modena



95

Diritti d'autore

Questa filmato è protetto dalle leggi sul copyright e dalle disposizioni dei trattati internazionali. Il titolo ed i copyright relativi al filmato (ivi inclusi, ma non limitatamente, ogni immagine, fotografia, animazione, video, audio, musica e testo) sono di proprietà dell'autore, prof. Luca Selmi, Università degli Studi di Modena e Reggio Emilia.

Il filmato può essere utilizzato dall'Università degli Studi di Modena e Reggio Emilia, per scopi istituzionali, non a fine di lucro. In tal caso non è richiesta alcuna autorizzazione.

Ogni altro utilizzo o riproduzione (ivi incluse, ma non limitatamente a, lo scaricare o creare copie su dispositivi locali, le riproduzioni su supporti magnetici, su reti di calcolatori e stampe) in toto o in parte è vietata, se non esplicitamente autorizzata per iscritto, a priori, da parte dell'autore. L'informazione contenuta in questo filmato è ritenuta essere accurata alla data della pubblicazione. Essa è fornita per scopi meramente didattici e non per essere utilizzata in progetti di impianti, prodotti, reti, ecc.

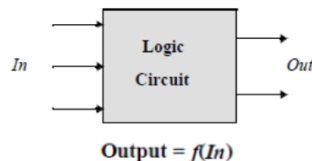
In ogni caso essa è soggetta a cambiamenti senza preavviso. L'autore non assume alcuna responsabilità per il contenuto di questo filmato (ivi incluse, ma non limitatamente, la correttezza, completezza, applicabilità, aggiornamento dell'informazione).

In ogni caso non può essere dichiarata conformità all'informazione contenuta in questo filmato. In ogni caso questa nota di copyright e il suo richiamo in calce non devono mai essere rimossi e devono essere riportati anche in utilizzi parziali.

(c) Luca Selmi - Univ. di Modena



Circuiti logici combinatori



- Un circuito logico è un circuito elettronico avente N segnali digitali in ingresso e M segnali digitali in uscita, ciascuno associato ad una differente variabile (tipicamente booleana).
- Il circuito è progettato in modo tale se ad un dato istante gli segnali di ingresso assumono valori accettabili nella codifica digitale considerata (ad esempio, valori correttamente posizionati all'interno degli intervalli di significatività per lo «0» o l'«1» di un segnale digitale), allora le uscite in quel medesimo istante sono anch'esse correttamente posizionate all'interno dei medesimi intervalli di significatività.
- La parola istante deve essere intesa nel senso di intervallo di tempo di opportuna durata posizionato nell'intorno di istanti noti, spesso determinati dalle rapide transizioni di un segnale di sincronismo detto «clock».
- Il circuito logico è di tipo combinatorio se il valore digitale delle uscite ad un dato istante dipende esclusivamente dal valore digitale degli ingressi al medesimo istante.
- In logica binaria (booleana), il circuito implementa allora una funzione logica booleana di variabili booleane. Esso rappresenta un operatore logico o una rete logica

(c) Luca Selmi - Univ. di Modena



97

Logica statica e dinamica

- **Logica statica:** in entrambi gli stati logici l'uscita è connessa all'alimentazione (se $V_{out} = \text{«1»}$) o alla massa (se $V_{out} = \text{«0»}$) attraverso un percorso a bassa resistenza. Si tratta di logiche con elevata robustezza a disturbi e accoppiamenti parassiti. Eventuali fluttuazioni transitorie dell'uscita tendono ad essere riassorbite ed annullate dal circuito.
- **Logica dinamica:** il nodo di uscita non è sempre connesso ad una delle alimentazioni e il dato viene temporaneamente immagazzinato in forma di carica su una capacità. La carica sulla capacità è suscettibile di disperdersi o aumentare a causa di correnti di perdita e accoppiamenti capacitivi o induttivi parassiti. Pertanto il valore di tensione che codifica lo stato logico viene modificato e lo stato logico potrebbe risultarne alterato

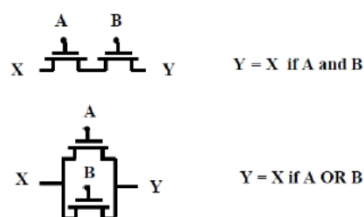
(c) Luca Selmi - Univ. di Modena



98

Logica statica basata su transistori in serie o parallelo

- Consideriamo la realizzazione, tramite switch nMOS, di uno switch in logica vera in grado di connettere tra loro due nodi X e Y in funzione dello stato degli ingressi
- Associamo allo stato di ciascun transistorore una variabile Booleana $M_i=1$ se acceso (conduce corrente), $M_i=0$ se spento (non conduce corrente) ($i=1,2$)
- Essendo nMOS, i transistori sono accesi (stato «1») quando il rispettivo ingresso vale «1», spenti (stato «0») quando l'ingresso è uguale a «0».
- Nei termini delle corrispondenti variabili booleane $M_1 = 1$ se $A=1$, $M_2=1$ se $B=1$
- Associamo allo switch da realizzare una variabile Booleana $F=«1»$ se lo switch è acceso (conduce corrente tra X e Y rendendo – auspicabilmente – $V_x=V_y$ e pertanto $X=Y$), $F=«0»$ se lo switch non conduce
- CONNESSIONE IN SERIE
 - $F=1$ ovvero $X=Y$ se $A=1$ e $B=1$
 - Pertanto $F=AND(A, B) = A*B$
- CONNESSIONE IN PARALLELO
 - $F=1$ ovvero $X=Y$ se $A=1$ o se $B=1$
 - Pertanto $F=OR(A, B) = A+B$



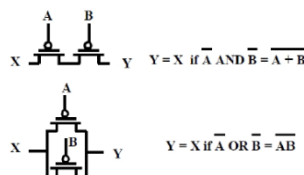
(c) Luca Selmi - Univ. di Modena



99

Logica statica basata su transistori in serie o parallelo

- Consideriamo la realizzazione, tramite switch pMOS, di uno switch in logica vera in grado di connettere tra loro due nodi X e Y in funzione dello stato degli ingressi
- Associamo allo stato di ciascun transistorore una variabile Booleana $M_i=1$ se acceso (conduce corrente), $M_i=0$ se spento (non conduce corrente) ($i=1,2$)
- Essendo pMOS, i transistori sono accesi (stato «1») quando il rispettivo ingresso vale «0», spenti (stato «0») quando l'ingresso è uguale a «1».
- Nei termini delle corrispondenti variabili booleane $M_1 = 1$ se $A=0$, $M_2=1$ se $B=0$
- Associamo allo switch da realizzare una variabile Booleana $F=«1»$ se lo switch è acceso (conduce corrente tra X e Y rendendo – auspicabilmente – $V_x=V_y$ e pertanto $X=Y$), $F=«0»$ se lo switch non conduce
- CONNESSIONE IN SERIE
 - $F=1$ ovvero $X=Y$ se $A=0$ e $B=0$
 - Pertanto $F=NOT(A)*NOT(B) = NOT(A+B)=NOR(A,B)$
- CONNESSIONE IN PARALLELO
 - $F=1$ ovvero $X=Y$ se $A=0$ o se $B=0$
 - Pertanto $F=NOT(A) + NOT(B) = NOT(A*B)=NAND(A,B)$



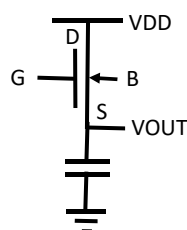
(c) Luca Selmi - Univ. di Modena



100

Come usare nMOSFETs

- Il transistorore nMOSFET può essere utilizzato o per reti di pull-up (carica del nodo di uscita) o per reti di pull-down (scarica del nodo di uscita)
- Pull-UP: Il transistorio inizia con $V_G=V_D=V_{DD}$, $V_S=0$ V e si esaurisce quando $V_{GS}=V_{Tn} \rightarrow V_S=V_{DD}-V_{Tn}<V_{DD}$, dove V_{Tn} è aumentata dall'effetto body del transistorore in quanto $V_B=0$ V e $V_S>0$ V. La tensione nominale alta di uscita è $<V_{DD} \rightarrow S_L<V_{DD}$
- L'uscita alta non è collegata staticamente a V_{DD}
- Il transistorore nMOS trasmette un «1» "debole"



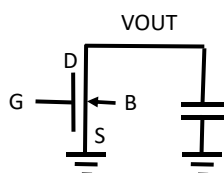
(c) Luca Selmi - Univ. di Modena



101

Come usare nMOSFETs

- Pull-DOWN: Il transistorio inizia con $V_G=V_D=V_{DD}$, $V_S=0$ V e si esaurisce quando $V_{DS}=0$ V. La tensione nominale bassa di uscita è la minima possibile e il nodo di uscita è staticamente collegato a V_{DD} o massa solo nello stato «0» dell'uscita.
- Il transistorore nMOS trasmette uno «0» "forte".
- Conviene utilizzare transistorori nMOSFET per le reti di pull-down



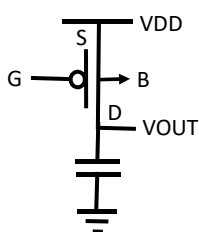
(c) Luca Selmi - Univ. di Modena



102

Come usare pMOSFETs

- Il transistor pMOSFET può essere utilizzato o per reti di pull-up (carica del nodo di uscita) o per reti di pull-down (scarica del nodo di uscita)
- Pull-UP: Il transistor inizia con $V_G=V_D=0\text{ V}$, $V_S=V_{DD}$ e si esaurisce quando $V_{SD}=0\text{ V} \rightarrow V_D=V_{DD}$. La tensione nominale alta di uscita è la massima possibile e l'uscita alta è staticamente collegata a V_{DD} da un transistor acceso
- Il transistor pMOS trasmette un «1» "forte"



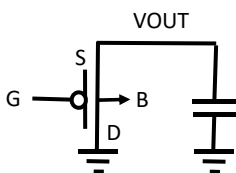
(c) Luca Selmi - Univ. di Modena



103

Come usare pMOSFETs

- Pull-DOWN: Il transistor inizia con $V_G=V_D=0\text{ V}$, $V_S=V_{DD}\text{ V}$ e si esaurisce quando $V_{SG}=|V_{Tp}|$. La tensione nominale bassa di uscita è $> 0\text{ V}$. Questo implica $S_L < V_{DD}$
- Il nodo di uscita è staticamente collegato a V_{DD} o massa solo nello stato «1» dell'uscita.
- Il transistor pMOS trasmette un «1» "debole"
- Conviene utilizzare transistori pMOSFET per le reti di pull-up



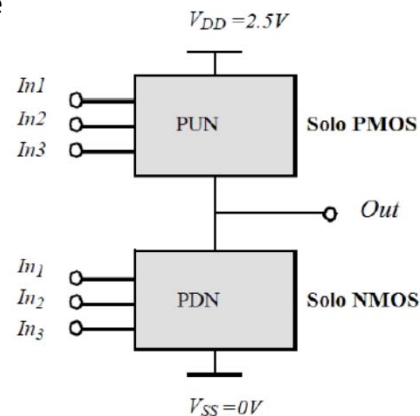
(c) Luca Selmi - Univ. di Modena



104

Porta logica statica CMOS

- Una porta CMOS statica è la combinazione di due reti chiamate rispettivamente rete di pull-up (PUN) e rete di pull-down (PDN).
- La PUN è formata esclusivamente da transistor PMOS e permette il collegamento del nodo di uscita con la tensione di alimentazione VDD qualora la funzione logica implementata preveda un valore logico alto in uscita.
- La rete PDN invece è esclusivamente formata da transistor NMOS e permette il collegamento del nodo di uscita con il potenziale di alimentazione VSS (tipicamente $V_{SS} = 0V$) qualora la funzione logica implementata preveda un valore logico basso in uscita.



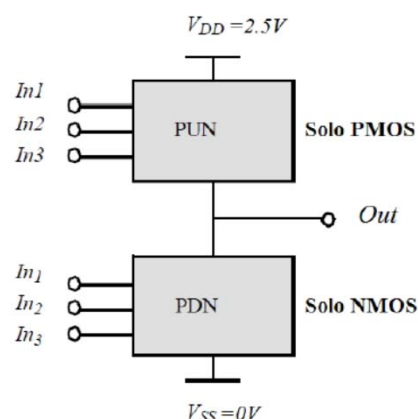
(c) Luca Selmi - Univ. di Modena



105

Porta logica statica CMOS

- Le reti di PUN e PDN devono essere disegnate in modo che, indipendentemente dal valore assunto dagli ingressi, una ed una sola di esse sia in conduzione durante il funzionamento statico.
- La PUN deve essere accesa («1») quando $OUT = \text{«1»} \rightarrow PUN = OUT$
- La PDN deve essere accesa («1») quando $OUT = \text{«0»} \rightarrow PDN = NOT(OUT)$
- In questo modo durante il funzionamento statico esisterà sempre un cammino a bassa impedenza fra l'uscita e VDD o alternativamente fra l'uscita e VSS.



(c) Luca Selmi - Univ. di Modena

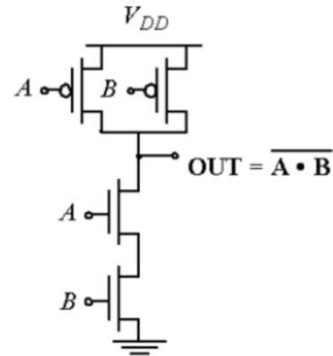


106

NAND CMOS

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate



PDN: $G = A \cdot B \Rightarrow$ Conduction to GND

PUN: $F = \overline{A + B} = \overline{AB} \Rightarrow$ Conduction to V_{DD}

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

(c) Luca Selmi - Univ. di Modena

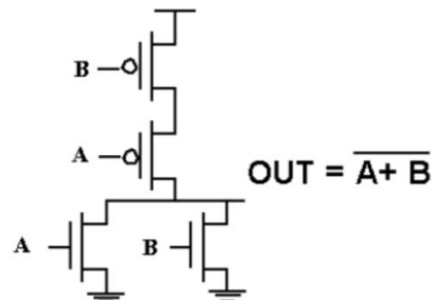


107

NOR CMOS

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate



(c) Luca Selmi - Univ. di Modena



108

Reti logiche CMOS

1. Sia gli NMOS che i PMOS vanno considerati come degli interruttori controllati dal segnale applicato al loro gate.
2. L'NMOS è un interruttore chiuso quando il suo gate è portato al livello alto. Il PMOS è un interruttore chiuso quando il suo gate è portato a livello logico basso.
3. La PDN è realizzata con NMOS, mentre i PMOS sono usati nella PUN.
4. Supponendo di dover realizzare una funzione booleana G , dovrò calcolare il suo negato $\text{NOT}(G)$ e realizzare la rete di pull-down in base ai valori di $\text{NOT}(G)$ tenendo conto che due interruttori in serie corrispondono ad un AND logico, due interruttori in parallelo corrispondono ad un OR logico.
5. Non è indispensabile che gli ingressi siano tutti e solo in forma vera
6. Le reti PDN e PUN sono duali: una connessione in parallelo nella rete PDN corrisponde ad una connessione in serie nella rete PUN e viceversa.
7. La porta CMOS è invertente (si implementano funzioni come NAND, NOR, NOT etc...). Realizzare una funzione Booleana non invertente non è possibile utilizzando una sola porta, e tale realizzazione richiede l'aggiunta di un ulteriore stadio invertente.

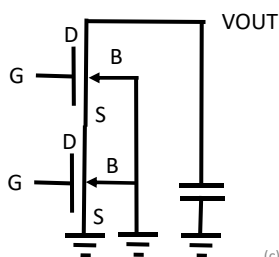
(c) Luca Selmi - Univ. di Modena



109

Calcolo dei tempi di propagazione

- Ai fini del calcolo dei tempi di propagazione di una porta logica CMOS supporremo che ciascun transistor, quando acceso, si comporti come una resistenza R di valore costante.
- Nella realtà la situazione è leggermente più complicata, in quanto in presenza di connessioni in serie di transistori, quelli con source non connessi a massa o VDD sono influenzati dall'effetto body e hanno valori di tensione di soglia superiori a quello degli altri transistor con source connesso a massa o VDD



(c) Luca Selmi - Univ. di Modena



110

Calcolo dei tempi di propagazione

Dal momento che il progettista ha a disposizione solo il fattore di forma dei transistor MOS $a_{n,p}$ come parametro che può essere variato nella fabbricazione del transistor NMOS, risulta conveniente definire il parametro R_{n0} come la resistenza equivalente di un transistor NMOS con fattore di forma $a_n=1$ (il minimo implementabile).

$$R_{n0} = \frac{3}{4} \frac{V_{DD}}{k'_n \times 1 \times V_{DSATn} \left[V_{DD} - V_{Tn} - \frac{V_{DSATn}}{2} \right]} \left(1 - \frac{7}{9} \lambda_n V_{DD} \right)$$

La resistenza equivalente R_{nx} di un generico NMOS M_x con fattore di forma a_x potrà quindi essere calcolata semplicemente come $R_{nx} = R_{n0}/a_x$

(c) Luca Selmi - Univ. di Modena



111

Resistenza equivalente transistorore pMOS

Lo stesso ragionamento può inoltre essere applicato ai PMOS. In particolare, se valgono le seguenti uguaglianze:

$$V_{Tn} = |V_{Tp}| \quad V_{DSATn} = |V_{DSATp}| \quad \lambda_n = |\lambda_p|$$

Si ha che:

$$R_{p0} = \frac{k'_n}{k'_p} R_{n0}$$

La resistenza equivalente R_{px} di un generico PMOS M_x con fattore di forma a_x potrà quindi essere calcolata semplicemente come $R_{px} = R_{p0}/a_x$

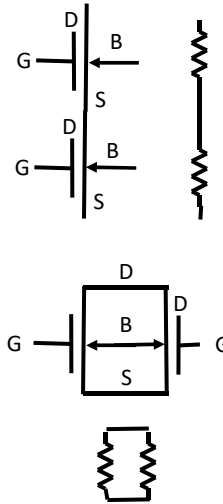
(c) Luca Selmi - Univ. di Modena



112

Resistenza equivalente di transistori connessi in serie e parallelo

- Consideriamo 2 transistori MOS connessi in serie, ciascuno rappresentato dalla propria resistenza equivalente $R_x = R_0/a_x$ (trascurando le differenti V_{Tx})
- Chiaramente la resistenza totale sarà
- $R_{eq} = R_{eq1} + R_{eq2} = R_0(1/a_1 + 1/a_2) = R_0 a_1 a_2 / (a_1 + a_2)$
- $a_{eq} = \frac{a_1 a_2}{(a_1 + a_2)}$
- Consideriamo 2 transistori MOS connessi in parallelo, ciascuno rappresentato dalla propria resistenza equivalente $R_{nx} = R_{n0}/a_x$ (trascurando le differenti V_{Tx})
- Chiaramente la resistenza totale sarà
- $R_{eq} = \frac{R_{eq1} R_{eq2}}{(R_{eq1} + R_{eq2})} = \frac{R_{n0}^2 (1/a_1 + 1/a_2)}{R_{n0} a_1 a_2} = R_{n0} / (a_1 + a_2)$
- $a_{eq} = a_1 + a_2$

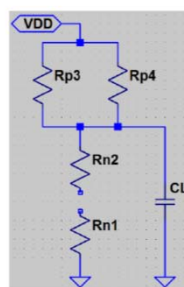
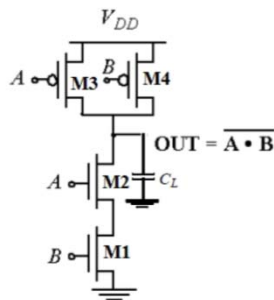


(c) Luca Selmi - Univ. di Modena



113

Tempo di propagazione t_{pLH}



A=0
B=0
OUT=1

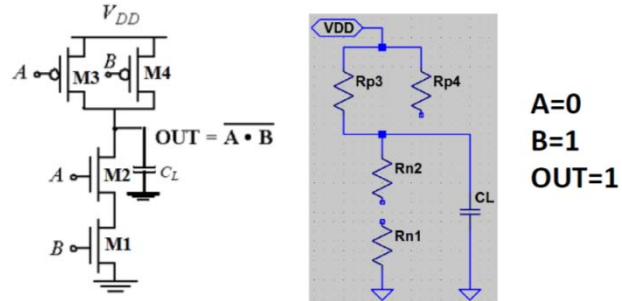
A	B	OUT	M1	M2	M3	M4	R_{TOT}	t_{pHL}	t_{pLH}
0	0	1	OFF	OFF	R_{p3}	R_{p4}	$R_{p3} R_{p4}$	---	$0.69 \cdot C_L \cdot (R_{p3} R_{p4})$
0	1	1	OFF	R_{n2}	R_{p3}	OFF	R_{p3}	---	$0.69 \cdot C_L \cdot R_{p3}$
1	0	1	R_{n1}	OFF	OFF	R_{p4}	R_{p4}	---	$0.69 \cdot C_L \cdot R_{p4}$
1	1	0	R_{n1}	R_{n2}	OFF	OFF	$R_{n1} + R_{n2}$	$0.69 \cdot C_L \cdot (R_{n1} + R_{n2})$	---

(c) Luca Selmi - Univ. di Modena



114

Tempo di propagazione t_{pLH}



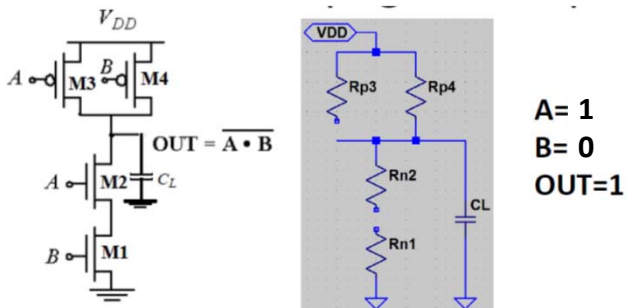
A	B	OUT	M1	M2	M3	M4	R_{TOT}	t_{pHL}	t_{pLH}
0	0	1	OFF	OFF	R_{p3}	R_{p4}	$R_{p3} R_{p4}$	---	$0.69 \cdot C_L \cdot (R_{p3} R_{p4})$
0	1	1	OFF	R_{n2}	R_{p3}	OFF	R_{p3}	---	$0.69 \cdot C_L \cdot R_{p3}$
1	0	1	R_{n1}	OFF	OFF	R_{p4}	R_{p4}	---	$0.69 \cdot C_L \cdot R_{p4}$
1	1	0	R_{n1}	R_{n2}	OFF	OFF	$R_{n1} + R_{n2}$	$0.69 \cdot C_L \cdot (R_{n1} + R_{n2})$	---

(c) Luca Selmi - Univ. di Modena



115

Tempo di propagazione t_{pLH}



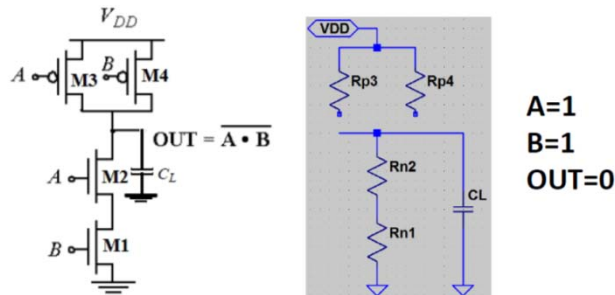
A	B	OUT	M1	M2	M3	M4	R_{TOT}	t_{pHL}	t_{pLH}
0	0	1	OFF	OFF	R_{p3}	R_{p4}	$R_{p3} R_{p4}$	---	$0.69 \cdot C_L \cdot (R_{p3} R_{p4})$
0	1	1	OFF	R_{n2}	R_{p3}	OFF	R_{p3}	---	$0.69 \cdot C_L \cdot R_{p3}$
1	0	1	R_{n1}	OFF	OFF	R_{p4}	R_{p4}	---	$0.69 \cdot C_L \cdot R_{p4}$
1	1	0	R_{n1}	R_{n2}	OFF	OFF	$R_{n1} + R_{n2}$	$0.69 \cdot C_L \cdot (R_{n1} + R_{n2})$	---

(c) Luca Selmi - Univ. di Modena



116

Tempo di propagazione t_{pHL}



A	B	OUT	M1	M2	M3	M4	R_{TOT}	t_{pHL}	t_{pLH}
0	0	1	OFF	OFF	R_{p3}	R_{p4}	$R_{p3} R_{p4}$	---	$0.69 * C_L * (R_{p3} R_{p4})$
0	1	1	OFF	R_{n2}	R_{p3}	OFF	R_{p3}	---	$0.69 * C_L * R_{p3}$
1	0	1	R_{n1}	OFF	OFF	R_{p4}	R_{p4}	---	$0.69 * C_L * R_{p4}$
1	1	0	R_{n1}	R_{n2}	OFF	OFF	$R_{n1} + R_{n2}$	$0.69 * C_L * (R_{n1} + R_{n2})$	---

(c) Luca Selmi - Univ. di Modena



117

Progettazione per avere $t_{pLH} = t_{pHL}$

Dall'analisi appena condotta possiamo concludere che i tempi di propagazione nel caso peggiore sono rispettivamente:

$$t_{pLH, worst} = 0.69 C_L R_{p3} \quad se \quad a_3 \leq a_4$$

$$t_{pLH, worst} = 0.69 C_L R_{p4} \quad se \quad a_3 > a_4$$

$$t_{pHL, worst} = 0.69 C_L (R_{n1} + R_{n2})$$

Se scegliamo $a_3 = a_4 = a_p$ e $a_1 = a_2 = a_n$, affinché i tempi di propagazione nei casi peggiori si eguagliino dovremo avere che:

$$t_{pLH, worst} = 0.69 C_L \frac{R_{p0}}{a_p} \quad t_{pHL, worst} = 0.69 C_L \left(\frac{R_{n0}}{a_n} + \frac{R_{n0}}{a_n} \right)$$

$$t_{pLH, worst} = t_{pHL, worst} \Rightarrow \frac{R_{p0}}{a_p} = 2 \frac{R_{n0}}{a_n} \Rightarrow a_p = a_n \frac{R_{p0}}{2 R_{n0}}$$

Attenzione che R_{n0} e R_{p0} in generale non sono uguali in quanto k'_n è diverso da k'_p
La condizione di simmetria può essere imposta per un solo caso: tipicamente il caso peggiore

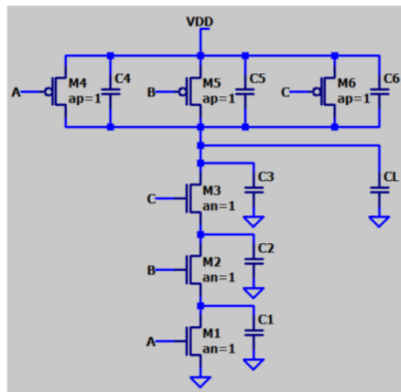
(c) Luca Selmi - Univ. di Modena



118

Fan in e Fan out: effetto su t_{pHL} e t_{pLH}

Per comprendere il ruolo del Fan-In e Fan-Out di una porta logica combinatoria CMOS statica, consideriamo l'esempio di una porta NAND a 3 ingressi



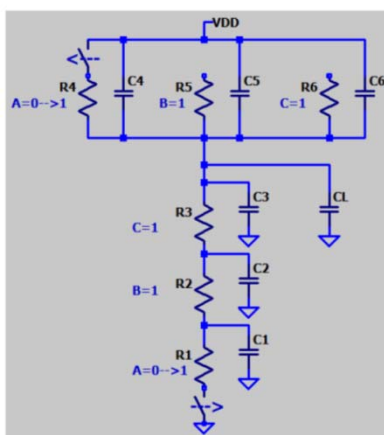
Supponiamo che ciascun transistor NMOS abbia una capacità parassita connessa tra il suo terminale di drain e massa ($C1$, $C2$ e $C3$) e che ciascun PMOS abbia una capacità parassita connessa tra il suo terminale di drain e la tensione di alimentazione VDD ($C4$, $C5$ e $C6$). CL rappresenta invece la capacità di carico dovuta agli ingressi di eventuali altre porte logiche comandate da quella che stiamo analizzando.

(c) Luca Selmi - Univ. di Modena



119

Fan in e Fan out



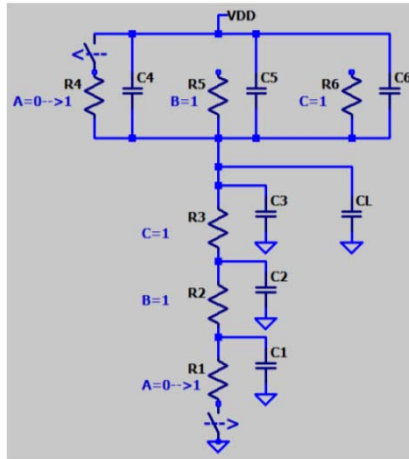
Si può facilmente verificare che il caso peggiore relativo al t_{pHL} si presenta quando gli ingressi B e C sono entrambe a 1, mentre l'ingresso A compie una commutazione da 0 a 1. In questa situazione, **prima della commutazione, cioè quando $A=0$** , tutte le capacità $C1$, $C2$, $C3$ e CL sono cariche alla tensione VDD, mentre le capacità $C4$, $C5$ e $C6$ presentano ai loro terminali una tensione pari a 0V

(c) Luca Selmi - Univ. di Modena



120

Fan in e Fan out



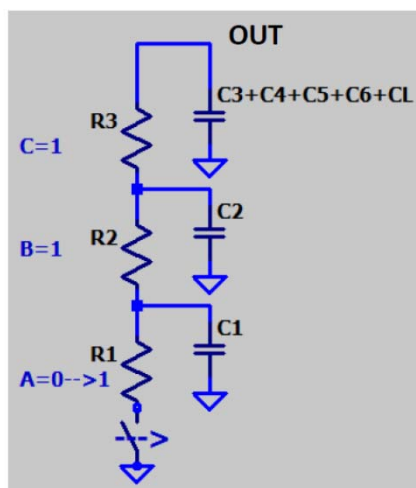
- Nel momento in cui $A \rightarrow 1$, l'uscita commuta e, una volta terminato il transitorio, le capacità C_1 , C_2 , C_3 e C_L saranno scaricate a 0V, mentre le capacità C_4 , C_5 e C_6 saranno caricate alla tensione V_{DD} .
- L'effetto di C_4 , C_5 e C_6 può anche essere rappresentato connettendole fra l'uscita e massa considerandole anch'esse cariche a V_{DD} prima dell'inizio della commutazione di A da 0 a 1.

(c) Luca Selmi - Univ. di Modena



121

Considerazioni finali



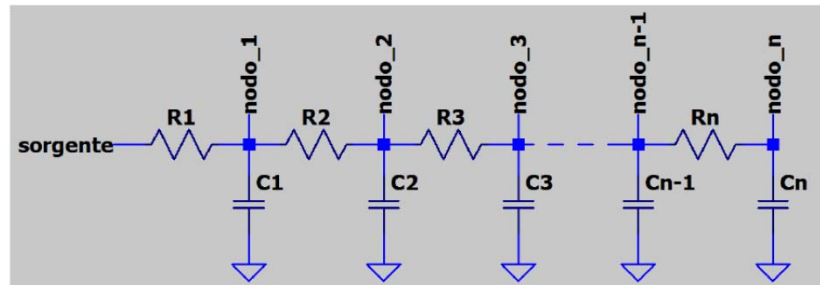
- L'analisi del t_{pHL} può quindi essere ricondotta al circuito RC riportato a sinistra, dove tutte le capacità sono cariche alla tensione V_{DD} .
- Come possiamo calcolare il tempo di propagazione di questo circuito RC?

(c) Luca Selmi - Univ. di Modena



122

Modello di Elmore



La costante di tempo dominante (minore) del circuito indicato è data da

$$\tau_D = \sum_{k=1}^N R_{sk} C_k$$

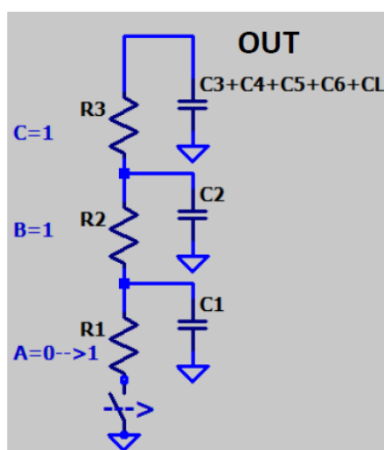
dove R_{sk} rappresenta la resistenza tra la sorgente e il condensatore k-esimo

(c) Luca Selmi - Univ. di Modena



123

Calcolo di t_{pHL} per porta NAND CMOS



- Applicando il modello di Elmore possiamo affermare che la costante di tempo fra il terminale sorgente (nel nostro caso il source del MOS M_1 che è connesso a massa) e l'uscita e di conseguenza il ritardo t_{pHL} , sono dati da:

$$\tau_{DOUT} = R_1 \times C_1 + (R_1 + R_2) \times C_2 + (R_1 + R_2 + R_3) \times (C_3 + C_4 + C_5 + C_6 + C_L)$$

$$t_{pHL} = 0.69 \times \tau_{DOUT}$$

(c) Luca Selmi - Univ. di Modena



124

Calcolo di tpHL per una porta NAND CMOS

- Consideriamo ora una NAND CMOS statica a N-ingressi (Fan-In=N). Tale porta sarà realizzata con N NMOS e N PMOS. Gli NMOS sono tutti in serie, e i PMOS sono tutti in parallelo.
- Supponiamo che gli NMOS abbiano tutti la stessa resistenza equivalente R_n , e che tutti i MOS abbiano una capacità parassita pari a C_p . Supponiamo inoltre che in uscita siano connessi M ingressi (Fan-Out=M) con capacità pari a C_L .
- In queste condizioni si può vedere che la costante di tempo τ_{DOUT} vale:

$$\tau_{DOUT} = \left(\sum_{k=1}^{N-1} k \times R_n \times C_p \right) + \overbrace{N \times R_n \times (N+1) \times C_p}^{N \text{ pMOS e } 1 \text{ nMOS}} + N \times R_n \times M \times C_L$$

(c) Luca Selmi - Univ. di Modena



125

Calcolo di tpHL per una porta NAND CMOS

$$\tau_{DOUT} = \left(\sum_{k=1}^{N-1} k \times R_n \times C_p \right) + N \times R_n \times (N+1) \times C_p + N \times R_n \times M \times C_L$$

$$\tau_{DOUT} = \left(R_n \times C_p \times \sum_{k=1}^N k \right) + N^2 \times R_n \times C_p + N \times R_n \times M \times C_L$$

$$\sum_{k=1}^N k = \frac{N \times (N+1)}{2}$$

$$\tau_{DOUT} = R_n \times C_p \times \frac{1}{2} \times N + R_n \times C_p \times \frac{3}{2} \times N^2 + R_n \times C_L \times N \times M$$

$$\tau_{pHL} = 0.69 \times \left(R_n \times C_p \times \frac{1}{2} \times N + R_n \times C_p \times \frac{3}{2} \times N^2 + R_n \times C_L \times N \times M \right)$$

(c) Luca Selmi - Univ. di Modena



126

Considerazioni finali su t_p , Fan-in e Fan-out

$$\tau_{pHL} = 0.69 \times \left(R_n \times C_p \times \frac{1}{2} \times N + R_n \times C_p \times \frac{3}{2} \times N^2 + R_n \times C_L \times N \times M \right)$$

Ricordando che N rappresenta il Fan-In della nostra porta, ed M il Fan-Out possiamo fare le seguenti considerazioni:

- Il tempo di propagazione aumenta linearmente con M.
- Il tempo di propagazione aumenta quadraticamente con N.

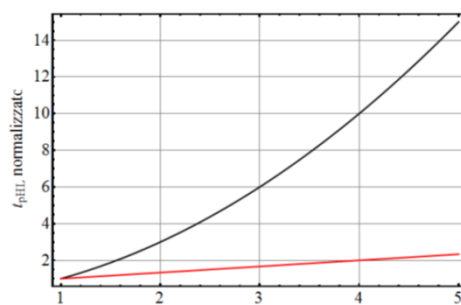
Questo ci porta alla conclusione che è meglio evitare l'utilizzo di porte CMOS statiche con un numero elevato di ingressi.

(c) Luca Selmi - Univ. di Modena



127

Considerazioni finali su t_p , Fan-in e Fan-out



E' meglio realizzare porte ad elevato Fan-In utilizzando circuiti a più porte con un Fan-In ridotto (pur mantenendo la funzionalità)



(c) Luca Selmi - Univ. di Modena



128

Considerazioni finali su logica statica FCMOS

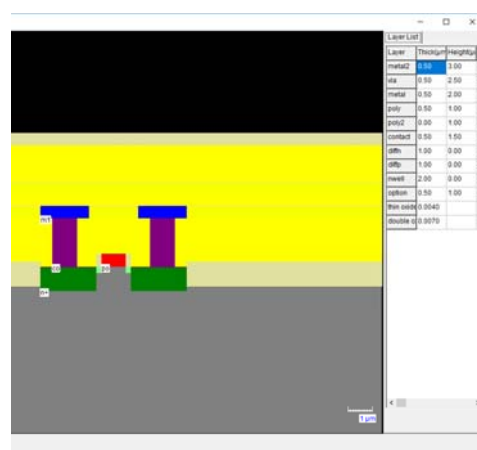
- L'escursione fra i simboli 0 e 1 è la massima possibile (VDD)
- VOH e VOL sono VDD e 0V rispettivamente. Questo porta ad avere degli alti margini di rumore
- Nessuna dissipazione di potenza statica
- Tempi di propagazione possono essere resi confrontabili
- Una porta a N ingressi ha 2N transistor (N nmos e N pmos)
- Ad ogni ingresso sono connessi sempre 2 mos (1 nmos e 1 pmos)
- Permette di implementare "semplicemente" funzione booleane negate composte da operazioni di AND o OR dei segnali in ingresso

(c) Luca Selmi - Univ. di Modena



129

Progettazione elettronica: layout e sezione di transistor nMOSFET

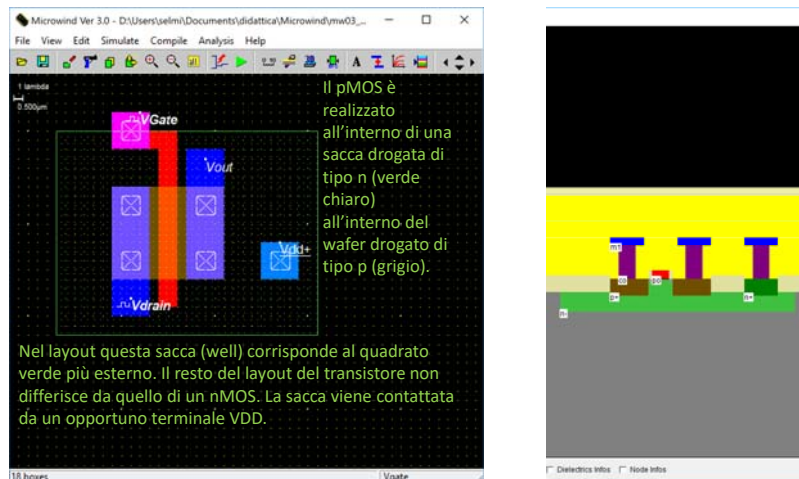


(c) Luca Selmi - Univ. di Modena



130

Progettazione elettronica: layout e sezione di transistore pMOSFET

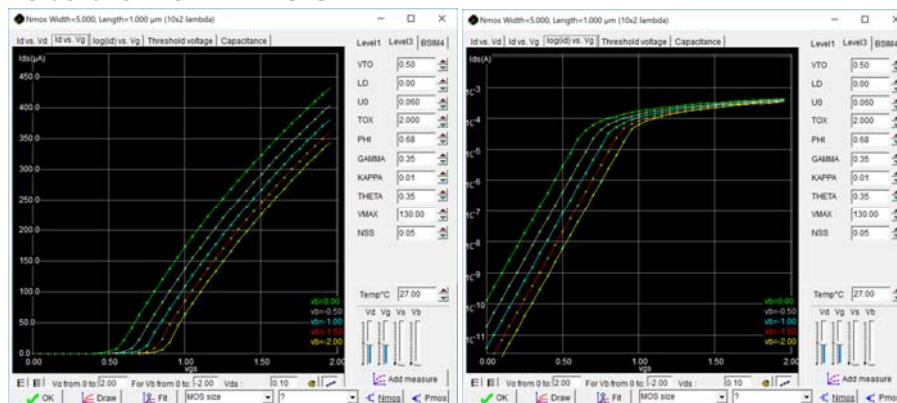


(c) Luca Selmi - Univ. di Modena



131

Progettazione elettronica: caratteristiche statiche nMOSFET



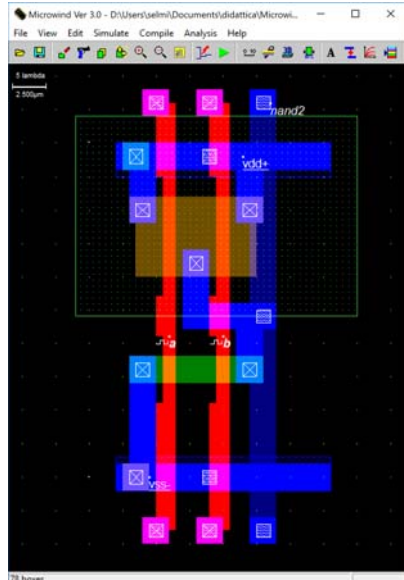
A valle della definizione del layout il programma di Design Rule Check (DRC) verifica che non siano state violate le regole tecnologiche che fissano le distanze minime tra layer e le dimensioni minime dei patter in ciascun layer. Successivamente è possibile simulare le caratteristiche statiche dei transistori, che il programma identifica automaticamente esaminando le aree di sovrapposizione tra linee di gate (rosso) e aree di source/drain (verde)

(c) Luca Selmi - Univ. di Modena

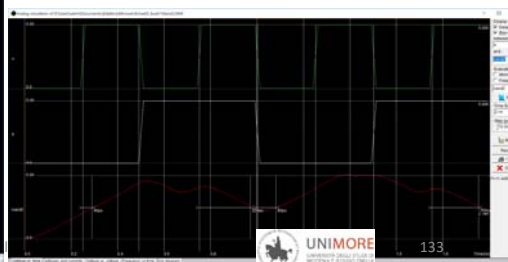


132

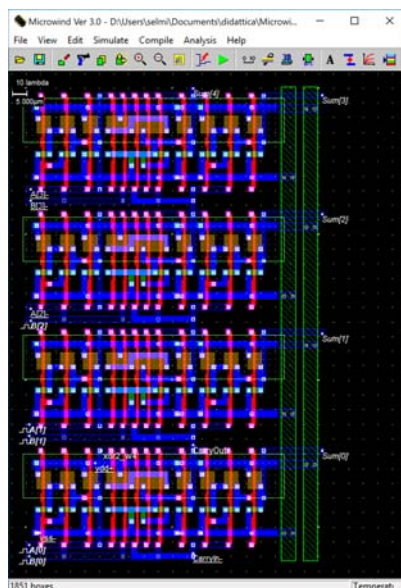
Progettazione elettronica: layout di NAND a 2 ingressi e simulazione circuitale



- Si osservano nella parte superiore i due transistori pMOS in parallelo, nella parte inferiore i due transistori nMOS in serie.
- I segnali a e b (ingresso) e nand2 (uscita) escono dalla cella in alto e basso.
- Le tensioni di alimentazione (VDD) e massa (VSS) corrono lungo linee orizzontali che possono connettersi a celle adiacenti.
- Successivamente al DRC e alla simulazione delle caratteristiche di ciascun transistore è possibile effettuare l'estrazione delle capacità parassite dovute al layout ed effettuare la simulazione del comportamento dinamico, verificando i tempi di salita, discesa e propagazione.



Progettazione elettronica: layout di addizionatore a 4 bit in celle standard



Si riconoscono 4 file di standard cell interconnesse, ciascuna relativa ad uno dei bit dell'addizionatore

Le file sono separate da canali per le interconnessioni (routing channels).

iv. di Modena



134