

第四章

23336003 陈政宇

1~8

01-05: BCDCA 06-08: CBA

11~14

11-14: CCDC

16~20

16-20: DCAAD

9

(1)

R0-R3, PC寄存器对程序员可见；因为采用的是单总线，一个周期只能传输一个数据，而 **ALU** 需要接受 2 个数据，所以需要 T 暂存器存储一个数据。

(2)

ALUOp 至少需要 3 位，**SRop** 至少需要 2 位。

(3)

三态门，控制移位寄存器和总线之间数据通路的连接和断开。

(4)

1,2,3,5,8

(5)

6 -> 9; 7 -> 4

(6)

每条指令占用2个内存单元，顺序执行时，下条指令地址为 **PC** + 2。

10

(1)

128 条。

(2)

1. 0b0000001001000000
2. 0b0000010010001000
3. 0b0000011011101010

(3)

```
1: 0, 2: mov 3: mova 4: left 5: read 6: sub 7: mov 8: SRout
```

(4)

4 ↑; 2 ↑。

15

(1)

FEFFH

(2)

8

(3)

I3 需要等待 I1 和 I2 的 WB 完成后才能开始读寄存器。I4 同理。

(4)

指令如下,

```
I1: load  R1, [x]
I2: load  R2, [a]
I3: shl   R1
I4: add   R1, R1, R2
I5: store R1, [x]
```

在流水线中的执行过程

[illegible]

I4						IF				ID	EX	M	WB				
I5										IF				ID	EX	M	WB

故至少 17 个时钟周期。

21

时钟	功能	有效控制信号
C5	MAR <- (R1)	R1out, MARin
C6	MDR <- M(MAR), A <- (R0)	MemR, MARinE, R0out, Ain
C7	AC <- (A) + (MDR)	MDRout, ADD, ACin
C8	MDR <- (AC)	ACout, MDRin
C9	M(MAR) <- MDR	MDRoutE, MemW