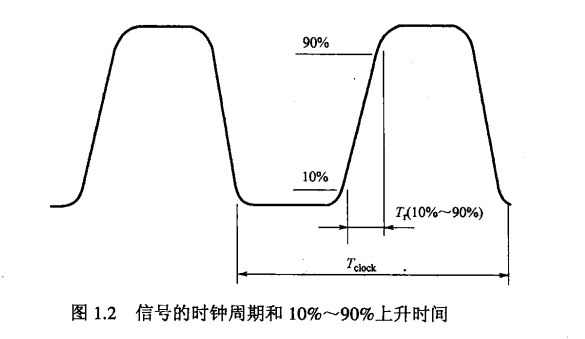
高速电路设计实践

1. 概述
2. 如何区分高速和低速



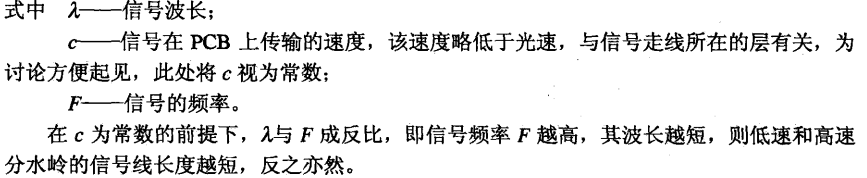
设计中需要考虑的最高频率往往取决于信号的有效频率（或称转折频率）



对于低速信号而言，由于传输路径上各点电平近似相等，因此可以采用集总式的思维来看待传输路径，即传输路径上各点的状态相同，在分析时可以集中到一点。对于高速信号而言，传输路径上各点的电平不同，需要采用分布式的思维来看待传输路径，即不能将传输路径集中成一点看待，而应视为多个状态不同的点。

一般而言，高速和低速的区分，不仅取决于信号频率，还和传输路径有关。在信号传输路径（即信号线的长度）小于有效波长的1/6时，可以认为信号是低速的。





综上所述，区分高速低速的步骤如下：

第一步，获取信号的有效频率和走线长度L

第二步，利用计算出信号的有效波长

第三步，判断1/6和布线长度的大小关系，若1/6>L，则为高速信号；反之则为低速信号。

信号的有效频率可以通过测量得到，也可以假设信号上升沿时间为信号周期的7%，则有效频率为为信号频率的7倍。如周期频率为100MHz的时钟信号，可估计器有效频率约为700MHz。

第二章 高速电路中的电阻、电容、电感和磁珠的选型及应用

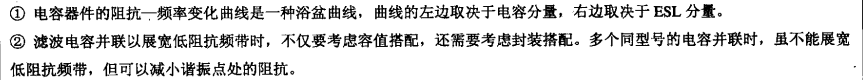
1、高频时电容的作用

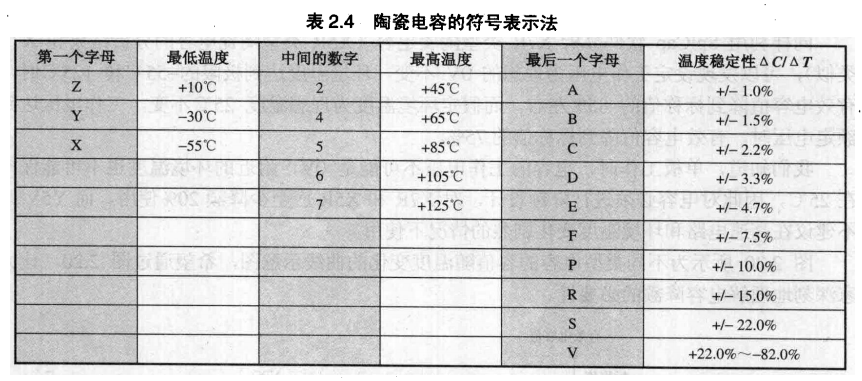
①电荷缓冲池

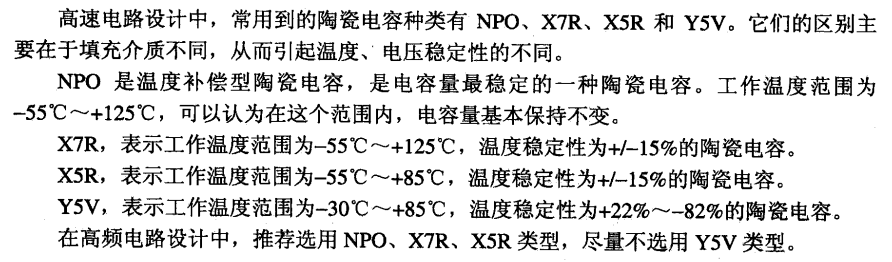
②高频噪声的重要泄放通路

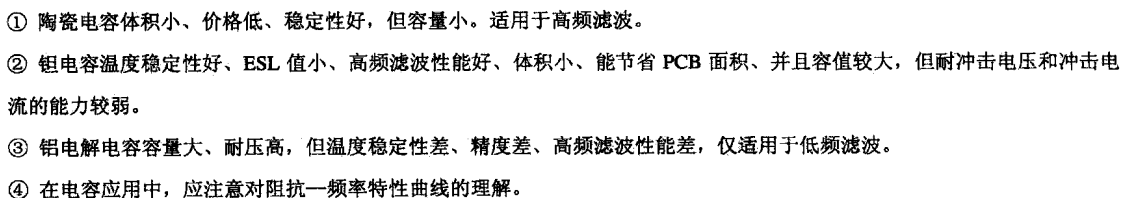
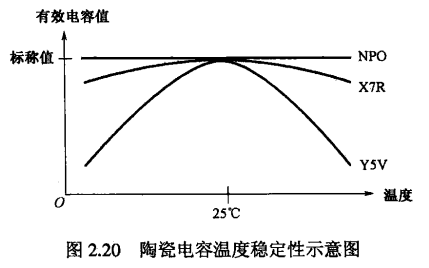
③实现交流耦合（高速设计时耦合电容一般取0.1uF）

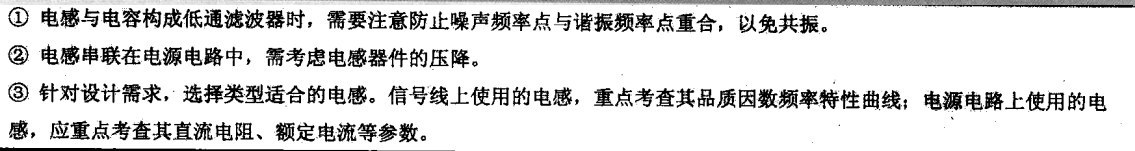
2、

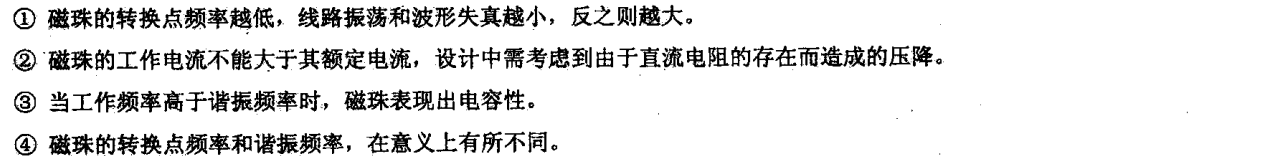


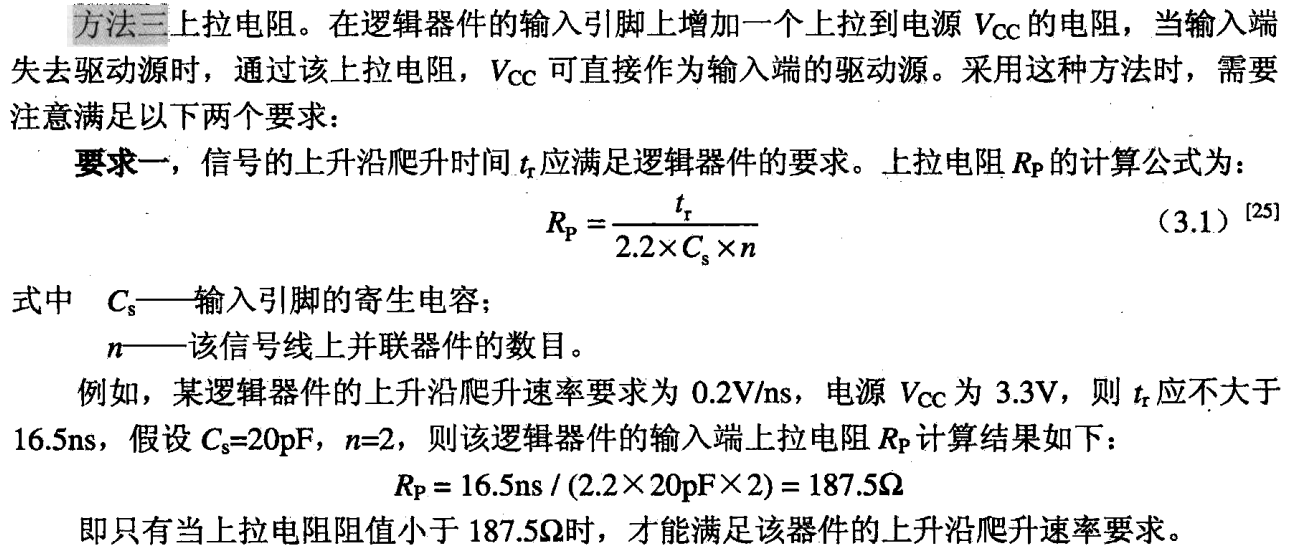












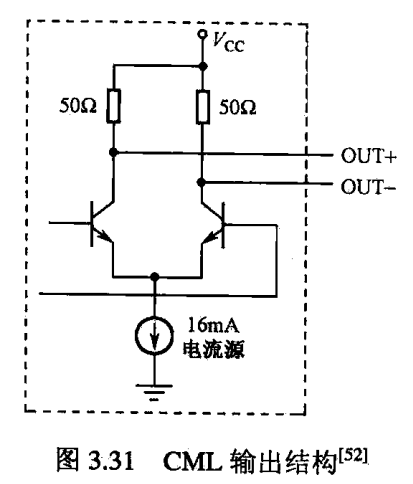
1. 高速电路中的逻辑器件选型及高速逻辑电平应用

。。。

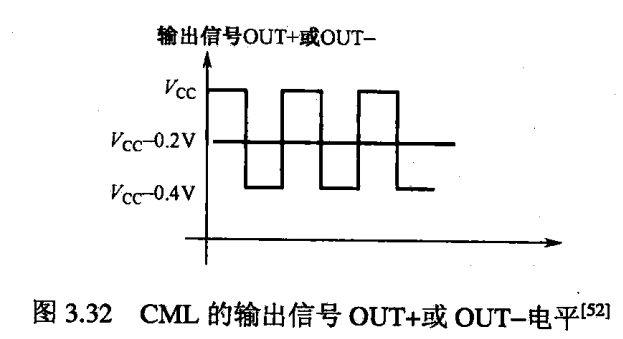
3.3.4 CML（Current Mode Logic）逻辑电平介绍

CML是高速设计中最常见的一种电平，如XAUI（10Gbps 以太网连接单元接口）、10G XFI（10Gbps以太网串行接口）等。

由于输入输出端口匹配已集成与片内，基本不需要外部端接，因此CML的应用十分简单。



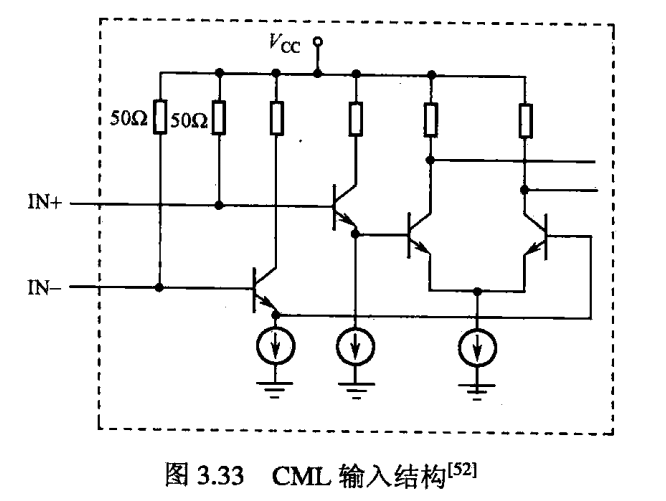
CML的电源Vcc一般取1.2V。



CML的输出信号OUT+和OUT-的共模电平为Vcc - 0.2V，摆幅为400mV（Vcc - 0.4V

~ Vcc），因此CML输出差分信号对的摆幅为800mV。

CML的输入端由射极输出器构成，具有输入阻抗大的特点，其输入结构如图



CML和LVPECL支持的数据速率都达到10Gbps，但是LVPECL对外部端接电路有较多的要求，应用上较为不方便，且在功耗上CML也低于LVPECL，因此极高信号往往采用匹配方式简单耳朵CML；而LVPECL的优势是输出采用射极输出器，输出阻抗低，驱动能力强，且LVP的抗抖动能力相对也较强，因此板内高速数据信号、有精度和抖动要求的高速时钟信号往往采用LVPECL电平。

3.3.5 高速逻辑电平的比较（LVDS、LVPECL、CML）

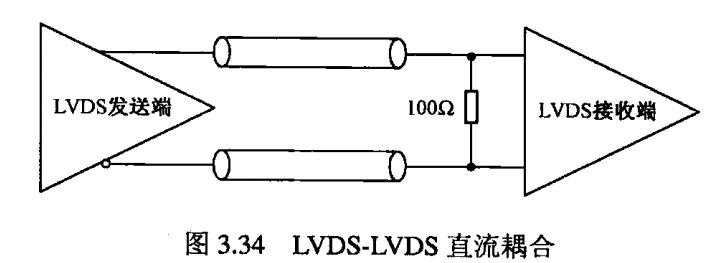
|  |  |  |  |
| --- | --- | --- | --- |
|  | LVDS | LVPECL | CML |
| 驱动模式 | 电流驱动模式 | 电流驱动模式 | 电流驱动模式 |
| 外部端接 | 中等，接收端需加一个100Ω的终结电阻，需要注意有些器件已内接 | 最复杂 | 最简单，直接互连即可 |
| 功耗 | 差分对振幅最小，功耗最小，相同工作速率下不及LVPECL的三分之一 | 最高，LVPECL和CML的差分对摆幅相对较大，且内部三极管工作于非饱和态，功耗较大，基于结构上的差异，CML的功耗低于LVPECL | 中等 |
| 工作速率 | 最慢，LVDS输入差分对振幅Vid较小，仅100mV，噪声容限较小，无法支持较高速率，而CML和LVPECL的Vid相对较大，使得噪声容限增大，有利于高速传输 | 中等，由于CML和LVPECL内部的三极管工作于非饱和态，逻辑状态翻转速率高，能支持极高的数据速率。 | 最快 |
| 耦合方式 | 都支持直流耦合和交流耦合 | | |
| 标准规范 | LVDS有国际标准组织定义的规范 | CML和LVPECL电平的具体参数随着器件的不同而略有差异 | |

3.3.6高速逻辑电平的互连及其应用要点

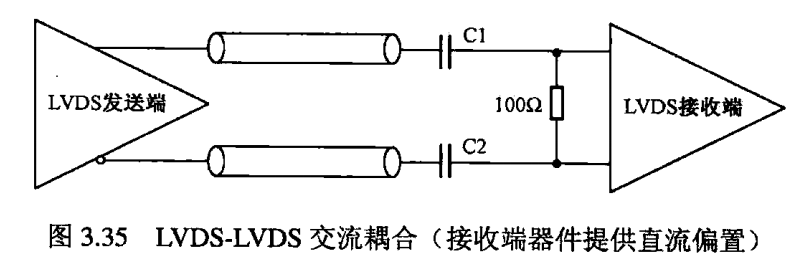
高速电平互连首先考虑的是电平的大小及摆幅是否兼容，若不兼容则用电阻网络实现电平转换。

|  |  |
| --- | --- |
| 直流耦合（DC Couple） | 交流耦合（AC Couple） |
| 即发送端和接收端直接连接，适合于共模噪声小的场合，一般用于板内短距离的互连 | 即发送端和接收端通过电容（在共模噪声特别大的情况下，应使用变压器）隔离，只传送交流信号，优点如下：  ①解决了发送端和接收端之间存在的地平面电位差异问题  ②隔离信号线路上的共模噪声  ③解决了发送端和接收端之间可能存在的直流电平偏置电平不同的问题  因此交流耦合适用于跨单板、远距离走线、共模噪声大、直流偏置电平不同等场合 |

1. LVDS与LVDS
   1. 直流耦合

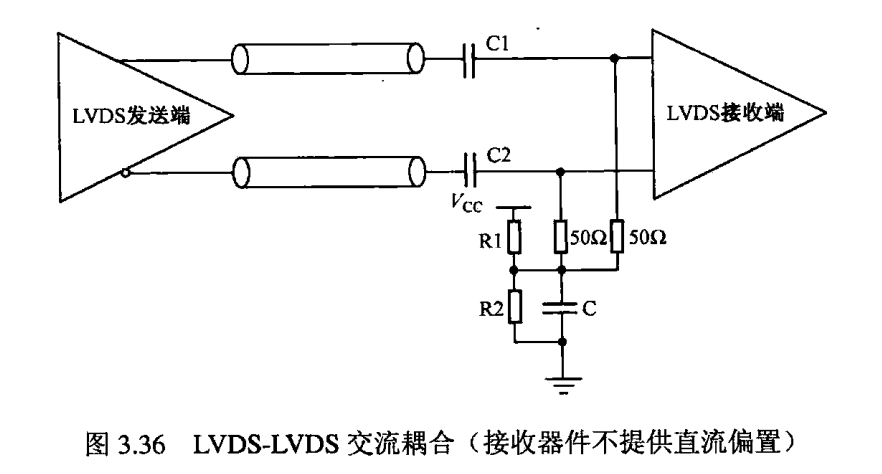


* 1. 交流耦合



C1和C2靠近接收端放置，但无需像100Ω终结电阻那样紧密靠近接收端的输入引脚，C1和C2一般取0.1uF。

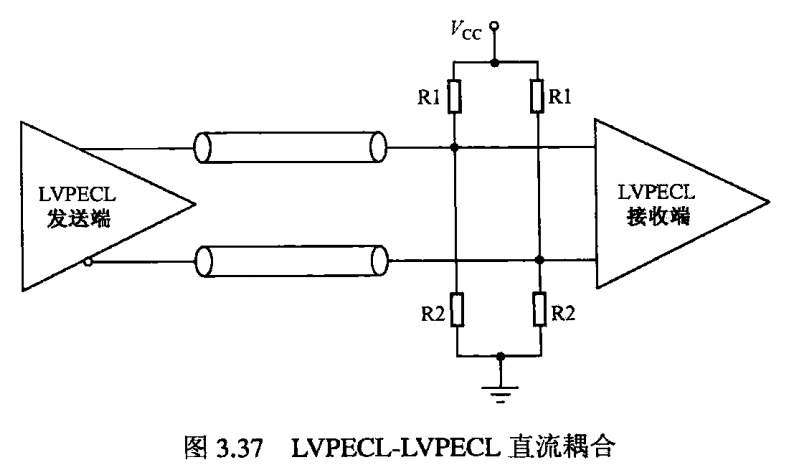
在交流耦合时，直流通路被隔离，这时应该了解接收端器件是否提供直流偏置，若不提供直流偏置，应采用如下电路



LVDS对直流偏置电平的要求很松，只要处在0.227~2.173V的区间即可，因此一般取中间值1.2V作为直流偏置电平。

1. LVPECL与LVPECL
   1. 直流耦合

LVPECL的输出端需端接50Ω电阻连接到Vcc - 2V，才用电阻分压网络如下图

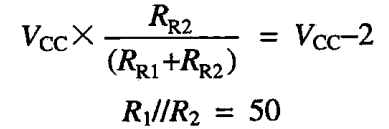


要求R1和R2组成的分压网络完成以下两个功能:

①获得Vcc - 2V的直流偏置电压

②提供等效50Ω的端接电阻

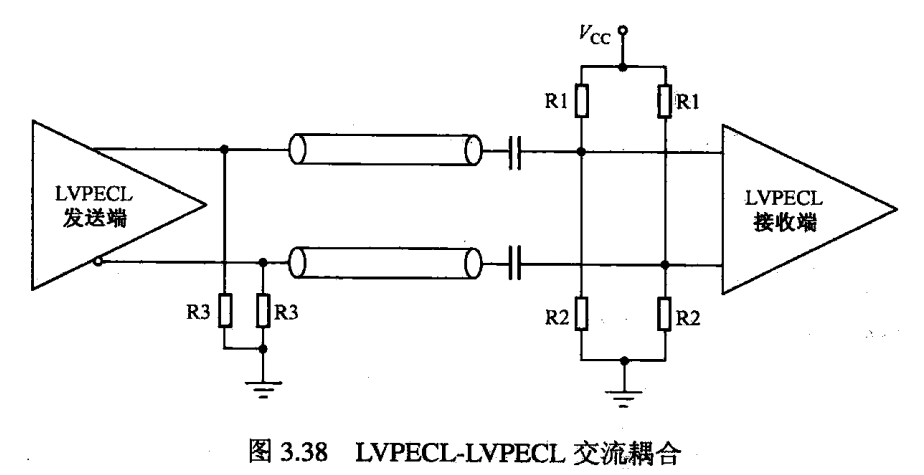
得到以下公式



当Vcc = 3.3V时，R1 = 130Ω，R2 = 82Ω。

需注意两个问题：①在PCB设计时，将R1和R2紧靠接收端器件的引脚。②考虑R1和R2的消耗的功率，当Vcc = 3.3V时，在分压电阻上的功耗可达51mW。

b)交流耦合



R1和R2的计算和直流耦合一样。LVPECL输出端的共模电平为Vcc - 1.3V，且输出端输出直流电流14mA。交流耦合时直流通路被阻断，因此需要R3提供稳定的共模电平及14mA的电流的直流通路。



当Vcc = 3.3V时，R3取143Ω。为保准信号的质量，R3可以调整，但不能超过200Ω。

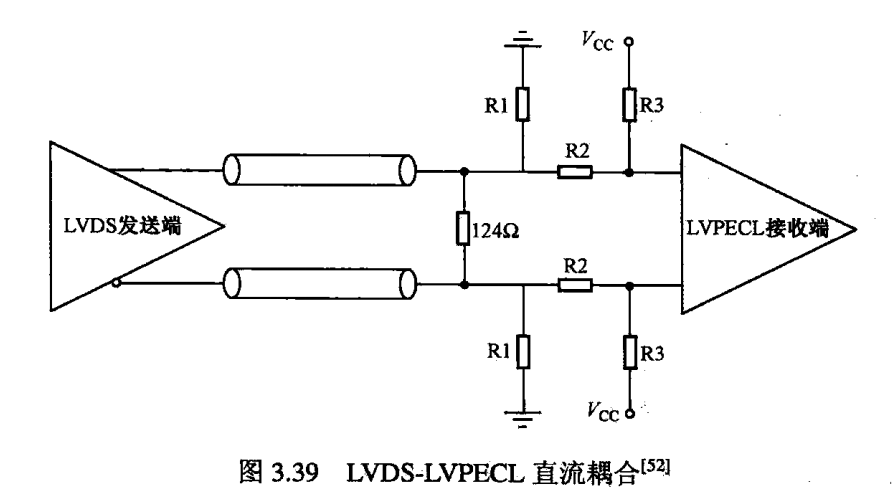
1. CML与CML

直接互连即可，板内信号互连用直流耦合，走线距离较远或跨板互连时应交流耦合。

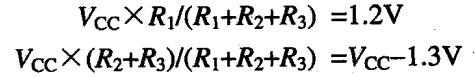
1. LVDS到LVPECL

由于LVDS的输出电平以GND为参考，而LVPECL的输入电平以Vcc为参考，因此对于LVDS到LVPECL的连接，建议采用能隔离直流的交流耦合方式，以避免共模偏置电平不同造成的影响。

1. 直流耦合



①偏置电平的转换。LVDS的输出端共模偏置电平的中间值为1.2V，而LVPECL的共模偏置电平为Vcc - 1.3V，可得



②线路阻抗要求。差分对信号路径上，单端对地阻抗应满足50Ω的要求，同时，该阻抗也是为了满足LVDS的100Ω终结电阻的要求，可得



当Vcc = 3.3V时，得到R1 = 374Ω，R2 = 249Ω，R3 = 402Ω。在差分对信号之间增加的124Ω并联电阻，其作用是减小电阻网络上的损耗。若不增加该电阻，则电阻网络的取值：R1 = 76Ω，R2 = 51Ω，R3 = 82Ω。电阻取值越小则功耗越大，增大并联电阻的值可增大电阻R1~R3的取值，从而减小功耗。

③电平摆幅的匹配。LVDS的输出摆幅|Vod|为350mV，LVPECL对输入摆幅Vid

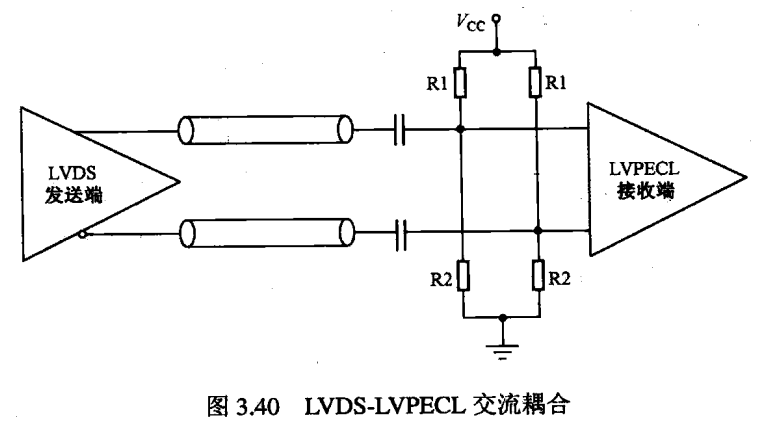
的要求随不同厂家器件而不同，应满足以下等式：



将数值带入得Vid < 216mV

因为直流耦合网络复杂，因此LVDS到LVPECL的电平转换一般采用交流耦合。

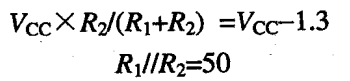
b)交流耦合



①为LVPECL输入端提供Vcc - 1.3V的共模偏置电平

②为LVDS差分对输入端提供100Ω的终端匹配（即单端对地电阻为50Ω）

可得

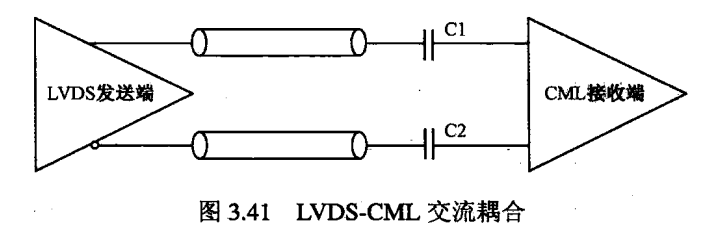


当Vcc = 3.3V时，得到电阻网络的取值为：R1 = 82Ω，R2 = 130Ω。

为减小电阻网络上的功耗，可在差分对信号线上，靠近接收端增加一个100Ω并联电阻， 由于该电阻满足第二个要求，而R1和R2仅需满足①即可，从而增大了R1和R2的阻 值，减小在电阻网络上的功耗。

1. LVDS到CML

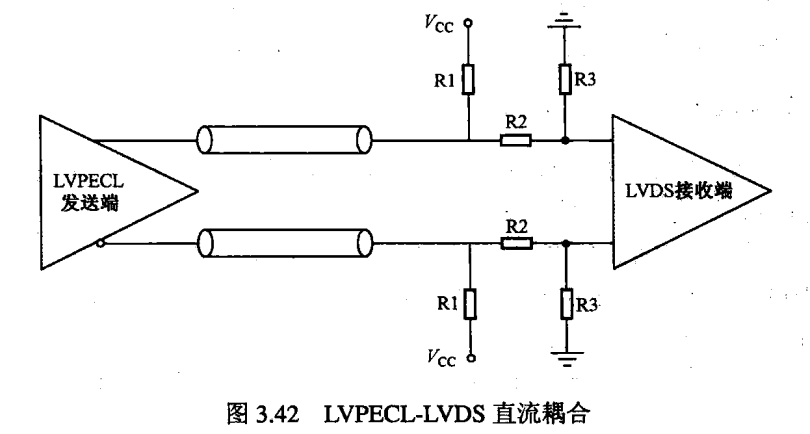
与LVDS到LVPECL类似，LVDS和CML的共模偏置电平不同，一般推荐交流耦合。



因为CML的输入端以内置上拉到Vcc的50Ω电阻，可满足LVDS端接电阻100Ω的要求，因此无需再信号线上外加端接电阻。所以只需满足：LVDS的输出摆幅Vod大于CML的输入摆幅Vid，即



1. LVPECL到LVDS
   1. 直流耦合



①为LVPECL输出端提供Vcc - 2V的偏置电平，即



②差分信号阻抗匹配。为实现线路上的阻抗匹配，电阻网络的等效电阻应为50Ω，该等效电阻同时满足LVDS对输入端端接100Ω电阻的要求，即



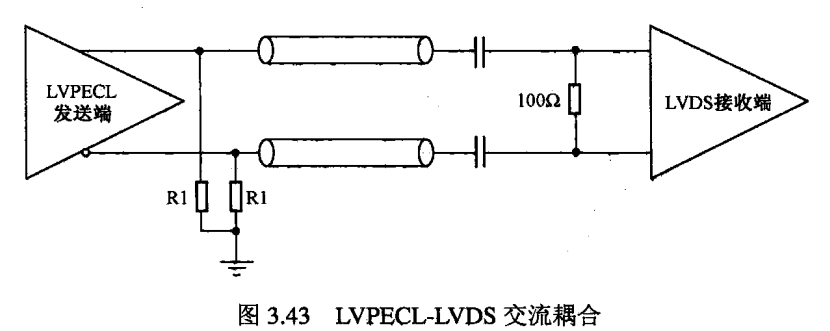
所以电阻网络的取值：R1 = 120Ω，R2 = 58Ω，R3 = 20Ω。

③电平摆幅的匹配。LVPECL的输出摆幅|Vod|的值随不同的厂家器件而不同，LVDS对输入摆幅Vid的要求是100mV。即



一般LVPECL的|Vod|最小值为800mV。

b)交流耦合



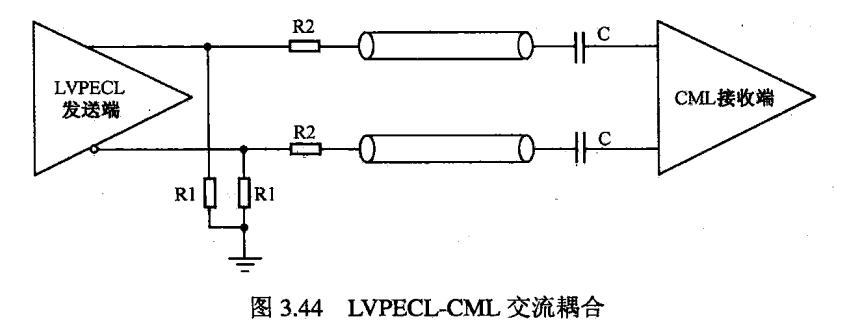
①为LVPECL输出端的14mA直流电流提供回路。该回路由R1提供，计算方法和LVPECL-LVPECL的交流耦合一样

②LVDS输入端加一个100Ω的电阻

③电平摆幅的匹配。一般LVPECL的输出摆幅Vod较大，而LVDS的输入摆幅Vid较小，为保护LVDS输入端口，可在线路上串接电阻进行衰减。

7、LVPECL到CML

由于LVPECL和CML的共模偏置电平不同，直流耦合电路复杂，不适合高速应用，因此LVPECL到CML一般采用交流耦合。



①为LVPECL输出端的14mA直流电流提供回路。该回路由R1提供，计算方法和LVPECL-LVPECL的交流耦合一样

②CML输入端的阻抗匹配。CML已内置，无需外接。

③电平摆幅的匹配。LVPECL的输出摆幅Vod较大，为保护CML输入端口，应串接电阻R2以衰减差分对信号。例如，LVPECL的输出摆幅Vod为800mV，而CML输入摆幅的最低要求为400mV，一般而言，应将LVPECL的输出摆幅衰减三分之一，如下式（50Ω指单端对GND的阻抗值）：



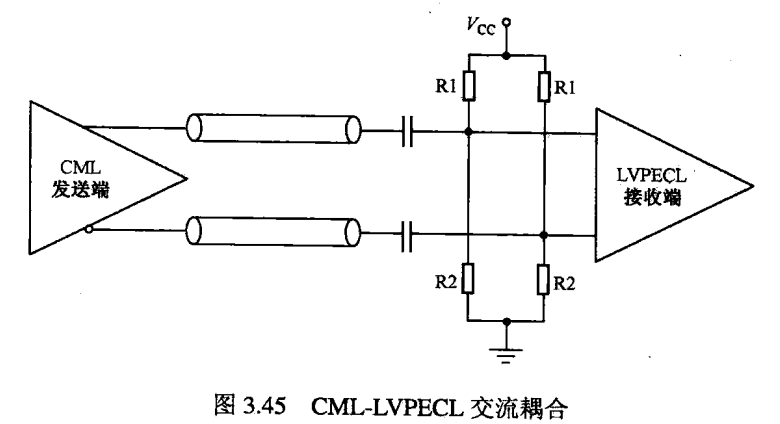
当R1取150Ω时，R2 = 50Ω。需注意加上R2后，将导致线路上的阻抗不匹配，此时应对R2的取值做出权衡。

1. CML到LVPECL

一般不会发生

9、CML到LVPECL

一般采用交流耦合



①在LVPECL接收端，由R1和R2组成电阻网络，同LVPECL-LVPECL的一样

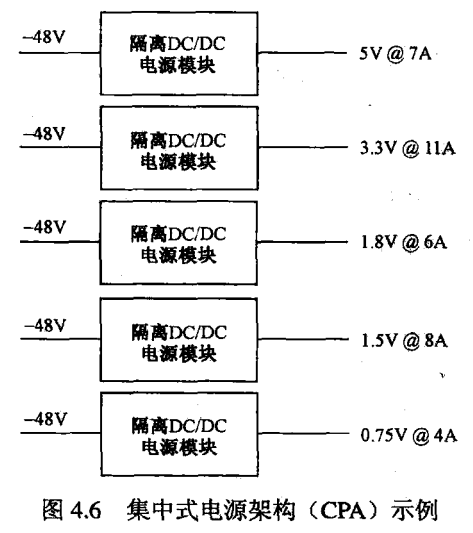
②电平摆幅的匹配。当CML的输出摆幅较大时可串接电阻，不过会导致阻抗比匹配，需平衡。

1. 高速电路中的电源设计

一、高速电路设计的电源架构

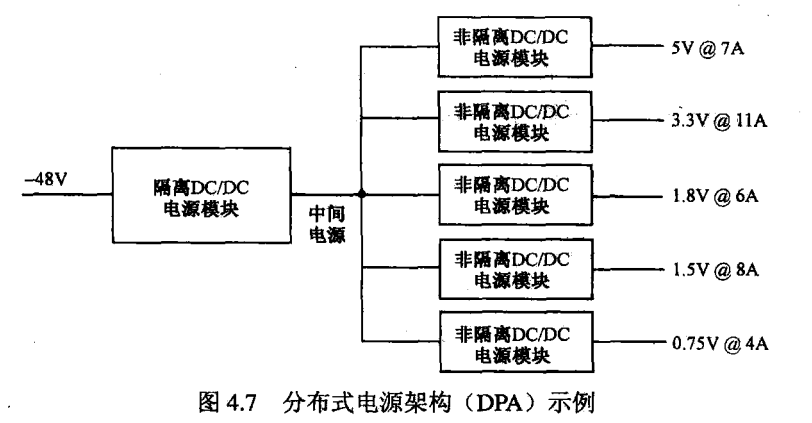
在高速电路设计中，一块单板往往涉及多种电源，常见的如5V，3.3V，2.5V，1.8V，1.5V，1.2V，1.0V，0.9V，0.75V等，如此多种类的电源不可能都直接通过背板从电源板获得。一般，单板仅有一种或两种输入电源，如-48V或12V，再由它们产生所需的电源。获得的这些电源有两种架构：集中式电源架构（CPA）和分布式电源架构（DPA）。

1. 集中式电源架构（Centralized Power Architecture）



隔离式电源模块太多，成本和所占PCB面积太大，不用在高速板。

1. 分布式电源架构（Distributed Power Architecture）



第一级电源的目的是获得中间电源同时提供电源隔离保护；第二级是为了获得所需的电源。但因为经过两级电源，所以功耗较大。高速板推荐使用分布式电源。

1. 高速电路电源分类及其应用要点

电源设计是电路设计较为复杂的一部分，常见的电源电路有整流、斩波、变频、逆变等几种类型。

①整流是指将交流电转换为直流电的过程，如AC/DC电路

②斩波是将某一电平的直流电转变为另一直流电平的过程，是高速电路设计中最常见的

③变频是将某一频率下的交流电转换为另一频率的交流电的过程。

④逆变是将直流电转换为交流电

高速电路中最常见的是斩波，有DC/DC和LDO两种方案。

1. LDO电源介绍及其应用要点

。。。

1. 高速电路中的时序设计
2. 高速电路中的复位、时钟设计
3. 高速电路中的存储器应用与设计
4. PCB设计与电源完整性