



Prof. Dr. Stefan Michael Blawid
Departamento de Engenharia de Computação
Centro de Informática

Tel. (81) 2126-8430 r: 4328

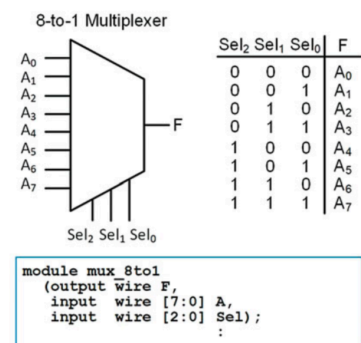
sblawid@cin.ufpe.br

<https://sites.google.com/a/cin.ufpe.br/if817/>

P2: Lógica Combinacional

1. Projete um modelo Verilog para o multiplexador de oito-para-um mostrado na figura. Declare seu módulo e portas para coincidir com o diagrama de blocos fornecidos.

- a) **(1p)** Use atribuição contínua e operadores condicionais.
- b) **(1p)** Use atribuição contínua e operadores lógicos.
- c) **(1p)** Verifique e simule seus módulos com a ajuda de uma bancada de teste



2. Um chip comparador de magnitude de 4 bits (por exemplo, 74LS85) compara dois números de 4 bits A e B e produz saídas para indicar se $A < B$, $A = B$ ou $A > B$. Existem três sinais de saída para indicar cada uma das condições anteriores. Observe que exatamente uma das linhas de saída estará alta e as outras duas linhas estarão baixas a qualquer momento. O chip é um chip em cascata e possui três entradas — $A > B.IN$, $A = B.IN$ e $A < B.IN$ — para permitir que o chip em cascata faça comparadores de magnitude de 8 bits ou mais.

- (a) **(0.5p)** Desenhe um diagrama de blocos de um comparador de magnitude de 4 bits.
- (b) **(0.5p)** Desenhe um diagrama de blocos para indicar como você pode construir um comparador de magnitude de 8 bits usando dois comparadores de magnitude de 4 bits
- (c) **(2p)** Escreva uma descrição comportamental do Verilog para o comparador de 4 bits.
- (d) **(2p)** Escreva o código Verilog para o comparador de 8 bits usando dois comparadores de 4 bits como componentes.
- (e) **(2p)** Escreva uma bancada de teste Verilog que irá testar o código Verilog