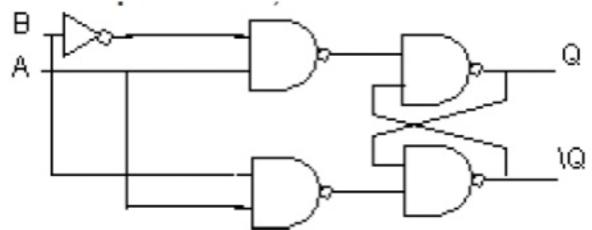


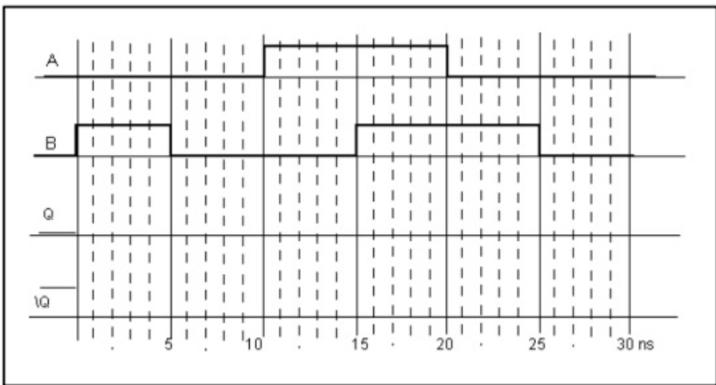
1. (0.5 ponto) Considere um novo tipo de latch, chamado de latch AB mostrado na figura abaixo.



- a) Forneça a tabela verdade deste latch
 b) Complete o diagrama de tempo abaixo incluindo os atrasos dos sinais. Assuma que cada porta tem um atraso de 1 ns.

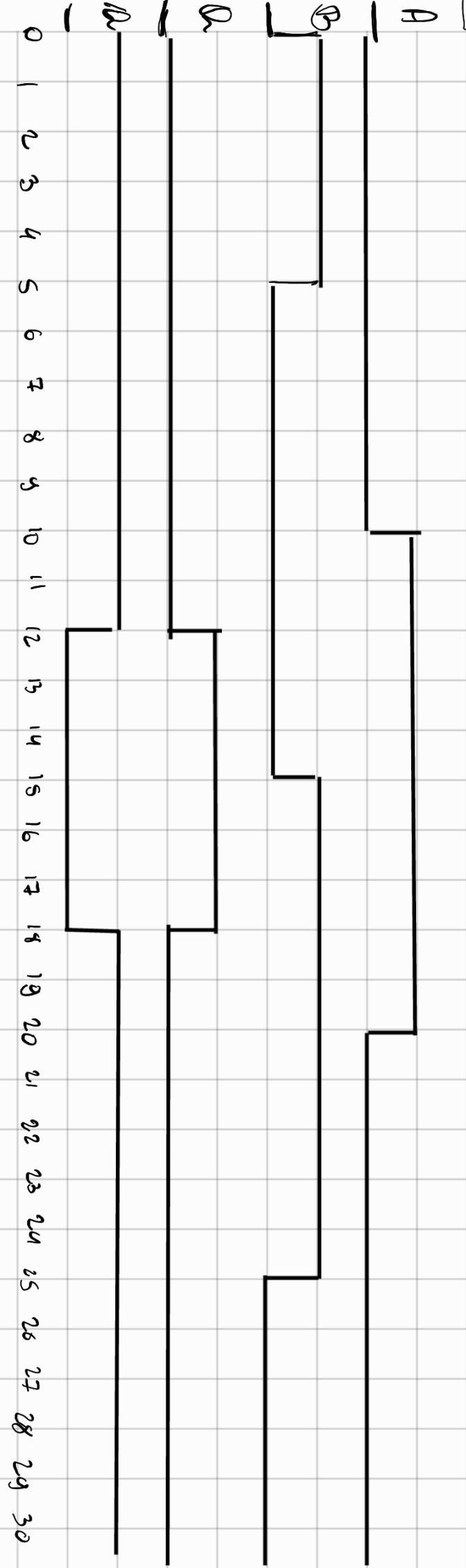
a)

A	B	Q	\bar{Q}
0	0	latch	latch \bar{Q}
0	1	latch	latch \bar{Q}
1	0	1	0
1	1	0	1

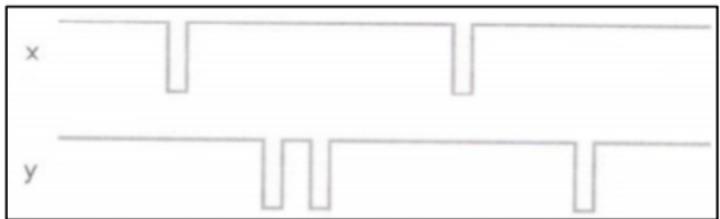


b)

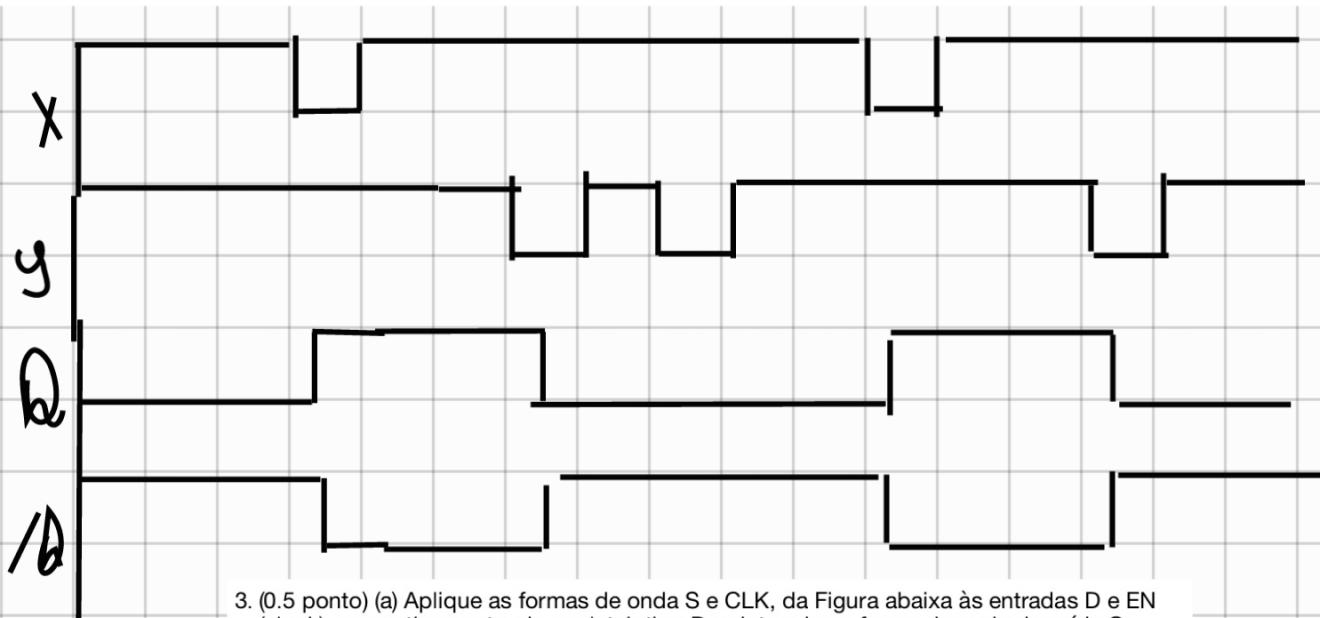
b)



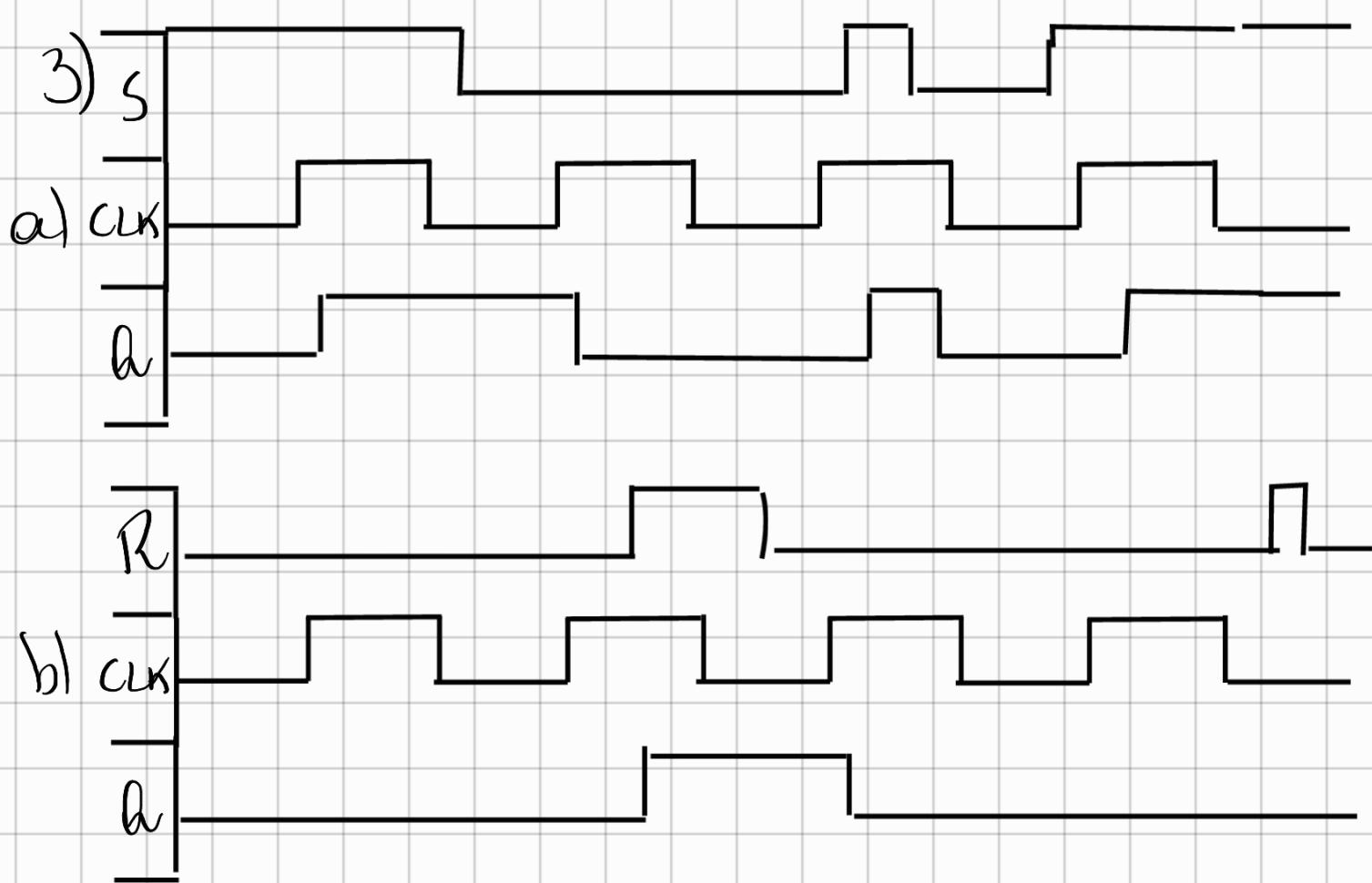
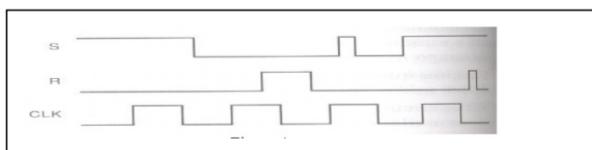
2. (0.5 ponto) Considerando que inicialmente $Q=0$, aplique as formas de onda x e y , mostradas na figura abaixo, às entradas SET e RESET, respectivamente, de um latch /R-/S (isto é, com SET e RESET em ativo baixo) e determine as formas de onda das saídas Q e $/Q$.



2)



3. (0.5 ponto) (a) Aplique as formas de onda S e CLK , da Figura abaixo às entradas D e EN (clock), respectivamente, de um latch tipo D e determine a forma de onda da saída Q ; (b) Repita o procedimento usando a forma de onda R aplicada à entrada D .

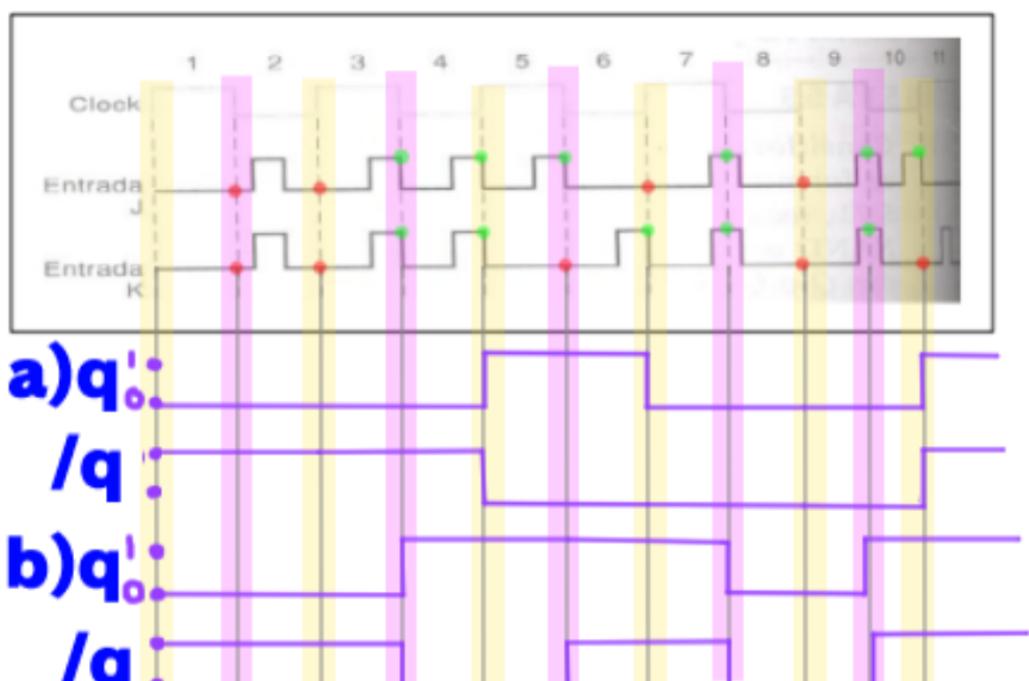


4. (0.5 ponto) As formas de onda mostradas na Figura abaixo são aplicadas a dois FFs diferentes:

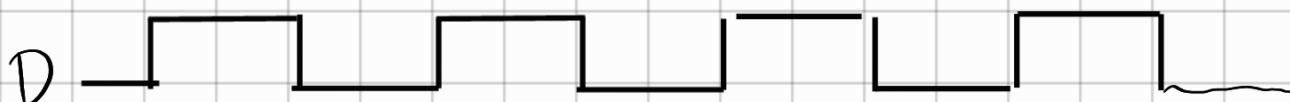
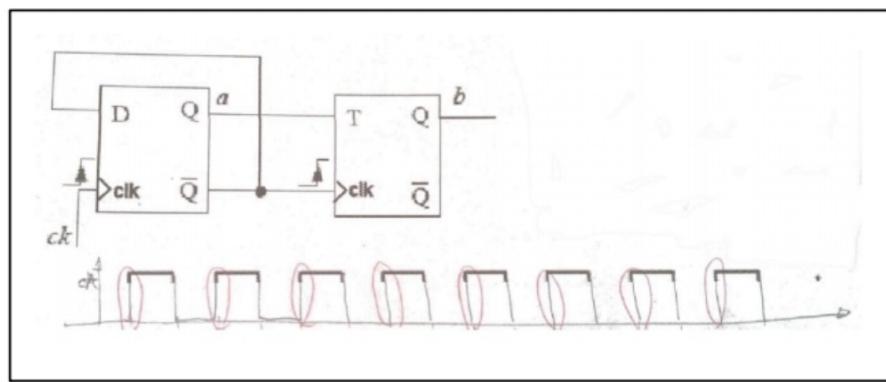
(a) JK disparado por borda positiva.

(b) JK disparado por borda negativa.

Desenhe as formas de onda para a saída Q de cada um dos flip-flops, considerando inicialmente Q=0. Considere que cada flip-flop tenha $tH = 0$ e que os tempos de setup estejam respeitados. (Atenção: a forma de onda do relógio está pouco visível. Ela é alta nas janelas de número ímpar (1,3,5,...) e baixa nas de número par.

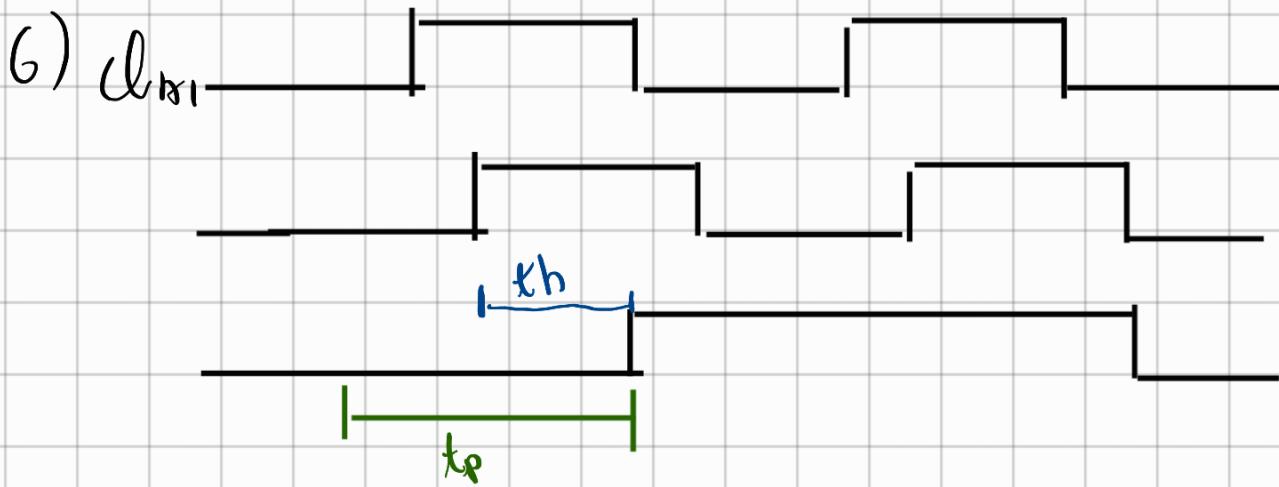
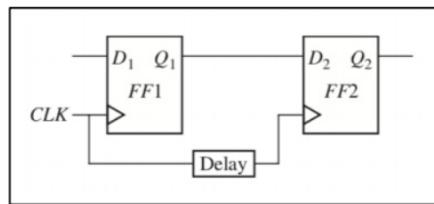


5. (0.5 ponto) Considere o circuito abaixo, Desenhe as formas de onda a e b para o sinal de relógio ck indicado. Observe que todos os FF são sensíveis à borda de subida de seus relógios. Use o gráfico abaixo para apresentar a sua resposta (use as linhas adicionais do gráfico para sinais auxiliares que você utilizar)



6. (0.5 ponto) Dois flip-flops são conectados como mostrado no diagrama à direita. O atraso representa o atraso da fiação entre as duas entradas do relógio. Isso pode causar possível perda de sincronização. O atraso de propagação do flip-flop do relógio para Q é $10\text{ns} < t_p < 15\text{ns}$, e os tempos de configuração (5ns) e de espera (2ns) para D1 são sempre satisfeitos.

Qual é o valor máximo que o atraso pode ter e ainda conseguir uma operação síncrona adequada?
Desenhe um diagrama de tempo para justificar sua resposta. Supondo que o atraso seja $< 3\text{ns}$, qual é o período mínimo de relógio permitido?



$$10\text{ns} \leq t_p \leq 15\text{ns} \quad t_{p,\min} > \text{delay} + t_{hold} \rightarrow \text{delay} < t_{p,\min} - t_{hold}$$

$$t_{hold} = 2\text{ns}$$

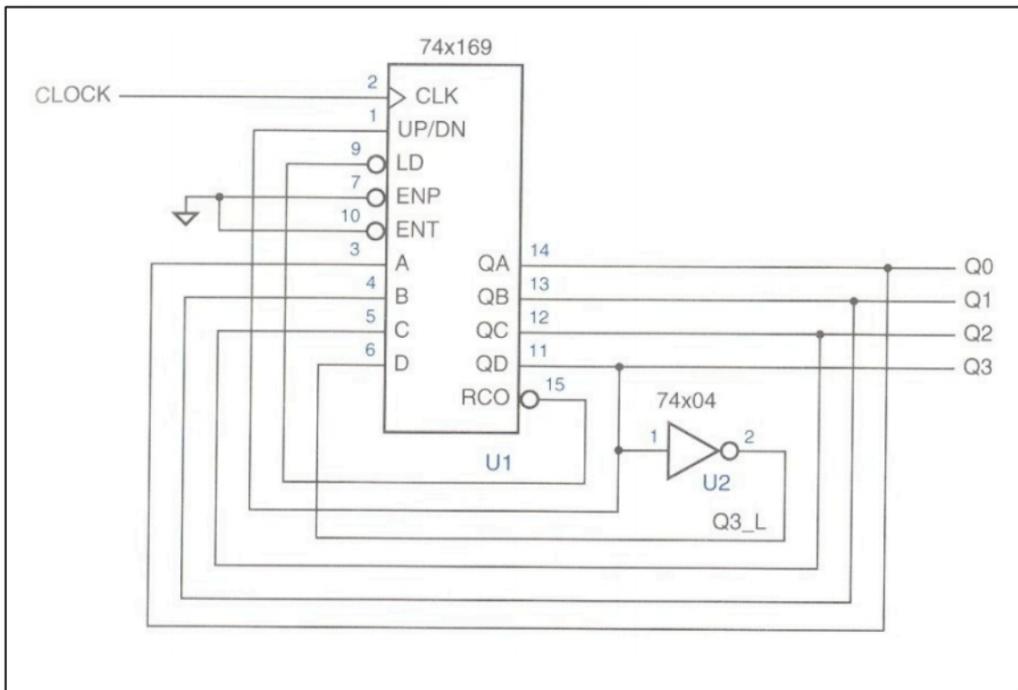
$$t_{setup} = 5\text{ns}$$

Pergunta 1 → \hookrightarrow O valor máximo do Delay é 8

• Pergunta 2

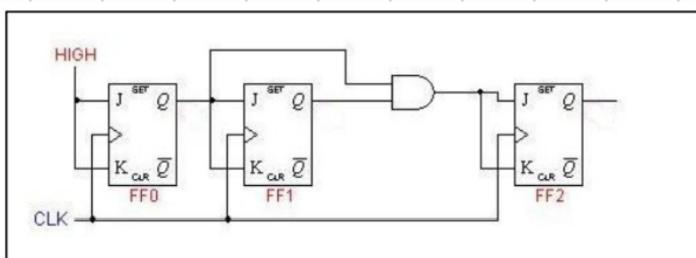
$$\hookrightarrow t_{clock} \rightarrow t_{p,\max} + t_{setup} \rightarrow 15 + 5 = 20\text{ms}$$

7. (1 ponto) No circuito da Figura abaixo o CI 74x169 é um contador síncrono de 4 bits com contagem reversível. Ele faz contagem crescente se UP/DN=1 e decrescente se UP/DN=0. ENP e ENT são habilitações ativo-baixo. O sinal LD determina o carregamento das entradas A,B,C e D. O Sinal RCO (Ripple Carry-out) é ativo quando a contagem chega ao maior número (1111) e o contador está habilitado. Determine a sequência de contagem do circuito



$7) \begin{matrix} 0111(7) \rightarrow 0110(6) \rightarrow 0101(5) \rightarrow 0100(4) \rightarrow \\ 0011(3) \rightarrow 0010(2) \rightarrow 0001(1) \rightarrow 0000(0) \rightarrow 1000(8) \rightarrow \\ 1001(9) \rightarrow 1010(10) \rightarrow 1011(11) \rightarrow 1100(12) \rightarrow 1101(13) \rightarrow \\ 1110(14) \rightarrow 1111(15) \rightarrow 0111(7) \dots \end{matrix}$
 (Repetição)

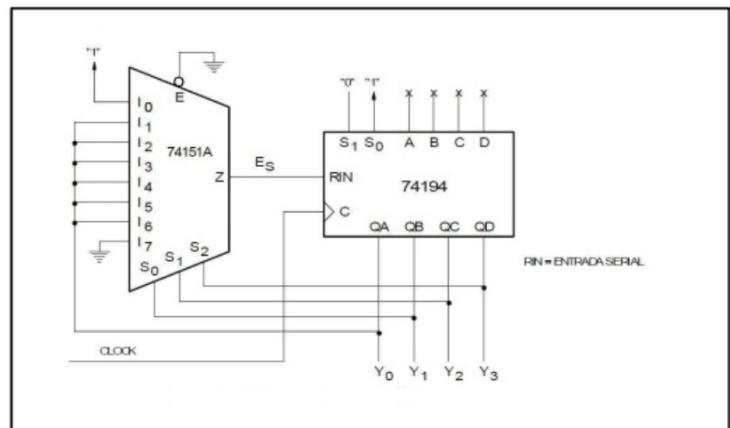
8. (1 ponto) O contador da figura ao lado é um contador síncrono



a) Verdadeiro, pois este é um contador de 3 bits

b) Verdadeiro, pois o efeito do flip-flop T pode ser obtido a partir de um flip-flop JK logado, como o da Wmofm.

9. (1 ponto) No circuito da figura ao lado temos um contador com 8 estados de contagem. Sabendo-se que o registrador de deslocamento 74194, na configuração mostrada, faz deslocamento à direita, e recebe a entrada RIN.



(a) Após o estado 0000 (da esquerda para a direita = $Y_0Y_1Y_2Y_3$), chegamos ao estado 1000: Verdadeiro/Falso? Verdadeiro

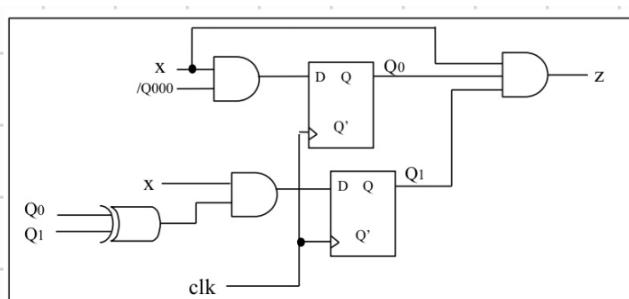
(b) Aponte um estado (da esquerda para a direita) ao qual NÃO se chega na operação normal do circuito; Suas opções são: 0000, 0011, 0101, 0111, 1000.

b) R \rightarrow 0101, Pois o circuito faz o seguinte loop
 b) 0000 \rightarrow 1000 \rightarrow 1100 \rightarrow 1110 \rightarrow 1111 \rightarrow 0111 \rightarrow 0011 \rightarrow 0001 \rightarrow 0000 $\rightarrow \dots$
 • NÃO POSSUI ALGUM COM 1 OU 0 INTERRALADO

10. (1 ponto) (a) Analise o circuito acima e faça os 7 passos de desenho para obter o diagrama de estados. (Colocar o desenvolvimento de cada passo):

1. Encontre as equações da excitação dos input do flip-flop
2. Substitua as equações de excitação nas equações características dos flip-flops originando as equações de transição
3. Construa a tabela de transições das equações de transição
4. Encontre as equações de saída
5. Adicione as saídas para a tabela de transições para cada estado (Moore) ou para cada combinação estado/input (Mealy) para formar a tabela de transiões/saídas
6. Nomeie os estados na tabela de transiões/saídas originando a tabela estados/saídas
7. Desenhe o diagrama de estados da tabela de estados/saídas

(b) Você saberia dizer o que o circuito faz? Explique usando um exemplo.



a)

$$1, D_0 = \overline{Q_0} \cdot X \\ D_1 = (Q_0 \oplus Q_1) \cdot X$$

$$2, Q_0^* = \overline{Q_0} \cdot X \\ Q_1^* = (Q_0 \oplus Q_1) \cdot X$$

3. $D Q Q^+$

0	0	0
0	1	0
1	0	1
1	1	1

$Q Q^+ D$

0	0	0
1	0	0
0	1	1
1	1	1

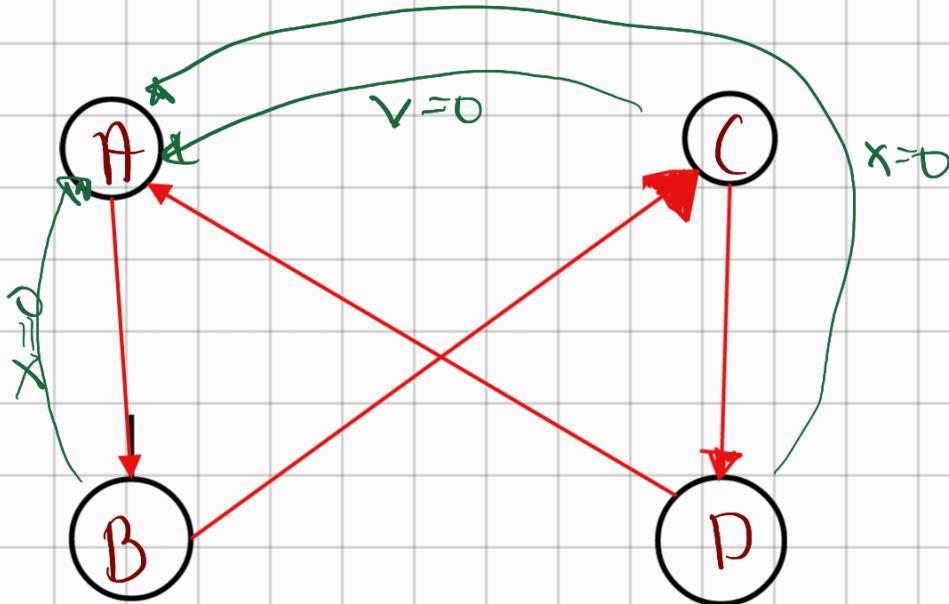
$$U_0 Z = X \cdot Q_0 Q_1$$

X

$Q_0 Q_1$	0	1
0 0	0 0 0	1 0, 0
0 1	0 0, 0	1 1, 0
1 0	0 0, 0	0 1, 0
1 1	0 0 0	0 0, 1

U_0	0	1
A	A, 0	B, 0
C	A, 0	D, 0
B	B, 0	C, 0
D	A, 0	A, 1

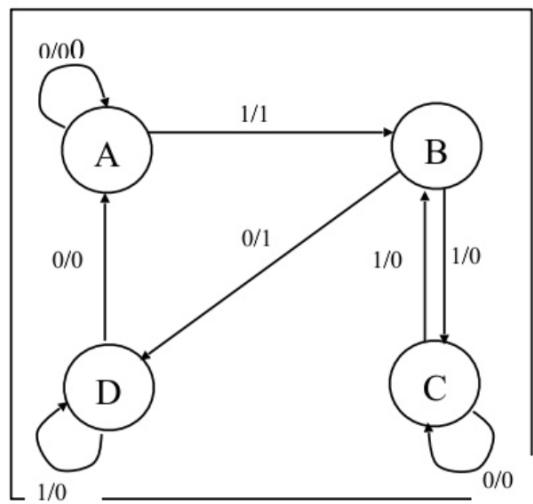
7.



b) Tomando como base que X está inicialmente com 1, o circuito irá realizar um ciclo por todos os estados, até retornar em 1, como X se altere durante a execução, isso caso ele mude para 0 durante o processo, não retornará para A e irá continuar até que o X mude.

$\{X=1\}$: em $|101|$, se $X=1$, irá percorrer $1 \rightarrow 1 \rightarrow 0 \rightarrow 1$

11. (1 ponto) Determine o circuito que tenha o digrama de estados acima. Você precisa mostrar todos os passos que poderão levar ao resultado. Use flip-flops JK no seu projeto.



• Tabela de Transição

S^*	X	
0	0	1
A	A, 0	B, 1
B	D, 1	C, 0
C	C, 0	B, 0
D	A, 0	D, 0



S^*	X	
00	00, 0	01, 1
01	11, 1	10, 0
10	10, 0	01, 0
11	00, 0	11, 0

• Mapas de Karnaugh

\bar{Q}_0	0	1	0	1	1	0
0	0	1	0	0	0	0
1	1	0	0	0	0	0

$$\hookrightarrow Z = \bar{Q}_0 \bar{Q}_1 X + \bar{Q}_0 Q_1 \bar{X} \rightarrow \text{equações de saídas do circuito}$$

• Circuito

