



Prof. Dr. Stefan Michael Blawid  
Departamento de Engenharia de Computação  
Centro de Informática

Tel. (81) 2126-8430 r: 4328

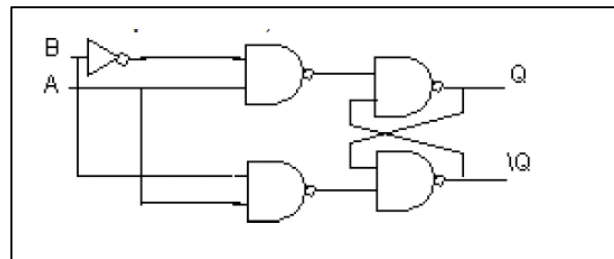
[sblawid@cin.ufpe.br](mailto:sblawid@cin.ufpe.br)

<https://sites.google.com/a/cin.ufpe.br/if817/>

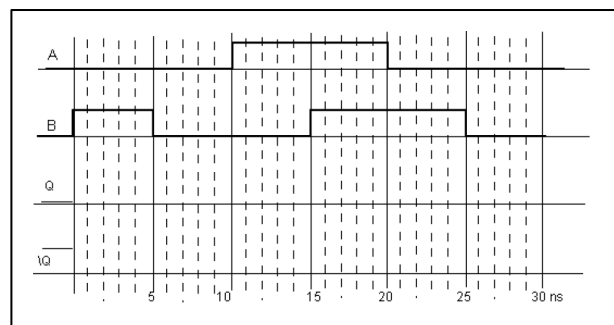
## LE4: Circuitos Sequencias

### Latches (Aula 5-1)

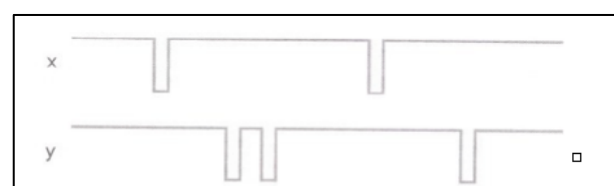
1. (0.5 ponto) Considere um novo tipo de latch, chamado de latch AB mostrado na figura ao lado.



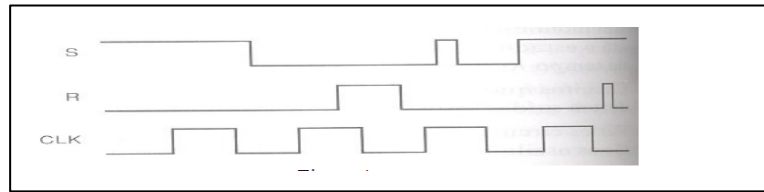
- a) Forneça a tabela verdade deste latch  
b) Complete o diagrama de tempo abaixo incluindo os atrasos dos sinais. Assuma que cada porta tem um atraso de 1 ns.



2. (0.5 ponto) Considerando que inicialmente  $Q=0$ , aplique as formas de onda x e y, mostradas na figura abaixo, às entradas SET e RESET, respectivamente, de um latch /R-/S (isto é, com SET e RESET em ativo baixo) e determine as formas de onda das saídas Q e /Q.



3. (0.5 ponto) (a) Aplique as formas de onda S e CLK, da Figura abaixo às entradas D e EN (clock), respectivamente, de um latch tipo D e determine a forma de onda da saída Q;  
 (b) Repita o procedimento usando a forma de onda R aplicada à entrada D.

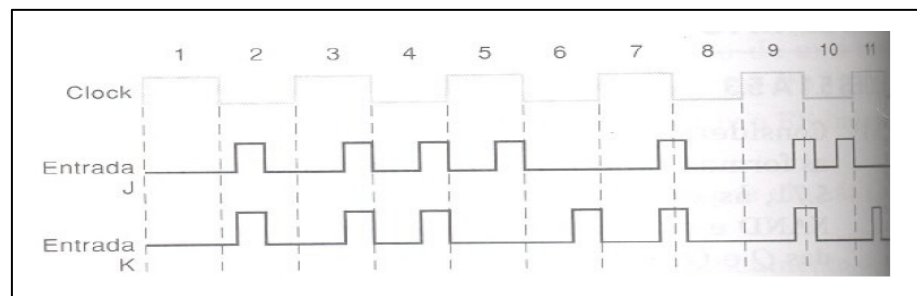


## Flip-Flops (Aula 5-2)

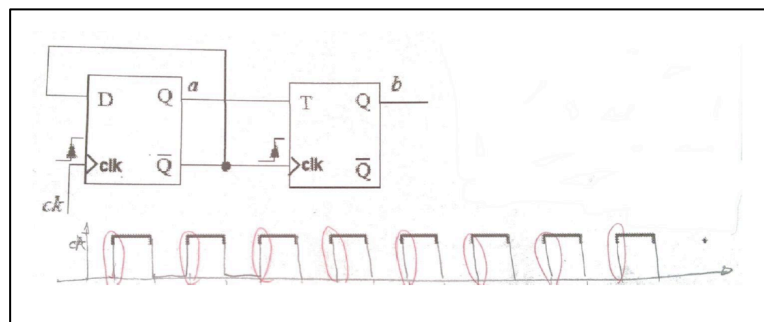
4. (0.5 ponto) As formas de onda mostradas na Figura abaixo são aplicadas a dois FFs diferentes:

- (a) JK disparado por borda positiva.
- (b) JK disparado por borda negativa.

Desenhe as formas de onda para a saída Q de cada um dos flip-flops, considerando inicialmente  $Q=0$ . Considere que cada flip-flop tenha  $t_H = 0$  e que os tempos de setup estejam respeitados. (Atenção: a forma de onda do relógio está pouco visível. Ela é alta nas janelas de número ímpar (1,3,5,...) e baixa nas de número par.

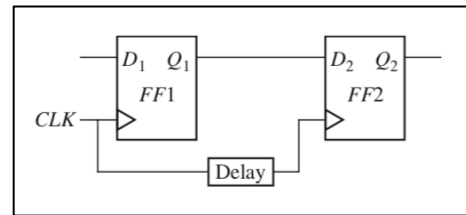


5. (0.5 ponto) Considere o circuito abaixo, Desenhe as formas de onda a e b para o sinal de relógio ck indicado. Observe que todos os FF são sensíveis à borda de subida de seus relógios. Use o gráfico abaixo para apresentar a sua resposta (use as linhas adicionais do gráfico para sinais auxiliares que você utilizar)



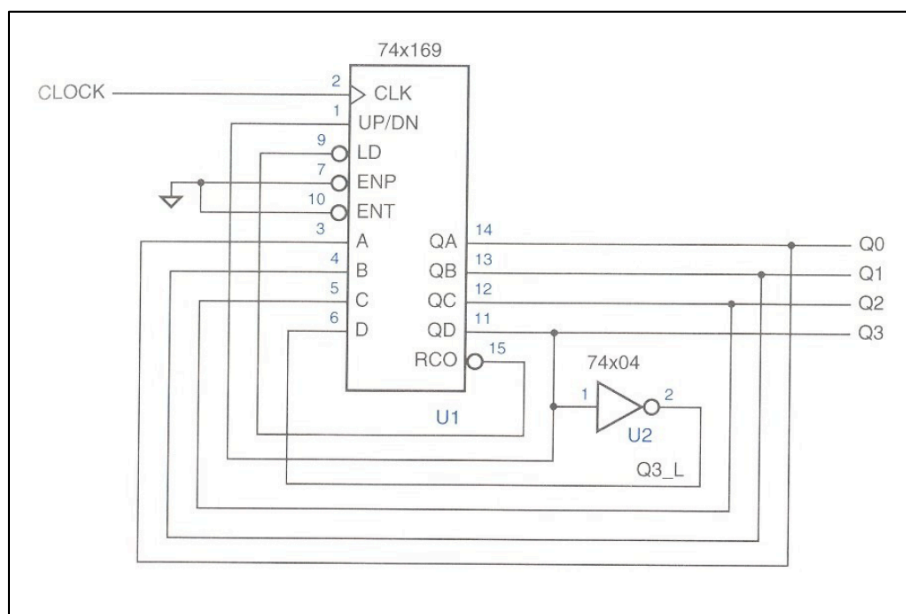
6. (0.5 ponto) Dois flip-flops são conectados como mostrado no diagrama à direita. O atraso representa o atraso da fiação entre as duas entradas do relógio. Isso pode causar possível perda de sincronização. O atraso de propagação do flip-flop do relógio para Q é  $10\text{ns} < t_p < 15\text{ns}$ , e os tempos de configuração (5ns) e de espera (2ns) para D1 são sempre satisfeitos.

Qual é o valor máximo que o atraso pode ter e ainda conseguir uma operação síncrona adequada? Desenhe um diagrama de tempo para justificar sua resposta. Supondo que o atraso seja  $< 3\text{ns}$ , qual é o período mínimo de relógio permitido?

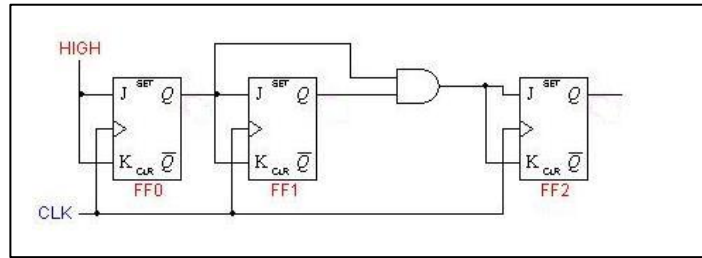


## Registradores e Contadores (Aula 5-3)

7. (1 ponto) No circuito da Figura abaixo o CI 74x169 é um contador síncrono de 4 bits com contagem reversível. Ele faz contagem crescente se UP/DN=1 e decrescente se UP/DN=0. ENP e ENT são habilitações ativo-baixo. O sinal LD determina o carregamento das entradas A,B,C e D. O Sinal RCO (Ripple Carry-out) é ativo quando a contagem chega ao maior número (1111) e o contador está habilitado. Determine a sequência de contagem do circuito.



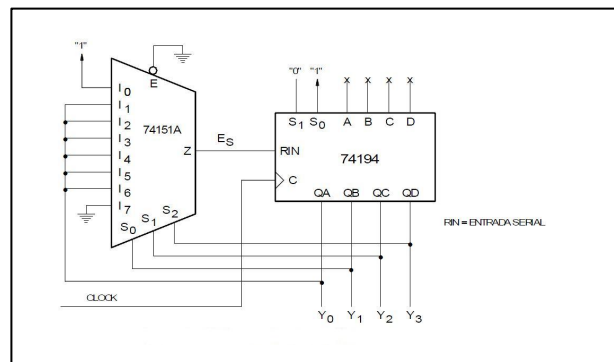
8. (1 ponto) O contador da figura ao lado é um contador síncrono



(a) A sequência de contagem, transformada em número decimal (dígito mais significativo à esquerda) é 0,1,2,3,4,5,6,7: Verdadeiro/Falso?

(b) O contador poderia ser feito com 3 Flip-Flops tipo T e nenhuma lógica adicional, atingindo a mesma funcionalidade: Verdadeiro/Falso?

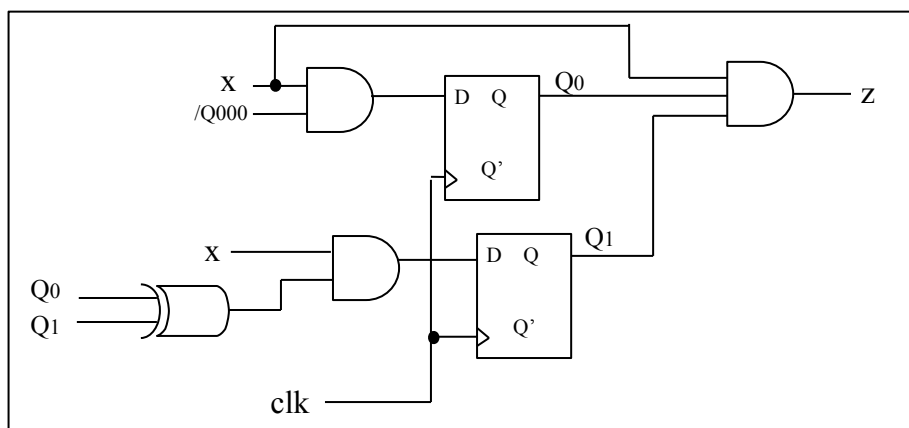
9. (1 ponto) No circuito da figura ao lado temos um contador com 8 estados de contagem. Sabendo-se que o registrador de deslocamento 74194, na configuração mostrada, faz deslocamento à direita, e recebe a entrada RIN.



(a) Após o estado 0000 (da esquerda para a direita), chegamos ao estado 1000: Verdadeiro/Falso?

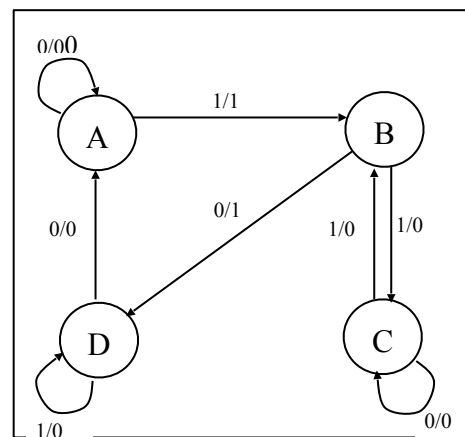
(b) Aponte um estado (da esquerda para a direita) ao qual NÃO se chega na operação normal do circuito; Suas opções são: 0000, 0011, 0101, 0111, 1000.

## Maquinas de Estados Finitos (Aula 5-4)



10. (1 ponto) (a) Analise o circuito acima e faça os 7 passos de desenho para obter o diagrama de estados. (Colocar o desenvolvimento de cada passo):
1. Encontre as equações da excitação dos input do flip-flop
  2. Substitua as equações de excitação nas equações características dos flip-flops originando as equações de transição
  3. Construa a tabela de transições das equações de transição
  4. Encontre as equações de saída
  5. Adicione as saídas para a tabela de transições para cada estado (Moore) ou para cada combinação estado/input (Mealy) para formar a tabela de transições/saídas
  6. Nomeie os estados na tabela de transições/saídas originando a tabela estados/saídas
  7. Desenhe o diagrama de estados da tabela de estados/saídas
- (b) Você saberia dizer o que o circuito faz? Explique usando um exemplo.

11. (1 ponto) Determine o circuito que tenha o digrama de estados acima. Você precisa mostrar todos os passos que poderão levar ao resultado. Use flip-flops JK no seu projeto.



12. (2 ponto) Um circuito sequencial síncrono tem uma entrada e uma saída. Se a sequência de entrada 0101 ou 0110 ocorrer, ocorrerá uma saída de dois 1s sucessivos. O primeiro desses 1s deve ocorrer coincidente com a última entrada da sequência 0101 ou 0110. O circuito deve reiniciar quando a segunda saída 1 ocorrer. Por exemplo,
- Sequência de entrada:  $X = 0100111\mathbf{01010101101} \dots$
- Sequência de saída:  $Z = 0000000000\mathbf{11000011} \dots$
- Derive um gráfico e tabela de estados (Mealy) com um número mínimo de estados (seis estados). Tente escolher uma boa atribuição de estado. Realize o circuito usando FFs JK e portas NAND. Repita usando as portas NOR.