



Prof. Dr. Stefan Michael Blawid  
Departamento de Engenharia de Computação  
Centro de Informática

Tel. (81) 2126-8430 r: 4328

[sblawid@cin.ufpe.br](mailto:sblawid@cin.ufpe.br)

<https://sites.google.com/a/cin.ufpe.br/if817/>

## P1: Primeiros passos em Verilog

1. Dadas as declarações simultâneas da Verilog:

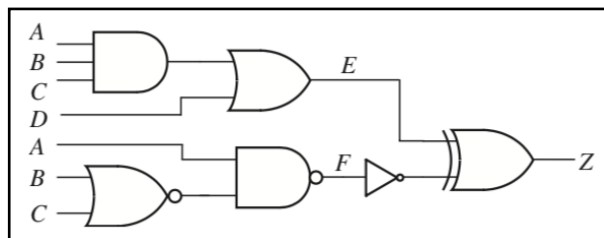
```
assign #3 B = A && C;
```

```
assign #2 C = !B;
```

(a) **(0.4 ponto)** Desenhe o circuito representado pelas instruções.

(b) **(0.6 ponto)** Desenhe um diagrama de tempo se inicialmente  $A=B=0$  e  $C=1$ , e  $A$  mudar para 1 no tempo 5ns.

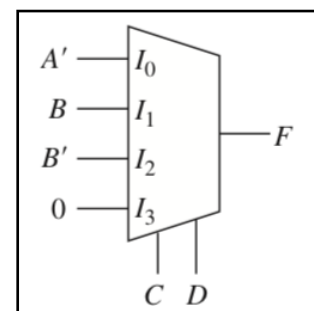
2. **(1 ponto)** Escreva uma descrição Verilog do seguinte circuito combinacional usando instruções simultâneas. Cada porta tem um atraso de 5ns, excluindo o inversor, que tem um atraso de 2ns.



3. (a) **(1 ponto)** Escreva uma declaração de atribuição de sinal condicional para representar o MUX 4-para-1 mostrado ao lado. Suponha que exista um atraso inerente no MUX que faça com que a alteração na saída ocorra 10ns após uma alteração na entrada.

(b) **(0.5 ponto)** Repita (a) usando uma instrução if-else.

(c) **(0.5 ponto)** Repita (a) usando uma declaração de caso.



4. (a) **(1 ponto)** Escreva pelo menos dois módulos Verilog diferentes que sejam equivalentes ao seguinte pseudo-código:

```
A = B1 when C = 1 else B2 when C = 2 else B3 when C = 3 else 0;
```

(b) **(1 ponto)** Desenhe um circuito para implementar a seguinte declaração:

```
A = B1 when C1 = 1 else B2 when C2 = 1 else B3 when C3 = 1 else 0;
```

5. Um chip comparador de magnitude de 4 bits (por exemplo, 74LS85) compara dois números de 4 bits A e B e produz saídas para indicar se  $A < B$ ,  $A = B$  ou  $A > B$ . Existem três sinais de saída para indicar cada uma das condições anteriores. Observe que exatamente uma das linhas de saída estará alta e as outras duas linhas estarão baixas a qualquer momento. O chip é um chip em cascata e possui três entradas —  $A > B.IN$ ,  $A = B.IN$  e  $A < B.IN$  — para permitir que o chip em cascata faça comparadores de magnitude de 8 bits ou mais.

(a) **(0.5 ponto)** Desenhe um diagrama de blocos de um comparador de magnitude de 4 bits.

(b) **(0.5 ponto)** Desenhe um diagrama de blocos para indicar como você pode construir um comparador de magnitude de 8 bits usando dois comparadores de magnitude de 4 bits

(c) **(1 ponto)** Escreva uma descrição comportamental do Verilog para o comparador de 4 bits.

(d) **(1 ponto)** Escreva o código Verilog para o comparador de 8 bits usando dois comparadores de 4 bits como componentes.

(e) **(1 ponto)** Escreva uma bancada de teste Verilog que irá testar o código Verilog