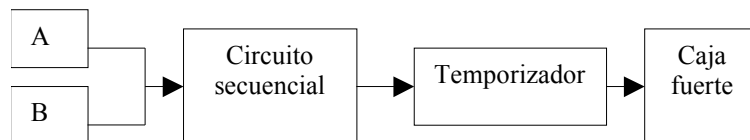


EJERCICIOS RESUELTOS DE SECUENCIALES

1) El sistema de apertura de una caja fuerte está compuesto por dos teclas A y B, un circuito secuencial a diseñar y un temporizador que mantiene la caja fuerte abierta durante 5 minutos cuando recibe un nivel lógico 1 desde el circuito secuencial. Este temporizador vuelve a cerrar la caja fuerte pasado dicho tiempo, independientemente del circuito secuencial.

Cuando se pulsa la tecla A, se produce un nivel lógico 1 que entra al circuito secuencial, mientras que cuando se pulsa la tecla B se produce un nivel lógico 0 de entrada al circuito a diseñar. Mientras no se pulse ninguna tecla no se genera ningún nivel lógico de entrada al circuito secuencial.



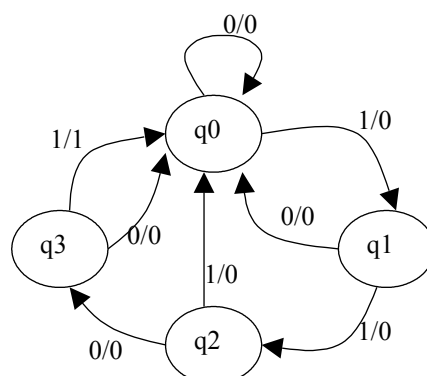
Para abrir la caja fuerte, la combinación secreta es: pulsar dos veces seguidas la tecla A, a continuación pulsar una vez la tecla B, y finalmente pulsar una vez la tecla A. Si se hace de esta manera, el circuito secuencial dará una salida a nivel lógico 1, que actuará sobre el temporizador, permitiendo la apertura de la caja fuerte durante 5 minutos. Si en cualquier momento se introdujera un error al pulsar la secuencia secreta, en el siguiente ciclo de reloj todos los biestables se pondrán a cero (el sistema pasará al estado inicial), y la secuencia debe volver a introducirse desde el principio.

- Dibujar el diagrama de estados, explicando claramente en qué consiste cada estado.
- Implementar el circuito secuencial a diseñar usando biestables JK y las puertas necesarias.

1. Paso de las especificaciones verbales al diagrama de estados

En este caso, el diagrama de estados tiene que ser capaz de reconocer la combinación de entrada 1101. Partimos de un estado inicial en el que se espera la introducción del código. A continuación, se pasará a un nuevo estado cada vez que se reconozca correctamente el siguiente bit del código, mientras que si éste no corresponde al código se volverá al estado inicial, y habrá que teclear todo el código de nuevo. El significado de los estados será por tanto el de la siguiente tabla.

Estado	Definición	Q1 Q0
q ₀	Estado inicial. No hay código	0 0
q ₁	Se ha recibido el primer 1	0 1
q ₂	Se han recibido dos 1 consecutivos	1 0
q ₃	Se ha recibido el 0 después de dos 1 consecutivos	1 1



El funcionamiento del diagrama será el que se explica a continuación. Inicialmente nos encontramos en el estado q₀. Mientras no se teclee un 1 (recordemos que la combinación válida es 1101) nos mantendremos en este estado. Cuando llegue el primer uno pasamos a q₁. Si el siguiente bit es de nuevo un 1, habremos reconocido los dos primeros correctamente, por lo que

el siguiente estado será q_2 . Sin embargo, si en lugar de un 1 se recibe un 0, la secuencia es incorrecta, y como resultado habrá que regresar a q_0 , para que el código sea tecleado por completo de nuevo. Del mismo modo, al recibir un 0 estando en q_2 pasaremos a q_3 (hemos reconocido 110). Y finalmente, si en q_3 la entrada es un 1, el código ha sido correcto, y por lo tanto la salida del circuito será 1 y volveremos a q_0 . Si la entrada es un 0, entonces falló el último bit, y aunque volvamos también a q_0 , en este caso la salida del circuito es 0, puesto que el código fue erróneo.

2. Construcción de la tabla de estados

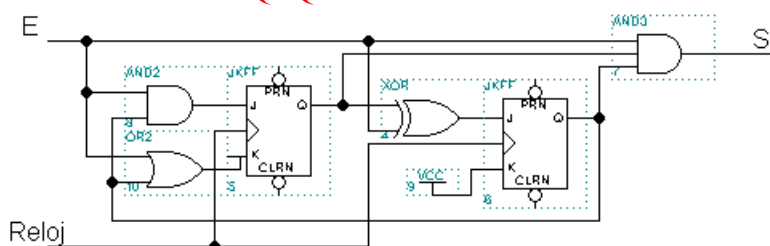
Tomando el diagrama de estados de la figura anterior debe generarse la tabla de estados, en la que a partir de las entradas y el estado actual se obtendrá el siguiente estado, y en la que a partir de ambos, y con ayuda de la tabla de excitación se calcularán las entradas a los biestables (JK en este caso). Nótese como ahora sí aparece una función de salida (S) diferente del estado que almacenan los biestables.

E	Q1(t)	Q0(t)		Q1(t+1)	Q0(t+1)		J1	K1	J0	K0		S
0	0	0		0	0		0	x	0	x		0
0	0	1		0	0		0	x	x	1		0
0	1	0		1	1		x	0	1	x		0
0	1	1		0	0		x	1	x	1		0
1	0	0		0	1		0	x	1	x		0
1	0	1		1	0		1	x	x	1		0
1	1	0		0	0		x	1	0	x		0
1	1	1		0	0		x	1	x	1		1

3. Minimización de las funciones e implementación del circuito

Simplificando por Karnaugh obtendremos las funciones de entrada a los biestables (J1, K1, J0 y K0) para el cálculo del nuevo estado, y la función de salida S.

$$\begin{array}{ll} J1 = E \cdot Q0 & K1 = E + Q0 \\ J0 = E \oplus Q1 & K0 = 1 \\ S = E \cdot Q1 \cdot Q0 & \end{array}$$

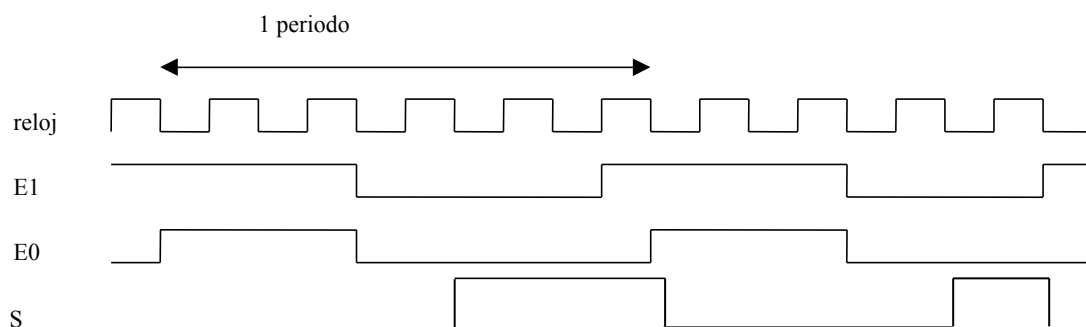


2) Se pretende diseñar un sistema secuencial síncrono con dos entradas E1 y E0, y una salida S usando biestables D, de manera que proporcione salida alta sólo cuando las dos entradas estén a nivel bajo habiendo estado también a nivel bajo ambas entradas en el ciclo de reloj anterior. Las transiciones se producen en el flanco de bajada del reloj. En los restantes ciclos de reloj, la salida debe ser baja. Las señales de entrada son periódicas, con un periodo 5 veces superior al período de reloj, y son las mostradas en la figura. NOTA: Observar que no se producen todas las transiciones posibles.

- Realizar el diagrama de transición de estados, definiendo y codificando los estados y las entradas.
- Realizar la tabla de verdad que resuelve el problema.
- Encontrar el circuito.

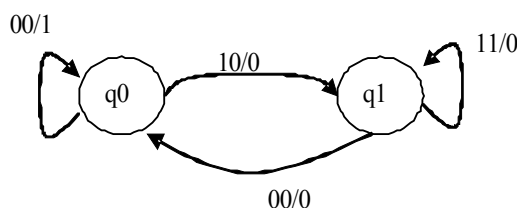
1. Paso de las especificaciones verbales al diagrama de estados

Para determinar el número de estados necesarios debemos fijarnos en qué situaciones S toma los valores 0 y 1. En este caso la salida S solamente se activará cuando ambas entradas (E1 y E0) tomen el valor 0, y además también hayan sido 0 en el ciclo anterior. Nos interesará diferenciar, por tanto, dos situaciones diferentes: aquella en la que las últimas entradas fueron 0 y otra en la que no se cumple esta condición. Si se da la primera, y las entradas vuelven a ser 0 de nuevo S tomará el valor 1. En cualquier otro caso S será 0.



Para realizar el diagrama, hay que tener en cuenta que sólo se dan las siguientes transiciones: entrada E1E0=11 desde q_1 , entrada E1E0=00 desde q_1 , Entrada E1E0=00 desde q_0 , que es la única que da salida 1 y entrada E1E0=10 desde q_0 . Esto nos permite simplificar el diseño.

Estado	Definición
q_0	Entrada anterior = 00
q_1	Entrada anterior \neq 00



Este comportamiento queda reflejado en el diagrama de estados anterior. Obsérvese como estando en el estado q_0 (las entradas anteriores fueron 00), mientras las entradas sigan siendo 00 la salida del circuito será 1. Si no, cambiaremos de estado a q_1 , puesto que E1 y E0 no fueron ambas 0. Estando en q_1 la salida siempre será 0, pues en el ciclo anterior las entradas no eran 0, pero si lo fueran en el ciclo que se evalúa volveríamos de nuevo a q_0 .

2. Construcción de la tabla de estados

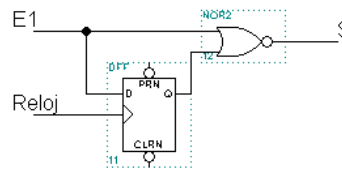
Tomando el diagrama de estados de la figura anterior debe generarse la tabla de estados, en la que a partir de las entradas y el estado actual se obtendrá el siguiente estado, y en la que a partir de ambos, y con ayuda de la tabla de excitación se calcularán las entradas al biestable (D en este caso).

E1	E0	Q(t)		Q(t+1)		D		S
0	0	0		0		0		1
0	0	1		0		0		0
0	1	0		x		x		x
0	1	1		x		x		x
1	0	0		1		1		0
1	0	1		x		x		x
1	1	0		x		x		x
1	1	1		1		1		0

1. Minimización de las funciones e implementación del circuito

Simplificando por Karnaugh obtendremos la función de entrada al biestable D para el cálculo del nuevo estado, y la función de salida S.

$$D = E1$$
$$S = Q' E1' = (Q + E1)'$$

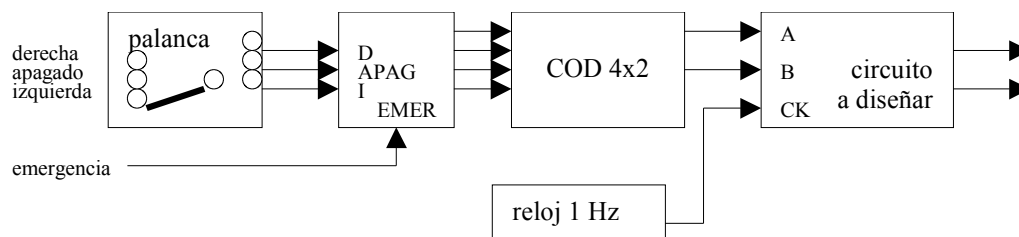


3) Se pretende diseñar el sistema de encendido de intermitencia de un coche. Para ello hay que diseñar un circuito secuencial que cumpla las siguientes especificaciones, de acuerdo con la figura adjunta.

Cuando la palanca se coloque en la posición DERECHA, se deberá encender y apagar de forma intermitente la luz identificada como D, de forma síncrona con un reloj de 1 Hz. Cuando la palanca se coloque en la posición IZQUIERDA, se deberá encender y apagar de forma intermitente la luz identificada como I, de forma síncrona con un reloj de 1 Hz. Cuando la palanca se coloque en la posición central (APAGADO) no se encenderá ninguna luz.

Cuando se active el interruptor de EMERGENCIA, se activarán ambas luces simultáneamente, y se desactivarán ambas de forma síncrona con el reloj, independientemente de la posición de la palanca, es decir, la entrada de emergencia tiene prioridad absoluta.

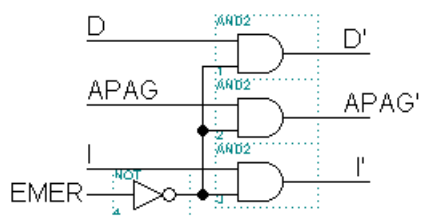
- Diseñar la circuitería adicional necesaria para que nunca entre más de una señal activa al codificador y poner una tabla de salida del codificador para todos los casos posibles.
- Definir los estados, su codificación y su diagrama.
- Realizar la tabla de excitación usando biestables D.
- Implementar el circuito.



NOTA: Aunque en un caso real sería imposible mecánicamente pasar la palanca de izquierda a derecha directamente, sin pasar por la posición Apagado, considerar que sí se puede al resolver este ejercicio.

En primer lugar debe diseñarse la circuitería necesaria para asegurar que nunca entra más de una señal activa en el codificador. Obsérvese en la figura del enunciado que las señales externas proceden de dos lugares diferentes. Por un lado, las señales D, APAG e I son generadas por un interruptor, por lo que por construcción es imposible que se activen dos simultáneamente. Por otro lado tenemos la señal EMER, que procede de la señal emergencia. Por lo tanto, lo que sí puede suceder es que ésta última y alguna de las anteriores se activen simultáneamente. Para evitarlo es necesario inhibir alguna de las dos cuando se dé este caso.

Puesto que la señal de emergencia es más prioritaria, lo que haremos será utilizarla como señal de ‘enable’ del resto, tal y como se muestra en la siguiente figura. Si EMER es 1, entonces EMER’ es 0 y las tres AND darán como resultado 0, independientemente de si también alguna de las señales I, D o APAG es 1. Si EMER es 0 entonces EMER’ es 1 y las puertas AND permitirán el paso de las 3 señales, de las cuales, como ya se ha comentado, sólo una estará activa.



Tal como se encuentran conectadas las entradas al codificador, el código de entrada en las señales A y B será el recogido por la siguiente tabla. Q1 intermitentes izquierdos y Q0 intermitentes derechos. Es un autómata de Moore, conocido el estado, se conoce la salida.

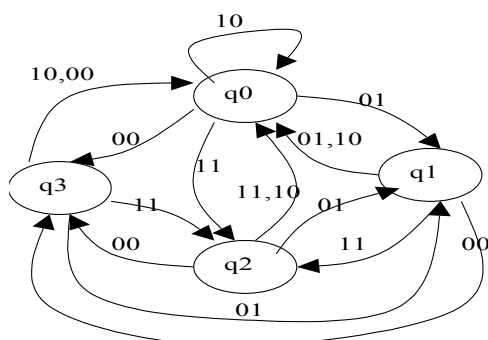
I A D E	Definición	Codificación Q1 Q0
0 0 0 1	Emergencia	0 0
0 0 1 0	Derecha encendida	0 1
0 1 0 0	Ambas apagadas	1 0
1 0 0 0	Izquierda encendida	1 1

1. Paso de las especificaciones verbales al diagrama de estados

Los cuatro posibles estados corresponden a las 4 combinaciones de los dos pilotos de intermitente. Hemos asignado la codificación tal y como se indica en la tabla bajo estas líneas, de manera que el mismo estado puede utilizarse como señal de salida para la activación de los intermitentes, simplificando de esta manera la función de salida.

Estado	Definición	Codificación
q ₀	Ambas apagadas	00
q ₁	Derecha encendida	01
q ₂	Izquierda encendida	10
q ₃	Ambas encendidas	11

Según esta codificación, el diagrama de estados del circuito secuencial a diseñar sería el siguiente.



Mientras nos encontremos en el estado q_0 , por ejemplo, y la entrada de A y B sea 10 el siguiente estado será q_0 , puesto que las luces deben permanecer apagadas. Supongamos que ahora se activa la señal I, solicitando un intermitente a la izquierda. En tal caso se recibirá el código 11 por A y B, por lo que, como se ve en el diagrama pasaremos al estado q_2 . Nótese como en el siguiente ciclo de reloj, si la entrada sigue siendo 11 el siguiente estado será q_0 , provocando que el piloto de la izquierda se apague. La razón de que se produzca esta transición, en lugar de permanecer en q_2 es que si no el piloto izquierdo permanecería iluminado permanentemente, sin parpadear. De esta manera, por tanto, mientras la entrada al circuito secuencial sea 11, la máquina de estados estará constantemente oscilando entre q_0 y q_2 , provocando así la intermitencia. El resto de situaciones funcionan de la misma manera.

2. Construcción de la tabla de estados

Tomando el diagrama de estados de la figura anterior debe generarse la tabla de estados, en la que a partir de las entradas A y B y el estado actual se obtendrá el siguiente estado, y en la que a partir de ambos, y con ayuda de la tabla de excitación, se calcularán las entradas a los biestables (D en este caso).

A	B	Q1(t)	Q0(t)		Q1(t+1)	Q0(t+1)		D1	D0
0	0	0	0		1	1		1	1
0	0	0	1		1	1		1	1
0	0	1	0		1	1		1	1
0	0	1	1		0	0		0	0
0	1	0	0		0	1		0	1
0	1	0	1		0	0		0	0
0	1	1	0		0	1		0	1
0	1	1	1		0	1		0	1
1	0	0	0		0	0		0	0
1	0	0	1		0	0		0	0
1	0	1	0		0	0		0	0
1	0	1	1		0	0		0	0
1	1	0	0		1	0		1	0
1	1	0	1		1	0		1	0
1	1	1	0		0	0		0	0
1	1	1	1		1	0		1	0

Minimización de las funciones e implementación del circuito

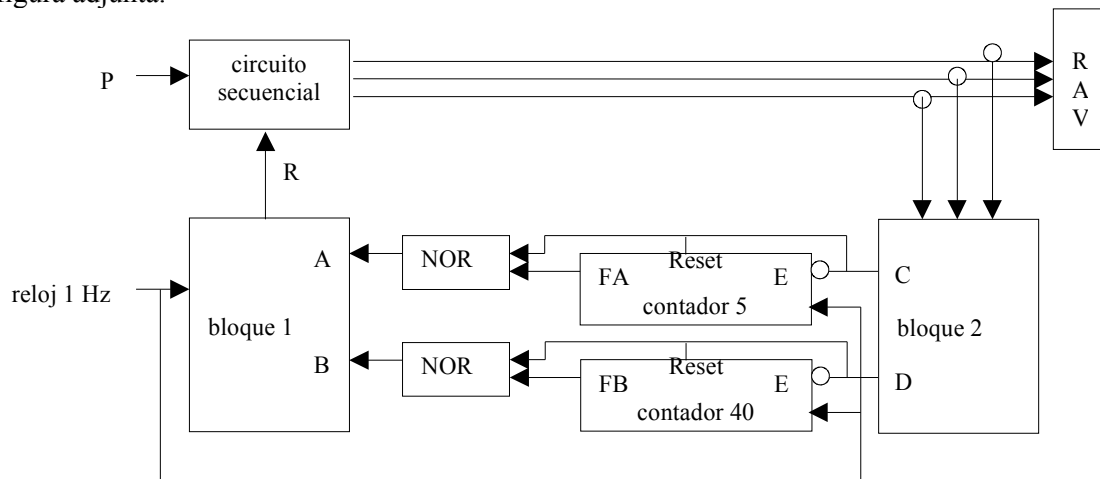
Simplificando por Karnaugh obtendremos las funciones de entrada a los biestables (D1 y D0) para el cálculo del nuevo estado. La función de salida (S1S0), como se ha comentado, consiste simplemente en conectar cada salida de los biestables a la señal de activación de cada una de los intermitentes.

$$\begin{aligned}
 D1 &= (A + B)' (Q1 Q0)' + AB (Q1' + Q0) & S1 &= Q1 \text{ (IZQUIERDOS)} \\
 D0 &= A' [B' (Q1 Q0)' + B (Q0' + Q1)] & S0 &= Q0 \text{ (DERECHOS)}
 \end{aligned}$$

4) Se desea diseñar el circuito de control de un semáforo de peatones, cuyo funcionamiento se describe a continuación.

Mientras no se active el pulsador ($P = 0$), el semáforo permanecerá por tiempo indefinido en VERDE. Cuando se pulse P, se encenderá en el siguiente ciclo de reloj la luz AMBAR, sin apagarse la VERDE, y transcurridos 5 segundos, se apagarán ambas y se encenderá la ROJA durante 40 segundos, finalizados los cuales se volverá a la situación inicial con sólo la luz VERDE encendida. Se supone que P se pulsa sólo cuando esté encendida la luz

VERDE, y nunca en los restantes casos. El sistema completo funciona según el esquema de la figura adjunta.



Cuando se encienden las luces VERDE y AMBAR el bloque 2 pone la línea C a nivel 0, mientras que cuando se enciende sólo la luz ROJA pone la línea D a nivel 0. Mientras que alguna de estas líneas está a nivel 0, queda inhibida la entrada del reloj al circuito secuencial. Mientras el semáforo esté VERDE, los pulsos de reloj entran al circuito secuencial

Los contadores tienen una entrada RESET, activa a nivel alto, y una entrada de HABILITACION (E), activa a nivel bajo. Cuando los contadores cuentan el último número previsto presentan en su salida respectiva FA/FB un nivel 1, señalando que se ha llegado al final de la cuenta. NOTA: R está conectado a las entradas de reloj de los tres biestables D que hay en el circuito secuencial a diseñar.

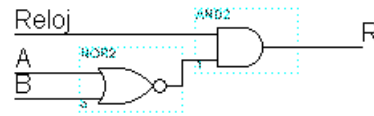
- ¿Cuál es la implementación más sencilla del bloque 1 considerando que la entrada de reloj al circuito secuencial debe inhibirse ($R = 0$) cuando A o B sean 1?
- Implementar el bloque 2, considerando que cuando estén activadas las luces VERDE y AMBAR, C debe ser 0, y cuando esté encendida la luz ROJA, D debe ser 0. Para ello usar sólo una puerta lógica y un inversor.
- Diseñar el circuito secuencial usando 3 biestables tipo D con salidas conectadas directamente a las luces del semáforo.

En la figura del enunciado pueden apreciarse cuatro bloques bien diferenciados. Por un lado el circuito secuencial, encargado de generar la secuencia correcta de iluminación, por otro el bloque 2 responsable de activar los contadores en función de la transición del semáforo (de verde y amarillo a rojo, y de rojo a verde). Por último, el bloque 1 debe encargarse de inhabilitar el circuito secuencial mientras alguno de los contadores está en marcha. Esta inhabilitación se realiza desactivando la señal de reloj del circuito, de manera que así no puede cambiar de estado hasta que el reloj se active de nuevo, cosa que sucederá cuando los contadores hayan terminado.

La implementación del bloque 1, por lo tanto será la que recoge la siguiente tabla de verdad. Obsérvese como cuando ninguno de los contadores está en marcha (A y B son 0) la entrada al circuito secuencial es la del reloj del sistema. Sin embargo, si uno de los dos contadores se pone en marcha (A o B son 1) la entrada de reloj del circuito secuencial es $R = 0$, impidiendo que pueda cambiar de estado hasta que el contador no haya terminado. Como los contadores no pueden activarse simultáneamente la combinación A y B igual a 1 no se producirá nunca.

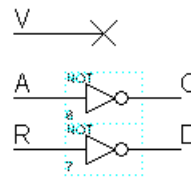
A	B	R
0	0	reloj
0	1	0
1	0	0
1	1	X

$$R = A' B' \text{ reloj} = (A + B)' \text{ reloj}$$



El segundo bloque es el responsable de la activación de los contadores. El primer contador, gobernado por la señal C debe ponerse en marcha ($C = 0$) cuando se enciendan las luces verde y ámbar. El segundo, disparado por la señal D, se activará ($D = 0$) cuando el semáforo esté en rojo. Según esta codificación, y teniendo en cuenta que existen combinaciones que no se producirán nunca (por ejemplo un semáforo en el que no esté activada ninguna luz: $V = 0$, $A = 0$ y $R = 0$) se ha completado el diseño del bloque 2.

V	A	R	C	D
0	0	0	x	x
0	0	1	1	0
0	1	0	x	x
0	1	1	x	x
1	0	0	1	1
1	0	1	x	x
1	1	0	0	1
1	1	1	x	x



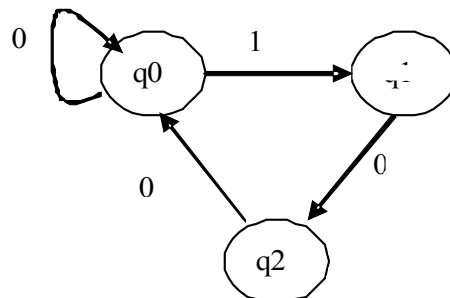
$$C = A' \quad D = R' = V$$

Por último, queda diseñar el circuito secuencial propiamente dicho, para lo cual procederemos como siempre.

1. Paso de las especificaciones verbales al diagrama de estados

Puesto que el semáforo sólo utiliza tres de las posibles combinaciones de colores (verde, verde y ámbar, y rojo), sólo serán necesarios tres estados para su codificación. Por lo tanto, con dos biestables tendríamos suficiente para almacenar las tres codificaciones. Sin embargo, y para simplificar la salida del circuito, puesto que cada luz del semáforo es controlada por una salida diferente, podríamos utilizar tres biestables, de manera que cada uno de ellos fuera el responsable de la activación o desactivación de una de las líneas. De esta manera se desperdician 5 de las ocho posibles combinaciones posibles con los tres biestables, pero a cambio la salida del circuito es directamente el estado almacenado en sus biestables (máquina de Moore).

Estado	Definición	Qv	Qa	Qr
q0	Verde	1	0	0
q1	Verde y ámbar	1	1	0
q2	Rojo	0	0	1



En realidad se puede considera un contador que cuenta $100 \rightarrow 110 \rightarrow 001 \rightarrow 100$ y así sucesivamente.

2. Construcción de la tabla de estados

Tomando el diagrama de estados de la figura anterior debe generarse la tabla de estados, en la que a partir de la entrada P y el estado actual se obtendrá el siguiente estado, y en la que a partir de ambos, y con ayuda de la tabla de excitación se calcularán las entradas a los biestables (D en este caso).

P	Qv(t)	Qa(t)	Qr(t)		Qv(t+1)	Qa(t+1)	Qr(t+1)		Dv	Da	Dr
0	0	0	0		x	x	x		x	x	x
0	0	0	1		1	0	0		1	0	0
0	0	1	0		x	x	x		x	x	x
0	0	1	1		x	x	x		x	x	x
0	1	0	0		1	0	0		1	0	0
0	1	0	1		x	x	x		x	x	x
0	1	1	0		0	0	1		0	0	1
0	1	1	1		x	x	x		x	x	x
1	0	0	0		x	x	x		x	x	x
1	0	0	1		x	x	x		x	x	x
1	0	1	0		x	x	x		x	x	x
1	0	1	1		x	x	x		x	x	x
1	1	0	0		1	1	0		1	1	0
1	1	0	1		x	x	x		x	x	x
1	1	1	0		x	x	x		x	x	x
1	1	1	1		x	x	x		x	x	x

3. Minimización de las funciones e implementación del circuito

Simplificando por Karnaugh obtendremos las funciones de entrada a los biestables (Dv, Da, y Dr) para el cálculo del nuevo estado. La función de salida, como se ha comentado, consiste simplemente en conectar cada salida de los biestables a la señal de activación de cada una de las luces de los semáforos

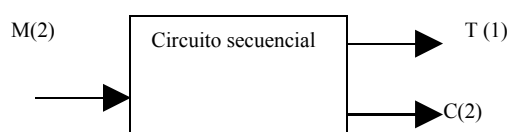
$$Dv = Qa'$$

$$Da = P$$

$$Dr = Qa$$

5) Una máquina expendedora de tabaco está controlada por un circuito secuencial como el de la figura. Dicho circuito recibe como entradas el código de dos bits (tabla 1) de las monedas que va introduciendo el usuario. Como salidas, el circuito debe activar 2 señales, correspondientes a si se debe o no entregar el tabaco (T), y la cantidad de cambio a reintegrar (C1 y C0), codificadas según las tablas 2 y 3 respectivamente.

El funcionamiento del circuito es el siguiente. El usuario debe introducir monedas hasta alcanzar la cantidad de 100, que será el precio del tabaco. Una vez que la suma de monedas alcance dicho importe, automáticamente la máquina servirá el tabaco, retornando además el cambio correspondiente. Por ejemplo, si el usuario ha introducido 1 moneda de 25 y 2 monedas de 50, la máquina debe servirle el paquete y una moneda de 25 (salidas T C1 C0 = 1 0 1).



M1	M0	Significado
0	0	No hay moneda
0	1	Nueva moneda de 25
1	0	Nueva moneda de 50
1	1	Nueva moneda de 100

Tabla 1: Codificación de la entrada M

T	Significado
0	No servir tabaco
1	Servir tabaco

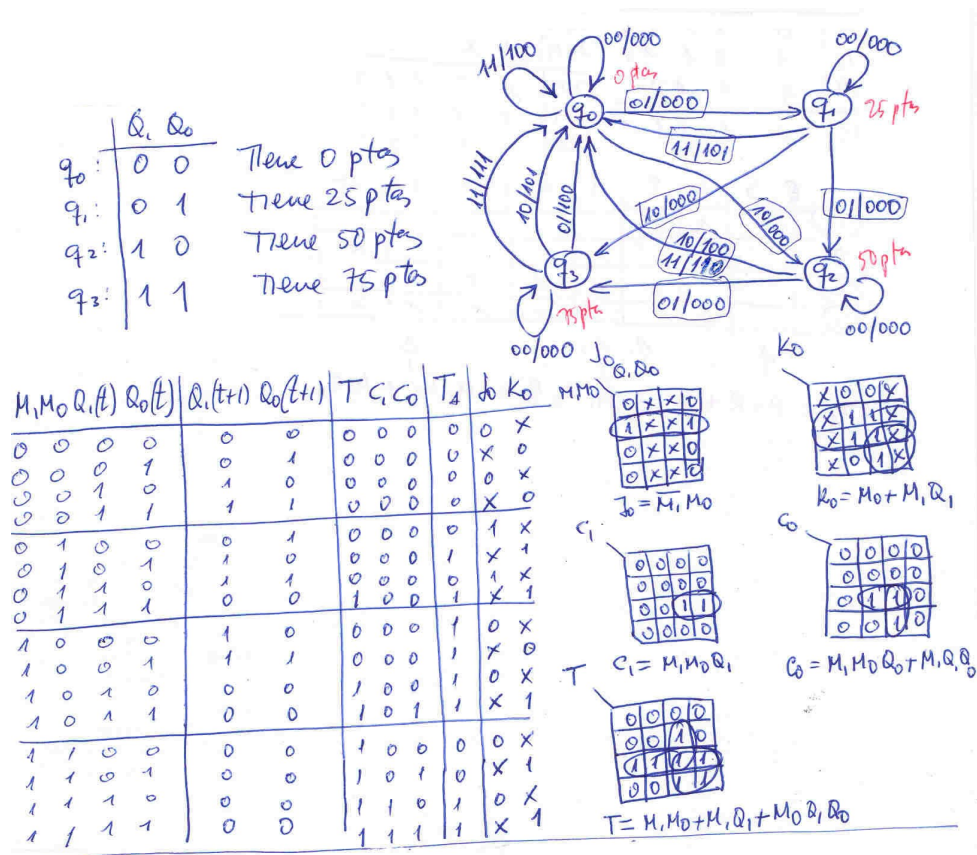
Tabla 2: Codificación de la salida T

C1	C0	Significado
0	0	No hay cambio
0	1	Cambio de 25
1	0	Cambio de 50
1	1	Cambio de 75

Tabla 3: Codificación del cambio C

Diseña el circuito secuencial correspondiente, indicando claramente:

- El número y codificación de estados.
- El diagrama de estados.
- La tabla de transiciones y salidas del circuito, utilizando para ello un biestable T (para el bit más significativo que almacena el estado), y biestables JK para el resto.
- La implementación del circuito, utilizando mapas de Karnaugh para implementar todas las funciones.



6) Diseñar un sistema secuencial capaz de reconocer el patrón 001011. La entrada al circuito se realizará a través de una señal de entrada E, de forma síncrona, y en serie (un nuevo bit cada ciclo de reloj). El circuito dispondrá de una salida S que tomará el valor '1' en el instante en el que se reconozca el patrón en la secuencia de entrada, y será '0' en todos los demás casos. NOTA: debe tenerse en cuenta que al recibir un bit fuera de secuencia no hay que desechar todos los valores recogidos hasta ese momento. Es posible que parte de la secuencia siga siendo válida. Por ejemplo, si suponemos que se ha recibido la secuencia 00, y a continuación llega un tercer 0, se considerará que los 2 últimos zeros son parte de una secuencia correcta.

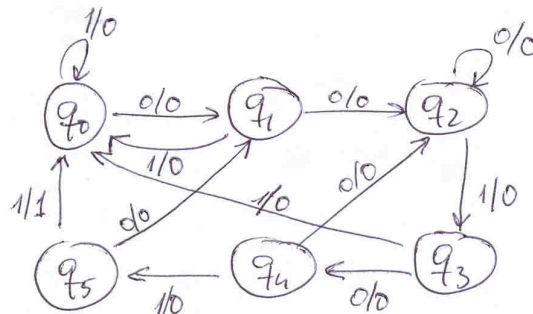
Se pide:

- Identificación y codificación de estados.
- Diagrama de estados.
- Completar la tabla de verdad teniendo en cuenta que deben utilizarse biestables tipo JK, T y D (de más a menos significativo) para la implementación física del circuito.

1) Definición de estados y codificación

ESTADO	CODIFICACIÓN			DEFINICIÓN
	$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	
q_0	0	0	0	Inicial. Resto de estados
q_1	0	0	1	El último bit recibido fue 0
q_2	0	1	0	Los dos últimos bits recibidos fueron 00
q_3	0	1	1	Los tres últimos bits recibidos fueron 001
q_4	1	0	0	Los cuatro últimos bits recibidos fueron 0010
q_5	1	0	1	Los cinco últimos bits recibidos fueron 00101

2) Diagrama de estados

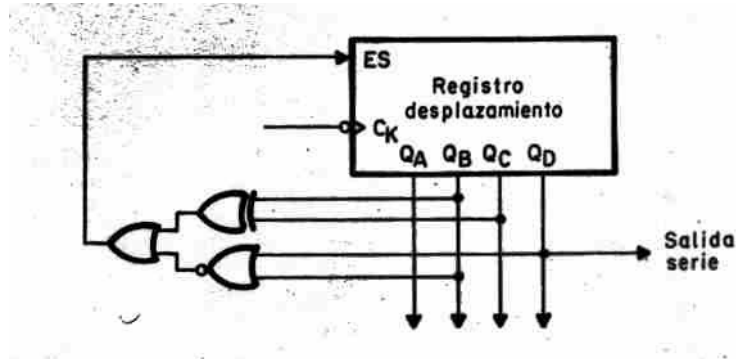


3) Implementación

E	$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	J_2	K_2	T_1	D_0	S
0	0	0	0	0	0	1	0	X	0	1	0
0	0	0	1	0	1	0	0	X	1	0	0
0	0	1	0	0	1	0	0	X	0	0	0
0	0	1	1	1	0	0	1	X	1	0	0
0	1	0	0	0	1	0	X	1	1	0	0
0	1	0	1	0	0	1	X	1	0	1	0
0	1	1	0	X	X	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X	X	X
1	0	0	0	0	0	0	0	X	0	0	0
1	0	0	1	0	0	0	0	X	0	0	0
1	0	1	0	0	1	1	0	X	0	1	0
1	0	1	1	0	0	0	0	X	1	0	0
1	1	0	0	1	0	1	X	0	0	1	0
1	1	0	1	0	0	0	X	1	0	0	1
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

EJERCICIOS RESUELTOS DE REGISTROS Y CONTADORES

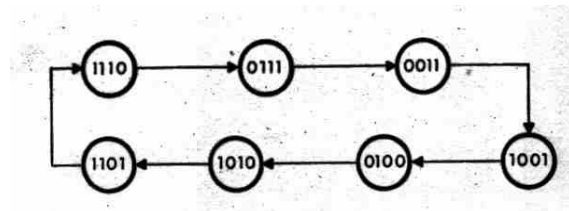
1) Dado el circuito de la figura, determinar la secuencia de salida serie por Q_D si la situación inicial de los biestables es $Q_A=1$, $Q_B=1$, $Q_C=1$ y $Q_D=0$.



Teniendo en cuenta que $ES = Q_B \oplus Q_C + \overline{(Q_B + Q_D)}$, y considerando que el registro de desplazamiento mueve los datos al bit de la derecha en cada ciclo de reloj, resulta la siguiente tabla:

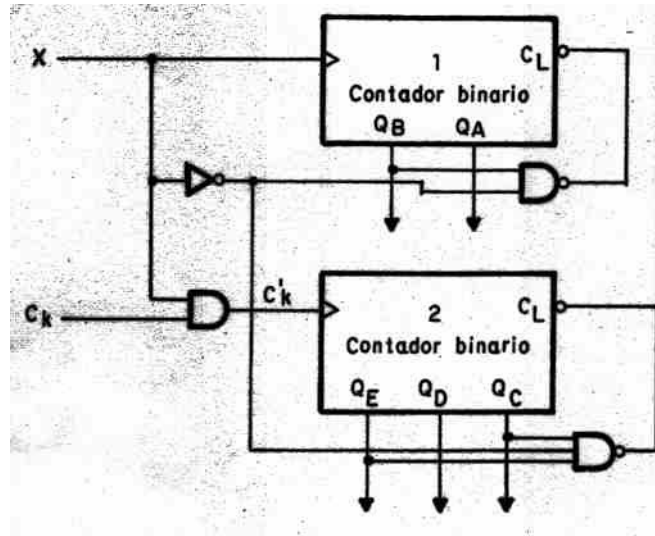
Orden	$Q_A(t)$	$Q_B(t)$	$Q_C(t)$	$Q_D(t)$	ES	$Q_A(t+1)$	$Q_B(t+1)$	$Q_C(t+1)$	$Q_D(t+1)$
	0	0	0	0	1	1	0	0	0
	0	0	0	1	0	0	0	0	0
	0	0	1	0	1	1	0	0	1
Tercero	0	0	1	1	1	1	0	0	1
Quinto	0	1	0	0	1	1	0	1	0
	0	1	0	1	1	1	0	1	0
	0	1	1	0	0	0	0	1	1
Segundo	0	1	1	1	0	0	0	1	1
	1	0	0	0	1	1	1	0	0
Cuarto	1	0	0	1	0	0	1	0	0
Sexto	1	0	1	0	1	1	1	0	1
	1	0	1	1	1	1	1	0	1
	1	1	0	0	1	1	1	1	0
Séptimo	1	1	0	1	1	1	1	1	0
Primero	1	1	1	0	0	0	1	1	1
	1	1	1	1	0	0	1	1	1

La evolución particular en este circuito es la reflejada por el siguiente diagrama:

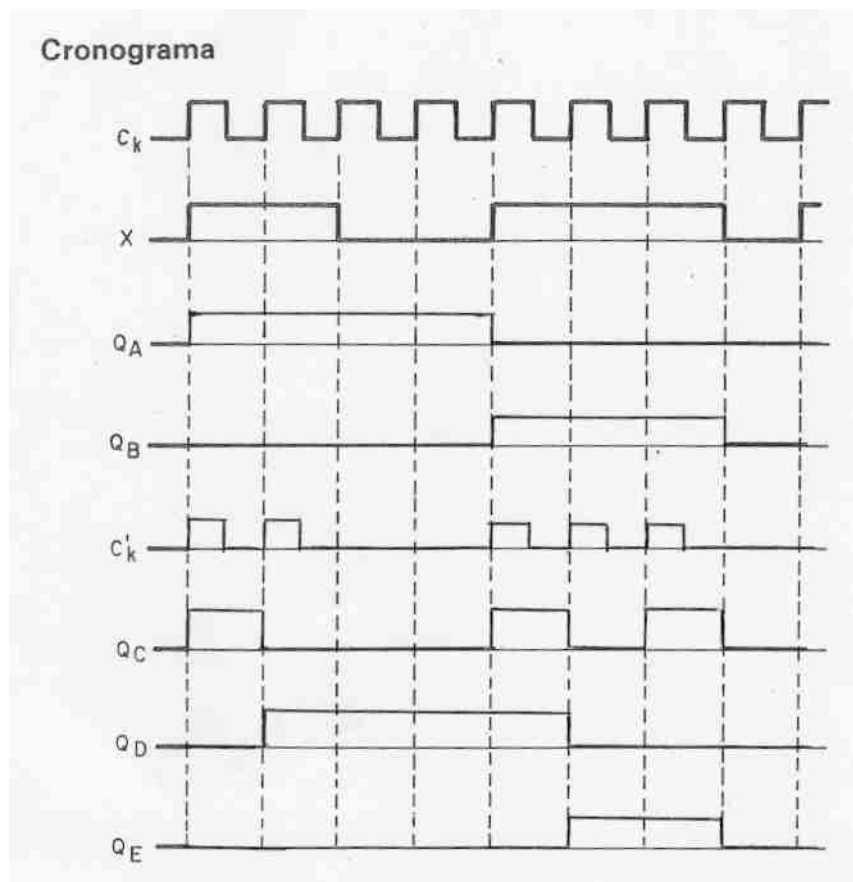


con lo que la secuencia de salida en Q_D será **0111001** repetida periódicamente.

2) Dado el circuito de la figura, determinar el cronograma de las salidas de los dos contadores. Suponer que ambos contadores son activos en el flanco de subida. Inicialmente los dos contadores están a 0.

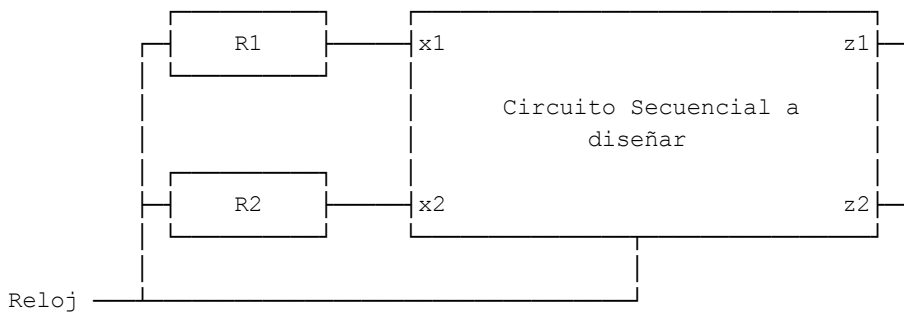


Hay que tener en cuenta que el contador de 2 bits se pone a 0 cuando $Q_B=1$ y cuando $\overline{x} = 1$, mientras que el contador de 3 bits se pone a 0 cuando $Q_E=1$, $\overline{x} = 1$ y $Q_C=1$. También debe considerarse que el impulso de cuenta del contador de tres bits se produce en las transiciones bajo-alto de C_k', que es la AND de C_k con X.



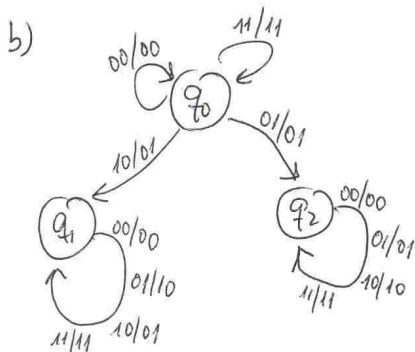
3) R1 y R2 son dos registros de desplazamiento de 8 bits, en cada uno de los cuales están almacenados dos números binarios N1 y N2 respectivamente. Se trata de diseñar un circuito secuencial síncrono con dos entradas x1 y x2 por las que entran bit a bit en cada ciclo de reloj los números N1 y N2, comenzando por el bit más significativo (MSB), y dos salidas z1 y z2 (por z1 sale el menor de los dos números y por z2 el mayor).

- Definir claramente los estados del sistema y su codificación.
- Encontrar el diagrama de estados y las tablas de transición y excitación usando biestables T.
- Encontrar las ecuaciones de salida z1 y z2 teniendo en cuenta que sólo se dispone de puertas NAND y de excitación de los biestables para implementar con puertas AND e inversores. (NO PONER EL DIAGRAMA LÓGICO, SÓLO LAS EXPRESIONES).



a)

	Q_1	Q_0
q_0 : estado inicial, los dos números iguales	0	0
q_1 : N_1 es mayor que N_2	0	1
q_2 : N_1 es menor que N_2	1	0
No existe \rightarrow	1	1



x_1	x_2	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$	z_1, z_2	T_1, T_2
0	0	0	0	0	0	00	00
0	0	0	1	0	1	00	00
0	0	1	0	1	0	00	00
0	0	1	1	x	x	xx	xx
0	1	0	0	1	0	01	10
0	1	0	1	0	1	10	00
0	1	1	0	1	0	01	00
0	1	1	1	x	x	xx	xx
1	0	0	0	0	1	01	01
1	0	0	1	0	1	01	00
1	0	1	0	1	0	10	00
1	0	1	1	x	x	xx	xx
1	1	0	0	0	0	11	00
1	1	0	1	0	1	11	00
1	1	1	0	1	0	11	00
1	1	1	1	x	x	xx	xx

c)

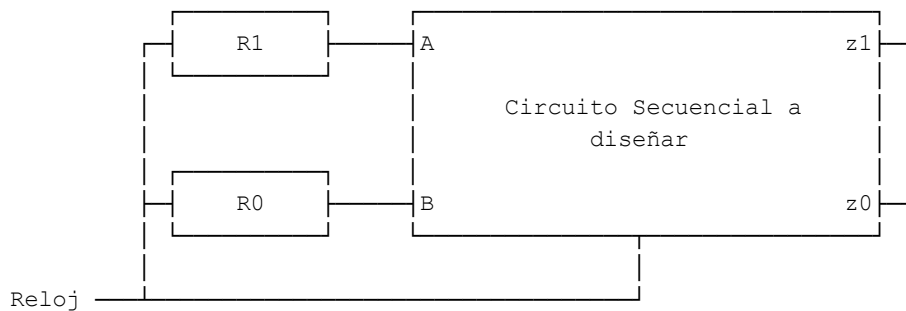
$$T_1 = \bar{x}_1 x_2 \bar{Q}_1 \bar{Q}_0$$

$$T_2 = x_1 \bar{x}_2 \bar{Q}_1 \bar{Q}_0$$

$$z_1 = x_2 \bar{Q}_0 + x_1 x_2 + x_1 \bar{Q}_1 = \overline{x_2 \bar{Q}_0 \cdot x_1 x_2 \cdot x_1 \bar{Q}_1}$$

$$z_2 = x_1 \bar{Q}_1 + x_2 \bar{Q}_0 = \overline{x_1 \bar{Q}_1 \cdot x_2 \bar{Q}_0}$$

4) Se trata de diseñar un circuito secuencial que admite como entradas dos líneas A y B, procedentes de sendos registros de desplazamientos, de forma sincronizada con un reloj, por las que entran 1 bit por cada línea en cada ciclo de reloj.



En cada momento se debe ver en la salida z1 z0, codificado en binario, el número de ceros que faltan por introducir hasta que éste (el número de ceros introducidos) sea un múltiplo de 4. Suponer que z1 es la línea más significativa de la salida y que el estado inicial, es decir, cuando todavía no se ha introducido ningún cero, es el mismo que el estado correspondiente a introducir un número de ceros que sea múltiplo de 4.

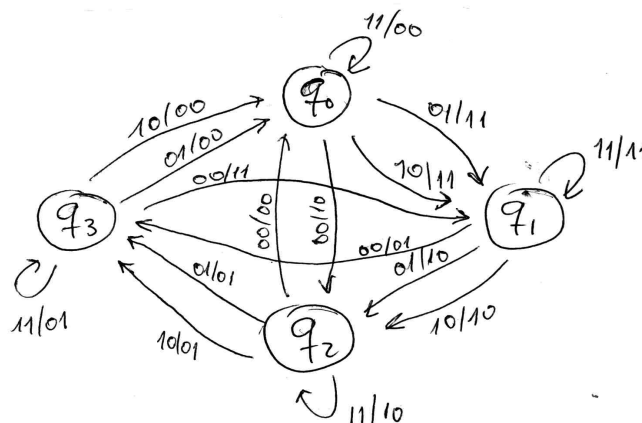
Se pide:

- Definición de estados, codificación de entradas, estados y salidas.
- Implementación del circuito usando biestables T.
- Si se usasen biestables D, ¿qué relación algebraica habría entre la excitación de dichos biestables y las salidas del circuito?

1) Definición de estados y codificación

ESTADO	CODIFICACIÓN		DEFINICIÓN
	Q ₂ (t)	Q ₁ (t)	
q ₀	0	0	Inicial. El número de ceros introducidos es múltiplo de 4
q ₁	0	1	Faltan por introducir tres ceros para que el número de ceros sea múltiplo de 4
q ₂	1	0	Faltan por introducir dos ceros para que el número de ceros sea múltiplo de 4
q ₃	1	1	Falta por introducir un cero para que el número de ceros sea múltiplo de 4

Diagrama de estados (Máquina de Moore)



b) Implementación con biestables T

A	B	Q _i (t)	Q ₀ (t)	Q ₁ (t+1) = D ₁	Q ₀ (t+1) = D ₀	T ₁	T ₀	Z ₁	Z ₀
0	0	0	0	1	0	1	0	1	0
0	0	0	1	1	1	1	0	0	1
0	0	1	0	0	0	1	0	0	0
0	0	1	1	0	1	1	0	1	1
0	1	0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1	1	0
0	1	1	0	1	1	0	1	0	1
0	1	1	1	0	0	1	1	0	0
1	0	0	0	0	1	0	1	1	1
1	0	0	1	1	0	1	1	1	0
1	0	1	0	1	1	0	1	0	1
1	0	1	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1	1
1	1	1	0	1	0	0	0	1	0
1	1	1	1	1	1	0	0	0	1

$$T_1 = \overline{A}Q_0 + \overline{A}\overline{B} + \overline{B}Q_0$$

$$T_0 = A \oplus B$$

$$Z_1 = \overline{A}\cdot\overline{B}\cdot Q_1\cdot Q_0 + A\cdot B\cdot Q_1\cdot\overline{Q_0} + \overline{A}\cdot\overline{Q_1}\cdot\overline{Q_0} + A\cdot\overline{B}\cdot\overline{Q_1} + B\cdot\overline{Q_1}\cdot Q_0$$

$$Z_0 = A\overline{B}Q_0 + \overline{A}B\overline{Q_0} + A\overline{B}\overline{Q_0} + \overline{A}BQ_0$$

c) Implementación con biestables D

$$D_0 = Z_0$$

$$D_1 = Z_1 \oplus Z_0$$