

Fonaments dels Computadors

Tema 4: Sistemes seqüencials

Maria Teresa Signes

teresa@dtic.ua.es

copyright © 2010



Objectius

- ◆ Donar a conèixer els biestables: disseny i aplicabilitat.
- ◆ Adquirir destresa a l'hora de solucionar problemes mitjançant l'ús de circuits seqüencials.
- ◆ Introduir-se en la teoria d'autòmats.
Aprendre a construir màquines d'estats.

Continguts

1. Introducció
2. Biestables
 - Definició i classificació
 - Biestable R-S
 - ❖ Biestable R-S asíncron
 - ❖ Biestable R-S síncron
 - ❖ Biestable R-S amb entrades asíncrones
 - Biestable J-K
 - Biestable D
 - Biestable T
3. Registres i comptadors
 - Registres d'emmagatzemament
 - Registres de desplaçament
 - Comptadors síncrons i asíncrons
4. Disseny de sistemes seqüencials
 - Models de Moore i Mealy
 - Anàlisi de circuits seqüencials
 - Exemples de disseny
5. Fulls de característiques
6. Referències

Adreces URL

◆ <http://www.datasheet4u.com/>

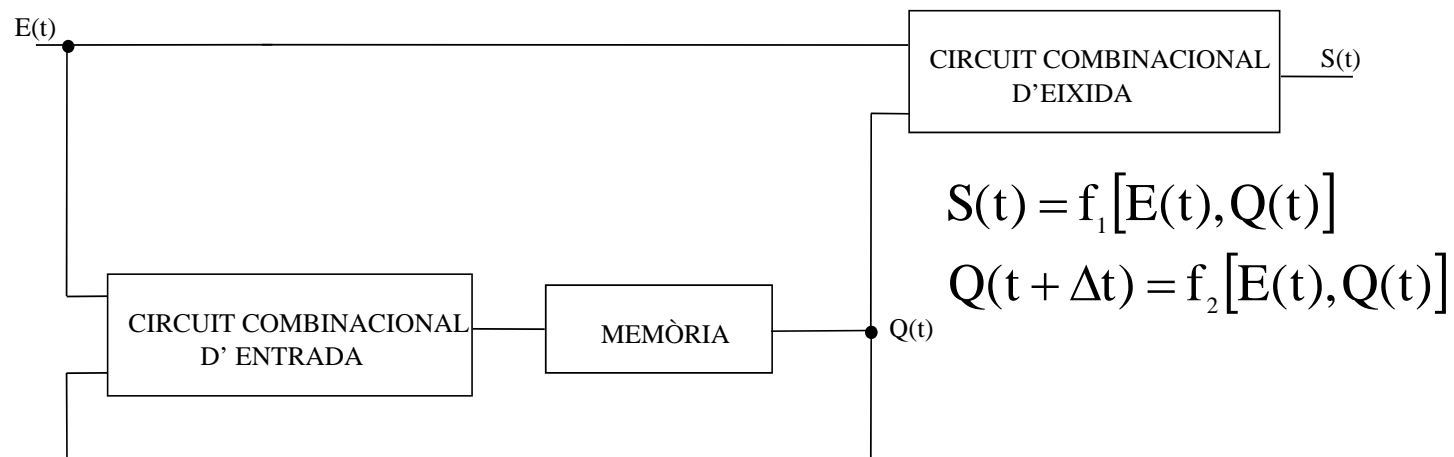
Web on es poden descarregar de forma gratuïta els fulls de característiques de nombrosos components electrònics.

◆ <http://www.alldatasheets.com/>

Web dedicada a la recopilació de fulls de característiques.

Introducció

- ◆ En un **circuit seqüencial els senyals d'eixida** en un instant determinat depenen dels valors dels senyals d'entrada actuals i de la seua història anterior, és a dir, de la seqüència d'entrades a què ha sigut sotmés



- ◆ Si suprimim els circuits combinacionals d'entrada i eixida ens queda un circuit compost a només per l'element de memòria.

Biestables

- ◆ **Definició:** Un **biestable (flip-flop o bàscula)** es un circuit lògic, amb dos estats estables, capaços de mantenir-se indefinidament en qualsevol d'ells, fins i tot després de desaparèixer el senyal d'entrada que ha provocat el pas a l'estat actual.
- ◆ **Classificació:** segons els criteris:
 - **Modalitat de funcionament:** segons la manera en que les eixides responen als senyals lògics presents en l'entrada en funció de l'estat anterior.
 - **Modalitat d'activació.** Depenent de si hi ha o no senyal de rellotge que sincronitze el funcionament del biestable i determine el moment en el que es produeix el canvi en l'eixida.

Biestables

◆ Classificació:

- Modalitat de funcionament:
 - ❖ Biestable RS
 - ❖ Biestable JK
 - ❖ Biestable D
 - ❖ Biestable T
- Modalitat d'activació:
 - ❖ Biestables asíncrons (no hi ha cap senyal de rellotge): Latch.
 - ❖ Biestables Síncrons (hi ha senyal de rellotge): Flip-Flop. En funció del valor d'aquest senyal, distingim:
 - Per nivell
 - ❖ Alt
 - ❖ Baix
 - Per flanc o transició
 - ❖ De pujada
 - ❖ De baixada

Biestables RS

◆ Biestable RS asíncron (latch SR):

- Té dues entrades, I R (Reset) i S (Set), i dues eixides complementàries, que denominarem Q i Q'. La seua modalitat de funcionament queda definida per la següent taula de veritat:

Taula de veritat

R	S	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	No-permesa
1	1	1	No-permesa

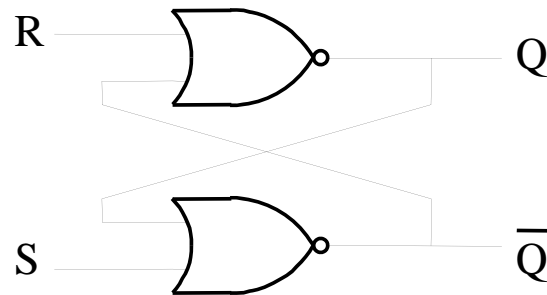
Taula resum

R	S	Q(t+1)
0	0	Q(t)
0	1	1
1	0	0
1	1	-

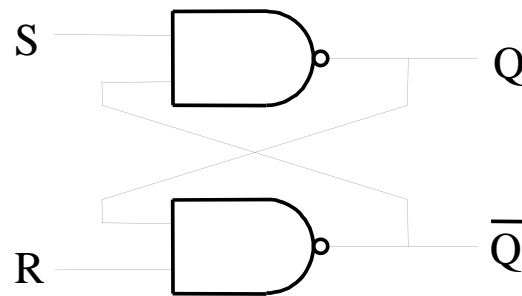
Biestables RS

◆ Biestable RS asíncron (latch SR):

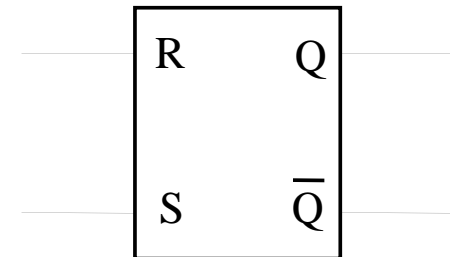
- Implementació mitjançant portes NOR:



- Implementació mitjançant portes NAND



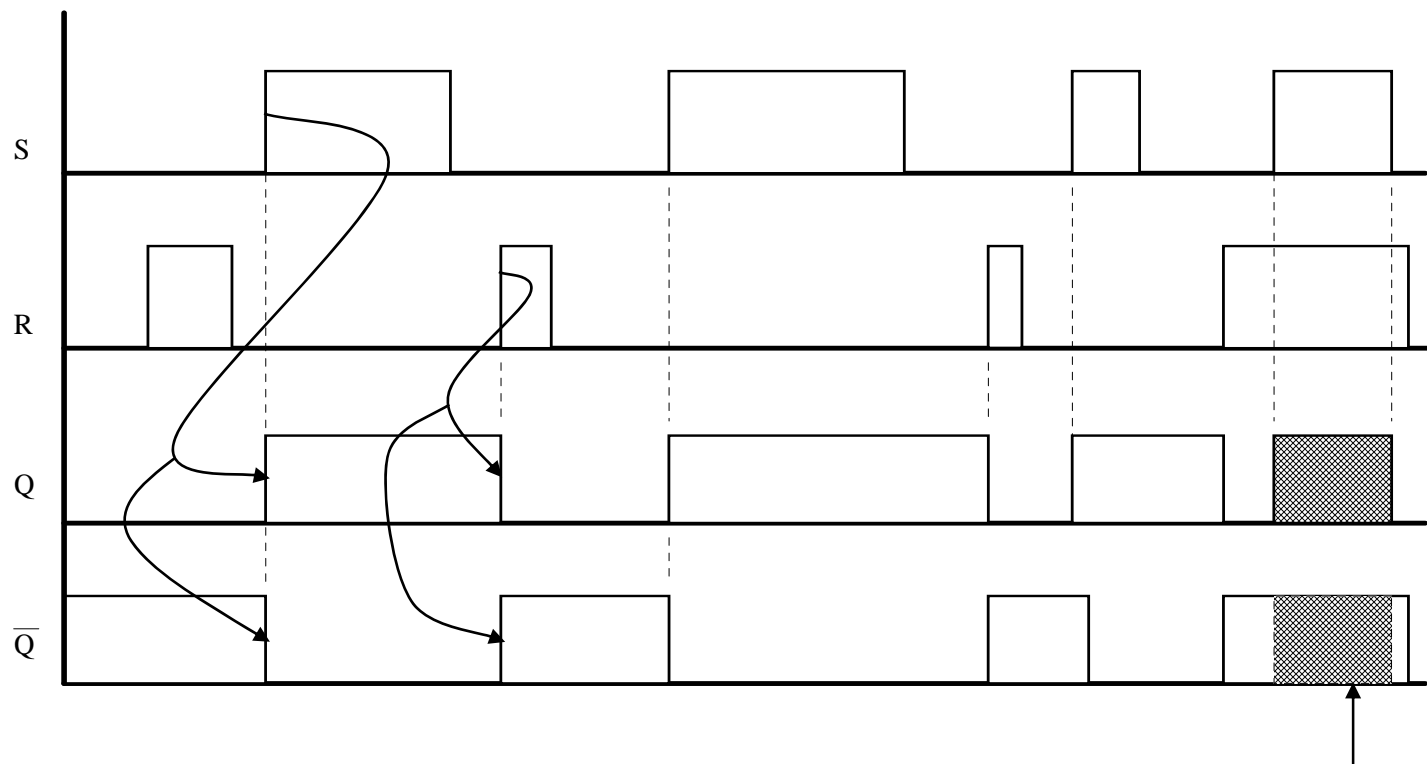
Símbol lògic:



Biestables RS

◆ Biestable RS Asíncron (latch SR). Cronogrames

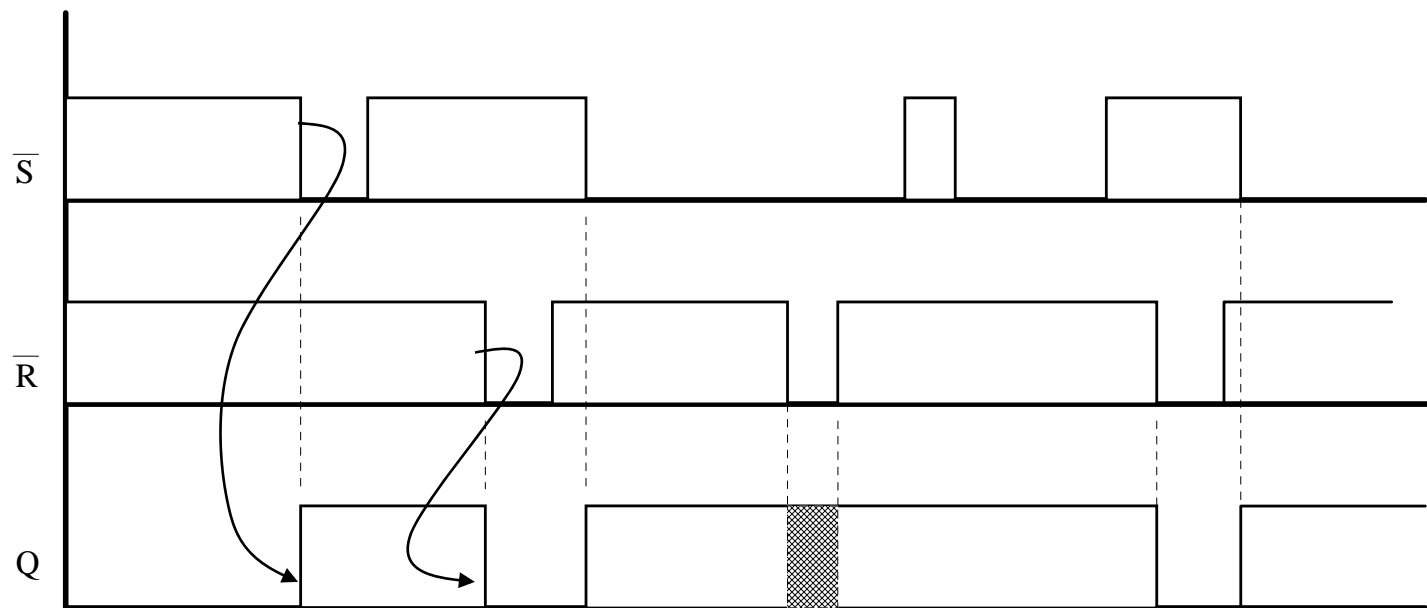
- Implementació mitjançant portes NOR:



Biestables RS

◆ Biestable RS asíncron (latch SR). Cronogrames

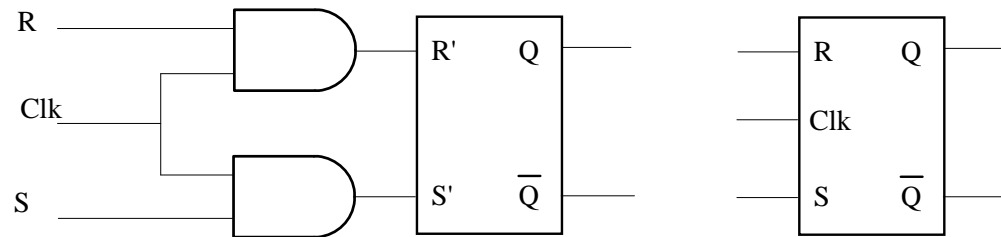
- Implementació mitjançant portes NAND:



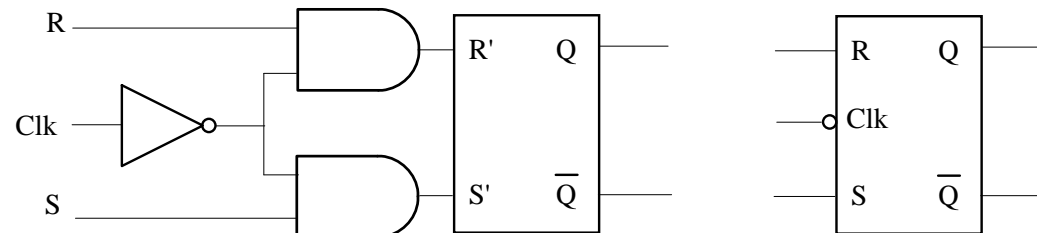
Biestables RS

◆ Biestable RS síncron (flip-flop SR):

- Per nivell alt:



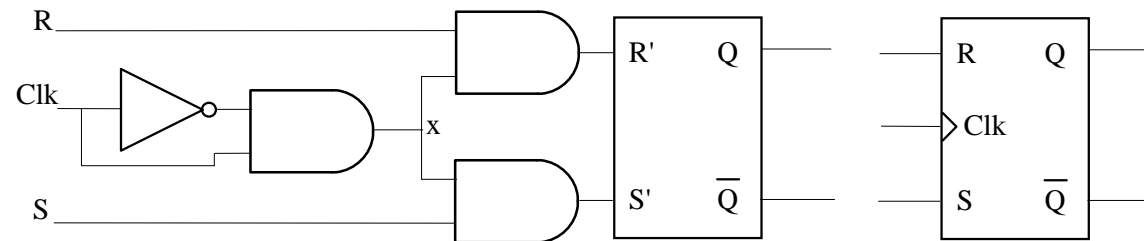
- Per nivell baix:



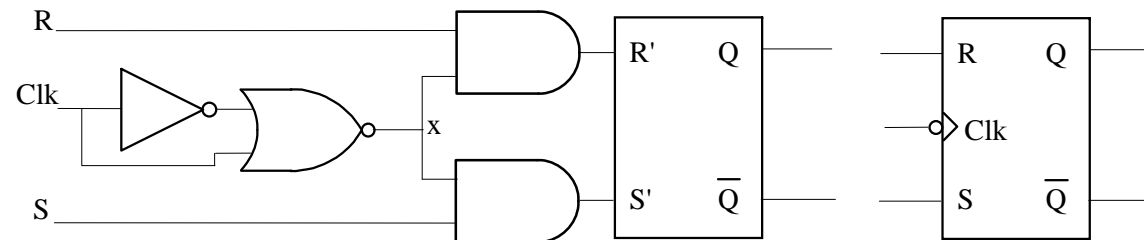
Biestables RS

◆ Biestable RS síncron (flip-flop SR):

- Per flanc de pujada:

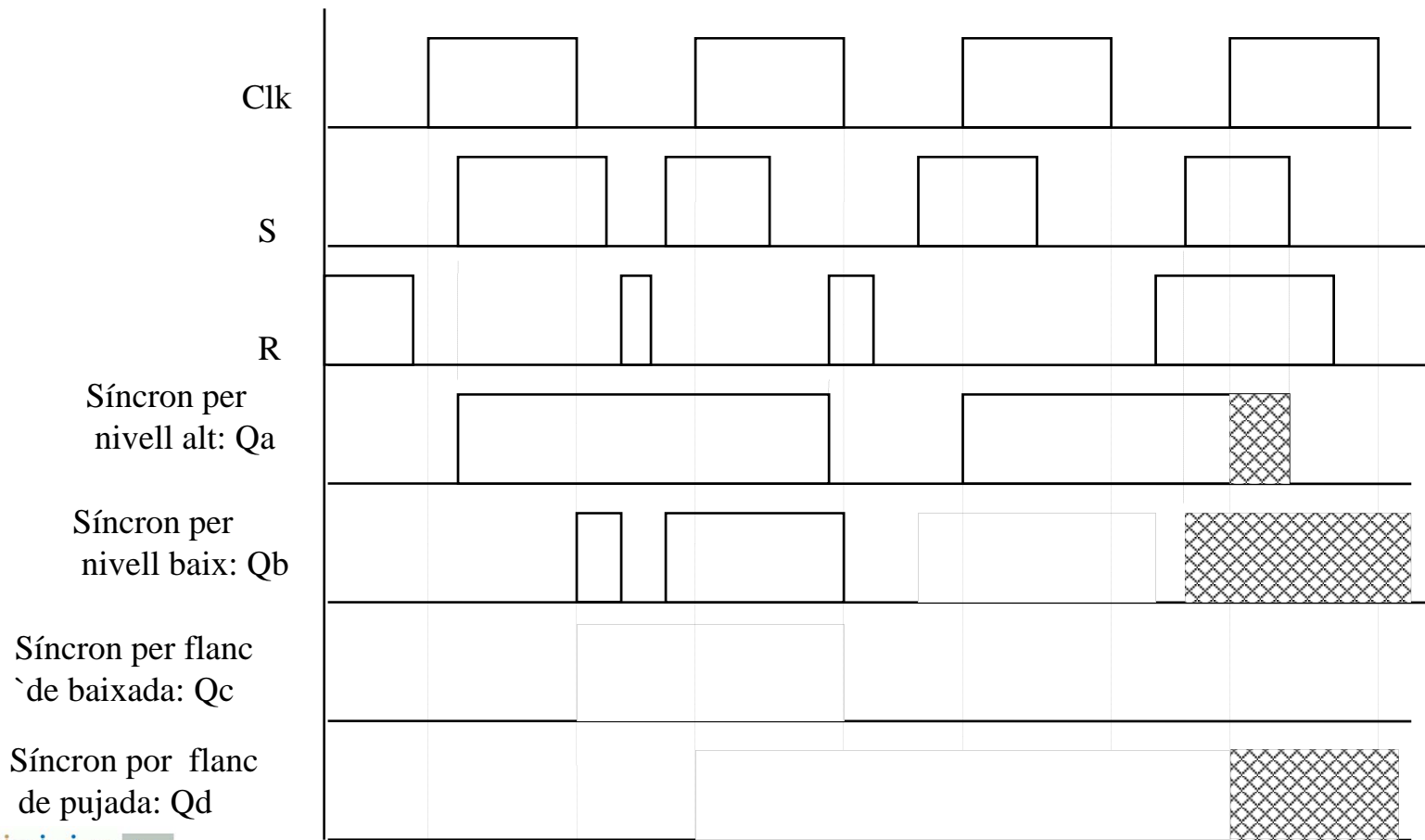


- Per flanc de baixada:



Biestables RS

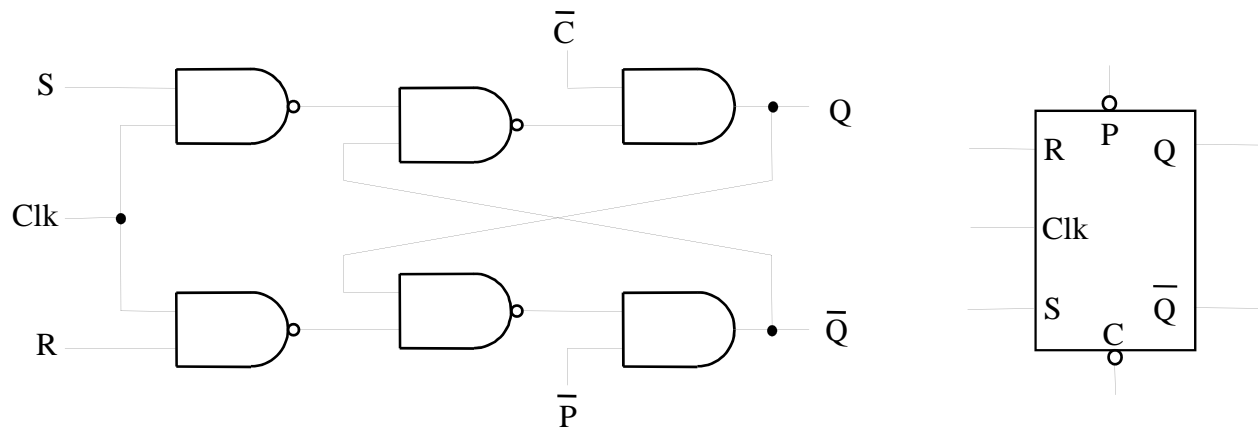
◆ Biestable RS síncron (flip-flop SR). Cronogrames:



Biestables RS

◆ Biestable RS síncron amb entrades asíncrones:

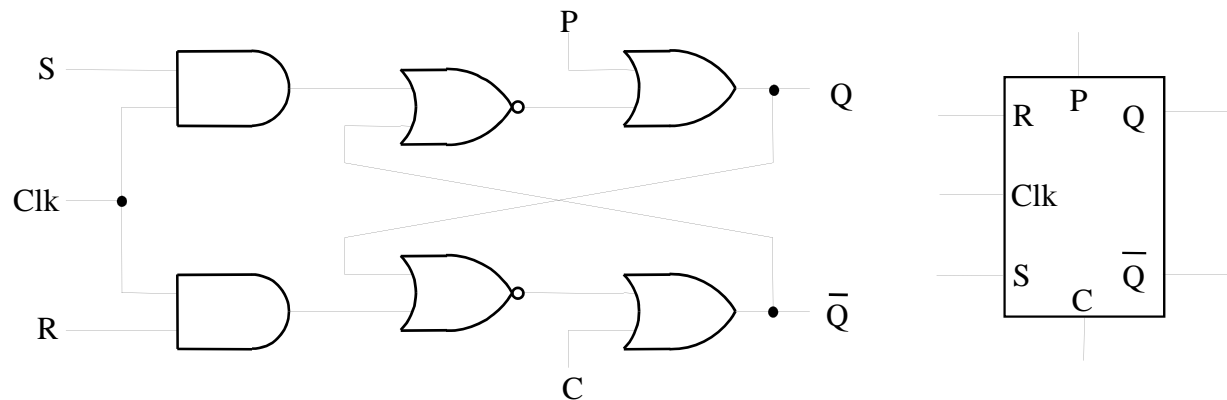
- Les entrades asíncrones (P i C) permeten de forçar el biestable a un estat particular sense que depenga del rellotge i de les entrades S i R.
 - ◆ Entrades PRESET i CLEAR actives a nivell baix.



Biestables RS

◆ Biestable RS síncron amb entrades asíncrones:

- Les entrades asíncrones (P i C) permeten forçar el biestable a un estat particular sense que depenga del rellotge i de les entrades S i R.
 - ◆ Entrades PRESET i CLEAR actives a nivell alt.



Biestables JK

◆ Biestable JK Asíncron (latch JK):

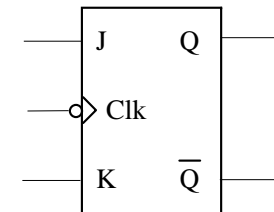
- Té dues entrades, K i J, dues eixides complementàries Q i \bar{Q} . La modalitat de funcionament queda definida per la taula següent:

Taula de veritat

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Taula resum

J	K	Q(t+1)	
0	0	Q(t)	No canvia
0	1	0	Reset
1	0	1	Set
1	1	$\bar{Q}(t)$	Basculació



Biestables JK

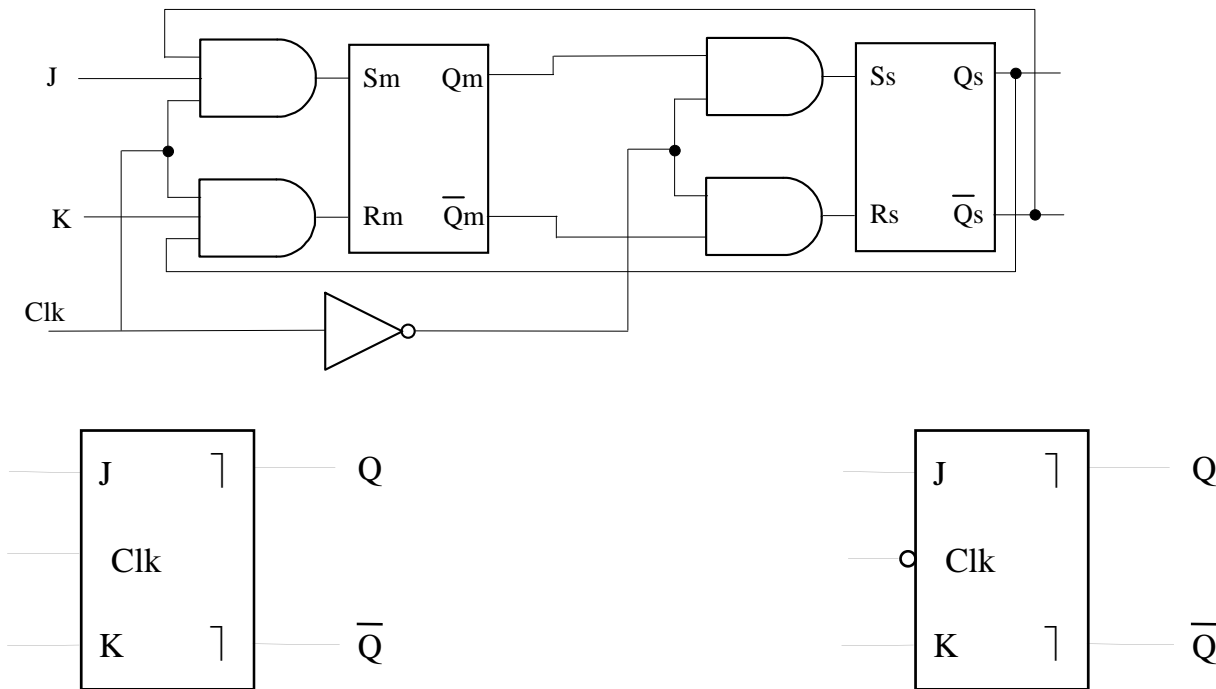
◆ Modalitat Master-Slave (M/S)

- La configuració Master-Slave (M/S) d'un biestable permet separar en el temps la lectura de les entrades i l'escriptura de les eixides. Divideix l'operació del biestable en dues etapes aïllades en el temps:
 - ❖ Etapa 1: El mestre recull les entrades i genera una primera eixida.
 - ❖ Etapa 2: L'eixida generada pel mestre passa com a entrada a l'esclau, que simplement ha de copiar-la en l'eixida.
- Les dades s'introdueixen en el biestable amb el flanc anterior a l'impuls de rellotge, però l'eixida no reflecteix canvi en l'estat de les entrades fins que aplega el flanc posterior.
- El biestable M/S disparat per un pols no permet variar les dades mentre el pols es trobe actiu.

Biestables Master-Slave

◆ Modalitat Master-Slave (M/S)

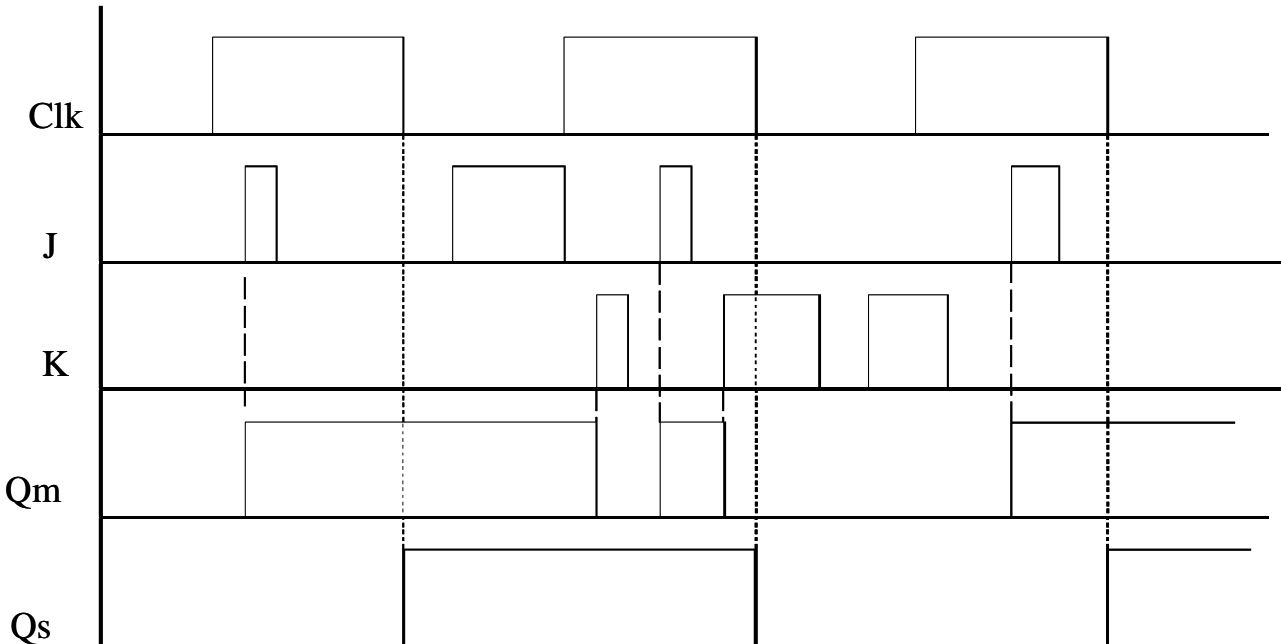
- **Exemple:** Biestable JK Master-Slave construït mitjançant biestables RS.



Bistables Master-Slave

◆ Modalitat Master-Slave (M/S)

- **Exemple:** Biestable JK Master-Slave construït mitjançant biestables RS.
Cronograma



Biastable D

- ◆ Té una sola entrada, D (Data), i dues eixides complementàries que denominarem Q i Q'.

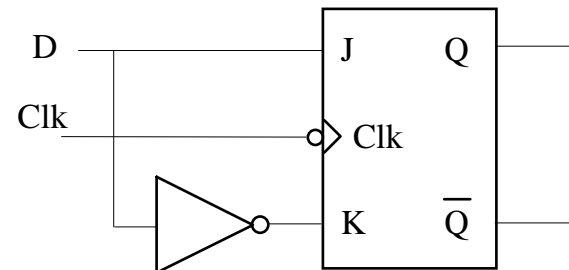
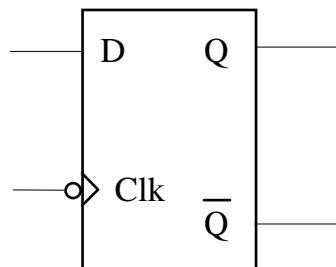
El funcionament queda definit per la taula de veritat:

Taula de veritat

D	Q(t)	Q(t+1)
0	0	0
0	1	0
1	0	1
1	1	1

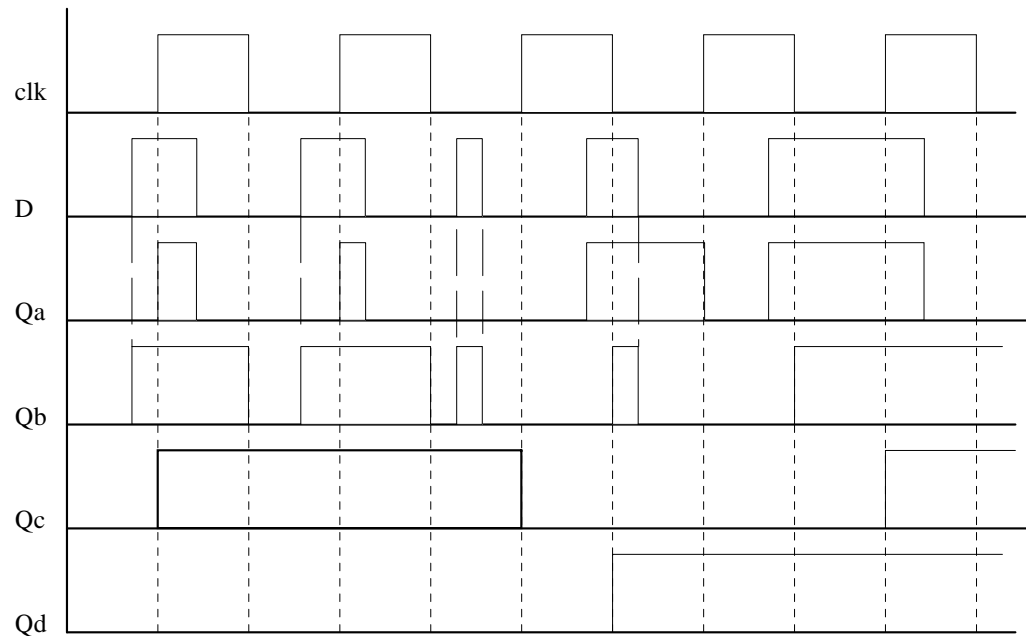
Taula resum

D	Q(t+1)
0	0
1	1



Biastable D

◆ Cronograma:



- Qa - Síncron actiu per nivell alt
- Qb - Síncron actiu per nivell baix
- Qc - Síncron actiu per flanc de pujada
- Qd - Síncron actiu per flanc de baixada

Biastable T

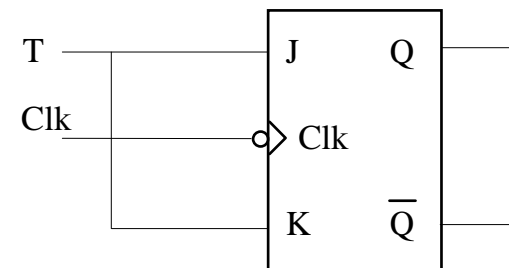
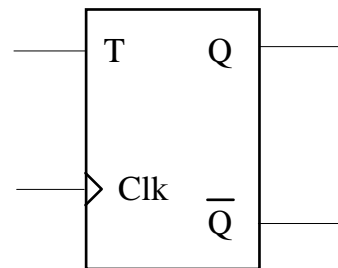
- ◆ Descripció del funcionament del circuit:

Taula de veritat

T	Q(t)	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

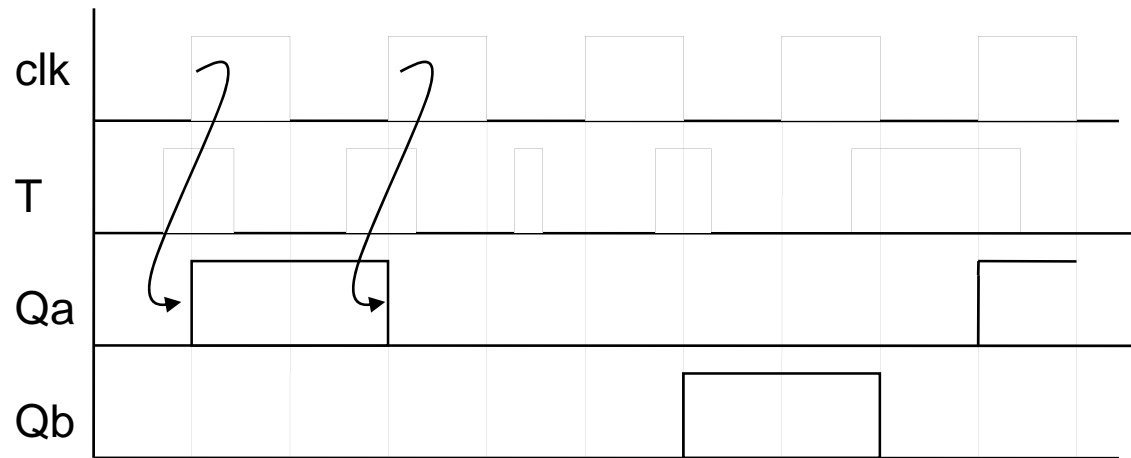
Taula resum

T	Q(t+1)
0	Q(t)
1	$\overline{Q(t)}$



Biestable T

◆ Cronograma:



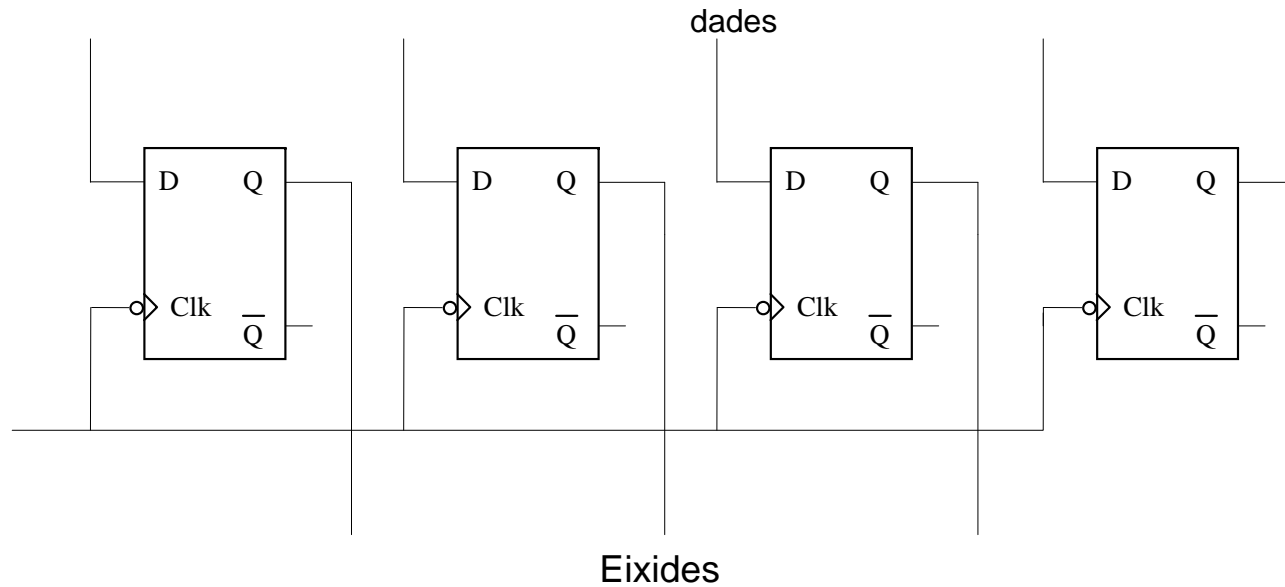
Qa - Síncron actiu per flanc de pujada

Qb - Síncron actiu per flanc de baixada

Registres

◆ **Definició:** Un registre és un circuit seqüencial amb funcions d'emmagatzemament o moviment de dades

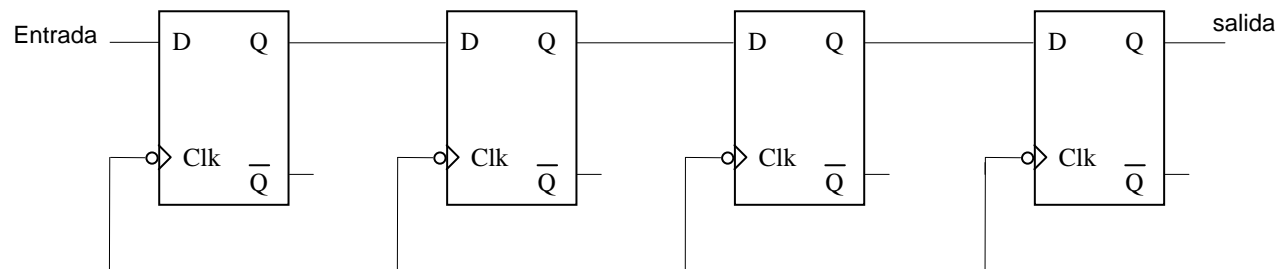
- **Exemple:** Registre d'emmagatzemament.



Registres

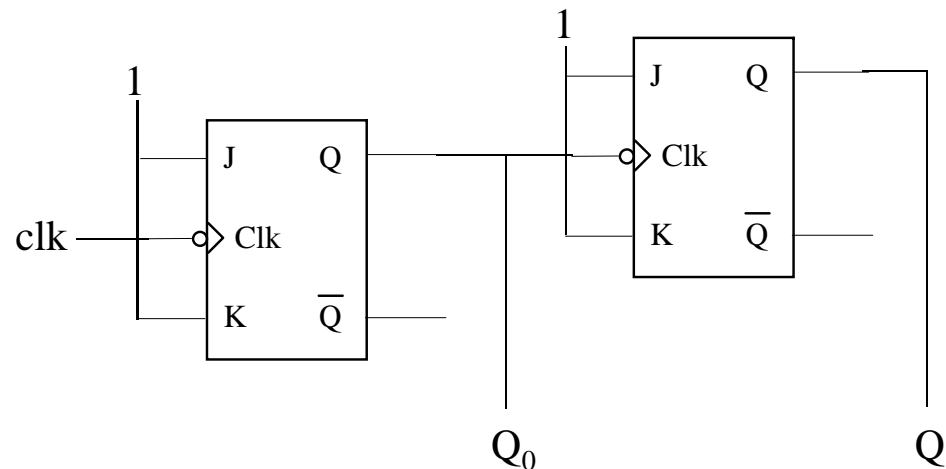
◆ **Definició:** Un registre és un circuit seqüencial amb funcions d'emmagatzemament o moviment de dades.

- **Exemple:** Registre de desplaçament.



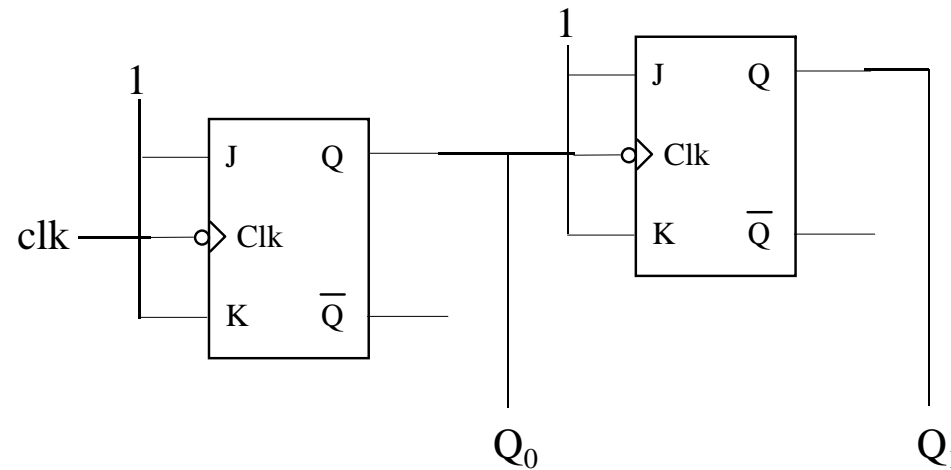
Comptadors

- ◆ **Definició:** Un **comptador** és un sistema seqüencial que memoritza el nombre de pulsacions aplicades a una entrada de rellotge.
- ◆ **Classificació:**
 - **Asíncrons:** Les entrades de rellotge dels biestables síncrons no són comuns per aquests.
 - **Síncrons:** Una única entrada de rellotge activa a tots els biestables síncrons
- ◆ **Exemple** contador asíncron de 2 bits



Comptadors

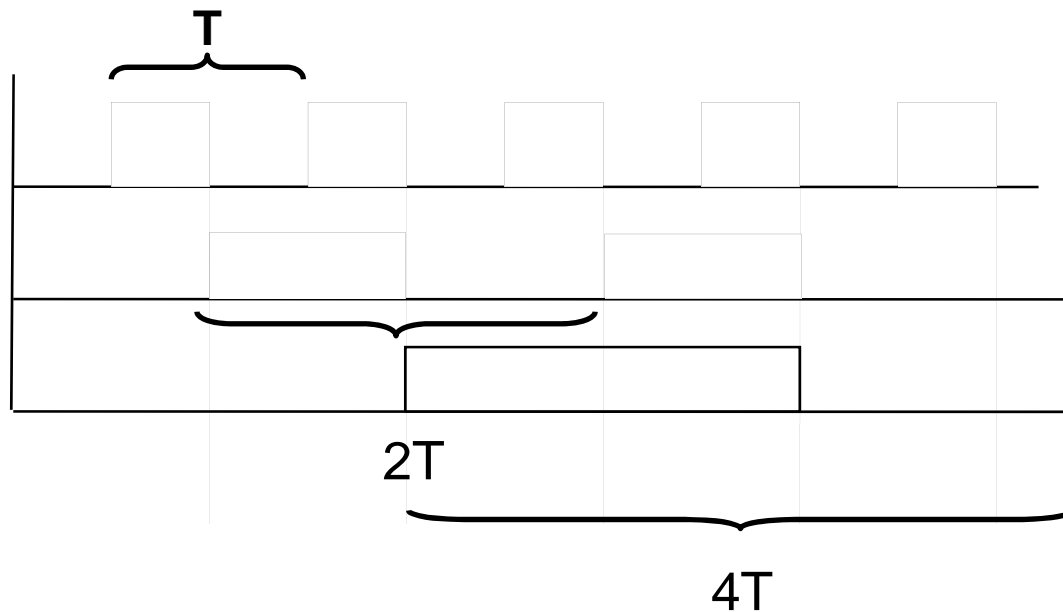
- ◆ Exemple comptador asíncron de 2 bits:



- ◆ En general: comptador de n -bits asíncron: connectant en cascada Q_i a Clk_{i+1}

Comptadors

◆ Cronograma del comptador asíncron de 2 bits



Clk : freqüència $f=1/T$

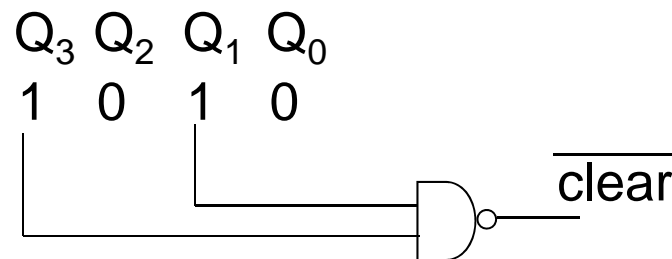
Q0 : freqüència $1/(2T) = f/2$

Q1 : freqüència $1/(4T) = f/4$

Comptadors

◆ Biestable JK Asíncron (latch JK):

- Amb n biestables es poden representar fins 2^n estats diferents (comptadors binaris).
- En el comptador mòdulo K , el nombre màxim està limitat ($K < 2^n$).
- Quan s'aplega al valor límit, es reinicien els biestables mitjançant les entrades asíncrones (clear o preset)
- **Exemple:** Comptador de dècades ($K=10$, $n=4$).
 - ❖ Compta: 0,1,2,3,4,5,6,7,8,9,0,1...



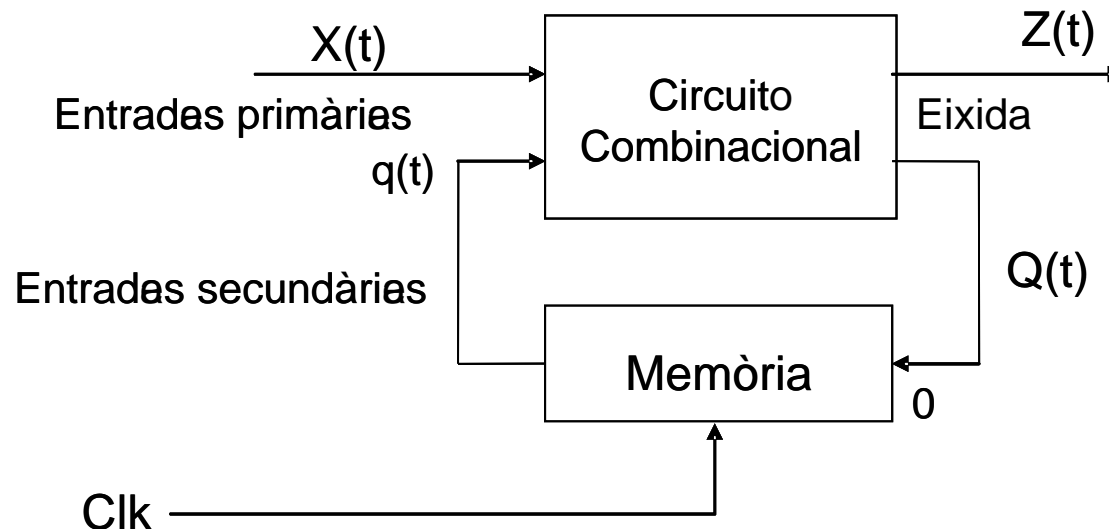
Disseny de circuits seqüencials síncrons

◆ Model de Mealy:

- L'estat (Q) i l'eixida (Z) són funció de l'estat actual (q) i de les entrades (X). Les expressions de l'eixida Z i de Q seràn:

$$Q = f(q, X)$$

$$Z = h(q, X)$$



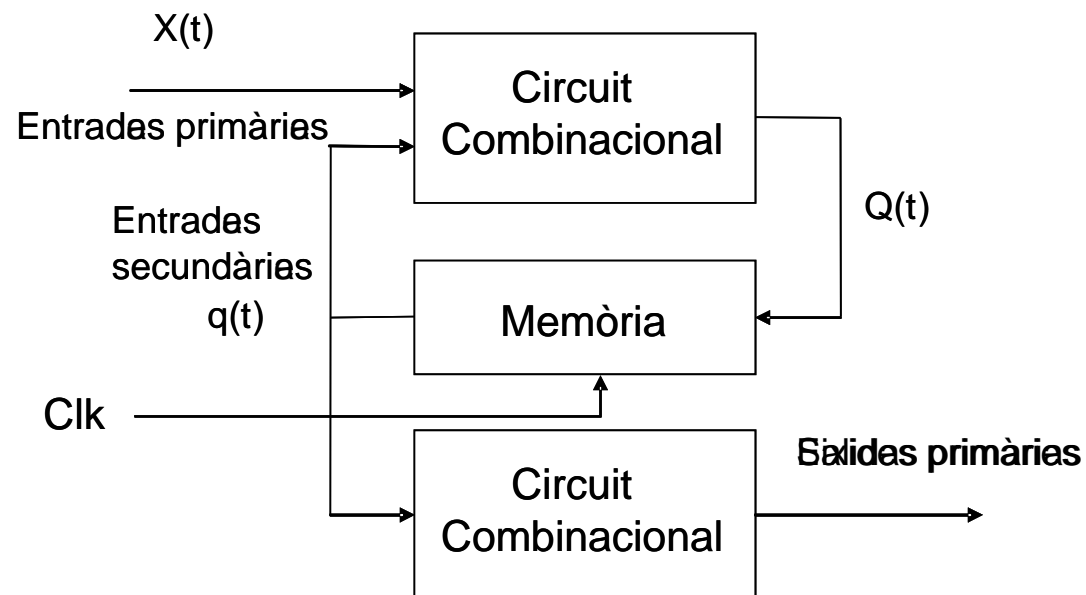
Disseny de circuits seqüencials síncrons

◆ Model de Moore:

- L'estat (Q) és funció de l'estat actual, (q) i de les entrades (X), mentre que l'eixida tan sols depèn de l'estat actual (q). Les expressions de l'eixida Z i de Q són

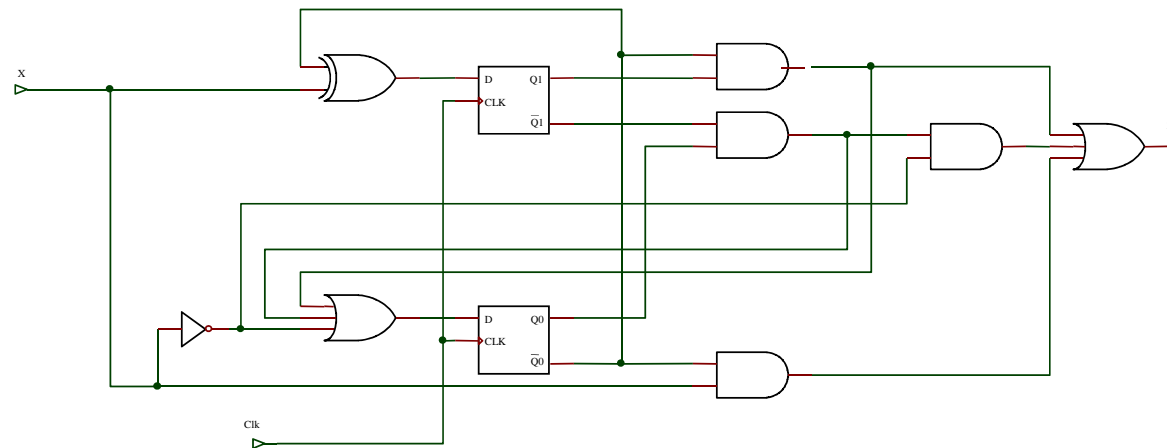
$$Q = f(q, X)$$

$$Z = h(q)$$



Anàlisi de circuits seqüencials síncrons

- ◆ L'anàlisi del comportament d'un circuit seqüencial síncron requereix la determinació de les equacions d'eixida (Z) i les equacions de les variables d'estat (Q), de les quals s'obté la taula de transició d'estats o taula d'estats i un diagrama d'estats.
- **Exemple:** Model de Mealy.



Anàlisi de circuits seqüencials síncrons

- ◆ L'anàlisi del comportament d'un circuit seqüencial síncron requereix la determinació de les equacions d'eixida (Z) i les equacions de les variables d'estat (Q), de les quals s'obté la taula de transició d'estats o taula d'estats i un diagrama d'estats.

- **Exemple:** Model de Mealy.

- ◆ Les equacions d'estat i d'eixida poden derivar-se fàcilment del circuit i seràn respectivament:

$$Q_1 = \overline{q_0} \oplus x = q_0 x + \overline{q_0} \overline{x}$$

$$Q_0 = q_1 \overline{q_0} + \overline{q_1} q_0 + \overline{x}$$

$$Z = q_1 \overline{q_0} + \overline{q_1} q_0 \overline{x} + \overline{q_0} x$$

- ◆ En un biestable D, $Q(t+1)=D$

Anàlisi de circuits seqüencials síncrons

- ◆ El comportament d'un circuit seqüencial síncron requereix la determinació de les equacions d'eixida (Z) i les equacions de les variables d'estat (Q), de les que s'obté la taula de transició d'estats o taula d'estats i un diagrama d'estats.
 - **Exemple:** Modelo de Mealy.
 - ◆ Si representem aquestes equacions en forma de taula, el comportament del sistema queda més clar:

	0	1
00	11,0	00,1
01	01,1	11,0
11	01,0	10,0
10	11,1	01,1

Taula de transició d'estat

Anàlisi de circuits seqüencials síncrons

- ◆ El comportament d'un circuit seqüencial síncron requereix la determinació de les equacions d'eixida (Z) i les equacions de les variables d'estat (Q), de les que s'obté la taula de transició d'estats o taula d'estats i un diagrama d'estats.
- **Exemple:** Model de Mealy.
 - ❖ Si la finalitat de l'anàlisi és predir com variaran les eixides del circuit en funció de les entrades, no necessitem conèixer els valors específics de les variables d'estat. Tant sols necessitem distingir entre estats per a predir el comportament del sistema.
 - ❖ Reemplaçarem els valors específics de les variables d'estat per unes etiquetes. Per exemple, substituïm els valors de (q1,q2): (00)=A, (01)=B, (11)=C i (10)=D

Anàlisi de circuits seqüencials síncrons

- Exemple: Model de Mealy.

- ❖ Si la finalitat de l'anàlisi és predir com variaran les eixides del circuit en funció de las entrades, no necessitem conèixer els valors específics de les variables d'estat. Tant sols necessitem distingir entre estats per a predir el comportament del sistema.
- ❖ Reemplaçarem els valors específics de les variables d'estat per unes etiquetes. Per exemple, substituïm els valors de (q1,q2): (00)=A, (01)=B, (11)=C i (10)=D

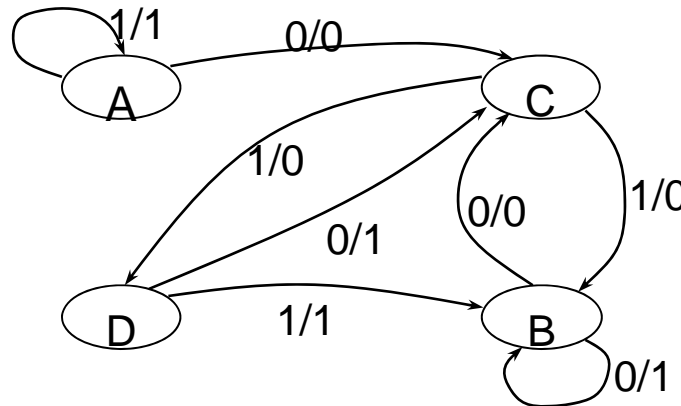
	X=0	X=1
A	C,0	A,1
B	B,1	C,0
C	B,0	D,0
D	C,1	B,1

Taula d' estats simbòlica

Anàlisi de circuits seqüencials síncrons

- **Exemple:** Model de Mealy.

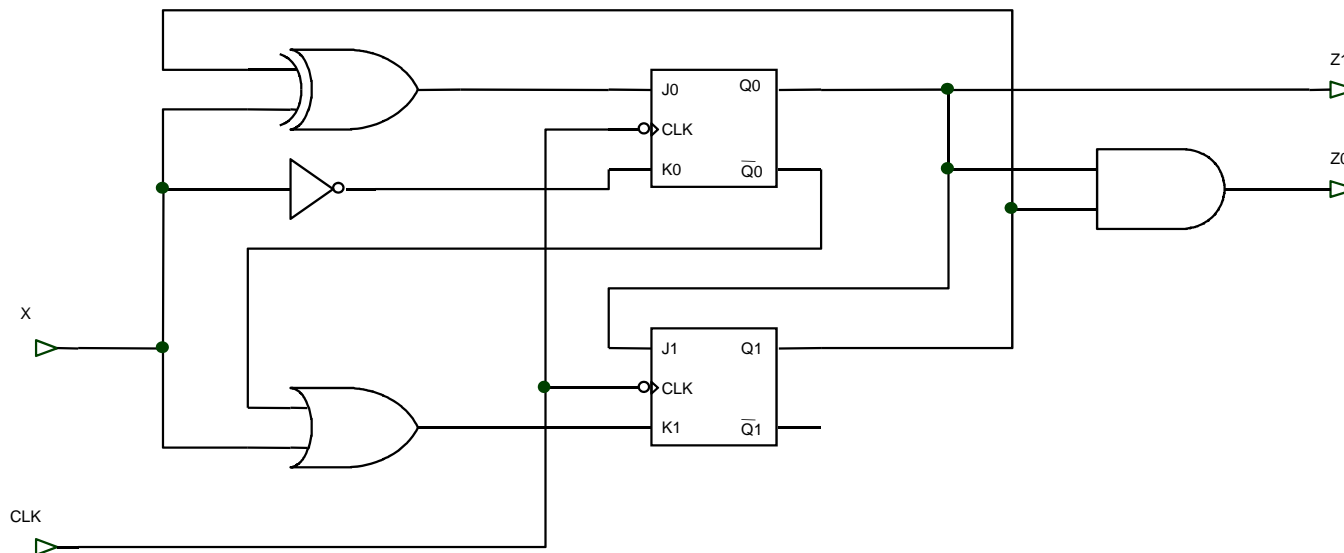
- ❖ Una representació alternativa de la taula d'estats és el diagrama d'estats.
- ❖ Aquest diagrama és un graf lineal directe en el que els nodes representen els estats de la màquina i els enllaços representen les entrades necessàries perquè es produïska el desplaçament d'un estat a l'altre.



Graf d'estats

Anàlisi de circuits seqüencials síncrons

- Exemple: Model de Moore.



Equacions del circuit:

$$J_0 = Q_1 \oplus X = \overline{Q_1} \cdot X + Q_1 \cdot \overline{X}$$

$$K_0 = \overline{X}$$

$$J_1 = Q_0$$

$$K_1 = \overline{Q_0} + X$$

$$Z_1 = Q_0$$

$$Z_0 = Q_1 \cdot Q_0$$

Anàlisi de circuits seqüencials síncrons

- Exemple: Model de Moore

- Ara, a partir de les equacions del circuit s'obtenen les taules d'entrada (excitació) dels biestables i la taula d'eixida.

$$J_0 = Q_1 \oplus x = \overline{Q_1} \cdot x + Q_1 \cdot \overline{x}$$

$$K_0 = \overline{x}$$

$$J_1 = Q_0$$

$$K_1 = \overline{Q_0} + x$$

$$Z_1 = Q_0$$

$$Z_0 = Q_1 \cdot Q_0$$

$q_1, q_0 \backslash x$	0	1
00	01	01
01	10	11
11	10	11
10	01	01

$J_1 K_1$

$q_1, q_0 \backslash x$	0	1
00	01	10
01	01	10
11	11	00
10	11	00

$J_0 K_0$

$q_1 q_0$	$Z_1 Z_0$
00	00
01	10
11	11
10	00

Taules d'excitació dels biestables

Taula d'eixida

Anàlisi de circuits seqüencials síncrons

- Exemple: Model de Moore

❖ Ara, amb l'ajuda de la taula de funcionament del JK s'obté la taula de transició d'estats.

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

q1 q0	X=0			X=1		
0 0	0 0	0 1	0 1	0 1	1 0	0 1
0 1	1 0	0 1	1 0	1 1	1 0	1 1
1 1	1 0	1 1	1 0	0 1	0 0	1 1
1 0	0 1	1 1	0 1	0 0	0 0	0 1
	Q1Q0	J0K0	J1K1	Q1Q0	J0K0	J1K1

q1 q0	X=0	X=1
0 0	0 0	0 1
0 1	1 0	1 1
1 1	1 0	0 1
1 0	0 1	0 0
	Q1Q0	Q1Q0

Taula de transició d'estats

Anàlisi de circuits seqüencials síncrons

- **Exemple:** Model de Moore
 - ❖ Finalment apleguem a la taula simbòlica

	0	1	Z_1Z_0
00	00	01	00
01	10	11	10
11	10	01	11
10	01	00	00

Q_1Q_0

	x=0	x=1	Z_1Z_0
A	A	B	00
B	D	C	10
C	D	B	11
D	B	A	00

Estat Següent

Taula de transició d'estats i taula simbòlica

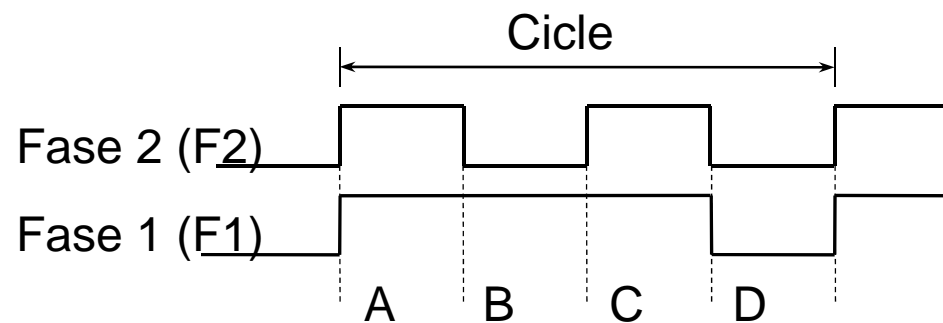
Disseny de circuits seqüencials síncrons

- ◆ Per a dissenyar de forma genèrica un circuit seqüencial síncron s'ha de seguir el procés invers de l'anàlisi. Consten dels passos següents:
- **Pas 1.** De les especificacions del problema, obtenim un diagrama d'estat i una taula d'estats.
 - **Pas 2.** Assignem una codificació a cada estat per a obtenir una taula de transició d'estats i d'eixida.
 - **Pas 3.** Elegim un tipus de biestable i obtenim les taules d'excitació a partir de les taules de transició d'estat
 - **Pas 4.** Obtenir las equacions d'entrada dels biestables i les equacions d'eixida del circuito d'aquestes taules.
 - **Pas 5.** Dibuixar el circuit.

Exemple de disseny

◆ **Exemple:** dissenyar un circuit seqüencial capaç de generar dues seqüències com les que es representen en la figura. L'eixida es controla mitjançant una entrada x .

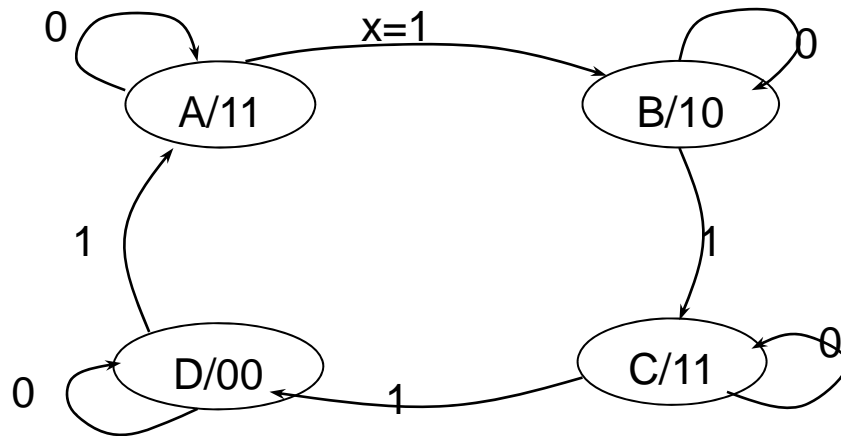
- Si $x=1$, la seqüència eixida es proporciona normalment.
- Si $x=0$, l'eixida es manté en el valor que tenia fins que x torne a 1.



- Començarem el disseny d'aquest generador de seqüències construint-ne el diagrama d'estats. Caldrà, doncs, triar la realització per màquina de Mealy o de Moore.

Exemple de disseny

- Pas 1: Obtenció del diagrama i taula d'estats.



	x=0	x=1	F1F2
A	A	B	11
B	B	C	10
C	C	D	11
D	D	A	00

Exemple de disseny

- Pas 2: Codificació d'estats i obtenció de la taula de transició d'estats i eixida.
 - ❖ Com que hi ha quatre estats, es necessiten dues variables per a la codificació, que denominarem q1 i q0. Fem A=00, B=01, C=10 i D=11.

	0	1
A=00	00	01
B=01	01	10
D=11	11	00
C=10	10	11

Q1Q0

q1,q0	F1F2
00	11
01	10
11	00
10	11

Exemple de disseny

- Pas 3: Obtenció de les taules d'excitació pels biestables elegits

❖ Ara hem de triar el tipus de biestable que volem emprar. En aquest cas, de tipus T.

	0	1
00	0	0
01	0	1
11	0	1
10	0	0

T1

	0	1
00	0	1
01	0	1
11	0	1
10	0	1

T0

Exemple de disseny

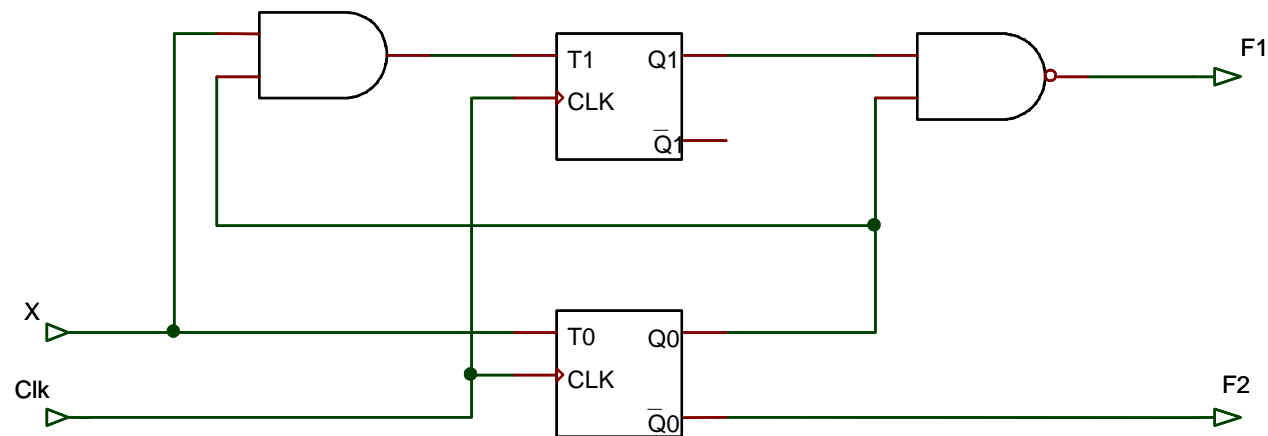
- Pas 4: Obtenció de les equacions d'entrada dels biestables i d'eixida del circuit
 - ❖ I a partir d'aquestes taules i de l'eixida:

$$T0 = X$$
$$T1 = X q_0$$

$$F1 = \bar{q}_1 + \bar{q}_0$$
$$F2 = \bar{q}_0$$

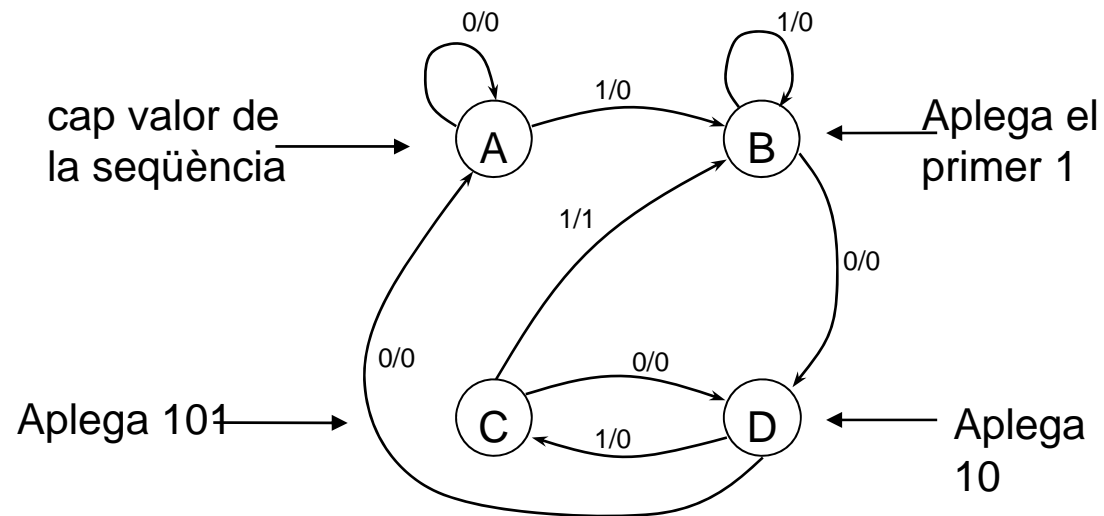
Exemple de disseny

- Pas 5: Representació del circuit buscat:



Exemple de disseny

- ◆ **Exemple:** dissenyar un circuit seqüencial amb biestables JK dotat d'una entrada, X, i d'una eixida, Z, de forma que Z valdrà 1 quan els quatre últims valors aplegats per la línia X es corresponen amb la seqüència 1011. L'encavalcament de seqüències està permès, de manera que si per X aplega 1011011 es produirà 0001001 a l'eixida.



Exemple de disseny

- ◆ **Exemple:** dissenyar un circuit seqüencial amb biestables JK dotat d'una entrada, X, i d'una eixida, Z, de forma que Z valdrà 1 quan els quatre últims valors aplegats per la línia X es corresponen amb la seqüència 1011. L'encavalcament de seqüències està permès, de manera que si per X aplega 101101, es produirà 0001001 a l'eixida.

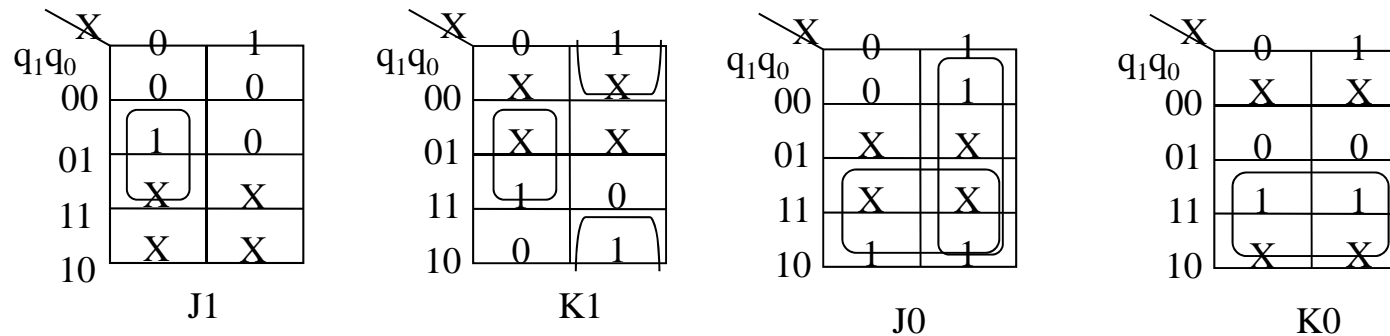
	x=0	x=1
A	A,0	B,0
B	D,0	B,0
C	D,0	B,1
D	A,0	C,0

Estat Següent, Eixida

	0	1
A=00	00,0	01,0
B=01	10,0	01,0
C=11	10,0	01,1
D=10	00,0	11,0

Q1Q0,Z

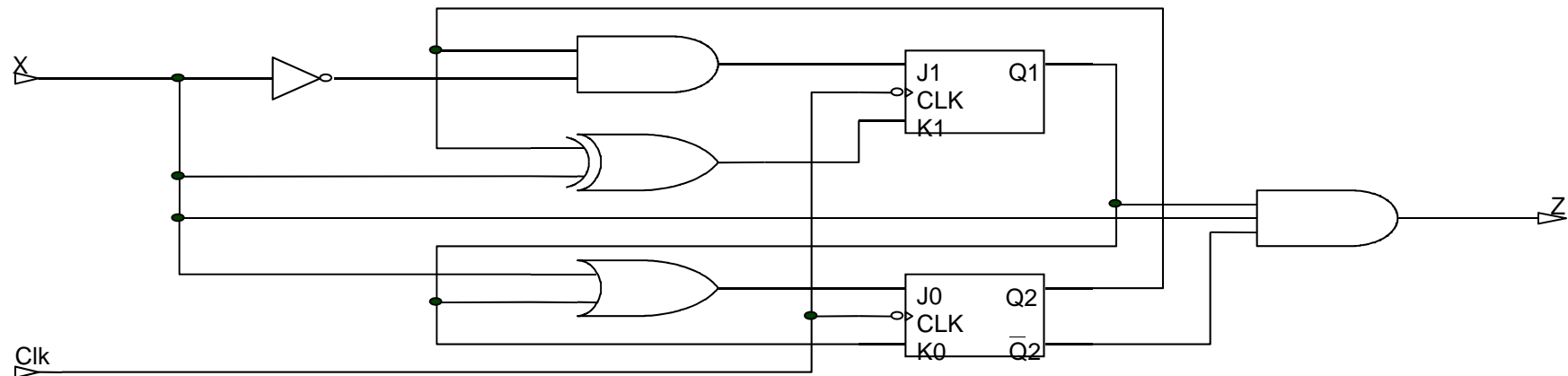
Exemple de disseny



$$J_1 = \bar{X} q_0 \quad K_1 = \bar{X} q_0 + X q_0 = X \oplus q_0$$

$$J_0 = q_1 + X \quad K_0 = q_1$$

$$Z = q_1 \bar{q}_0 X$$



Fulls de característiques

◆ Alguns exemples de components seqüencials:



74AHC74 - Dual D flip-flop with set and reset; positive edge trigger



74AHC112 - Dual JK flip-flop with set and reset; negative edge trigger



74LS75 – Quad Latch



74LS279 – Quad S-R Latch



74HC164 – 8 bit serial-in, parallel-out shift register



74HC165 – 8 bit parallel-in, serial-out shift register



74AHC74 - Hex D-type flip-flop with reset; positive edge trigger



74LS93 – 4-bit Binary Counters



74HC160 – Presetable synchronous BCD decade counter asynchronous reset



74LS190 – Synchronous Up/Down Decade Counters(single clock line)

Referències

- T.L. Floyd. *Fundamentos de sistemas digitales*, Prentice-Hall, 2000.
- P. De Miguel Anasagasti. *Fundamentos de los computadores*. Paraninfo, 2004.
- A. Prieto et al. *Introducción a la informática*, McGraw-Hill, 2006.
- M. Morris Mano i C.R. Kime. *Fundamentos de diseño lógico y computadoras*. Prentice-Hall, 2005.
- J. M. Angulo. *Fundamentos y estructura de computadores*, Paraninfo, 2001.
- A. Lloris, A. Prieto, L. Parrilla. *Sistemas Digitales*,. MC Graw Hill, 2003.