

Amplificador de Lock-In

Alberto Mur (565825@unizar.es)

1. Descripción

El amplificador de lock-in propuesto recibe una señal de tensión a 20kHz con ruido y se encarga de representar la amplitud de pico. Se ha pedido la implementación y sintetización en VHDL del NCO encargado de sincronizar la señal de entrada, la lectura del ADC, la implementación del filtro paso bajo IIR y la visualización de la amplitud.

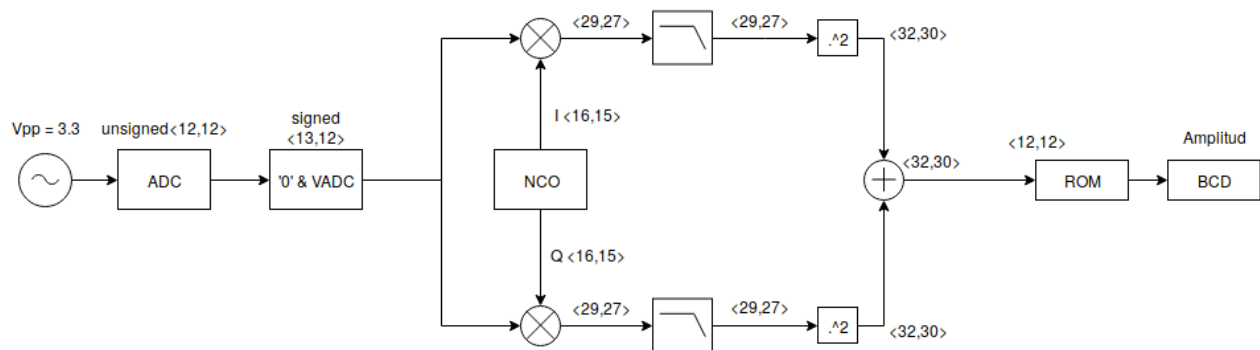


Figura 1: Diagrama del amplificador de lockin propuesto

2. Diseño

El diseño del amplificador se ha realizado mediante dos máquinas de estados: una que controla la del procesado de cada rama por separado hasta la obtención de la suma de la dirección de la ROM; y otra que se encarga de ejecutar el filtro para cada rama. Por lo tanto solo hay una implementación hardware del filtro que se utiliza para cada rama. Cómo tenemos 500 ciclos de reloj disponibles, el muestreo y procesado se hace a una frecuencia de 100KHz, tenemos tiempo suficiente para realizar todas las operaciones en distintos ciclos.

La ROM consta de de 2^{12} direcciones de memoria donde se guarda la conversión de la salida de la suma de los cuadrados a la amplitud de la señal ($\frac{3300}{2} \cdot \sqrt{\frac{4,0-i}{2^{12}}}$) ya codificada en BCD.

Se impone que la salida del filtro pueda ser el doble que la entrada. El filtro se ha diseñado con la siguientes estructura y precisión:

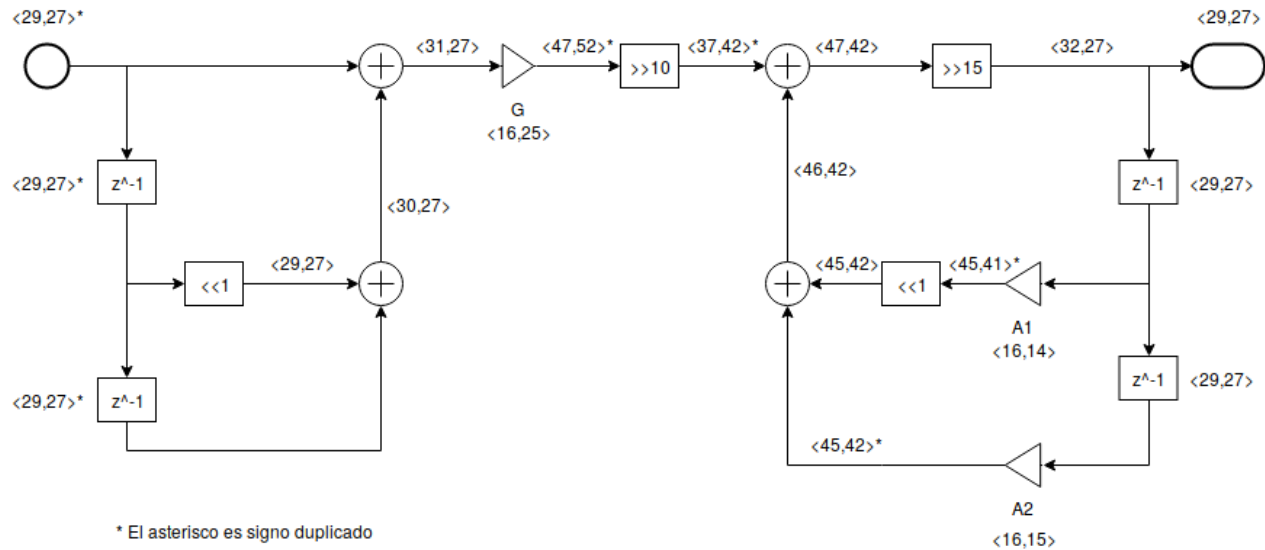


Figura 2: Diagrama del filtro paso bajo

Se ha obtenido una frecuencia de funcionamiento de “Post Place & Route” de 58.086 MHz, que está por encima de los 20 MHz requeridos y por lo tanto se cumplen las restricciones.

El resumen del diseño realizado es el siguiente:

Synthesizing Unit <NCO>

Summary:

inferred 1 ROM(s).
inferred 1 Counter(s).
inferred 32 D-type flip-flop(s).
inferred 1 Comparator(s).

Synthesizing Unit <ctl_adc7476a>

Summary:

inferred 1 Finite State Machine(s).
inferred 58 D-type flip-flop(s).
inferred 1 Adder/Subtractor(s).

Synthesizing Unit <rom>

Summary:

inferred 1 ROM(s).
inferred 16 D-type flip-flop(s).

Synthesizing Unit <Display>

Summary:

inferred 1 ROM(s).
inferred 17 D-type flip-flop(s).
inferred 1 Adder/Subtractor(s).

Synthesizing Unit <P1>

Summary:

inferred 2 Finite State Machine(s).
inferred 1 Counter(s).
inferred 680 D-type flip-flop(s).
inferred 3 Adder/Subtractor(s).
inferred 5 Multiplier(s).

Design Summary:

Number of errors: 0

Number of warnings: 0

Logic Utilization:

Number of Slice Flip Flops: 739 out of 17,344 4%

Number of 4 input LUTs: 913 out of 17,344 5%

Logic Distribution:

Number of occupied Slices: 701 out of 8,672 8%

Number of Slices containing only related logic: 701 out of
701 100%

Number of Slices containing unrelated logic: 0 out of
701 0%

*See NOTES below for an explanation of the effects of unrelated
logic.

Total Number of 4 input LUTs: 968 out of 17,344 5%

Number used as logic: 913

Number used as a route-thru: 55

The Slice Logic Distribution report is not meaningful if the design is
over-mapped for a non-slice resource or if Placement fails.

Number of bonded IOBs: 16 out of 250 6%

Number of RAMB16s: 4 out of 28 14%

Number of BUFGMUXs: 1 out of 24 4%

Number of MULT18X18SIOs: 7 out of 28 25%