8주차 결과보고서

전공: 신문방송학과 학년: 4학년 학번: 20191150 이름: 전현길

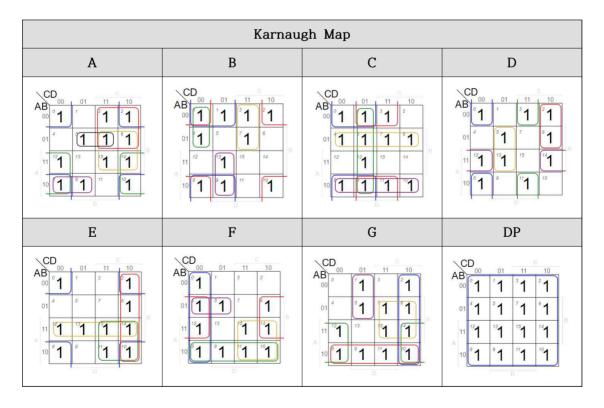
1. 실험 목적

- 7-Segment Display의 개념 이해
- Verilog를 사용하여 7-Segment Display 구현
- 입력 신호 생성 후 Simulation을 통하여 구현된 각 Gate 동작 확인
- FPGA를 통해서 Verilog로 구현된 회로의 동작 확인

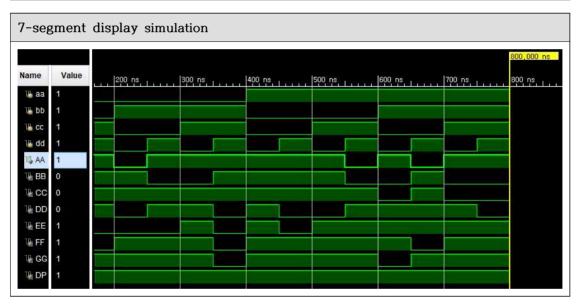
2. 7-Segment Display의 결과 및 Simulation 과정에 대해서 설명하시오. (Truth table 작성 및 k-map 포함, 0~F, DP) (최대한 상세히 기술할 것)

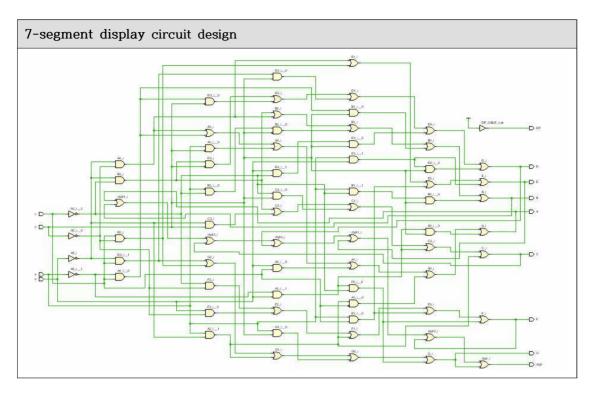
input				output							
in1	in2	in3	in4	А	В	С	D	Е	F	G	DP
0	0	0	0	1	1	1	1	1	1	0	1
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	1
0	0	1	1	1	1	1	1	0	0	1	1
0	1	0	0	0	1	1	0	0	1	1	1
0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0	1
1	0	0	0	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1
1	0	1	1	0	0	1	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0	1
1	1	0	1	0	1	1	1	1	0	1	1
1	1	1	0	1	0	0	1	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1	1

source code	testbench code
`timescale 1ns / 1ps module seven_seg(input a, b, c, d, output A, B, C, D, E, F, G, DP, digit); assign A = (~b & ~d) (~a & c) (a & ~d) (b & c) (a & ~b & ~c) (~a & b & d); assign B = (~b & ~c) (~b & ~d) (~a & ~c & ~d) (~a & ~c & ~d) (~a & ~c & d); assign C = (~b & ~c) (~b & d) (~c & d) (~a & ~b); assign D = (~b & ~c & ~d) (~a & c & ~d) (~b & ~c & d) (a & ~b); assign D = (~b & ~c & ~d) (a & b & ~d); assign E = (~b & ~d) (b & ~d) (a & c) (a & b); assign F = (~c & ~d) (b & ~d) (a & ~b) (a & c) (~a & b & ~c); assign G = (~b & c) (c & ~d) (a & ~b) (a & d) (~a & b & ~c); assign DP = 1; assign digit = A B C D E F G; endmodule	'timescale 1ns / 1ps module seven_seg_tb; reg aa, bb, cc, dd; wire AA, BB, CC, DD, EE, FF, GG, DP, digit; seven_seg u_test(



SOP form (by K-map)				
A	B'D' + A'C + AD' + BC + AB'C' + A'BD			
В	B'C' + B'D' + A'C'D' + A'CD + AC'D			
С	B'C' + B'D + C'D + A'B + AB'			
D	B'C'D' + A'CD' + B'CD + BC'D + ABD'			
Е	B'D' + CD' + AC + AB			
F	C'D' + BD' + AB' + AC + A'BC'			
G	B'C+ CD'+ AB'+ AD + A'BC'			
DP	1			





7-segment display는 문자, 숫자, 글자를 표현하기 위해 사용되는 디스플레이 장치의 일종이다. 이번 실험에서는 16진수를 표현하는 7-segment display를 구현했으므로 don't care 항 없이 구성했지만, 10진수를 표현하는 7-segment display의 경우 don't care 항을 포함해 구성하므로 좀 더 간략화시킬수 있다.

구현 방식은 전압이 high(1)일 때 동작하도록 만들었으므로 common catho de type이라고 볼 수 있다. 각 segment가 켜져야 할 때를 1로, 꺼져야 할 때를 0으로 구성해 간단히 진리표를 작성할 수 있다.

digit을 선언하는 것이 중요한데, seven-segment에 따라 각 segment를 잘 정의했더라도 digit을 선언해 각 segment들의 값을 받아오지 않으면 FPGA 보드 상에 출력할 수 없기 때문이다.

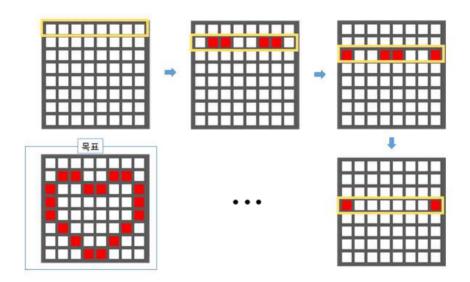
3. 결과 검토 및 논의 사항

이번 실험에서는 7-segment display를 각각 verilog 상에서 구현하여 시뮬레이션해 보았으며, FPGA 보드를 활용하여 실제 출력 결과를 확인해 보았다. 각 회로의 논리적 동작에 따라 진리표를 그리고, Karnaugh map을 그림으로써 SOP 식을 도출했다. 실험 결과, 진리표를 바탕으로 기대되었던 동작이 정상적으로 이루어졌음을 확인했다.

4. 추가 이론 조사 및 작성

7-segment display에 대응되는 것이 바로 dot matrix display다. dot matrix란 LED를 matrix 형태로 배열하여 다양한 문자, 패턴을 표현할 수 있도록하는 표시장치로, 8*8, 16*16 형태가 자주 사용된다. dot matrix를 연결해 더넓은 display를 사용하기도 한다.

dot matrix 역시 일상생활에서 자주 사용되며, 전광판, 엘리베이터 층 표시 등, 버스 안내판, 지하철 역 표시판 등에 사용되는 것 역시 dot matrix의 일 종이다.



dot matrix의 구동 방식 역시 7-segment display의 dynamic 구동 방식과 유사한데, 눈의 잔상 효과를 이용해 착시를 일으키는 방식이다. 7-segment에서 여러 display에 숫자를 출력할 때 모든 display에 출력하는 것이 아니라 display를 순회하면서 차례대로 출력하듯이, dot matrix 역시 전체 화면에 글자를 출력하는 대신 한 라인당 글자를 출력한다. 아래와 같은 방식이다.