

11주차 예비보고서

전공: 신문방송학과

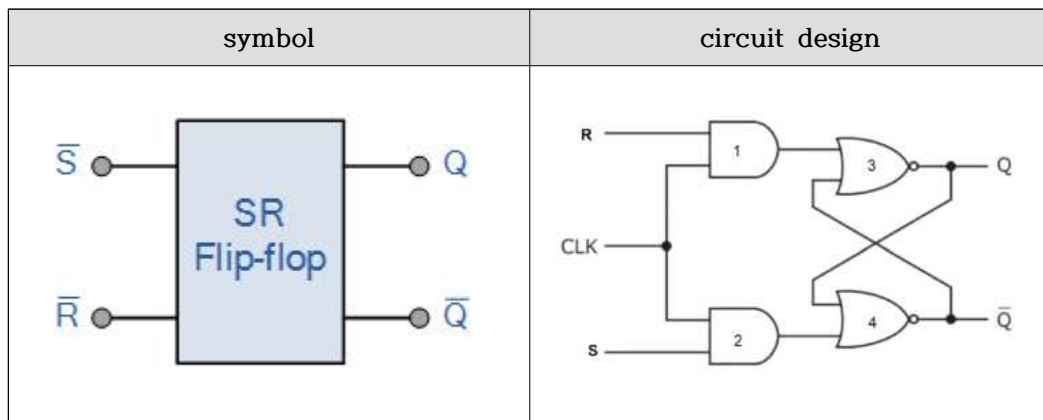
학년: 4학년

학번: 20191150

이름: 전현길

1. RS flip-flop에 대하여 조사하시오.

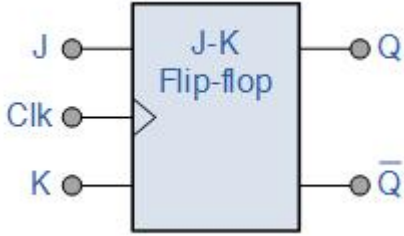
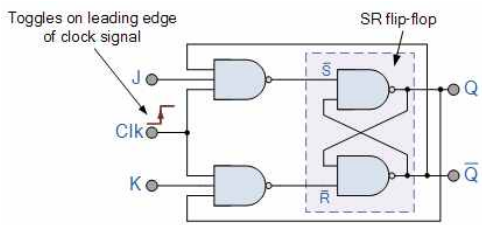
flip-flop은 클럭을 가지고 있으며 1bit 정보를 저장(=기억)할 수 있는 논리 회로이다. 정상적인 동작을 할 경우에 플립플롭의 값은 해당된 클럭 천이(변화)에서만 변화하며, 이러한 특징 때문에 edge-triggered circuit에 포함된다. 일반적으로 flip-flop은 자신의 상태를 나타내는 하나 혹은 두 개의 출력을 갖는다. 만약 출력이 두 개일 경우 남은 한 출력은 상태의 보수를 나타낸다.



State	S	R	Q	\bar{Q}	Description
Set	1	0	0	1	Set $\bar{Q} \gg 1$
	1	1	0	1	no change
Reset	0	1	1	0	Reset $\bar{Q} \gg 0$
	1	1	1	0	no change
Invalid	0	0	1	1	Invalid Condition

SR flip-flop(=RS flip-flop)은 두 개의 입력과 두 개의 출력을 갖는 flip-flop으로, set과 reset 입력을 갖는다. SR flip-flop은 flip-flop의 현재 상태와 무관하게 set 입력만 활성화되면 다음 clock edge에서 flip-flop에 1이 저장되며, reset 입력만 활성화되면 다음 flip-flop에 0이 저장된다. 반대로 set, reset 입력이 모두 0이면 현재 상태가 유지된다. 단 두 입력이 동시에 1이 되면 flip-flop의 출력값은 정의할 수 없는 상태가 된다.

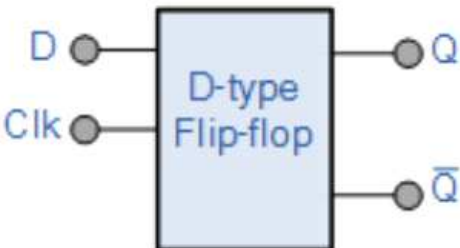
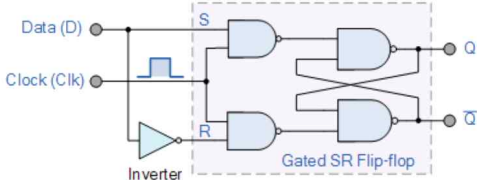
2. JK 플립-플롭에 대해서 조사하시오.

symbol	circuit design
	

JK flip-flop은 SR flip-flop과 거의 동일하지만, SR flip-flop에서 부정의된 입력인 $S = R = 1$ 인 상태에 대한 동작이 추가되었다. JK flip-flop에서 $J = K = 1$ 인 상태에서는 상태가 현재 상태에서 토글된다. 이외에는 J가 Set 입력, K가 Reset 입력과 동일하게 동작한다.

가장 간단한 JK flip-flop의 경우 $J = K = 1$ 의 입력 상태를 가질 때, CLK 신호가 켜지는 동안 **출력이 끊임없이 토글되면서** 예측 불가능한 상태가 발생할 수 있는데, 이를 **race 현상**이라고 부른다. 이를 해결하기 위해 추후 설명할 master-slave 구조로 JK flip-flop을 설계한다.

3. D 플립-플롭에 대해서 조사하시오.

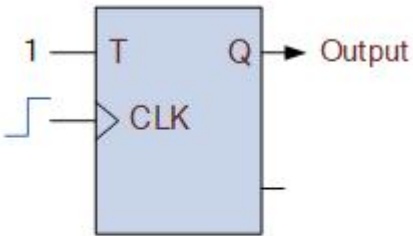
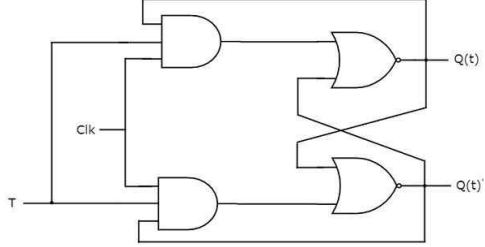
symbol	circuit design
	

간단한 SR flip-flop은 S, R 입력을 통해 상태를 활성화하거나 비활성화한다. 이 SR flip-flop의 Set, Reset 입력에 각각 데이터와 데이터의 역수를 입력하면 클럭이 활성화되었을 때는 데이터를 저장하고, 클럭이 비활성화되었을 때는 저장된 데이터를 유지하는 D flip-flop을 구현할 수 있다. D flip-flop의 진리표는 아래와 같다.

Clk	D	Q		Description
$\downarrow \gg 0$	X	Q	\overline{Q}	Memory no change
$\uparrow \gg 1$	0	0	1	Reset Q \gg 0
$\uparrow \gg 1$	1	1	0	Set Q \gg 1

회로에서 볼 수 있듯이, D = 0일 때는 SR flip-flop의 Reset 입력이 활성화되고, 반대로 D = 1일 때는 Set 입력이 활성화되기 때문에 간단히 D flip-flop을 구현할 수 있다.

4. T 플립-플롭에 대하여 조사하시오.

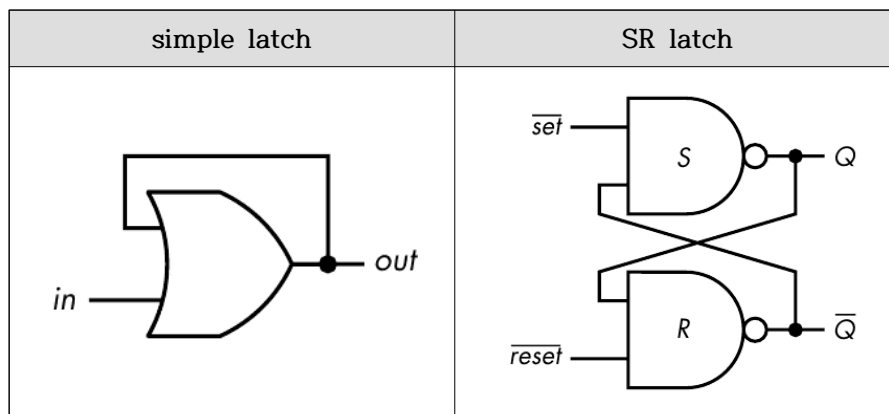
symbol	circuit design
	

T flip-flop은 기존의 JK flip-flop에서 J, K로 구분되었던 입력을 T 입력 하나로 합친 flip-flop으로, JK flip-flop의 변형이다. D flip-flop이 gated SR flip-flop의 각 입력 S, R에 D와 \overline{D} 를 넣었던 것과 달리, JK flip-flop은 J와 K에 같은 T 입력을 제공한다. 따라서, 실제 동작은 JK flip-flop에 00, 11 입력을 넣는 것과 동일하게 동작하게 된다.

CLK	T	Q	Q+1	Action
\uparrow	0	0	0	No change
\uparrow	1	1	0	Toggle
\uparrow	1	0	1	

5. Latch의 기능에 대해서 조사하시오.

Latch는 클록에 의존하지 않고 1bit의 정보를 저장할 수 있는 메모리 소자이다. sequential logic circuit의 기본 요소가 되지만, clock edge에 의해 동작하는 대신 level에 의해 동작한다. level-triggered 방식은 clock pulse가 특정 level(1일 때는 high-level, 0일 때는 low-level)이 되었을 때 회로를 활성화하는 방식으로, 주로 래치에서 사용되는 방식이다. 더 구체적으로는 7번에서 설명할 예정이다.

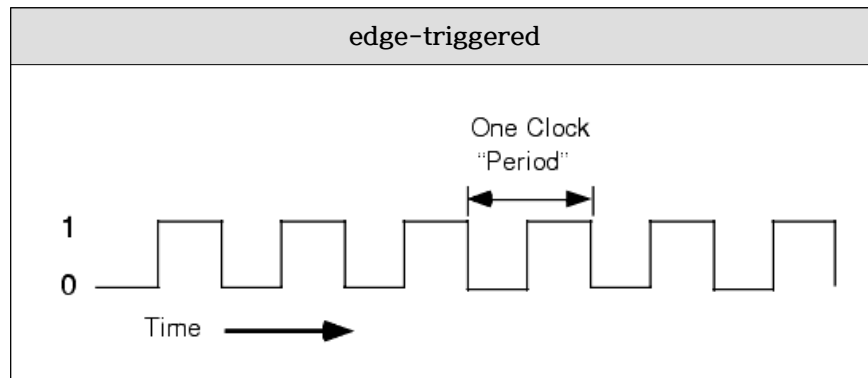


왼쪽에 그려진 간단한 latch 회로부터 살펴보자. 초기 상태로 in이라는 입력에 0이라는 값이 입력되며, 이에 대한 OR gate의 출력이 0이 된다고 가정한다. 외부 입력이 없는 한 자신의 출력값을 동시에 입력값으로 받으면서(0 OR 0) 출력이 0인 상태를 유지한다.

만약 입력에 새로 1이라는 입력이 들어올 경우, 출력이 1로 변하면서, 출력된 값이 다시 1로 입력된다. 이에 따라 회로는 출력이 1(1 OR 1)인 상태를 유지한다. 만약 새로 입력으로 0이 들어오더라도, 이미 출력 1이 입력으로 유지되고 있으므로 OR 회로의 입력은 1(1 OR 0)을 유지한다. 이처럼 **출력을 다시 입력으로 받는 feedback 회로를 통해 값을 저장하는 구조의 회로를 latch**라고 부른다.

하지만 위와 같은 단순한 회로는 값을 한 번 1로 입력받은 이후에는 더 이상 저장되는 값을 변경할 수 없으므로 유용성이 떨어진다. 이에 따라 등장하는 것이 앞선 flip-flop에서도 자주 보았던 SR latch 회로이다. SR latch는 Set, Reset 입력에 따라 값을 저장하거나, 활성화/비활성화할 수 있다. 단, S, R에 동시에 1이 입력될 경우 부정의된 입력인 것은 동일하므로 유의할 필요가 있다.

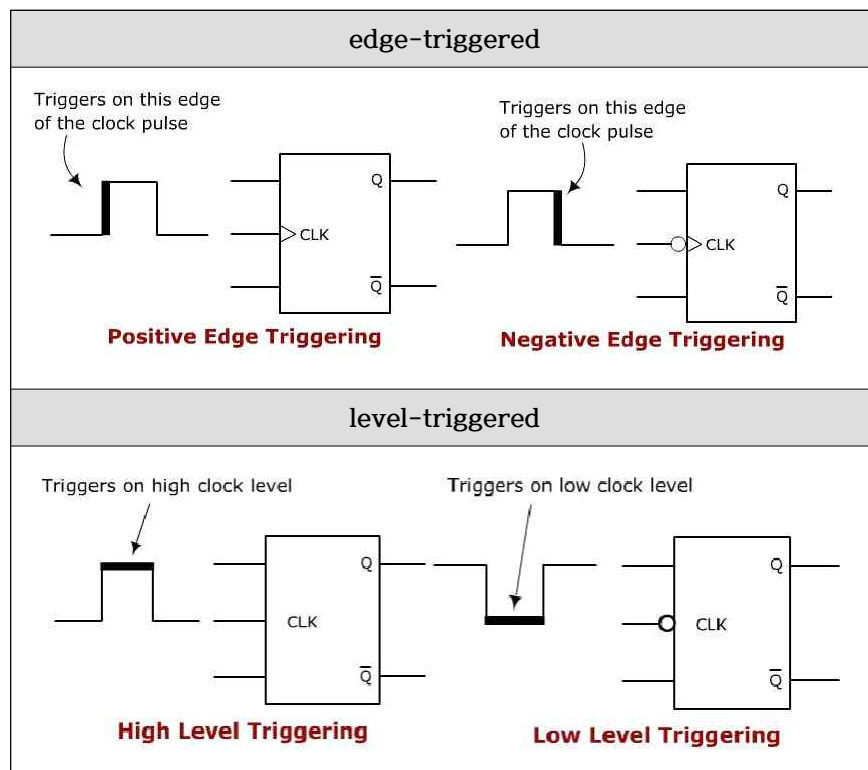
6. Clock의 기능에 대해서 조사하시오.



클럭 신호는 논리 상태 High(1), Low(0)이 주기적으로 반복되어 나타는 신호를 말하며, sequential 회로의 상태 변화를 위해 동기 처리를 하는 데에 사용된다. 이 때 신호의 크기는 주로 전압으로 나타내며, 0V를 Low 상태로, 3.3V, 5V 등을 High 상태로 두는 것이 일반적이다.

클럭 신호의 요소는 주로 신호의 크기, 주기를 결정하는 주파수, 한 주기 동안 상태 High와 Low의 비율을 의미하는 duty cycle로 구성된다.

7. Edge-Trigger의 기능에 대해서 조사하시오.

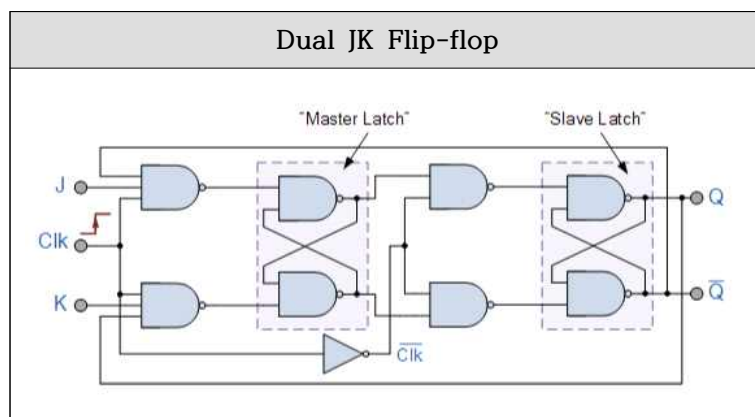


디지털 회로에서 신호를 읽는 방식은 다양하지만, 대표적으로 클록을 읽을 때 level-triggered 방식과 edge-triggered 방식이 나뉜다. edge-triggered 방식과 level-triggered의 정의는 위와 같은 다이어그램으로 간단히 나타낼 수 있다.

간단히 말해 edge-triggered 방식은 클록 신호의 상태가 변화되는 그 순간을 기준으로 값이 변화되고, 클록 신호가 고정된 동안에는 상태가 유지된다. 이것을 다른 말로는 클록신호가 천이(transit)할 때에만 값이 영향을 받는다고 이야기한다. 클록 신호가 0에서 1로 바뀌는 순간 상태를 변화시킨다면 rising-edge, front-edge, leading-edge triggered 방식이라고 부르며, 1에서 0으로 바뀌는 순간 상태를 변화시킨다면 falling-edge, back-edge, trailing-edge triggered 방식이라고 부른다.

반면에 level-triggered 방식은 클록 신호가 High 또는 Low 상태에 있을 때 순간 동안 동안 출력이 반영된다. 이 때 High 신호가 있을 때 출력이 반영되고, Low 신호에 있을 때는 출력을 반영하지 않는다면 high-level triggered 방식, low-level triggered 방식이라고 부른다.

8. Master-Slave의 기능에 대해서 조사하시오.



앞서 JK flip-flop을 설명할 때 이야기했던 race 현상을 방지할 수 있는 것이 바로 master-slave 회로이다. master-slave JK flip-flop의 경우 직렬 연결된 두 JK flip-flop을 이용해서 타이밍 문제를 해결하는데, 이 때 왼쪽의 먼저 연결된 flip-flop을 master flip-flop, 오른쪽의 나중에 연결된 flip-flop을 slave flip-flop이라고 부른다.

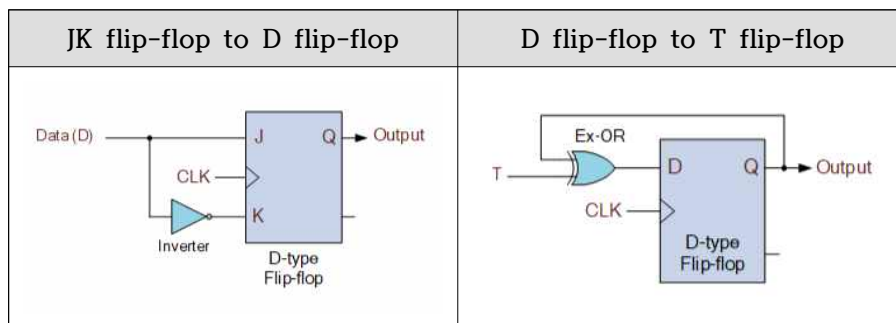
실제 구조를 보면, master flip-flop과 slave flip-flop은 서로 반대의 clock

signal이 연결된다. 먼저 master flip-flop의 클럭 신호가 1일 때, 마스터 플립 플롭의 값이 결정되고 그 시간 동안 slave flip-flop은 비활성화된다. 클럭 신호가 0이면, 반대로 slave flip-flop만 활성화된다.

이와 같은 구조에 따라, **이전 master flip-flop의 falling-edge 바로 직전의 값이 출력값으로 결정된다.** 결정된 출력값이 그대로 slave flip-flop의 입력값이 되므로, 최종적인 출력값은 clock의 falling-edge에서 결정되며 다음 클럭 주기까지 저장되게 된다. 반대로 master flip-flop에 클럭의 보수를 입력, slave flip-flop에 클럭을 입력할 경우 rising-edge에서 결과값이 출력되도록 할 수 있다.

JK flip-flop뿐만 아니라 SR flip-flop, D flip-flop 등도 master-slave 구조를 통해 다양한 신호 동기화 문제를 해결할 수 있다. 이 때 master-slave SR flip-flop은 master-slave JK flip-flop에서 마지막의 feedback 회로를 생략하는 것만으로 구현할 수 있다.

9. 기타 이론



JK flip-flop에서 feed-back 회로를 생략하는 것만으로 SR flip-flop을 구현할 수 있듯이, 조금의 수정만으로 한 flip-flop을 다른 flip-flop처럼 사용할 수 있다. 왼쪽은 JK flip-flop을 D flip-flop으로 바꾸는 방법이며, 오른쪽은 D flip-flop을 T flip-flop을 바꾸는 방법이다.