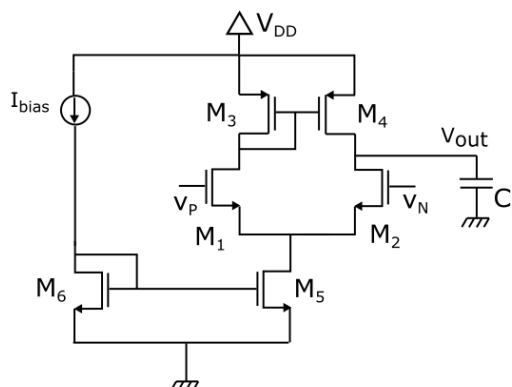


**EMPIECE CADA EJERCICIO EN UNA HOJA NUEVA**

**Ejercicio 1 (2 ptos., 30min.)**

Se ha diseñado el siguiente amplificador haciendo uso de una tecnología de diseño CMOS de 50nm,



Con las siguientes características:

	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	90	40
$\lambda (V^{-1})$	0.6	0.5
$V_{th} (V)$	0.28	-0.28

$V_{DD} = 1.2 V$ ,  $L = 100 nm$  para todos los transistores, todos los transistores están polarizados en saturación.

$$(W/L) M_1 = (W/L) M_2 = 30$$

$$(W/L) M_3 = (W/L) M_4 = 60$$

$$(W/L) M_5 = 20$$

$$(W/L) M_6 = 40$$

$$C_L = 500 fF, 1 fF = 10^{-15} F$$

$V_P$  y  $V_N$  son señales diferenciales

Responde a las siguientes cuestiones:

- Si  $V_{GS6} = 0.6 V$ , calcula  $I_{bias}$ .
- Calcula la ganancia de DC  $V_{out}/(V_P - V_N)$  en dB para la  $I_{bias}$  calculada anteriormente.
- Teniendo en cuenta, únicamente, la dependencia entre la ganancia y la resistencia de salida, ¿qué le ocurre a la ganancia si reducimos  $I_{bias}$ ? Justifica la respuesta.
- ¿Qué le ocurre al ancho de banda del amplificador si reducimos  $C_L$ ? Justifica la respuesta.

Nota: Todas las respuestas deben estar justificadas. No se valorarán respuestas correctas sin justificación.

## Ejercicio 2 (3,5 ptos., 50min.)

Se quiere implementar un circuito digital para calcular el valor de un polinomio.

$$f(x) = a_0 + a_1x + a_2x^2 + a_3x^3 + a_4x^4 + a_5x^5$$

Para su implementación, es más eficiente transformar las operaciones del algoritmo de modo que se puedan realizar en forma de multiplicación y suma (MAC). La transformación se realiza sacando factor común  $x$  sucesivamente:

$$\begin{aligned}f(x) &= a_0 + x(a_1 + a_2x + a_3x^2 + a_4x^3) \\f(x) &= a_0 + x(a_1 + x[a_2 + a_3x + a_4x^2]) \\f(x) &= a_0 + x(a_1 + x[a_2 + x\{a_3 + a_4x\}])\end{aligned}$$

Los valores de los coeficientes son los siguientes:

$$a_0 = 1,1423 \quad a_1 = -0,9867 \quad a_2 = 0,4312 \quad a_3 = 0,1824 \quad a_4 = -0,1101$$

Los puertos del circuito son los siguientes:

- Clk (entrada, 1 bit): reloj, activo por flanco de subida
- Reset (entrada, 1 bit): inicialización asíncrona, activo por nivel alto
- EnaIn (entrada, 1 bit): un nivel alto indica que hay un nuevo dato a procesar en la entrada xData, dura un ciclo de reloj.
- xData (entrada, 10 bits con signo: entrada de datos)
- EnaOut (salida, 1 bit): un nivel alto indica que hay un resultado nuevo en la salida, dura un ciclo de reloj.
- yData (salida, 16 bits con signo): salida de datos

Como requisitos para la implementación, se desea (por orden de importancia):

1. Tanto la entrada como la salida de datos del circuito debe quedar registrada.
2. Que el circuito funcione a la máxima frecuencia de reloj posible.
3. La latencia entre el dato de entrada y el de salida debe ser la menor posible.

Se pide:

1. Transformar los coeficientes de la ecuación de modo que el algoritmo se pueda implementar usando operandos de 10 bits con signo.
2. Enumerar las operaciones del algoritmo, en el orden en que deban realizarse.
3. Razonar el tipo de arquitectura a utilizar, en función de los requisitos. El operador mínimo a utilizar es el MAC (*multiplication and addition*).
4. Dibuje un esquemático de la ruta de datos del circuito a implementar, especificando el número de bits de cada señal.
5. Escriba el código VHDL que describe la ruta de datos. Sólo es necesario escribir la arquitectura, incluyendo la declaración de las señales necesarias.
6. Dibuje el diagrama de estados de la máquina de estados necesaria para controlar la ruta de datos. ¿Cuántos ciclos de reloj necesita cada cálculo del polinomio?

### Ejercicio 3 (1 pto., 20min.)

Se tiene un inversor I0 conectado a 32 puertas.

- a) Indique el retardo en conmutar y cómo se puede reducir dicho retardo si disponemos de todos los inversores que necesitemos. Dibuje el árbol de inversores resultante. Indique el retardo conseguido y el número de inversores utilizados.

Se conecta este inversor I0 también a un pin de salida con una capacidad equivalente de 1050 puertas elementales.

- b) Indique el retardo de I0 en función del retraso estándar de un inversor ( $t_{pi}$ )  
c) Queremos reducir el retardo de I0 a un valor óptimo, sin restricciones de área. Indique el número de inversores de tamaño creciente necesarios, el retardo obtenido y el área incrementada.  
d) Si en vez de la solución óptima, utiliza tres inversores de tamaño creciente ( $w, 3w, 9w$ ) indique el retardo obtenido y el área incrementada.

	Retardo	Incremento de área
Inicial		-
W, 3W, 9W		
Solución óptima		

**Nota:** la solución debe incluir una tabla como esta.

### Ejercicio 4 (3,5 ptos., 50min.)

Del siguiente layout, conteste a las siguientes preguntas:

- a) Esquema del circuito a nivel de transistores  
b) Indique el estado de todos los transistores para los valores de las entradas CBA="110" y CBA="001"  
c) Determine la funcionalidad del circuito, mediante sus funciones lógicas o un esquema de puertas.  
d) Corte transversal del circuito por la sección X-Y.

