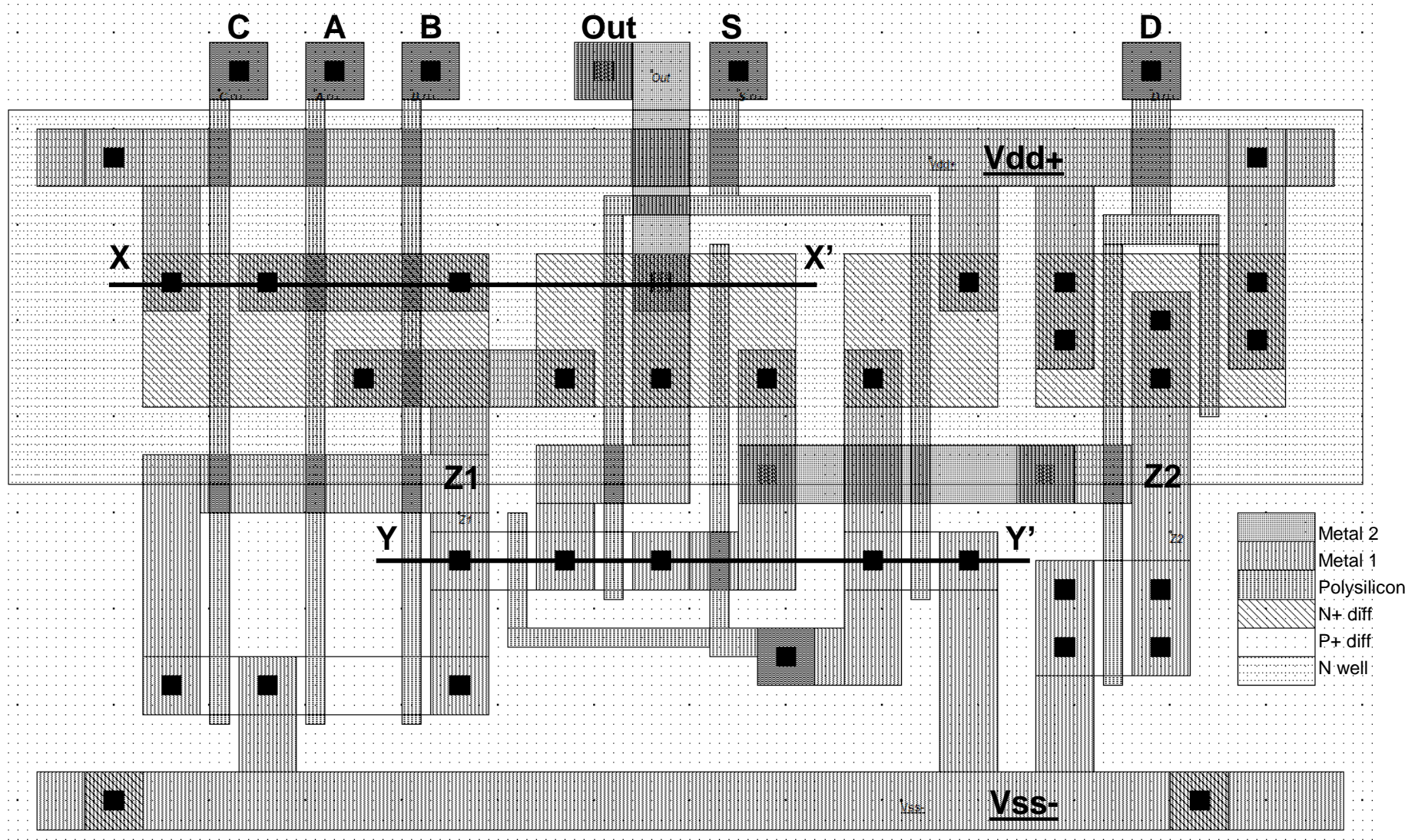


**Problema 1 (50 min, 4 pto)**

En el esquema de la figura adjunta se muestra el esquema físico de un circuito digital, donde A, B, C, D y S son entradas, Out es salida y Z1 y Z2 son señales intermedias.

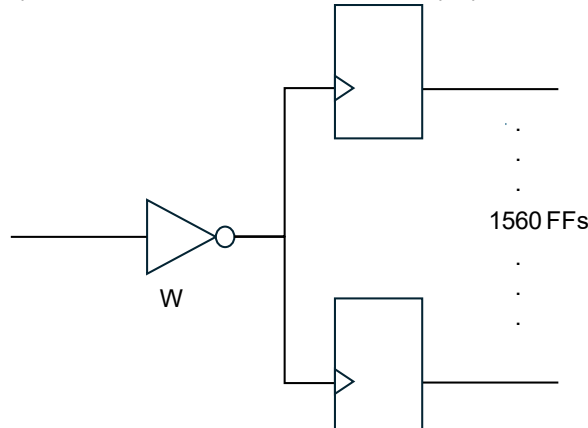
- Enumere las capas que tienen los contactos de las líneas Vdd y Vss y explique para qué sirven
- Obtenga el esquema de transistores del layout de la figura
- Obtenga la función lógica de las señales intermedias Z1 y Z2, y de la salida Out
- Dibuje el esquema de puertas del circuito
- Obtenga la vista en alzado de los cortes XX' e YY'



**Problema 2 (30 min, 3 pto)**

Un circuito digital tiene una entrada de reloj que va a 1560 biestables (FFs). Se supone una carga para cada FF equivalente a la de un inversor de tamaño mínimo.

a) Calcular el retraso y el área de un árbol de una sola etapa, como el de la figura 1, en función del retardo ( $t_{pi}$ ) y del área ( $A_0$ ) del inversor de tamaño mínimo ( $W$ ).

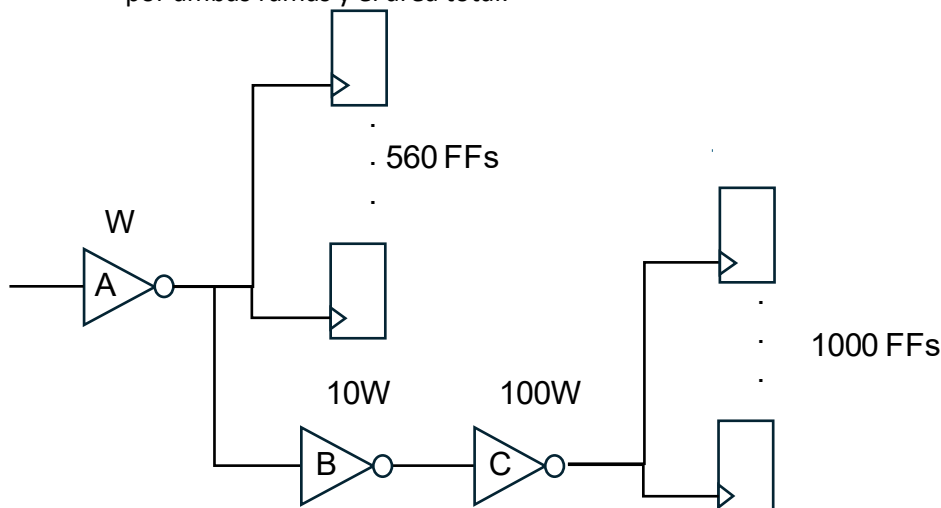


b) Calcular el retraso y el área de un árbol donde el máximo *fanout* sea 2.

c) Se quiere sustituir el inversor de la figura por una cadena de inversores de tamaño creciente para minimizar el retardo. Indique el número de inversores necesarios, el retardo obtenido y el área incrementada.

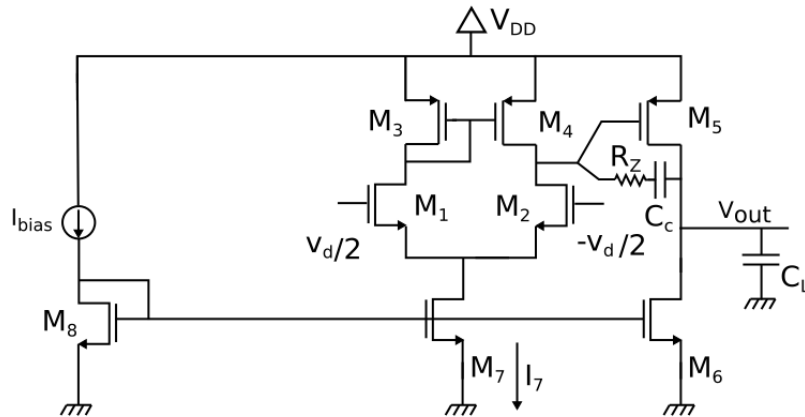
d) Se modifica el circuito tal y como se muestra en la figura 2.

- Indique cuánto tarda en conmutar el inversor A
- Indique el retardo de la línea de reloj desde la salida del inversor A a la salida del inversor C
- Proponga una solución para incluir una pareja de inversores de tamaño  $\beta W$  y  $\phi W$  en la rama de los 560 FFs, tanto para reducir el retardo del inversor A como para equilibrar el retardo por las dos ramas del nuevo circuito. Indique el retardo resultante por ambas ramas y el área total.



**Problema 3 (30 min, 2.5 pto)**

Se pretende diseñar un amplificador operacional como el mostrado en la figura, con entrada diferencial y salida single-ended.



Las especificaciones que debe cumplir el diseño se muestran a continuación:

- **Potencia disipada máxima de 120  $\mu\text{W}$**  (se incluyen las tres ramas del diseño y se asume que las tres ramas consumen lo mismo).  $V_{DD} = 1\text{ V}$ .
- a) Defina la corriente  $I_{bias}$  asumiendo que los transistores  $M_6$ ,  $M_7$  y  $M_8$  son iguales (0,5 pts).
- **Tensiones de salida mínima y máxima de 0.8 V y 0.2 V**, respectivamente.
- b) Use la especificación anterior para diseñar la relación de aspecto  $W/L$  de  $M_5$  y  $M_6$  (0,5 pts).
- **Producto ganancia por ancho de banda mayor o igual que 100 MHz.**
- c) Use la especificación anterior para diseñar la relación de aspecto  $W/L$  de  $M_1$  y  $M_2$  (0,5 pts).
  - d) Calcule la ganancia del amplificador operacional ( $V_{out}/V_d$ ) (0,5 pts).
  - e) Justifique el punto de operación del transistor  $M_8$  (0,5 pts).

Datos y ecuaciones:

$$\mu_P C_{ox} = 45 \mu\text{A}/\text{V}^2 \quad \lambda_P = 0.3 \text{ V}^{-1} \quad V_{thp} = -0.3 \text{ V}$$

$$\mu_N C_{ox} = 90 \mu\text{A}/\text{V}^2 \quad \lambda_N = 0.6 \text{ V}^{-1} \quad V_{thn} = 0.3 \text{ V}$$

$$C_L = 1 \text{ pF}, C_c = 0.5 \text{ pF}, L = 200 \text{ nm (para todos los transistores)}$$

$$GBW = \frac{g_{m1}}{2\pi C_C}$$