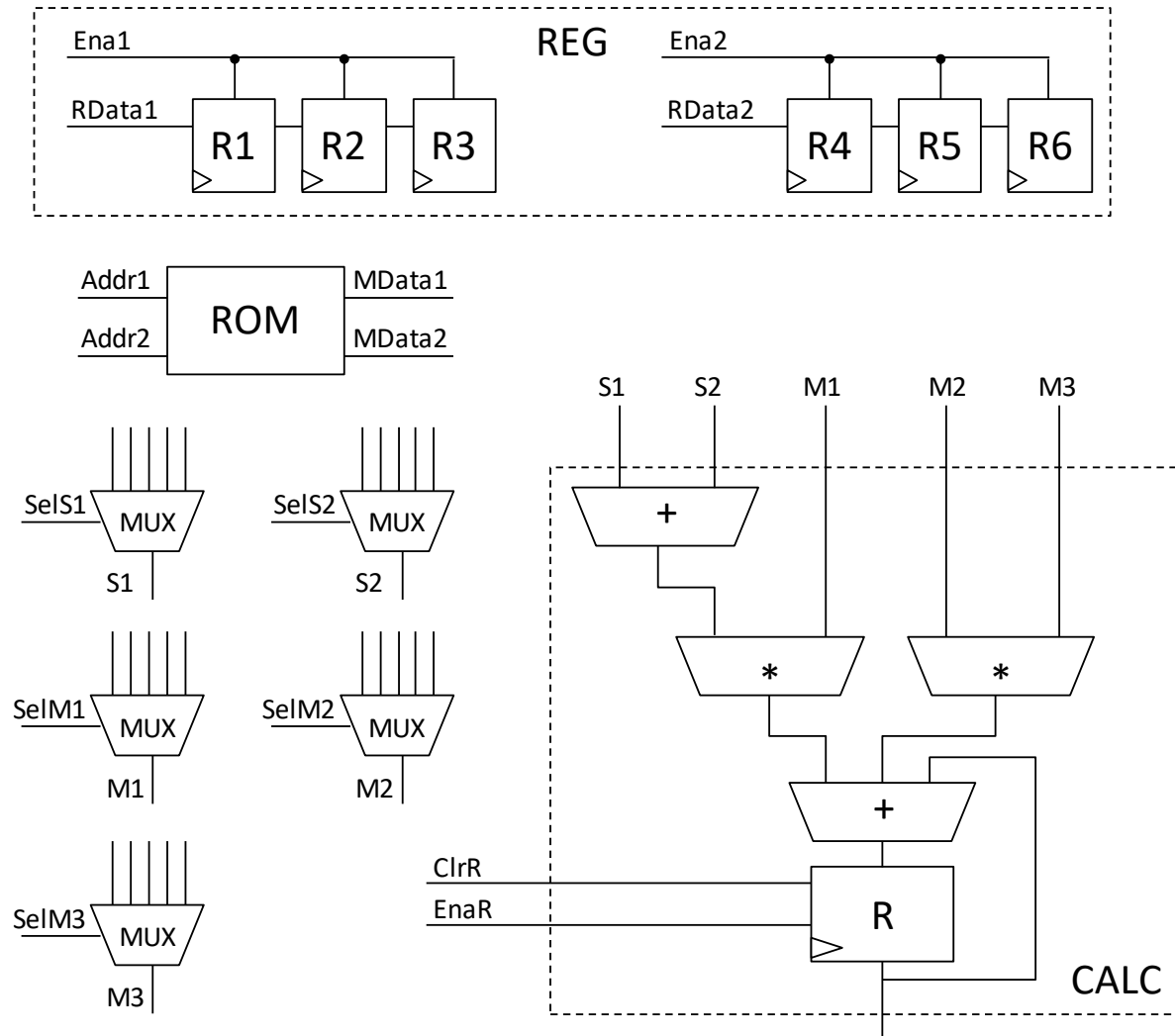


Problema 1 (50 min, 3,5 pts)

Se quiere implementar un algoritmo de procesamiento de datos utilizando la siguiente ruta de datos:



- R es un registro acumulador que almacena el resultado de la suma cuando EnaR se activa. Se pone a cero activando ClrR.
- Ri son registros de 8 bits. Cuando EnaX se habilita, RDataX pasa al primer registro y los distintos registros se van pasando sus valores en serie.
- MUX son multiplexores, y las señales SelXX seleccionan entre las distintas entradas de cada multiplexor.
- ROM es una memoria de doble puerto que almacena constantes de 8 bits.

Se desea utilizar dicha ruta de datos para implementar un filtro IIR paso bajo con la siguiente función de transferencia (Frec. de muestreo 24kHz, frecuencia de corte 8kHz):

$$F(z) = \frac{0,3318 + 0,9954z^{-1} + 0,9954z^{-2} + 0,3318z^{-3}}{1 + 0,9658z^{-1} + 0,5826z^{-2} + 0,0160z^{-3}}$$

La entidad del circuito completo es la siguiente (SIZE es una constante a determinar más adelante):

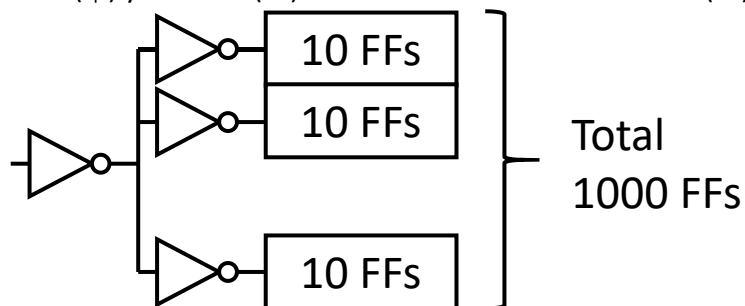
```
entity dsp is
  port ( Reset:  in  std_logic;
        Clk:    in  std_logic;
        Load:   in  std_logic;
        Data:    in  signed(7 downto 0);
        EoP:     out std_logic;
        Result:  out signed(SIZE-1 downto 0) );
end dsp;
```

- 1) Determinar la ecuación en diferencias de la función de transferencia, expresada en la forma que se considere adecuada para su implementación, teniendo en cuenta que la ruta de datos opera con números enteros, y que los coeficientes y los datos se implementan con 8 bits.
- 2) Enumerar la secuencia de operaciones que habría que realizar para implementar el algoritmo que realice la ecuación en diferencias con la ruta de datos propuesta. Determine cuántos ciclos de reloj son necesarios para realizar un cálculo, incluyendo las cargas de datos en los registros de entrada.
- 3) Determine los datos que deben conectarse a RData1 y RData2 y las entradas de dato necesarias en cada uno de los multiplexores. Dado que el tamaño de los multiplexores aumenta con el número de entradas, se valorará que tengan el menor número de entradas, e incluso la posibilidad de eliminar algún multiplexor.
- 5) Dibujar el diagrama de una máquina de estados que controle dicha ruta de datos para implementar el algoritmo. El cálculo empieza con la activación de la entrada *Load*, y al acabar se activará la salida *EoP* para indicar que se ha terminado y que hay un dato en la salida. Especificar en una tabla los valores de las salidas correspondientes a cada estado.
- 6) Describa en VHDL un modelo de la memoria ROM. Debe ser asíncrona y contener los coeficientes necesarios para implementar el algoritmo.
- 7) Asigne el número de bits adecuado a cada una de las señales del circuito CALC. Describa en VHDL los circuitos REG y CALC. Incluya la declaración de las señales que se utilicen.
- 8) Determine el tamaño (SIZE) de la salida total del circuito (Result) y escriba la descripción VHDL para generarla.

Problema 2 (20 min, 1 pto)

Se quiere implementar un árbol de reloj para un circuito con 1000 biestables, cada uno de ellos con una carga equivalente a la de un inversor de tamaño mínimo.

a) En una primera aproximación, se propone el siguiente árbol de reloj. Calcular su retraso y área en función del retardo (t_{pi}) y del área (A_0) del inversor de tamaño mínimo (W).



b) Calcular el retraso y el área si el árbol es binario (fanout 2).

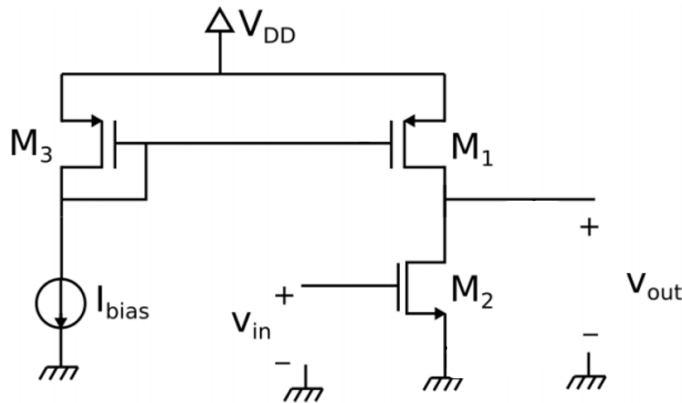
c) Proponga un árbol que minimice el retraso y el área. Calcule su retraso y área.

Rellene la siguiente tabla con los resultados de los apartados anteriores

	Apartado a)	Apartado b)	Apartado c)
Retraso (t_p)			
Área (A)			

Problema 3 (30 min, 2 pts)

El siguiente circuito se ha implementado con tecnología CMOS de 800 nm:



	Nmos	Pmos
μ^*C_{ox} ($\mu A/V^2$)	110	50
λ (V^{-1})	0.04	0.04
V_{th} (V)	0.5	-0.6

$I_{bias} = 40 \mu A$, $V_{DD} = 2,5 V$
 $L = 800 nm$ para todos los transistores

	W (μm)
M_1	40
M_2	80
M_3	20

Dadas las siguientes características y proporciones de tamaño, responda a las preguntas:

- Calcule la corriente de polarización a través de M_1 y M_2 y la tensión V_{gs2}
 - Calcule la transconductancia g_{m2} y la resistencia r_{o2}
 - Calcule la ganancia V_{out}/V_{in} del circuito.
- Nota: no es necesario justificar el punto de funcionamiento de los transistores
- Si queremos duplicar la ganancia de tensión y podemos modificar el ancho de los transistores M_1 y M_2 , ¿cuáles serán los nuevos valores?

NOTA: Todas las respuestas deben estar justificadas. Las respuestas sin justificación o justificación incorrecta no serán puntuadas.

Problema 4 (45 min, 3.5 pts)

En el esquema de la figura adjunta se muestra el esquema físico de un circuito digital.

- Obtenga el esquema de transistores del layout de la figura.
- Dibuje una tabla con el estado de los transistores P y N que generan S_1 y S_2 .
- Indique las funciones lógicas simplificadas de *Salida* en función de las entradas (A, B, C y Sel)
- Dibuje la vista en alzado del corte XY