

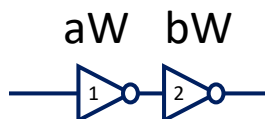
**Problema 1 (50 min, 5 ptos)**

En el esquema de la figura adjunta se muestra el esquema físico de un circuito digital.

- Obtenga el esquema de transistores del layout de la figura.
- Dibuje una tabla con el estado de los transistores P y N (*On* and *Off*) para las combinaciones de entradas  $ABCD = \{0101, 1011\}$ . No considere los transistores de los inversores. Nombre los transistores de izquierda a derecha y de arriba a abajo (también en el esquema de la sección a).
- Indique las funciones lógicas simplificadas de OUT en función de las entradas (A, B, C y D)
- Obtenga la vista en alzado del corte XY

**Problema 2 (40 min, 2,5 ptos)**

- Asumiendo que el retardo producido por inversores de tamaño mínimo (transistores con dimensiones L y W) es,  $t_{pi} = \ln 2 \cdot R_{eq} \cdot C_g$ , deducir el retraso que aparece en un inversor (1) de tamaño  $W'=aW$ , conectado a otro inversor (2) de tamaño  $W'=bW$  (a y b constantes).



- Se quiere construir una cadena de inversores de tamaño creciente para minimizar el retraso de una capacidad 300 veces superior a la capacidad de un inversor de tamaño mínimo ( $C_L=300C_g$ ). Si se quiere obtener el mínimo retraso posible, calcular:

- Número de etapas necesarias
- Factor de incremento de tamaño entre etapas
- Retraso total, en función del retraso del inversor de tamaño mínimo
- Estimación de área total, en función del área del inversor de tamaño mínimo
- Dimensiones (L, W) de los transistores de los tres primeros inversores de la cadena, suponiendo que las medidas de los transistores del inversor de tamaño mínimo son:

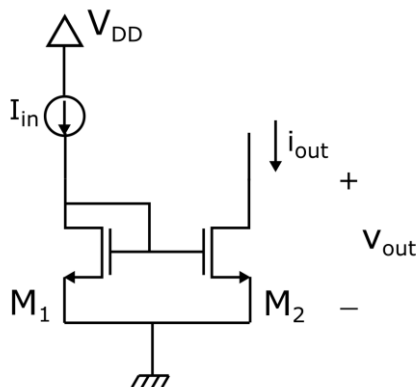
$$L_n = L_p = 2\lambda \quad W_n = 6\lambda \quad W_p = 15\lambda$$

- Se quiere diseñar un árbol de reloj para un circuito de 1200 biestables. El árbol que se quiere diseñar:
  - debe utilizar sólo inversores de tamaño mínimo
  - tener varias etapas (bifurcaciones), y que todas las etapas tengan aproximadamente el mismo *fanout*.
  - pin de entrada del reloj debe tener *fanout* 1 (debe haber un solo inversor a la entrada)
  - el reloj que llega a los biestables debe tener un número par de inversiones

Dibuje los árboles resultantes para 3 y 4 etapas y calcule su retraso.

**Problema 3 (40 min, 2,5 ptos)**

El siguiente espejo de corriente se ha implementado haciendo uso de una tecnología de 50nm. Dadas las siguientes características y relaciones de tamaño de los transistores, responda a las preguntas:



	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	100	50
$\lambda (V^{-1})$	0.6	0.6
$V_{th} (V)$	0.28	-0.28

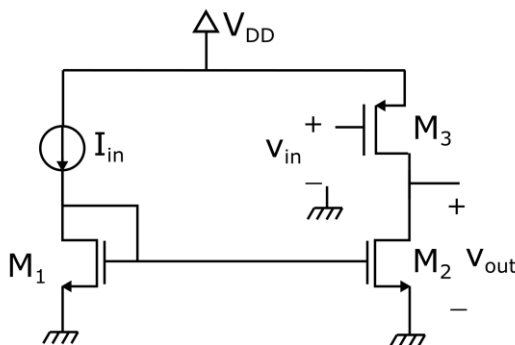
$$I_{in} = 20 \mu A, V_{DD} = 0.8 V$$

$L = 100 \text{ nm}$  para todos los transistores

	W/L
$M_1$	10

Asumir que todos los transistores del ejercicio están polarizados en saturación.

- Selecciona valores adecuados para W y L en el transistor M2 de forma que  $i_{out}$  sea igual a  $100 \mu A$ .
- Calcula la resistencia de salida del espejo de corriente
- Justifica por qué el mismo espejo de corriente implementado en una tecnología mayor (por ejemplo, de 800nm) tendría una resistencia de salida mayor
- ¿Cómo podrías aumentar la resistencia de salida? Con este objetivo, rediseña y dibuja un nuevo espejo de corriente añadiendo un solo transistor extra  $M_3$  que tenga una relación de tamaño W/L de 20. Asume que la puerta de  $M_3$  está conectada a un voltaje  $V_{bias}$  lo suficientemente grande como para que  $M_3$  esté polarizado en saturación. Calcula la nueva resistencia de salida.
- Calcula la ganancia  $|A_v| = |V_{out}/V_{in}|$  del siguiente circuito, donde (W/L)  $M_3 = 20$ , (este apartado es totalmente independiente del apartado d) ):



NOTA: Todas las respuestas deben ser justificadas. Respuestas sin justificación o con justificación incorrecta no se valorarán.