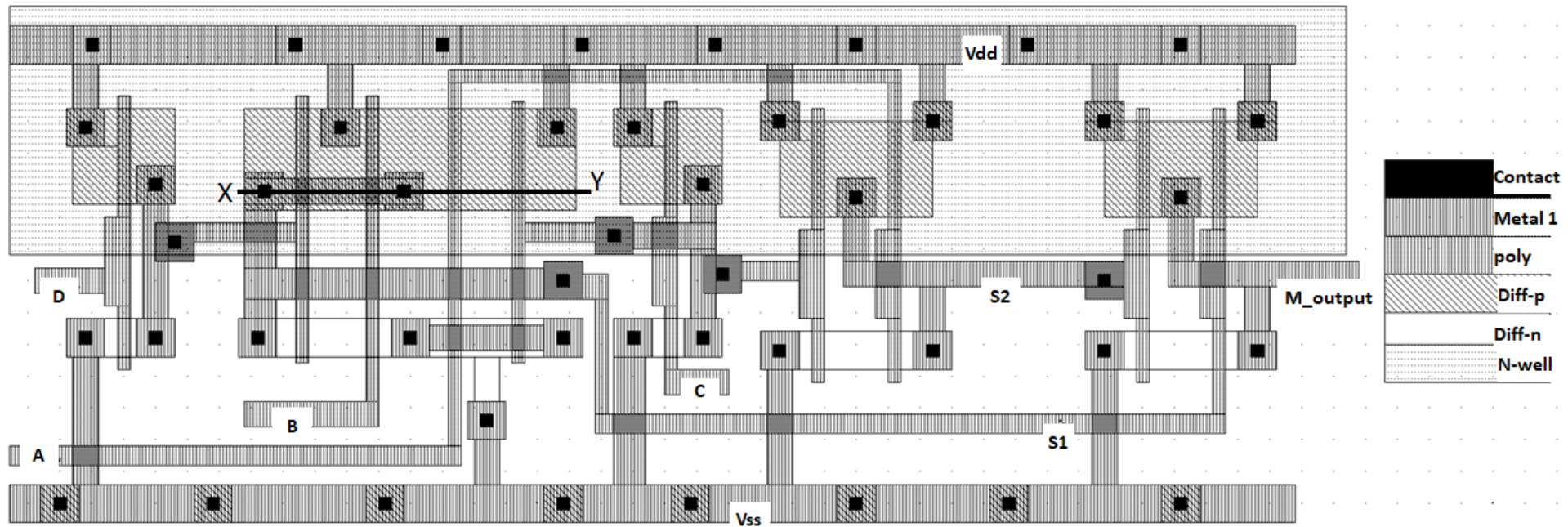


**Problema 1 (50 min, 4 ptos)**

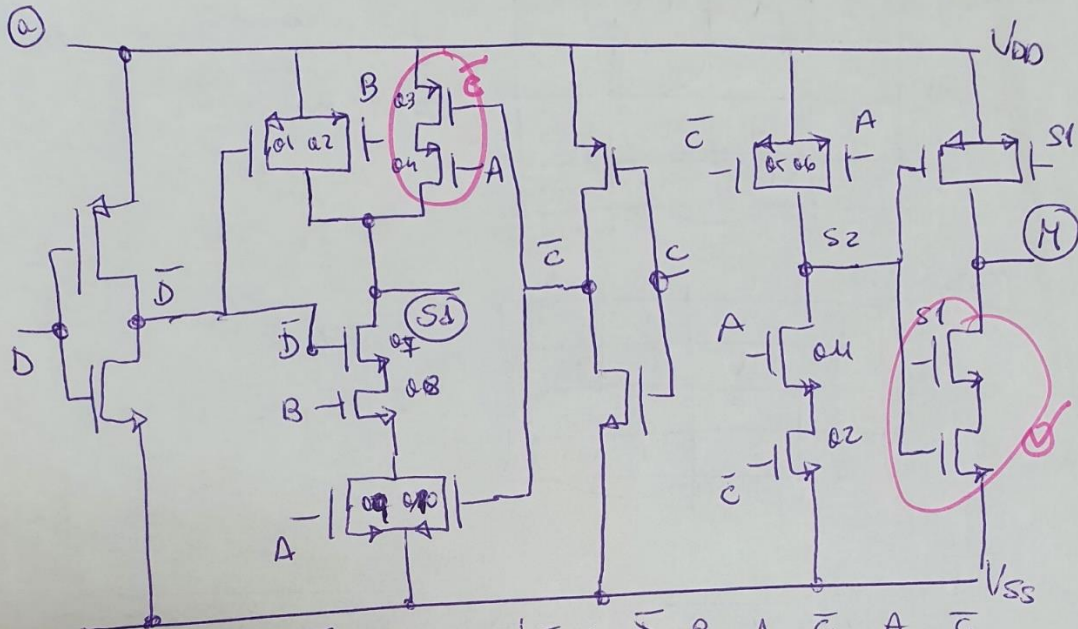
En el esquema de la figura adjunta se muestra el esquema físico de un circuito digital.

- a) Obtenga el esquema de transistores del layout de la figura.
- b) Dibuje una tabla con el estado de los transistores P y N (*On* and *Off*) que generan S1 y S2. No considere los transistores de los inversores. Nombre los transistores de izquierda a derecha y de arriba a abajo (también en el esquema de la sección a).
- c) Indique las funciones lógicas simplificadas de M\_output en función de las entradas (A, B, C y D)
- d) Obtenga la vista en alzado del corte XY

5  $\lambda$   
2.00  $\mu$ m



Problema 1



(b)

	$\bar{D}$	B	$\bar{C}$	A	$\bar{C}$	A	$\bar{D}$	B	A	$\bar{C}$	A	$\bar{C}$	$S_1$	$S_2$
A B C D	$\bar{D}$	B	$\bar{C}$	A	$\bar{C}$	A	$\bar{D}$	B	A	$\bar{C}$	A	$\bar{C}$	$S_1$	$S_2$
0 0 0 0	off	on	off	on	off	on	on	off	off	on	on	off	1	1
0 0 0 1	on	on	off	on	off	on	on	off	off	on	on	off	1	1
0 0 1 0	off	on	on	on	off	on	on	off	off	on	on	off	1	1
0 0 1 1	on	on	on	on	off	on	on	off	off	on	on	off	1	1
0 1 0 0	off	off	off	on	off	on	on	on	off	on	on	off	0	1
0 1 0 1	on	off	off	on	off	on	on	on	off	on	on	off	1	1
0 1 1 0	off	off	on	on	off	on	on	on	off	on	on	off	1	1
0 1 1 1	on	off	on	on	off	on	on	on	off	on	on	off	1	1
1 0 0 0	off	on	off	off	off	off	on	off	on	on	on	off	1	0
1 0 0 1	on	on	off	off	off	off	on	off	on	on	on	off	1	1
1 0 1 0	off	on	on	off	off	off	on	off	on	on	on	off	1	1
1 0 1 1	on	on	on	off	off	off	on	off	on	on	on	off	1	1
1 1 0 0	off	off	off	off	off	off	on	on	on	on	on	off	0	0
1 1 0 1	on	off	off	off	off	off	on	on	on	on	on	off	1	0
1 1 1 0	off	off	on	off	off	off	on	on	on	on	on	off	1	0
1 1 1 1	on	off	on	off	off	off	on	on	on	on	on	off	1	0



(c)

CD \ AB	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	0	1	1	0
10	1	1	1	1

$$S_1 = \bar{B} + D + \bar{A} \cdot C$$

$$S_1 = \overline{B \cdot \bar{D} (A + \bar{C})}$$
  

CD \ AB	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	1	1
10	0	0	1	1

$$S_2 = \bar{A} + C$$

$$S_2 = \overline{A \cdot \bar{C}}$$
  

(M)

$$M = S_1 \cdot S_2 = \overline{S_1 + S_2} = \overline{B \cdot \bar{D} (A + \bar{C}) + A \cdot \bar{C}}$$
  

$M_3 = AB > CD$

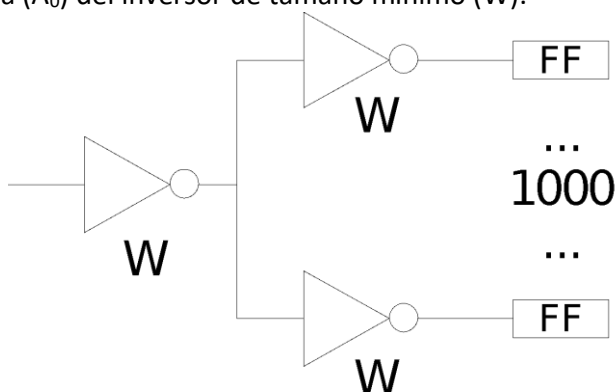
  

(d)

**Problema 2 (30 min, 2.5 pts)**

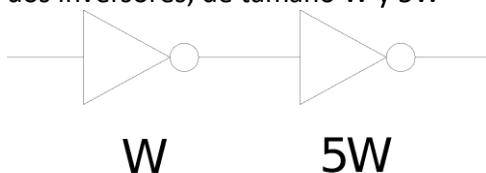
Se quiere implementar un árbol de reloj para un circuito con 1000 biestables, que suponen una carga equivalente a la de un inversor de tamaño mínimo.

a) Calcular el retraso y el área de un árbol de una sola etapa, como el de la figura, en función del retardo ( $t_{pi}$ ) y del área ( $A_0$ ) del inversor de tamaño mínimo ( $W$ ).



b) Calcular el retraso y el área de un árbol donde el máximo fanout sea 10.

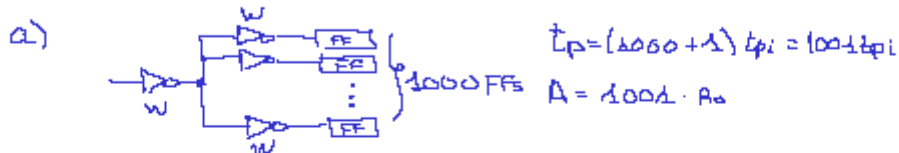
c) Para el árbol del apartado b) calcular el retraso y el área si cada uno de los inversores se sustituye por una cadena de dos inversores, de tamaño  $W$  y  $5W$



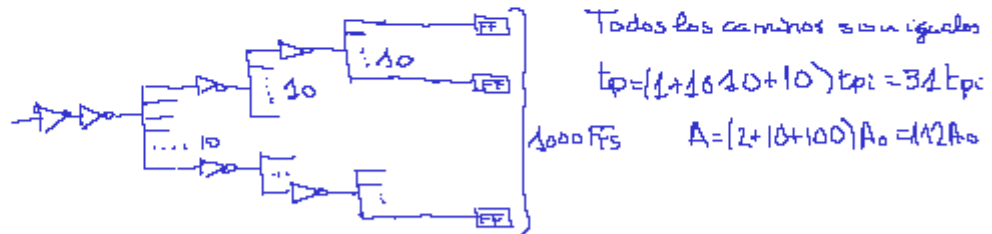
Rellenar la siguiente tabla con los resultados:

	Apartado a)	Apartado b)	Apartado c)
Retraso ( $t_p$ )			
Área ( $A$ )			

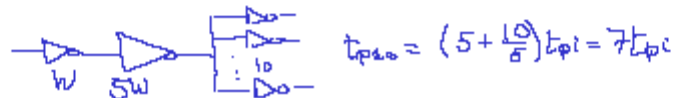
Problema 2



b)  $N^*$  de etapas =  $\log_{10} 1000 = 3$



c) Cada inductor se convierte en



No hace falta replicar los dos inversores iniciales

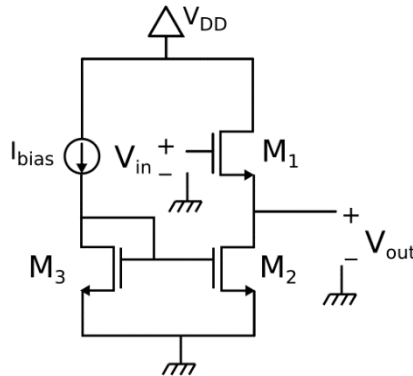
Total:  $t_p = (7 + 7 + 7) t_{pi} = 21 t_{pi}$

$A = (1 + 10 + 100) \cdot 6 \cdot A_0 = 666 A_0$

	a)	b)	c
Retraso	$1001 t_{pi}$	$111 t_{pi}$	$21 t_{pi}$
Area	$1001 A_0$	$111 A_0$	$666 A_0$

**Problema 3 (30 min, 2.5 pts)**

El siguiente circuito se ha implementado con una tecnología CMOS de 800-nm:



Dadas las siguientes características y relaciones de tamaño de los transistores:

	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	110	50
$\lambda (V^{-1})$	0.04	0.04
$V_{th} (V)$	0.5	-0.6

$$I_{bias} = 50 \mu A, V_{DD} = 2.5 V$$

$L = 800 \text{ nm}$  para todos los transistores

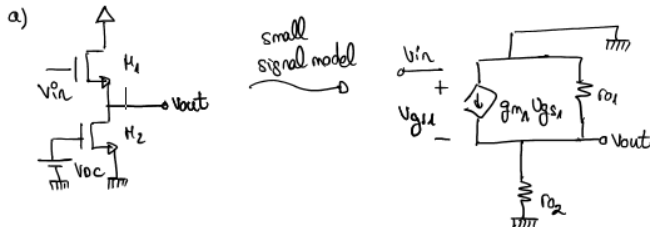
	W/L
M1	50
M2	100
M3	25

- Calcula la ganancia  $V_{out}/V_{in}$  del circuito en V/V. Nota: no es necesario justificar el punto de funcionamiento de los transistores (1 pt).
- Si se conecta un condensador de 1nF a la salida del circuito (entre  $V_{out}$  y masa) para que actúe de carga, ¿se mantendrá la ganancia si la señal de entrada  $V_{in}$  es una señal sinusoidal de 1 kHz de frecuencia? Justifica la respuesta (0.75 pts).
- Sin condensador, ahora implementamos el mismo circuito usando una tecnología CMOS de 50-nm con las mismas relaciones de aspecto que antes y las siguientes características:

	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	110	50
$\lambda (V^{-1})$	0.6	0.4
$V_{th} (V)$	0.28	-0.28

¿La ganancia aumenta o disminuye? Justifica la respuesta (0.75 pts).

NOTA: Todas las respuestas deben ser justificadas. Respuestas sin justificación o con justificación incorrecta no se valorarán.



$$I_{D2} = I_{D1} = 4I_{D3} = 200 \mu A.$$

$$V_{GS1} = V_{in} - V_{out}$$

$$g_{m1}(V_{in} - V_{out}) + \frac{-V_{out}}{r_{o1}} = \frac{V_{out}}{r_{o2}}$$

$$g_{m1}V_{in} = V_{out} \left[ \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + g_{m1} \right]$$

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_{m1} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}}}$$

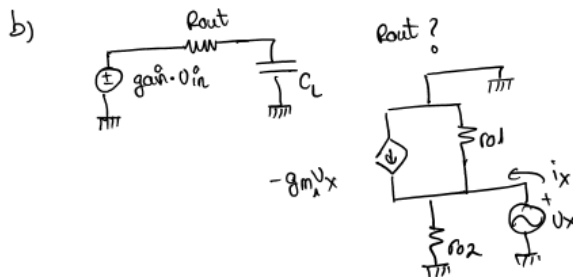
$$g_{m1} = \sqrt{2 \cdot \mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right) I_{D1}} = \sqrt{2 \cdot 110 \cdot 50 \cdot 200} = 1483.24 \mu A/V.$$

$$r_{o1} = \frac{1}{\lambda I_{D1}} = \frac{1}{0.01 \cdot 200 \cdot 10^{-6}} = 125 k\Omega.$$

$$r_{o2} = r_{o1} = 125 k\Omega.$$

$$\Rightarrow \frac{V_{out}}{V_{in}} = \frac{1483.24 \cdot 10^{-6}}{1483.24 \cdot 10^{-6} + \frac{1}{125 \cdot 10^3} + \frac{1}{125 \cdot 10^3}} = 1.$$

$$\boxed{\frac{V_{out}}{V_{in}} = 1 V/V.}$$



$$-g_{m1}V_x - \frac{V_x}{r_{o1}} + i_x = \frac{V_x}{r_{o2}}$$

$$i_x = V_x \left( \frac{1}{r_{o2}} + \frac{1}{r_{o1}} + g_{m1} \right)$$

$$R_{out} = \frac{V_x}{i_x} = \frac{1}{g_{m1} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}}}$$

$$= \frac{1}{1483.24 \cdot 10^{-6} + \frac{1}{125 \cdot 10^3} + \frac{1}{125 \cdot 10^3}} = 667 \Omega.$$

$$Z_c = \frac{1}{j\omega C} = \frac{1}{j \cdot 2\pi \cdot 10^3 \cdot 10^{-9}} \approx -160 j [k\Omega]$$

$$f = 1 kHz$$

$|Z_c| = 160 k\Omega \gg 667 \Omega \Rightarrow$  the gain will approximately remain.



$$c) \frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_{m1} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}}}$$

$g_{m1}$  remains  
 $r_{o1} = r_{o2} = \frac{1}{\lambda_N I_D}$ ;  $\lambda_N \uparrow \Rightarrow r_{o1}, r_{o2} \downarrow \Rightarrow \frac{V_{out}}{V_{in}} \downarrow \downarrow$

$$r_{o1} = r_{o2} = \frac{1}{0.6 \cdot 200 \cdot 10^{-6}} = 8.3 \text{ k}\Omega.$$

$$\frac{V_{out}}{V_{in}} = \frac{1483.24 \cdot 10^{-6}}{1483.24 \cdot 10^{-6} + \frac{1}{8200} + \frac{1}{8200}} = 0.86 \frac{V}{V} < 1V.$$

**Problema 4 (10 min, 1 pto)**

Explique razonadamente qué valor lógico no se transmite de manera óptima de la entrada a la salida en un transistor de paso NMOS. Explique cómo solucionaría este problema. Justifique su respuesta.

*El transistor de paso se utiliza como interruptor que permite poner una alta impedancia en una salida de un bloque, para desconectar este de una línea donde escriben varios elementos.*

*Un transistor de paso NMOS no transmite de forma óptima los '1' lógicos. Aunque en la entrada y en la puerta haya un '1' lógico ( $V_{dd}$ ), el nivel de la tensión en la salida no llega nunca a  $V_{dd}$ , porque la corriente de carga se reduce a cero cuando en la salida hay  $V_{dd} - V_{th}$ .*

*Además,  $V_{th}$  se modifica por el efecto del sustrato y  $V_o$ .*

*Esto se soluciona de forma práctica usando Puertas de Transmisión (transistor NMOS y transistor PMOS conectados por sus terminales D y S), de manera que el transistor NMOS conduzca correctamente los '0' y el PMOS los '1'.*