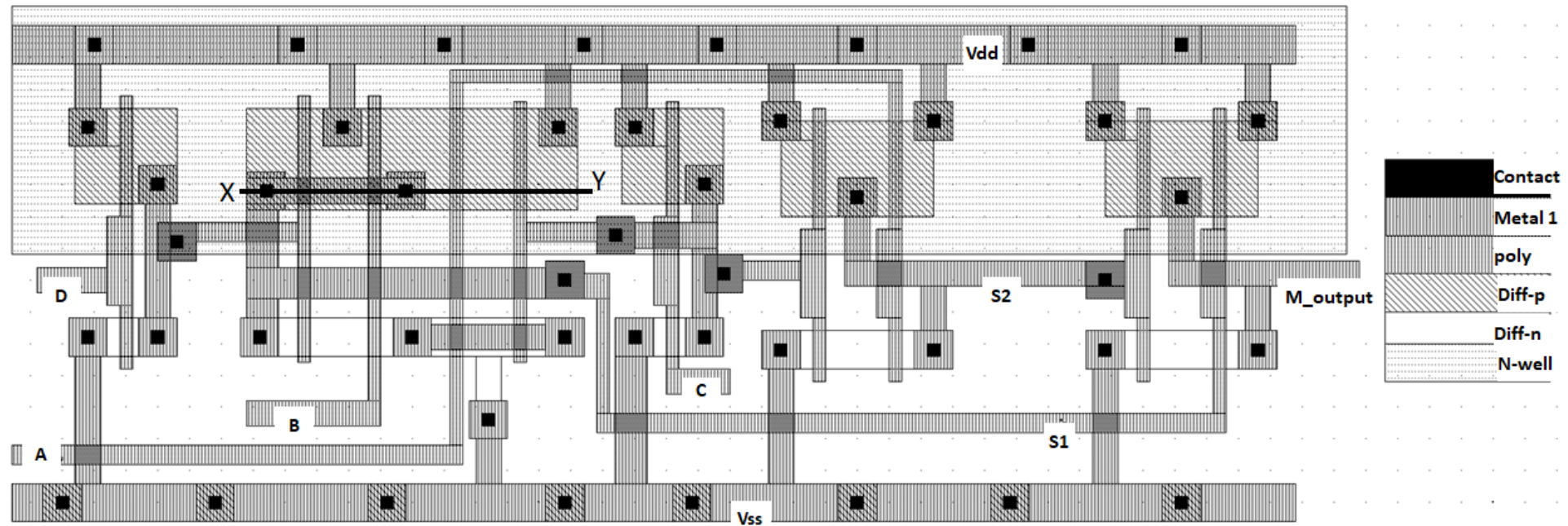


Problema 1 (50 min, 4 ptos)

En el esquema de la figura adjunta se muestra el esquema físico de un circuito digital.

- a) Obtenga el esquema de transistores del layout de la figura.
- b) Dibuje una tabla con el estado de los transistores P y N (*On* and *Off*) que generan S1 y S2. No considere los transistores de los inversores. Nombre los transistores de izquierda a derecha y de arriba a abajo (también en el esquema de la sección a).
- c) Indique las funciones lógicas simplificadas de M_output en función de las entradas (A, B, C y D)
- d) Obtenga la vista en alzado del corte XY

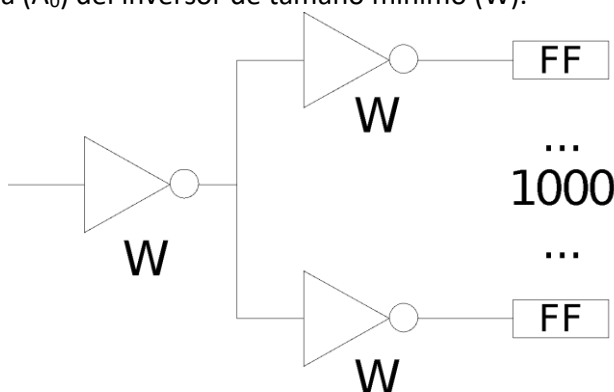
5 lambda
2.00um



Problema 2 (30 min, 2.5 pts)

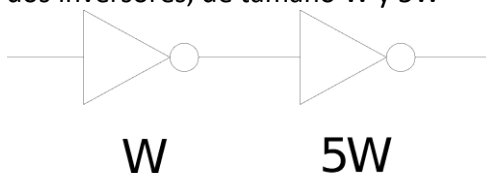
Se quiere implementar un árbol de reloj para un circuito con 1000 biestables, que suponen una carga equivalente a la de un inversor de tamaño mínimo.

a) Calcular el retraso y el área de un árbol de una sola etapa, como el de la figura, en función del retardo (t_{pi}) y del área (A_0) del inversor de tamaño mínimo (W).



b) Calcular el retraso y el área de un árbol donde el máximo fanout sea 10.

c) Para el árbol del apartado b) calcular el retraso y el área si cada uno de los inversores se sustituye por una cadena de dos inversores, de tamaño W y $5W$

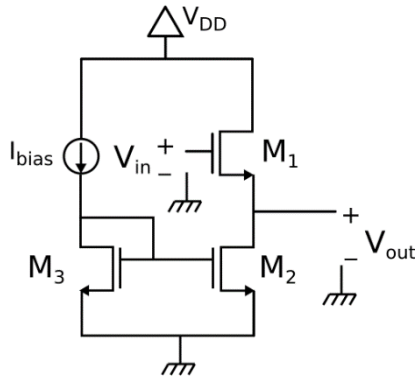


Rellenar la siguiente tabla con los resultados:

	Apartado a)	Apartado b)	Apartado c)
Retraso (t_p)			
Área (A)			

Problema 3 (30 min, 2.5 ptos)

El siguiente circuito se ha implementado con una tecnología CMOS de 800-nm:



Dadas las siguientes características y relaciones de tamaño de los transistores:

	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	110	50
$\lambda (V^{-1})$	0.04	0.04
$V_{th} (V)$	0.5	-0.6

$$I_{bias} = 50 \mu A, V_{DD} = 2.5 V$$

$L = 800 \text{ nm}$ para todos los transistores

	W/L
M1	50
M2	100
M3	25

- Calcula la ganancia V_{out}/V_{in} del circuito en V/V. Nota: no es necesario justificar el punto de funcionamiento de los transistores (1 pt).
- Si se conecta un condensador de 1nF a la salida del circuito (entre V_{out} y masa) para que actúe de carga, ¿se mantendrá la ganancia si la señal de entrada V_{in} es una señal sinusoidal de 1 kHz de frecuencia? Justifica la respuesta (0.75 pts).
- Sin condensador, ahora implementamos el mismo circuito usando una tecnología CMOS de 50-nm con las mismas relaciones de aspecto que antes y las siguientes características:

	NMOS	PMOS
$\mu^*C_{ox} (\mu A/V^2)$	110	50
$\lambda (V^{-1})$	0.6	0.4
$V_{th} (V)$	0.28	-0.28

¿La ganancia aumenta o disminuye? Justifica la respuesta (0.75 pts).

NOTA: Todas las respuestas deben ser justificadas. Respuestas sin justificación o con justificación incorrecta no se valorarán.

Problema 4 (10 min, 1 pto)

Explique razonadamente qué valor lógico no se transmite de manera óptima de la entrada a la salida en un transistor de paso NMOS. Explique como solucionaría este problema. Justifique su respuesta.