



GEBZE TEKNİK ÜNİVERSİTESİ  
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 0x0 Deney Raporu

Lojik Devreler ve Tasarım Laboratuvarı Dersine Hazırlık

Hazırlayanlar
1) 1801022022 – Alperen Karataş
2)

## 1. Giriş

Bu deney kapsamında ELM235 laboratuvar dersi kapsamında kullanılacak olan Quartus Prime [1] bilgisayar yazılımının kurulumu **Quartus Prime - Windows Kurulum** belgesindeki yönergeler takip edilerek yapılmıştır. **Quartus II Introduction** [2] belgesindeki yönergeler 9. kısıma kadar takip edilerek temel bir lojik devrenin şematığı çizilmiş ve temel düzeyde simulasyonları yapılmıştır. Öncelikle kurulum dosyaları indirilerek program belirli konfigürasyonlar yapılarak kurulmuştur. Yazılım çalıştırılıp içerisinde yeni bir proje oluşturulmuştur. Bu projenin içeriğine yeni bir şematik dosyası eklenmiştir ve araç çubuğundaki simgeler yardımı ile lojik kapılar, giriş-çıkış pinleri seçilmiş ve devre bağlantıları yapılmıştır. Şematığı kurulan devre derlenmiş ve yazılımın ürettiği raporlar incelenmiştir. Derleme işlemi hatasız yapıldıktan sonra pin atama işlemi ‘Assignment Editor’ seçeneği ile yapılmıştır. ‘Simulation Waveform Editor’ ile ‘functional simulation’ ve ‘timing simulation’ gerçekleştirilmiştir.

## 2. Problemler

### 2.1. Problem I - Quartus Prime'a Başlangıç

#### 2.1.1. Teorik Araştırma

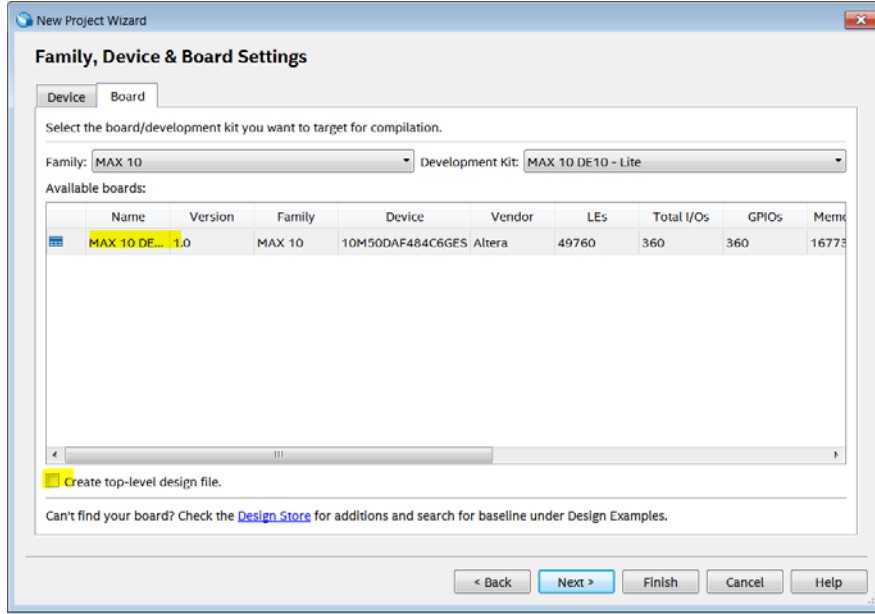
Bu problem için teorik bir araştırma bulunmamaktadır.

#### 2.1.2. Deneyin Yapılışı

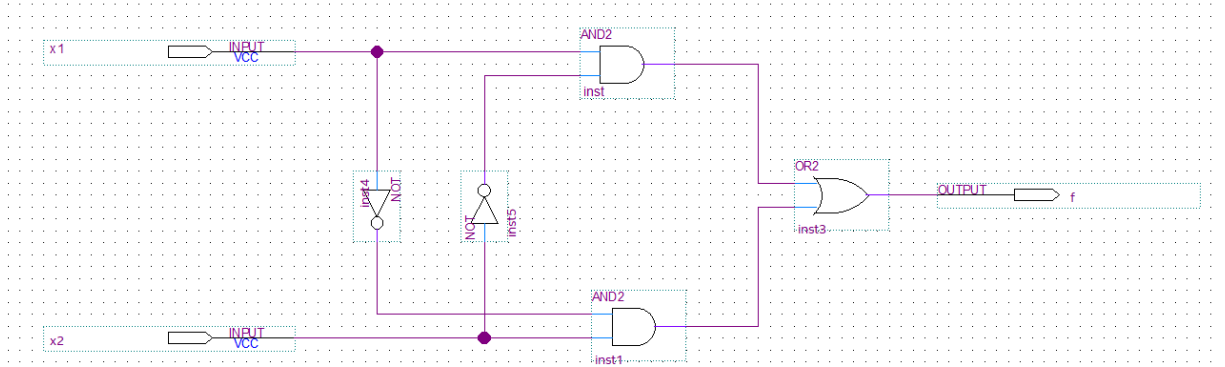
##### Quartus Prime Programının Kurulması

<https://fpgasoftware.intel.com/?edition=lite> bağlantısındaki siteye üye olunarak gerekli kurulum dosyaları indirilmiş ve kurulum **Quartus Prime - Windows Kurulum** belgesindeki yönergeler takip edilerek hata almaksızın yapılmıştır.

Bu amaçla öncelikle bir proje oluşturulması gerekmektedir. Daha sonra pin atamalarını yaparken PIN isimlerini düzgünce kullanabilmek için proje oluşturma aşamasında Family, Device&Board Settings kısmında Board sekmesinde Development Kit ‘MAX10 DE10 - Lite’ seçilebilir. Şekil 1’de görüldüğü gibi Create top-level design file. Bölümünde seçili olan tik kaldırılır.



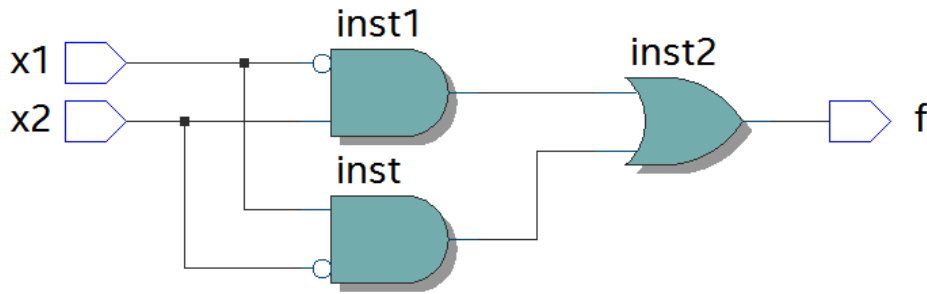
Şekil 1. Yeni proje oluştururken board seçimi.



Şekil 2. Pin atamaları yapılmış bir lojik devrenin şematik görüntüsü.

Proje oluşturulduktan sonra yeni bir şematik dosyası oluşturulmuş ve gerekli devre elemanları ile istenilen devre oluşturulup bağlantıları yapılmıştır. Pin atamaları yapılmış bir lojik devrenin şematiği Şekil 2’deki gibi görülmektedir.

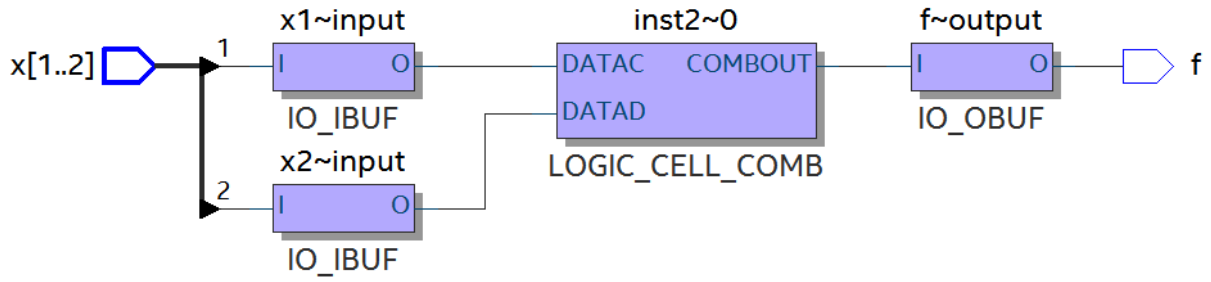
#### a) RTL Devre Şeması



Şekil 3. Lojik devrenin RTL devre şeması.

Bu seçenek ile lojik devrenin RTL (register transfer level) şematiğini görüntülenebilir.

### b) Eşleştirme Ardı Teknoloji Şeması



Şekil 4. Lojik devrenin eşleştirme ardı teknoloji şeması


Bu seçenek netlistte sentez sonrası düğümlerin bulunmasını sağlar ve sonrasında optimize etmek için atamalar yapılmasına olanak verir.

### c) Analiz ve Sentez Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Feb 24 21:49:00 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	lab0_0
Top-level Entity Name	lab0_0
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Yukarıdaki özetle görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir ve devrenin gerçekleştirilebilmesi için 1 lojik eleman ve 3 pin gerekmektedir.

#### d) Analiz ve Sentez Kaynak Kullanım Özeti

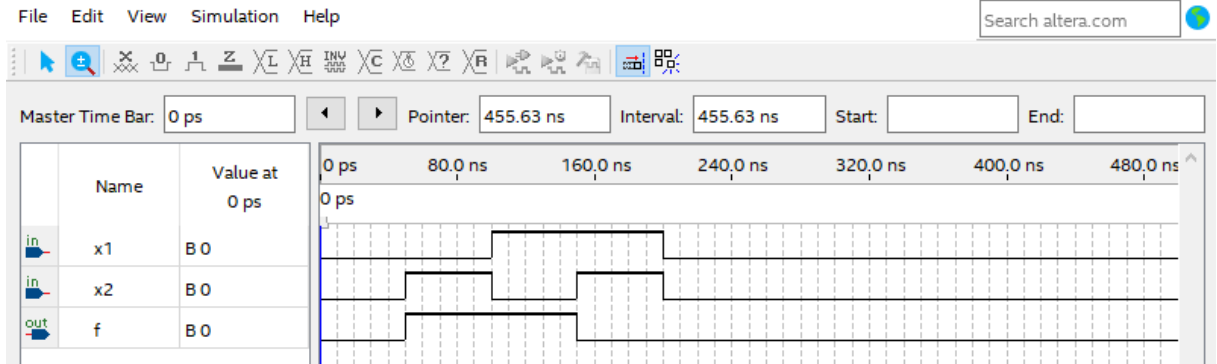
Analysis & Synthesis Resource Usage Summary		
 <<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst3~0
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86

Yukarıdaki tabloda görüldüğü gibi devrede 1 lojik eleman, 2'si input 1'i output pini olmak üzere 3 adet pin kullanılmıştır. Lojik eleman normal moddadır. Maksimum çıkış yelpazesi sayısı 1, toplam çıkış yelpazesi sayısı 6'dır. Ortalama çıkış yelpaze sayısı ise 0.86'dır.

#### e) Simulasyon

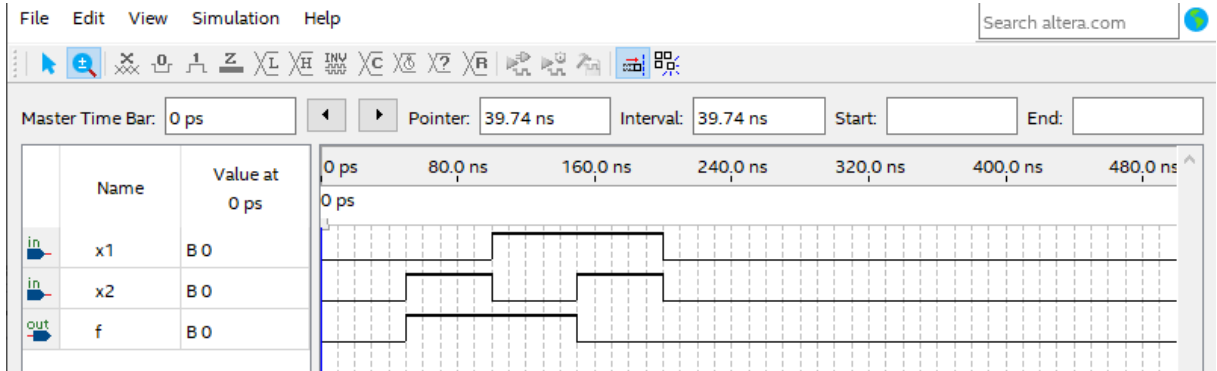
Simulation Waveform Editor açıldıktan sonra devredeki nodlar simülasyon arayüzüne eklenmiştir. Simülasyonun bitiş süresi 200 ns olacak şekilde ayarlanmıştır. Devrenin doğruluk tablosuna uygun çalıştığını kontrol edebilmek için girişler bütün kombinasyonları sağlayacak şekilde düzenlenmiştir. Bu kısımda yapılacak iki farklı simülasyon vardır.

### 1) Fonksiyonel Benzetim



Şekil 5. Fonksiyonel benzetim sonuç ekranı.

### 2) Zamanlama Benzetimi



Şekil 6. Zamanlama benzetimi sonuç ekranı.

Zamanlama benzetimi sonucunda 'f' olarak isimlendirilmiş çıkışta hiç bir gecikme olmadığı Şekil 6'da görülmektedir. Programın kurulumunda kullandığımız FPGA board zamanlama benzetimini desteklemediği için beklenildiği üzere fonksiyonel benzetim ile zamanlama benzetimi aynı sonucu vermiştir. Lojik devre doğruluk tablosuna uygun çıkışlar üretmektedir.

#### 2.1.3. Sonuçların Yorumu

Bu deneyde Quartus programının kurulumu, lojik bir devrenin şematiğinin çizilerek temel simülasyonlarının nasıl yapılacağı öğrenilmiştir. Program kullanılırken proje ve dosya isimlerinde türkçe karakter ve boşluk kullanılmamalıdır. Proje dosyalarının konulduğu dizinde de türkçe karakter bulunmamalıdır. Pin atamaları yapılırken takip edilen belgede Tablo 2'de bulunan pin isimlerini kullanabilmek için proje oluşturulurken ilgili board seçimi yapılmalıdır.

### Önemli Not:

Bu rapor format için örnek teşkil etmesi için hazırlanmış olup bu aşamada teorik araştırma sonucu elde edilen sonuçlarla deneyde elde edilen sonuçların karşılaştırılması, sonuçların yorumlanması vb. içeriğe yer verilmelidir.

## **2.2. Problem II (Eğer mevcutsa)**

### **2.2.1. Teorik Araştırma**

### **2.2.2. Deneyin Yapılışı**

Lojik devre tasarlandı, Quartus Prime’da devre kuruldu. Board tipine(DE10-Lite) uygun pinler devreye entegre edildi. Pinlerin uyumlu olmasının ardından, dizayn edilmiş devrenin dalga formunda simülasyonuna geçildi. Pinler bu kısma da entegre edildikten ve gerekli işlemler yapıldıktan sonra fonksiyonel benzetim ve zamanlama benzetimi olarak iki farklı domainde dalga formları incelendi.

### **2.2.3. Sonuçların Yorumu**

## **3. Sonuçlar ve Genel Yorumlar**

Quartus Prime programının kurulumu, kullanımı, bu programla lojik bir devrenin nasıl gerçekleştirilebileceği araştırıldı. Devrede kullanılan elemanlar tanındı, işlevleri araştırıldı. Teorideki tanımlarının uygulamada nasıl işlendiği gözlemlendi.

Bu laboratuvar çalışmasıyla Quartus Prime programına giriş yapabilmek, kullanımını öğrenmeye başlamak amacıyla uygulamalara yapıldı. Lojik devrenin tasarımının nasıl yapıldığı öğrenildi, şematiği çizildi ve bazı simülasyonların nasıl gerçekleştiği görüldü. Pin seçiminin eldeki board tipine göre seçilmesi gerektiği öğrenildi. Uygun pinler yerleştirildikten sonra x1,x2 ve f olmak üzere 3 farklı dalga formu ortaya çıkarıldı. Bu formlardan fonksiyonel benzetim ile zaman benzetiminin aynı sonuçları verdiği görüldü.

## **4. Referanslar**

[1] Intel® Quartus® Prime Software Suite. URL: <https://www.intel.com.tr/content/www/tr/tr/software/programmable/quartus-prime/overview.html> Accessed: 21.02.2020

[2] Quartus Prime Introduction Using Schematic Designs. URL: [ftp://ftp.intel.com/Pub/fpgaup/pub/Intel\\_Material/16.0/Tutorials/Schematic/Quartus\\_II\\_Introduction.pdf](ftp://ftp.intel.com/Pub/fpgaup/pub/Intel_Material/16.0/Tutorials/Schematic/Quartus_II_Introduction.pdf) Accessed: 21.02.2020