



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 01 Deney Raporu

Lojik Devreler ve Tasarım Laboratuvarı Dersine Hazırlık

Hazırlayanlar
1) 1801022022 – Alperen Karataş
2) 1801022091 – Ogün Uygur Yıldırım

1. Giriş

Bu deneyde Boolean Denklemleri ile devre çizimi arasındaki bağlantı kurulmuştur ve devreler çizilmiştir. Boolean Denkleminin sadeleştirilmesi ile devre sadeleşmesi gerçekleştirilmiştir. Dalga şeması kullanılması ve yorumlanması öğrenilmiştir. Mantık kapıları kullanarak devre çizimi öğrenilmiş bununla beraber simülasyonla çalışması doğrulanmıştır.

2. Problemler

2.1. Problem I – Boolean Cebri

2.1.1. Teorik Araştırma

Bu probleme ait teorik araştırma, Boolean Cebri ve lojik kapıları üzerine olmuştur. Gereken araştırmalar sonucunda lojik kapılarının kullanımı ve devre kurulumu Boolean Denklemleri ile ilişkilendirilmiştir.

2.1.2. Deneyin Yapılışı

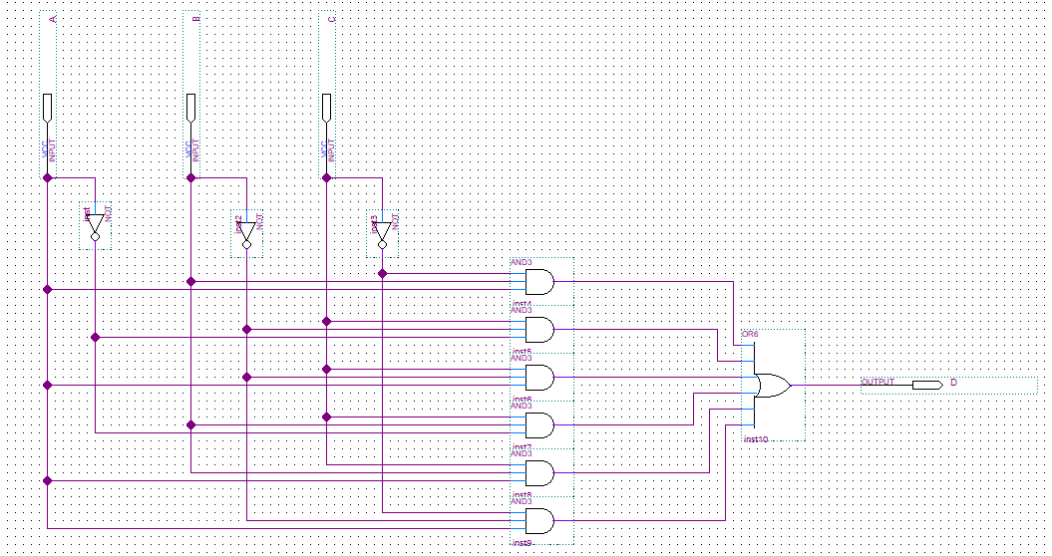
A	B	C	D
0	0	0	0
1	0	0	1
0	1	0	0
0	0	1	1
1	1	0	1
1	0	1	1
0	1	1	1
1	1	1	1

Şekil 1. Doğruluk Tablosu

Verilen Boolean denklemine göre yukarıda belirtilen doğruluk tablosu çıkartılmıştır. Tablodan anlaşıldığı üzere devrede 3 adet input pini ve 1 adet output pini vardır. A,B,C pinlerinin 0 olduğu durumda ve A,C pinlerinin 0; B pininin 1 olduğu durumda D pini(output) 0 çıkışı vermiştir. Harici durumlarda output çıkışı 1'e eşittir.

Tablo 1'den ve denklemden çıkarılan sonuca göre AND ve OR kapı/kapıları kullanılmasına karar verilmiştir. Uygun devre rahatlıkla çizilmiştir. Gerekli pinler seçilerek devrenin fonksiyonel simülasyonları gerçekleştirilmiştir. Girişlere bütün olası kombinasyonlar uygulanmış olup çıkış sinyalleri gözlemlenmiştir.

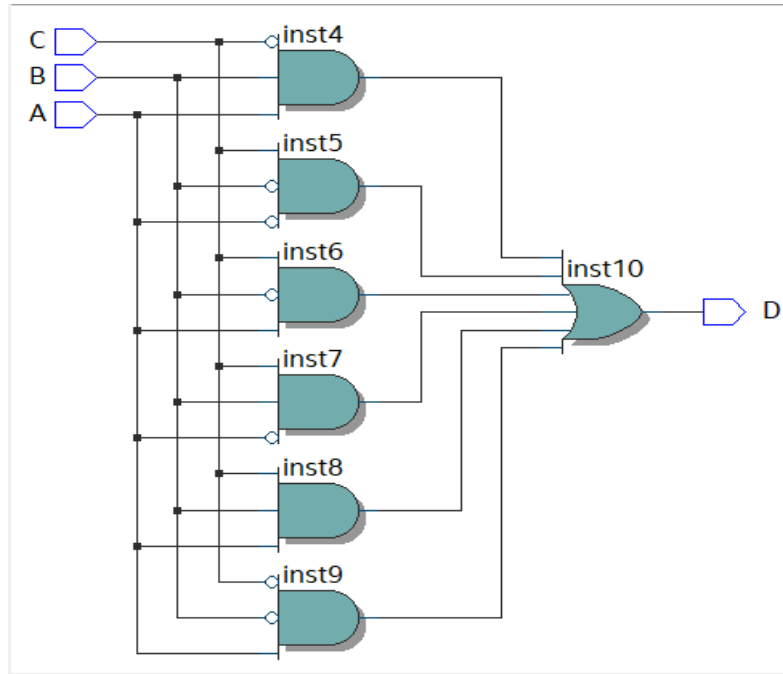
Boolean Denklemine uygun devrenin çizilmesi



Şekil 2. Pin atamaları yapılmış bir lojik devrenin şematik görüntüsü.

Proje oluşturulduktan sonra yeni bir şematik dosyası oluşturulmuş ve gerekli devre elemanları ile istenilen devre oluşturulup bağlantıları yapılmıştır. Pin atamaları yapılmış bir lojik devrenin şematiği Şekil 2'deki gibi görülmektedir.

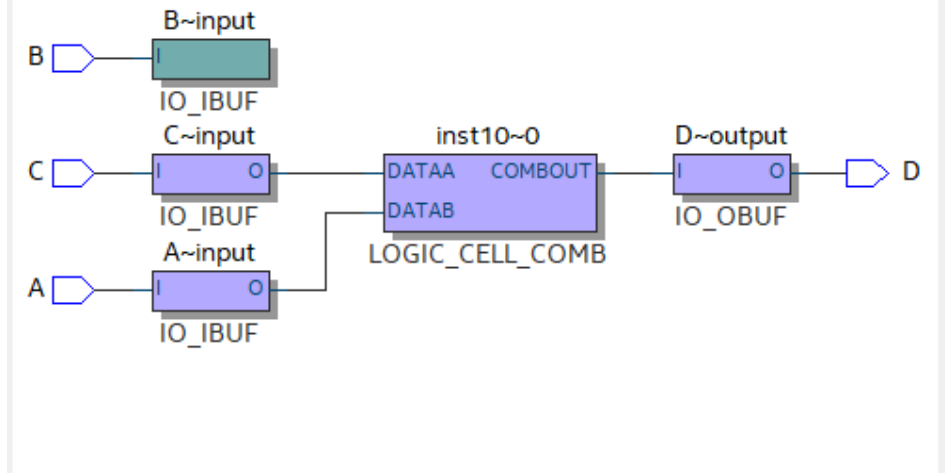
a) RTL Devre Şeması



Şekil 3. Lojik devrenin RTL devre şeması.

Bu seçenek ile lojik devrenin RTL (register transfer level) şematiğini görüntülenebilir.

b) Eşleştirme Ardı Teknoloji Şeması



Şekil 4. Lojik devrenin eşleştirme ardı teknoloji şeması

Bu seçenek netlistte sentez sonrası düğümlerin bulunmasını sağlar ve sonrasında optimize etmek için atamalar yapılmasına olanak verir.

c) Analiz ve Sentez Özeti

Flow Status	Successful - Sun Mar 01 21:34:54 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	lab01
Top-level Entity Name	lab01
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	4
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil 5. Analiz ve Sentez Özeti

Şekil 5’te görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir. Devrenin gerçekleştirilmesi için en az 1 lojik eleman ve 4 pin gerekmektedir.

d) Analiz ve Sentez Kaynak Kullanım Özeti

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst10~0
15	Maximum fan-out	1
16	Total fan-out	7
17	Average fan-out	0.78

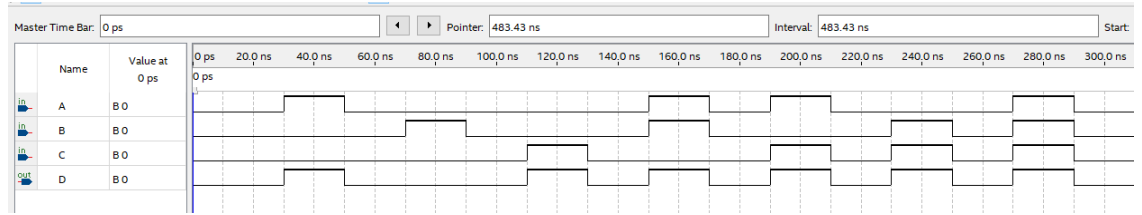
Şekil 6. Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 6’da görüldüğü üzere yaklaşık toplam lojik element sayısı 1’dir. Toplam dallanma sayısı (Total fan-out) 7’dir. Toplam input sayısı, iki input iki output olmak üzere 4 adettir.

e) Simulasyon

Simulation Waveform Editor açıldıktan sonra devredeki pinler simulasyon arayüzüne eklenmiştir. Devreye uygun pinler Assignment Editor kısmında seçildikten sonra tabloya uygun kombinasyonlar seçilerek simülasyon gerçekleştirilmiştir.

1) Fonksiyonel Benzetim



Şekil 7. Fonksiyonel benzetim sonuç ekranı.

Şekil 1'deki doğruluk tablosu ile fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmıştır. Hatasız bir şekilde doğru sonuçlara ulaşılmıştır.

2.1.3. Sonuçların Yorumu

Bu problemde Boolean Denklemine uygun devrenin şematiği çizilmiştir. RTL ve Eşleştirme Ardı Teknoloji şeması bu devreye uygun olarak çıkarılmıştır. Doğruluk tablosu ve fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmış olup bire bir olarak doğrulanmıştır.

2.2.Problem II- Boolean Teoremleri Kullanarak Devre Sadeleştirme

2.2.1. Teorik Araştırma

Boolean denklemlerinin çeşitli yöntemlerle nasıl sadeleşeceği araştırılmıştır. Gerekli sadeleştirme teknikleri öğrenilmiştir.

2.2.2. Deneyin Yapılışı

Verilen Boolean Denklemi Complements teoremi kullanılarak sadeleştirilmiştir. Sadeleştirilen denkleme uygun devre şematiği çizilmiştir.

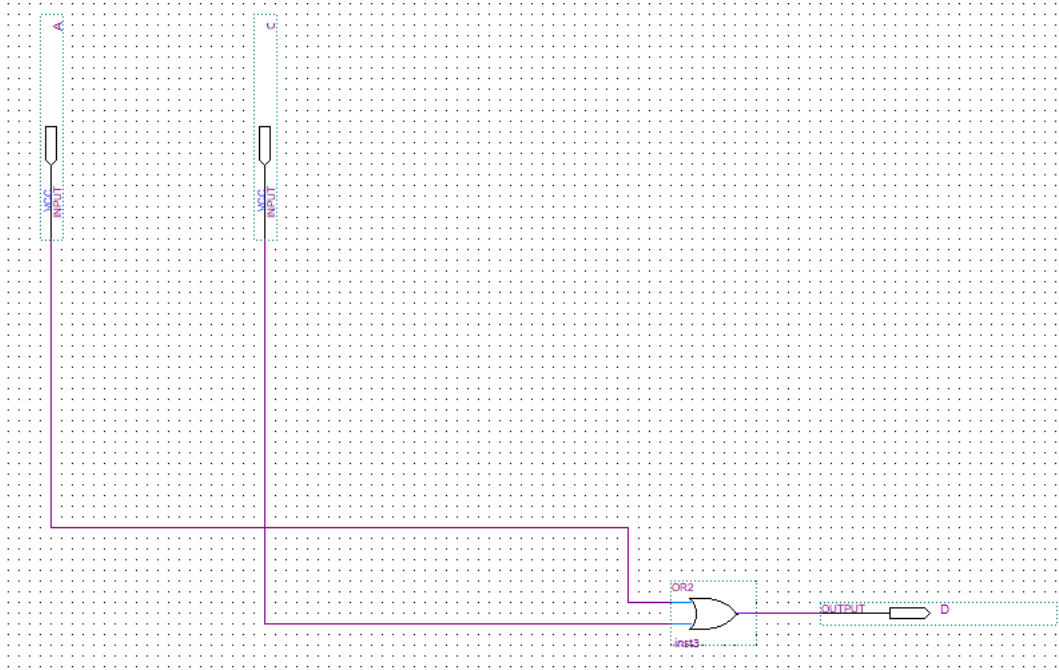
X	Y	Z
0	0	0
1	0	1
0	1	1
1	1	1

Şekil 8. Doğruluk Tablosu

Şekil 8'de görüldüğü üzere devrede 2 adet input pini 1 adet output pini bulunmaktadır. Devrede OR kapısı kullanıldığı için X ve Y pininin 0 olduğu durumlarda output 0; diğer durumlarda output 1 sonucunu vermektedir. Gerekli pinler seçilerek devrenin fonksiyonel

simülasyonları gerçekleştirilmiştir. Girişlere bütün olası kombinasyonlar uygulanmış olup çıkış sinyalleri gözlemlenmiştir.

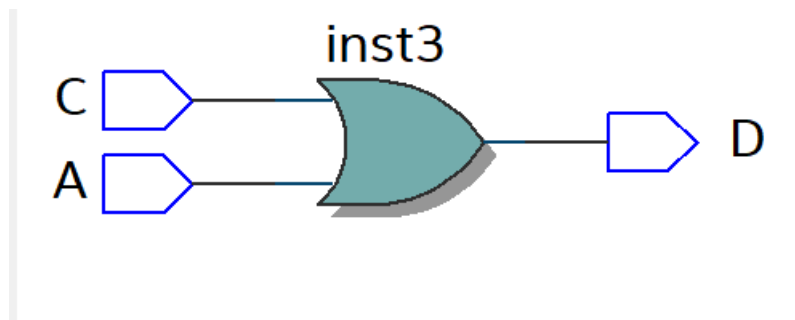
Sadeleştirilmiş Boolean Denklemine uygun devrenin çizilmesi



Şekil 9. Pin atamaları yapılmış bir lojik devrenin şematik görüntüsü.

Proje oluşturulduktan sonra yeni bir şematik dosyası oluşturulmuş ve gerekli devre elemanları ile istenilen devre oluşturulup bağlantıları yapılmıştır. Pin atamaları yapılmış bir lojik devrenin şematiği Şekil 9'deki gibi görülmektedir.

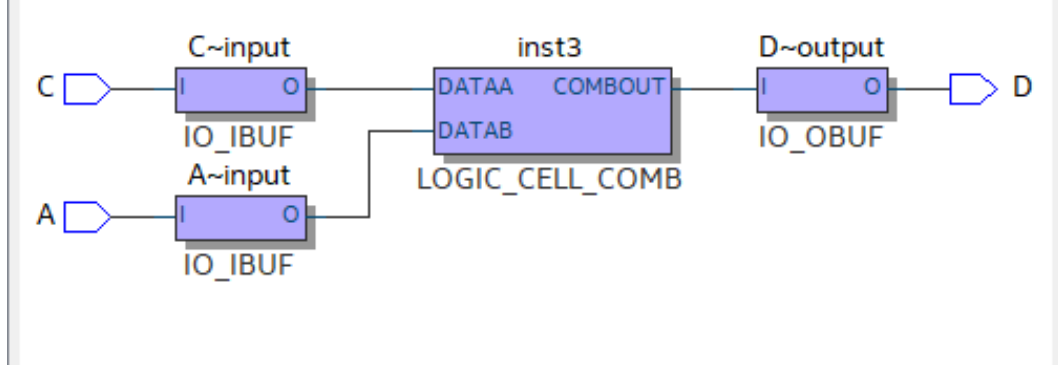
f) RTL Devre Şeması



Şekil 10. Lojik devrenin RTL devre şeması.

Bu seçenek ile lojik devrenin RTL (register transfer level) şematiğini görüntülenebilir.

g) Eşleştirme Ardı Teknoloji Şeması



Şekil 11. Lojik devrenin eşleştirme ardı teknoloji şeması

Bu seçenek netlistte sentez sonrası düğümlerin bulunmasını sağlar ve sonrasında optimize etmek için atamalar yapılmasına olanak verir.

h) Analiz ve Sentez Özeti

Flow Status	Successful - Sun Mar 01 21:43:36 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	lab01
Top-level Entity Name	lab01
Family	MAX 10
Device	10M50DAF484C6GES
Timing Models	Preliminary
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil 12. Analiz ve Sentez Özeti

Şekil 12’de görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir. Devrenin gerçekleştirilebilmesi için en az 1 lojik eleman ve 3 pin gerekmektedir.

i) Analiz ve Sentez Kaynak Kullanım Özeti

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst3
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86

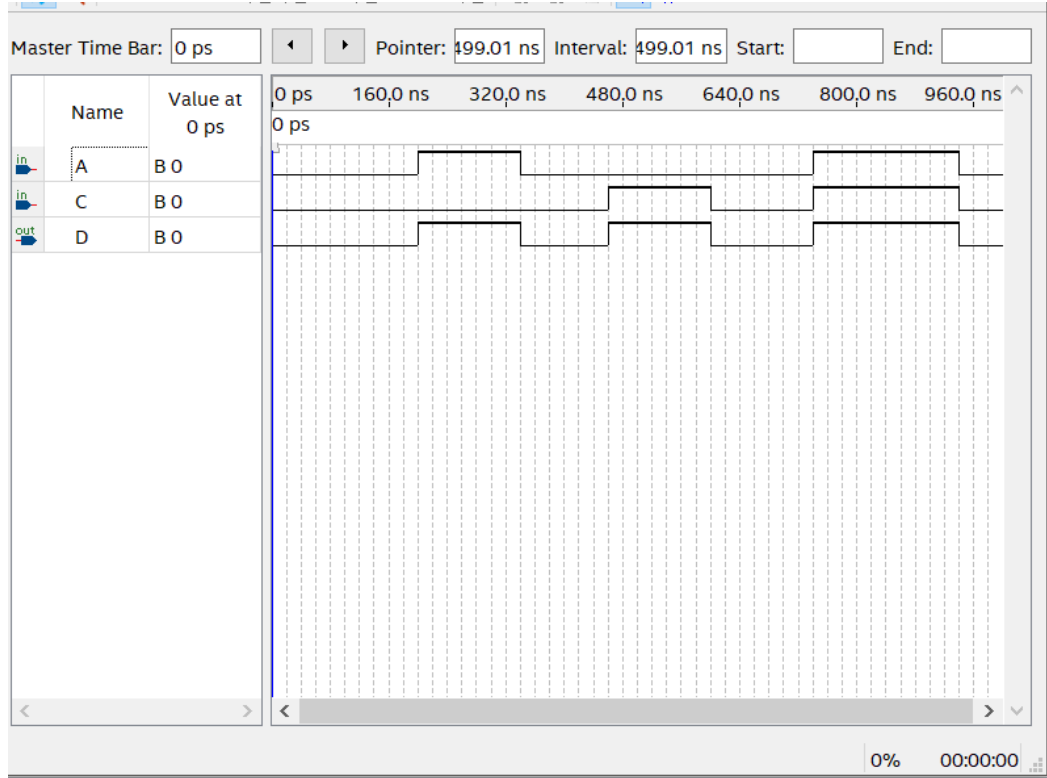
Şekil 13. Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 6’da görüldüğü üzere yaklaşık toplam lojik element sayısı 1’dir. Toplam dallanma sayısı (Total fan-out) 6’dır. Toplam input sayısı, iki input bir output olmak üzere 3 adettir.

j) Simulasyon

Simulation Waveform Editor açıldıktan sonra devredeki pinler simulasyon arayüzüne eklenmiştir. Devreye uygun pinler Assignment Editor kısmında seçildikten sonra tabloya uygun kombinasyonlar seçilerek simülasyon gerçekleştirilmiştir.

1) Fonksiyonel Benzetim



Şekil 14. Fonksiyonel benzetim sonuç ekranı.

Şekil 8'deki doğruluk tablosu ile fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmıştır. Hatasız bir şekilde doğru sonuçlara ulaşılmıştır.

2.2.3. Sonuçların Yorumu

Bu problemde verilen Boolean Denklemi sadeleştirilmiş olup uygun devrenin şematığı çizilmiştir. RTL ve Eşleştirme Ardı Teknoloji şeması bu devreye uygun olarak çıkarılmıştır. Doğruluk tablosu ve fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmış olup bire bir olarak doğrulanmıştır.

2.2.4. Problem III- Dalga şekli yardımıyla devre tasarlama

2.2.5. Teorik Araştırma

Boolean denkleminin çözülebilmesi için POS ve SOP çözüm teknikleri araştırılmıştır. Gerekli bilgiye sahip olunduktan sonra istenilen denklemler ortaya çıkarılmıştır.

2.2.6. Deneyin Yapılışı

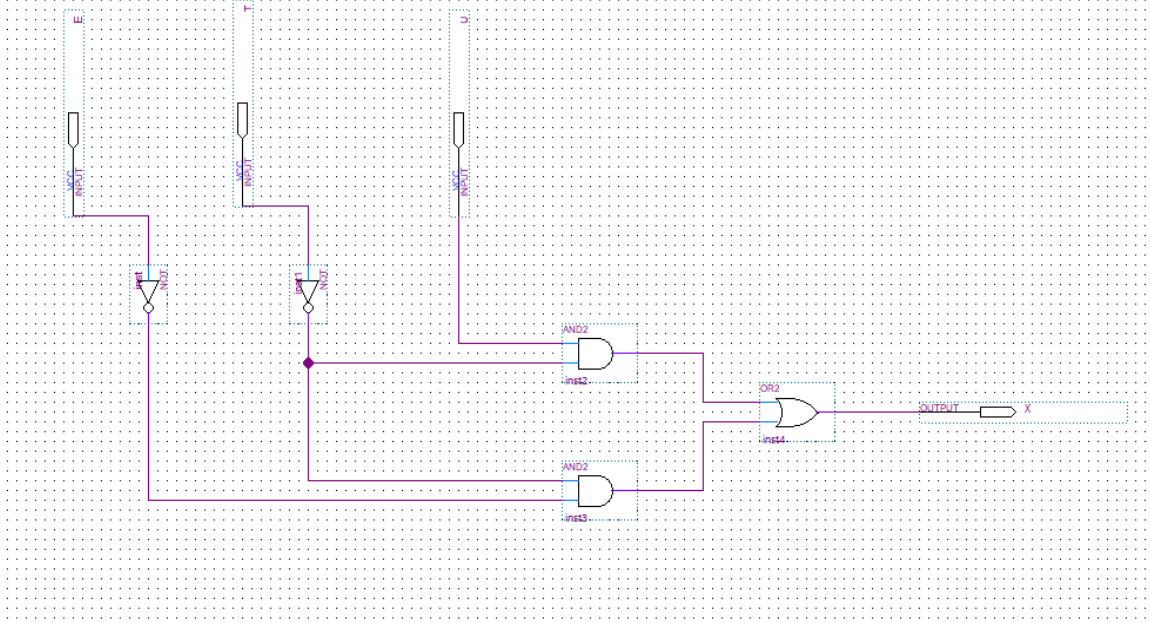
Verilen Boolean Denklemi POS ve SOP çözüm teknikleri kullanılarak yeni denklemler haline getirilmiştir. Yeni denklemlere uygun devre şematığı çizilmiştir.

G	T	U	E	X	Y
1	1	1	1	0	0
0	1	1	1	0	1
1	0	1	1	0	0
0	0	1	1	0	1
1	1	0	1	0	1
0	1	0	1	0	1
1	0	0	1	0	1
0	0	0	1	0	1
1	1	1	0	1	0
0	1	1	0	1	1
1	0	1	0	1	0
0	0	1	0	1	1
1	1	0	0	0	1
0	1	0	0	0	1
1	0	0	0	1	1
0	0	0	0	1	1

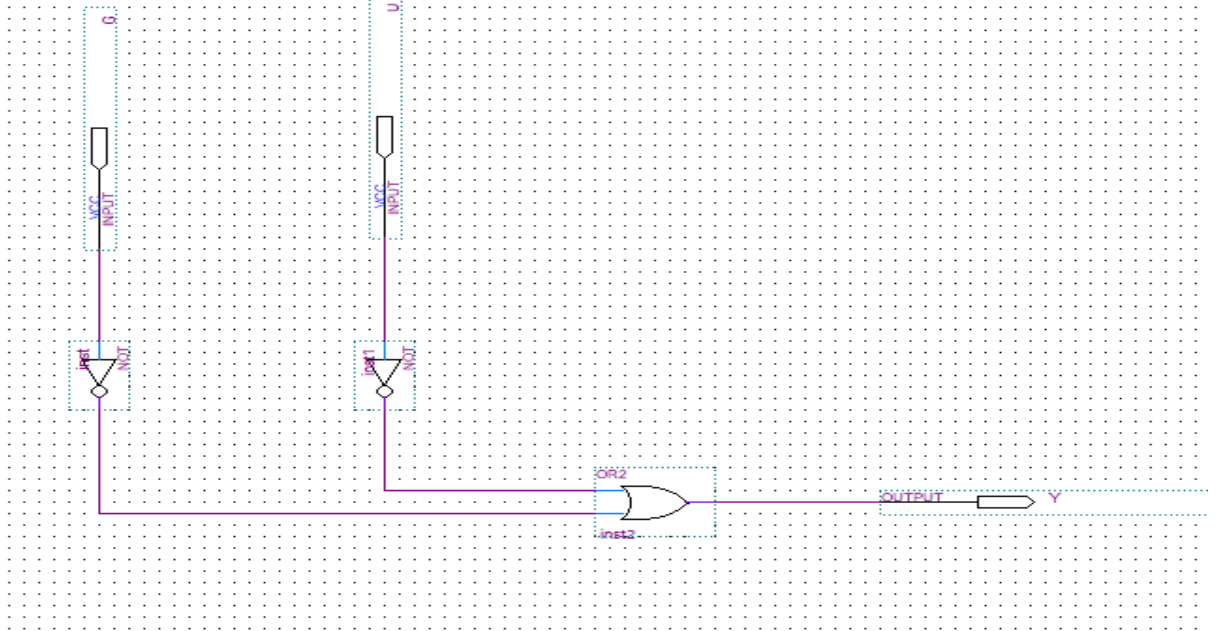
Şekil 15. Doğruluk Tablosu

Şekil 15’de görüldüğü üzere devrede 4 adet input pini 2 adet output pini bulunmaktadır. Devrede AND ve OR kapısı kullanılmıştır. Girişlere bütün olası kombinasyonlar uygulanmış olup çıkış sinyalleri gözlemlenmiştir.

Boolean Denklemine uygun devrenin çizilmesi



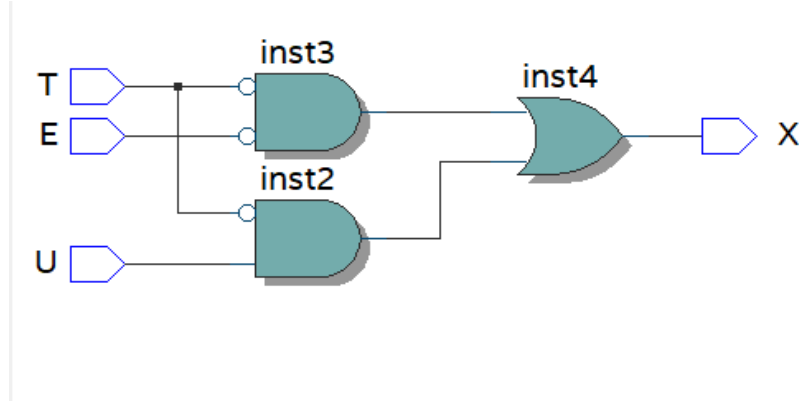
Şekil 16. Pin atamaları yapılmış X lojik devresinin şematik görüntüsü.



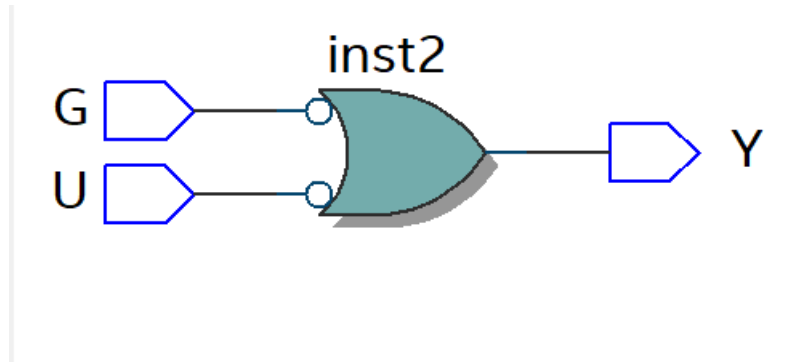
Şekil 17. Pin atamaları yapılmış Y lojik devresinin şematik görüntüsü.

Proje oluşturulduktan sonra yeni bir şematik dosyası oluşturulmuş ve gerekli devre elemanları ile istenilen devre oluşturulup bağlantıları yapılmıştır. Pin atamaları yapılmış bir lojik devrenin şematiği Şekil 16 ve Şekil 17’deki gibi görülmektedir.

k) RTL Devre Şeması



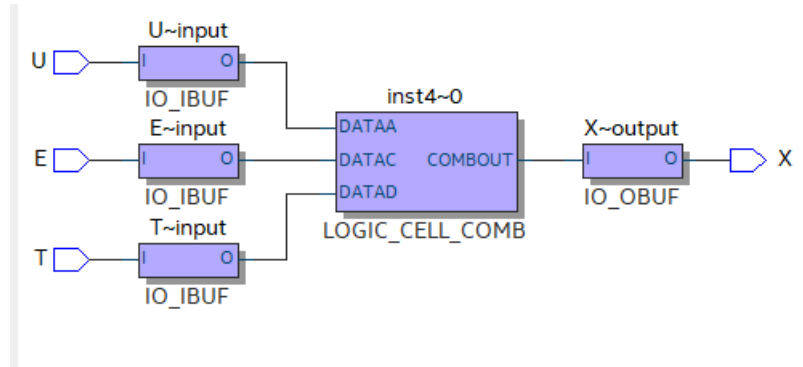
Şekil 18. X lojik devresinin RTL devre şeması.



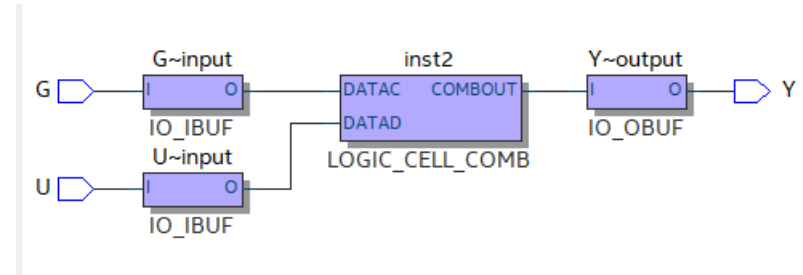
Şekil 19. Y lojik devresinin RTL devre şeması.

Bu seçenek ile lojik devrelerin RTL (register transfer level) şematikleri görüntülenebilir.

1) Eşleştirme Ardı Teknoloji Şeması



Şekil 20. X lojik devresinin eşleştirme ardı teknoloji şeması



Şekil 21. Y lojik devresinin eşleştirme ardı teknoloji şeması

Bu seçenek netlistte sentez sonrası düğümlerin bulunmasını sağlar ve sonrasında optimize etmek için atamalar yapılmasına olanak verir.

m) Analiz ve Sentez Özeti

Flow Status	Successful - Sun Mar 01 21:49:09 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	LAB01
Top-level Entity Name	LAB01
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	4
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil 22. X için Analiz ve Sentez Özeti

Şekil 22’de görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir. Devrenin gerçekleştirilebilmesi için en az 1 lojik eleman ve 4 pin gerekmektedir.

Flow Status	Successful - Sun Mar 01 21:52:44 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	LAB01
Top-level Entity Name	LAB01
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil 23. Y için Analiz ve Sentez Özeti

Şekil 23’de görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir. Devrenin gerçekleştirilebilmesi için en az 1 lojik eleman ve 3 pin gerekmektedir.

n) Analiz ve Sentez Kaynak Kullanım Özeti

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst4~0
15	Maximum fan-out	1
16	Total fan-out	8
17	Average fan-out	0.89

Şekil 25. X için Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 25’de görüldüğü üzere yaklaşık toplam lojik element sayısı 1’dir. Toplam dallanma sayısı (Total fan-out) 8’dir. Toplam input sayısı, üç input bir output olmak üzere 4 adettir.

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst2
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86

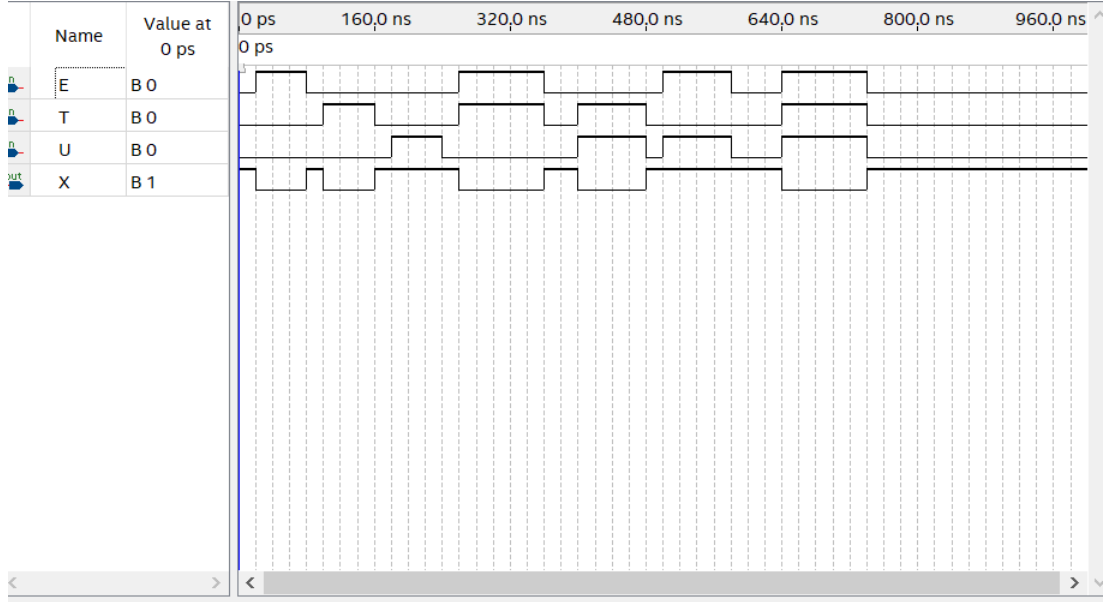
Şekil 26. Y için Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 26’de görüldüğü üzere yaklaşık toplam lojik element sayısı 1’dir. Toplam dallanma sayısı (Total fan-out) 6’dır. Toplam input sayısı, iki input bir output olmak üzere 4 adettir.

o) Simulasyon

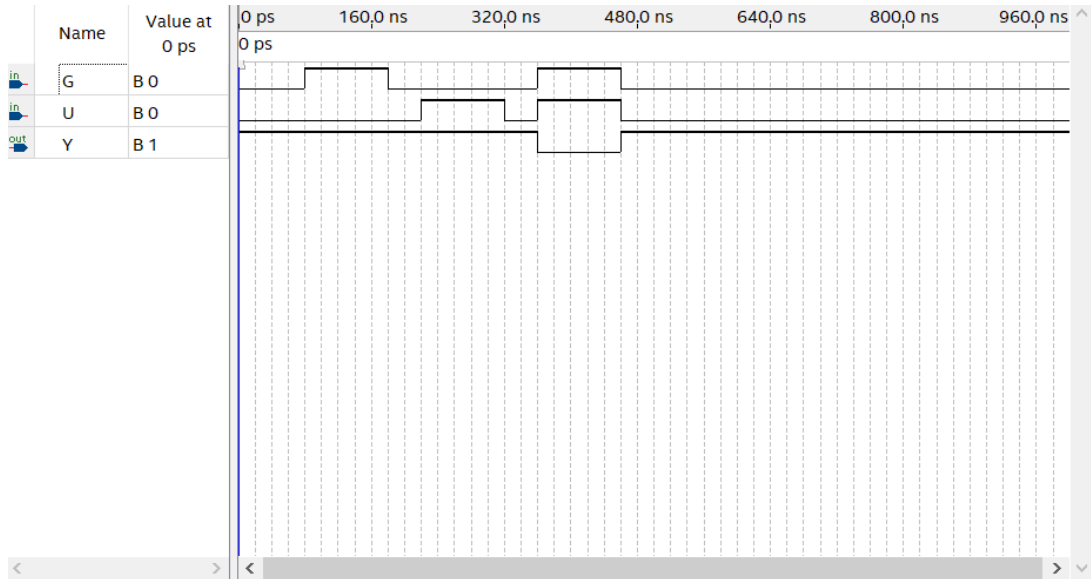
Simulation Waveform Editor açıldıktan sonra devredeki pinler simulasyon arayüzüne eklenmiştir. Devreye uygun pinler Assignment Editor kısmında seçildikten sonra tabloya uygun kombinasyonlar seçilerek simülasyon gerçekleştirilmiştir.

1) Fonksiyonel Benzetim



Şekil 27. X için Fonksiyonel benzetim sonuç ekranı.

Şekil 25'deki doğruluk tablosu ile fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmıştır. Hatasız bir şekilde doğru sonuçlara ulaşılmıştır.



Şekil 28. Y için Fonksiyonel benzetim sonuç ekranı.

Şekil 26'deki doğruluk tablosu ile fonksiyonel benzetim simülasyonu sonuçları karşılaştırılmıştır. Hatasız bir şekilde doğru sonuçlara ulaşılmıştır.

2.2.7. Sonuların Yorumu

Bu problemde verilen Boolean Denklemi SOP ve POS özüm teknikleri ile elde edilmiř olup uygun devrenin řematięi izilmiřtir. RTL ve Eřleřtirme Ardı Teknoloji řemaları bu devreye uygun olarak ıkarılmıřtır. Doğruluk tablosu ve fonksiyonel benzetim simölasyonu sonuları karřılařtırılmıř olup bire bir olarak doğrulanmıřtır.

3. Sonular ve Genel Yorumlar

Bu deneyde boolean cebri, boolean denklemini gerekli teoremlere sadeleřtirerek devre tasarlaması ve dalga řekli yardımıyla devre tasarlaması öęrenilmiřtir. Deney ařamasında bazı spesifik sorunlarla karřılařılmıřtır lakin gerekli arařtırmalar sonucunda sorunlar ortadan kalkmıřtır. Özellikle Boolean denklemin sadeleřtirilmesi ve Problem I'deki devrenin řematięinin ıkarılması zorlayıcı durumlardı. Simölasyon sonuları ile teorik sonuların birbirini tam olarak saęlamasıyla deney bařarıyla sonulandırılmıřtır.

4. Referanslar

1-Harris and D.Harris, Digital Design and Computer Architecture: ARM Edition, 1st edition. Morgan Kaufmann, 2015.