



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 0x5 Deney Raporu

Sıralı Mantık Tasarım

Hazırlayanlar
1) 1801022022 – Alperen Karataş
2) 1801022091 – Oğün Uygur Yıldırım

1. Giriş

Bu deney kapsamında sıralı mantık tasarımına uygun devreler oluşturması üzerinde çalışılmıştır. Ayrıca bir devrenin diğer devreyle nasıl senkronize edilebileceği üzerinde durulmuştur.

2. Problemler

2.1. Problem I – Yukarı Serbest Sayıcı Devresi

2.1.1. Teorik Araştırma

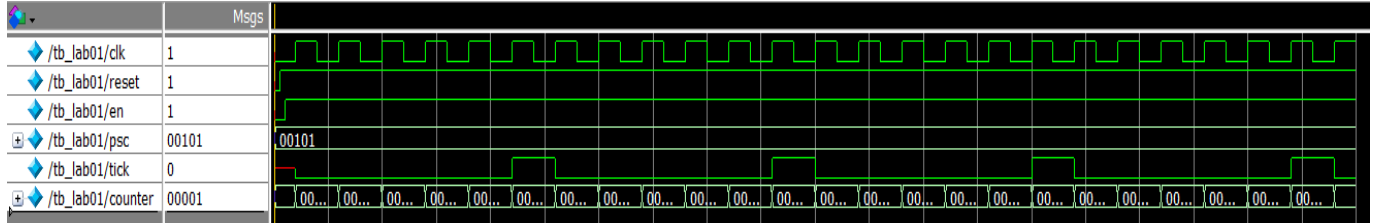
Counterlar ve çalışma prensiplerine dair araştırma yapıp gerekli bilgiler edinilmiştir. Yukarı ve aşağı sayıcı olmak üzere iki farklı türü öğrenilmiştir.

2.1.2. Deneyin Yapılışı

Yukarı sayıcı counter tasarımı yapılırken, ilk olarak; **active-high** olarak çalışacak bir “clk” sinyali, **active-low** olarak çalışacak bir “reset” sinyali, “en” sinyali, 5 bitlik “psc” sinyali, logic tipinde 5 bitlik bir “counter” ve output olarak “tick” sinyali oluşturulmuştur.

Devrenin “reset” sinyali aktif hale geldiğinde 5 bitlik “counter” değeri 0’lanmıştır. “en” sinyali aktif hale geldiğinde ise testbenchte verilen “psc” değerine ulaşılınca “tick” sinyali oluşturacak şekilde gerekli kodlar yazılmıştır.

Aşağıdaki şekilde ise devrenin sümülasyon sonucu görülmektedir.



Şekil 1. Simülasyon çıktısı

Analysis & Synthesis Resource Utilization by Entity											
<<Filter>>											
	Compilation Hierarchy Node	Combinational ALUTs	Dedicated Logic Registers	Memory Bits	UFM Blocks	DSP Elements	DSP 9x9	DSP 18x18	Pins	Virtual Pins	ADC block
1	lab5_g14_p1	9 (9)	6 (6)	0	0	0	0	0	9	0	0

Şekil 2. Utilization Report (1)

ADC blocks	Full Hierarchy Name	Entity Name	Library Name
0	lab5_g14_p1	lab5_g14_p1	work

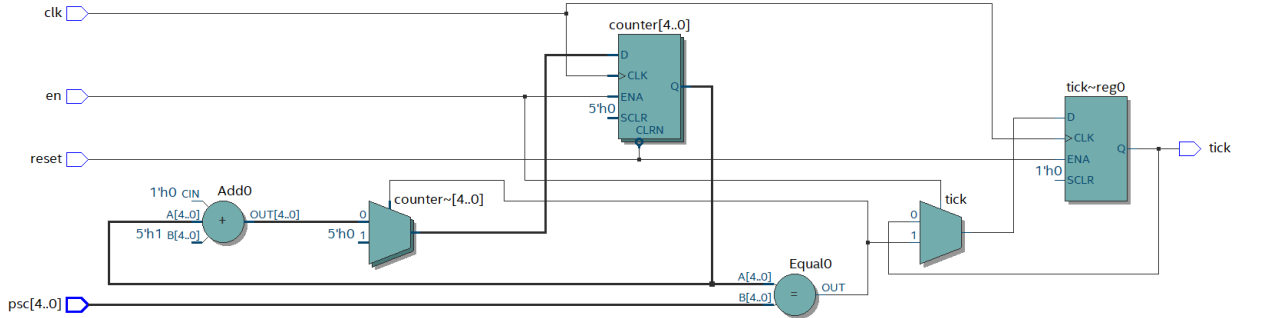
Şekil 3. Utilization Report (2)

Şekil 2 ve Şekil 3’de görüldüğü üzere devrede 9 adet “Combinational ALUT”, 6 adet lojik register saptanmıştır.

Slow 1200mV 85C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
1	397.3 MHz	250.0 MHz	clk	lim...te)

Şekil 4. Fmax değeri

Şekil 4’ten anlaşılacağı üzere devrenin maksimum çalışma frekansının 397.3 MHz olduğu görülmektedir.



Şekil 5. RTL şeması

2.1.3. Sonuçların Yorumu

Bu deneyde gönderilen “psc” sinyalinin, “active-high clk” sinyali, “active-low reset” sinyali ve “en” sinyallerinin durumlarına göre nasıl sonuçlar elde edileceği görülüyor. “reset” sinyali aktif iken 5 bitlik “counter” sinyalimiz 0’lanırken; “en” sinyali aktif hale geldiğinde, gönderilen “psc” sinyali counter değerine eşitse “tick” sinyalinin 1 değerini aldığını simülasyon çıktısından anlayabiliriz. Aynı şekilde, “psc” sinyali countera eşit değilken counter değeri 1 artarken, tick sinyali 0’ da kalır. Genel itibariyle düşünce açısından çok zorlayıcı bir problem olmasa da, “reset” ve “en” sinyallerini senkron şekilde kullanmaya çalışırken birtakım hatalarla karşılaştık. Ancak çeşitli uğraşlar sonucu bu sorunun üstesinden geldik.

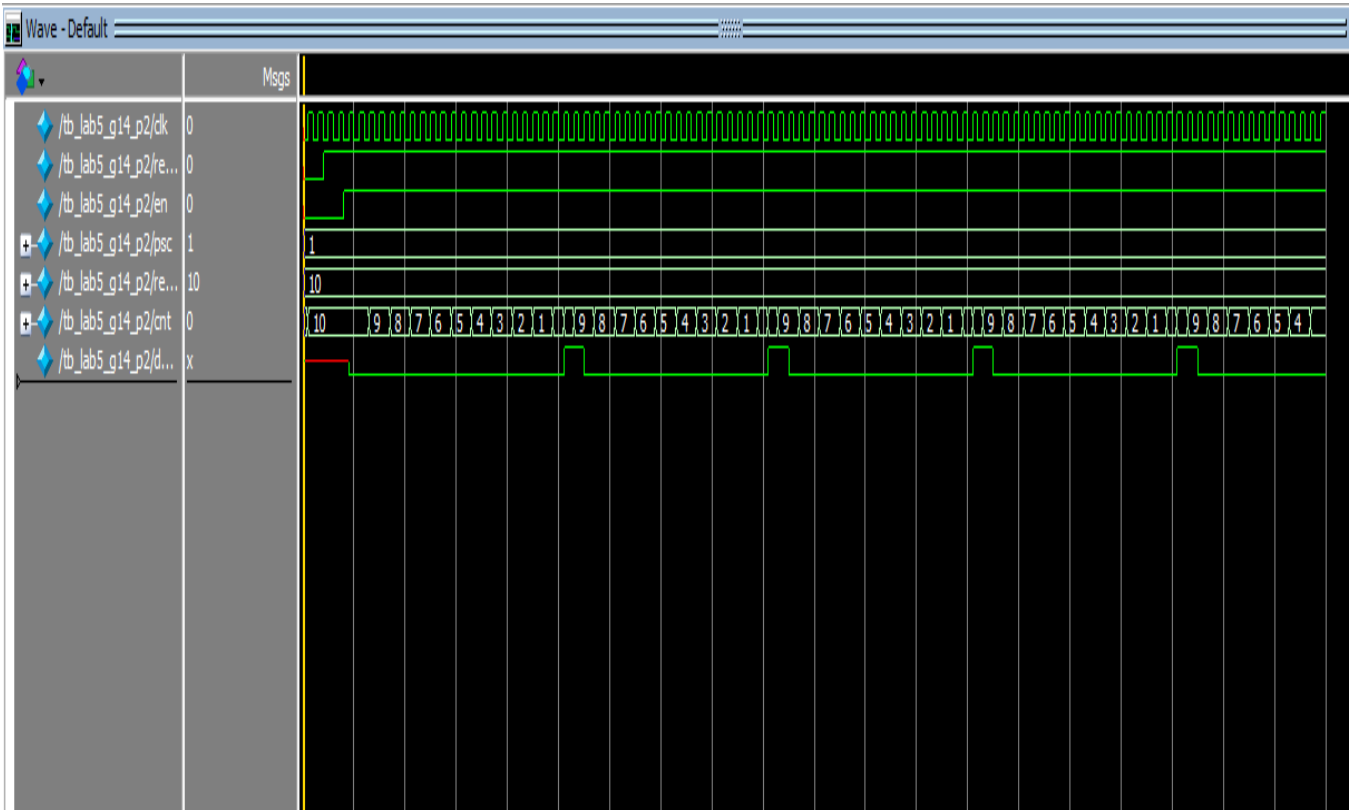
2.2. Problem II - Yavaşlatılabilir aşağı sayıcı tasarımı

2.2.1. Teorik Araştırma

Deneye başlamadan önce aşağı sayıcı counter hakkında bilgi sahibi olunmuştur.

2.2.2. Deneyin Yapılışı

Bu deneyde öncelikle problem 1’de kullanılan devrenin, problem 2’de kullanacağımız devreye senkronu sağlanmıştır. Yukarı serbest sayıcı devresinin çıkışı olan “tick” sinyali ile bu devredeki “signal” sinyali birbirine bağlanmıştır. Devre tasarımında “reset” giriş sinyali active-low olarak kullanılmıştır ve bu sinyal aktif hale geldiğinde “cnt” sinyali 0’landı. Devredeki bir diğer giriş sinyali olan “en” sinyali ve yukarı serbest sayıcı devresinin “tick” sinyali aktif hale geldiğinde “cnt” sinyal aritmetik olarak düşürülmüştür. Eğer devre aktifse ve “cnt” sinyal değeri 0’sa simülasyonda “done” sinyali aktif olarak görülmüştür.



Şekil 6. Simülasyon çıktısı

Analysis & Synthesis Resource Utilization by Entity											
<<Filter>>											
	Compilation Hierarchy Node	Combinational ALUTs	Dedicated Logic Registers	Memory Bits	UFM Blocks	DSP Elements	DSP 9x9	DSP 18x18	Pins	Virtual Pins	ADC bloc
1	lab5_g14_p2	81 (72)	23 (17)	0	0	0	0	0	41	0	0
1	lab5_g14_p1:uut0	9 (9)	6 (6)	0	0	0	0	0	0	0	0

Şekil 6. Utilization Report (1)

ADC blocks	Full Hierarchy Name	Entity Name	Library Name
0	lab5_g14_p2	lab5_g14_p2	work
0	lab5_g14_...14_p1:uut0	lab5_g14_p1	work

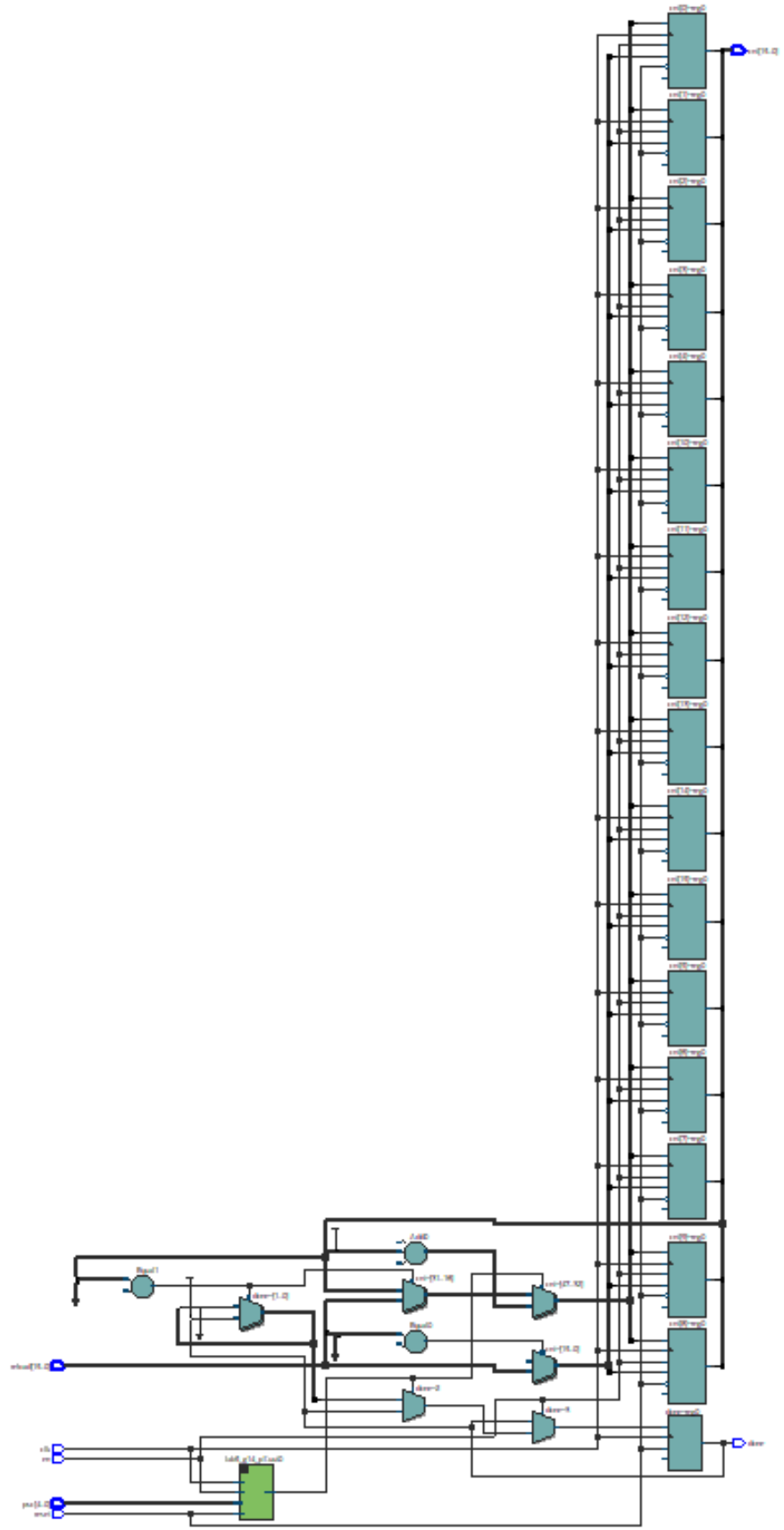
Şekil 7. Utilization Report (2)

Şekil 6 ve Şekil 7’de görüldüğü üzere devrede 81 adet “Combinational ALUT”, 23 adet lojik register ve 41 adet pin görülmüştür.

Slow 1200mV 85C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
1	191.31 MHz	191.31 MHz	clk	

Şekil 8. Fmax değeri

Şekil 8’ten anlaşılacağı üzere devrenin maksimum çalışma frekansının 191.31 MHz olduğu görülmektedir.



Şekil 9. RTL şeması

2.2.3. Sonuçların Yorumu

Şekil 6’da anlaşıldığı üzere “**done**” sinyalinin ilk durumda “**unknown-state**”de kalmasının sebebi, “**en**” sinyalin henüz aktif hale gelmemiş olmasıdır. “**en**” sinyali aktif hale geldikten sonra “**cnt**” sinyalinin değeri aritmetik olarak düşmeye başlamıştır ve böylelikle “**cnt**” sinyal değeri 0 olduğunda gecikmeli olarak “**done**” sinyali aktif hale gelmiştir. Bu gecikmenin sebebinin devredeki combinational veya sequental logic ünitelerinden kaynaklanabileceğini düşünüyoruz.

3. Sonuçlar ve Genel Yorumlar

Deneylerde öncelikle sayıcı devreler hakkında araştırmalar yaptık ve öğrenilen bilgileri problem çözümü için uyarladık. Karşılaştığımız sorunlara örnek olarak, serbest sayıcı devresi tasarımını yaparken, “**active-low reset**” sinyalini “**en**” sinyali ile beraber kullanma işlemini koda dökmekte zorlandık. Çeşitli analitik yöntemler sonucunda problemi çözüme kavuşturduk. Sorunlara ek olarak yavaşlatılabilir aşağı sayıcı devre tasarımında “**cnt**” sinyalinin aritmetik olarak azalması gerekirken sabit kalmasını ve “**done**” sinyalinin durağan kalmasını söyleyebiliriz. Gerekli araştırmalar ve uğraşlar sonucunda sorunları tek tek üstesinden geldik.

Sonuç olarak deney sayesinde, sayıcı devrelerin “**SystemVerilog**” dili altında yazılımı ve bu devrenin nasıl çalıştığını öğrendik. Deney genel olarak, zorlu görünse de bilgileri deney öncesinde araştırdığımız için iki devre arası bağlantıyı kurup deneyi başarıyla tamamladık.

4. Referanslar

[1] Ders Slaytları

[2] Harris and D.Harris, Digital Design and Computer Architecture: ARM Edition, 1st edition. Morgan Kaufmann, 2015.

KODLAR

```
/* lab5_g14_p1.sv
* Hazırlayanlar:
* Alperen Karataş - Ogün Uygur Yıldırım
* Notlar:
* ELM235 2020 Bahar Lab5 - Problem 1
* Yukarı serbest sayıcı devresi tasarlama
*/

module lab5_g14_p1(
    input logic clk, reset, en,
    input logic [4:0]psc,
    output logic tick,
    logic [4:0]counter
);
    always_ff @(posedge clk, negedge reset)
    begin
        if (!reset)
            counter<={5{1'b0}};
        else if(en)
            begin
                if(psc===counter)
                    begin
                        counter<=0;
                        tick<=1;
                    end
                else
                    begin
                        counter <=counter+1'b1;
                        tick<=0;
                    end
            end
    end
end
endmodule
```



```
/* tb_lab5_g14_p1.sv

* Hazırlayanlar:

* Alperen Karataş - Ogün Uygar Yıldırım

* Notlar:

* ELM235 2020 Bahar Lab5 - Problem 1

*Yukarı serbest sayıcı devresi testbench

*/

`timescale 1ns/1ps

module tb_lab5_g14_p1();

logic clk,reset,en;

logic [4:0] psc;

logic tick;

logic counter;

lab5_g14_p1 uut0(.clk(clk),.reset(reset),.en(en), .counter(counter), .psc(psc),
.tick(tick));

initial begin

    en=0; #10;

    en=1; #1000;

end

initial begin

    reset=0; #5;

    reset =1; #1000;

end

always begin

    clk=0; #20;

    clk =1; #20;

end

initial begin

    psc <=5'h5;

    #1000;

    $stop;

end

endmodule
```

```

/* lab5_g14_p2.sv
*Hazırlayanlar:
* Alperen Karataş - Ogün Uygur
Yıldırım
* ELM235 2020 Bahar Lab5 -
Problem 2
* Yavaşlatılabilir aşağı
sayıcı devresi tasarlama
*/

```

```

module lab5_g14_p1(
    input logic clk, reset,
    en,
    input logic [4:0]psc,
    output logic tick

);

logic [4:0]counter;

always_ff @(posedge clk,
negedge reset)
begin
    if (!reset)

        counter<={5{1'b0}};

    else if(en)
        begin

            if(psc===counter)
                begin
                    counter<=0;
                    tick<=1;
                    end

            else
                begin
                    counter
<=counter+1'b1;
                    tick<=0;
                    end
                end

        end

endmodule

```

```

module lab5_g14_p2 (
    input  logic clk, reset, en,
    input  logic [ 4:0] psc,
    input  logic [15:0] reload,
    output logic [15:0] cnt,
    output logic done
);
    logic signal,tick;

    lab5_g14_p1
    uut0(.clk(clk),.en(en),.reset(reset),.psc(psc),.tick(signal));

    always_ff @(posedge clk, negedge reset)
    begin
        if (!reset) begin

            cnt<={5{1'b0}};

            if (reload != 0)
                cnt <= reload;

            end

        else if(en)
            begin

                if(signal==1)

                    cnt=cnt-1;

                else if (cnt == 0)
                    begin
                        done <= 1;
                        cnt <= reload;
                        end

                else if (cnt != 0)
                    begin
                        done <= 0;
                        end

            end

        end

    end

endmodule

```

```

/*tb_lab5_g14_p2.sv
*Hazırlayanlar:
* Alperen Karataş - Ogün Uygur Yıldırım
* ELM235 2020 Bahar Lab5 - Problem 2
* Yavaşlatılabilir aşağı sayıcı devresi testbench
*/

`timescale 1ns/1ps

module tb_lab5_g14_p2();

    logic clk, reset, en;

    logic [ 4:0] psc;

    logic [15:0] reload;

    logic [15:0] cnt;

    logic done;

    lab5_g14_p2
dut0(.clk(clk),.reset(reset),.en(en),.reload(reload),.psc(psc),.cnt(cnt),.done(done)
);

    always begin

        clk = 0; #5; clk = 1; #5;

    end

    initial begin

        en = 0; reset = 0; #20;

        reset = 1; #20; en = 1;

    end

    initial begin

        psc <= 5'h1;

        reload <= 16'hA;

        #1000;

        $stop;

    end

endmodule

```