



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 0x2 Deney Raporu

Birleşimli Mantık Devreleri ve Çözümler

Hazırlayanlar
1) 1801022022 – Alperen Karataş
2) 1801022091 – Ogün Uygur Yıldırım

1. Giriş

Bu deneyde 7-segment display(7BE) üzerinde çalışılmıştır. Devre çizimi ile decoder tasarımı yapılmıştır.

2. Problemler

2.1. Problem I – Çözücü Tasarımı

2.1.1. Teorik Araştırma

Bu deneyde 7 segmente sahip bu ledlere bağlı 7 tane de giriş bulunmaktadır. Her bir girişe lojik 1 gönderilmesi durumunda LEDin kendi bölmesi yanmaktadır..

2.1.2. Deneyin Yapılışı

X3	X2	X1	X0	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	X	X	X	X	X	X	X
0	0	1	0	1	0	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	X	X	X	X	X	X	X
0	1	0	1	0	0	0	1	1	1	0
0	1	1	0	X	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X	X
1	0	0	0	X	X	X	X	X	X	X
1	0	0	1	X	X	X	X	X	X	X
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1	1	0	1
1	1	1	0	1	0	1	1	0	1	1
1	1	1	1	X	X	X	X	X	X	X

Şekil 1. Doğruluk Tablosu (Truth Table)

Ödevde verilen tabloya göre yukarıda belirtilen doğruluk tablosu çıkartılmıştır. Tablodan anlaşıldığı üzere devrede 4 adet input pini ve 7 adet output pini vardır. Kullanılmayan giriş kombinasyonları için don't care kullanılmıştır.

Şekil 1'den çıkarılan sonuca göre NOT,AND ve OR kapıları kullanılmasına karar verilmiştir. Uygun devre rahatlıkla çizilmiştir. Gerekli pinler seçilerek devrenin fonksiyonel simülasyonları gerçekleştirilmiştir. Girişlere bütün olası kombinasyonlar uygulanmış olup çıkış sinyalleri gözlemlenmiştir.

K-Map Çıktıları:

x_1x_0/x_3x_2	00	01	11	10
00	0	X	1	X
01	X	0	1	X
11	1	X	X	X
10	1	X	1	X

Şekil 2. A için K-Map

Boolean Denklemi: $x_1 + x_3$

x_1x_0/x_3x_2	00	01	11	10
00	0	X	0	X
01	X	0	1	X
11	1	X	X	X
10	0	X	0	X

Şekil 3. B için K-Map

Boolean Denklemi: $x_0x_1 + x_3x_0$

x_1x_0/x_3x_2	00	01	11	10
00	0	X	0	X
01	X	0	0	X
11	1	X	X	X
10	0	X	1	X

Şekil 3. C için K-Map

Boolean Denklemi: $x_1x_0 + x_2x_1$

x_1x_0/x_3x_2	00	01	11	10
00	0	X	1	X
01	X	1	1	X
11	1	X	X	X
10	1	X	1	X

Şekil 4. D için K-Map

Boolean Denklemi: $x_2 + x_1$

x_1x_0/x_3x_2	00	01	11	10
00	0	X	1	X
01	X	1	1	X
11	0	X	X	X
10	1	X	0	X

Şekil 5. E için K-Map

Boolean Denklemi: $x_2x_1' + x_2'x_1x_0'$

x_1x_0/x_3x_2	00	01	11	10
00	0	X	1	X
01	X	1	0	X
11	0	X	X	X
10	1	X	1	X

Şekil 6. F için K-Map

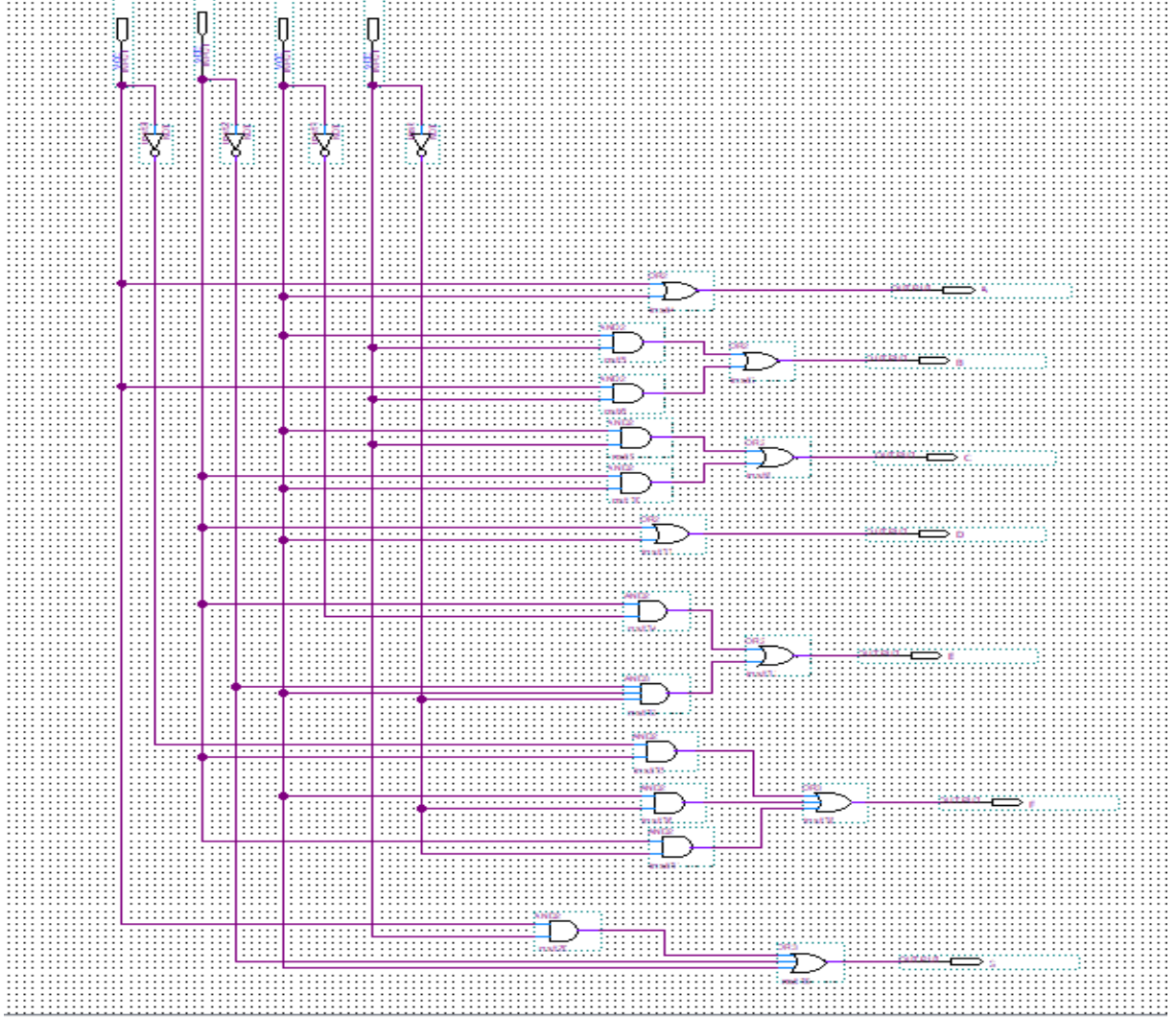
Boolean Denklemi: $x_3'x_2 + x_1x_0' + x_2x_0'$

x_1x_0/x_3x_2	00	01	11	10
00	1	X	0	X
01	X	0	1	X
11	1	X	X	X
10	1	X	1	X

Şekil 7. G için K-Map

Boolean Denklemi: $x_1 + x_2' + x_3x_0$

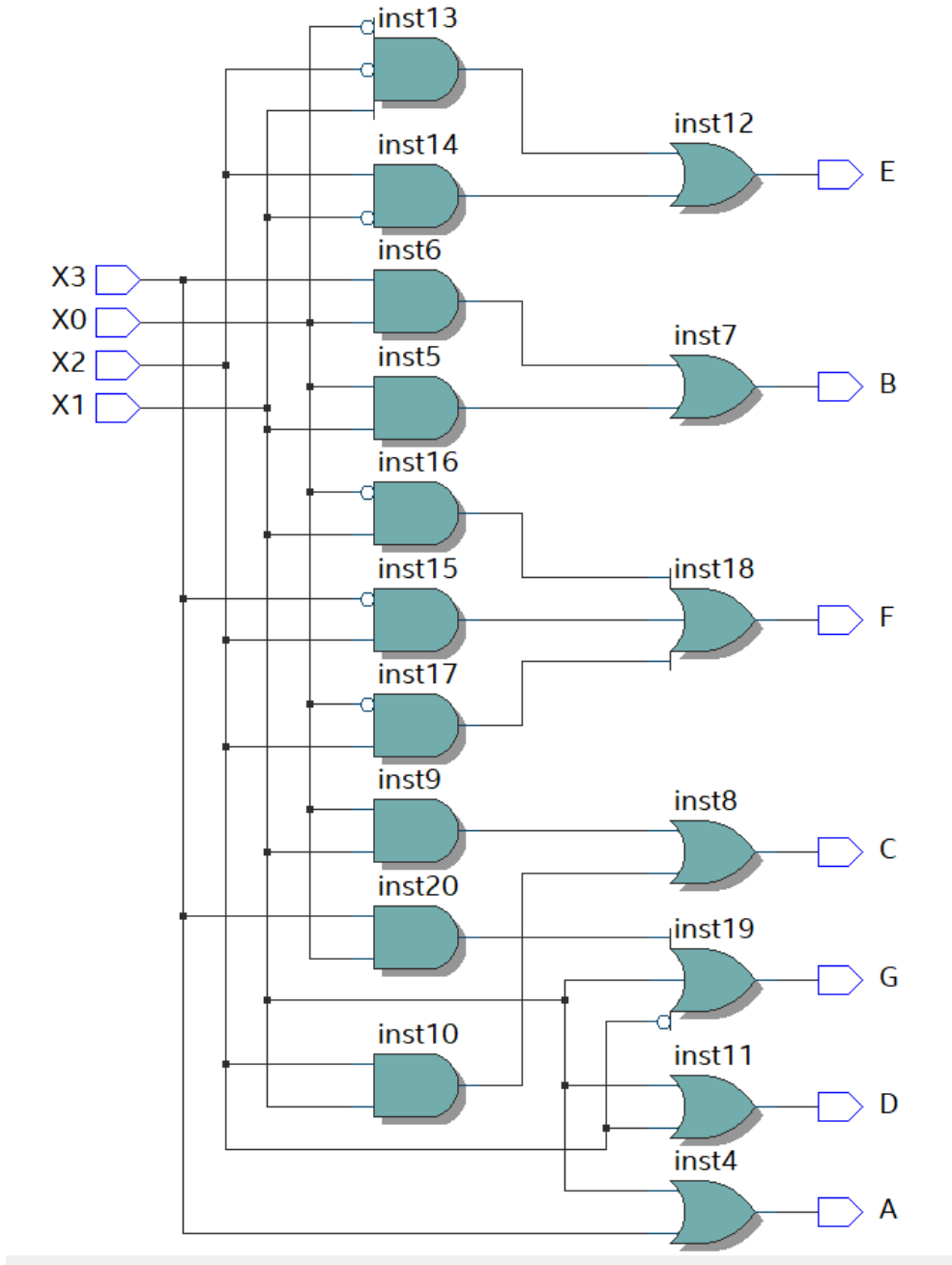
Yapılan deney sonucunda toplamda 21 adet (NOT kapısı dahil) devre elemanı kullanılmıştır.



Şekil 8. Pin atamaları yapılmış bir lojik devrenin şematik görüntüsü.

Proje oluşturulduktan sonra yeni bir şematik dosyası oluşturulmuş ve gerekli devre elemanları ile istenilen devre oluşturulup bağlantıları yapılmıştır. Pin atamaları yapılmış bir lojik devrenin şematiği Şekil 8’deki gibi görülmektedir.

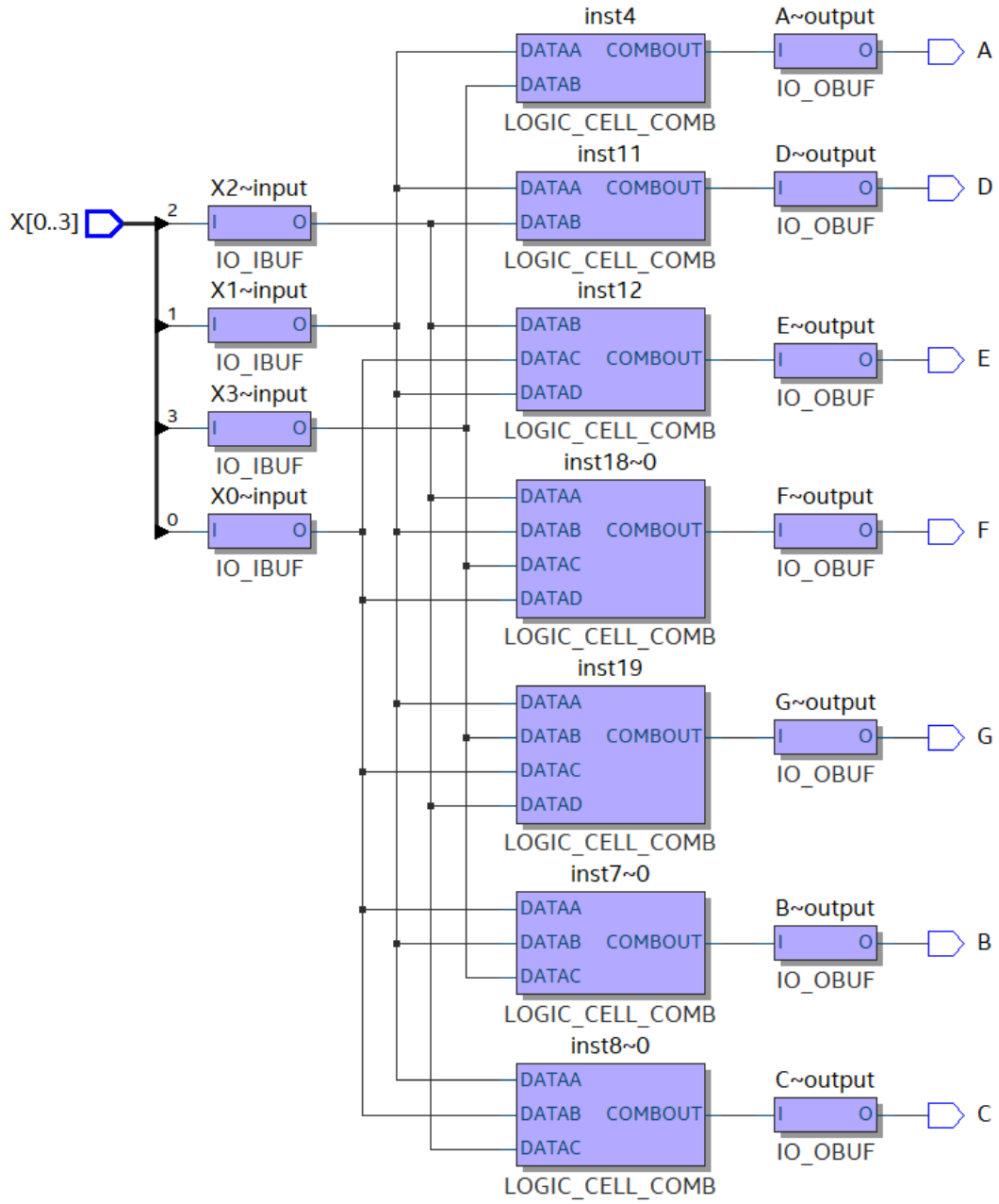
a) RTL Devre Şeması



Şekil 9. Lojik devrenin RTL devre şeması.

Bu seçenek ile lojik devrenin RTL (register transfer level) şematığını görüntülenebilir.

b) Eşleştirme Ardı Teknoloji Şeması



Şekil 10. Lojik devrenin eşleştirme ardı teknoloji şeması.

Bu seçenek netlistte sentez sonrası düğümlerin bulunmasını sağlar ve sonrasında optimize etmek için atamalar yapılmasına olanak verir.

c) Analiz ve Sentez Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Mar 09 01:15:26 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	lab02
Top-level Entity Name	lab02
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	8 / 8,064 (< 1 %)
Total registers	0
Total pins	11 / 250 (4 %)
Total virtual pins	0
Total memory bits	0 / 387,072 (0 %)
Embedded Multiplier 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 2 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 1 (0 %)

Şekil 11. Analiz ve Sentez Özeti

Yukarıdaki özetle görüldüğü üzere analiz ve sentez başarıyla gerçekleşmiştir ve devrenin gerçekleştirilmesi için 8 lojik eleman ve 11 pin gerekmektedir.

d) Analiz ve Sentez Kaynak Kullanım Özeti

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	7
2		
3	Total combinational functions	7
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	2
2	-- 3 input functions	3
3	-- <=2 input functions	2
5		
6	▼ Logic elements by mode	
1	-- normal mode	7
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	11
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	CC~input
15	Maximum fan-out	7
16	Total fan-out	39
17	Average fan-out	1.34

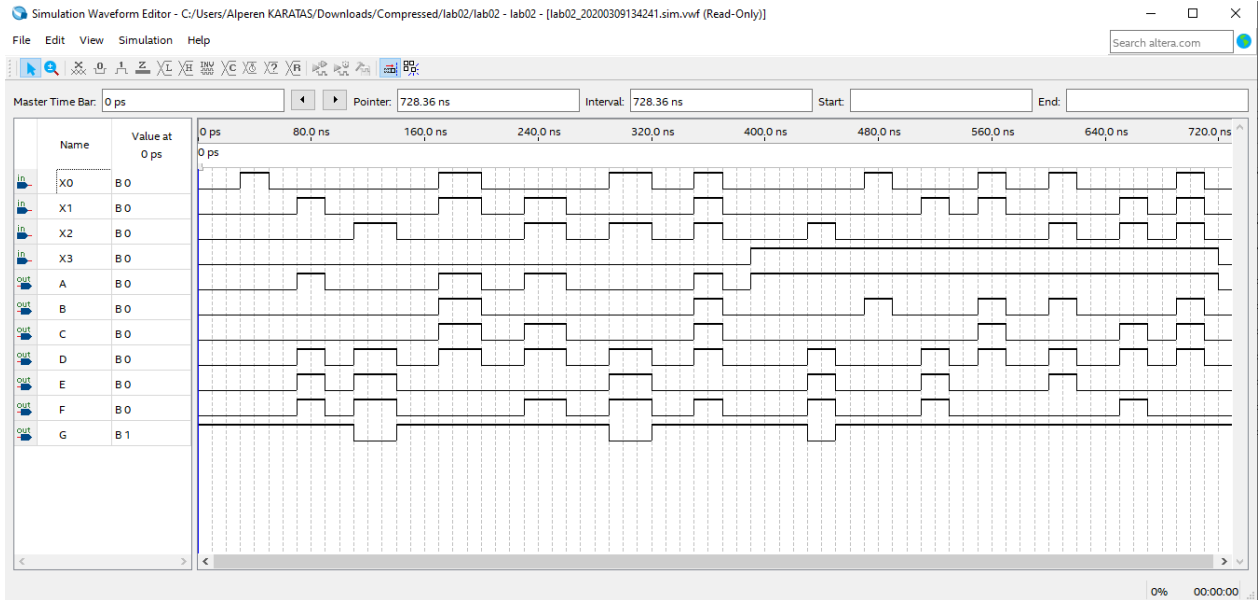
Şekil 11. Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 11’de görüldüğü gibi devrede 7 lojik eleman, 4’ü input 7’si output pini olmak üzere 11 adet pin kullanılmıştır. Lojik eleman normal moddadır. Maksimum çıkış yelpazesi sayısı 7, toplam çıkış yelpazesi sayısı 39’dır. Ortalama çıkış yelpaze sayısı ise 1.34’dır.

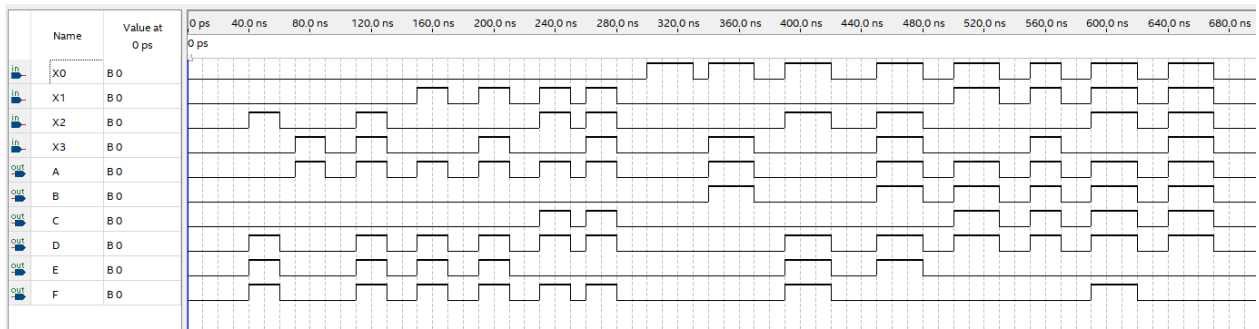
e) Simulasyon

Simulation Waveform Editor açıldıktan sonra devredeki pinler simulasyon arayüzüne eklenmiştir. Devreye uygun pinler Assignment Editor kısmında seçildikten sonra tabloya uygun kombinasyonlar seçilerek simülasyon gerçekleştirilmiştir.

1) Fonksiyonel Benzetim



Şekil 12. Fonksiyonel benzetim sonuç ekranı.



Şekil 13. Bir diğer fonksiyonel benzetim sonuç ekranı.

Yukarıda belirtilen fonksiyonel benzetimine ait sonuçlar ile Şekil 1’de belirtilen doğruluk tablosundaki sonuçlar karşılaştırılmış; görüldüğü üzere sonuçlar bire bir sağlanmıştır.

2.1.3. Sonuların Yorumu

Bu deneyde 7-segment displayin iřleyiřine gre doėruluk tablosu ıkarılmasının mantıėını kavramakta zorlandık ama gerekli arařtırmalar sonucunda bu problemi ařtıktık. Tabloya gre K-map'lerin ıkarılması kolaydı ancak hataya ok aık bir iřlem olduėundan fazlasıyla vaktimizi aldı. Dolayısıyla bu problemin zerinde birkaç defa tekrarda bulunduk.

K-map sorunu zldkten sonra devre izimi ařamasına, sonrasında da fonksiyonel benzetime getik. Bu ařamalara nceki deneylerden ařına olduėumuz iin kolaylıkla stesinden geldik.

3. Sonular ve Genel Yorumlar

Bu deneyde doėruluk tablosunu ıkarmak nispeten zordu Bu tabloyu ıkarmakta herhangi bir fikir ayrılıėı olmadı; lakin K-map'ler hataya aık olduėundan bunları ıkarırken bazı fikir ayrılıklarına dřtk. Sonrasında gerek grup ii, gerek bireysel arařtırmalar sonucunda problemlerin stesinden geldik. Devre izimi ařamasında bireysel olarak iki farklı bilgisayarda yapılan farklı izimlerde birtakım hatalar tespit ettik. Nihayetinde doėru olan devre řemasını řekil 8'de grldė gibi ekledik. Fonksiyonel benzetim ařamasında da doėruluk tablosunun simlasyon ekranına farklı aktarılması sonucu farklı ama doėru sonular elde ettik. Bahsedilen iki farklı fonksiyonel benzetim řeması řekil 12 ve řekil 13'te belirtilmiřtir.

4. Referanslar

1-Harris and D.Harris, Digital Design and Computer Architecture: ARM Edition, 1st edition. Morgan Kaufmann, 2015.

2- <https://www.geeksforgeeks.org/bcd-to-7-segment-decoder/3->

3- <https://www.101computing.net/bcd-to-7-segment-display/>