

BLM 343 – SOC (System on Chip) Design

CORDIC Tabanlı HW/SW CoDesign

Alp Eren Gürle, Taha Yasin Öztürk

Fenerbahçe Üniversitesi

Bilgisayar Mühendisliği

İstanbul, Türkiye

e-mail: alp.gurle@stu.fbu.edu.tr,taha.ozturk@stu.fbu.edu.tr

**Özetçe—** Bu proje kapsamında donanım hızlandırıcı olarak Xilinx’in CORDIC (COordinate Rotation DIgital Computer) IP’si kullanıldığı ve işlemcinin hesap yükünü donanım hızlandırıcıya aktardığı bir proje yapılacaktır

Anahtar Kelimeler — FPGA, CPU, Vitis,ZYNQ,CORDIC.

Abstract— We have developed a verification environment that performs autonomous control of the FB-CPU processor with the

SystemVerilog language.

Keywords — FPGA, CPU. ZYNQ,CORDIC.

1. **Giriş**

**Abstract:** A project to help budget hardware of Xilinx CORDIC (Coordinate Rotation DIgital Computer) IP training and equipment.

**Keywords:** FPGA, CPU,SystemVerilog,Vitis,ZYNQ,CORDIC.

Donanım hızlandırıcı olarak Xilinx’in CORDIC (COordinate Rotation DIgital Computer) IP’si kullanıldığı ve işlemcinin hesap yükünü donanım hızlandırıcıya aktardığı bir proje yapılacaktır.

ZYNQ mimarisine sahip olan PYNQ geliştirme kartı üzerinde proje geliştirilecektir. ZYNQ’in PS (Processor) bölümü, tasarlanacak özel bir modüle verileri besleyip, sonucunu alacak şekilde tasarlanacaktır.

1. **Sistem Mimarisi**

Proje kapsamında 1 araç kullanıldı.

1)Xilinx Vivado Design Suite

Xilinx Vivado Design Suite, FPGA geliştirme kartları üzerinde çalışmalar yapmak için gerekli olan tasarımı oluşturmak için kullanılmaktadır. Verilog, VHDL vb.. donanım tasarım dillerini alarak, FPGA’e konfigüre edilebilecek (Xilinx firması FPGA’leri

için .bit uzantılı dosyalar) tasarım dosyasını oluşturur. Vivado Tasarım Aracı, Xilinx’in 7 ve daha yeni jenerasyon FPGA’leri için

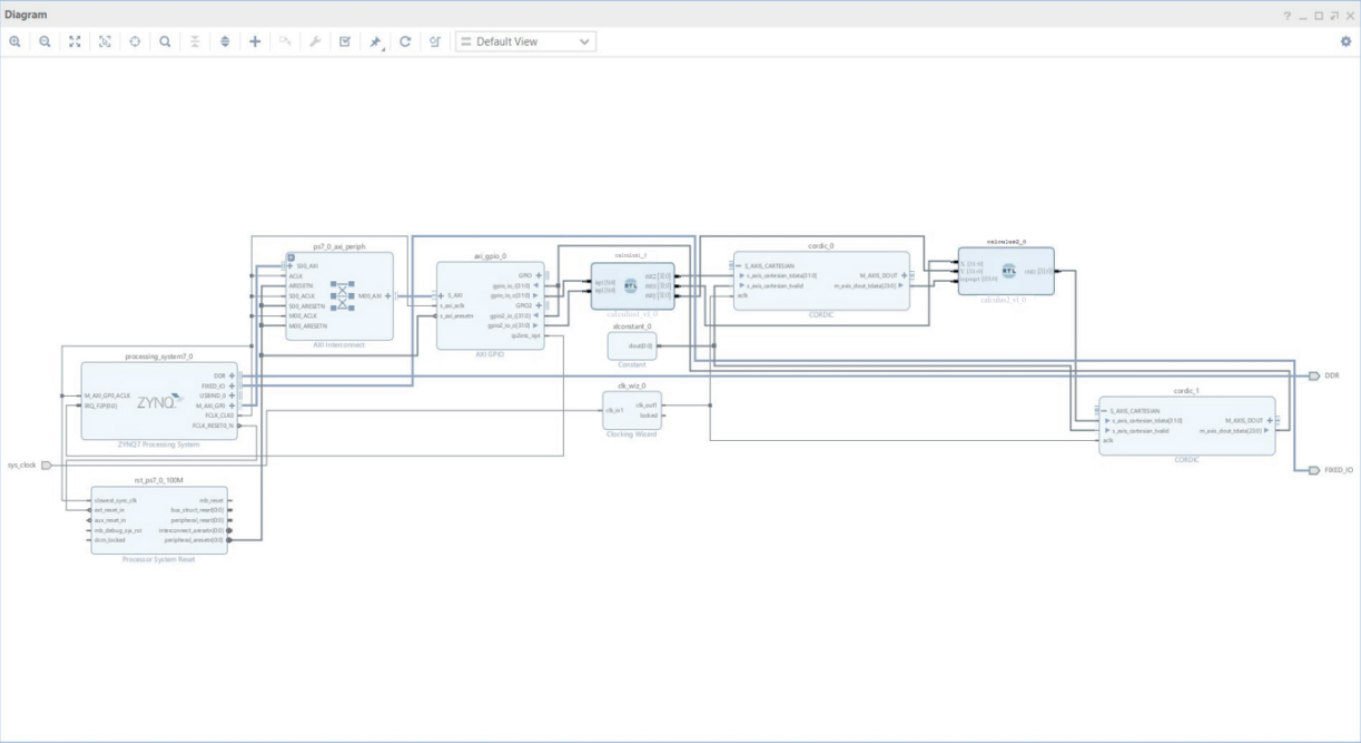
kullanılabilen bir geliştirme ortamıdır. Bu ortam Xilinx’in sunduğu çeşitli geliştirme ve doğrulama araçlarını barındırır. Projede Verilog dili ile tasarımlar yapılacaktır.

1. **Kullanılan Yazılım**

Tasarımlarımızı yapmak için Xilinx tarafından geliştirilen Vivado Design Suite yazılımını kullandık. Vivado Design Suite, HDL tasarımlarının sentezi ve analizi için üretilmiş bir yazılım paketidir ve Xilinx ISE'nin yerine çip geliştirme ve üst düzey sentez sistemi için ek özellikler sunar. ZYNQ mimarisine sahip olan PYNQ geliştirme kartı üzerinde proje geliştirilecektir. ZYNQ’in PS (Processor) bölümü, tasarlanacak özel bir modüle verileri besleyip, sonucunu alacak şekilde tasarladık.

**metin içeren bir resim

Açıklama otomatik olarak oluşturuldu**

****

Bu modülülde işlemi yapılmıştır.

İlk başta Zynq mimarisini ekledik. Sonra axi interconnect ve processor system reset de eklenir. Daha sonra AXI GPIO ekledik.

**metin içeren bir resim

Açıklama otomatik olarak oluşturuldu**

XI GPIO ‘u Vitis kısmında tanımlıyoruz.

Bu kısımda gpioData\_1’e 10 gpiData\_2’ye 20 veriyoruz.

sayıları gpio IPsi ile calculus1 modülüne yolluyoruz.

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

Bu kısımda dataları 32 bitlik input inp1,inp2 ve outputlar out1,outx,outy olarak atıyoruz . out1 çıkışında iki sayının da karelerini alıp topluyoruz. Başlangıçtaki input değerlerini de başka modülde kullanmak için 2 farklı çıkışa besliyor. Out1 çıkışı Cordice yolluyoruz outX ve Y ‘yi işlem yapması için calculus2’ye yolluyoruz.

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

Calculus2 modülü input olarak cordicten çıkan kök sonucunu ve önceki modülden gelen outx ve outy yi alıyor. Output olarak 32bitlik outz çıkışını verir. ((X\*Y)+ inpsqrt)). Daha sonra bu outz 2. Bir cordice atılır. AXI GPIO IP’sinin girişi değişeceği için interrupt ürettir. 2. Gpio IPsinin girişleri değiştiği andan itibaren interrupt üretiliyor ve bu interrupt ZYNQ Ipsine geliyor ve dallanma oluşuyor.

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

Proje tamamlanıyor.

**Sonuçlar**

Projenin sonuç çıktıları şu şekildedir.

𝐶 = √√𝐴2 + 𝐵2 + 𝐴∗𝐵

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

1. **Kullanılan Yazılım**

Tasarımlarımızı yapmak için Xilinx tarafından geliştirilen Vivado Design Suite yazılımını kullandık. Vivado Design Suite, HDL tasarımlarının sentezi ve analizi için üretilmiş bir yazılım paketidir ve Xilinx ISE'nin yerine çip geliştirme ve üst düzey sentez sistemi için ek özellikler sunar. Biz de SystemVerilog dilini kullanarak Vivado üzerinde tasarımımızı yaptık.

**V. SONUÇLAR**

Bu proje kapsamında dijital tasarım dersinde tamamlanan FB-CPU işlemcisinin SystemVerilog dili ile otonom kontrolünü yapan bir doğrulama ortamı geliştirdik. Sonuca göre doğru çalışan bir FBCPU'dan alınan sonuçlar da doğrudur. Eğer hatalı bir FBCPU konulursa testbench hatalı olduğunu teyit etmektedir

**VI.Proje Ekibi**

Alp Eren Gürle, 13.10.2000 yılında doğdu. 2018 yılında Denizli Uğur Anadolu Lisesinden mezun oldu. Şu anda Fenerbahçe Üniversitesinde Bilgisayar Mühendisliği bölümünde lisans eğitimi almakta. Öğrenci numarası, 190301028

Taha Yasin Öztürk, 20.11.2000 yılında doğdu. 2019 yılında Erbakır Fen Lisesinden mezun oldu. Şu anda Fenerbahçe Üniversitesinde Bilgisayar Mühendisliği bölümünde lisans eğitimi almakta. Öğrenci numarası, 190301027.

**VII.Referans Dosyalar**

**Github Dosyası:**

https://github.com/alpgurlee/SOC--System-on-Chip--Design-CORDIC-Tabanl--HW-SW-CoDesign

**Youtube Adresi:**

https://www.youtube.com/watch?v=B\_rpj90\_ApI

**Kaynaklar**

[1] http://www.levent.tc/courses/system-on-chip-soc-design