

1、概述

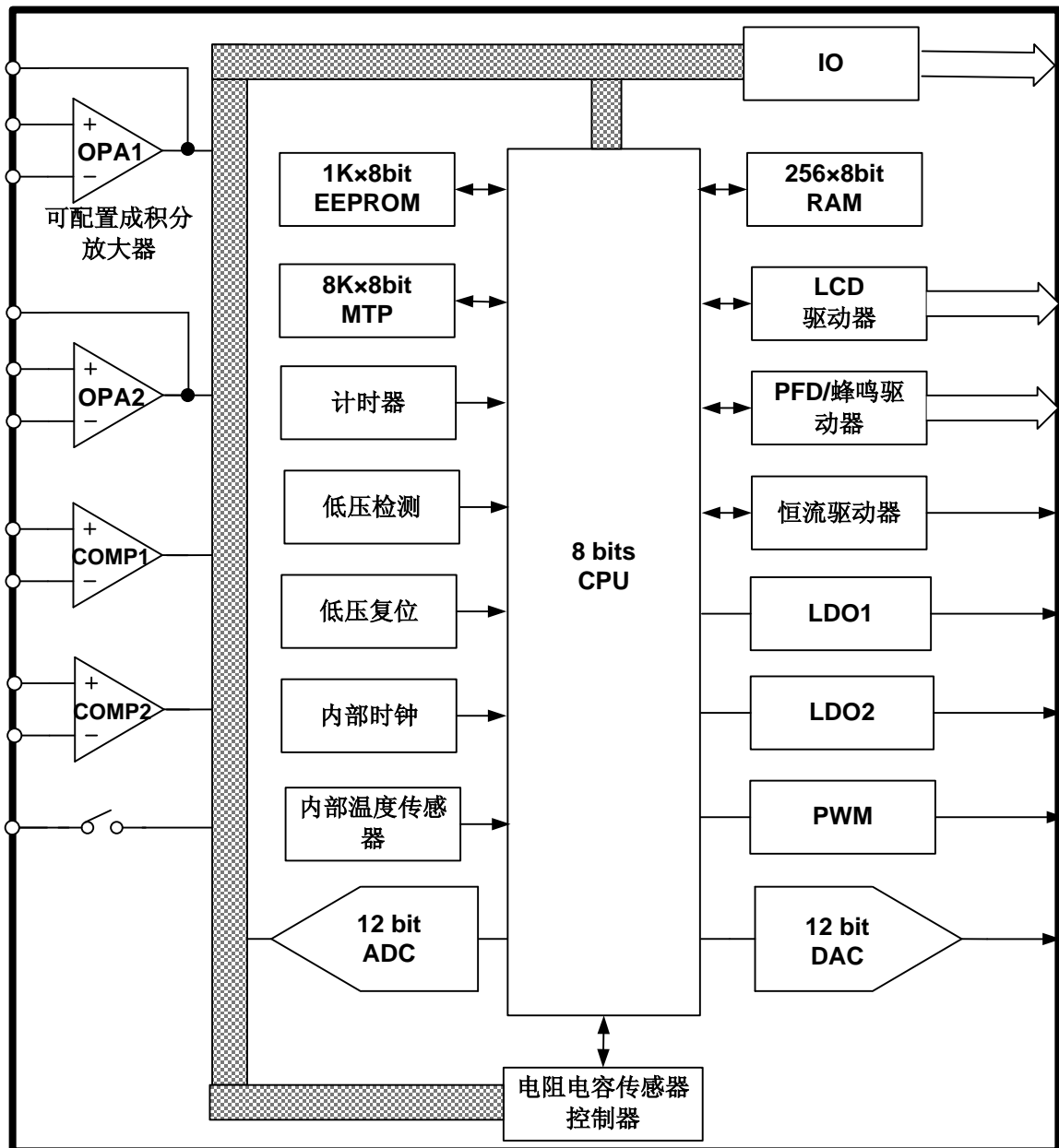
CS2110 是一款具有低噪声放大器和 ADC 功能的低功耗可编程传感器专用检测电路，专门为需要直接接模拟信号的各式传感器应用产品所设计。比如光电式烟雾报警器、可燃气体探测器、电子测量仪器、环境监控、手持式测量工具、家庭应用、电子控制工具、马达控制、家庭安全系统以及其它方面。其特点如下：

- 高性能 RISC CPU：
 - 单指令周期的超快速 8 位 CPU
 - 完全兼容 MCS-51 指令
- 灵活的振荡器结构：
 - 内建 16M/8M/4M/2M/910kHz 高速系统时钟振荡器
 - 内建 32K/8K 低速时钟振荡器
 - 可外挂低速/高速晶体振荡器
- 单片机特性：
 - 工作电压范围：2.0V~5.5V
 - 工作温度范围：-25℃~70℃
 - MTP：8K×8bit
 - RAM：内部 256×8bit；外部 128×8bit
 - 数据存储器（EEPROM）：1K×8bit，擦写次数大于 20 万次
 - 看门狗定时器
- 低功耗管理：
 - 多种低功耗工作模式可选
 - 待机功耗：<2μA @3V
- 模拟特性：
 - 模数转换器（ADC）：12 位分辨率
12 通道 ADC（外部 IO 最多可用 8 路 ADC）
可选择外部参考电压作为基准
 - 用于语音的 12 位数模转换器（DAC）
 - 音频频率产生器（PFD）
 - 内置两个放大器（AMP），其中一个可配置成低噪声电流积分放大器
 - 内置两个比较器（COMP）
 - 可编程低电压检测（LVD）：2.0V、2.1V、2.2V、2.3V、2.4V、2.5V、2.6V、2.7V、3.0V、3.3V、3.6V、4.4V
 - 可编程低压复位（LVR）：2.1V、2.55V、3.15V、4.2V（程序未配置时上电默认 1.8V）
 - 4 个软件控制 SCOM1/2 bias LCD 驱动
 - 内置双 LDO：LDO1：1.8V/2.2V/2.4V/3.3V
LDO2：1.8V/2.4V
 - 内置温度传感器
- 外设特性：
 - 中断：2 个中断向量，可配置外部中断（所有 IO 口都可作为外部中断）
 - 多达 28 个双向 I/O 端口，且均单独配置上拉功能

- 双时基功能
- **TIMER**: 一个 8 位和三个 16 位具有溢出中断功能的可编程定时/计数器
- **PWM**: 双通道 16 位 PWM, 可配置互补输出, 可配置死区时间可调
- 通讯接口: UART、SPI、I²C
- 封装形式: SOP16 (窄体): CS2110AGO、CS2110BGO
 SSOP20: CS2110CGO
 SSOP24: CS2110DGO
 SSOP28: CS2110EGO
 LQFN32: CS2110GN

2、功能框图与引脚说明

2.1、功能框图

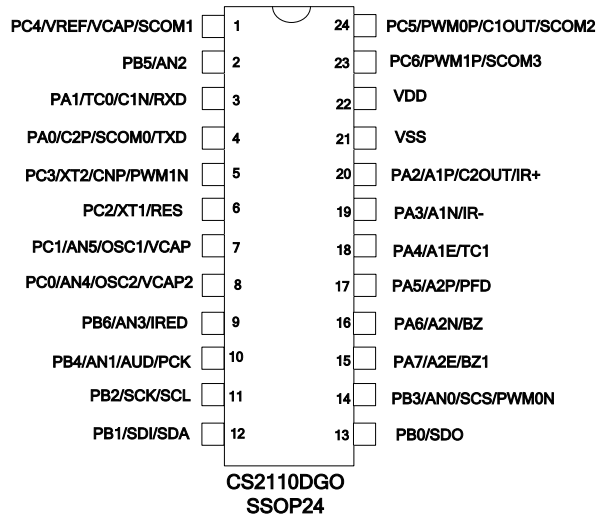
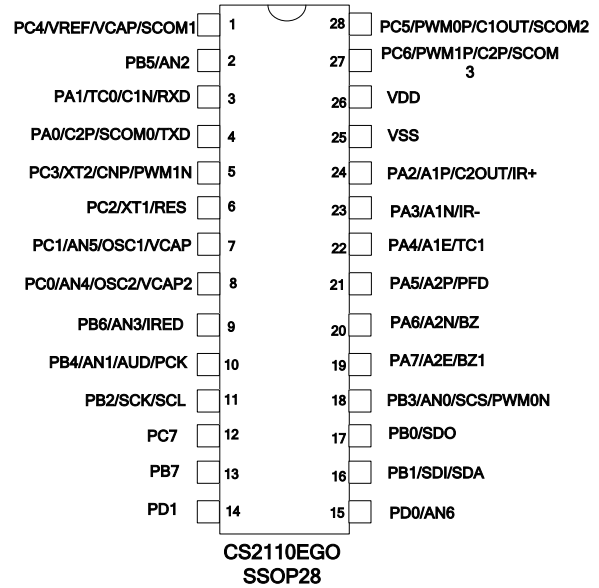
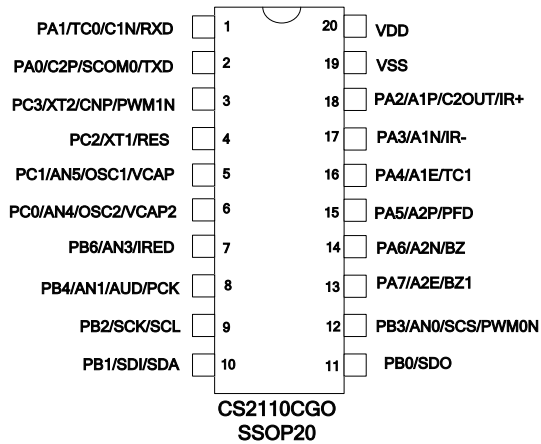
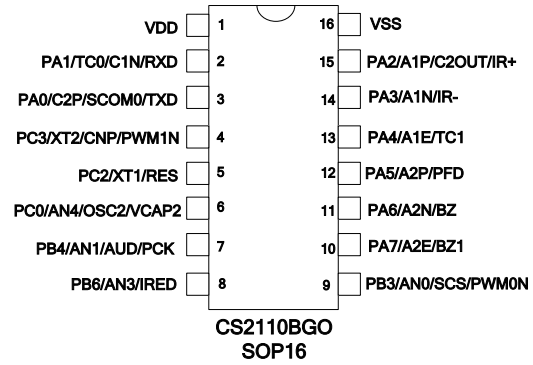
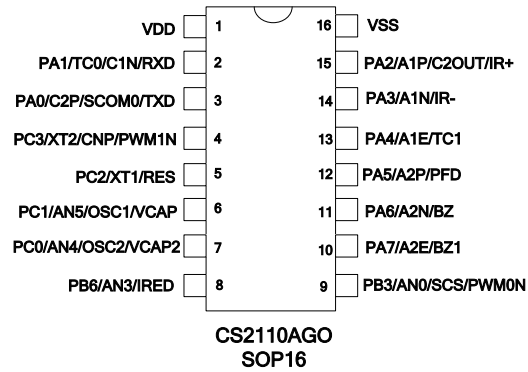


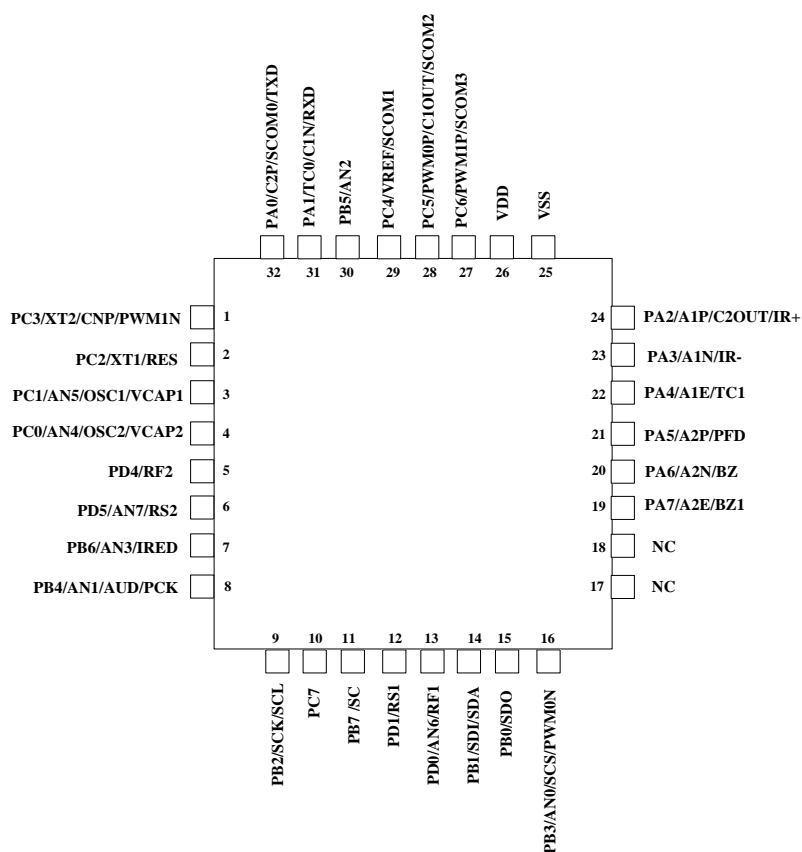
2.2、功能描述

CS2110 是一款具有低噪声放大器和 ADC 功能的低功耗可编程传感器专用检测电路，专门为需要直接接模拟信号的各式传感器应用产品所设计。内部集成 8 位 CPU 核，8K Bytes MTP 程序存储器，1K Bytes EEPROM 数据存储器，256 Bytes RAM 给用户 provide 极大的可扩展性。在模拟特性方面，电路包含一个多通道 12 位 A/D 转换器、两路 PWM 输出、两个低噪声运算放大器，两个比较器，一个可配置的 1.8V、2.2V、2.4V 或 3.3V 的 LDO 电压调节器和一个 12 位 D/A 转换器电路。内建完整的 UART、SPI 和 I²C 功能，为设计者提供了一个易与外部硬件通信的接口。内部看门狗定时器、低电压复位和低电压检测等内部保护特性，外加优秀的抗干扰和 ESD 保护性能，确保单片机在恶劣的电磁干扰环境下可靠地运行。

电路还提供一个内置的温度传感器，外加时基功能、I/O 使用灵活等其它特性，使电路可以广泛应用于各种采用各式传感器、对外部模拟信号处理控制的产品，例如烟传感器、电子测量仪器、环境监控、手持式测量工具、家庭应用、电子控制工具、马达控制、家庭安全系统以及其它方面。

2.3、引脚排列图





CS2110GN
LQFP32

2. 4、引脚说明与结构原理图

序号	引脚名称	功能	输入输出	说明
1	PA0/C2P/SCOM0/TXD	PA0	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		C2P	I	比较器 2 同步输入脚
		TXD	I	UART 通讯口
		SCOM0	I/O	软件控制 1/2 bias LCD COM
2	PA1/TC0/C1N/RXD	PA1	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		TC0	I	外部定时器 0 时钟输入脚
		RXD	I	UART 通讯口
		C1N	I	比较器 1 同步输入脚

转下页

接上页

序号	引脚名称	功能	输入输出	说明
3	PA2/A1P/C2OUT/IR+	PA2	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A1P	I	OPA1 同相输入脚
		IR+	I	积分放大器正输入端
		C2OUT	O	比较器 2 输出脚
4	PA3/A1N/IR-	PA3	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A1N	I	OPA1 反相输入脚
		IR-	I	积分放大器负输入端
5	PA4/A1E/TC1	PA4	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A1E	O	OPA1 输出脚
		TC1	I	外部定时器 1 时钟输入脚
6	PA5/A2P/PFD	PA5	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A2P	I	OPA2 同相输入脚
		PFD	O	PFD 输出
7	PA6/A2N/BZ	PA6	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A2N	I	OPA2 反相输入脚
		BZ	O	蜂鸣器输出脚
8	PA7/A2E/~BZ	PA7	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		A2E	O	OPA2 输出脚
		~BZ	O	蜂鸣器互补输出脚
9	PB0/SDO	PB0	I/O	通用 I/O 口，可通过寄存器设置上拉电阻，具有 NMOS 输出结构
		SDO	O	SPI 数据输出脚
10	PB1/SDI/SDA	PB1	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		SDI	I	SPI 数据输入端
		SDA	I	I2C 数据线

转下页

接上页

序号	引脚名称	功能	输入输出	说明
11	PB2/SCK/SCL	PB2	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		SCK	I	SPI 串行时钟线
		SCL	I	I2C 时钟线
12	PB3/AN0/~SCS/PWM0N	PB3	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN0	I	A/D 通道 0
		PWM0N	O	PWM0 反向输出脚
		~SCS	I	SPI 从机片选脚
13	PB4/AN1/AUD/PCK	PB4	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN1	I	A/D 通道 1
		AUD	O	D/A 输出脚
		PCK	I	外围时钟输出
14	PB5/AN2	PB5	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN2	I	A/D 通道 2
15	PB6/AN3/IRED	PB6	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN3	I	A/D 通道 3
		IRED	I/O	恒流驱动输出脚
16	PB7/SC	PB7	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		SC	I/O	热敏电阻检测 RS 端
17	PC0/AN4/OSC2/VCAP2	PC0	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN4	I	A/D 通道 4
		OSC2	I/O	HXT 脚
		VCAP2	O	LDO2 输出脚
18	PC1/AN5/OSC1/VCAP	PC1	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN5	I	A/D 通道 5
		VCAP	I/O	LDO1 输出脚，连接一个 0.1μF 电容到地
		OSC1	I/O	HXT/ERC 脚

转下页

接上页

序号	引脚名称	功能	输入输出	说明
19	PC2/XT1/RES	PC2	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		RES	I	复位脚
		XT1	I/O	LXT 脚
20	PC3/XT2/CNP/PWM1N	PC3	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		CNP	I	比较器输入脚
		PWM1N	O	PWM1 反向输出脚
		XT2	I/O	LXT 脚
21	PC4/VREF/SCOM1	PC4	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		VREF	I	A/D 转换器参考电压输入
		SCOM1	I/O	软件控制 1/2 bias LCD COM
22	PC5/PWM0P/C1OUT /SCOM2	PC5	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		PWM0P	O	PWM0 输出脚
		C1OUT	O	比较器 1 输出脚
		SCOM2	I/O	软件控制 1/2bias LCD COM
23	PC6/PWM1P/SCOM3	PC6	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		PWM1P	O	PWM1 输出脚
		SCOM3	I/O	软件控制 1/2bias LCD COM
24	PC7	PC7	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
25	PD0/AN6/RF1	PD0	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN6	I	A/D 通道 6
		RF1	I/O	热敏电阻检测 RF 端
26	PD1/RS1	PD1	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		RS1	I/O	热敏电阻检测 RS 端

转下页

接上页

序号	引脚名称	功能	输入输出	说明
27	PD4/RF2	PD4	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		RF2	I/O	湿度电容检测 RF2 端
28	PD5/AN7/RS2	PD5	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		AN7	I	A/D 通道 7
		RS2	I/O	湿度电容检测 RS2 端
29	PD6/EESCL	PD6	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		EESCL	I	I2C 时钟线
30	PD7/EESDA	PD7	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		EESDA	I/O	I2C 数据线
31	PE5/EEWP	PE5	I/O	通用 I/O 口，可通过寄存器设置上拉电阻
		EEWP	I/O	EEPROM WP 信号线

3、电特性

3.1、极限参数

除非另有规定， $T_{amb}=25^{\circ}\text{C}$

参数名称	符号	额定值		单位
		最小	最大	
电源	V_{DD}	-0.3	5.5	V
存储温度	T_{stg}	-50	125	$^{\circ}\text{C}$
工作环境温度	T_{amb}	-25	70	$^{\circ}\text{C}$
数字 IO 电压	V_{IOIN}	-0.3	$V_{DD}+0.3$	V

3.2、电特性

3.2.1、直流参数

除非另外规定， $T_{amb}=-25\sim70^{\circ}\text{C}$ 及典型应用（除非另外说明）

参数名称	符号	测试条件		规范值			单位
		V_{DD} 电压	条件	最小	典型	最大	
工作电压	V_{DD}		$f_{SYS}=910\text{kHz}$ (HXT/ERC/E C/HIRC)	1.8		5.5	V
			$f_{SYS}=4\text{MHz}$ (HXT/ERC/H IRC/EC)	1.8		5.5	V
			$f_{SYS}=8\text{MHz}$ (HXT/ERC/H IRC/EC)	3.3		5.5	V
			$f_{SYS}=16\text{MHz}$ (HIRC)	5		5.5	V
静态电流 ($f_{SYS}=0$)	I_{STB}	3V	无负载， WDTon 系统进入 STOP		1.5	3.0	μA
		5V			2.5	5.0	
输入/输出 口、TCn 脚 及 INTn 脚的 低电平输入 电压	V_{IL1}			0		$0.3V_{DD}$	V
输入/输出 口、TCn 脚 及 INTn 脚 的高电平输 入电压	V_{IH1}			$0.7V_{DD}$		V_{DD}	V
低电平输入 电压(R_{ES})	V_{IL2}			0		$0.4V_{DD}$	V
高电平输入 电压(R_{ES})	V_{IH2}			$0.9V_{DD}$		V_{DD}	V
低电平输入 电压	V_{IL3}					1	V
高电平输入 电压	V_{IH3}			2			V

转下页

接上页

参数名称	符号	测试条件		规范值			单位
		V _{DD} 电压	条件	最小	典型	最大	
低电压复位 电压	V _{LVR1}		V _{LVR} =2.10V	-5%	2.10	5%	V
	V _{LVR2}		V _{LVR} =2.55V	-5%	2.55	5%	V
	V _{LVR3}		V _{LVR} =3.15V	-5%	3.15	5%	V
	V _{LVR4}		V _{LVR} =4.20V	-5%	4.20	5%	V
低电压检测 电压	V _{LVD1}		LV DEN=1 V _{LVD} =2.0V	-5%	2.0	+5%	V
	V _{LVD2}		LV DEN=1 V _{LVD} =2.1V	-5%	2.1	+5%	V
	V _{LVD3}		LV DEN=1 V _{LVD} =2.2V	-5%	2.2	+5%	V
	V _{LVD4}		LV DEN=1 V _{LVD} =2.3V	-5%	2.3	+5%	V
	V _{LVD5}		LV DEN=1 V _{LVD} =2.4V	-5%	2.4	+5%	V
	V _{LVD6}		LV DEN=1, V _{LVD} =2.5V	-5%	2.5	+5%	V
	V _{LVD7}		LV DEN=1 V _{LVD} =2.6V	-5%	2.6	+5%	V
	V _{LVD8}		LV DEN=1 V _{LVD} =2.7V	-5%	2.7	+5%	V
	V _{LVD9}		LV DEN=1 V _{LVD} =3.0V	-5%	3.0	+5%	V
	V _{LVD10}		LV DEN=1 V _{LVD} =3.3V	-5%	3.3	+5%	V
	V _{LVD11}		LV DEN=1 V _{LVD} =3.6V	-5%	3.6	+5%	V
	V _{LVD12}		LV DEN=1 V _{LVD} =4.4V	-5%	4.4	+5%	V
输入/输出 灌电流	I _{OL}	3V	V _{OL} =0.1V _{DD}	9.8	14		mA
		5V		21	30		mA
输入/输出 源电流	I _{OH}	3V	V _{OH} =0.9V _{DD}	2.8	4		mA
		5V		6.3	9		mA
上拉电阻	R _{PH}	3V		40	60	80	kΩ
		5V		10	30	50	kΩ
ADC 工作电 压	A _{VDD}			2.2		5.5	V

转下页

接上页

参数名称	符号	测试条件		规范值			单位
		V _{DD} 电压	条件	最小	典型	最大	
A/D 输入电压	V _{AD}			0		V _{REF}	V
A/D 输入参考电压范围	V _{REF}		A _{VDD} =5V	2		V _{DD}	V
打开 A/D 增加的功耗	I _{ADC}	3V			0.5	1.0	mA
		5V			1.5	3.0	mA
带隙参考缓冲电压	V _{BG}			-1%	1.20	+1%	V
LVD 或 LVR 开启时的 DC 电流	I _{LVR}	3V			2.5	7.5	μA
		5V			5	10	μA
LCD COM VDD/2 电压	V _{SCOM}	5V	无负载	0.475	0.5	0.525	VDD
LCD COM VLDO/2 电压		5V	无负载	0.475	0.5	0.525	VLDO
输出电流	I _{OUT}	5V	I _{SEL} =0 LCDBUF=0		10	45	μA
			I _{SEL} =1; LCDBUF=0		25	45	μA
			I _{SEL} =0; LCDBUF=1		27	85	μA
			I _{SEL} =1 LCDBUF=1		27	85	μA

3.2.2、交流参数

除非另外规定， $T_{amb}=-25\sim 70^{\circ}\text{C}$ 及典型应用（除非另外说明）

参数名称	符号	测试条件		规范值			单位
		V_{DD} 电压	条件	最小	典型	最大	
系统时钟	f_{SYS1}		2.2V~5.5V			4	MHz
			3.3V~5.5V			16	MHz
低压复位时间	t_{LVR}			60	120	240	μs
低压中断时间	t_{LVD}			60	120	240	μs
LVDO 稳定的时间	t_{LVDS}	5V	LVR 关闭 LVD 使能 VBG 就绪	25		100	μs
复位延迟时间	t_{RSTD}				100		ms
A/D 时钟周期	t_{AD}			0.5			μs
A/D 开启到 A/D 开始工作的时间	t_{ON2ST}	2.2V~5.5V		2			μs

4、工作原理

4.1、中央控制器

CPU 通过内部的系统总线连接到存储器（MTP、EEPROM、RAM）和外设模块。存储器用来存放程序代码和数据。存储器和寄存器的地址访问都要基于 CPU 的指令集来实现。

所有的中断控制请求都会被收集起来发给 CPU，同时会记录下所有发出中断控制信号。中断控制信号是专门由中断控制模块来产生并保持的。

4.1.1、CPU（中央处理器）

- 1) 1CPU 核心；
- 2) 兼容 8051 的指令集；
- 3) 2 个中断矢量信号；
- 4) 1 个复位矢量信号；
- 5) 系统时钟 0~16MHz。

当 CPU 复位的时候，内部所有的寄存器将会复位到初始状态，堆栈指针强制归 0，中断控制信号置为 1，屏蔽中断信号发射，打开外部中断信号锁定状态。

电路可通过 4 线接口实现在线编程模式：

在线烧录引脚名称	功能
DATA	串行数据输入/输出
CLK	串行时钟
VDD	电源
VSS	地

CPU 的指令集：

算法操作：

Mnemonic	Description	Code	Byte	Cycles
ADD A,Rn	Add register to accumulator	0x28-0x2F	1	1
ADD A,direct	Add direct byte to accumulator	0x25	2	2
ADD A,@Ri	Add indirect RAM to accumulator	0x26-0x27	1	2
ADD A,#data	Add immediate data to accumulator	0x24	2	2
ADDC A,Rn	Add register to accumulator with carry bag	0x38-0x3F	1	1
ADDC A,direct	Add direct byte to A with carry bag	0x35	2	2
ADDC A,@Ri	Add indirect RAM to A with carry bag	0x36-0x37	1	2
ADDC A,#data	Add immediate data to A with carry bag	0x34	2	2
SUBB A,Rn	Subtract register from A with borrow	0x98-0x9F	1	1
SUBB A,direct	Subtract direct byte from A with borrow	0x95	2	2
SUBB A,@Ri	Subtract indirect RAM from A with borrow	0x96-0x97	1	2
SUBB A,#data	Subtract immediate data from A with borrow	0x94	2	2
INC A	Increment accumulator	0x04	1	1
INC Rn	Increment register	0x08-0x0F	1	2
INC direct	Increment direct byte	0x05	2	3
INC @Ri	Increment indirect RAM	0x06-0x07	1	3
DEC A	Decrement accumulator	0x14	1	1
DEC Rn	Decrement register	0x18-0x1F	1	2
DEC direct	Decrement direct byte	0x15	1	3
DEC @Ri	Decrement indirect RAM	0x16-0x17	2	3
INC DPTR	Increment data pointer	0xA3	1	1
MUL A,B	Multiply A and B	0xA4	1	2
DIV A,B	Divide A by B	0x84	1	6
DA A	Decimal adjust accumulator	0xD4	1	3

逻辑操作：

Mnemonic	Description	Code	Byte	Cycles
ANL A,Rn	AND register to accumulator	0x58-0x5F	1	1
ANL A,direct	AND direct byte to accumulator	0x55	2	2
ANL A,@Ri	AND indirect RAM to accumulator	0x56-0x57	1	2
ANL A,#data	AND immediate data to accumulator	0x54	2	2
ANL direct,A	AND accumulator to direct byte	0x52	2	3
ANL direct,#data	AND immediate data to direct byte	0x53	3	3
ORL A,Rn	OR register to accumulator	0x48-0x4F	1	1
ORL A,direct	OR direct byte to accumulator	0x45	2	2
ORL A,@Ri	OR indirect RAM to accumulator	0x46-0x47	1	2
ORL A,#data	OR immediate data to accumulator	0x44	2	2
ORL direct,A	OR accumulator to direct byte	0x42	2	3
ORL direct,#data	OR immediate data to direct byte	0x43	3	3
XRL A,Rn	Exclusive OR register to accumulator	0x68-0x6F	1	1
XRL A,direct	Exclusive OR direct byte to accumulator	0x65	2	2
XRL A,@Ri	Exclusive OR indirect RAM to accumulator	0x66-0x67	1	2
XRL A,#data	Exclusive OR immediate data to accumulator	0x64	2	2
XRL direct,A	Exclusive OR accumulator to direct byte	0x62	2	3
XRL direct,#data	Exclusive OR immediate data to direct byte	0x63	3	3
CLR A	Clear accumulator	0xE4	1	1
CPL A	Complement accumulator	0xF4	1	1
RL A	Rotate accumulator left	0x23	1	1
RLC A	Rotate accumulator left through carry	0x33	1	1
RR A	Rotate accumulator right	0x03	1	1
RRC A	Rotate accumulator right through carry	0x13	1	1
SWAP A	Swap nibbles within the accumulator	0xC4	1	1

布尔操作：

Mnemonic	Description	Code	Byte	Cycles
CLR C	Clear carry flag	0xC3	1	1
CLR bit	Clear direct bit	0xC2	2	3
SETB C	Set carry flag	0xD3	1	1
SETB bit	Set direct bit	0xD2	2	3
CPL C	Complement carry flag	0xB3	1	1
CPL bit	Complement direct bit	0xB2	2	3
ANL C,bit	AND direct bit to carry flag	0x82	2	2
ANL C,/bit	AND complement of direct bit to carry	0xB0	2	2
ORL C,bit	OR direct bit to carry flag	0x72	2	2
ORL C,/bit	OR complement of direct bit to carry	0xA0	2	2
MOV C,bit	Move direct bit to carry flag	0xA2	2	2
MOV bit,C	Move carry flag to direct bit	0x92	2	3

数据传输:

Mnemonic	Description	Code	Byte	Cycles
MOV A,Rn	Move register to accumulator	0xE8-0xEF	1	1
MOV A,direct	Move direct byte to accumulator	0xE5	2	2
MOV A,@Ri	Move indirect RAM to accumulator	0xE6-0xE7	1	2
MOV A,#data	Move immediate data to accumulator	0x74	2	2
MOV Rn,A	Move accumulator to register	0xF8-0xFF	1	1
MOV Rn,direct	Move direct byte to register	0xA8-0xAF	2	3
MOV Rn,#data	Move immediate data to register	0x78-0x7F	2	2
MOV direct,A	Move accumulator to direct byte	0xF5	2	2
MOV direct,Rn	Move register to direct byte	0x88-8F	2	2
MOV direct1,direct2	Move direct byte to direct byte	85	3	3
MOV direct,@Ri	Move indirect RAM to direct byte	86-87	2	3
MOV direct,#data	Move immediate data to direct byte	75	3	3
MOV @Ri,A	Move accumulator to indirect RAM	F6-F7	1	2

转下页

接上页

Mnemonic	Description		Code	Byte	Cycles
MOV @Ri,direct	Move direct byte to indirect RAM		A6-A7	2	3
MOV @Ri,#data	Move immediate data to indirect RAM		76-77	2	2
MOV DPTR,#data 16	Load 16-bit constant into active DPH and DPL in LARGE mode		90	3	3
MOV DPTR,#data 24	Load 24-bit constant into active DPX,DPH and DPL in FLAT mode		90	4	4
MOVC A,@A+DPTR	Move code byte relative to DPTR to accumulator		93	1	5
MOVC A,@A+PC	Move code byte relative to PC to accumulator		83	1	4
MOVX A,@Ri	Move external RAM (8-bit address) to A		E2-E3	1	3*
MOVX A,@DPTR	Move external RAM (16-bit address) to A		E0	1	2*
MOVX @Ri,A	Move A to extern RAM(8-bit address)	CODE inside ROM/RAM destination XRAM data	F2-F3	1	4*
		all other cases			5*
MOVX @DPCR,A	Move A to extern RAM(16-bit address)	CODE inside ROM/RAM destination XRAM data	F0	1	3*
		all other cases			4*
PUSH direct	Push direct byte onto stack	LARGE	C0	2	3
		FLAT			3
POP direct	Pop direct byte from stack	LARGE	D0	2	2
		FLAT			2
XCH A,Rn	Exchange register with accumulator		C8-CF	1	2
XCH A,direct	Exchange direct byte with accumulator		C5	2	3
XCH A,@Ri	Exchange indirect RAM with accumulator		C6-C7	1	3
XCHDA,@Ri	Exchange low-order nibble indirect RAM with A		D6-D7	1	3

程序分支：

Mnemonic	Description		Code	Byte	Cycles
ACALL addr11	Absolute subroutine call	LARGE	0x11-0xF1	2	4
ACALL addr19		FLAT		3	5
LCALL addr16	Long subroutine call	LARGE	3	3	4
LCALL addr24		FLAT		4	6
RET	Return from subroutine	LARGE	22	1	4
		FLAT			5
RETI	Return from interrupt	LARGE	32	1	4
		FLAT			5
AJMP addr11	Absolute jump	LARGE	01-E1	2	3
AJMP addr19		FLAT		3	4
LJMP addr16	Long jump	LARGE	02	3	4
LJMP addr24		FLAT		4	5
SJMP rel	Short jump(relative address)		80	2	3
JMP @A+DPTR	Jump indirect relative to the DPTR		73	1	5
JZ rel	Jump if accumulator is zero		60	2	4
JNZ rel	Jump if accumulator is not zero		70	2	4
JC rel	Jump if carry flag is set		40	2	3
JNC rel	Jump if carry flag is not set		50	2	3
JB bit,rel	Jump if direct bit is set		20	3	5
JNB bit,rel	Jump if direct bit is not set		30	3	5
JBC bit,direct rel	Jump if direct bit is set and clear bit		10	3	5
CJNE A,direct rel	Compare direct byte to A and jump if not equal		B5	3	5
CJNE A,#data rel	Compare immediate to A and jump if not equal		B4	3	4
CJNE Rn,#data rel	Compare immediate to reg. and jump if not equal		B8-BF	3	4
CJNE @Ri,#data rel	Compare immediate to ind. and jump if not equal		B6-B7	3	5
DJNZ Rn,rel	Decrement register and jump if not zero		D8-DF	2	4
DJNZ direct,rel	Decrement direct byte and jump if not zero		D5	3	5
NOP	NO operation		00	1	1

指令集简介 1:

Opcode	Mnemonic	Opcode	Mnemonic
00 H	NOP	30 H	JNB bit,rel
01 H	AJMP addr11/addr19	31 H	ACALL aaddr11/addr19
02 H	LJMP addr16/addr24	32 H	RETI
03 H	RR A	33 H	RLC A
04 H	INC A	34 H	ADDC A,#data
05 H	INC direct	35 H	ADDC A,direct
06 H	INC @R0	36 H	ADDC A,@R0
07 H	INC @R1	37 H	ADDC A,@R1
08 H	INC R0	38 H	ADDC A,R0
09 H	INC R1	39 H	ADDC A,R1
0A H	INC R2	3A H	ADDC A,R2
0B H	INC R3	3B H	ADDC A,R3
0C H	INC R4	3C H	ADDC A,R4
0D H	INC R5	3D H	ADDC A,R5
0E H	INC R6	3E H	ADDC A,R6
0F H	INC R7	3F H	ADDC A,R7
10 H	JBC bit,rel	40 H	JC rel
11 H	ACALL addr11/addr19	41 H	AJMP addr11/addr19
12 H	LCALL addr16/addr24	42 H	ORL direct,A
13 H	RRC A	43 H	ORL direct,#data
14 H	DEC A	44 H	ORL A,#data
15 H	DEC direct	45 H	ORL A,direct
16 H	DEC @R0	46 H	ORL A,@R0
17 H	DEC @R1	47 H	ORL A,@R1
18 H	DEC R0	48 H	ORL A,R0
19 H	DEC R1	49 H	ORL A,R1
1A H	DEC R2	4A H	ORL A,R2
1B H	DEC R3	4B H	ORL A,R3
1C H	DEC R4	4C H	ORL A,R4
1D H	DEC R5	4D H	ORL A,R5
1E H	DEC R6	4E H	ORL A,R6
1F H	DEC R7	4F H	ORL A,R7
20 H	JB bit,rel	50 H	JNC rel
21 H	AJMP addr11/addr19	51 H	ACALL aaddr11/addr19
22 H	RET	52 H	ANL direct,A
23 H	RLA	53 H	ANL direct,#data
24 H	ADD A,#data	54 H	ANL A,#data
25 H	ADD A,direct	55 H	ANL A,direct

转下页

接上页

Opcode	Mnemonic	Opcode	Mnemonic
26 H	ADD A,@R0	56 H	ANL A,@R0
27 H	ADD A,@R0	57 H	ANL A,@R1
28 H	ADD A,R0	58 H	ANL A,R0
29 H	ADD A,R1	59 H	ANL A,R1
2A H	ADD A,R2	5A H	ANL A,R2
2B H	ADD A,R3	5B H	ANL A,R3
2C H	ADD A,R4	5C H	ANL A,R4
2D H	ADD A,R5	5D H	ANL A,R5
2E H	ADD A,R6	5E H	ANL A,R6
2F H	ADD A,R7	5F H	ANL A,R7

指令集简介 2:

Opcode	Mnemonic	Opcode	Mnemonic
60 H	JZ rel	90 H	MOV DPTR,#data16 MOV DPTR,#data24
61 H	AJMP addr11	91 H	ACALL aaddr11
62 H	XRL direct,A	92 H	MOV bit,C
63 H	XRL direct,#data	93 H	MOVC A,@A+DPTR
64 H	XRL A.#data	94 H	SUBB A,#data
65 H	XRL A.direct	95 H	SUBB A,direct
66 H	XRL A,@R0	96 H	SUBB A,@R0
67 H	XRL A,@R1	97 H	SUBB A,@R1
68 H	XRL A,R0	98 H	SUBB A,R0
69 H	XRL A,R1	99 H	SUBB A,R1
6A H	XRL A,R2	9A H	SUBB A,R2
6B H	XRL A,R3	9B H	SUBB A,R3
6C H	XRL A,R4	9C H	SUBB A,R4
6D H	XRL A,R5	9D H	SUBB A,R5
6E H	XRL A,R6	9E H	SUBB A,R6
6F H	XRL A,R7	9F H	SUBB A,R7
70 H	JNZ,rel	A0 H	ORL C,bit
71 H	ACALL addr11/addr19	A1 H	AJMP addr11/addr19
72 H	ORL C,direct	A2 H	MOV C,bit
73 H	JMP @A+DPTR	A3 H	INC DPTR
74 H	MOV A,#data	A4 H	MUL AB
75 H	MOV direct,#data	A5 H	-
76 H	MOV @R0,#data	A6 H	MOV @R0,direct
77 H	MOV @R1,#data	A7 H	MOV @R1,direct
78 H	MOV R0.#data	A8 H	MOV R0,direct

转下页

接上页

Opcode	Mnemonic	Opcode	Mnemonic
79 H	MOV R1.#data	A9 H	MOV R1,direct
7A H	MOV R2.#data	AA H	MOV R2,direct
7B H	MOV R3.#data	AB H	MOV R3,direct
7C H	MOV R4.#data	AC H	MOV R4,direct
7D H	MOV R5.#data	AD H	MOV R5,direct
7E H	MOV R6.#data	AE H	MOV R6,direct
7F H	MOV R7.#data	AF H	MOV R7,direct
80 H	SJMP rel	B0 H	ANL C,bit
81 H	AJMP addr11/addr19	B1 H	ACALL aaddr11/addr19
82 H	ANL C,bit	B2 H	CPL bit
83 H	MOVC A,@A+PC	B3 H	CPL C
84 H	DIV AB	B4 H	CJNE A,#data,rel
85 H	MOV direct,direct	B5 H	CJNE A,direct,rel
86 H	MOV direct,@R0	B6 H	CJNE @R0,#data,rel
87 H	MOV direct,@R1	B7 H	CJNE @R1,#data,rel
88 H	MOV direct,R0	B8 H	CJNE R0,#data,rel
89 H	MOV direct,R1	B9 H	CJNE R1,#data,rel
8A H	MOV direct,R2	BA H	CJNE R2,#data,rel
8B H	MOV direct,R3	BB H	CJNE R3,#data,rel
8C H	MOV direct,R4	BC H	CJNE R4,#data,rel
8D H	MOV direct,R5	BD H	CJNE R5,#data,rel
8E H	MOV direct,R6	BE H	CJNE R6,#data,rel
8F H	MOV direct,R7	BF H	CJNE R7,#data,rel

指令集简介 3:

Opcode	Mnemonic	Opcode	Mnemonic
C0 H	PUSH direct	E0 H	MOVX A,@DPTR
C1 H	AJMP addr11/addr19	E1 H	AJMP addr11/addr19
C2 H	CLR bit	E2 H	MOVX A,@R0
C3 H	CLR C	E3 H	MOVX A,@R1
C4 H	SWAP A	E4 H	CLR A
C5 H	XCH A,direct	E5 H	MOV A,direct
C6 H	XCH A,@R0	E6 H	MOV A,@R0
C7 H	XCH A,@R1	E7 H	MOV A,@R1
C8 H	XCH A,R0	E8 H	MOV A,R0
C9 H	XCH A,R1	E9 H	MOV A,R1
CA H	XCH A,R2	EA H	MOV A,R2

转下页

接上页

Opcode	Mnemonic	Opcode	Mnemonic
CB H	XCH A,R3	EB H	MOV A,R3
CC H	XCH A,R4	EC H	MOV A,R4
CD H	XCH A,R5	ED H	MOV A,R5
CE H	XCH A,R6	EE H	MOV A,R6
CF H	XCH A,R7	EF H	MOV A,R7
D0 H	POP direct	F0 H	MOVX @DPTR,A
D1 H	ACALL addr11/addr19	F1 H	ACALL addr11/addr19
D2 H	SETB bit	F2 H	MOVX @R0,A
D3 H	SETB C	F3 H	MOVX @R1,A
D4 H	DA A	F4 H	CPL A
D5 H	DJNZ direct,rel	F5 H	MOV direct,A
D6 H	XCHD A,@R0	F6 H	MOV @R0,A
D7 H	XCHD A,@R1	F7 H	MOV @R1,A
D8 H	DJNZ R0,rel	F8 H	MOV R0,A
D9 H	DJNZ R1,rel	F9 H	MOV R1,A
DA H	DJNZ R2,rel	FA H	MOV R2,A
DB H	DJNZ R3,rel	FB H	MOV R3,A
DC H	DJNZ R4,rel	FC H	MOV R4,A
DD H	DJNZ R5,rel	FD H	MOV R5,A
DE H	DJNZ R6,rel	FE H	MOV R6,A
DF H	DJNZ R7,rel	FF H	MOV R7,A

4. 2、ADDRESS MAP

ADDRESS MAP 模块可以产生除 MCU 外的各模块片选信号，管理除特殊功能寄存器(SFR)外的所有寄存器和存储器地址，且 MCU 可以通过该模块的控制对这些寄存器和存储器进行读写。

寄存器描述：

无效访问寄存器 ERREN

地址：0x2B0

复位值：0x00

访问：R/W

Bit	Name	R/W	Description
[7: 2]			保留
[1]	MAPINT_EN	R/W	MCU 响应 MAP_INT 使能 1: 禁止 MCU 响应 MAP_INT 中断 0: MCU 响应 MAP_INT 中断
[0]	MAP_INT	R/W	无效地址访问中断信号 1: 无效地址访问 0: 有效地址访问 若为“1”需由 MCU 写“0”清除该中断信号

The diagram illustrates the 16-bit address bus architecture. The bus is a central vertical line with multiple horizontal connections to various components. On the left, the 'External memory interface' and 'MCU' are connected to the bus via 'xdata[7:0]' and 'xaddr[23:0]'. On the right, the bus connects to a series of peripheral modules, each with a unique address range and a corresponding data path. The modules include WAKE_UP (0x0d00-0x0d00), EE_CTRL (0x0c00-0x0c00), ADDR_MAP (0x0b00-0x0b00), PMREG (0x0a00-0x0a00), PWM_CTRL (0x0900-0x0900), INT_CTRL (0x0800-0x0800), PIN_CTRL (0x0700-0x0700), RC_CTRL (0x0600-0x0600), ANALOG_CTRL (0x0500-0x0500), TIME_BASE (0x0400-0x0400), DRAM_CTRL (0x0300-0x0300), SIM_TOP (0x0200-0x0200), and DRAM 128*8 (0x0000-0x0000). The bus also carries signals like 'xdata[7:0]', 'ee_ctrl_csn', 'add_csn', 'pmreg_csn', 'pwm_csn', 'intc_csn', 'pin_csn', 'rcctrl_csn', 'analogc_csn', 'timebase_csn', 'dram_ctrl_csn', 'sim_csn', 'eeprom_csn', and 'dram_csn'.

MTP 是类似 FLASH 的存储器，存储量 8K×8bit。MTP 放置用户程序及用户配置选项位。MTP 可支持烧写 1000 次。

系统的工作频率与 MTP 的工作模式相关，不同的工作频率需配置不同的 MTP 工作模式（配置选项中的 MTP_MODE_TM）。

如果系统时钟选择 16M，应配置成高速模式。如果系统时钟选择 8M 或 8M 以下，可配置正常模式。如果系统时钟配置 500kHz 或以下，可配置成省电模式。详情如下表所示：

MTP 模式	时钟最高频率	电压范围
MTP 高速模式 Config (mtp_mode=2'b11)	16MHz	4.5~5.5V
	8MHz	3.0~5.5V
	4MHz	2.0~5.5V
MTP 低速模式 Config (mtp_mode=2'b01)	8MHz	4.5~5.5V
	4MHz	3.0~5.5V
	1MHz	2.0~5.5V
MTP 省电模式 Config (mtp_mode=2'b00)	500KHz	1.8~5.5V

4.4、EEPROM

内建 1K 字节 EEPROM 存储器，通过 MCU 可对 EEPROM 的数据进行读写。对 EEPROM 写数据时不需要用户进行擦除操作，且具有自动写保护功能，防止误操作对 EEPROM 数据破坏。EEPROM 具有非易失的特性，断电后数据仍能安全保存。用户可使用 EEPROM 进行校正值、系统配置以及用户自定义参数等数据的保存。

由于 EEPROM 读写时钟与系统时钟异步，每完成一个字节的读写后，需通过中断方式或查询方式等待异步处理时间。由于 EEPROM 写入特性的限制，每两次 EEPROM 的写操作之间用户需等待至少 5ms 以上。

地址	寄存器名称	有效位	访问	复位值
0x0C00	E2P_CTRL	4	R/W	0x00
0x0C01	E2P_FLAG	5	R/W	0x00
0x0C02	E2P_DATA	8	R/W	0x00
0x0C03	E2P_ADDRL	8	R/W	0x00
0x0C04	E2P_ADDRH	2	R/W	0x00

寄存器描述

1) E2PROM 控制寄存器 (EECTRL)

地址 : 0x0C00

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]			保留
[5]	WREN	R/W	写使能 0: 除能 1: 使能
[4]	RDEN	R/W	读使能 0: 除能 1: 使能

转下页

接上页

Bit	Name	R/W	Description
[3: 2]			保留
[1]	SEQ	R/W	连续字节读写 0: 单个字节读写或连续读写数据的最后一个字节 1: 连续字节读写
[0]	START	R/W	启动读写 0: 未启动 1: 启动一次字节读写, 硬件自动清 0

2) E2PROM 标志寄存器 (EEFLAG)

地址 : 0x0C01

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留
[4]	INTCLR	R/W	中断清除信号 0: 未定义 1: 清除中断
[3]	WINTEN	R/W	写字节中断使能 0: 除能 1: 使能
[2]	RINTEN	R/W	读字节中断使能 0: 除能 1: 使能
[1]	WFLAG	R/W	写字节完成标记 0: 未完成 1: 完成
[0]	RFLAG	R/W	读字节完成标记 0: 未完成 1: 完成

3) E2PROM 数据寄存器 (EEDATA)

地址 : 0x0C02

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DATA	R/W	读写数据 WREN 使能时, 为写字节寄存器 RDEN 使能时, 为读字节寄存器

4) E2PROM 地址寄存器低位 (EEADDRH)

地址 : 0x0C03

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	ADDRH	R/W	读写地址低 8 位

5) E2PROM 地址寄存器高位 (EEADDRH)

地址 : 0x0C04

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 2]			保留
[1: 0]	ADDRH	R/W	读写地址高 2 位

4.5、时钟振荡器

电路提供多种时钟振荡器可供客户灵活选择。振荡器除了作为系统时钟源，还作为看门狗定时器和时基功能的时钟源。外部振荡器需要一些外围器件，而集成的两个内部振荡器不需要任何外围器件。它们提供的高速和低速系统振荡器具有较宽的频率范围。所有振荡器选择通过配置选项选择。较高频率的振荡器提供更高的性能，但要求有更高的功耗，反之亦然。动态切换快慢系统时钟的能力使单片机具有灵活、优化的性能和功耗比。此特性对功耗敏感的应用领域尤为重要。

时钟振荡器类型：

类型	名称	频率	引脚
外部晶振	HXT	400kHz~8MHz	OSC1/OSC2
外部 RC	ERC	4MHz	OSC1
内部高速 RC	HIRC	910kHz, 2/4/8MHz	
内部 16MHz 高速 RC	HIRC16	16MHz	
外部时钟	EC	400kHz~8MHz	OSC1
外部低速晶振	LXT	32.768kHz	XT1/
内部低速 RC	LIRC	32kHz	

系统时钟配置：

单片机有七个系统振荡器，包括五个高速振荡器和两个低速振荡器。高速振荡器有外部晶体和陶瓷振荡器、外部 RC 振荡器、外部时钟和内部 910kHz、2MHz、4MHz、8MHz RC 振荡器和 16MHz RC 振荡器。两个低速振荡器包括外部 32.768kHz 振荡器和内部 32kHz 或 8kHz 振荡器。高速或低速振荡器作为系统时钟的选择是通过配置选项进行选择。

4.6、系统时钟和工作模式

1) 系统时钟

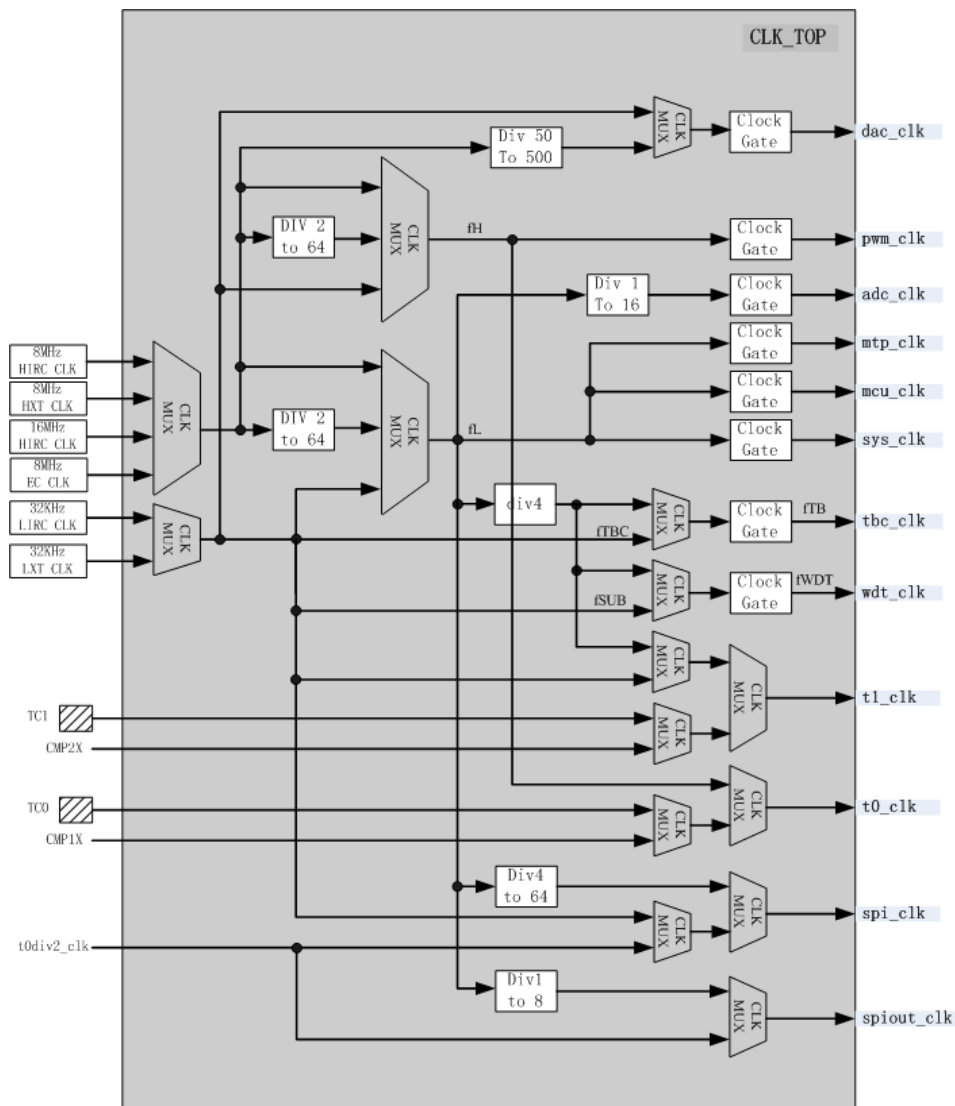
用户使用配置选项和寄存器编程可获取多种时钟，进而使系统时钟获取最大的应用性能。主系统时钟可来自高频时钟源 f_H 或低频时钟源 f_L ，通过配置选项设置。高频时钟来自 HXT、ERC、HIRC 振荡器、HIRC16 振荡器或 EC，可通过配置选项选择，低频系统时钟源来自内部时钟 f_L ，若 f_L 被选择，可通过配置选项设定为 LXT 或 LIRC 振荡器，另外可通过配置 LXT_START 寄存器选择 LXT 振荡器的启动方式，上电默认快速启动模式，即高功耗模式。

其它系统时钟还有高速系统振荡器的分频 $f_H/2 \sim f_H/64$ 。另外两个内部时钟用于外围电路，子时钟源 f_{SUB} 和周期时钟 f_{TBC} 。这两个时钟源来自 LXT/LIRC 振荡器或者是 $f_{SYS}/4$ 。通过配置选项选择。快速唤醒发生后， f_{SUB} 为单片机提供一个子时钟，使系统能够在更短的时间内快速唤醒。 f_{SUB} 和 $f_{SYS}/4$ 用于看门狗定时器的时钟源。 f_{TBC} 用于中断功能的时钟源。

2) 系统工作模式

单片机有 6 种不同的工作模式，每种有它自身的特性，根据应用中不同的性能和功耗要求可选择不同的工作模式。单片机正常工作有两种模式：正常模式和低速模式。剩余的四种工作模式为：休眠模式 0、休眠模式 1、空闲模式 0 和空闲模式 1，用于单片机 CPU 关闭时以节省耗电。

时钟网络图:



系统时钟选项:

工作模式	CPU	f_{SYS}/f_{PWM}	f_{SUB}	f_{WDT}	f_{TBC}	f_{ADC}/f_{DAC}
正常模式	ON	$f_H \sim f_H/64$	ON	ON	ON	ON
低速模式	ON	f_L	ON	ON	ON	ON
空闲模式 0	OFF	OFF	ON	ON/OFF	ON	OFF
空闲模式 1	OFF	ON	ON	ON	ON	OFF
休眠模式 0	OFF	OFF	ON	OFF	OFF	OFF
休眠模式 1	OFF	OFF	ON	ON	OFF	OFF

1) 正常模式

单片机的所有功能均可在此模式中实现且系统时钟由一个高速振荡器提供。该模式下单片机正常工作的时钟源来自 HXT、ERC、EC 或 HIRC、HIRC16 振荡器。高速振荡器频率可被分为 1~64 的不等比率。单片机使用高速振荡器分频作为系统时钟可降低功耗。

2) 低速模式

此模式的系统时钟虽为较低速时钟源，但单片机仍能正常工作。该低速时钟源来自 LXT 或 LIRC 振荡器。单片机在此模式中运行所耗工作电流较低。在低速模式下， f_H 关闭。

3) 休眠模式 0

在 MCU 发出 STOP 指令执行后且 SYS_REG2 寄存器中 IDLEN 位为低时，系统进入休眠模式。在休眠模式 0 中，CPU、 f_{WDT} 停止运行，看门狗定时器功能关闭。在该模式中 LVDEN 位需置为“0”，否则将不能进入休眠模式 0 中。

4) 休眠模式 1

在 STOP 指令执行后且 SYS_REG2 寄存器中 IDLEN 位为低时，系统进入休眠模式。在休眠模式 1 中，CPU 停止运行。然而当其时钟源经配置选项选择为 f_{SUB} 时，若 LVDEN 位为“1”或看门狗定时器功能使能， f_{SUB} 及 f_{WDT} 继续运行。

5) 空闲模式 0

执行 STOP 指令后且 SYS_REG2 寄存器中 IDLEN 位为高，WDCON 寄存器中 FSYSON 位为低时，系统进入空闲模式 0。在空闲模式 0 中，CPU 停止，但一些外围功能如看门狗定时器、时基和 SIM 将继续工作。在空闲模式 0 中，系统振荡器停止，看门狗定时器时钟 f_{WDT} 开启或关闭由 f_{WDT} 所选时钟源决定。若时钟源为 $f_{SYS}/4$ ， f_{WDT} 关闭；若时钟源为 f_{SUB} ， f_{WDT} 开启。

6) 空闲模式 1

执行 STOP 指令后且 SYS_REG2 寄存器中 IDLEN 位为高，WDCON 寄存器中 FSYSON 位为高时，系统进入空闲模式 1。在空闲模式 1 中，CPU 停止，但会提供一个时钟源给一些外围功能如看门狗定时器、时基和 SIM。在空闲模式 1 中，系统振荡器继续运行，该系统振荡器可以为高速或低速系统振荡器。在该模式中看门狗定时器时钟 f_{WDT} 开启。若时钟源为 $f_{SYS}/4$ 或 f_{SUB} ， f_{WDT} 开启。

寄存器描述：

1) SYS_REG1 寄存器

地址 : 0x00

复位值 : 0x0c

访问 : R/W

Bit	Name	R/W	Description
[7]			保留
[6]	Wdt_rst_en	R/W	看门狗复位使能信号 0: 关闭 1: 打开
[5]	Prg_err_en	R/W	程序出错复位使能信号 0: 关闭 1: 打开

转下页

接上页

Bit	Name	R/W	Description
[4]	Lv_rst_en	R/W	低电压复位使能信号 0: 关闭 1: 打开
[3]	hsosc_en_reg	R/W	高速振荡器开关寄存器 0: 关闭高速振荡器时钟 1: 打开高速振荡器时钟
[2]	tbc_sw	R/W	时基时钟源选择 0: 低频时钟 1: $f_{SYS}/4$
[1: 0]			保留

2) RESET_FLAG 寄存器

地址 : 0x01

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2]	Prg_err_flag	R/W	程序出错复位标志, 高有效, 写“1”清标志
[1]	WDT_rst_flag	R/W	看门狗复位标志, 高有效, 写“1”清标志
[0]	LV_rst_flag	R/W	低电压复位标志, 高有效, 写“1”清标志

3) SYS_REG2 寄存器

地址 : 0x02

复位值 : 0xe0

访问 : R/W

Bit	Name	R/W	Description
[7: 5]	Hdivfl_sw	R/W	Hlck_sw 为 0 时系统时钟选择位 (Mtp_sysck_ctl 为 1 时, MCU 方可写入, 为 0 时从 MTP 读取) 000: fL 001: fL 010: $f_H/64$ 011: $f_H/32$ 100: $f_H/16$ 101: $f_H/8$ 110: $f_H/4$ 111: $f_H/2$
[4]			保留

转下页

接上页

Bit	Name	R/W	Description
[3]	lto	R	低速振荡器就绪标志位 0: 未就绪 1: 就绪
[2]	Hto	R	高速振荡器就绪标志位 0: 未就绪 1: 就绪
[1]	Idlen	R/W	空闲模式控制 0: 除能 1: 使能
[0]	Hlck_sw	R/W	系统时钟源选择 (Mtp_sysck_ctl 为 1 时, MCU 方可写入, 为 0 时从 MTP 读取) 0: 时钟源自 f_H 分频或 f_L 1: 时钟源自 f_H

4) ADC_DIV 寄存器

地址 : 0x03

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2: 0]	div_adc[2: 0]	R/W	ADC 时钟分频值 (相对于系统时钟) 000 : $f_{SYS}/2$ 001 : $f_{SYS}/4$ 010 : $f_{SYS}/8$ 011 : $f_{SYS}/16$ 1xx : f_{SYS}

5) DAC_DIV 寄存器

地址 : 0x04

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2]	Dachl_sw	R/W	DAC 高频、低频时钟源切换 0 : 高频时钟分频 1 : 低频时钟

转下页

接上页

Bit	Name	R/W	Description
[1: 0]	div_dac[1: 0]	R/W	DAC 高频时钟分频值 00 : $f_H/50$ 01 : $f_H/100$ 10 : $f_H/250$ 11 : $f_H/500$

6) SYS_REG_MASK 寄存器

地址 : 0x05

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	Sys_reg_mask	R/W	系统寄存器屏蔽寄存器， 只有对此寄存器写入“8hA5”方可操作 sys_reg 寄存器，否则无法改变 sys_reg1、 sys_reg2、sys_reg3 寄存器。

7) SYS_REG3 寄存器

地址 : 0x06

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留
[4]	Mtp_sysck_ctl	R/W	初始为 0 时，即系统时钟的分频切换由 MTP 的值控制 为 1 时，系统时钟的分频切换由 MCU 写入
[3: 2]			保留
[1: 0]	Mtp_mode	R/W	Mode_verify 为 0 时，从 MTP 控制器读出 TM 值 Mode_verify 为 1 时，可以由 MCU 进行配置

8) SYS_REG4 寄存器

地址 : 0x07

复位值 : 0x0f

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留

转下页

接上页

Bit	Name	R/W	Description
[4]	Stopen_n	R/W	对 MCU 进行 STOP 前, 读取该寄存器为 1 等待, 为 0 可以写入 STOP
[3: 1]	Pwm_hdivfl_sw	R/W	Pwm_hlck_sw 为 0 时 PWM、T0 时钟选择位 000 : f_L 001 : f_L 010 : $f_H/64$ 011 : $f_H/32$ 100 : $f_H/16$ 101 : $f_H/8$ 110 : $f_H/4$ 111 : $f_H/2$
[0]	Pwm_hlck_sw	R/W	PWM、T0 时钟源选择 0: 时钟源自 f_H 分频或 f_L 1: 时钟源自 f_H

9) LXT_START 控制寄存器

地址 : 0x0516

复位值 : 0x01

访问 : R/W

Bit	Name	R/W	Description
[7: 1]			保留, 读出为 0
[0]	LXTLP	R/W	LXT 启动方式控制位 0: 低功耗模式 1: 快速启动模式

4.7、唤醒

系统进入休眠或空闲模式之后, 可以通过四种方式唤醒: 外部复位、PA 口、系统中断、WDT 溢出。

若由外部 RES 引脚唤醒, 系统会经过完全复位的过程。

PA 口中的每个引脚都可以唤醒功能。PA 端口唤醒后, 若选择沿唤醒端口, 则打开振荡器, 计数稳定后打开 MCU 时钟, 程序将在“STOP”指令后继续执行; 若为电平唤醒口则立刻唤醒系统。

系统中断唤醒后, 打开振荡器, 计数稳定后打开 MCU 时钟, 程序将在“STOP”指令后继续执行。

由 WDT 溢出唤醒。

4.8、特殊功能寄存器

特殊功能寄存器为 128Bytes，CPU 本身需要占用一部分，其余部分为外设 SFR（Timer0/1、UART、Timer2/3、WatchDog、PAPORT、PBPORT、PCPORT、PDPORT、PEPORT）。

特殊功能寄存器分配表：

	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	
0xF8									0xF8
0xF0	B								0xF0
0xE8		STAT US	MXAX						0xE8
0xE0	ACC								0xE0
0xD8	<i>WDCON</i>	<i>WDC NTM</i>	<i>WDCN TH</i>	<i>XDATA _CTRL</i>					0xD8
0xD0	PSW								0xD0
0xC8	<i>TTMOD2</i>	<i>TMR2 C0</i>	<i>TMR2C I</i>	<i>TMR3C</i>	<i>TMR2</i>	<i>TMR3L</i>	<i>TMR3H</i>	<i>TMRIN T</i>	0xC8
0xC0		<i>PERE G</i>	<i>PEDIR</i>	<i>PEIE</i>	<i>PEIES_ L</i>	<i>PEIES_ H</i>	<i>PEIFG</i>		0xC0
0xB8	IP	<i>PDR EG</i>	<i>PDDIR</i>	<i>PDIE</i>	<i>PDIES_ L</i>	<i>PDIES_ H</i>	<i>PDIFG</i>		0xB8
0xB0		<i>PCRE G</i>	<i>PCDIR</i>	<i>PCIE</i>	<i>PCIES_ L</i>	<i>PCIES_ H</i>	<i>PCIFG</i>		0xB0
0xA8	IE	<i>PBRE G</i>	<i>PBDIR</i>	<i>PBIE</i>	<i>PBIES_ L</i>	<i>PBIES_ H</i>	<i>PBIFG</i>		0xA8
0xA0	P2	<i>PARE G</i>	<i>PADIR</i>	<i>PAIE</i>	<i>PAIES_ L</i>	<i>PAIES_ H</i>	<i>PAIFG</i>		0xA0
0x98	<i>SCON</i>	<i>SBUF</i>	<i>SMOD</i>			ACON			0x98
0x90			WTST	DPX0					0x90
0x88	TCON	<i>TMO D</i>	<i>TL0</i>	<i>TL1</i>	<i>TH0</i>	<i>TH1</i>	CKCO N		0x88
0x80		SP	DPL0	DPH0			<i>TTCON</i>	PCON	0x80
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	

其中黑体为 MCU 已经占用的 SFR 寄存器，阴影斜体为目前用户自定义的特殊功能寄存器。

XDATA_CTRL 是用来控制 XDATA 总线的读写信号，当 XDATA_CTRL[0]为 1 时，XDATA 的 memory 和 reg 禁止读写，为 0 时，允许读写。任何时候都能对 WatchDog 相关寄存器写 1，将 XDATA_CTRL 的 bit7 写 1 后，才能对 WDCON 寄存器的 bit2,bit3,bit5 写 0。

PCON 的 bit1 是 STOP 位，MCU 写 stop 信号为 1 将进入休眠模式，在进入休眠模式之前需将中断控制器及其他接口模块的 mask 信号清 0，以保证 MCU 能被唤醒，在 MCU 唤醒之后，STOP 自动清 0。

注意：在 STOP 指令之后需要至少 4 条 NOP 指令，以保证程序唤醒后正常运行。

4.8.1、CPU 占用的 SFR

1) 累加器 (ACC)

SFR 地址 : 0xE0

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	ACC.7~ACC.0	R/W	

2) 累加器 (B)

SFR 地址 : 0xF0

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	B.7~B.0	R/W	

3) 寄存器 (PSW)

SFR 地址 : 0xD0

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	CY	R/W	进位标志
[6]	AC	R/W	辅助进位
[5]	F0	R/W	通用标志 0
[4: 3]	RS[1: 0]	R/W	寄存器 R0~R7 bank 选择位 00: Bank0, 地址: 0x00~0x07 01: Bank1, 地址: 0x08~0x0F 10: Bank2, 地址: 0x10~0x17 11: Bank3, 地址: 0x18~0x1F
[2]	OV	R/W	溢出标志
[1]	F1	R/W	通用标志 1
[0]	P	R/W	奇偶标志

4) FLAT/LARGE 模式切换寄存器 (ACON)

SFR 地址 : 0x9D

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 2]			保留

转下页

接上页

Bit	Name	R/W	Description
[1]	AM	R/W	地址模式选择 0: 16 位程序地址模式 – LARGE 1: 23 位扩展程序地址模式 – FLAT 本项目存储空间仅适用于 LARGE 模式
[0]			保留

5) 程序写使能寄存器 (PCON)

SFR 地址 : 0x87

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留
[4]	PWE	R/W	xdata 写操作控制 0: 允许 xdata 写操作 1: 禁止 xdata 写操作
[3]			保留
[2]	SWB		保留, 不能使用
[1]	STOP	R/W	暂停 CPU 程序执行; MCU 外部电路收到外围设备的指令或内部低频模块的处理完成中断后, 将会唤醒 MCU。
[0]	PMM		保留, 不能使用

6) 程序等待周期控制寄存器 (WTST)

SFR 地址 : 0x92

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2: 0]	WTST	R/W	在本电路中, WTST 保留, 不需要使用

7) 寄存器 (DPX0)

SFR 地址 : 0x93

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DPX.7~DPX.0	R/W	

8) 寄存器 (MXAX)

SFR 地址 : 0xEA

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	MXAX.7~MXAX.0	R/W	

9) 寄存器 (P2)

SFR 地址 : 0xA0

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	P2.7~P2.0	R/W	

10) 数据指针低八位寄存器 (DPL0)

SFR 地址 : 0x82

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DPL0	R/W	

11) 数据指针高八位寄存器 (DPH0)

SFR 地址 : 0x83

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DPH0	R/W	

12) 时钟控制寄存器 (CKCON)

SFR 地址 : 0x8E

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2: 0]	MD[2: 0]	R/W	在本项目中, CKCON 保留, 不需要使用

13) 堆栈指针寄存器 (SP)

SFR 地址 : 0x81

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	SP.7~SP.0	R/W	

14) 中断使能寄存器 (IE)

SFR 地址 : 0xA8

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	EA	R/W	全局中断使能位
[6: 3]			保留
[2]	EX1	R/W	Int1 中断使能位
[1]			保留
[0]	EX0	R/W	Int0 中断使能位

本电路中, CPU共两个中断向量, 如下表所示:

Interrupt Flag	Function	Active Level/Edge	Flag Reset	Vector	Natural Priority
IE0	Device pinINT0	Low/Falling	Hardware	0x03	1
IE1	Device pin INT1	Low/Falling	Hardware	0x13	3

15) 中断优先级控制寄存器 (IP)

SFR 地址 : 0xB8

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 3]			保留
[2]	PX1	R/W	Int1 优先级控制位
[1]			保留
[0]	PX0	R/W	Int0 优先级控制位

16) 中断配置寄存器 (TCON)

SFR 地址 : 0x88

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 4]			保留
[3]	IE1	R/W	Int1 中断标志位: 当 MCU 进入中断处理程序后, 硬件自动清 0
[2]	IT1	R/W	Int1 电平和沿触发选择位 0: 电平触发 1: 沿触发
[1]	IE0	R/W	Int0 中断标志位 当 MCU 进入中断处理程序后, 硬件自动清 0

转下页

接上页

Bit	Name	R/W	Description
[0]	IT0	R/W	Int0 电平和沿触发选择位 0: 电平触发 1: 沿触发

17) 中断状态寄存器 (STATUS)

SFR 地址 : 0xE9

复位值 : 0x00

访问 : R

Bit	Name	R/W	Description
[7]			保留
[6]	HIP	R	高优先级中断状态
[5]	LIP	R	低优先级中断状态
[4: 0]			保留

4.8.2、定时器 0/定时器 1

MCU 包含两个 16 位通用定时器 TIMER0 和 TIMER1，这两个定时器既可以作为普通定时器使用，也可以作为 UART 的波特率产生。

作为普通定时器时，定时器模块按照软件配置的定时周期进行计数，输出定时中断信号；作为波特率产生时，定时器既可以采用 16 位计数，产生一个计时溢出周期信号，也可以采用高低 8 位分别计数，共同产生一个计时溢出周期信号，其中低 8 位的计数频率采用 f_{SYS} 、 $f_{SYS}/2$ 、 $f_{SYS}/4$ 或 $f_{SYS}/8$ ，高 8 位的计数频率采用 $f_{SYS}/12$ 或 $f_{SYS}/16$ 。

寄存器描述

1) TTCON 寄存器

SFR 地址 : 0x86

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	TF1	R/W	Timer1 中断标志位，高有效
[6]	TF0	R/W	Timer0 中断标志位，高有效
[5]	TR1	R/W	Timer1 计数使能位，高有效
[4]	TR0	R/W	Timer0 计数使能位，高有效
[3]	TE1	R/W	Timer1 使能位，高有效
[2]	TE0	R/W	Timer0 使能位，高有效
[1]	LOAD1	R/W	Timer1 定时周期配置有效位，软件写 1 有效，硬件自动清零
[0]	LOAD0	R/W	Timer0 定时周期配置有效位，软件写 1 有效，硬件自动清零

软件在更新定时周期寄存器的值后，需要配置 TTCON 的 LOAD0 或 LOAD1 为 1

后，配置的定时周期才有效。

TE0 和 TE1 为 Timer0 和 Timer1 的使能位，为低时 Timer0 和 Timer1 处于复位状态。TR0 和 TR1 为 Timer0 和 Timer1 的计数使能位，为低时 Timer0 和 Timer1 处于计数暂停状态（保持当前计数值），在波特率产生方式，不支持暂停控制。

TF0 和 TF1 为 Timer0 和 Timer1 的中断标志位，软件检测到 Timer 中断后应立即清除中断标志，即往 TF0 或 TF1 写 0。即使 Timer0 和 Timer1 的中断使能信号为低，当 Timer0 和 Timer1 定时溢出时 TF0 和 TF1 位也会变成 1。

2) TMOD 寄存器

SFR 地址：0x89

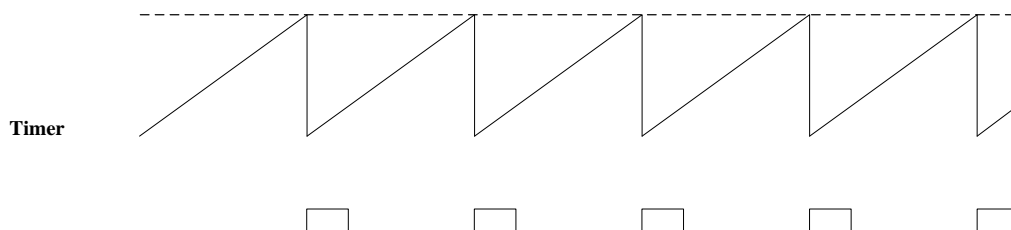
复位值：0x00

访问：R/W

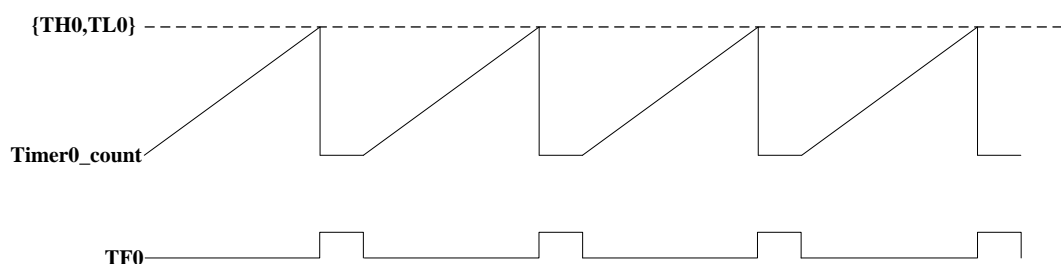
Bit	Name	R/W	Description
[7]	GATE1_EN	R/W	Timer1 门控使能位，高有效
[6]	T1_IE	R/W	Timer1 中断使能位，高有效
[5: 4]	DIV1	R/W	Timer1 预分频系数 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频
[3]	GATE0_EN	R/W	Timer0 门控使能位，高有效
[2]	T0_IE	R/W	Timer0 中断使能位，高有效
[1: 0]	DIV0	R/W	Timer0 预分频系数 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频

GATE0_EN/GATE1_EN 为 Timer0/Timer1 的门控使能信号。当门控使能为高时，如果 Timer0/Timer1 计数溢出，Timer0/ Timer1 将处于复位状态（计数值保持为零并停止计数）直到标志位 TF0/TF1 被清零后继续开始计数（如果 TE0/TE1 和 TR0/TR1 保持有效的的话）；当门控使能为低时，如果 Timer0/Timer1 计数溢出，Timer0/Timer1 将继续进行下一轮计数（如果 TE0/TE1 和 TR0/TR1 保持有效的的话），不管标志位 TF0/TF1 是否被清零，详见门控使能无效时 Timer0/ Timer1 定时器计数示意图和门控使能有效时 Timer0/ Timer1 定时器计数示意图。若用作产生串口的波特率时，门控使能信号应配置成 0。

门控使能无效时 Timer0/Timer1 定时器计数示意图：



门控使能有效时 Timer0/Timer1 定时器计数示意图：



3) Timer0 计数周期寄存器 (TH0、TL0)

SFR 地址：0x8C

复位值：0xff

访问：R/W

Bit	Name	R/W	Description
[15: 8]	TH0	R/W	Timer0 计数周期高 8 位

SFR 地址：0x8A

复位值：0xff

访问：R/W

Bit	Name	R/W	Description
[7: 0]	TL0	R/W	Timer0 计数周期低 8 位

4) Timer1 计数周期寄存器 (TH1、TL1)

SFR 地址：0x8D

复位值：0xff

访问：R/W

Bit	Name	R/W	Description
[15: 8]	TH1	R/W	Timer1 计数周期高 8 位

SFR 地址 : 0x8B

复位值 : 0xff

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	TL1	R/W	Timer1 计数周期低 8 位

5) TTMOD2 寄存器

SFR 地址 : 0xC8

复位值 : 0x00

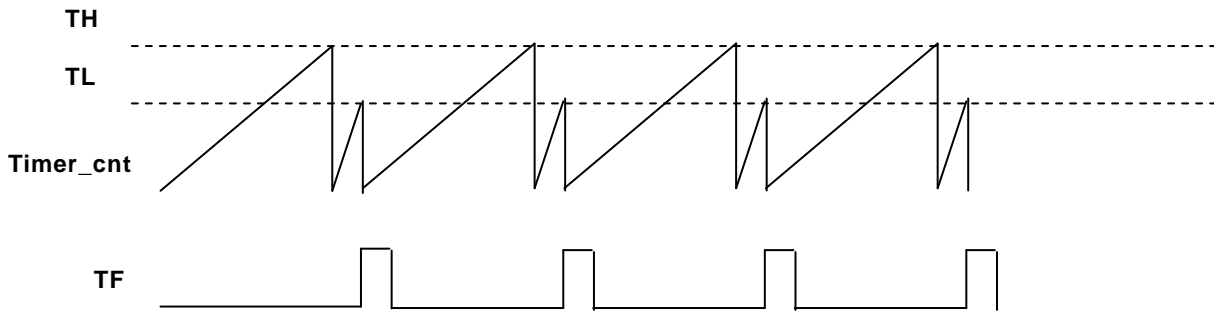
访问 : R/W

Bit	Name	R/W	Description
[7]			保留
[6]			保留
[5]	RCLK	R/W	串口接收波特率选择位 0: 选择 Timer1 产生波特率 1: 选择 Timer0 产生波特率
[4]	TCLK	R/W	串口发送波特率选择位 0: 选择 Timer1 产生波特率 1: 选择 Timer0 产生波特率
[3]	H_CLK_SEL1	R/W	BAUD_SEL1=1 时, Timer1 高八位计数时钟选择位 0: $f_{SYS}/12$ 1: $f_{SYS}/16$
[2]	BAUD_SEL1	R/W	当 RCLK 或 TCLK 为 0 时, 串口接收或发送选择 Timer1 产生波特率, 高低 8 位分别计数标志位 0: 16 位计数模式 1: 高低 8 位分别计数模式
[1]	H_CLK_SEL0	R/W	BAUD_SEL0=1 时, Timer0 高八位计数时钟选择位 0: $f_{SYS}/12$ 1: $f_{SYS}/16$
[0]	BAUD_SEL0	R/W	当 RCLK 或 TCLK 为 1 时, 串口接收或发送选择 Timer0 产生波特率, 高低 8 位分别计数标志位 0: 16 位计数模式 1: 高低 8 位分别计数模式

如果选择 16 位计数器产生串口的溢出时钟, 即 BAUD_SEL 为 0, 那么计数器 16 位计数器以系统时钟 div 分频产生溢出时钟, 如“门控使能无效时 Timer0/Timer1 定时器计数示意图”所示, 此时 H_CLK_SEL 无作用。

如果选择 8 位计数器产生串口的溢出时钟, 即 BAUD_SEL 为 1, 那么计数器高低八位分别计数, 以高 8 位为主, 低 8 位为辅, 高 8 位的计数时钟是系统时钟的 1/12 或 1/16(由 H_CLK_SEL 选择), 低 8 位的计数时钟是系统时钟的 div 分频。详见下图。

BAUD_SEL 为 1 时 Timer0/ Timer1 定时器计数示意图：



Timer 工作流程：

- 1、配置 Timer0 和/或 Timer1 计数周期寄存器；
- 2、向 Timer 控制寄存器 TTCON 中的 LOAD0 和/或 LOAD1 写 1，将 Timer 计数周期值真正配入硬件；
- 3、配置 Timer 模式寄存器 TMOD；
- 4、配置 Timer 控制寄存器 TTCON 并使能 Timer0 和/或 Timer1；
- 5、Timer 正常工作时检测是否有中断或定时器是否溢出，如果检测到中断或定时器溢出，清除中断标志位。

4.8.3、UART

UART 是一个全双工的串行口，可以用于网络通信，也可以实现串行异步通信，还可以作为同步移位寄存器使用。软件对串口的操作通过 SFR 寄存器来完成。

寄存器描述

1) SCON 寄存器

SFR 地址：0x98

复位值：0x00

访问：R/W

Bit	Name	R/W	Description
[7]	SM0	R/W	串行口方式选择位，两位组合决定了四种工作模式
[6]	SM1	R/W	
[5]	SM2	R/W	多机通讯控制位，主要用于方式 2 和 3 1：当第 9(RB9)位为 1 时，将数据送入 SBUF，置位 RI 并产生中断，否则丢弃 0：不论第 9 位为 0 或 1，都将数据送入 SBUF，置位 RI 并产生中断
[4]	REN	R/W	允许接收位 1：允许接收数据 0：禁止接收数据

转下页

接上页

Bit	Name	R/W	Description
[3]	TB8	R/W	发送数据的第 9 位，在方式 2、3 时，该位由用户通过软件设置，双机通信，作为奇偶校验位使用；多机通信，用作地址 (1) 和数据 (0) 标志。
[2]	RB8	R/W	接收数据的第 9 位，在方式 2、3 时，该位为存放接收到的第 9 位数据，可能是奇偶校验位，也可能是地址或数据的标志位。
[1]	TI	R/W	发送中断标志位，在方式 0 时，发送完 8 位后，硬件置位；在其他方式下，发送停止位，硬件置位，由软件清零
[0]	RI	R/W	接收中断标志位，在方式 0 时，接收完 8 位后，硬件置位；在其他方式下，接收停止位，硬件置位，由软件清零

SM0	SM1	工作方式	功能	波特率
0	0	方式 0	扩展移位寄存器方式	$f_{osc}/12$
0	1	方式 1	8 位 UART	定时器溢出率/n (Timer0: n=16; Timer1: n=32)
1	0	方式 2	9 位 UART	$f_{osc}/32$ 或 $f_{osc}/64$
1	1	方式 3	9 位 UART	定时器溢出率/n (Timer0: n=16; Timer1: n=32)

2) SBUF 寄存器

SFR 地址 : 0x99

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	SBUF_REG	R/W	发送和接收 8 位数据缓存： 串行发送时，MCU 向 SBUF 写入数据 串行接收时，MCU 从 SBUF 读出数据

3) SMOD 寄存器

SFR 地址 : 0x9A

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 1]			保留
[0]	SMOD	R/W	SMOD 是串行口波特率的倍增位，当 SMOD=1 时，串行口波特率加倍（仅对 Timer1 有效）

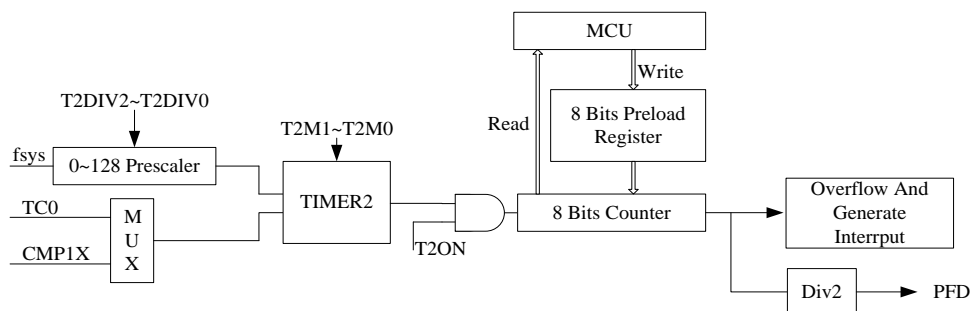
串口工作流程：

- 1、选择工作模式，计算波特率；
- 2、根据工作模式的选择，配置 SCON；
- 3、根据波特率的要求，若需要 Timer0/1 产生波特率，则配置 Timer0/1 的工作模式；
- 4、配置 SMOD；
- 5、若数据接收，等待接收中断，从 SBUF 读取输入数据并清除中断后，执行下一次操作；若发送数据，写数据到 SBUF，等到发送中断达到后，执行下一次操作。

4.8.4、定时器 2/定时器 3

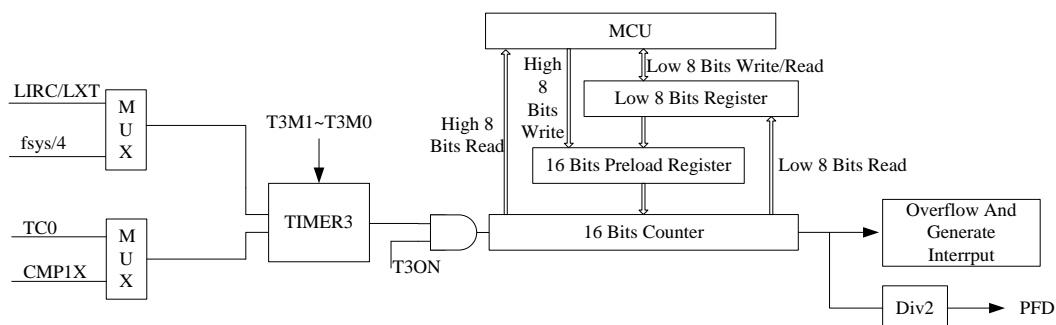
TIMER2/3 集成了两个向上定时/计数器 TIMER2 和 TIMER3，分别为 8bits 和 16bits。每个定时/计数器都有四种工作模式，可以被当作普通定时/计数器、外部事件（TC0/TC1）计数器、内部事件（CMP1/CMP2）计数器和脉冲宽度测量器来使用。另外，TIMER2 还可以对系统时钟进行预分频。

TIMER2 结构框图：



根据 TMR2C0 中 T2M1 和 T2M0 这两位可以设置 TIMER2 的工作模式，同时也选择了相应的定时计数时钟源。模式 2，也即定时/计数模式，定时计数时钟可进行预分频，最大预分频倍数为 128，且只在时钟的下降沿进行定时计数。模式 0 和模式 1 通过 T2E0 可以选择其是在上升沿或下降沿进行加 1 计数。模式 3，即脉冲宽度测量模式，同样也是通过 T2E1~T2E0 来设置其测量计数方式：上升沿开始测量下降沿停止测量、下降沿开始测量上升沿停止测量、双沿测量，而且 TMR2C1 寄存器中的 T2_N 用来设置脉冲测量是单次测量还是多次连续测量。

TIMER3 结构框图：



同样根据 TMR3C 中 T3M1 和 T3M0 这两位可以设置 TIMER3 的工作模式，与 TIMER23 不同的是，TIMER3 模式 2 和模式 3 的时钟源可通过 T3S 来选择低频时钟。另外，TIMER3 没有预分频功能。

1) 寄存器 TMR2C0

SFR 地址：0xC9

复位值：0x80

访问：R/W

Bit	Name	R/W	Description
[7: 6]	T2M1~T2M0	R/W	TIMER2的工作模式 00: 事件计数模式(CMP1的输出信号) 01: 事件计数模式(TC0引脚输入的脉冲信号) 10: 定时计数模式 11: 脉冲宽度测量模式
[5]	T2ON	R/W	TIMER2 使能控制位 0: 除能 1: 使能
[4: 3]	T2E1~T2E0	R/W	事件计数模式有效边沿选择 x0: 在上升沿计数 x1: 在下降沿计数 脉冲宽度测量模式有效边沿选择 00: 上升沿开始测量，下降沿停止测量 01: 在下降沿测量，上升沿停止测量 1x: 双沿测量
[2: 0]	T2DIV2~T2DIV0	R/W	TIMER2 预分频级数选择 000: f_{sys} 001: $f_{sys}/2$ 010: $f_{sys}/4$ 011: $f_{sys}/8$ 100: $f_{sys}/16$ 101: $f_{sys}/32$ 110: $f_{sys}/64$ 111: $f_{sys}/128$

2) 寄存器 TMR2C1

SFR 地址 : 0xCA

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 1]			保留, 读为 0
[0]	T2_N	R/W	TIMER2 脉冲测量次数选择 0: 单次测量 1: 多次连续测量

3) 寄存器 TMR3C

SFR 地址 : 0xCB

复位值 : 0x40

访问 : R/W

Bit	Name	R/W	Description
[7]			保留, 读为0
[6: 5]	T3M1~T3M0	R/W	TIMER3的工作模式 00: 事件计数模式(CMP2的输出信号) 01: 事件计数模式(TC1引脚输入的脉冲信号) 10: 定时计数模式 11: 脉冲宽度测量模式
[4]	T3S	R/W	TIMER3时钟源选择位 0: $f_{SYS}/4$ 1: f_{SUB} , LXT或LIRC
[3]	T3ON	R/W	TIMER3使能控制位 0: 除能 1: 使能
[2: 1]	T3E1~T3E0	R/W	事件计数模式有效边沿选择 x0: 在上升沿计数 x1: 在下降沿计数 脉冲宽度测量模式有效边沿选择 00: 上升沿开始测量, 下降沿停止测量 01: 在下降沿测量, 上升沿停止测量 1x: 双沿测量
[0]	T3_N	R/W	TIMER3 脉冲测量次数选择 0: 单次测量 1: 多次连续测量

4) 寄存器 TMR2

SFR 地址 : 0xCC

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	TMR2	R/W	可通过该寄存器更新 TIMER2 初值和读出脉冲的测量值

5) 寄存器 TMR3L

SFR 地址 : 0xCD

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	TMR3L	R/W	可通过该寄存器更新 TIMER3 初值低 8 位和读出脉冲的测量值低 8 位（需注意写入和读出 TMR3H 和 TMR3L 顺序）

6) 寄存器 TMR3H

SFR 地址 : 0xCE

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	TMR3H	R/W	可通过该寄存器更新 TIMER3 初值高 8 位和读出脉冲的测量值高 8 位（需注意写入和读出 TMR3H 和 TMR3L 顺序）

7) 寄存器 TMRINT

SFR 地址 : 0xCF

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[3]	T3_MEAS_END	R/W	TIMER3 脉冲测量完成标志位 0: 无效标志位 1: 有效标志位
[2]	T2_MEAS_END	R/W	TIMER2 脉冲测量完成标志位 0: 无效标志位 1: 有效标志位
[1]	T3_OFVL	R/W	TIMER3 溢出标志位 0: 无效标志位 1: 有效标志位

转下页

接上页

Bit	Name	R/W	Description
[0]	T2_OFVL	R/W	TIMER2溢出标志位 0: 无效标志位 1: 有效标志位

推荐工作流程:

- 1) 配置寄存器 TMR2C0、TRM2C1 和 TMR3C，设置定时计数器的工作模式，工作时钟源、预分频等；
- 2) 配置寄存器 TMR2、TMR3L 和 TMR3H，分别向 TIMER2 和 TIMER3 写入初值（注：若是在 TIMER3 工作过程中更新初值，需先写 TMR3L，后写 TMR3H；若读取计数结果，需先读 TMR3H，后读 TMR3L）；
- 3) 若是工作在模式 1 和模式 3，需配置 PA1 和 PA4 复用为 TC0 和 TC1 输入功能；工作在模式 0 需使比较器工作；
- 4) 配置 TMR2C0 中的 T2ON 和 TMR3C 中的 T3ON 启动 TIMER2、TIMER3 工作。

4.8.5、看门狗

看门狗定时器的功能在于防止因电磁的干扰等外部不可控制事件所造成的程序不正常动作或跳转到未知的地址。

看门狗定时器时钟源来自于内部时钟 f_s ，而 f_s 的时钟源又是通过配置选项从 f_{SUB} 和 $f_{SYS}/4$ 中选择。 f_{SUB} 时钟由 LXT 或 LIRC 振荡器提供，可通过配置选项设置。

寄存器描述:

1) WDCON 寄存器

SFR 地址 : 0xD8

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	WDT_IFG	R/W	Watchdog中断标志位，高有效，写0清中断
[6]	WDT_GATE_EN	R/W	Watchdog门控使能位，高有效
[5]	WDT_EN	R/W	Watchdog使能位，高有效
[4]	WDT_CLR	R/W	Watchdog清零位，软件写1，硬件自动清零
[3]	WDT_RE	R/W	Watchdog复位使能位，高有效
[2]	WDT_IE	R/W	Watchdog中断使能位，高有效
[1]	FSYSON	R/W	FSYSON控制位 1: 空闲模式1 0: 空闲模式0
[0]			保留

2) WDCNTM 寄存器

SFR 地址 : 0xD9

复位值 : 0x1b

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	WDT_CNTM	R/W	Watchdog计数周期的bit15~bit8

3) WDCNTH 寄存器

SFR 地址 : 0xDA

复位值 : 0x06

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	WDT_CNTH	R/W	Watchdog计数周期的bit23~bit16

注: 计数默认值为 1s

4) XDATA_CTRL 寄存器

SFR 地址 : 0xDB

复位值 : 0x00

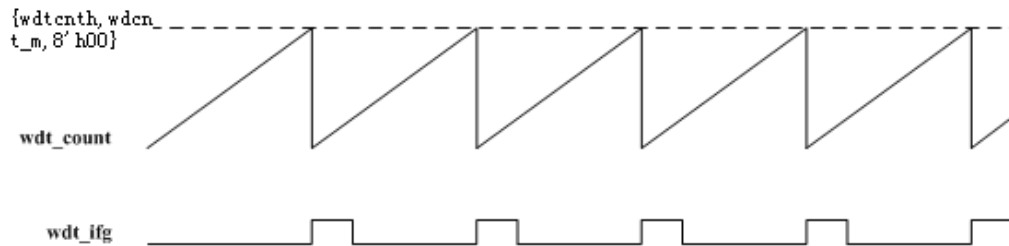
访问 : R/W

Bit	Name	R/W	Description
[7]	WDT_PRT_CTRL	R/W	WDCON 寄存器中的 WDT_IE/WDT_RE/WDT_EN 位, 任何时候都能写 1, 如需清零, 需将该位置 1; 清零后, 该位也需置 0
[6: 1]		R/W	保留
[0]	XDATA_CTRL	R/W	XDATA的memory和reg读写使能控制位, 为0时, 允许读写

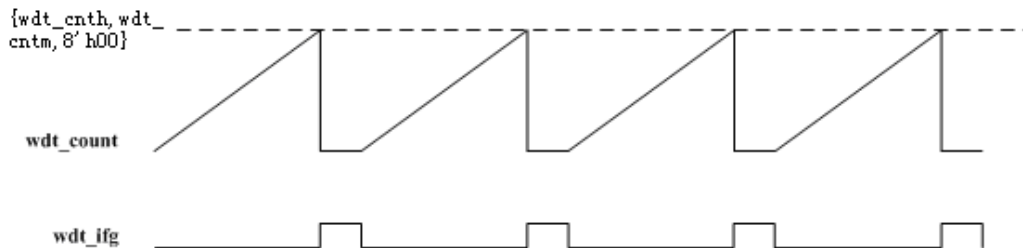
WDT_GATE_EN 为 Watchdog 定时器模式 (WDT_RE 无效) 下的门控使能位。当门控使能位为高时, 如果 Watchdog 计数溢出, Watchdog 计数器将处于复位状态 (计数值保持为零并停止计数) 直到标志位 WDT_IFG 清零后继续开始计数 (若 WDT_EN 保持有效); 当门控使能为低时, 如果 Watchdog 计数溢出, Watchdog 继续进行下一轮计数 (若 WDT_EN 保持有效), 不管标志位 WDT_IFG 是否被清零, 详见门控使能无效时看门狗定时计数示意图和门控使能有效时看门狗定时计数示意图。如果 Watchdog 的复位使能有效 (WDT_RE 有效), 当 Watchdog 计数溢出时将不产生中断标志和中断信号, 而是复位整个 MCU。

门控使能信号 WDT_GATE_EN 为低时可以实现精确的定时中断, 因为软件在进行中断处理过程时, Watchdog 定时器已经开始下一轮计数。软件应根据需要自行决定是否使用门控使能功能。

门控使能无效时看门狗定时计数示意图：

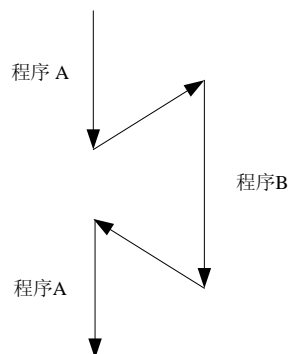


门控使能有效时看门狗定时计数示意图：



4.9、中断

所谓中断，即打断 CPU 目前正在执行的程序而转向执行其他程序的一种 CPU 运行机制。CPU 正在执行程序 A，但是因为某些事件的发生使得 CPU 不得不暂时放弃目前的程序 A 而转向执行程序 B，在程序 B 执行完成之后再重新回来执行程序 A。这就是一个中断过程，其中程序 A 叫做被中断程序，而程序 B 叫做中断服务程序，引起中断的事件叫做中断源。芯片内部许多部件都可以作为中断源，比如 UART，定时器等。



中断源

序号	模块	描述
1	ADDR_IRQ	无效地址中断请求（来自 address_map）
2	TIM01_IRQ	来自定时器 0/定时器 1 的组合中断请求
3	TIM23_IRQ	来自定时器 2/定时器 3 的组合中断请求
4	TB01_IRQ	来自时基的组合中断请求
5	GPIO_IRQ	来自 GPIO 的组合中断请求
6	SIM_IRQ	来自 SIM 的组合中断请求

转下页

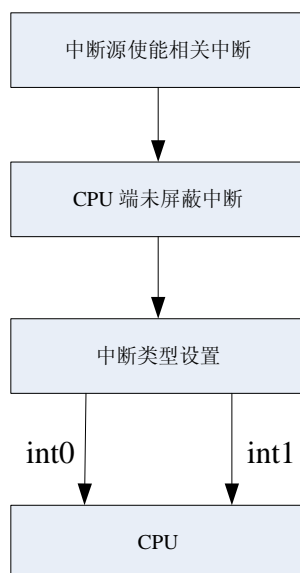
接上页

序号	模块	描述
7	ADC_IRQ	ADC 中断请求
8	LVD_IRQ	LVD 中断请求
9	CMP_IRQ	比较器中断请求
10	WDT_IRQ	看门狗功能复位中断请求
11	UART_IRQ	来自串口的组合中断请求
12	EE_IRQ	来自 EE 接口模块

现根据上表所列出的中断向量，定义出下表中的寄存器，如超出此范围再扩充位数，如有富余，则在外面接“0”或取其低几位做归约操作。

在控制中断源的相应使能位开启时，中断源的控制就由中断控制模块控制，流程图如下。

中断控制模块流程：



现根据上表所列出的中断向量定义出下表中的寄存器的定义：

地址	寄存器名称	位数	访问	复位值
4'h0800	IRQSTATL[7: 0]	8	R	0x00
4'h0801	IRQSTATH[3: 0]	4	R	0x00
4'h0802	INTML[7: 0]	8	R/W	0xff
4'h0803	INTMH[3: 0]	4	R/W	0x0f
4'h0804	IRQ_MSKDL[7: 0]	8	R	0x00
4'h0805	IRQ_MSKDH[3: 0]	4	R	0x00
4'h0806	INTSEL0L[7: 0]	8	R/W	0x00
4'h0807	INTSEL0H[3: 0]	4	R/W	0x00

IRQSTAT 是“中断请求状态”寄存器；INTM 是“中断屏蔽”寄存器；IRQ_MSKD 是经过“屏蔽处理后的中断请求状态”寄存器；INTSEL0 是“中断选择”寄存器。

1) IRQSTATL 寄存器

地址 : 0x0800

初始值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	ADDR_IRQ	R	无效地址中断请求, 只读
[6]	TIM01_IRQ	R	来自定时器 0/定时器 1 的组合中断请求, 只读
[5]	TIM23_IRQ	R	来自定时器 2/定时器 3 的组合中断请求, 只读
[4]	GPIO_IRQ	R	GPIO 的组合中断请求, 只读
[3]	TB01_IRQ	R	时基的组合中断请求, 只读
[2]	SIM_IRQ	R	串行接口 SIM 的组合中断请求, 只读
[1]	ADC_IRQ	R	ADC 的中断请求, 只读
[0]	EE_IRQ	R	数据存储控制模块的组合中断请求, 只读

2) IRQSTATH 寄存器

地址 : 0x0801

初始值 : 0x00

访问 : R

Bit	Name	R/W	Description
[7: 4]			保留
[3]	LVD_IRQ	R	LVD 中断请求, 只读
[2]	CMP_IRQ	R	比较器的中断请求, 只读
[1]	UART_IRQ	R	来自串口的组合中断请求, 只读
[0]	WDT_IRQ	R	看门狗功能复位中断请求, 只读

3) INTML 寄存器

地址 : 0x0802

初始值 : 0xff

访问 : R/W

Bit	Name	R/W	Description
[7]	ADDR_IM	R/W	ADDR_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[6]	TIM01_IM	R/W	TIM01_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[5]	TIM23_IM	R/W	TIM23_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽

转下页

接上页

Bit	Name	R/W	Description
[4]	GPIO_IM	R/W	GPIO_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[3]	TB01_IM	R/W	TB01_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[2]	SIM_IM	R/W	SIM_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽;
[1]	ADC_IM	R/W	ADC_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[0]	EE_IM	R/W	EE_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽

4) INTMH 寄存器

地址 : 0x0803

初始值 : 0x0f

访问 : R/W

Bit	Name	R/W	Description
[7: 4]			保留
[3]	LVD_IM	R/W	LVD_IM: LVD_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[2]	CMP_IM	R/W	CMP_IM: CMP_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[1]	UART_IM	R/W	UART_IM: UART_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽
[0]	WDT_IM	R/W	WAT_IM: WAT_IRQ 的中断请求屏蔽 1: 被屏蔽; 0: 未被屏蔽

5) IRQ_MSKDL 寄存器

地址 : 0x0804

初始值 : 0x00

访问 : R

Bit	Name	R/W	Description
[7]	ADDR_INT	R	无效地址中断
[6]	TIM01_INT	R	定时器 0/定时器 1 的组合中断
[5]	TIM23_INT	R	定时器 2/定时器 3 的组合中断
[4]	GPIO_INT	R	GPIO 的中断
[3]	TB01_INT	R	时基的组合中断
[2]	SIM_INT	R	SIM 的组合中断
[1]	ADC_INT	R	ADC 的中断
[0]	EE_INT	R	数据存储器的中断

6) IRQ_MSKDH 寄存器

地址 : 0x0805

初始值 : 0x00

访问 : R

Bit	Name	R/W	Description
[7: 4]			保留
[3]	LVD_INT	R	电压控制的中断
[2]	CMP_INT	R	电压控制的中断
[1]	UART_INT	R	电压控制的中断
[0]	WDT_INT	R	WDT 的中断

7) INTSEL0L 寄存器

地址 : 0x0806

初始值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	ADDR_IS	R/W	ADDR_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[6]	TIM01_IS	R/W	TIM01_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[5]	TIM23_IS	R/W	TIM23_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出

转下页

接上页

Bit	Name	R/W	Description
[4]	GPIO_IS	R/W	GPIO_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[3]	TB01_IS	R/W	TB01_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[2]	SIM_IS	R/W	SIM_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[1]	ADC_IS	R/W	ADC_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[0]	EE_IS	R/W	EE_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出

8) INTSELOH 寄存器

地址 : 0x0807

初始值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 4]			保留
[3]	LVD_IS	R/W	LVD_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[2]	CMP_IS	R/W	CMP_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[1]	UART_IS	R/W	UART_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出
[0]	WDT_IS	R/W	WDT_INT 的中断输出口选择 1: 从 INT0 输出; 0: 从 INT1 输出

4.10、GPIO

电路提供 PA~PE 双向输入/ 输出口。这些寄存器的用途是将引脚配置为需要的功能，可以实现独立的引脚配置。所有引脚的上拉电阻设置也由软件控制。

(1) 上拉电阻

许多产品在端口处于输入状态时需要外加一个上拉电阻来实现上拉的功能。为了免去外部上拉电阻，当引脚设置为输入时，可由内部连接到一个上拉电阻。这些上拉电阻可通过寄存器 PAPU~PEPU 来设置，它用一个 PMOS 晶体管来实现上拉电阻功能。

(2) PA 口唤醒

当使用暂停指令“STOP”迫使单片机进入休眠或空闲模式，单片机的系统时钟将会停止以降低功耗，此功能对于电池及低功耗应用很重要。唤醒单片机有很多种方法，其中包括 PA 口的一个引脚从高电平转为低电平唤醒以及低电平唤醒。该功能适用于通过外部开关来唤醒的应用。当 MCU 休眠时，需要外部按键来唤醒，可以通过 PA 管脚的任意一个端口来实现外部唤醒。也可以设置外部中断设置上升沿触发或是下降沿触发，高电平触发或是低电平触发，通过时钟模块来打开 MCU 时钟。

(3) 寄存器控制引脚复用

PA~PE 的大部分引脚都复用了其他功能，复用功能可以通过寄存器来配置。但是一个时间只能选择一种功能，管脚控制模块通过配置寄存器控制多路开关来连接管脚与片内外设。

寄存器描述

1) WAKE_EN 寄存器

地址 : 0x0D00

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	WAKE_EN[7]	R/W	PA7 唤醒功能控制位: 1: 使能 0: 除能
[6]	WAKE_EN[6]	R/W	PA6 唤醒功能控制位: 1: 使能 0: 除能
[5]	WAKE_EN[5]	R/W	PA5 唤醒功能控制位: 1: 使能 0: 除能
[4]	WAKE_EN[4]	R/W	PA4 唤醒功能控制位: 1: 使能 0: 除能
[3]	WAKE_EN[3]	R/W	PA3 唤醒功能控制位: 1: 使能 0: 除能

转下页

接上页

Bit	Name	R/W	Description
[2]	WAKE_EN[2]	R/W	PA2 唤醒功能控制位： 1：使能 0：除能
[1]	WAKE_EN[1]	R/W	PA1 唤醒功能控制位： 1：使能 0：除能
[0]	WAKE_EN[0]	R/W	PA0 唤醒功能控制位： 1：使能 0：除能

2) WAKEUP_EDGE_REG 寄存器

地址：0x0D01

复位值：0x00

访问：R/W

Bit	Name	R/W	Description
[7]	WAKEUP_EDGE[7]	R/W	PA7 唤醒触发方式： 1：低电平触发 0：高电平触发
[6]	WAKEUP_EDGE[6]	R/W	PA6 唤醒触发方式： 1：低电平触发 0：高电平触发
[5]	WAKEUP_EDGE[5]	R/W	PA5 唤醒触发方式： 1：低电平触发 0：高电平触发
[4]	WAKEUP_EDGE[4]	R/W	PA4 唤醒触发方式： 1：下降沿触发 0：上升沿触发
[3]	WAKEUP_EDGE[3]	R/W	PA3 唤醒触发方式： 1：下降沿触发 0：上升沿触发
[2]	WAKEUP_EDGE[2]	R/W	PA2 唤醒触发方式： 1：下降沿触发 0：上升沿触发
[1]	WAKEUP_EDGE[1]	R/W	PA1 唤醒触发方式： 1：低电平触发 0：高电平触发
[0]	WAKEUP_EDGE[0]	R/W	PA0 唤醒触发方式： 1：低电平触发 0：高电平触发

3) PAPU 寄存器

地址 : 0x0700

复位值 : 0xff

访问 : R/W

Bit	Name	R/W	Description
[7]	PAPU7	R/W	PA7 上拉电阻控制位: 1: 使能 0: 除能
[6]	PAPU6	R/W	PA6 上拉电阻控制位: 1: 使能 0: 除能
[5]	PAPU5	R/W	PA5 上拉电阻控制位: 1: 使能 0: 除能
[4]	PAPU4	R/W	PA4 上拉电阻控制位: 1: 使能 0: 除能
[3]	PAPU3	R/W	PA3 上拉电阻控制位: 1: 使能 0: 除能
[2]	PAPU2	R/W	PA2 上拉电阻控制位: 1: 使能 0: 除能
[1]	PAPU1	R/W	PA1 上拉电阻控制位: 1: 使能 0: 除能
[0]	PAPU0	R/W	PA0 上拉电阻控制位: 1: 使能 0: 除能

4) PBPU 寄存器

地址 : 0x0701

复位值 : 0xff

访问 : R/W

Bit	Name	R/W	Description
[7]	PBPU7	R/W	PB7 上拉电阻控制位: 1: 使能 0: 除能
[6]	PBPU6	R/W	PB6 上拉电阻控制位: 1: 使能 0: 除能
[5]	PBPU5	R/W	PB5 上拉电阻控制位: 1: 使能 0: 除能
[4]	PBPU4	R/W	PB4 上拉电阻控制位: 1: 使能 0: 除能
[3]	PBPU3	R/W	PB3 上拉电阻控制位: 1: 使能 0: 除能
[2]	PBPU2	R/W	PB2 上拉电阻控制位: 1: 使能 0: 除能
[1]	PBPU1	R/W	PB1 上拉电阻控制位: 1: 使能 0: 除能
[0]	PBPU0	R/W	PB0 上拉电阻控制位: 1: 使能 0: 除能

5) PCPU 寄存器

地址 : 0x0702

复位值 : 0xff

访问 : R/W

Bit	Name	R/W	Description
[7]	PCPU7	R/W	PC7 上拉电阻控制位: 1: 使能 0: 除能
[6]	PCPU6	R/W	PC6 上拉电阻控制位: 1: 使能 0: 除能

转下页

接上页

Bit	Name	R/W	Description
[5]	PCPU5	R/W	PC5 上拉电阻控制位： 1：使能 0：除能
[4]	PCPU4	R/W	PC4 上拉电阻控制位： 1：使能 0：除能
[3]	PCPU3	R/W	PC3 上拉电阻控制位： 1：使能 0：除能
[2]	PCPU2	R/W	PC2 上拉电阻控制位： 1：使能 0：除能
[1]	PCPU1	R/W	PC1 上拉电阻控制位： 1：使能 0：除能
[0]	PCPU0	R/W	PC0 上拉电阻控制位： 1：使能 0：除能

6) PDPU 寄存器

地址：0x0703

复位值：0xff

访问：R/W

Bit	Name	R/W	Description
[7]	PDPU7	R/W	PD7 上拉电阻控制位： 1：使能 0：除能
[6]	PDPU6	R/W	PD6 上拉电阻控制位： 1：使能 0：除能
[5]	PDPU5	R/W	PD5 上拉电阻控制位： 1：使能 0：除能
[4]	PDPU4	R/W	PD4 上拉电阻控制位： 1：使能 0：除能
[3]	PDPU3	R/W	PD3 上拉电阻控制位： 1：使能 0：除能

转下页

接上页

Bit	Name	R/W	Description
[2]	PDPU2	R/W	PD2 上拉电阻控制位： 1：使能 0：除能
[1]	PDPU1	R/W	PD1 上拉电阻控制位： 1：使能 0：除能
[0]	PDPU0	R/W	PD0 上拉电阻控制位： 1：使能 0：除能

7) PEPU 寄存器

地址：0x0704

复位值：0xdf

访问：R/W

Bit	Name	R/W	Description
[7]	PEPU7	R/W	PE7 上拉电阻控制位： 1：使能 0：除能
[6]	PEPU6	R/W	PE6 上拉电阻控制位： 1：使能 0：除能
[5]	PEPU5	R/W	PE5 上拉电阻控制位： 1：使能 0：除能
[4]	PEPU4	R/W	PE4 上拉电阻控制位： 1：使能 0：除能
[3]	PEPU3	R/W	PE3 上拉电阻控制位： 1：使能 0：除能
[2]	PEPU2	R/W	PE2 上拉电阻控制位： 1：使能 0：除能
[1]	PEPU1	R/W	PE1 上拉电阻控制位： 1：使能 0：除能
[0]	PEPU0	R/W	PE0 上拉电阻控制位： 1：使能 0：除能

8) MISC 寄存器

地址 : 0x0705

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	UART_SEL	R/W	PA0, PA1 复用控制: 1: PA0 作 TXD 口, PA1 作 RXD 口 0: PA0 不作 TXD 口, PA1 不作 RXD 口
[6]	IRED_SW	R/W	PB6 的 IRED 功能: 1: PB6 复用 IRED 0: PB6 不复用 IRED
[5]	ODE3	R/W	PB3 开漏极使能位 1: 使能 0: 除能
[4]	ODE2	R/W	PB2 开漏极使能位 1: 使能 0: 除能
[3]	ODE1	R/W	PB1 开漏极使能位 1: 使能 0: 除能
[2]	ODE0	R/W	PB0 开漏极使能位 1: 使能 0: 除能
[1]	PFDSEL	R/W	PFD 时钟选择位 1: 定时器 3 输出 0: 定时器 2 输出
[0]	PFDEN	R/W	PFD 功能控制位 1: PFD 使能 0: PFD 除能

注意: PB 端口中 PB0~PB3 可通过 MISC 寄存器的 ODE0~ODE3 位设置为开漏极结构。

9) LCDC 寄存器

地址 : 0x0706

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]		R/W	保留
[6]	LCDBUF	R/W	LCD 缓冲控制位 1: 使能 0: 除能
[5]	ISEL	R/W	选择 SCOM 工作电流 (VDD=5V) 1: 25 μ A 0: 10 μ A
[4]	LCDEN	R/W	LCD 控制位 1: 使能 0: 除能 如果 LCDEN=1, SCOMn 由 COMnEN 使能
[3]	COM3EN	R/W	选择 PC6 或 SCOM3 1: SCOM3 0: GPIO
[2]	COM2EN	R/W	选择 PC5 或 SCOM2 1: SCOM2 0: GPIO
[1]	COM1EN	R/W	选择 PC4 或 SCOM1 1: SCOM1 0: GPIO
[0]	COM0EN	R/W	选择 PA0 或 SCOM0 1: SCOM0 0: GPIO

10) ADPCR 寄存器

地址 : 0x0707

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PCR7	R/W	PD5 是否为 AD 输入 0: 否 1: 是, AN7
[6]	PCR6	R/W	PD0 是否为 AD 输入 0: 否 1: 是, AN6

转下页

接上页

Bit	Name	R/W	Description
[5]	PCR5	R/W	PC1 是否为 AD 输入 0: 否 1: 是, AN5
[4]	PCR4	R/W	PC0 是否为 AD 输入 0: 否 1: 是, AN4
[3]	PCR3	R/W	PB6 是否为 AD 输入 0: 否 1: 是, AN3
[2]	PCR2	R/W	PB5 是否为 AD 输入 0: 否 1: 是, AN2
[1]	PCR1	R/W	PB4 是否为 AD 输入 0: 否 1: 是, AN1
[0]	PCR0	R/W	PB3 是否为 AD 输入 0: 否 1: 是, AN0

11) EE_PINSEL 寄存器

地址 : 0x0708

复位值 : 0x03

访问 : R/W

Bit	Name	R/W	Description
[7: 2]			保留
[1]	WPSEL	R/W	PE5 复用 1: PE5 复用 GPIO 0: PE5 复用 EEWP
[0]	EESSEL	R/W	PD7/PD6 复用 1: PD7/PD6 复用 GPIO 0: PD7 复用 EESDA, PD6 复用 EESCL

12) PAREG 寄存器

SFR 地址 : 0xA1

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PA7_DATA	R/W	PA7 输入/输出数据 PA7_DIR =1, PA7_DATA 为 PA7 输出数据 PA7_DIR =0, PA7_DATA 为 PA7 输入数据
[6]	PA6_DATA	R/W	PA6 输入/输出数据 PA6_DIR =1, PA6_DATA 为 PA6 输出数据 PA6_DIR =0, PA6_DATA 为 PA6 输入数据
[5]	PA5_DATA	R/W	PA5 输入/输出数据 PA5_DIR =1, PA5_DATA 为 PA5 输出数据 PA5_DIR =0, PA5_DATA 为 PA5 输入数据
[4]	PA4_DATA	R/W	PA4 输入/输出数据 PA4_DIR =1, PA4_DATA 为 PA4 输出数据 PA4_DIR =0, PA4_DATA 为 PA4 输入数据
[3]	PA3_DATA	R/W	PA3 输入/输出数据 PA3_DIR =1, PA3_DATA 为 PA3 输出数据 PA3_DIR =0, PA3_DATA 为 PA3 输入数据
[2]	PA2_DATA	R/W	PA2 输入/输出数据 PA2_DIR =1, PA2_DATA 为 PA2 输出数据 PA2_DIR =0, PA2_DATA 为 PA2 输入数据
[1]	PA1_DATA	R/W	PA1 输入/输出数据 PA1_DIR =1, PA1_DATA 为 PA1 输出数据 PA1_DIR =0, PA1_DATA 为 PA1 输入数据
[0]	PA0_DATA	R/W	PA0 输入/输出数据 PA0_DIR =1, PA0_DATA 为 PA0 输出数据 PA0_DIR =0, PA0_DATA 为 PA0 输入数据

13) PADIR 寄存器

SFR 地址 : 0xA2

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PA7_DIR	R/W	PA7 数据输入输出方向 1: 输出 0: 输入
[6]	PA6_DIR	R/W	PA6 数据输入输出方向 1: 输出 0: 输入

转下页

接上页

Bit	Name	R/W	Description
[5]	PA5_DIR	R/W	PA5 数据输入输出方向 1: 输出 0: 输入
[4]	PA4_DIR	R/W	PA4 数据输入输出方向 1: 输出 0: 输入
[3]	PA3_DIR	R/W	PA3 数据输入输出方向 1: 输出 0: 输入
[2]	PA2_DIR	R/W	PA2 数据输入输出方向 1: 输出 0: 输入
[1]	PA1_DIR	R/W	PA1 数据输入输出方向 1: 输出 0: 输入
[0]	PA0_DIR	R/W	PA0 数据输入输出方向 1: 输出 0: 输入

14) PAIE 寄存器

SFR 地址 : 0xA3

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PA7_IE	R/W	PA7 中断使能信号, 高有效
[6]	PA6_IE	R/W	PA6 中断使能信号, 高有效
[5]	PA5_IE	R/W	PA5 中断使能信号, 高有效
[4]	PA4_IE	R/W	PA4 中断使能信号, 高有效
[3]	PA3_IE	R/W	PA3 中断使能信号, 高有效
[2]	PA2_IE	R/W	PA2 中断使能信号, 高有效
[1]	PA1_IE	R/W	PA1 中断使能信号, 高有效
[0]	PA0_IE	R/W	PA0 中断使能信号, 高有效

15) PAIES_L 寄存器

SFR 地址 : 0xA4

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PA3_IES	R/W	PA3 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PA2_IES	R/W	PA2 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[3: 2]	PA1_IES	R/W	PA1 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PA0_IES	R/W	PA0 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

16) PAIES_H 寄存器

SFR 地址 : 0xA5

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PA7_IE	R/W	PA7 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PA6_IE	R/W	PA6 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

转下页

接上页

Bit	Name	R/W	Description
[3: 2]	PA5_IE	R/W	PA5 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PA4_IE	R/W	PA4 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

17) PAIFG 寄存器

SFR 地址 : 0xA6

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PA7_IFG	R/W	PA7 中断标志信号, 高有效
[6]	PA6_IFG	R/W	PA6 中断标志信号, 高有效
[5]	PA5_IFG	R/W	PA5 中断标志信号, 高有效
[4]	PA4_IFG	R/W	PA4 中断标志信号, 高有效
[3]	PA3_IFG	R/W	PA3 中断标志信号, 高有效
[2]	PA2_IFG	R/W	PA2 中断标志信号, 高有效
[1]	PA1_IFG	R/W	PA1 中断标志信号, 高有效
[0]	PA0_IFG	R/W	PA0 中断标志信号, 高有效

18) PBREG 寄存器

SFR 地址 : 0xA9

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PB7_DATA	R/W	PB7 输入/输出数据 PB7_DIR =1, PB7_DATA 为 PB7 输出数据 PB7_DIR =0, PB7_DATA 为 PB7 输入数据
[6]	PB6_DATA	R/W	PB6 输入/输出数据 PB6_DIR =1, PB6_DATA 为 PB6 输出数据 PB6_DIR =0, PB6_DATA 为 PB6 输入数据
[5]	PB5_DATA	R/W	PB5 输入/输出数据 PB5_DIR =1, PB5_DATA 为 PB5 输出数据 PB5_DIR =0, PB5_DATA 为 PB5 输入数据

转下页

接上页

Bit	Name	R/W	Description
[4]	PB4_DATA	R/W	PB4 输入/输出数据 PB4_DIR =1, PB4_DATA 为 PB4 输出数据 PB4_DIR =0, PB4_DATA 为 PB4 输入数据
[3]	PB3_DATA	R/W	PB3 输入/输出数据 PB3_DIR =1, PB3_DATA 为 PB3 输出数据 PB3_DIR =0, PB3_DATA 为 PB3 输入数据
[2]	PB2_DATA	R/W	PB2 输入/输出数据 PB2_DIR =1, PB2_DATA 为 PB2 输出数据 PB2_DIR =0, PB2_DATA 为 PB2 输入数据
[1]	PB1_DATA	R/W	PB1 输入/输出数据 PB1_DIR =1, PB1_DATA 为 PB1 输出数据 PB1_DIR =0, PB1_DATA 为 PB1 输入数据
[0]	PB0_DATA	R/W	PB0 输入/输出数据 PB0_DIR =1, PB0_DATA 为 PB0 输出数据 PB0_DIR =0, PB0_DATA 为 PB0 输入数据

19) PBDIR 寄存器

SFR 地址 : 0xAA

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PB7_DIR	R/W	PB7 数据输入输出方向 1: 输出 0: 输入
[6]	PB6_DIR	R/W	PB6 数据输入输出方向 1: 输出 0: 输入
[5]	PB5_DIR	R/W	PB5 数据输入输出方向 1: 输出 0: 输入
[4]	PB4_DIR	R/W	PB4 数据输入输出方向 1: 输出 0: 输入
[3]	PB3_DIR	R/W	PB3 数据输入输出方向 1: 输出 0: 输入
[2]	PB2_DIR	R/W	PB2 数据输入输出方向 1: 输出 0: 输入

转下页

接上页

Bit	Name	R/W	Description
[1]	PB1_DIR	R/W	PB1 数据输入输出方向 1: 输出 0: 输入
[0]	PB0_DIR	R/W	PB0 数据输入输出方向 1: 输出 0: 输入

20) PBIE 寄存器

SFR 地址 : 0xAB

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PB7_IE	R/W	PB7 中断使能信号, 高有效
[6]	PB6_IE	R/W	PB6 中断使能信号, 高有效
[5]	PB5_IE	R/W	PB5 中断使能信号, 高有效
[4]	PB4_IE	R/W	PB4 中断使能信号, 高有效
[3]	PB3_IE	R/W	PB3 中断使能信号, 高有效
[2]	PB2_IE	R/W	PB2 中断使能信号, 高有效
[1]	PB1_IE	R/W	PB1 中断使能信号, 高有效
[0]	PB0_IE	R/W	PB0 中断使能信号, 高有效

21) PBIES_L 寄存器

SFR 地址 : 0xAC

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PB3_IES	R/W	PB3 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PB2_IES	R/W	PB2 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

转下页

接上页

Bit	Name	R/W	Description
[3: 2]	PB1_IES	R/W	PB1 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PB0_IES	R/W	PB0 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

22) PBIES_H 寄存器

SFR 地址 : 0xAD

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PB7_IE	R/W	PB7 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PB6_IE	R/W	PB6 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[3: 2]	PB5_IE	R/W	PB5 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PB4_IE	R/W	PB4 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

23) PBIFG 寄存器

SFR 地址 : 0xAE

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PB7_IFG	R/W	PB7 中断标志信号, 高有效
[6]	PB6_IFG	R/W	PB6 中断标志信号, 高有效
[5]	PB5_IFG	R/W	PB5 中断标志信号, 高有效
[4]	PB4_IFG	R/W	PB4 中断标志信号, 高有效
[3]	PB3_IFG	R/W	PB3 中断标志信号, 高有效
[2]	PB2_IFG	R/W	PB2 中断标志信号, 高有效
[1]	PB1_IFG	R/W	PB1 中断标志信号, 高有效
[0]	PB0_IFG	R/W	PB0 中断标志信号, 高有效

24) PCREG 寄存器

SFR 地址 : 0xB1

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PC7_DATA	R/W	PC7 输入/输出数据 PC7_DIR =1, PC7_DATA 为 PC7 输出数据 PC7_DIR =0, PC7_DATA 为 PC7 输入数据
[6]	PC6_DATA	R/W	PC6 输入/输出数据 PC6_DIR =1, PC6_DATA 为 PC6 输出数据 PC6_DIR =0, PC6_DATA 为 PC6 输入数据
[5]	PC5_DATA	R/W	PC5 输入/输出数据 PC5_DIR =1, PC5_DATA 为 PC5 输出数据 PC5_DIR =0, PC5_DATA 为 PC5 输入数据
[4]	PC4_DATA	R/W	PC4 输入/输出数据 PC4_DIR =1, PC4_DATA 为 PC4 输出数据 PC4_DIR =0, PC4_DATA 为 PC4 输入数据
[3]	PC3_DATA	R/W	PC3 输入/输出数据 PC3_DIR =1, PC3_DATA 为 PC3 输出数据 PC3_DIR =0, PC3_DATA 为 PC3 输入数据
[2]	PC2_DATA	R/W	PC2 输入/输出数据 PC2_DIR =1, PC2_DATA 为 PC2 输出数据 PC2_DIR =0, PC2_DATA 为 PC2 输入数据
[1]	PC1_DATA	R/W	PC1 输入/输出数据 PC1_DIR =1, PC1_DATA 为 PC1 输出数据 PC1_DIR =0, PC1_DATA 为 PC1 输入数据
[0]	PC0_DATA	R/W	PC0 输入/输出数据 PC0_DIR =1, PC0_DATA 为 PC0 输出数据 PC0_DIR =0, PC0_DATA 为 PC0 输入数据

25) PCDIR 寄存器

SFR 地址 : 0xB2

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PC7_DIR	R/W	PC7 数据输入输出方向 1: 输出 0: 输入
[6]	PC6_DIR	R/W	PC6 数据输入输出方向 1: 输出 0: 输入
[5]	PC5_DIR	R/W	PC5 数据输入输出方向 1: 输出 0: 输入
[4]	PC4_DIR	R/W	PC4 数据输入输出方向 1: 输出 0: 输入
[3]	PC3_DIR	R/W	PC3 数据输入输出方向 1: 输出 0: 输入
[2]	PC2_DIR	R/W	PC2 数据输入输出方向 1: 输出 0: 输入
[1]	PC1_DIR	R/W	PC1 数据输入输出方向 1: 输出 0: 输入
[0]	PC0_DIR	R/W	PC0 数据输入输出方向 1: 输出 0: 输入

26) PCIE 寄存器

SFR 地址 : 0xB3

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PC7_IE	R/W	PC7 中断使能信号, 高有效
[6]	PC6_IE	R/W	PC6 中断使能信号, 高有效
[5]	PC5_IE	R/W	PC5 中断使能信号, 高有效
[4]	PC4_IE	R/W	PC4 中断使能信号, 高有效
[3]	PC3_IE	R/W	PC3 中断使能信号, 高有效
[2]	PC2_IE	R/W	PC2 中断使能信号, 高有效
[1]	PC1_IE	R/W	PC1 中断使能信号, 高有效
[0]	PC0_IE	R/W	PC0 中断使能信号, 高有效

27) PCIES_L 寄存器

SFR 地址 : 0xB4

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PC3_IES	R/W	PC3 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PC2_IES	R/W	PC2 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[3: 2]	PC1_IES	R/W	PC1 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PC0_IES	R/W	PC0 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

28) PCIES_H 寄存器

SFR 地址 : 0xB5

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PC7_IE	R/W	PC7 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PC6_IE	R/W	PC6 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

转下页

接上页

Bit	Name	R/W	Description
[3: 2]	PC5_IE	R/W	PC5 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PC4_IE	R/W	PC4 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

29) PCIFG 寄存器

SFR 地址 : 0xB6

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PC7_IFG	R/W	PC7 中断标志信号, 高有效
[6]	PC6_IFG	R/W	PC6 中断标志信号, 高有效
[5]	PC5_IFG	R/W	PC5 中断标志信号, 高有效
[4]	PC4_IFG	R/W	PC4 中断标志信号, 高有效
[3]	PC3_IFG	R/W	PC3 中断标志信号, 高有效
[2]	PC2_IFG	R/W	PC2 中断标志信号, 高有效
[1]	PC1_IFG	R/W	PC1 中断标志信号, 高有效
[0]	PC0_IFG	R/W	PC0 中断标志信号, 高有效

30) PDREG 寄存器

SFR 地址 : 0xB9

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PD7_DATA	R/W	PD7 输入/输出数据 PD7_DIR =1, PD7_DATA 为 PD7 输出数据 PD7_DIR =0, PD7_DATA 为 PD7 输入数据
[6]	PD6_DATA	R/W	PD6 输入/输出数据 PD6_DIR =1, PD6_DATA 为 PD6 输出数据 PD6_DIR =0, PD6_DATA 为 PD6 输入数据
[5]	PD5_DATA	R/W	PD5 输入/输出数据 PD5_DIR =1, PD5_DATA 为 PD5 输出数据 PD5_DIR =0, PD5_DATA 为 PD5 输入数据

转下页

接上页

Bit	Name	R/W	Description
[4]	PD4_DATA	R/W	PD4 输入/输出数据 PD4_DIR =1, PD4_DATA 为 PD4 输出数据 PD4_DIR =0, PD4_DATA 为 PD4 输入数据
[3]	PD3_DATA	R/W	PD3 输入/输出数据 PD3_DIR =1, PD3_DATA 为 PD3 输出数据 PD3_DIR =0, PD3_DATA 为 PD3 输入数据
[2]	PD2_DATA	R/W	PD2 输入/输出数据 PD2_DIR =1, PD2_DATA 为 PD2 输出数据 PD2_DIR =0, PD2_DATA 为 PD2 输入数据
[1]	PD1_DATA	R/W	PD1 输入/输出数据 PD1_DIR =1, PD1_DATA 为 PD1 输出数据 PD1_DIR =0, PD1_DATA 为 PD1 输入数据
[0]	PD0_DATA	R/W	PD0 输入/输出数据 PD0_DIR =1, PD0_DATA 为 PD0 输出数据 PD0_DIR =0, PD0_DATA 为 PD0 输入数据

31) PDDIR 寄存器

SFR 地址 : 0xBA

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PD7_DIR	R/W	PD7 数据输入输出方向 1: 输出 0: 输入
[6]	PD6_DIR	R/W	PD6 数据输入输出方向 1: 输出 0: 输入
[5]	PD5_DIR	R/W	PD5 数据输入输出方向 1: 输出 0: 输入
[4]	PD4_DIR	R/W	PD4 数据输入输出方向 1: 输出 0: 输入
[3]	PD3_DIR	R/W	PD3 数据输入输出方向 1: 输出 0: 输入
[2]	PD2_DIR	R/W	PD2 数据输入输出方向 1: 输出 0: 输入

转下页

接上页

Bit	Name	R/W	Description
[1]	PD1_DIR	R/W	PD1 数据输入输出方向 1: 输出 0: 输入
[0]	PD0_DIR	R/W	PD0 数据输入输出方向 1: 输出 0: 输入

32) PDIE 寄存器

SFR 地址 : 0xBB

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PD7_IE	R/W	PD7 中断使能信号, 高有效
[6]	PD6_IE	R/W	PD6 中断使能信号, 高有效
[5]	PD5_IE	R/W	PD5 中断使能信号, 高有效
[4]	PD4_IE	R/W	PD4 中断使能信号, 高有效
[3]	PD3_IE	R/W	PD3 中断使能信号, 高有效
[2]	PD2_IE	R/W	PD2 中断使能信号, 高有效
[1]	PD1_IE	R/W	PD1 中断使能信号, 高有效
[0]	PD0_IE	R/W	PD0 中断使能信号, 高有效

33) PDIES_L 寄存器

SFR 地址 : 0xBC

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PD3_IES	R/W	PD3 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PD2_IES	R/W	PD2 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

转下页

接上页

Bit	Name	R/W	Description
[3: 2]	PD1_IES	R/W	PD1 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PD0_IES	R/W	PD0 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

34) PDIES_H 寄存器

SFR 地址 : 0xBD

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PD7_IE	R/W	PD7 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PD6_IE	R/W	PD6 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[3: 2]	PD5_IE	R/W	PD5 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PD4_IE	R/W	PD4 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

35) PDIFG 寄存器

SFR 地址 : 0xBE

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PD7_IFG	R/W	PD7 中断标志信号, 高有效
[6]	PD6_IFG	R/W	PD6 中断标志信号, 高有效
[5]	PD5_IFG	R/W	PD5 中断标志信号, 高有效
[4]	PD4_IFG	R/W	PD4 中断标志信号, 高有效
[3]	PD3_IFG	R/W	PD3 中断标志信号, 高有效
[2]	PD2_IFG	R/W	PD2 中断标志信号, 高有效
[1]	PD1_IFG	R/W	PD1 中断标志信号, 高有效
[0]	PD0_IFG	R/W	PD0 中断标志信号, 高有效

36) PEREG 寄存器

SFR 地址 : 0xC1

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PE7_DATA	R/W	PE7 输入/输出数据 PE7_DIR =1, PE7_DATA 为 PE7 输出数据 PE7_DIR =0, PE7_DATA 为 PE7 输入数据
[6]	PE6_DATA	R/W	PE6 输入/输出数据 PE6_DIR =1, PE6_DATA 为 PE6 输出数据 PE6_DIR =0, PE6_DATA 为 PE6 输入数据
[5]	PE5_DATA	R/W	PE5 输入/输出数据 PE5_DIR =1, PE5_DATA 为 PE5 输出数据 PE5_DIR =0, PE5_DATA 为 PE5 输入数据
[4]	PE4_DATA	R/W	PE4 输入/输出数据 PE4_DIR =1, PE4_DATA 为 PE4 输出数据 PE4_DIR =0, PE4_DATA 为 PE4 输入数据
[3]	PE3_DATA	R/W	PE3 输入/输出数据 PE3_DIR =1, PE3_DATA 为 PE3 输出数据 PE3_DIR =0, PE3_DATA 为 PE3 输入数据
[2]	PE2_DATA	R/W	PE2 输入/输出数据 PE2_DIR =1, PE2_DATA 为 PE2 输出数据 PE2_DIR =0, PE2_DATA 为 PE2 输入数据
[1]	PE1_DATA	R/W	PE1 输入/输出数据 PE1_DIR =1, PE1_DATA 为 PE1 输出数据 PE1_DIR =0, PE1_DATA 为 PE1 输入数据
[0]	PE0_DATA	R/W	PE0 输入/输出数据 PE0_DIR =1, PE0_DATA 为 PE0 输出数据 PE0_DIR =0, PE0_DATA 为 PE0 输入数据

37) PEDIR 寄存器

SFR 地址 : 0xC2

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PE7_DIR	R/W	PE7 数据输入输出方向 1: 输出 0: 输入
[6]	PE6_DIR	R/W	PE6 数据输入输出方向 1: 输出 0: 输入
[5]	PE5_DIR	R/W	PE5 数据输入输出方向 1: 输出 0: 输入
[4]	PE4_DIR	R/W	PE4 数据输入输出方向 1: 输出 0: 输入
[3]	PE3_DIR	R/W	PE3 数据输入输出方向 1: 输出 0: 输入
[2]	PE2_DIR	R/W	PE2 数据输入输出方向 1: 输出 0: 输入
[1]	PE1_DIR	R/W	PE1 数据输入输出方向 1: 输出 0: 输入
[0]	PE0_DIR	R/W	PE0 数据输入输出方向 1: 输出 0: 输入

38) PEIE 寄存器

SFR 地址 : 0xC3

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PE7_IE	R/W	PE7 中断使能信号, 高有效
[6]	PE6_IE	R/W	PE6 中断使能信号, 高有效
[5]	PE5_IE	R/W	PE5 中断使能信号, 高有效
[4]	PE4_IE	R/W	PE4 中断使能信号, 高有效
[3]	PE3_IE	R/W	PE3 中断使能信号, 高有效
[2]	PE2_IE	R/W	PE2 中断使能信号, 高有效
[1]	PE1_IE	R/W	PE1 中断使能信号, 高有效
[0]	PE0_IE	R/W	PE0 中断使能信号, 高有效

39) PEIES_L 寄存器

SFR 地址 : 0xC4

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PE3_IES	R/W	PE3 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PE2_IES	R/W	PE2 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[3: 2]	PE1_IES	R/W	PE1 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PE0_IES	R/W	PE0 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

40) PEIES_H 寄存器

SFR 地址 : 0xC5

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]	PE7_IE	R/W	PE7 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[5: 4]	PE6_IE	R/W	PE6 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

转下页

接上页

Bit	Name	R/W	Description
[3: 2]	PE5_IE	R/W	PE5 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断
[1: 0]	PE4_IE	R/W	PE4 中断方式选择信号 00: 除能 01: 上升沿中断 10: 下降沿中断 11: 双沿中断

41) PEIFG 寄存器

SFR 地址 : 0xC6

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PE7_IFG	R/W	PE7 中断标志信号, 高有效
[6]	PE6_IFG	R/W	PE6 中断标志信号, 高有效
[5]	PE5_IFG	R/W	PE5 中断标志信号, 高有效
[4]	PE4_IFG	R/W	PE4 中断标志信号, 高有效
[3]	PE3_IFG	R/W	PE3 中断标志信号, 高有效
[2]	PE2_IFG	R/W	PE2 中断标志信号, 高有效
[1]	PE1_IFG	R/W	PE1 中断标志信号, 高有效
[0]	PE0_IFG	R/W	PE0 中断标志信号, 高有效

4.11、可编程分频器 (PFD)

可编程分频器可以产生可变的频率输出, 适用于需要精确频率的应用场合。可编程分频器需要 TIMER2 或 TIMER3 工作在定时计数模式 (即模式 2), TIMER2 或 TIMER3 溢出时 PFD 输出信号电平翻转, PFD 输出引脚与 I/O 引脚 PA5 共用。这个功能通过 MISC 寄存器中的 PFDEN 位控制, 如果不选择该功能, PA5 端口便为其他功能。

另外, 为使 PFD 正常工作, 应将 PA5 端口配置为 GPIO 输出, 且其输出值为 “1” 时, PFD 输出才有效, 故 PA5 端口输出值可以作为 PFD 输出的开关控制位。

推荐工作流程:

1) 配置寄存器 TMR2C0、TRM2C1 和 TMR3C, 使定时计数器工作在模式 2, 并设置工作时钟源、预分频等;

2) 配置寄存器 TMR2、TMR3L 和 TMR3H, 分别向 TIMER2 和 TIMER3 写入初值 (注: 若是在 TIMER3 工作过程中更新初值, 需先写 TMR3L, 后写 TMR3H; 若读取计数结果, 需先读 TMR3H, 后读 TMR3L);

3) 关闭 PA5 其他复用功能 (A2E), 配置寄存器 PAREG 和 PADIR, 使 PA5 作为输出, 且输出值为 “1”;

- 4) 配置寄存器 MISC，选择 PFD 时钟来源，并使能 PFD 功能；
 5) 配置 TMR2C0 中的 T2ON 和 TMR3C 中的 T3ON 启动 TIMER2、TIMER3 工作。

4. 12、时基 (TimeBase)

时基模块的时钟源为 f_{TB} ，可以提供一個固定周期的中断信号，可利用该中断信号完成所需功能。时基模块计数周期可通过 TBC 寄存器进行选择。另外，时基模块也可作为可编程定时器。

1) 寄存器 TBC

地址 : 0x0400

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	TBCK	R/W	f_{TB} 的时钟源选择位 0: f_{TBC} 1: $f_{SYS}/4$
[6]	TB1ON	R/W	TB1 的使能控制位 0: 除能 1: 使能
[5: 4]	TB11~TB10	R/W	Time Base 1 溢出周期选择位 00: $4096/f_{TB}$ 01: $8192/f_{TB}$ 10: $16384/f_{TB}$ 11: $32768/f_{TB}$
[3]	TB0ON	R/W	TB0 的使能控制位 0: 除能 1: 使能
[2: 0]	TB02~TB00	R/W	Time Base 0 溢出周期选择位 000: $256/f_{TB}$ 001: $512/f_{TB}$ 010: $1024/f_{TB}$ 011: $2048/f_{TB}$ 100: $4096/f_{TB}$ 101: $8192/f_{TB}$ 110: $16384/f_{TB}$ 111: $32768/f_{TB}$

2) 寄存器 TBCINT

地址 : 0x0401

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 2]			保留, 读为 “0”
[1]	TB1F	R/W	Time Base1 中断请求标志位 0: 无效 1: 有效
[0]	TB0F	R/W	Time Base0 中断请求标志位 0: 无效 1: 有效

推荐工作流程:

- 1) 配置 INTML 寄存器打开时基中断, 配置 INTSEL0L 寄存器选择中断源;
- 2) 配置寄存器 TBC, 设置 TB0/TB1 的溢出周期和时钟源;
- 3) 配置寄存器 TBC, 启动 TB0/TB1 工作;
- 4) 待检测到时基中断信号, 通过向寄存器 TBCINT 相应标志位写零清除中断。

4. 13、脉冲宽度调制器 (PWM)

PWM 有着广泛的应用, 大多数情况下用于控制模拟电路。因为数字信号连续变化的速率相对较快 (当然取决于信号周期), 因此最终会形成一个用来控制模拟电路的平均电压值。当 PWM 脉冲应用于马达时, 马达的转速正比于占空比 (从 0% 到 100%)。如果占空比增加, 马达转速就会提高, 反之, 如果占空比减小, 马达的转速随之也会降低。

PWM 模块可提供两路 PWM 输出, 且对两路 PWM 增加了死区控制功能。PWM 输出时的 Dead Zone (死区) 作用是在电平翻转时插入一个时间间隔, 避免因为开关响应速度问题发生同时导通导致大电流而设置的保护时段。

PWM 工作特点:

- 1) PWM 的初始电平可以通过 MCU 进行配置;
- 2) PWM 可设置为单次输出和循环输出, 单次输出完成后, 恢复所设置的初始电平;
- 3) 周期、占空比、死区时间寄存器值可以更新, PWM 的输出将会在本周期完成后进行调整;

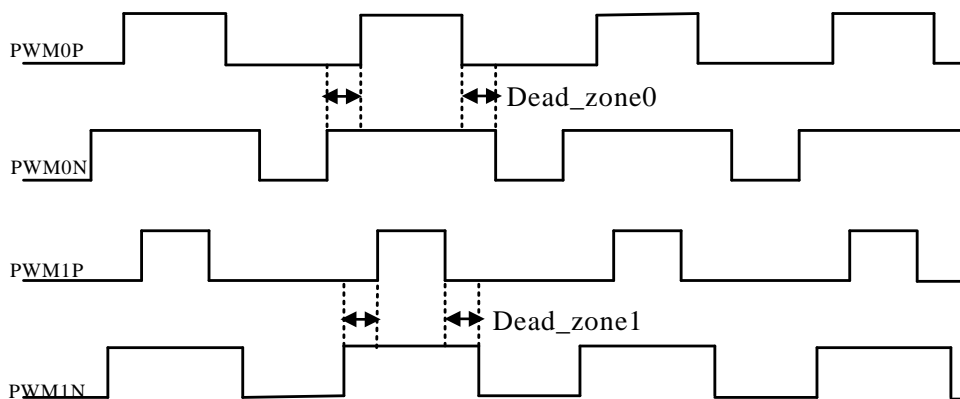
4) 当死区时间大于高低电平时间两者中较小值则没有波形输出，此时输出为初始电平；

5) 死区两种模式的初始电平：

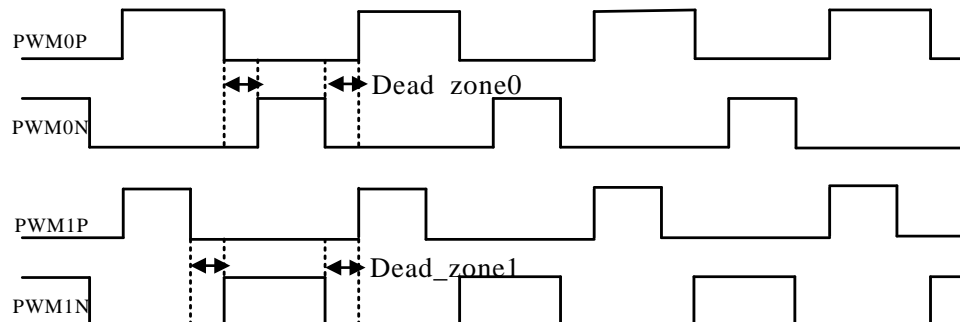
P+N 模式：PWMX_P/PWMX_N 与寄存器配置 PWMX_INITIAL_VAL 一致；

全 N 模式：PWMX_P 与寄存器配置 PWMX_INITIAL_VAL 一致，而 PWMX_N 则为寄存器配置 PWMX_INITIAL_VAL 的反。

死区控制使能，P+N 模式的 PWM0P/PWM0N 和 PWM1P/PWM1N 的输出时序图：



死区控制使能，全 N 模式的 PWM0P/PWM0N 和 PWM1P/PWM1N 的输出时序图：



1) PWM_PERIOD0L 寄存器

地址 : 0x0900

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PERIOD0L	R/W	PWM0 的周期低 8 位

2) PWM_PERIOD0H 寄存器

地址 : 0x0901

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PERIOD0H	R/W	PWM0 的周期高 8 位

3) PWM_PULSE0L 寄存器

地址 : 0x0902

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PULSE0L	R/W	PWM0 的占空比低 8 位

4) PWM_PULSE0H 寄存器

地址 : 0x0903

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PULSE0H	R/W	PWM0 的占空比高 8 位

5) PWM_PERIOD1L 寄存器

地址 : 0x0904

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PERIOD1L	R/W	PWM1 的周期低 8 位

6) PWM_PERIOD1H 寄存器

地址 : 0x0905

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PERIOD1H	R/W	PWM1 的周期高 8 位

7) PWM_PULSE1L 寄存器

地址 : 0x0906

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PULSE1L	R/W	PWM1 的占空比低 8 位

8) PWM_PULSE1H 寄存器

地址 : 0x0907

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	PWM_PULSE1H	R/W	PWM1 的占空比高 8 位

9) DEAD_ZONE0 寄存器

地址 : 0x0908

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DEAD_ZONE0	R/W	PWM0 的死区控制时间

10) DEAD_ZONE1 寄存器

地址 : 0x0909

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	DEAD_ZONE1	R/W	PWM1 的死区控制时间

11) PWM_CTRL 寄存器

地址 : 0x090A

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	PWM1_LOAD	R/W	PWM1 周期、占空比死区时间装载控制位 0: PWM1 装载除能 1: PWM1 装载使能
[6]	PWM0_LOAD	R/W	PWM0 周期、占空比死区时间装载控制位 0: PWM0 装载除能 1: PWM0 装载使能
[5]	PWM1_INITIAL_VAL	R/W	PWM1 初值 0: 初值为 0 1: 初值为 1
[4]	PWM0_INITIAL_VAL	R/W	PWM0 初值 0: 初值为 0 1: 初值为 1
[3]	PWM1_OE	R/W	PWM1 输出模式 0: 循环输出 1: 单次输出

转下页

接上页

Bit	Name	R/W	Description
[2]	PWM0_OE	R/W	PWM0 输出模式 0: 循环输出 1: 单次输出
[1]	PWM1_E	R/W	PWM1 输出使能 0: 禁止 PWM1 输出(单次触发模式, 该位自动清零, 循环模式, 需 MCU 将其清零 1: 开启 PWM1 输出
[0]	PWM0_E	R/W	PWM0 输出使能 0: 禁止 PWM0 输出(单次触发模式, 该位自动清零, 循环模式, 需 MCU 将其清零 1: 开启 PWM0 输出

12) DZ_CTRL 寄存器

地址 : 0x090B

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 4]			保留, 读为 “0”
[3]	DZ1_EN	R/W	PWM1P/PWM1N 死区控制使能 0: 死区控制除能 1: 死区控制使能
[2]	DZ0_EN	R/W	PWM0P/PWM0N 死区控制使能 0: 死区控制除能 1: 死区控制使能
[1]	DZ1_MODE	R/W	PWM1P/PWM1N 死区控制模式选择 0: P+N 模式 1: 全 N 模式
[0]	DZ0_MODE	R/W	PWM0P/PWM0N 死区控制模式选择 0: P+N 模式 1: 全 N 模式

推荐 PWM 控制器工作流程:

- 1) 配置 PWM_CTRL[5 : 4]设置 PWM 的初始电平;
- 2) 配置 PWM_PERIOD0L/PWM_PERIOD0H/PWM_PULSE0L/PWM_PULSE0H, PWM_PERIOD1L/PWM_PERIOD1H/PWM_PULSE1L/PWM_PULSE1H, 设置 PWM0 和 PWM1 的周期和占空比, 配置 DEAD_ZONE0/DEAD_ZONE1 设置死区时间控制 (注: 死区时间应小于高低电平时间两者的较小值);
- 3) 配置 DZ_CTRL 寄存器选择死区控制模式并使能;
- 4) 将相应管脚 PC5/PB2/PC6/PB1 功能复用为 PWM0P/PWM0N/PWM1P/PWM1N 输出, 并配置 PWM_CTRL 寄存器使能 PWM0/PWM1;

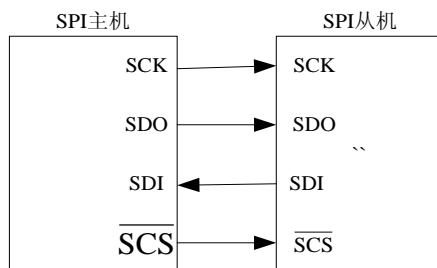
5) 在工作期间, 需要更改周期、占空比、死区时间信息, 应先重新配置相应的寄存器, 并将 PWM_CTRL[7 : 6]使能, 待本周期输出完成后, 会自动装载, 并硬件自动将 load 信号清零。

4.14、串行接口模块 (SIM)

电路内有一个串行接口模块, 包括两种易与外部设备通信的串行接口: 四线 SPI 或两线 I²C 接口。这两种接口具有相当简单的通信协议, 单片机可以通过这些接口与传感器、闪存或 EEPROM 内存等硬件设备通信。SIM 接口的引脚与 PB0~PB3 引脚共用, 所以要使用 SIM 功能时应先在配置选项中选中 SIM 功能。因为这两种接口共用引脚和寄存器, 所以要通过一个 SIMC0 寄存器中的 SIM2~SIM0 位来选择哪一种通信接口。若 SIM 功能使能, 可通过上拉电阻控制寄存器选择与输入/输出共用的 SIM 脚的上拉电阻。

4.14.1、SPI 接口

SPI 接口是一个全双工串行数据传输器。SPI 接口的四线为: SDI、SDO、SCK 和 \overline{SCS} 。SDI 和 SDO 是数据的输入和输出线。SCK 是串行时钟线, \overline{SCS} 是从机的选择线。SPI 的接口引脚与普通 I/O 口和 I²C 的功能脚共用。通过设定 SIM 配置选项和 SIMC0/SIMC2 寄存器的对应位, 来使能 SPI 接口。SPI 配置选项设定好后, 还可以通过 SIMC0 寄存器中的 SIMEN 位来关闭或使能。连接到 SPI 接口的单片机以主/从模式进行通信, 且主机完成所有的数据传输初始化, 并控制时钟信号。由于单片机只有一个 \overline{SCS} 引脚, 所以只能拥有一个从机设备。下图为 SPI 主/从机连接方式:



可通过软件控制 \overline{SCS} 引脚使能与关闭, 设置 CSEN 位为 “1”, 使能 \overline{SCS} 功能; 设置 CSEN 位为 “0”, \overline{SCS} 引脚将处于浮空状态。

有三个内部寄存器用于控制 SPI 接口的所有操作，其中有一个数据寄存器 SIMD、两个控制寄存器 SIMC0 和 SIMC2。SIM、SPI 寄存器列表如下：

寄存器名称	位								备注
	7	6	5	4	3	2	1	0	
SIMC0	SIM2	SIM1	SIM0	PCKEN	PCKP1	PCKP0	SIMEN	I ² C_IRQ	
SIMD	D7	D6	D5	D4	D3	D2	D1	D0	SPI 与 I ² C 共用
SIMC2	D7	D6	CKPOLB	CKEG	MLS	CSEN	WCOL	TRF	与 I ² C 中的 SIMA 是同一个寄存器

1) SIMD 寄存器

地址 : 0x0202

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	D7~D0	R/W	<p>SIMD 用于存储发送和接收的数据。这个寄存器由 SPI 和 I²C 功能所共用。</p> <p>在单片机尚未将数据写入到 SPI 总线中时，要传输的数据应先存在 SIMD 中。SPI 总线接收到数据之后，单片机就可以从 SIMD 数据寄存器中读取。</p> <p>所有通过 SPI 传输或接收的数据都必须通过 SIMD 实现。</p>

2) SIMC0 寄存器

地址 : 0x0200

复位值 : 0x40

访问 : R/W

Bit	Name	R/W	Description
[7: 5]	SIM[2: 0]	R/W	<p>SIM 工作模式控制位</p> <p>000 : SPI 主机模式, SPI 时钟为 $f_{SYS}/4$</p> <p>001 : SPI 主机模式, SPI 时钟为 $f_{SYS}/16$</p> <p>010 : SPI 主机模式, SPI 时钟为 $f_{SYS}/64$</p> <p>011 : SPI 主机模式, SPI 时钟为 f_{SUB}</p> <p>100 : SPI 主机模式, SPI 时钟为 Timer0 输出/2 (PFD0)</p> <p>101 : SPI 从机模式</p> <p>110 : I²C 从机模式</p> <p>111 : 未使用模式</p> <p>这几位用于设置 SIM 功能的工作模式, 用于选择 SPI 的主从模式和 SPI 的主机时钟频率及 I²C 或 SPI 功能。SPI 时钟源可来自于系统时钟也可以选择来自 Timer0。</p> <p>若选择的是作为 SPI 从机, 则其时钟源从外部主机而得。</p>
[4]	PCKEN	R/W	<p>PCK 输出脚控制位</p> <p>0 : 关闭</p> <p>1 : 使能</p>
[3: 2]	PCKP[1: 0]	R/W	<p>选择 PCK 输出脚的频率位</p> <p>00 : f_{SYS}</p> <p>01 : $f_{SYS}/4$</p> <p>10 : $f_{SYS}/8$</p> <p>11 : Timer0 输出/2 (PFD)</p>
[1]	SIMEN	R/W	<p>SIM 接口的开/关控制位。</p> <p>0 : 关闭</p> <p>1 : 使能此位为“1”时, SIM 接口使能。配置选项中首先将 SIM 接口使能才能使此位有效。</p>
[0]	I ² C_IRQ	R/W	<p>I²C 中断的标志信号, 软件可清零</p> <p>1 : 中断标志有效</p> <p>0 : 中断标志无效</p>

3) SIMC2 寄存器

地址 : 0x203

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]			保留
[5]	CKPOLB	R/W	<p>时钟线的基础状态位</p> <p>0 : 当时钟无效时, SCK 口为高电平</p> <p>1 : 当时钟无效时, SCK 口为低电平</p> <p>此位决定了时钟线的基础状态, 当时钟无效时, 若此位为高, SCK 为低电平, 若此位为低, SCK 为高电平。</p>
[4]	CKEG	R/W	<p>SPI 的 SCK 有效时钟边沿类型位</p> <p>CKPOLB=0</p> <p>0 : SCK 为高电平且在 SCK 上升沿抓取数据</p> <p>1 : SCK 为高电平且在 SCK 下降沿抓取数据</p> <p>CKPOLB=1</p> <p>0 : SCK 为低电平且在 SCK 下降沿抓取数据</p> <p>1 : SCK 为低电平且在 SCK 上升沿抓取数据</p> <p>CKEG 和 CKPOLB 位用于设置 SPI 总线上时钟信号输入和输出方式。在执行数据传输前, 这两位必须被设置, 否则将产生错误的时钟边沿信号。CKPOLB 位决定时钟线的基本状态, 若时钟无效且此位为高, 则 SCK 为低电平, 若时钟无效且此位为低, 则 SCK 为高电平。CKEG 位决定有效时钟边沿类型, 取决于 CKPOLB 的状态。</p>
[3]	MLS	R/W	<p>SPI 数据移位命令位</p> <p>0 : LSB</p> <p>1 : MSB</p> <p>数据移位选择位, 用于选择数据传输时高位优先传输还是低位优先传输。此位设置为高时高位优先传输, 设为低时低位优先传输。</p>
[2]	CSEN	R/W	<p>SPI SCSN 引脚控制位</p> <p>0 : 关闭</p> <p>1 : 使能</p> <p>CSEN 位用于 SCSN 引脚的使能/关闭控制。此位为低时, SCSN 关闭并处于浮空状态。此位为高时, SCSN 作为选择脚。</p>

转下页

接上页

Bit	Name	R/W	Description
[1]	WCOL	R/W	SPI 写冲突标志位 0 : 无冲突 1 : 冲突 WCOL 标志位用于监测数据冲突的发生。此位为高时，数据在传输时被写入 SIMD 寄存器。若数据正在被传输时，此操作无效。此位可被应用程序清零。
[0]	TRF	R/W	SPI 发送/接收结束标志位 0 : 数据正在发送 1 : 数据发送结束 TRF 位为发送/接收结束标志位，当 SPI 数据传输结束时，此位自动置为高，但须通过应用程序设置为“0”。此位也可用于产生中断。

SPI通信时序

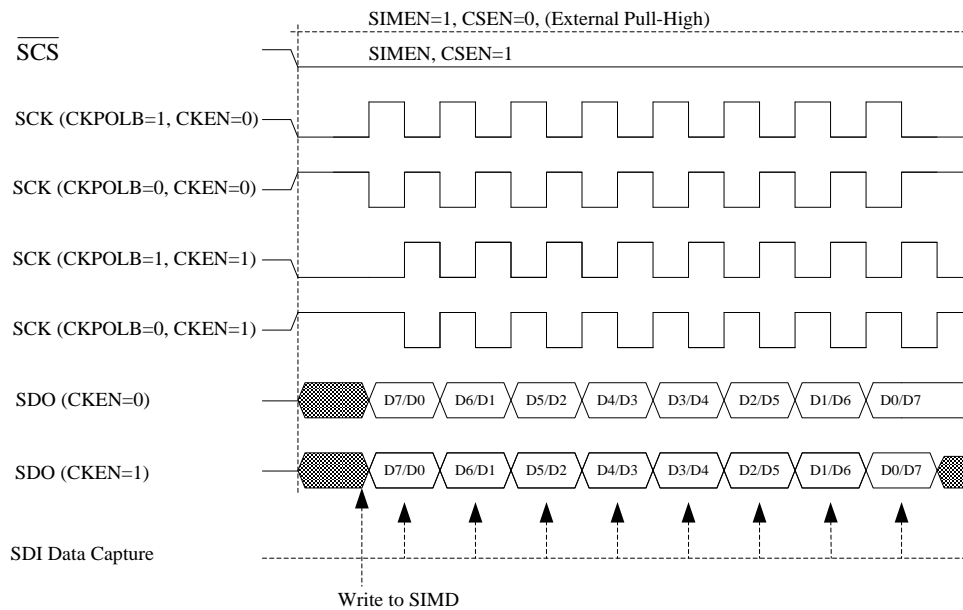
将**SIMEN**设置为高，使能**SPI**功能之后，配置**SIM2-SIM0**选择单片机处于主机模式还是从机模式。

当单片机处于主机模式时，将待传输的数据写入到寄存器**SIMD**中的同时传输/接收开始进行，数据传输完成时，**TRF**位将自动被置位但清除只能通过应用程序完成。

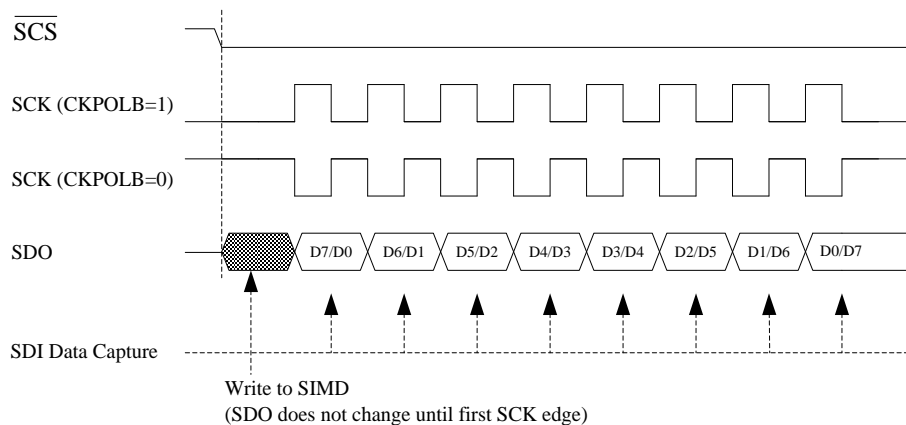
当单片机处于从机模式时，收到主机发来的信号之后，会传输**SIMD**中的数据，而且接收到的数据（在**SDI**引脚上的数据）也会被移位到**SIMD**寄存器中。

主机应在输出时钟信号之前先输出一个**SCSN**信号以使能从机，从机的数据传输功能也应在与**SCSN**信号相关的适当时候准备就绪，这由**CKPOLB**和**CKEG**位决定。所附时序图表明了**CKPOLB**和**CKEG**位各种设置情况下从机数据与**SCSN**信号的关系。即使在单片机处于空闲模式，**SPI**功能仍将继续执行。

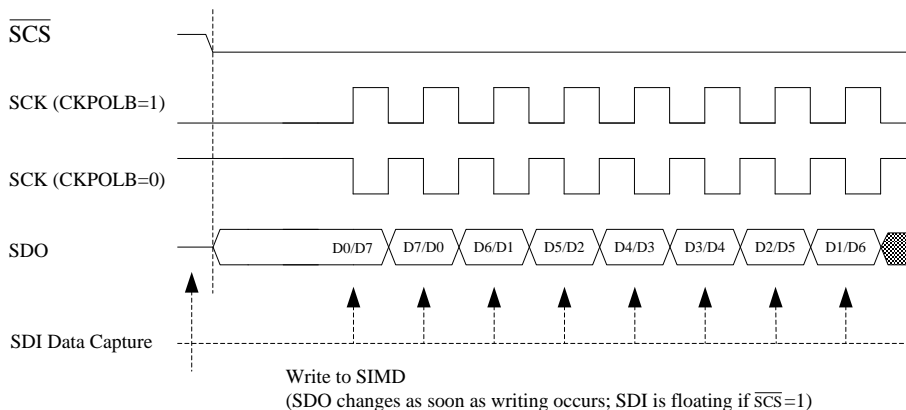
SPI主机模式时序:



SPI 从机模式时序---CKEG=0:

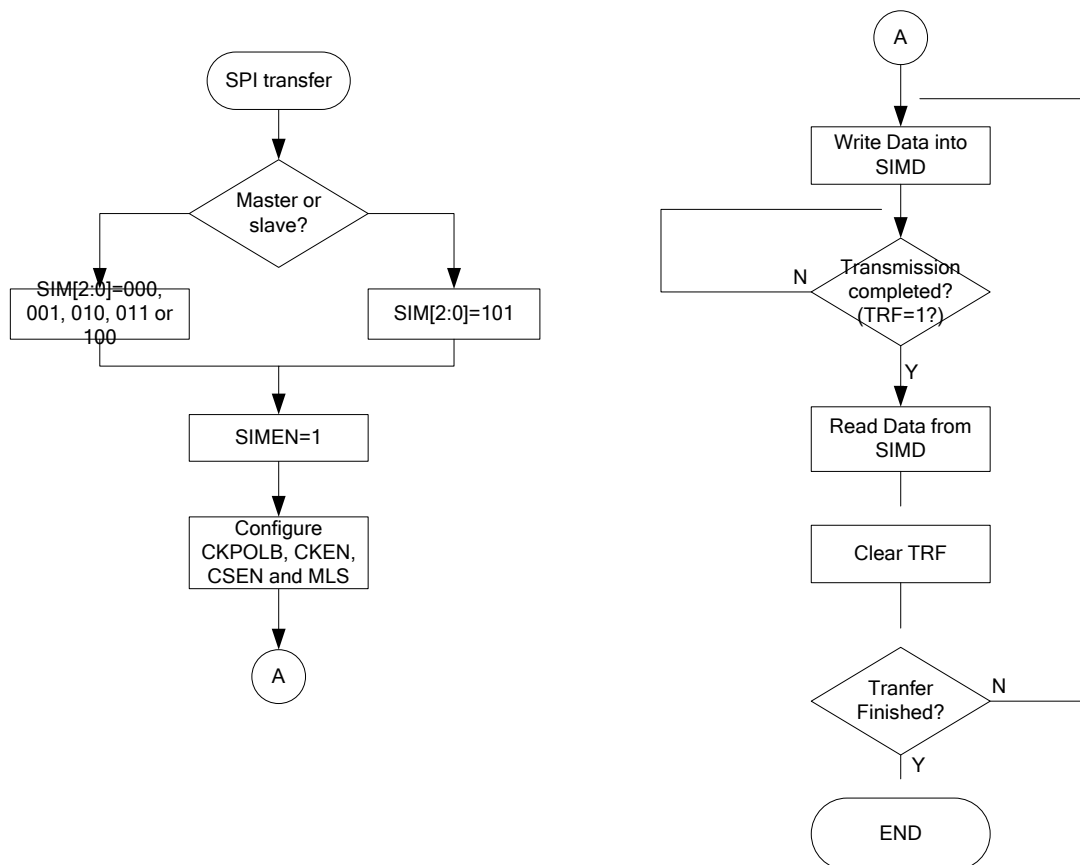


SPI 从机模式时序---CKEG=1:



Note: For SPI Slave mode, if SIMEN=1 and CSEN=0, SPI is always enabled and ignores \overline{SCS} level.

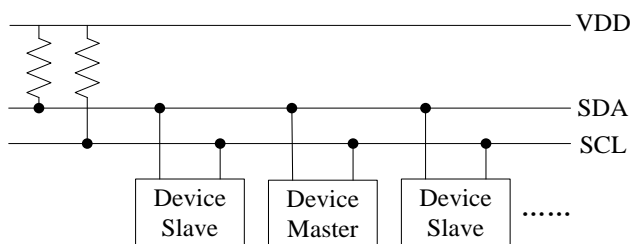
SPI 传输控制流程图如下所示:



4.14.2、I²C 接口

I²C 串行接口是一个双线的接口，有一条串行数据线 SDA 和一条串行时钟线 SCL。由于可能有多个设备在同一条总线上相互连接，所以这些设备的输出都是开漏型输出。因此应在这些输出口上都应加上拉电阻。应注意的是：I²C 总线上的每个设备都没有选择线，但分别与唯一的地址一一对应，用于 I²C 通信。如果有两个设备通过双向的 I²C 总线进行通信，那么就存在一个主机和一个从机。主机和从机都可以用于传输和接收数据，但只有主机才可以控制总线动作。那些处于从机模式的设备，要在 I²C 总线上传输数据只有两种方式，一是从机发送模式，二是从机接收模式。单片机中有几个和 I²C 接口相关的配置选项，其中之一是使能 I²C 功能，选择 SIM 引脚而非普通 I/O 口。应注意的是如果在配置选项中没有将 SIM 功能使能，那么寄存器 SIMC0 中的 SIMEN 位将不起作用。

I²C 主从机总线连接图：



I²C 总线的三个控制寄存器是 SIMC0 和 SIMC1, SIMA 及一个数据寄存器 SIMD。应注意的是 SIMA 也有另外一个名字——SIMC2, 在使用 SPI 功能时会用到。I²C 接口会用到寄存器 SIMC0 中的 SIMEN 位和 SIM0~SIM2 位。

当单片机将数据写入 I²C 总线时, 实际将被传输的数据存放在寄存器 SIMD 中。从 I²C 总线接收数据之后, 单片机就可以从寄存器 SIMD 中得到这个数据。I²C 总线上的所有发送和接收到的数据都必须通过 SIMD。I²C 寄存器列表如下表所示。

寄存器名称	位								备注
	7	6	5	4	3	2	1	0	
SIMC0	SIM2	SIM1	SIM0	PCKEN	PCKP1	PCKP0	SIMEN	I ² C_IRQ	
SIMC1	HCF	HAAS	HBB	HTX	TXAK	SRW		RXAK	
SIMD	D7	D6	D5	D4	D3	D2	D1	D0	SPI 与 I ² C 共用
SIMA	IICA6	IICA5	IICA4	IICA3	IICA2	IICA1	IICA0		与 SPI 中的 SIMC2 是同一个寄存器

1) SIMC1 寄存器

地址 : 0x201

复位值 : 0x81

访问 : R/W

Bit	Name	R/W	Description
[7]	HCF	R	只读, I ² C 总线数据传输结束标志位 0: 数据正在被传输 1: 8 位数据传输完成 HCF 标志位是数据传输标志位。数据正在传输时该位为低。当 8 位数据传输完成时, 此位为高并产生一个中断。

转下页

接上页

Bit	Name	R/W	Description
[6]	HAAS	R	只读，I ² C 总线地址匹配标志位 0: 地址不匹配 1: 地址匹配 HAAS 是地址匹配标志。此标志位用于决定从机地址是否与主机发送地址相同。若地址匹配此位为高，否则此位为低。
[5]	HBB	R	只读，I ² C 总线忙标志位 0: I ² C 总线闲 1: I ² C 总线忙 HBB 是 I ² C 总线忙标志位。当检测到 START 信号 I ² C 忙，此位变为高电平。当检测到 STOP 信号时 I ² C 总线停止，该位变为低电平。
[4]	HTX	R/W	从机处于发送或接收模式标志位 0: 从机处于接收模式 1: 从机处于发送模式
[3]	TXAK	R/W	I ² C 总线发送确认标志位 0: 从机发送确认标志 1: 从机没有发送确认标志 单片机接收 8 位数据之后会将该位在第九个时钟传到总线上。如果单片机想要接收更多的数据，则应在接收数据之前将此位设置为“0”。
[2]	SRW	R	只读，I ² C 从机读/写位 0: 从机应处于接收模式 1: 从机应处于发送模式 SRW 位是从机读写位。决定主机是否希望传输或接收来自 I ² C 总线的数据。当传输地址和从机的地址相同时，HAAS 位会被设置为高，主机将检测 SRW 位来决定进入发送模式还是接收模式。如果 SRW 位为高时，主机会请求从总线上读数据，此时设备处于传输模式。当 SRW 位为“0”时，主机往总线上写数据，设备处于接收模式以读取该数据。
[1]			保留

转下页

接上页

Bit	Name	R/W	Description
[0]	RXAK	R	只读，I ² C 总线接收确认标志位 0: 从机接收到确认标志 1: 从机没有接收到确认标志 RXAK 位是接收确认标志位。如果 RXAK 位被重设为“0”即 8 位数据传输之后，设备在第九个时钟有接受到一个正确的确认位。如果单片机处于发送状态，发送方会检查 RXAK 位来判断接收方是否愿意继续接收下一个字节。因此直到 RXAK 为“1”时，传输方停止发送数据。这时，传输方将释放 SDA 线，主机发出停止信号。

2) SIMA 寄存器

地址 : 0x203

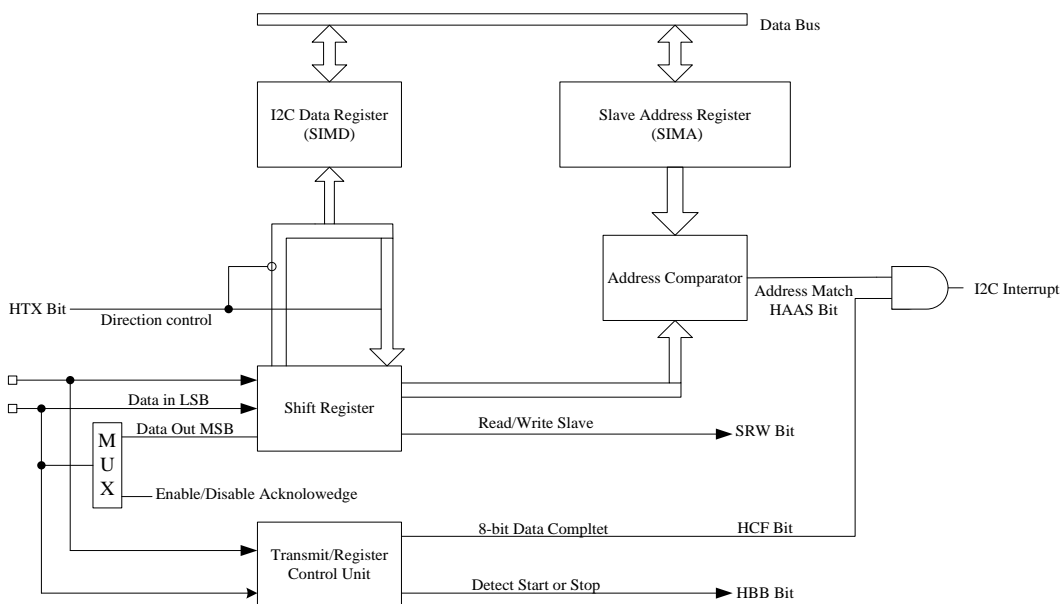
复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 1]	IICA6~IICA0	R/W	I ² C 从机地址位 IICA6~IICA0 是从机地址对应的 6~0 位。此寄存器也在 SPI 接口功能中使用，但其名称改为 SIMC2。SIMA 寄存器用于存放 7 位从机地址，寄存器 SIMA 中的第 7~1 位是单片机的从机地址，位 0 未定义。如果接至 I ² C 的主机发送处的地址和寄存器 SIMA 中存储的地址相符，那么就选中了这个从机。应注意的是寄存器 SIMA 和 SPI 接口使用的寄存器 SIMC2 是同一个寄存器。
[0]			保留

c

I²C 的原理方框图如下所示：



I²C 总线通信

I²C 总线上的通信需要四步完成，一个起始信号，一个从机地址发送，一个数据传输，还有一个停止信号。当起始信号被写入 I²C 总线时，总线上的所有从机都会接收到这个起始信号并且被通知总线上会即将有数据到达。数据的前 7 位是从机地址，高位在前，低位在后。如果发出的地址和从机地址匹配，SIMC1 寄存器的 HAAS 位会被置位，同时产生 I²C 中断。进入中断服务程序后，系统要检测 HAAS 位，以判断 I²C 总线中断是来自从机地址匹配，还是来自 8 位数据传递完毕。

在数据传递中，注意的是，在 7 位从机地址被发送后，接下来的一位，即第 8 位，是读/写控制位，该位的值会反映到 SRW 位中。从机通过检测 SRW 位以确定主控制器是要进入发送模式还是接收模式。

1) 在 I²C 总线开始传送数据前，需要先初始化 I²C 总线，初始化 I²C 总线步骤如下：

- ① 设置 SIMC0 寄存器中 SIM2~SIM0 和 SIMEN 位为“1”，以使能 I²C 总线。
- ② 向 I²C 总线地址寄存器 SIMA 写入从机地址。
- ③ 使能 SIM 中断。

2) I²C 总线起始信号

起始信号只能由连接 I²C 总线主机产生，而不是由只做从机的 MCU 产生。总线上的所有从机都可以侦测到起始信号。如果有从机侦测到起始信号，则表明 I²C 总线处于忙碌状态，并会置位 HBB。起始信号是指在 SCL 为高电平时，SDA 线上发生从高到低的电平变化。

3) 从机地址

总线上的所有从机都会侦测由主机发出的起始信号。发送起始信号后，紧接着主机会发送从机地址以选择要进行数据传输的从机。所有在 I²C 总线上的从机接收到 7 位地址数据后，都会将其与各自内部的地址进行比较。如果从机从主机上接收到的地址与自身内部的地址相匹配，则会产生一个 I²C 总线中断信号。地址位接下来的一位为读/

写状态位（即第 8 位），将被保存到 SIMC1 寄存器的 SRW 位，随后发出一个低电平应答信号（即第 9 位）。当单片机从机的地址匹配时，会将状态标志位 HAAS 置位。

I²C 总线有两个中断源，当程序运行至中断服务子程序时，通过检测 HAAS 位以确定 I²C 总线中断是来自从机地址匹配，还是来自 8 位数据传递完毕。当是从机地址匹配发生中断时，则从机或是用于发送模式并将数据写进 SIMD 寄存器，或是用于接收模式并从 SIMD 寄存器中读取空值以释放 SCL 线。

4) I²C 总线读写信号

SIMC1 寄存器的 SRW 位用来表示主机是要从 I²C 总线上读取数据还是要将数据写到 I²C 总线上。从机则通过检测该位以确定自己是作为发送方还是接收方。当 SRW 置“1”，表示主机要从 I²C 总线上读取数据，从机则作为发送方，将数据写到 I²C 总线；当 SRW 清“0”，表示主机要写数据到 I²C 总线上，从机则做为接收方，从 I²C 总线上读取数据。

5) I²C 总线从机地址确认信号

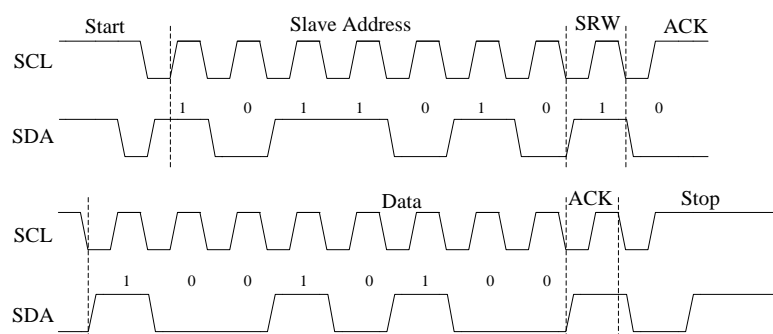
主机发送呼叫地址后，当 I²C 总线上的任何从机内部地址与其匹配时，会发送一个应答信号。此应答信号会通知主机有从机已经接收到了呼叫地址。如果主机没有收到应答信号，则主机必须发送停止（STOP）信号以结束通信。当 HAAS 为高时，表示从机接收到的地址与自己内部地址匹配，则从机需检查 SRW 位，以确定自己是作为发送方还是作为接收方。如果 SRW 位为高，从机须设置成发送方，这样会置位 SIMC1 寄存器的 HTX 位。如果 SRW 位为低，从机须设置成接收方，这样会清零 SIMC1 寄存器的 HTX 位。

6) I²C 总线数据和确认信号

在从机确认接收到从地址后，会进行 8 位宽度的数据传输。这个数据传输顺序是的高位在前，低位在后。接收方在接收到 8 位数据后必须发出一个应答信号（“0”）以继续接收下一个数据。如果发送方没接收到应答信号，发送方将释放 SDA 线，同时，主机将发出 STOP 信号以释放 I²C 总线。所传送的数据存储在 SIMD 寄存器中。如果设置成发送方，从机必须先将欲传输的数据写到 SIMD 寄存器中；如果设置成接收方，从机必须从 SIMD 寄存器读取数据。

当接收器想要继续接收下一个数据时，必须在第 9 个时钟发出应答信号（TXAK）。被设为发送方的从机将检测寄存器 SIMC1 中的 RXAK 位以判断是否传输下一个字节的数据，如果单片机不传输下一个字节，那么它将释放 SDA 线并等待接收主机的停止信号。

I²C 工作时序图：



S=Start (1 bit)

SA=Slave Address (7 bits)

SR=SRW bit (1 bit)

M=Slave device send acknowledge (1 bit)

D=Data (8 bits)

A=ACK (RAXK bit for transmitter, TXAK bit for receiver 1 bit)

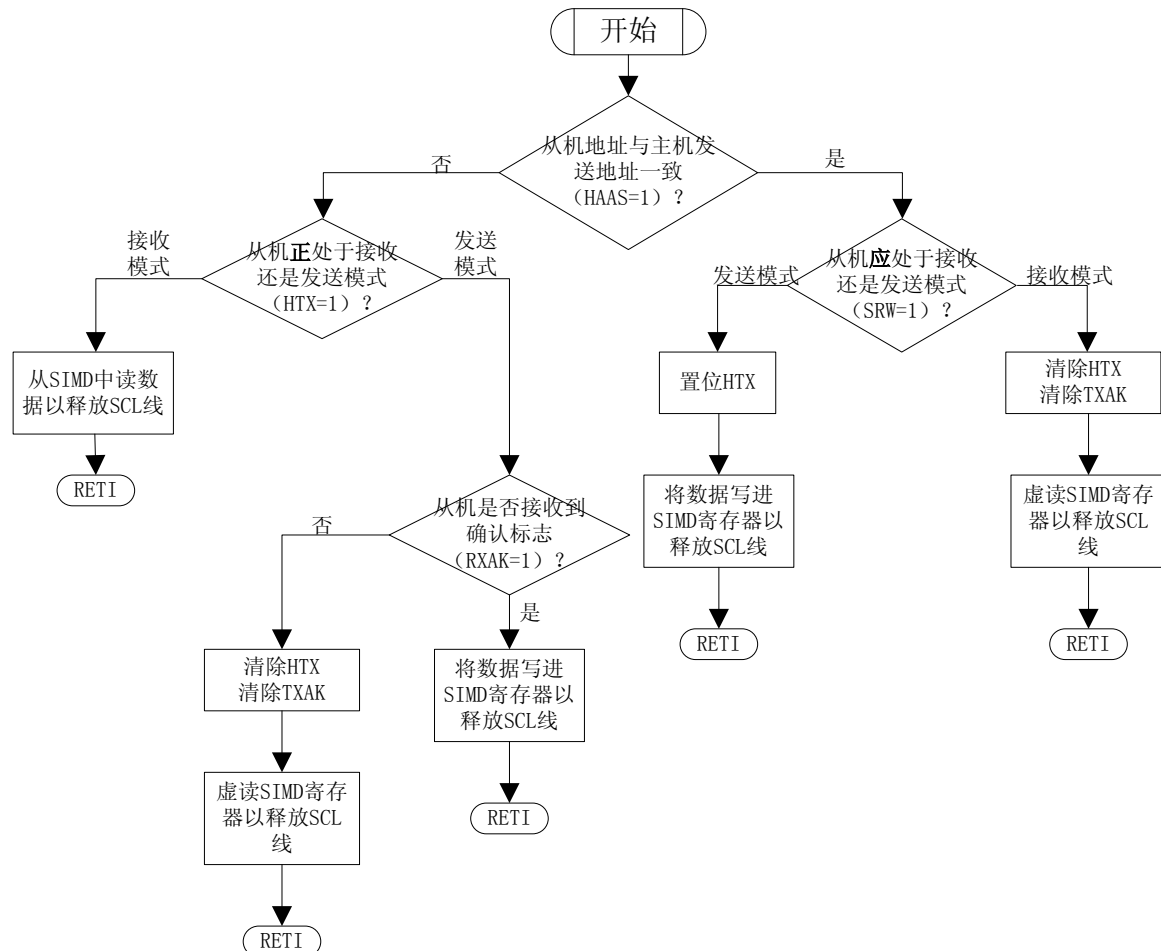
P=Stop (1 bit)

S	SA	SR	M	D	A	D	A	S	SA	SR	M	D	A	D	A	P
---	----	----	---	---	---	---	---	-------	---	----	----	---	---	---	---	---	-------	---

注：当从机地址匹配时，单片机必须选择设置为发送模式还是接收模式。若设置为发送模式，需写数据至 **SIMD** 寄存器；若设置为接收模式，需立即从 **SIMD** 寄存器中虚读数据以释放 **SCL** 线。

。

I²C 总线的工作流程如下图所示：



4. 15、带 SCOM 功能的 LCD

电路具有驱动外部 LCD 面板的能力。LCD 驱动的 COM 脚 SCOM0~SCOM3 与 PA0、PC4~PC6 引脚共用。LCD 控制信号 (COM&SEG) 由软件编程实现。

LCD 设置操作：

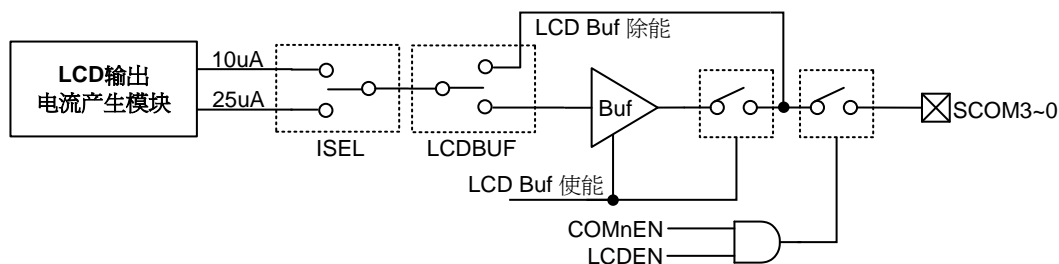
电路通过设置 PA0、PC4~PC6 作为 COM 引脚，其它输出口作为 SEG 引脚，以驱动外部的液晶面板。LCD 驱动功能是由 LCDC 寄存器来控制，另外，该寄存器可设置 LCD 的开启和关闭以及输出偏压值等功能，使得 COM 口输出 $VDD/2$ 的电压，从而实现 $1/2bias$ LCD 的显示（注：此时 LDOC 寄存器 VRES 位选择 0）。

LCDC 寄存器中的 LCDEN 位是 LCD 驱动的主控制位，它与 COMnEN 位搭配共同设置 I/O 端口是否用于 LCD 驱动。注意，作为 LCD 驱动时，端口控制寄存器不需要设置为输出，即可使能 LCD 驱动操作。

LCD 偏压控制：

LCD 驱动器提供两种驱动选择以适应所使用 LCD 面板的需求。通过设置 LCDC 寄存器中 ISEL 位可以配置不同的偏压电阻。

LCD 电路图：



输出控制:

LCDEN	COMnEN	引脚功能	输出电平
0	X	I/O	高或低
1	0	I/O	高或低
1	1	SCOMn	V _M

LCDC 寄存器

地址 : 0x0706

初始值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]			保留, 读为“0”
[6]	LCDBUF	R/W	LCDBUF: LCD 缓冲控制位 0: 关闭 1: 使能
[5]	ISEL	R/W	ISEL: 选择 SCOM 工作电流 (VDD=5V) 0: 10μA 1: 25μA
[4]	LCDEN	R/W	LCDEN: LCD 控制位 0: 关闭 1: 使能 如果 LCDEN=1, SCOMn 由 COMnEN 使能
[3]	COM3EN	R/W	COM3EN: 选择 PC6 或者 SCOM3 0: GPIO 1: SCOM3
[2]	COM2EN	R/W	COM2EN: 选择 PC5 或者 SCOM2 0: GPIO 1: SCOM2
[1]	COM1EN	R/W	COM1EN: 选择 PC4 或者 SCOM1 0: GPIO 1: SCOM1
[0]	COM0EN	R/W	COM0EN: 选择 PA0 或者 SCOM0 0: GPIO 1: SCOM0

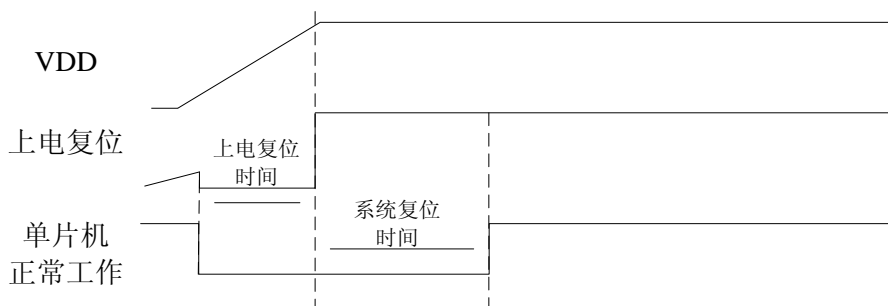
4.16、复位

包括内部和外部事件触发复位。单片机共有五种复位方式：

1) 上电复位

发生在单片机上电后。除了保证程序存储器从开始地址执行，上电复位也使得其它寄存器被设定在预设条件。所有的输入/输出端口控制寄存器在上电复位时会保持高电平，以确保上电后所有引脚被设定为输入状态。下图为上电复位的时序图，其中系统复位时间的典型值为 25ms。

上电复位时序图：



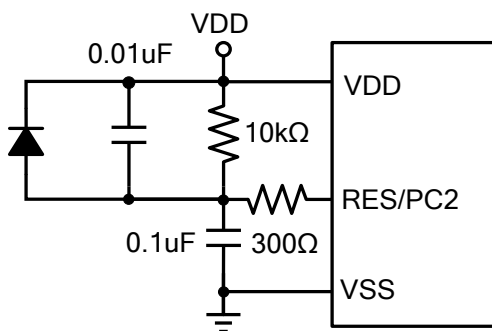
2) RES 引脚复位

由于复位引脚与 PB6 共用，复位功能必须使用配置选项选择。

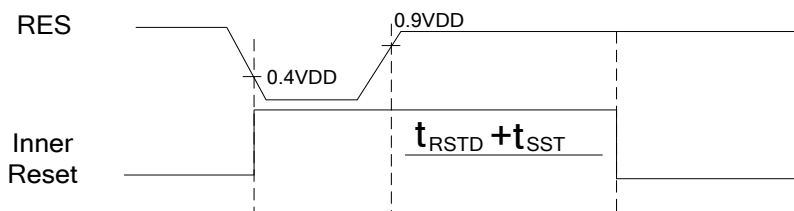
虽然单片机有一个内部 RC 复位功能，如果电源上升缓慢或上电时电源不稳定，内部 RC 振荡可能导致芯片复位不良，所以推荐使用和 RES 引脚连接的外部 RC 电路，由 RC 电路所造成的时间延迟使得 RES 引脚在电源供应稳定前的一段延长周期内保持在低电平。在这段时间内，单片机的正常操作是被禁止的。RES 引脚达到一定电压值后，再经过延迟时间 t_{RSTD} ，单片机可以开始进行正常操作。

在许多应用场合，可以在 VDD 和 RES 之间接入一个电阻，在 VSS 与 RES 之间接入一个电容作为外部复位电路。与 RES 脚上所有相连接的线段必须尽量短以减少噪声干扰。

外部复位典型应用图：



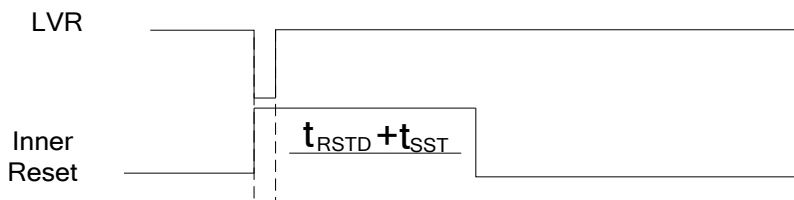
外部复位时序图：



3) 低电压复位--LVR

单片机具有低电压复位电路，用来监测它的电源电压，可通过配置选项进行选择。例如在更换电池的情况下，单片机供应的电压可能会落在 $0.9V \sim V_{LVR}$ 范围内，这时 LVR 将会自动复位单片机。LVR 包含以下的规格：有效的 LVR 信号，即在 $0.9V \sim V_{LVR}$ 的低电压状态的时间，必须超过交流电气特性中 t_{LVR} 参数的值。如果低电压存在不超过 t_{LVR} 参数的值，则 LVR 将会忽略它且不会执行复位功能。 V_{LVR} 参数值可通过配置选项进行设定，有 2.10V、2.55V、3.15V、4.20V 可选。

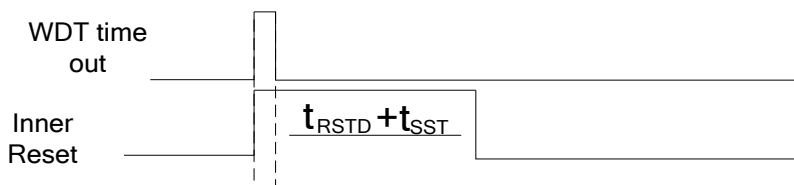
低电压复位时序图：



4) 正常运行时看门狗溢出复位

除了看门狗溢出标志位 TO 将被设为“1”之外，正常运行时看门狗溢出复位和 RES 复位相同。

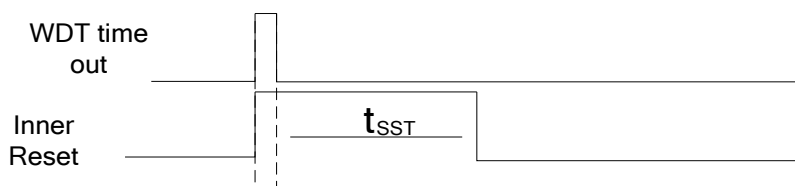
正常运行时看门狗溢出复位时序图：



5) 休眠或空闲时看门狗溢出复位

休眠或空闲时看门狗溢出复位和其它种类的复位有些不同。除了程序计数器与堆栈指针将被清“0”及 TO 位被设为“1”外，绝大部分的条件保持不变。

休眠或空闲时看门狗溢出复位时序图：



4. 17、温度传感器

电路提供内部集成的温度传感器，温度传感器电压可通过 ADC 进行转换。可通过寄存器 BANDGAP_TEMP 中的 TEMP_EN 来使能温度传感器。另外，BANDGAP_EN 位为带隙基准电压模块的使能控制位，默认为使能。若 BANDGAP_EN 设置为除能，则 LDO 模块、LVR 模块、LVD 模块，温度传感器模块、带 SCOM 口的 LCD 模块，IRED 模块的功能将受到影响。而 ENN_AMP_VCM 则是用于提供积分放大器的 200mV 的使能位，在积分放大器使能之前必须配置其使能。

BANDGAP_TEMP 控制寄存器：

地址：0x050F

复位值：0x01

访问：R/W

Bit	Name	R/W	Description
[7: 3]			保留，读出为 0
[2]	ENN_AMP_VCM	R/W	运放偏置使能信号 0：使能 1：除能
[1]	TEMP_EN	R/W	温度传感器使能控制位 0：除能 1：使能
[0]	BANDGAP_EN	R/W	带隙电压使能控制位 0：除能 1：使能

4. 18、低电压检测（LVD）

该功能使能用于监测电源电压 VDD，若电源电压低于一定值可提供一个警告信号。此功能在电池类产品中非常有用，在电池电压较低时产生警告信号。低电压检测也可产生中断信号。

LVDC 寄存器：

地址 : 0x0511

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]			保留，读出为 0
[6]	LVD_IFG	R	LVD 中断请求标志位 0: 无效 1: 有效
[5]	LVDO	R	LVD 输出标志位 0: 未检测到低电压 1: 检测到低电压
[4]	LV DEN	R	低电压检测控制位 0: 除能 1: 使能
[3: 0]	VLVD[3:0]	R	选择 LVD 电压 0000: 2.0V 0001: 2.1V 0010: 2.2V 0011: 2.3V 0100: 2.4V 0101: 2.5V 0110: 2.6V 0111: 2.7V 1000: 3.0V 1001: 3.3V 1010: 3.6V 1011: 4.4V

4. 19、LDO 功能

电路内部集成的两个LDO稳压器，都用于产生一个稳定的电压。其中LDO1电路可提供1.8V、2.2V、2.4V和3.3V四个输出电压可选，可由寄存器LDOC控制选择。LDO输出的选项可由寄存器控制，为LCD偏置电压、OPA参考电压、A/D转换器参考电压及外部器件的供电电源提供一个稳定的电压参考。

另一个LDO2电路可提供1.8V和2.4V两个输出电压可选，可由寄存器LDO2_CTRL控制选择。该LDO2主要用于外置三极管方案的发射管提供稳定的基极电压和电流。

寄存器 LDOC:

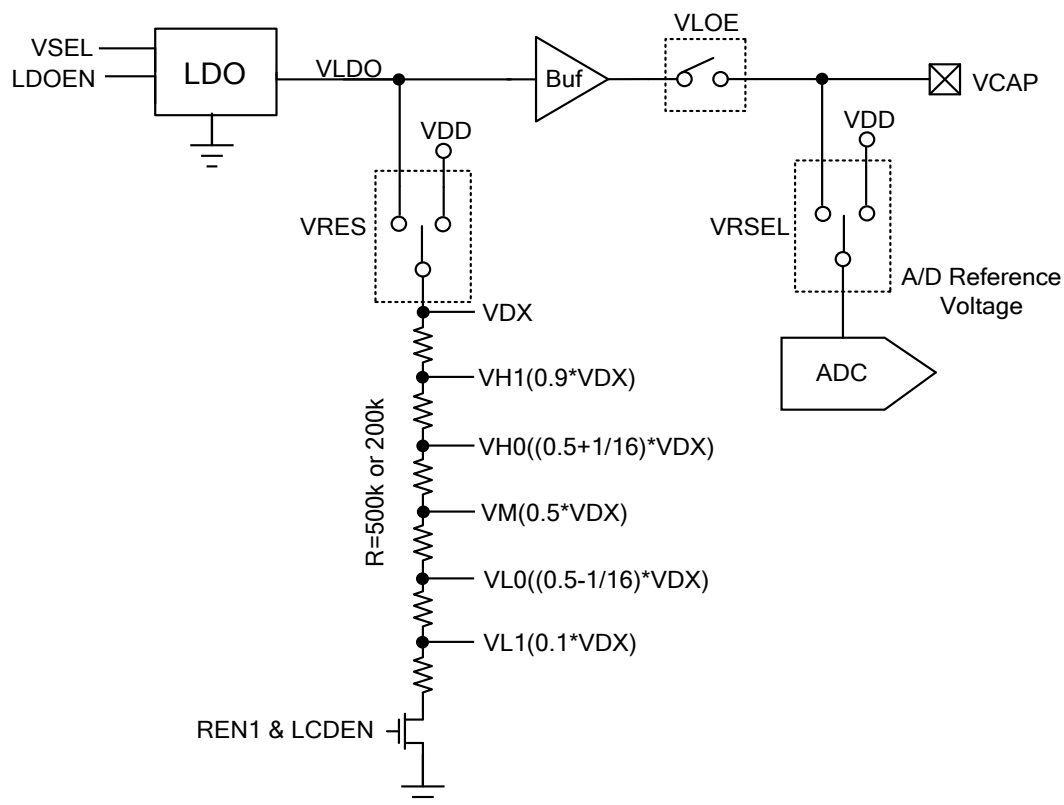
地址 : 0x0510

复位值 : 0x03

访问 : R/W

Bit	Name	R/W	Description
[7]			保留，读为“0”
[6]	LDOEN	R/W	LDO 控制位 0: 关闭 1: 使能
[5]	VLOE	R/W	LDO 输出电压控制位 0: 关闭 1: 使能 如果 VLOE 和 LDOEN 均设置为“1”，LDO 将输出对应电压到引脚，且关闭其对应的 I/O 功能。
[4]	REN1	R/W	偏压分压电阻控制位 0: 关闭 1: 使能 若 REN1 被置为“1”，电阻 DC 路径开启，可产生偏置电压，用于运算放大器或 LCD SCOM 功能。
[3]	VRES	R/W	分压电阻电压来源选择位 0: VDD 1: VLDO
[2: 0]	VSEL[2: 0]	R/W	LDO 输出电压选择位 011: 1.8V 101: 2.2V 110: 2.4V 111: 3.3V

LDO 的控制电路图：



LDO2_CTRL 控制寄存器

地址 : 0x051b

复位值 : 0x00

访问 : R/W

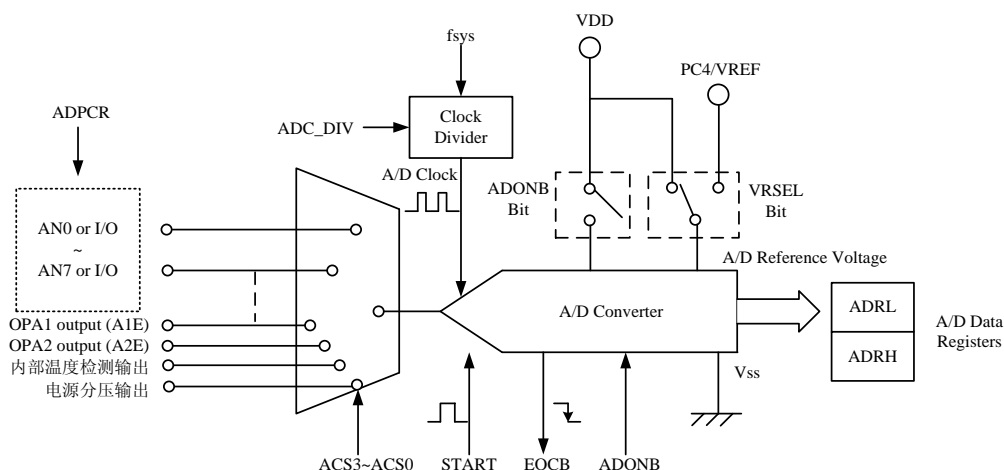
Bit	Name	R/W	Description
[7: 2]		R/W	保留，读出为“0”
[1]	LDO2_VSEL	R/W	LDO 2 输出电平选择位 1: 2.4V 0: 1.8V
[0]	LDO2_EN	R/W	LDO 2 使能控制位 0: 除能 1: 使能带隙基准偏置

4. 20、A/D 转换器

A/D 转换器的所有工作由五个寄存器控制：两个只读寄存器（ADRH、ADRL）来存放 12 位 ADC 数据的值，另外三个控制寄存器（ADCR、ADPCR、ADC_DIV）设置 A/D 转换器的操作和控制功能。如下表所示：

寄存器名称	Bit							
	7	6	5	4	3	2	1	0
ADCR	START	EOCB	ADONB	VRSEL	ACS3	ACS2	ACS1	ACS0
ADPCR	PCR7	PCR6	PCR5	PCR4	PCR3	PCR2	PCR1	PCR0
ADC_DIV						ADC_DIV[2: 0]		

A/D 转换器内部结构和相关的寄存器：



寄存器 ADCR，ADPCR，ADC_DIV 用来控制 A/D 转换器的功能和操作。

ADCR 寄存器中的 START 位，用于打开和复位 A/D 转换器：当软件设定此位从逻辑低到逻辑高，然后再到逻辑低，就会开始一个 A/D 转换周期；当 START 位从逻辑低到逻辑高，但不再回到逻辑低时，复位 A/D 转换器。

ADCR 寄存器中的 EOCB 位用于表明 A/D 转换过程的完成：在转换周期结束后，EOCB 位会被硬件置为“0”，同时也会置位中断控制寄存器内相应的 A/D 中断请求标志位，如果中断使能，就会产生对应的内部中断信号，A/D 内部中断信号将引导程序到相应的 A/D 内部中断入口，如果 A/D 内部中断被禁止，可以让单片机轮询 EOCB 位，检查此位是否被清零，以作为另一种侦测 A/D 转换周期结束的方法。

ADCR 寄存器中的 ADONB 位用于控制 A/D 转换电路电源的开/关：该位必须置 1 以开启 A/D 转换器电源，只要 ADONB 设为“1”，就会产生功耗，因此当未使用 A/D 转换器功能时，在功耗敏感的应用中建议设置 ADONB 为低以减少功耗。

ADCR 寄存器中的 VRSEL 位用于选择 A/D 转换器的基准电压：可以选择来自正电源电压 VDD 或外部参考源引脚 VREF，由于 VREF 引脚与其它功能共用，当 VRSEL 设为高，选择 VREF 引脚或 LDO 输出功能且其它引脚功能将自动关闭。

ADCR 寄存器中的 ACS3~ACS0 用于选择连接至内部 A/D 转换器的模拟通道：电路中的 12 个模拟输入（8 个外部 A/D 通道、2 个 OPA 输出、1 个内部温度检测输出和 1 个电源分压输出）中的每一个都需要分别被发送到 A/D 转换器。

ADPCR 寄存器用来定义 PB 口、PC 口、PD 口中的哪些引脚为 A/D 转换器的模拟输入，哪些引脚不作为 A/D 转换输入。相应位设为高将选择 A/D 输入功能，设为低将选择 I/O 或其它引脚共用功能。当引脚作为 A/D 输入时，其原来的 I/O 或其它引脚共用功能消失，此外，其内部上拉电阻也将自动断开。

ADC_DIV 寄存器用来定义 A/D 时钟频率，A/D 转换器的时钟源为系统时钟 f_{SYS} 分频，而分频系数由 ADC_DIV 寄存器来决定。虽然 A/D 时钟源是由系统时钟 f_{SYS} 、ADC_DIV 寄存器来决定，但可选择的最大 A/D 时钟频率则有一些限制。允许的 A/D 时钟周期 t_{AD} 的最小值为 $0.5\mu s$ ，必须保证设定的 A/D 转换时钟周期不小于时钟周期的最小值，否则将会产生不准确的 A/D 转换值。

寄存器描述

1) ADRL 寄存器

地址 : 0x0500

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 4]	ADRL[7: 4]	R	A/D 转换结果的低四位
[3: 0]			保留，读为 0

2) ADRH 寄存器

地址 : 0x0501

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	ADRH[7: 0]	R	A/D 转换结果的高八位

3) ADCR 寄存器

地址 : 0x0502

复位值 : 0x40

访问 : R/W

Bit	Name	R/W	Description
[7]	START	R/W	启动 A/D 转换位 0→1→0: 启动一次 A/D 转换 0→1: 重置 A/D 转换, 并且设置 EOCB 为“1”
[6]	EOCB	R	A/D 转换结束标志位 0: A/D 转换结束 1: A/D 转换中 用于表明 A/D 转换过程的完成。当转换正在进行时, 此位为高, 转换完成时此位由高变为低。
[5]	ADONB	R/W	A/D 转换器模块电源开启/关闭控制位 0: A/D 转换器模块电源关闭 1: A/D 转换器模块电源开启 此位控制 A/D 内部功能的电源。该位被置 1 将使能 A/D 转换器。如果该位设为低将关闭 A/D 转换器以降低功耗。由于 A/D 转换器在不执行转换动作时都会产生一定的功耗, 所以这在电源敏感的电池应用中需要多加注意。注: 建议在进入空闲/休眠模式之前, 设置 ADONB=0 以减小功耗。
[4]	VRSEL	R/W	A/D 转换器参考电压选择位 0: 电源电压 VDD 1: VREF 引脚或 LDO 输出 (1.8V/2.2V/2.4V/3.3V)
[3: 0]	ACS[3: 0]	R/W	A/D 通道选择位 0000: AN0 0001: AN1 0010: AN2 0011: AN3 0100: AN4 0101: AN5 0110: 放大器 1 输出脚 A1E 0111: 放大器 2 输出脚 A2E 1000: AN6 1001: AN7 1010: 内部温度检测输出 1011: 电源分压输出 (可用于监测当前电源电压)

4) ADIFG 寄存器

地址 : 0x0503

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 1]			保留, 读为 “0”
[0]	ADIFG	R/W	A/D 中断标志位 0: 无效标志位 1: 有效标志位

以下是 A/D 转换步骤:

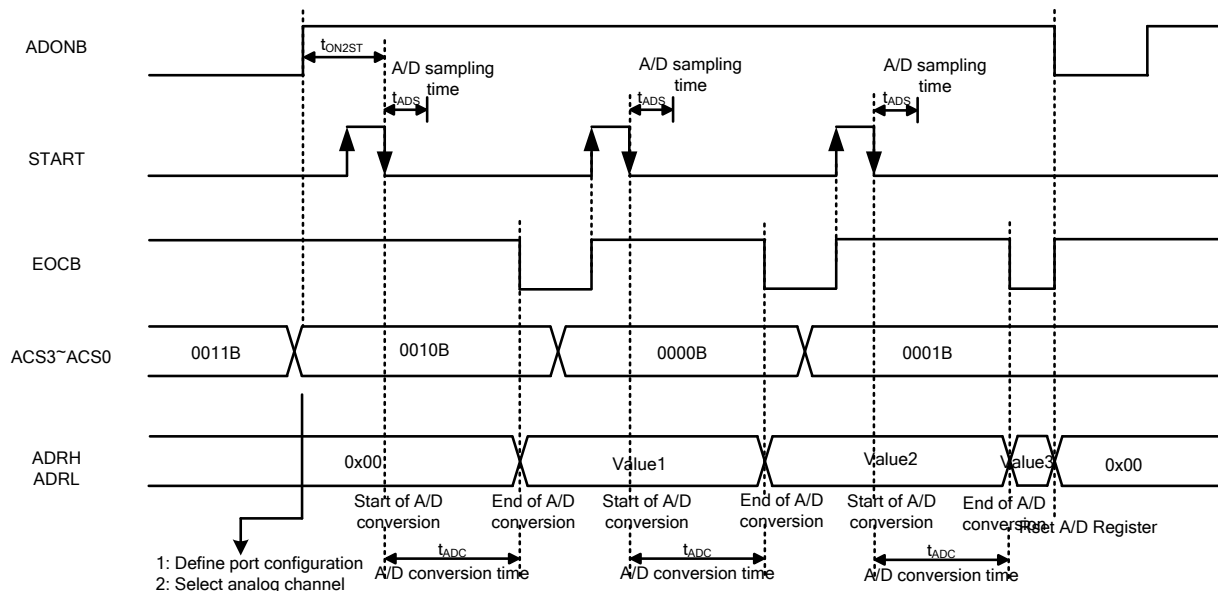
- (1) 通过 ADC_DIV 寄存器中的 ADC_DIV[2: 0], 选择所需的 A/D 转换时钟;
- (2) 置位 ADCR 寄存器中的 ADONB 位使能 A/D;
- (3) 通过 ADCR 寄存器中的 ACS3~ACS0 位, 选择连接至内部 A/D 转换器的通道;
- (4) 通过 ADPCR 寄存器中的 PCR7~PCR0 位, 选择哪些引脚规划为 A/D 输入引脚;
- (5) 如果要使用中断, 则中断控制寄存器需要正确地设置, 以确保 A/D 转换功能是激活的;

(6) 现在可以通过设定 ADCR 寄存器中的 START 位从 “0” 到 “1” 再回到 “0”, 开始模数转换的过程。注意, 该位需初始化为 “0”;

(7) 可以轮询 ADCR 寄存器中的 EOCB 位, 检查模数转换过程是否完成。当此位成为逻辑低时, 表示转换过程已经完成。转换完成后, 可读取 A/D 数据寄存器 ADRL 和 ADRH 获得转换后的值。另一种方法是, 若中断使能且堆栈未满, 则程序等待 A/D 中断发生, 处理完中断后将中断标志位 ADIFG 清零。

注: 若使用轮询 ADCR 寄存器中 EOCB 位的状态的方法来检查转换过程是否结束时, 则中断使能的步骤可以省略。

下图表示模数转换过程中不同阶段的图形与时序。由应用程序控制开始 A/D 转换过程后，内部就会开始进行转换，在这个过程中，程序可以继续其它功能。A/D 转换时间为 $t_{ADC} = 16t_{AD}$ ， t_{AD} 为 A/D 时钟周期，其中包含采样时间 $t_{ADS} = 4t_{AD}$ 。



4. 21、运算放大器 OPA

单片机内部集成两个运算放大器，OPA1 和 OPA2，可用于用户特定的模拟信号处理。它们的使能或关闭只能通过软件设置来实现。通过控制特殊寄存器，OPA 相关的应用可以很容易的实现，例如单位增益缓冲器，同相放大器，反相放大器和各种滤波器等。其中 OPA1 内置积分放大电路，需要通过寄存器配置相关时序实现。

内部运算放大器的控制寄存器有：OPA1C0，OPA1C1，OPA1MODE，OPA2C0，OPA2C1 和 OPA2C2。这些寄存器用来控制运算放大器的使能/关闭功能、输入路径选择、增益控制和极性。

1) OPA1C0 寄存器

地址：0x0504

复位值：0x1f

访问：R/W

Bit	Name	R/W	Description
[7]	A1X	R	运算放大器输出脚，正逻辑电平，此位只读
[6]			保留，读为 0
[5]	A1_ANLG_OEN	R/W	OPA1 模拟电压输出至端口控制位 0: 关闭 1: 使能

转下页

接上页

Bit	Name	R/W	Description
[4: 0]	A1_GAIN	R/W	OPA1 积分放大增益选择位 xxxx0: 2 倍 xxx01: 4 倍 xx011: 8 倍 x0111: 16 倍 01111: 32 倍 11111: 64 倍

2) OPA1C1 寄存器

地址 : 0x0505

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	A1O2CIN	R/W	OPA1 输出作比较器输入功能控制位 0: 关闭 1: 使能
[6]	A1O2N	R/W	A1O2N: OPA1 输出作 OPA1 反相输入功能控制位 0: 关闭 1: 使能
[5: 4]			保留
[3]	A1PS	R/W	A1P 脚作为 OPA1 同相输入端选择位 0: 无连接 1: A1P 脚作为 OPA1 同相输入端
[2]	A1NS	R/W	A1N 脚作为 OPA1 反相输入端选择位 0: 无连接 1: A1N 脚作为 OPA1 反相输入端
[1]	A1OEN	R/W	OPA1 输出控制位 0: 关闭 1: 使能
[0]	A1EN	R/W	OPA1 使能控制位 0: 关闭 1: 使能

3) OPA1MODE 寄存器

地址 : 0x0506

复位值 : 0x04

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留, 读值为 0

转下页

接上页

Bit	Name	R/W	Description
[4]	Opa_buffer_en	R/W	OPAmp_Buffer 使能位 0: 除能 1: 使能
[3]			保留
[2]	Mode_sel	R/W	OPA1 工作模式选择 0: 积分放大 1: OPA1 构成开环结构
[1]	En_integ_n	R/W	积分放大控制信号, 遵循一定时序
[0]	Sw_integ	R/W	积分放大控制信号, 遵循一定时序

4) OPA2C0 寄存器

地址 : 0x0507

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	A2X	R	运算放大器输出脚, 正逻辑电平。此为只读位。
[6]	A2_ANLG_OEN	R/W	OPA2 模拟电压输出至端口控制位 0: 关闭 1: 使能
[5: 0]			保留, 读为 “0”

5) OPA2C1 寄存器

地址 : 0x0508

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]	A2O2CIN	R/W	OPA2 输出作比较器输入功能控制位 0: 关闭 1: 使能
[6]	A2O2N	R/W	OPA2 输出作 OPA2 反相输入功能控制位 0: 关闭 1: 使能
[5: 4]	A2PSEL[1: 0]	R/W	OPA2 同相输入端选择位 00: 无选择 01: 来自 VH1 ($0.9 \times V_{LDO}$) 10: 来自 VM ($0.5 \times V_{DD}$ 或 $0.5 \times V_{LDO}$) 11: 来自 VL1 ($0.1 \times V_{DD}$ 或 $0.1 \times V_{LDO}$)

转下页

接上页

Bit	Name	R/W	Description
[3]	A2PS	R/W	A2P 脚作为 OPA2 同相输入端选择位 0: 无连接 1: A2P 脚作为 OPA2 同相输入端
[2]	A2NS	R/W	A2N 脚作为 OPA2 反相输入端选择位 0: A2N 脚作为 OPA2 反相输入端 1: 无连接
[1]	A2OEN	R/W	OPA2 输出控制位 0: 关闭 1: 使能
[0]	A2EN	R/W	OPA2 使能控制位 0: 关闭 1: 使能

6) OPA2C2 控制寄存器

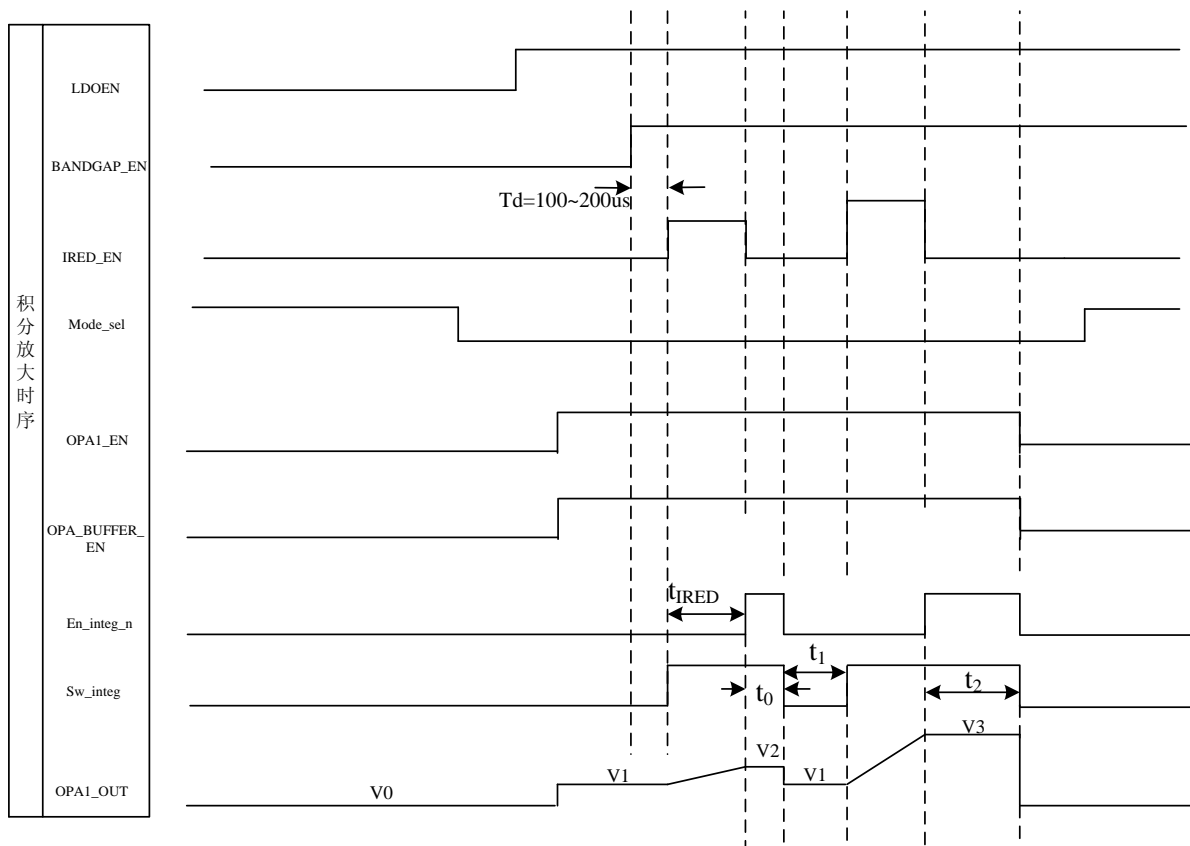
地址 : 0x0509

复位值 : 0x04

访问 : R/W

Bit	Name	R/W	Description
[7]	A1O2A2N	R/W	OPA1 输出作 OPA2 反相输入功能控制位 0: 关闭 1: 使能
[6]	A1O2A2P	R/W	OPA1 输出作 OPA2 同相输入功能控制位 0: 关闭 1: 使能
[5: 4]			保留
[3]	PGAEN	R/W	OPA2 PGA 增益控制位 0: 关闭 1: 使能
[2: 0]	PGA[2: 0]	R/W	可变增益控制位 (反相放大器模式/同相放大器模式) 000: 1/2 001: 8/9 010: 16/17 011: 24/25 100: 32/33 101: 40/41 110: 48/49 111: 56/57

积分放大器基本时序图：

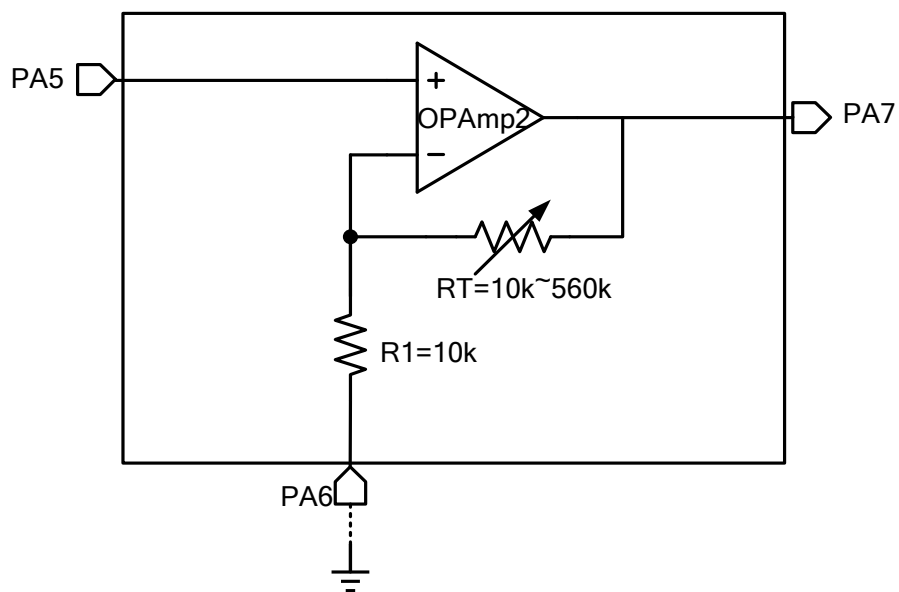


积分放大电路配置步骤：

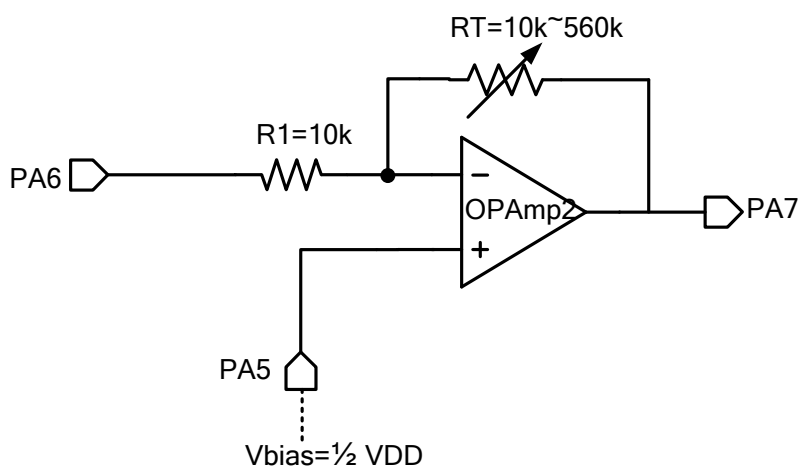
- 1、配置 OPA1MODE 寄存器 Mode_sel 位把 OPA1 配成积分放大模式；
- 2、配置 LDOC 寄存器中 LDO_EN 位使能 LDO 模块；过后配置 OPA1C1 寄存器 A1PS、A1NS 与 A1EN 位，与 OPA1MODE 中的 Opa_buffer_en 位，使能 OPA1 并指定 A1P 脚与 A1N 脚作为运放正负输入端；
- 3、配置 BANDGAP_TEMP 寄存器中 BANDGAP_EN 位使能带隙基准模块，延迟 100~200 μs 后把 IRED_CTRL 寄存器中 IRED_EN 位配置使能 IRED；
- 4、配置 OPA1MODE 中 Sw_integ 位为 1，开始积分；积分时间用户自行配置，积分完成后配置 OPA1MODE 中 En_integ_n 为 1 保持积分结果，同时 BANDGAP_EN 与 IRED_EN 位除能；
- 5、同时配置 OPA1MODE 中 Sw_integ 位与 En_integ_n 位为 0，运放输出回到初始值；此时配置 OPA1C1 寄存器 A1PS，A1NS 与 A1EN 位，除能 OPA1 并解除 PA2 与 PA3 运放输入脚复用功能；并通过 OPA1MODE 寄存器 Mode_sel 位把 OPA1 配回开环工作模式；积分放大器工作结束。

运算放大器 OPA2 可以配置成多种应用电路，其中同相放大器、反相放大器与单位增益缓冲器基本结构如下，通过寄存器 OPA2C2 来配置可变电阻 R_T ，可以在同相与反相放大器应用下设置增益。

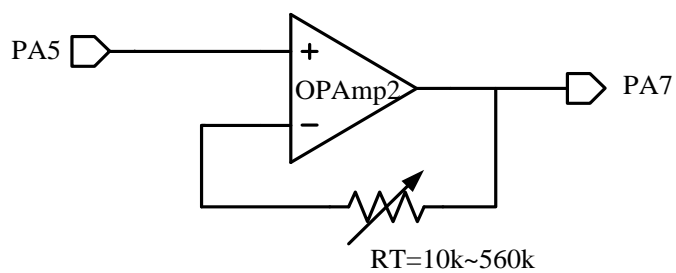
同相放大器电路：



反相放大器电路：



单位增益缓冲器电路：



三种模式寄存器设置如下：

寄存器	OPA2C1			OPA2C2	
相应寄存器位	A2EN	A2NS	A2PS	PGAEN	PGA<2:0>
同相放大器	1	0	1	1	可编程
反相放大器	1	0	1	1	可编程
单位增益缓冲器	1	1	1	1	

4.22、比较器

电路中含有两个模拟比较器。它们具有暂停、中断等功能，可通过寄存器进行灵活配置。比较器的引脚与普通 I/O 引脚共用，当比较器功能未使用时，此引脚可做普通引脚使用而不浪费 I/O 资源。除此之外，单片机还提供了比较器失调电压校准功能。

电路包含两个比较器功能，用于比较两个模拟电压，基于它们的差值上提供一个输出。控制寄存器 CMP1C0、CMP1C1、CMP2C0 和 CMP2C1 可分别控制相应的内部比较器。比较器的输出可由各自寄存器的一位记录，并且在共用的 I/O 口上输出。此外，比较器功能还包括暂停控制。

1) CMP1C0 控制寄存器

地址 : 0x050A

复位值 : 0x10

访问 : R/W

Bit	Name	R/W	Description
[7]	CMP1X	R	比较器输出脚；正逻辑电平。此位为只读位。
[6]	C1OFM	R/W	输入失调电压校准模式/比较器模式选择位 0: 比较器模式 1: 输入失调电压校准模式 C1OFM=1 时，比较器输入端连接至 I/O 脚，即 CNPSEL 和 C1NSEL 强制置位为“1”，断开与放大器输出端的连接。
[5]	C1RS	R/W	比较器输入失调电压校准参考选择位 0: 选择 C1N 作为参考输入脚 1: 选择 CNP 作为参考输入脚
[4: 0]	C1OF[4: 0]	R/W	比较器输入失调电压校准控制位

2) CMP1C1 控制寄存器

地址 : 0x050B

复位值 : 0x12

访问 : R/W

Bit	Name	R/W	Description
[7: 5]			保留，读为“0”

转下页

接上页

Bit	Name	R/W	Description
[4]	CNPSEL	R/W	比较器同相输入控制位 0: 选择 OPA 输出作为比较器输入 1: 选择 CNP 脚作为比较器输入
[3]	C1INTEN	R/W	比较器 1 中断控制位 0: 关闭 1: 使能
[2]	C1OUTEN	R/W	比较器 1 输出脚控制位 0: 关闭 1: 使能
[1]	C1NSEL	R/W	比较器 1 反相输入端选择位 0: 选择 VH0 作为输入端 1: 选择 C1N 脚作为输入端
[0]	CMP1EN	R/W	比较器 1 使能/关闭控制位 0: 关闭 1: 使能

3) CMP2C0 控制寄存器

地址 : 0x050C

复位值 : 0x10

访问 : Read/Write

Bit	Name	R/W	Description
[7]	CMP2X	R	比较器输出脚; 正逻辑电平。此为只读位
[6]	C2OFM	R/W	输入失调电压校准模式/比较器模式选择位 0: 比较器模式 1: 输入失调电压校准模式 C2OFM=1 时, 比较器输入端连接至 I/O 脚, CNPSEL 和 C2PSEL 强制置位为“1”, 断开与放大器输出端的连接
[5]	C2RS	R/W	比较器输入失调电压校准参考选择位 0: 选择 C2P 作为参考输入端 1: 选择 CNP 作为参考输入端
[4: 0]	C2OF[4: 0]	R/W	比较器输入失调电压校准控制位

4) CMP2C1 控制寄存器

地址 : 0x050D

复位值 : 0x02

访问 : R/W

Bit	Name	R/W	Description
[7]	CMP2_IFG	R/W	比较器 2 中断标志位 0: 无效标志位 1: 有效标志位
[6]	CMP1_IFG	R/W	比较器 1 中断标志位 0: 无效标志位 1: 有效标志位
[5: 4]	CMPE[1 : 0]	R/W	中断边沿控制位 00: 关闭 01: 上升沿触发 10: 下降沿触发 11: 双沿触发
[3]	C2INTEN	R/W	比较器 2 中断控制位 0: 关闭 1: 使能
[2]	C2OUTEN	R/W	比较器 2 输出控制位 0: 关闭 1: 使能
[1]	C2PSEL	R/W	比较器 2 反相输入选择位 0: 选择 VL0 作为输入端 1: 选择 C2P 作为输入端
[0]	CMP2EN	R/W	CMP2EN: 比较器 2 使能/关闭控制位 0: 关闭 1: 使能

5) CMPOF_SEL 控制寄存器

地址 : 0x050E

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 2]			保留, 读出为 0
[1]	CMP2OF_SEL	R/W	比较器 2 失调电压选择 0: 选择存储在 MTP 的比较器 2 的失调电压值 1: 选择 MCU 写入的比较器 2 的失调电压值

转下页

接上页

Bit	Name	R/W	Description
[0]	CMP1OF_SEL	R/W	比较器 1 失调电压选择 0: 选择存储在 MTP 的比较器 1 的失调电压值 1 : 选择 MCU 写入的比较器 1 的失调电压值

4. 23、蜂鸣器

蜂鸣器的时钟源为 f_{TB} ，可通过寄存器 TBC 中 TBCK 位来进行选择，然后通过一个分频器，分频倍数由 BZ_CTRL 寄存器的 BZ2~BZ0 位选择，可提供精准的可变频率输出，PA6 和 PA7 引脚可复用为 BZ 和 ~BZ 形成互补对，可通过 BZ_CTRL 寄存器进行选择。另外，BZ 和 ~BZ 输出还需将 PA6 配置为 GPIO 输出，且其输出数据值为“1”，否则，BZ 和 ~BZ 不能输出。

1) BZ_CTRL 寄存器

地址 : 0x0402

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 6]			保留，读为“0”
[5]	BZON	R/W	蜂鸣器的使能控制位 0: 除能 1: 使能
[4: 3]	BC1~BC0	R/W	蜂鸣器或 I/O 选择控制位 00: PA7、PA6 为普通 I/O 口 01: PA7 为普通 I/O 口，PA6 为 BZ 10: 保留 11: PA7 为 ~BZ，PA6 为 BZ
[2: 0]	BZ2~BZ0	R/W	蜂鸣器输出频率选择位 000: $f_{TB}/2^2$ 001: $f_{TB}/2^3$ 010: $f_{TB}/2^4$ 011: $f_{TB}/2^5$ 100: $f_{TB}/2^6$ 101: $f_{TB}/2^7$ 110: $f_{TB}/2^8$ 111: $f_{TB}/2^9$

推荐工作流程：

1) 配置 BZ_CTRL 寄存器和其他相应寄存器（关闭其他复用功能）使 PA6 或 PA7 复用功能为 BZ 和~BZ；

2) 配置端口寄存器 PADIR 和 PAREG，使 PA6 端口作为输出，且输出值为“1”，蜂鸣器启动工作。

4.24、语音控制

DAC 电路由语音控制寄存器控制。若 DAC 电路未开启，任何 DAH/DAL 输出均是无效的。通过控制 DACEN 位的高/低来使能/关闭 D/A 转换电路。语音输出和音量控制寄存器 DAL，DAH，DACTRL 语音输出数据为 12 位，高 8 位存储在 DAH 寄存器中，低 4 位存储在 DAL 寄存器的高 4 位中，DAL 的低 4 位未使用，读为“0”。

音量有 8 级，由 DACTRL 寄存器中的高 3 位设置控制。DACEN 位为高时，D/A 转换器输出到 I/O 脚，其共用的 I/O 脚功能将关闭。

1) DAL 寄存器

地址 : 0x0512

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 4]	D[3: 0]	R/W	语音输出的低 4 位
[3: 0]		R/W	保留，读为“0”

2) DAH 寄存器

地址 : 0x0513

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	D[11: 4]	R/W	语音输出的高 8 位

3) DACTRL 寄存器

地址 : 0x0514

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 5]	VOL[2: 0]	R/W	D/A 转换器音量控制数据位 000: 最小音量 111: 最大音量
[4: 1]		R/W	保留，读为“0”

转下页

接上页

Bit	Name	R/W	Description
[0]	DACEN	R/W	D/A 转换器使能/除能 0: 除能 1: 使能 注: DACEN =1 时, D/A 转换器信号输出到 I/O 脚, 此时与该引脚共用的 I/O 功能除能

4.25、恒流驱动

电路提供一个恒流驱动端口 (PB6), 可实现 0~200mA 的恒流驱动, 这对于如烟雾报警器的红外发光管驱动较为有利, 可保证在电源电压波动时, 红外发射管的驱动电流保持恒定, 保持烟雾探测器的发射效率。可通过寄存器 IRED_CTRL 来设定恒流驱动端口的开启与发射电流。注意, 若要使用 IRED 恒流功能, 必须首先配置 MISC 寄存器中 IRED_SW 为 1, 才可复用该功能。

IRED_CTRL 控制寄存器

地址 : 0x0515

初始值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7]		R/W	保留, 读出为 0
[6]	IRED_ENHANCE	R/W	IRED 驱动模块电流增强位 0: 除能 1: 使能
[5]	IRED_EN	R/W	IRED 使能控制位 0: 除能 1: 使能
[4: 0]	IRED_DRIVE[4: 0]	R/W	IRED 驱动电流 5'b00000: 最小 0mA 5'b11111: 最大 400mA 其中最高位未用。

4. 26、温湿度计模块

温湿度计模块可利用 RC 振荡器原理对外接的电阻型温度传感器和电容性湿度传感器进行测量。

1) THERMO_HYGRO_CTRL 控制寄存器

地址 : 0x0517

复位值 : 0x1b

访问 : R/W

Bit	Name	R/W	Description
[7: 6]			保留, 读出为 0
[5]	HYGRO_EN	R/W	湿度计使能控制位 0: 除能 1: 使能
[4]	RF2_CT	R/W	湿度计驱动控制位 0: 使能 1: 除能
[3]	RS2_CT	R/W	湿度计基准控制位 0: 使能 1: 除能
[2]	THERMO_EN	R/W	温度计使能控制位 0: 除能 1: 使能
[1]	RF1_CT	R/W	温度计驱动控制位 0: 使能 1: 除能
[0]	RS1_CT	R/W	温度计基准控制位 0: 使能 1: 除能

2) THERMO_TRIM 控制寄存器

地址 : 0x0518

复位值 : 0x00

访问 : R/W

Bit	Name	R/W	Description
[7: 0]	THERMO_TRIM	R/W	温度计 TRIM 值

3) HYGRO_TRIM 控制寄存器

地址 : 0x0519

复位值 : 0x00

访问 : R/W

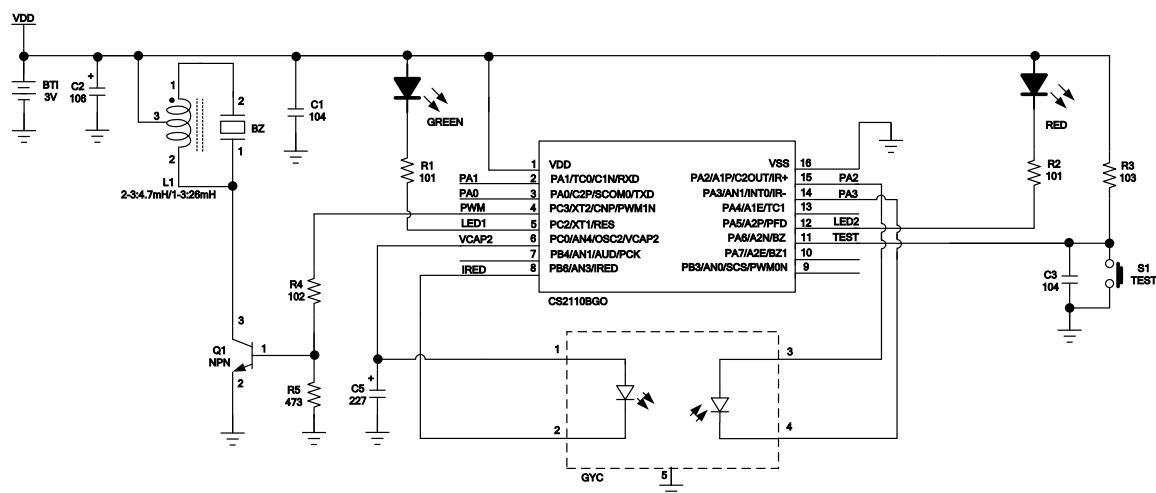
Bit	Name	R/W	Description
-----	------	-----	-------------

[7: 0]	HYGRO_TRIM	R/W	湿度计 TRIM 值
--------	------------	-----	------------

4.27、配置选项

编号	选 项
高速振荡器选项	
1	外部高速晶振使能 (HXT_OSC_EN)
2	外部高速时钟使能 (EC_EN)
3	内置高速振荡器/ERC 使能 (HIRC_ERC_EN)
4	内置高速振荡器选择 (HIRC_CHOOSE): 910K/4M/8M/16M
5	外部高速晶振模式选择 (HXT_CHOOSE): 快速启动模式/低功耗模式
6	HIRC 供电选择 (HIRC_POWER_SEL): VDD 供电/内部 LDO 供电
低速振荡器选项	
7	外部低速晶振使能 (LXT_OSC_EN)
8	内置低速振荡器使能 (LIRC_EN)
9	内置低速振荡器选择 (LIRC_CHOOSE): 14K/32K
系统时钟选项 (f _{sys})	
10	系统时钟选择 1 (HSOSC_SW): EC/HXT/HIRC
11	系统时钟选择 2 (HCLK_SW): 高频/分频或低频
12	系统时钟分频选择 (HDIV_SW): f _H /2、f _H /4、f _H /8、f _H /16、f _H /32、f _H /64 或 f _L
低速辅助时钟选项 (f _{sub})	
13	低速辅助时钟选择 (LSOCS_SW): LXT/LIRC
看门狗选项	
14	看门狗使能 (WDT_EN)
15	看门狗时钟选择 (WDT_SW): f _{sub} / f _{sys} 四分频
低压复位选项	
16	低压复位使能 (LVR_EN)
17	低压复位电压 (LVR): 2.1V/2.55V/3.15V/4.2V
SIM 模块选项	
18	SIM 模块使能 (SIM_EN)
RES 引脚选项	
19	GPIO 或者 RES 选择 (RESN_EXT_EN)
MTP 特性选项	
20	MTP 模式选择 (MTP_MODE_TM): 省电模式/正常模式/高速模式

5、典型应用线路

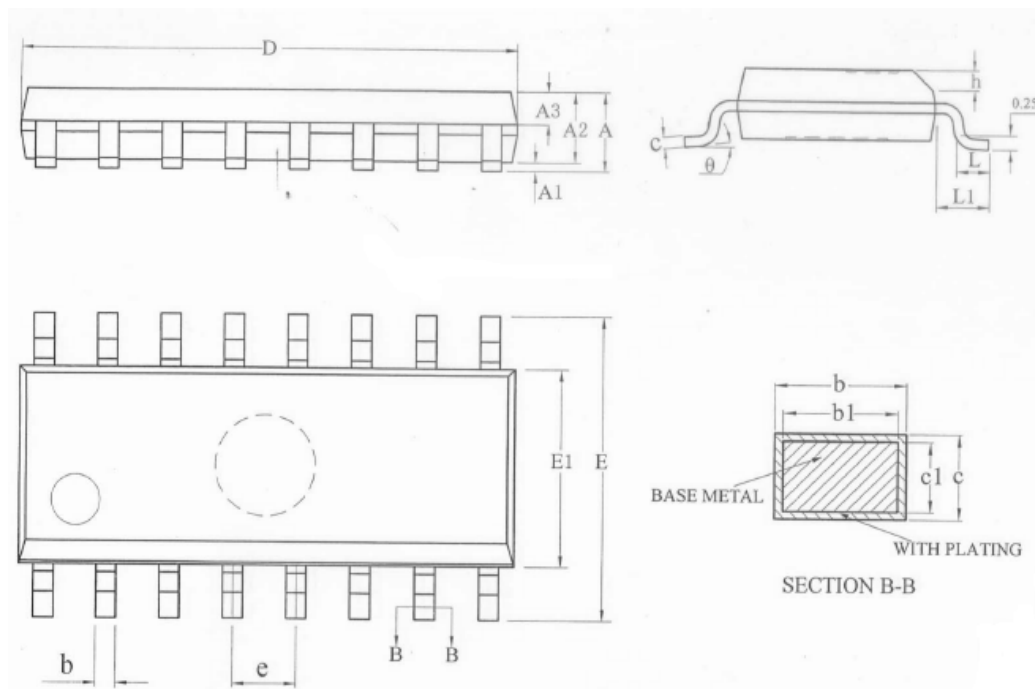


注：针对光电式烟雾检测器的应用（SOP16）

6、封装尺寸与外形图（单位：mm）

6.1、窄体 SOP16（CS2110AGO、CS2110BGO）

6.1.1、封装外形图

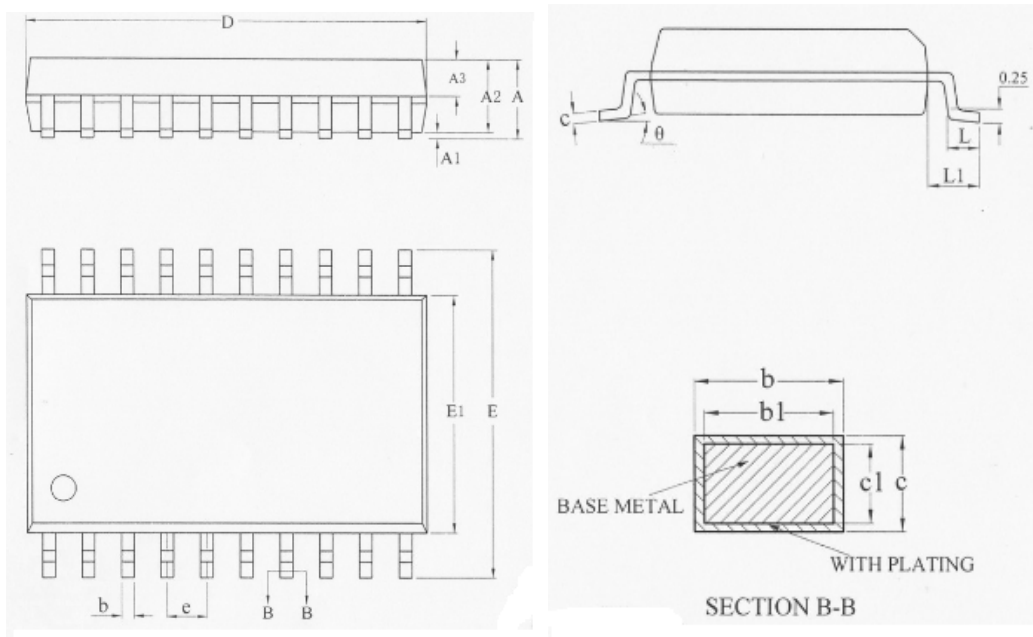


6.1.2、封装尺寸

Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A			1.75	D	9.70	9.90	10.10
A1	0.10		0.225	E	5.80	6.00	6.20
A2	1.30	1.40	1.50	E1	3.70	3.90	4.10
A3	0.60	0.65	0.70	e	1.27BSC		
b	0.39		0.48	h	0.25		0.50
b1	0.38	0.41	0.43	L	0.50		0.80
c	0.21		0.26	L1	1.05BSC		
c1	0.19	0.20	0.21	θ	0°		8°

6.2、SSOP20 (CS2110CGO)

6.2.1、封装外形图

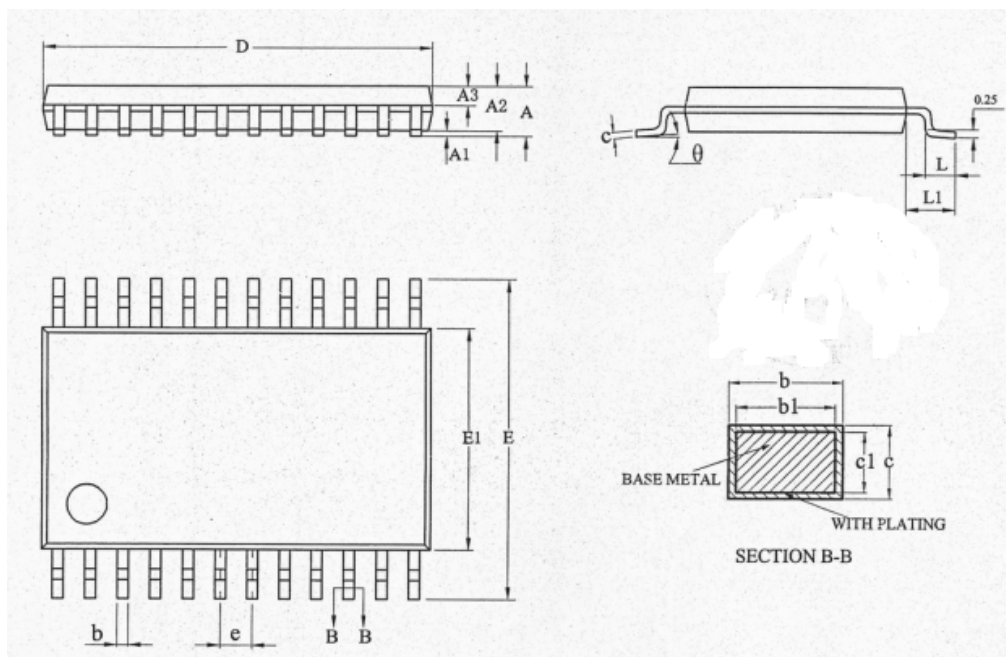


6.2.2、封装尺寸

Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A			1.85	D	7.00	7.20	7.40
A1	0.05		0.25	E	7.60	7.80	8.00
A2	1.40	1.50	1.60	E1	5.10	5.30	5.50
A3	0.62	0.67	0.72	e	0.65BSC		
b	0.29		0.37	L	0.75		1.05
b1	0.28	0.30	0.33	L1	1.25BSC		
c	0.15		0.20	θ	0°		8°
c1	0.14	0.15	0.16	L/F 载体尺寸 (mil)	145*169		

6.3、SSOP24 (CS2110DGO)

6.3.1、封装外形图

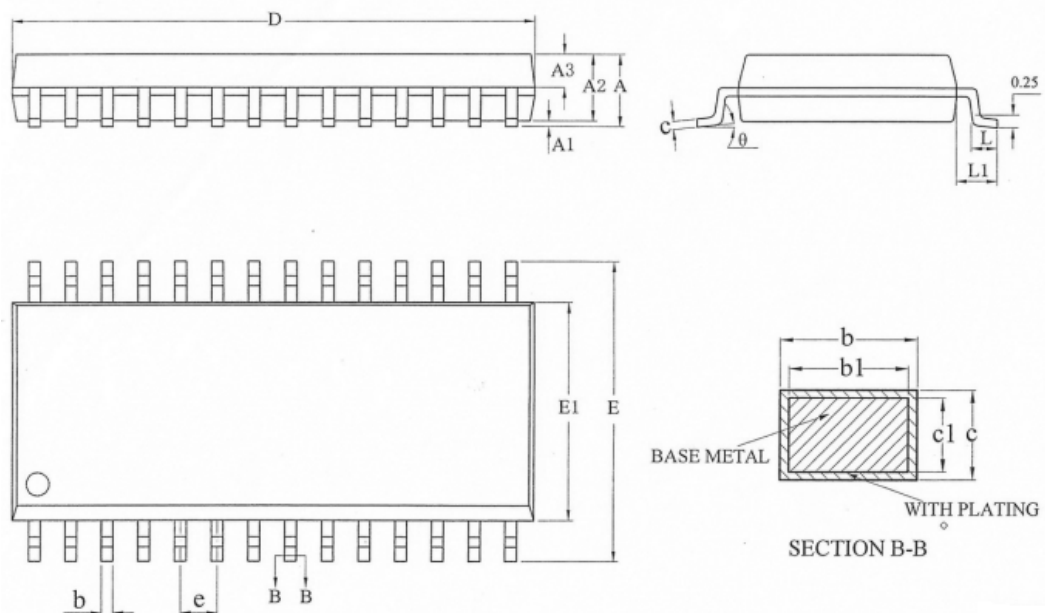


6.3.2、封装尺寸

Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A			2.00	D	10.00	10.20	10.40
A1	0.05		0.25	E	7.60	7.80	8.00
A2	1.65	1.75	1.85	E1	5.10	5.30	5.50
A3	0.75	0.80	0.85	e	0.65BSC		
b	0.29		0.37	L	0.55	0.75	0.95
b1	0.28	0.30	0.33	L1	1.25BSC		
c	0.15		0.20	θ	0°		8°
c1	0.14	0.15	0.16	L/F 载体尺寸 (mil)	153*200		

6.4、SSOP28 (CS2110EGO)

6.4.1、封装外形图

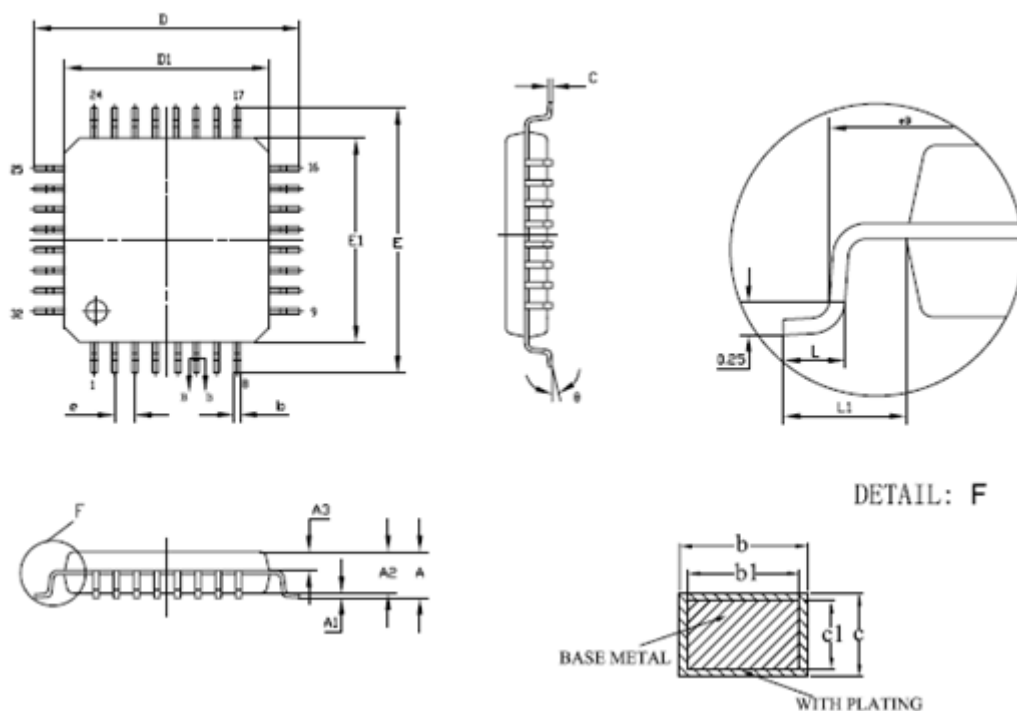


6.4.2、封装尺寸

Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A			2.00	D	8.00	8.20	8.40
A1	0.05		0.25	E	7.60	7.80	8.00
A2	1.65	1.75	1.85	E1	5.10	5.30	5.50
A3	0.75	0.80	0.85	e	0.65BSC		
b	0.29		0.37	L	0.75		1.05
b1	0.28	0.30	0.33	L1	1.25BSC		
c	0.15		0.20	θ	0°		8°
c1	0.14	0.15	0.16	L/F 载体尺寸 (mil)	145*169		

6.5、LQFP32（CS2110GN）

6.5.1、封装外形图



6.5.2、封装尺寸

Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A			1.60	D1	6.90	7.00	7.10
A1	0.05		0.20	E	8.80	9.00	9.20
A2	1.35	1.40	1.45	E1	6.90	7.00	7.10
A3	0.59	0.64	0.69	eB	8.10		8.25
b	0.32		0.43	e	0.80BSC		
b1	0.31	0.35	0.39	L	0.40		0.65
c	0.13		0.18	L1	1.00BSC		
c1	0.12	0.13	0.14	θ	0°		7°
D	8.80	9.00	9.20	L/F 载体尺寸 (mil)	150×150		205×205

产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr ⁺⁶)	多溴联苯 (PBB)	多溴联苯醚 (PBDE)
引线框	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○
芯片	○	○	○	○	○	○
内引线	○	○	○	○	○	○
装片胶	○	○	○	○	○	○
说明	○：表示该有毒有害物质的含量在 SJ/T11363-2006 标准的限量要求以下。×：表示该有毒有害物质的含量超出 SJ/T11363-2006 标准的限量要求。					

无锡华润矽科微电子有限公司

WUXI CHINA RESOURCES SEMICO CO., LTD.

地址：中国江苏省无锡市菱湖大道 180-22

邮编：214135

电话：0510-85810118

传真：（销售传真）0510-85874503

网址：<http://www.semico.com.cn>

公司主要销售联络点：

市场营销部：江苏省无锡市菱湖大道 180-22

邮编：214135 电话：0510-85810118-4445 / 2320 传真：0510-85874503

深圳分公司：深圳福田区梅林工业区梅秀路 1-1 号华强云产业园厂房 3 栋 4 楼 409 室

邮编：518000 电话：0755-83572766 传真：0755-83547381，0755-83547451

应用技术服务：

市场应用部：江苏省无锡市菱湖大道 180-22

邮编：214135 电话：0510-81805245，81805507 传真：0510-81805517

深圳分公司：深圳福田区梅林工业区梅秀路 1-1 号华强云产业园厂房 3 栋 4 楼 409 室

邮编：518000 电话：0755-83947357，83547123 传真：0755-83572811

注意：

建议您在使用的矽科产品之前仔细阅读本资料。

希望您经常和矽科有关部门进行联系，索取最新资料，因为矽科产品在不断更新和提高。

本资料中的信息如有变化，恕不另行通知。

本资料仅供参考，矽科不承担任何由此而引起的损失。

矽科不承担任何在使用过程中引起的侵犯第三方专利或其它权利的责任。