**Міністерство освіти і науки України**

**Національний університет «Запорізька політехніка»**

кафедра програмних засобів

**Звіт**

З лабораторної роботи №6

з дисципліни “ Верифікація цифрових систем ”

на тему: “Плата швидкого прототипування ”

Варіант №4

Виконала: Д. Д. Трунова

студентка групи КНТ-227

Прийняв:

доцент Т. І. Каплієнко

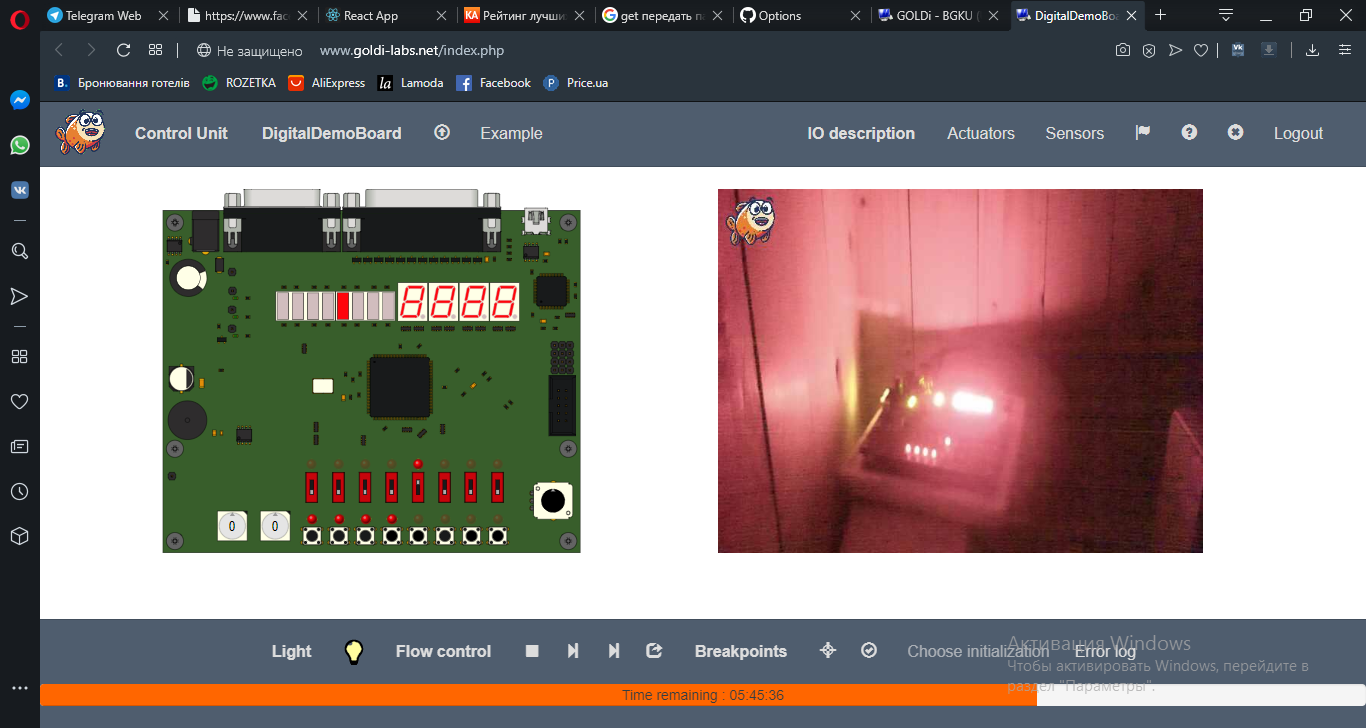
2019

**Мета**: отримати необхідні базові навички для роботи з платою швидкого прототипування.

**Завдання №1**:

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту.

library IEEE;  
use IEEE.STD\_LOGIC\_1164.ALL;  
use IEEE.STD\_LOGIC\_ARITH.ALL;  
use IEEE.STD\_LOGIC\_UNSIGNED.all;  
entity test is   
port(  
 pSW: in std\_logic\_vector (7 downto 0);  
 pLED: out std\_logic\_vector(7 downto 0);  
 pLED1: out std\_logic\_vector(7 downto 0)  
 );  
end test;  
architecture t1 of test is  
begin  
 pLED(6) <= pSW(3);  
 pLED(7) <= pSW(3);   
 end architecture;

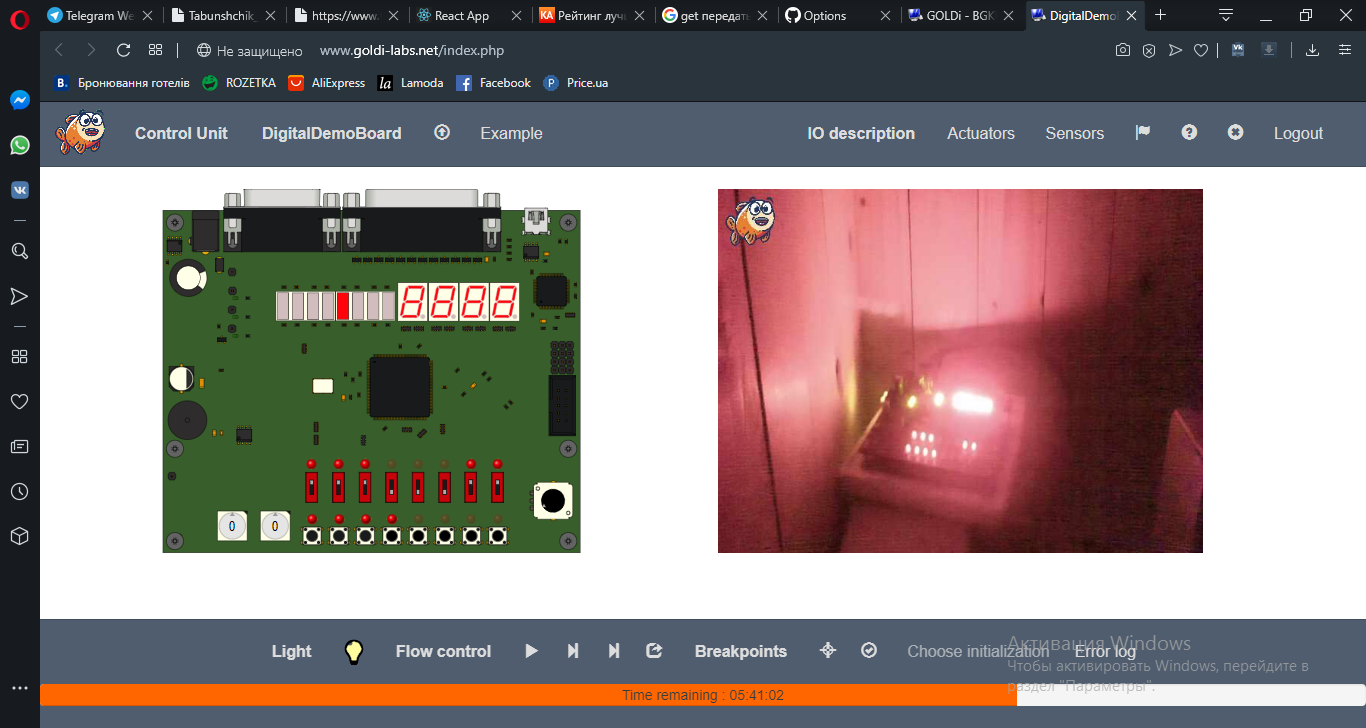


**Завдання №2**:

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варіанту** | | **Вхідні параметри (перемикачі)** | | | | | | | | | | | | | | **Вихідні параметри (світлодіоди)** | | | | | | | | | | | | | | | |
| **7** | | **6** | | **5** | | **4** | **3** | **2** | | **1** | | **0** | | **7** | | **6** | | **5** | | **4** | | **3** | | **2** | | **1** | | **0** | |
| **4** | 1 | | 1 | | 1 | | 0 | | 0 | | 0 | | 1 | | 1 | | 0 | | 0 | | 0 | | 0 | | 1 | | 0 | | 0 | | 0 | |

library IEEE;  
use IEEE.STD\_LOGIC\_1164.ALL;  
use IEEE.STD\_LOGIC\_ARITH.ALL;  
use IEEE.STD\_LOGIC\_UNSIGNED.all;  
entity test is   
port(  
 pSW: in std\_logic\_vector (7 downto 0);  
 pLED: out std\_logic\_vector(7 downto 0);  
 pLED1: out std\_logic\_vector(7 downto 0)  
 );  
end test;  
architecture t1 of test is  
begin  
process(pSW)is  
 begin  
 if (pSW="11100011")then  
 pLED <= "11000000";  
 pLED1 <="00000000" ;  
 end if;  
 end process;  
 end architecture;

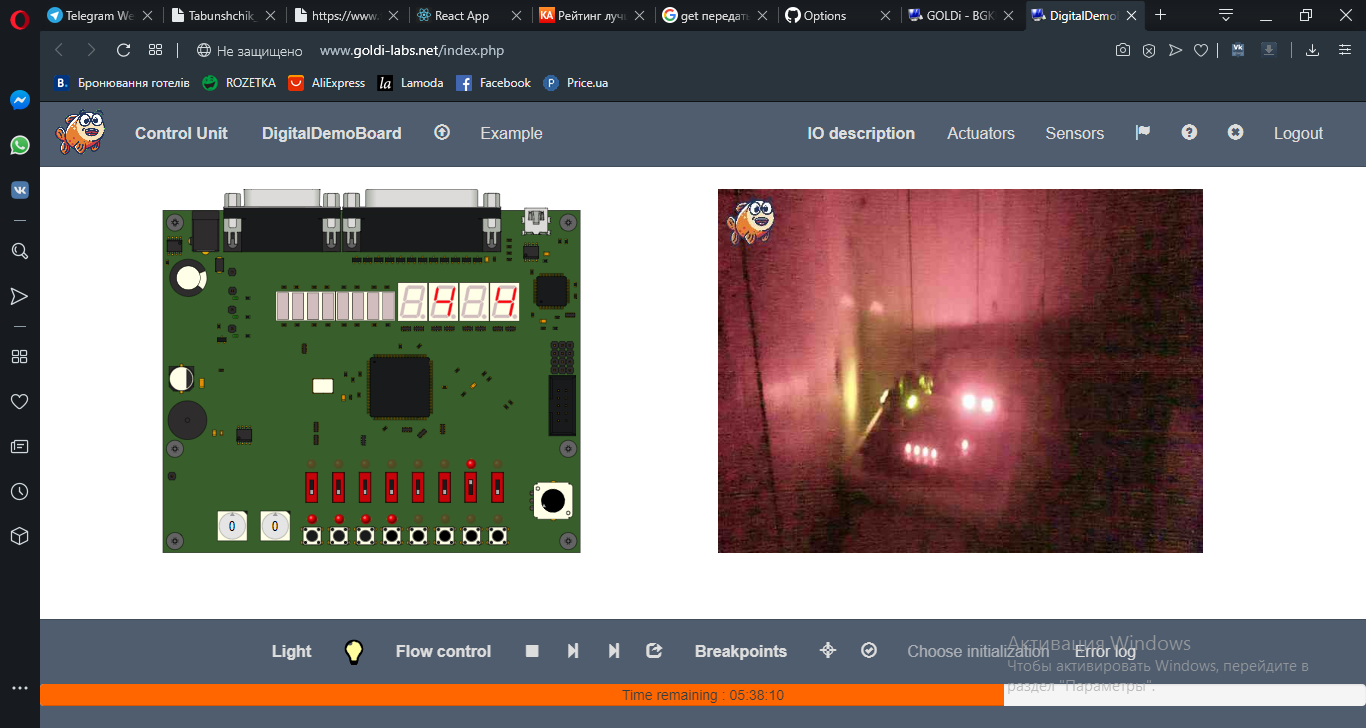
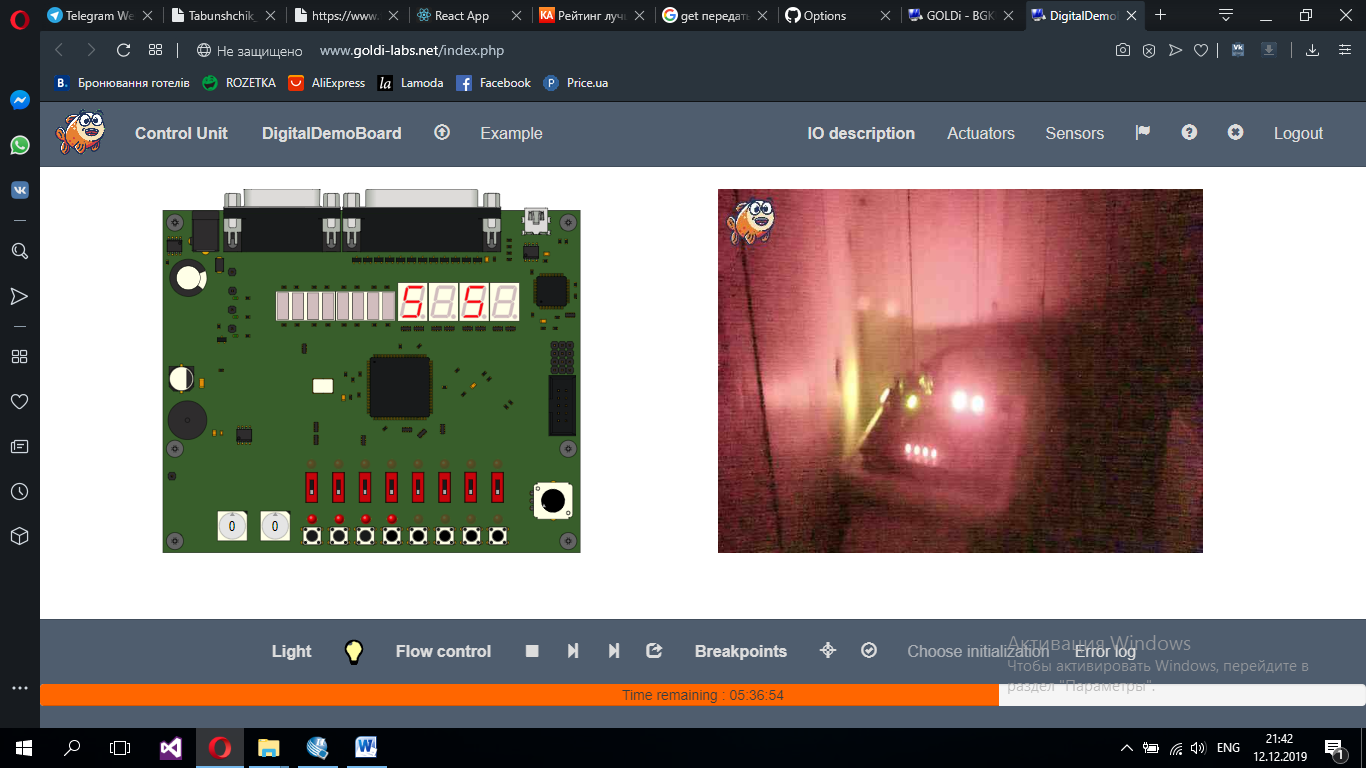


**Завдання №3**:

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

library IEEE;  
use IEEE.STD\_LOGIC\_1164.all;  
use ieee.std\_logic\_arith.all;  
use ieee.std\_logic\_unsigned.all;  
entity test is  
port(  
 pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)  
);  
end test;  
architecture numbers of test is  
begin  
process(pSW)is  
 begin  
 if (pSW(1)='1')then

pHex0 <="10011001";  
 pHex1 <="11111111";  
 pHex2 <="10011001";  
 pHex3 <="11111111";  
 else  
 pHex0 <="11111111";   
 pHex1 <="10010010";  
 pHex2 <="11111111";  
 pHex3 <="10010010";   
 end if;  
end process;  
end numbers;

**Завдання №4**:

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

library IEEE;  
use IEEE.STD\_LOGIC\_1164.ALL;  
use IEEE.STD\_LOGIC\_ARITH.ALL;  
use IEEE.STD\_LOGIC\_UNSIGNED.all;  
entity test is   
port(  
 pSW: in std\_logic\_vector (7 downto 0);  
 pLED: out std\_logic\_vector(7 downto 0);  
 pLED1: out std\_logic\_vector(7 downto 0);  
 clk: in std\_logic  
 );  
end test;  
architecture t1 of test is  
signal t: integer := 0;  
signal state: std\_logic := '0';  
begin  
process is  
 begin  
 wait until rising\_edge(clk);  
 t<=t+1;  
 if t>(21e6/4) then  
 t<=0;  
 state <=not state;  
 pLED(6)<=state;  
 pLED(7)<=state;  
 end if;  
 end process;  
 end architecture;

**Завдання №5**:

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, (на ваш розсуд).

library IEEE;  
use IEEE.STD\_LOGIC\_1164.all;  
use ieee.std\_logic\_arith.all;  
use ieee.std\_logic\_unsigned.all;  
entity test is  
port(  
 pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);   
 pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);  
 pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)  
);  
end test;  
architecture numbers of test is  
begin  
 pHex0 <="10100100";   
 pHex1 <="10110000";  
 pHex2 <="10000000";  
 pHex3 <="11000000";  
end numbers;

