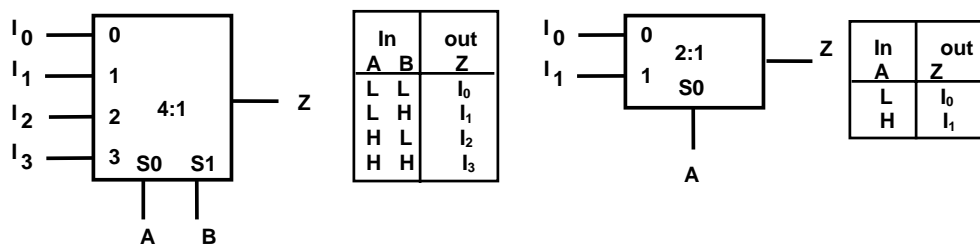


Universidade Federal de Pernambuco
Centro de Informática
2ª Chamada de Sistemas Digitais/Circuitos Digitais
2º semestre de 2001

Recife, 16 de abril de 2001

1.
 - a. Implementar um gerador de paridade par para um vetor de 4 bits. (1,0)
 - b. Prove que $(x+y).(x+z) = xy + x.z$ (1,0)
2. Implementar um multiplexador 16:1 a partir de multiplexadores 4:1 e de multiplexadores 2:1, conforme indicado abaixo: (1,5)



3. Implementar a função $Z = ((T=[0] \wedge (A > B)) \vee (T=[1] \wedge (A < B)) \vee (T=[2] \wedge (A = B)))$. Considere que A e B são número positivos e negativos (complemento a 2) representados por vetores de 4 bits (sinal+módulo). T é um vetor de seleção de funções. (2,0)
Mostrar todos os circuitos do projeto.
4. Assuma que A, B e C possuem 4 bits (sinal+módulo). Considere também que os vetores representam números que podem ser positivos ou negativos (complementados a 2). Implemente um sistema que compute $Z = \text{Max}(A, B, C)$. Z é um vetor. (2,5)
5. Implemente um multiplicador $A*B$, onde A e B são vetores de 4-bits. (2,0)
Mostre o esquema do circuito.