



UNIVERSIDADE FEDERAL DA BAHIA
DISCIPLINA: ENGG57 – LABORATORIO INTEGRADO IV-A
SEMESTRE: 2017.2
PROFESSOR: WAGNER OLIVEIRA



Relatório de Mesa - 26/10/2017

Coordenador: Caetano Neto

Secretário de quadro : Everton Quadros

Secretário de mesa: Virginia Campos

Foi montada a discussão com base na arquitetura de CPU de 5 pipelines. Com base neste modelo foi realizada uma simulação inicialmente com 3 instruções aritméticas e posteriormente adicionando instruções de transferência de dados, no intuito de simular as situações que podem ocorrer simultaneamente a cada pulso de clock. Os pontos de reflexão ao decorrer desta simulação:

- Utilização de MUX para buscar instruções que encontram-se em utilização, considerando que as entradas podem ser o primeiro ou o segundo operando da instrução;
- Escrita no pulso de subida e leitura no pulso de descida, aplicada a situação na qual a quarta instrução é executada, quinto pulso de clock. O dado está pronto para ser escrito e a instrução 4 precisa capturar o R1;
- Utilização de bolha no bloco de memória de instrução LW.

Quadro do PLL:

1. Ideias

- a. Uso de flags para identificar registradores em processo de atualização

2. Fatos

- a. Instruções simuladas:

- i. ADD R1, R2
- ii. SUB R3, R1
- iii. ADD R4, R1

iv. SUB R5, R1

v. LW R1, 5 (R2)

3. Metas

- a. Teste de mesa por meio da técnica de antecipação;
- b. Resolver questão de borda write - back;
- c. Verificar a diferença entre sequência de instruções envolvendo lógica/ aritmética e load/ store (LW/SW);
- d. Inserção de bolhas (NOP);
- e. Analisa impacto das interrupções no forwarding, inserção de bolhas.

4. Questões

- a. É necessário colocar bolha em outro bloco de instrução que não seja LW e SW?