



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
ENGG57 – LABORATÓRIO INTEGRADO IV-A**

Relatório de mesa 30/11/2017

Secretário de mesa: Everton Geovane de Cerqueira Quadros

Resumo

No encontro da última quinta-feira (30/11/2017) iniciamos a discussão analisando os novos módulos implementados (pilha e PIC).

Ajustes no código

- O PIC deve ser externo ao processado;
- Em *pic.v* na linha 47, substituir operação de multiplicação por um shift de 4 bits, simplificando assim o circuito gerado;
- Ainda em *pic.v*, verificar sintaxe na linha 92 (vetor);
- Corrigir sinal de atribuição em *pilha.v* (\Leftarrow);
- A largura da memória é 16 bits, e não 32 bits. Fazer $new_pc \Leftarrow new_pc + 2$

Metas

- Criar testbenches para validação dos novos módulos, verificando sua funcionalidade lógica;
- Entrega do Problema 1 funcionando no ModelSim (7/12);
- Realizar testes na placa a ser fornecida pelo professor.

Ideias

- Usar o SignalTap II (analisador lógico);
- Utilizar recursos para analisar a memória do FPGA.