

Capítulo 5

Conversores Analógico-Digital

Existen dos módulos idénticos que identificaremos como $ATDx$ con $x=0,1$. Cada módulo tiene las siguientes características:

- Posee un único conversor A/D de 8/10 bits que utiliza el método de aproximaciones sucesivas con un circuito de redistribución de cargas capacitivas, por lo que no es necesario un circuito externo de muestreo y mantenimiento.
- Posee, a la entrada del conversor, un multiplexor analógico de 16 canales de los que 8 corresponden a los *pines* del puerto correspondiente y los otros 8 a canales especiales, sólo 3 de ellos con valores asignados: V_{RH} , V_{RL} y $(V_{RH} + V_{RL})/2$.
- Posee 8 registros de control/estado y otros 8 que almacenan el resultado de conversiones sucesivas.
- Es configurable:
 - La resolución de la conversión: 8 ó 10 bits
 - El tiempo de muestreo
 - La justificación del resultado a izquierda o derecha
 - Secuencias de 1, 4 y 8 conversiones que pueden ser continuas (comienza una nueva al terminar la anterior) en un sólo canal ó diferentes canales.
 - Un contador de preescalado para hacer que la frecuencia del subsistema esté en el rango 2Mhz-500kHz independientemente de la frecuencia del sistema.
- Puede generar interrupción cuando termina una secuencia
- Puede estar en tres modos de funcionamiento:
 - activo:** cuando está realizando conversiones.
 - inactivo:** cuando no está apagado pero no está realizando conversiones. Consumo prácticamente igual que en el modo activo.
 - apagado:** cuando $ATDxCTL2:ADPU=0$, cuando MCU está en modo STOP o cuando MCU está en modo WAIT y $ATDxCTL2:ASWAI=1$. Tiene un consumo muy bajo.

Cada conversión dura (en ciclos del submódulo):

- 2 ciclos de captura inicial
- 4 ciclos de copia del potencial
- 2, 4, 8 ó 16 ciclos de muestreo (configurables)
- 10/12 ciclos de conversión dependiendo de la resolución pedida (8/10 bits).

Las conversiones realizadas se pueden colocar en los registros de resultados de dos modos distintos (seleccionables mediante $ATDxCTL3:FIFO$):

No FIFO el primer resultado de una secuencia de conversiones siempre comienzan colocandose en el registro de resultados 0, el segundo en el 1 y así sucesivamente.

FIFO los registros de resultados se manejan como buffer cíclico. Cada nuevo resultado se deposita en el registro de resultados indicado por el *registro contador de resultados* (cuyo valor se puede consultar en `ATDxSTAT0:CC2-ATDxSTAT0:CC0`). Este registro se autoincrementa tras depositarse un dato haciendo que se vayan utilizando ciclicamente todos los registros de resultados. Se pone a 0 cuando se resetea el submódulo o cuando se utiliza una secuencia no fifo.

5.1. Registros relacionados

5.1.1. Registros de control

Posee 6 registros de control:

ATDxCTL0 No contiene información, pero al escribir en este registro se aborta la secuencia actual.

ATDxCTL1 Sólo accesible en modos especiales.

ATDxCTL2 La escritura en este registro no detiene ni activa las conversiones. Los indicadores que posee son los siguientes:

ADPU encendido del módulo.

AFFC determina el método de puesta a 0 de los indicadores de conversión completa: 0→Necesario acceder primero al registro de control y después al de datos. 1→Basta con acceder al registro de datos.

ASWAI Si activo, el módulo se apaga cuando MCU pasa a modo WAIT.

DJM Modo de justificación de los datos, afecta en el momento de leer los registros de resultados (no al realizarse la conversión):

0 Justificados a la izquierda: bits 15 a 6 para conversiones de 10 bits, bits 15 a 8 para conversiones de 8 bits. El dato, considerado como parte decimal, representa el tanto por 1 del voltaje total.

1 Justificados a la derecha: para bits 9 a 0 para conversiones de 10 bits, 7 a 0 para conversiones de 8 bits¹.

ASCIE habilitación de la interrupción cuando secuencia completa.

ASCIF indicador de secuencia completa. Es una copia del `ATDxSTAT0:SCF`.

ATDxCTL3 La escritura en este registro no detiene ni activa las conversiones. Los indicadores que posee son los siguientes:

S1C en conjunción con `ATDxCTL5:S8C` fija la longitud de la secuencia de conversión.

FIFO activa el modo fifo para depositar los resultados.

ATDxCTL4 Escribiendo en este registro se aborta la secuencia de conversión actual y comienza una nueva. Los indicadores que posee son los siguientes:

RES10 activa la resolución a 10 bits.

SMP1-SMP0 selección del número de ciclos de muestreo: 00→2, 01→4, 10→8 ó 11→16

PRS4-PRS0 este valor binario más 1 y multiplicado por 2 se utiliza con valor de división de la frecuencia del sistema para generar la frecuencia del submódulo. La frecuencia resultante ha de estar entre 2MHz y 500kHz. Para un sistema a 8Mhz estos valores deben estar entre 1 y 7 (división entre 4 y 16)

ATDxCTL5 Escribiendo en este registro se aborta la secuencia de conversión actual y comienza una nueva. Los indicadores que posee son los siguientes:

SC8 junto con `ATDxCTL3:SC1` fija el número de conversiones de la secuencia según la siguiente tabla:

SC8	SC1	Número de conversiones	Registro de resultados (no FIFO)
0	0	4	ADRO-ADR3
0	1	1	ADRO
1	X	8	ADRO-ADR7

¹Este modo parece no funcionar en los microcontroladores disponibles en el laboratorio

SCAN Activa la conversión continua, al terminar una secuencia comienza automáticamente la siguiente.

MULT Activa la conversión en múltiples canales a lo largo de la secuencia. Se comienza por el canal indicado por **CC,CB,CA** y se continúa con el siguiente de manera cíclica. Si está inactivo, todas las conversiones se realizan del mismo canal: el indicado por **CC,CB,CA**.

SC Utilización de los canales espaciales.

CC,CB,CA forman el número del canal de entrada que se utiliza como primero para la conversión.

5.1.2. Registros de estado

Existen 2 registros de estado:

ATDxSTAT0 Posee los siguientes indicadores:

SCF *flag* de secuencia completa. Se activa al terminarse una secuencia, tanto en modo normal como **SCAN**.

CC2-CC0 Contador de resultados: indica en que registro de resultados se colocará la conversión en curso.

ATDxSTAT1 Tiene *flag* de conversión completa para cada registro de resultados (**CCFn**). Cada flag se activará cuando se deposite un resultado en el registro correspondiente.

La puesta a 0 de estos flag depende del estado del bit **ATDxCTL2:AFFC**.

5.1.3. Registros de testeo

Existen 2 registros de testeo **ATDxTESH** y **ATDxTESL**. El único bit interesante es el **ATDxTESL:RST** que resetea el subsistema de manera completa y lo deja en estado inactiva (no baja **ADUP**).

5.1.4. Registros de resultados

Son registros de sólo lectura que contienen los 16 bits del resultado de las conversión, por ello se acceden en dos direcciones: **ADRxnH** bits del 15 al 8 y **ADRxnL** bits del 7 al 0, donde $n = 0, \dots, 7$.