

Introducción al Microcontrolador MC68HC12

Alberto F. Hamilton Castro
Dpto. Ingeniería Informática y de Sistemas
Universidad de La Laguna

25 de septiembre de 2017

Capítulo 1

Introducción

La familia Motorola 68HC12 son una serie de microcontroladores (MCU) de 16 bits realizados con tecnología HCMOS. Centraremos nuestra descripción en el 68HC912D60(A) en una empaquetadura de 112 pines.

Contienen en una única pastilla:

- una CPU (CPU12) compatible con el repertorio del 68HC11 pero con importantes mejoras:
 - direccionamientos indexados mejorados
 - ALU de 20 bits
 - Cola de instrucciones
- Memoria: único mapa de memoria con bus de datos y direcciones de 16 bits (64Kb) contiene (además de los periféricos)
 - 2Kb de RAM
 - 1Kb EEPROM: Borrable y programable por software.
 - 60 Kb flash EEPROM: en 2 módulos de 28Kb y 32Kb respectivamente
- Dos puertos de 8 bits con interrupción de activación y 1 pin de detección de comienzo de **I²C**.
- Temporizador- capturador de 16 bits:
 - 8 líneas que se pueden programar como:
 - capturadores de entrada: temporizar eventos externos. 4 de ellos con *buffer* y filtro.
 - comparadores de salida: producen variaciones de las señales en instantes concretos.
 - Contadores de pulsos: 4 de 8 bits ó 2 de 16 bits.
 - Contador de cuenta atrás de 16 bits con preescalado de 4 bits.
 - 4 contadores de retraso, programables por el usuario, para el filtrado de las señales.
- generadores de PWM :
 - 4 canales con contador de 8 bits ó 2 canales con contador de 16 bits.
 - Control independiente de frecuencia y ciclo de trabajo.
- 2 interfaces seriales asíncronos (SCI)
 - El 0 también implementa el *Motorola Interconnect bus* (MI bus)
- Un interfase periférico serial síncrono (SPI)
- 2x8 canales conversores A/D de 10 bits de resolución.
- Conexión a bus CAN 2.0 de hasta 1Mbps
- Módulo complejo de generación de la señal de reloj.

Otras características

- Todos los periféricos se pueden gestionar mediante interrupciones.
 - Configurado mediante registros de control (distintos de los registros de la CPU) mapeados en una zona contigua del espacio de memoria.
- Permite un modo extendido que permite colocar memoria y periféricos externos:
 - Bus multiplexado de 16 bits de direcciones/ 16 bits de datos (bus ancho)
 - o bus multiplexado de 16 bits de direcciones/ 8 bits de datos (bus estrecho)
- Tiene controles para garantizar correcto funcionamiento
 - Temporizador de vigilancia para el correcto funcionamiento (COP)
 - Monitor de la frecuencia de reloj
 - Interrupción no enmascarable cuando se detecta instrucción ilegal
- Todos los pines comparten su función particular con la de entrada/salida digital.
- Modos de ahorro de energía controlados por software (*WAI* y *STOP*) y recuperables por *hardware*.
- Ayuda al desarrollo de software:
 - Modo de depuración en segundo plano mediante único hilo (BDM)
 - puntos de ruptura *hardware* en el chip.

Como se ve en el diagrama de bloques, muchas de las patillas poseen múltiples funcionalidades. Para cada desarrollo se debe elegir aquellas que se necesitan y programar las funcionalidades de acuerdo con el hardware instalado.

1.1. Descripción de las señales

1.1.1. Descripción de los puertos

Puerto A

Posee dos funcionalidades:

- En modo de chip único:
 - Entrada Salida general: 8 *pines* (PA0-PA7) de entrada/salida (seleccionable individualmente en *DDRA*)
- En modo extendido:
 - Parte alta del bus de direcciones (ADDR8-ADDR15) y bus de datos:
 - parte alta en bus ancho (DATA8-DATA15)
 - ambas partes en bus estrecho.

Puerto B

Posee dos funcionalidades:

- En modo de chip único:
 - Entrada Salida general: 8 *pines* (PB0-PB7) de entrada/salida (seleccionable individualmente en *DDRB*)
- En modo extendido:
 - Parte baja del bus de direcciones (ADDR0-ADDR7) y parte baja del bus de datos (DATA0-DATA7) en modo de bus ancho.

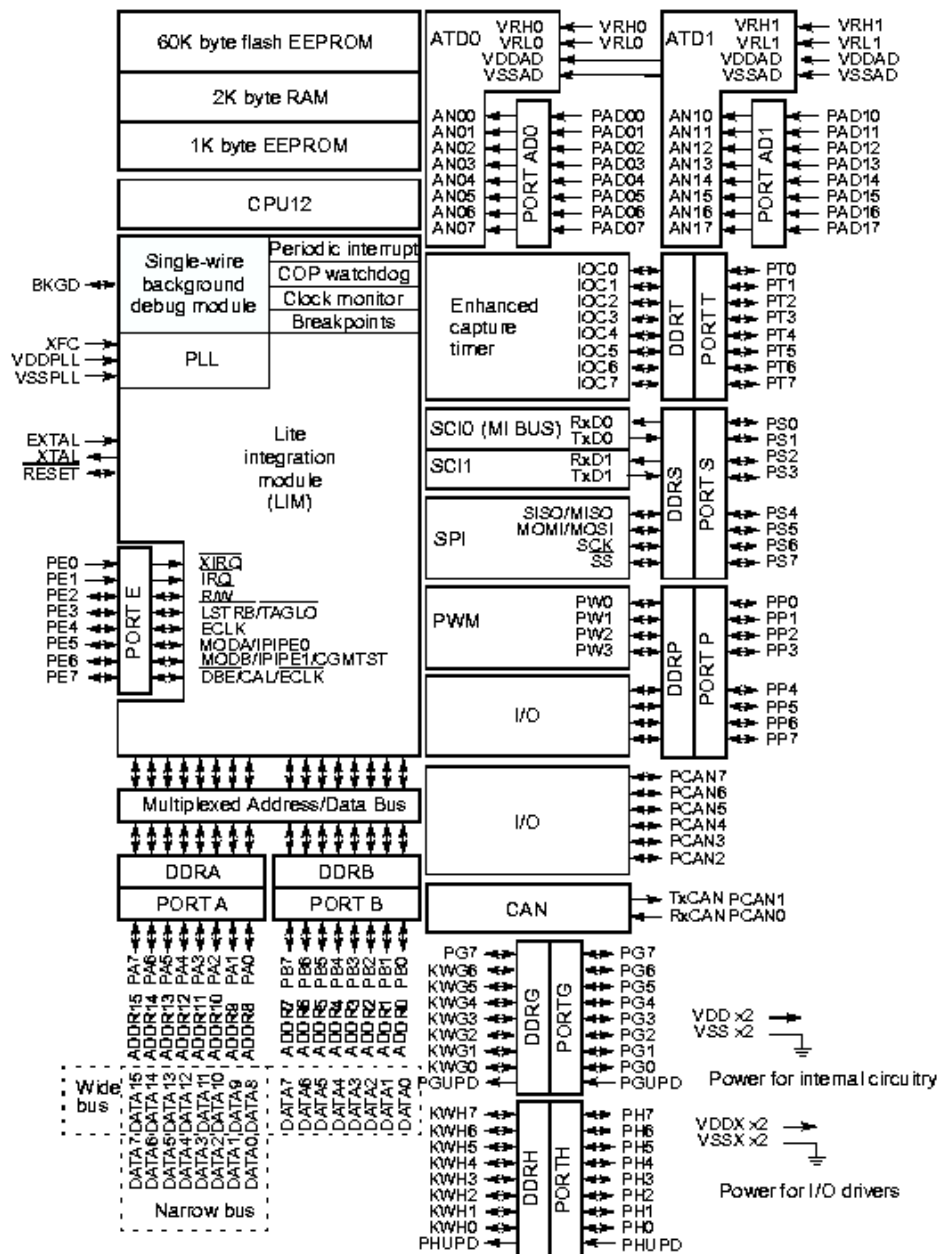


Figura 1.1: Diagrama de bloques del MC68HC912D60A con empaquetadura de 112 patillas

Puerto E

Posee dos funcionalidades:

- Líneas de control, de control del bus y de interrupciones.
- Cuando alguna de esas líneas no se utilizan de esa manera se pueden utilizar con E/S de propósito general (PE0 y PE1 siempre entrada)

Puerto G

Todas sus líneas son E/S generales configurables individualmente (DDRG) .

Para cada línea, si está habilitada su interrupción, genera una interrupción de activación en el flanco de bajada. KWG7 (PG7) no genera interrupción sino que se utiliza para la detección de comienzo de transmisión en el bus I^2C .

Puerto H

Muy similar al puerto G.

Todas sus líneas son E/S generales configurables individualmente (DDRH) .

Para cada línea, si está habilitada su interrupción, genera una interrupción de activación en el flanco de bajada.

Puerto P

De las 8 líneas las 4 superiores (PP4-PP7) son E/S generales configurables individualmente (DDRP).

Las 4 inferiores (PP0-PP3) son las salidas de los 4 canales del sistema PWM (PW0-PW4). Cuando no se están utilizando como salidas PWM pueden usarse como E/S generales configurables individualmente.

Puerto S

Este puerto posee 8 líneas que pueden utilizarse como E/S general bidireccional.

En este puerto están los módulos seriales:

- Comunicación serial asíncrona 0: RxD0, TxD0 (PS0-PS1)
- Comunicación serial asíncrona 1: RxD1, TxD1 (PS2-PS3)
- Comunicación serial síncrona: MISO, MOSI, SCK, \overline{SS} (PS4-PS7)

Puerto T

Posee 8 líneas cada una con dos funcionalidades:

- E/S general generales con dirección configurable individualmente (DDRT).
- Comparador de salida - capturador de entrada - acumulador de pulsos.

Puerto AD0

Posee 8 líneas (PAD00-PAD07) con dos funcionalidades:

- Entrada general.
- Entrada al sistema conversor A/D.

Puerto AD1

Posee 8 líneas (PAD10-PAD17) con dos funcionalidades:

- Entrada general.
- Entrada al sistema conversor A/D.

1.1.2. Otras señales

$\overline{\text{IRQ}}$ Entrada de interrupción enmascarable

$\overline{\text{XIRQ}}$ Entrada de interrupción no enmascarable

$\overline{\text{RESET}}$ Línea bidireccional de reinicio: forzada exteriormente produce *reset* externo; indica al exterior la situación de *reset* por causas internas.

MODA, MODB Su estado durante la inicialización determina el modo de funcionamiento.

XTAL EXTAL Señales para la generación de la señal de reloj: conectando cristal externo ó fuente de reloj externa

ECLK $\overline{\text{ECLK}}$ Señal de reloj del bus interno y su inversa.

BKGD Línea bidireccional de comunicación para la depuración en segundo plano.

$\text{R}/\overline{\text{W}}$ $\overline{\text{LSTRB}}$ $\overline{\text{TAGLO}}$ $\overline{\text{DBE}}$ línea de control del bus externo en modo expandido.

Patillas de alimentación

V_{DD} V_{SS} Tensión y tierra de alimentación general.

V_{DDX} V_{SSX} Tensión y tierra de alimentación para las entradas y salidas.

V_{DDA} V_{SSA} Tensión y tierra de alimentación de los conversores A/D.

V_{RLn} V_{RHn} Voltajes de referencia bajo y alto para cada conversor A/D.

V_{DDPLL} V_{SSPLL} Tensión y tierra de alimentación para el módulo de generación del reloj.