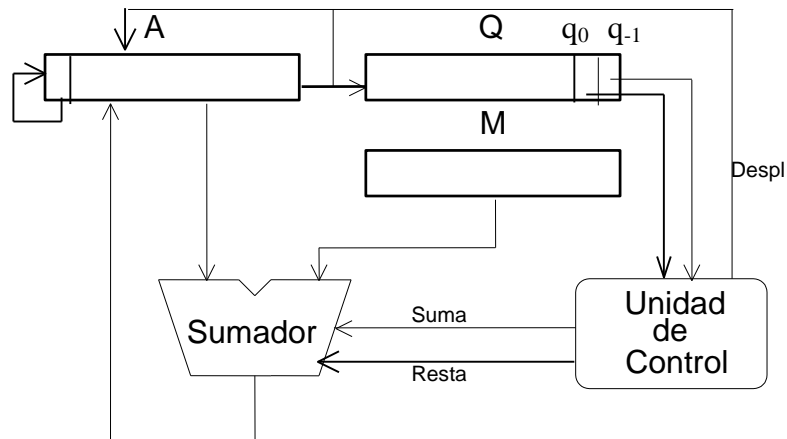


MULTIPLICADOR POR ALGORITMO DE BOOTH

Implementar el código Verilog de la unidad de Control del sistema secuencial de más abajo usando como guía el guión Actividad Previa. Usar $N=4$ bits. Pensar de antemano los estados, las transiciones y testear la unidad de control en un testbench con un caso simulado.

MULTIPLICACIÓN EN COMPLEMENTO A DOS DE BOOTH DE N BITS

Para multiplicar dos números de n bits con este algoritmo, se dispone de un registro A, un registro M y un sumador de n bits cada uno junto con un registro Q de $n+1$ bits (se añade un bit adicional por la derecha q_{-1}). Inicialmente en Q se coloca el multiplicador (con q_{-1} a cero), en M el multiplicando y A se pone a cero. Al final, el resultado de $2n$ bits queda en los registros A y Q. Este algoritmo falla para un multiplicando de valor $-2^{(n-1)}$ ya que desde que sea complementado para restar producirá overflow. Alternativamente, se puede añadir un bit más a A, M y al sumador de forma que se evite esta situación. En M se colocaría inicialmente el multiplicando teniendo cuidado de extenderlo en signo a $n+1$ bits como en el caso de Robertson



```
Repetir n veces
{
  case {
    Si  $q_0q_{-1}=01$ , entonces {Sumar ( $A \leftarrow A+M$ )}
    Si  $q_0q_{-1}=10$ , entonces {Restar ( $A \leftarrow A-M$ )}
  }
  Desplazar AQ a la derecha (despl. aritmético)
}
```