

Организация памяти

Память

- Основной единицей хранения данных в памяти является двоичный разряд - **бит**.
- Набор бит объединяется в ячейку памяти – байт
- Байты объединяются в слова
- 16 – разрядное слово (двойное слово -2 байта)
- 32 – разрядное слово (4 байта)
- 64 – разрядное слово (8 байт)
- Каждая ячейка имеет номер, который называется **адресом**.

Память

- Память выполняет три операции:
- а) хранение информации;
- б) запись информации;
- в) чтение информации.

Характеристики памяти

- **Емкость памяти** - определяет максимальное количество хранимой в памяти информации (в битах, байтах, килобайтах, мегабайтах, гигабайтах, терабайтах и т.д.)
- **Время доступа к памяти**
Время доступа при записи / чтении складывается из времени поиска ячейки памяти по заданному адресу и времени записи/чтения в ячейку.

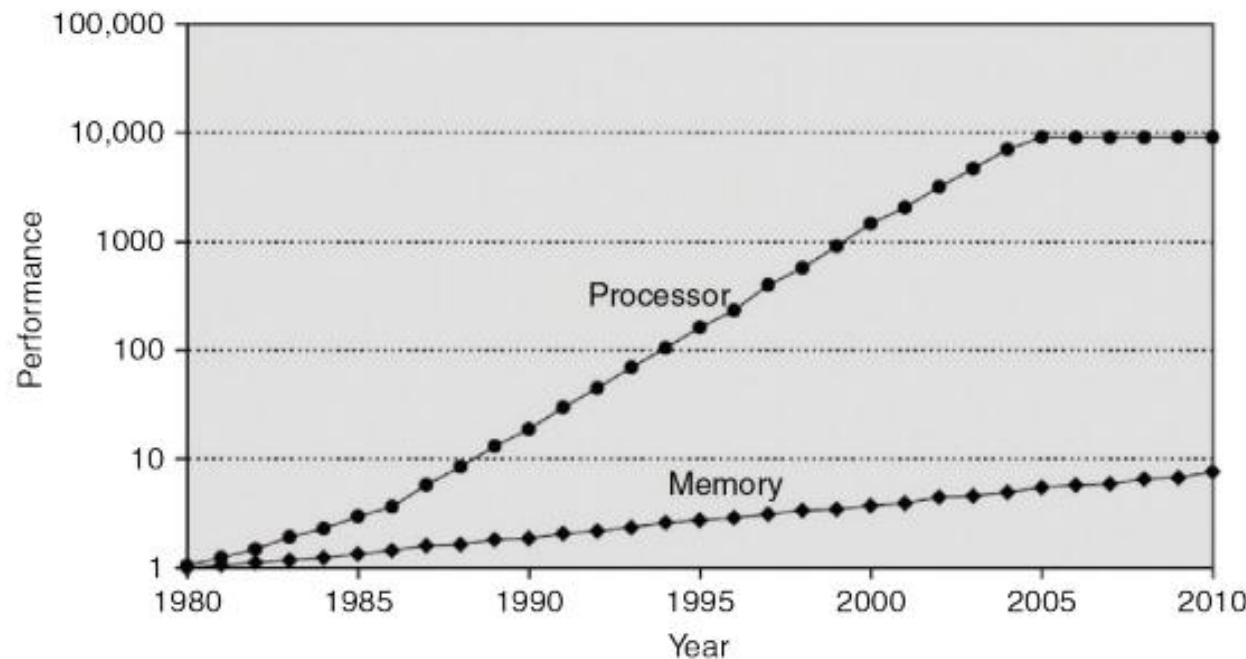
$$t_{\text{обращ.зап}} = t_{\text{поиска}} + t_{\text{записи}}$$

$$t_{\text{обращ.чтен}} = t_{\text{поиска}} + t_{\text{чтения}}$$

Характеристики памяти

- **Пропускная способность** шины памяти (Bandwidth)
 - Количество данных, переданных памятью по шине памяти за единицу времени (КБ, МБ, ГБ /сек.)
- **Стоимость** памяти - стоимостью хранения одного бита информации.

Сравнение производительности памяти и процессора

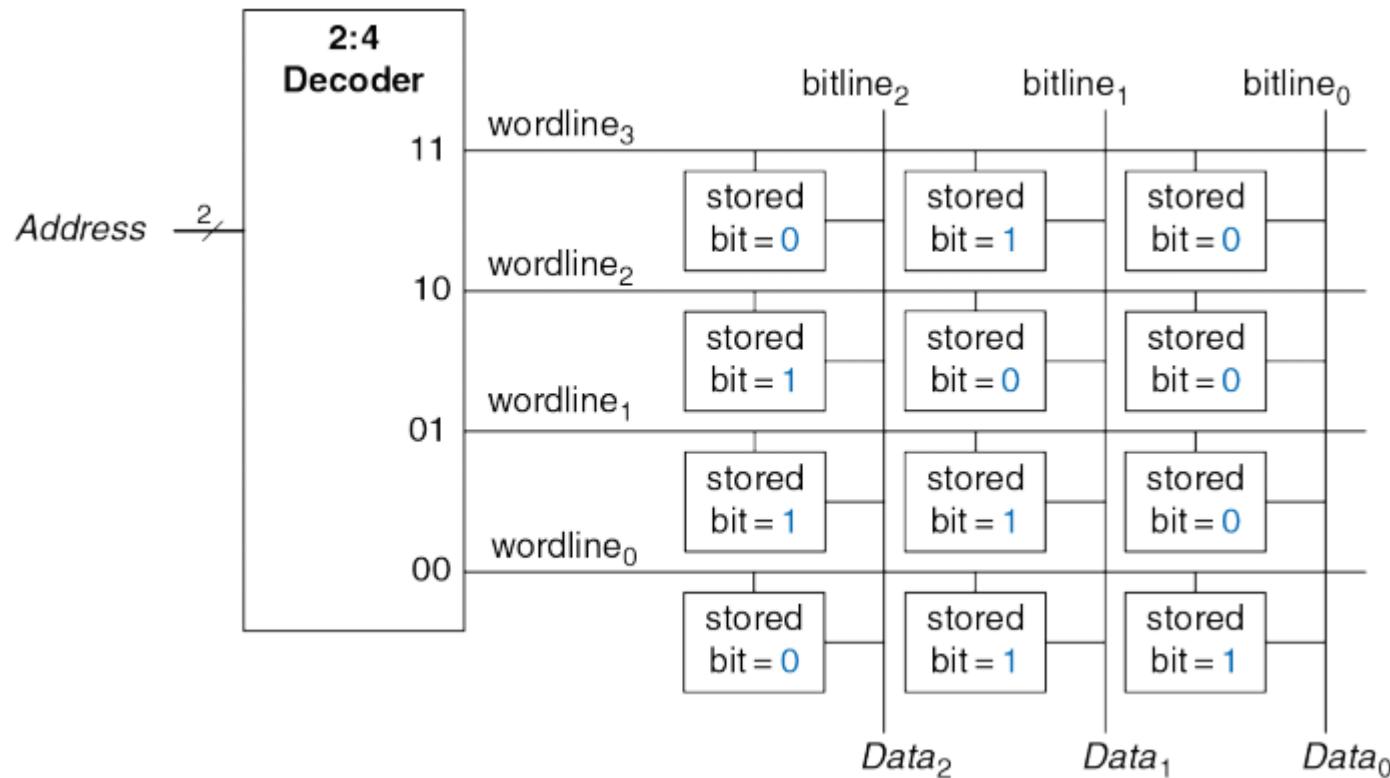


Разрыв в производительности процессоров и памяти.

Организация микросхем памяти

Байт ориентированная память

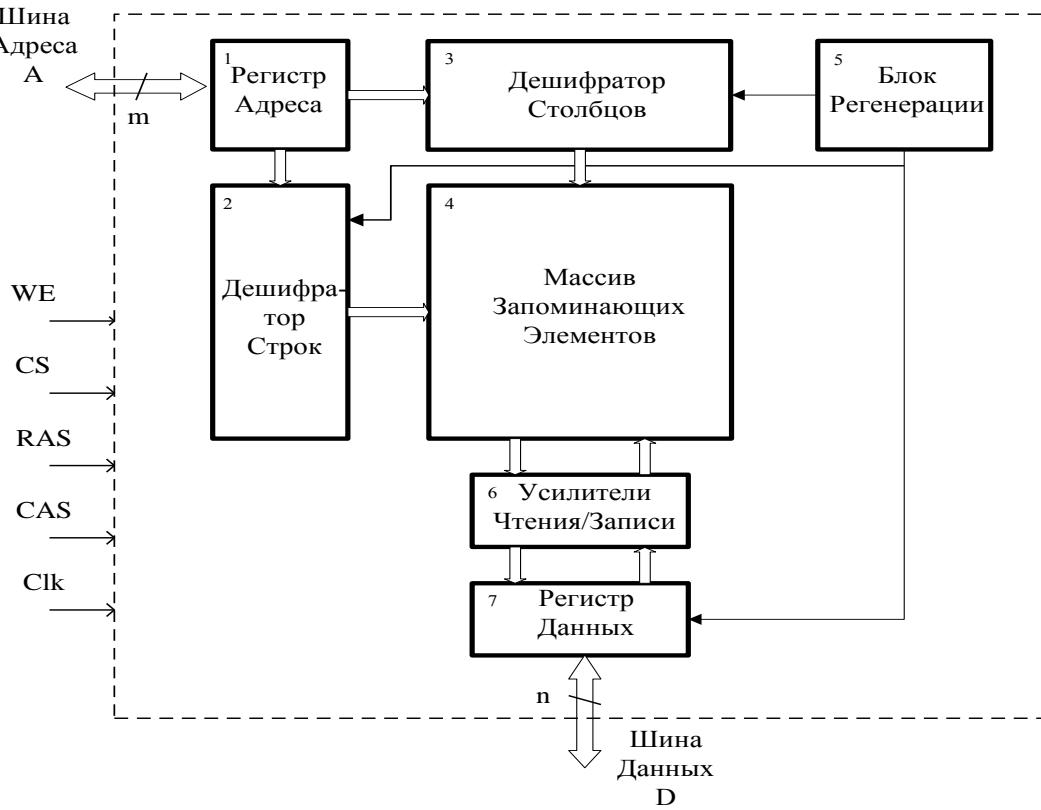
- Матрица памяти (прямоугольная)



| | | | |
|----|--------|------|----|
| 8 | A0 | D0 | 9 |
| 7 | A1 | D1 | 10 |
| 6 | A2 | D2 | 11 |
| 5 | A3 | D3 | 13 |
| 4 | A4 | D4 | 14 |
| 3 | A5 | D5 | 15 |
| 2 | A6 | D6 | 16 |
| 1 | A7 | D7 | 17 |
| 23 | A8 | | |
| 22 | A9 | | |
| 19 | A10 | | |
| 21 | A11 | | |
| 18 | CE | | |
| 20 | OE/NPP | | |
| | | 2732 | |

- Ячейки выбираются построчно

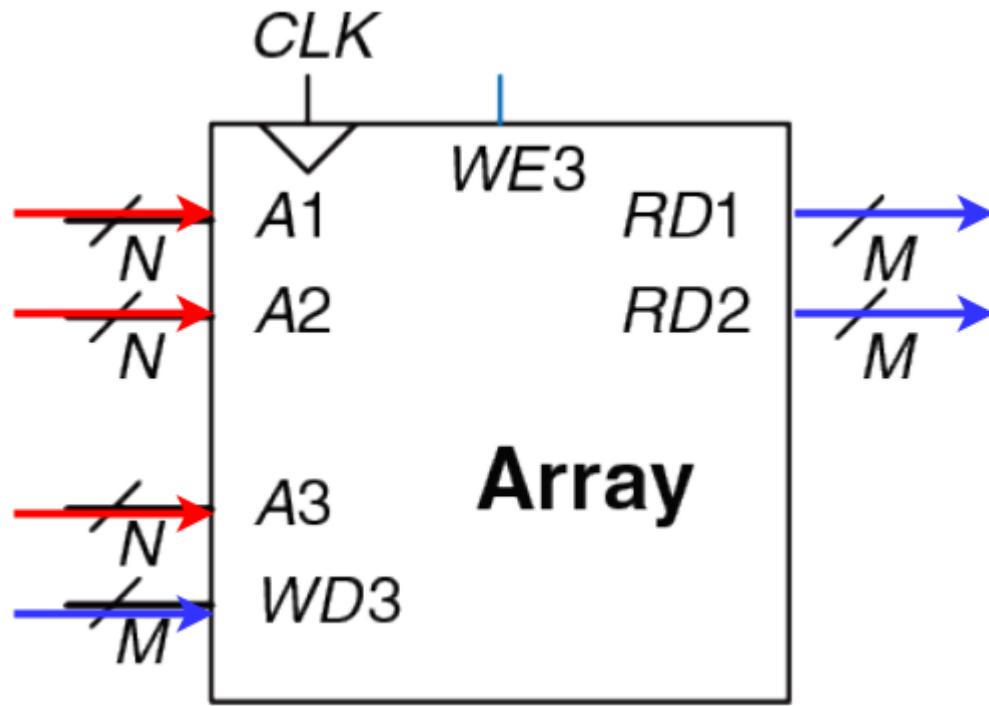
Бит/байт ориентированная память (квадратная)



Ячейка может хранить
один или несколько бит

- Ячейка выбирается на пересечении строки и столбца
- Для уменьшения количества выводов один и тот же адрес на линиях адреса сначала по сигналу **RAS** (row address strobe) дешифрируется как адрес строки, а потом по сигналу **CAS** (column address strobe - строб адреса столбца) как адрес столбца.
- Данные записываются/считываются по линии столбцов

Многопортовая память

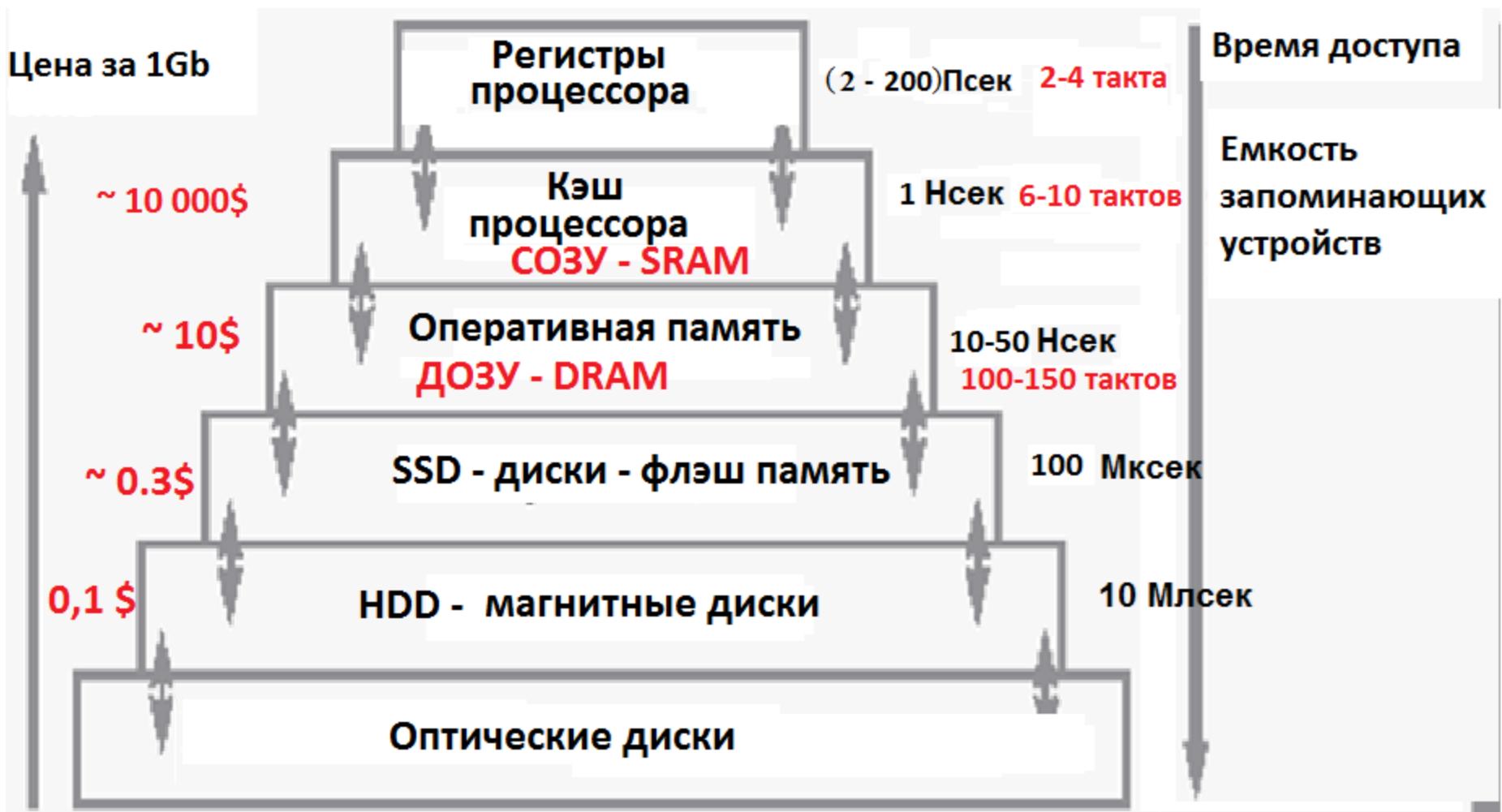


- RD1 – данные считанные по адресу A1
- RD2 – данные считанные по адресу A2
- WD3 – данные записываемые по адресу A3

Типы памяти

- Статическая память (СОЗУ);
- Динамическая память (ДОЗУ);
- Энергонезависимая память :
 - Однократно программируемая;
 - Многократно программируемая память;
- Память на жестких дисках;
- Память на оптических дисках.

Иерархия памяти

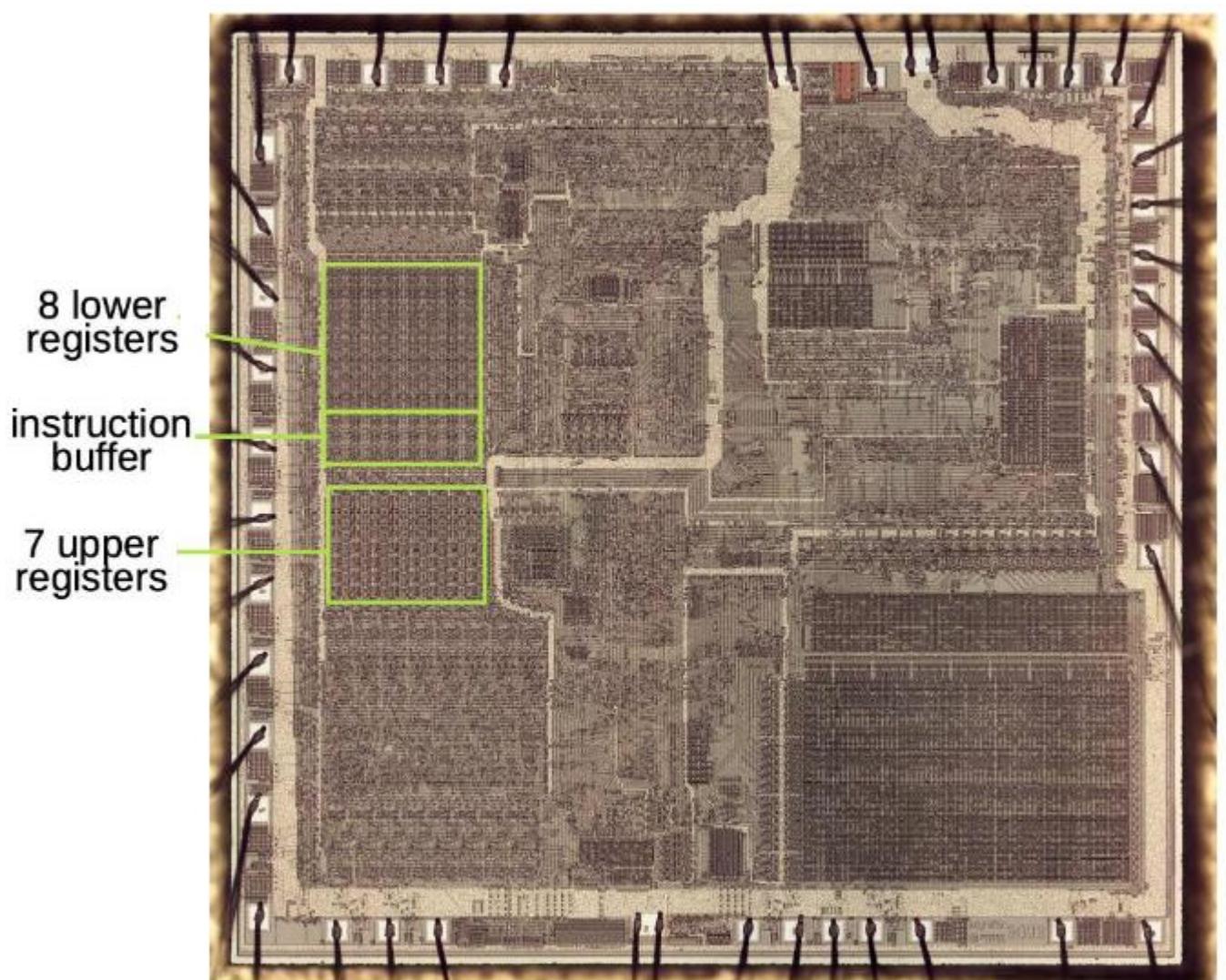


Задержка в регистрах процессора зависит от тактовой частоты

Регистры процессора

- Работают на частоте процессора
- В качестве запоминающего элемента используются триггеры с количеством транзисторов от 7 до 20
- Объем регистровой памяти не большой и они располагается ближе к ядру процессора, поэтому работает быстрее кэша.

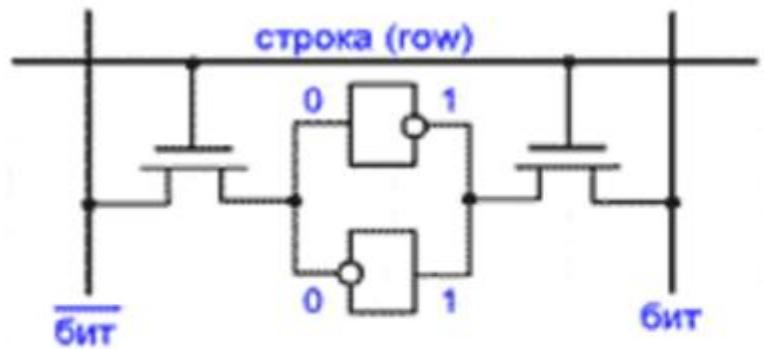
Регистры x8086



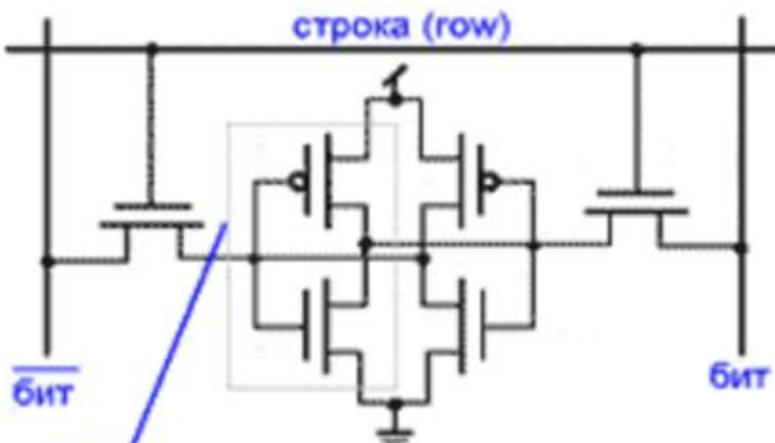
Площадь и задержки

| Тип памяти | Количество транзисторов в запоминающем элементе | Задержка |
|------------------|--|----------|
| Триггер | ~20 | Малая |
| Статическое ОЗУ | 6 | Средняя |
| Динамическое ОЗУ | 1 | Большая |

Статическая память - СОЗУ



К усилителю записи/чтения



К усилителю записи/чтения

- Элемент – асинхронный RS-тиггер - защелка
- Содержит 6 транзисторов

КЭШ



Один раз прочитать блок из медленной оперативной памяти в кэш, а потом много раз обращаться к быстрому кэшу.

КЭШ

- Кэш должен предсказать, какие данные понадобятся процессору, и выбирать их из оперативной памяти
- Для предсказания кэш использует временную и пространственную локальность
- **Временная локальность:** процессор, вероятно, еще раз обратится к тем данным, которые он недавно использовал поэтому эти данные переписываются из ОЗУ в кэш
- **Пространственная локальность:** при обращении процессора к каким либо данным ему, вероятно, понадобятся и расположенные рядом данные .
- Поэтому, читая одно слово данных из памяти, он заодно читает и группу соседних слов.

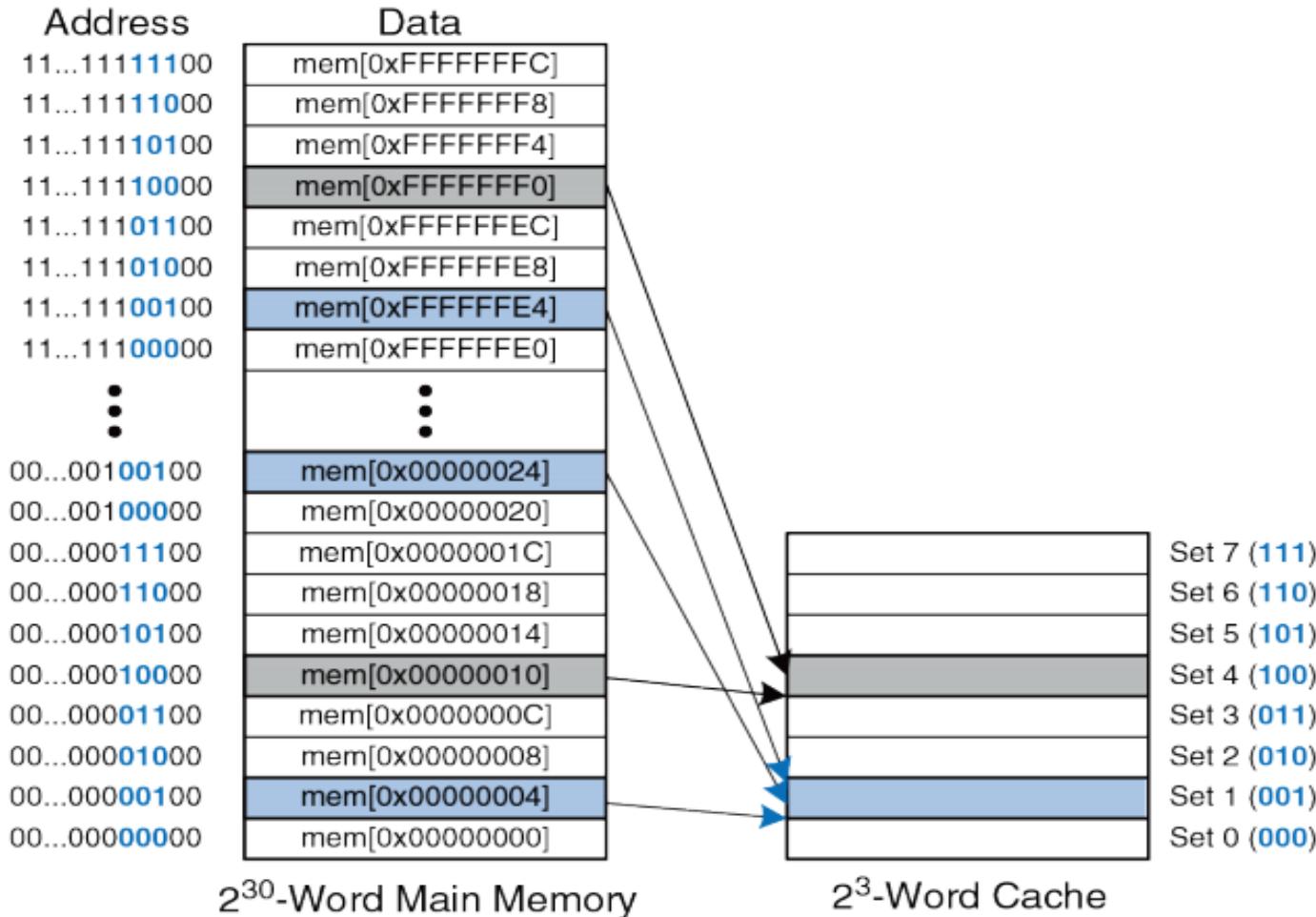
КЭШ

- Память хранит данные словами (например по 32 бита)
- **Строка кэша** - группа слов считываемых в кэш за одно обращение ОП.
- Кэш разбит на **наборы (Set)**, каждый из которых состоит из одной или нескольких **строк кэша**.
- Взаимосвязь между адресом слова в оперативной памяти и адресом этих данных в кэше называется **отображением**.
- Каждый адрес памяти всегда отображается в один и тот же набор кэша.

Типы кэш

- Кэш-память классифицируется по числу строк в наборе.
 - *Кэш прямого отображения* (англ.: direct mapped cache) каждый набор содержит только одну строку
 - *Наборно-ассоциативный кэш* - каждый набор содержит N строк.
 - *Полностью ассоциативный кэш* имеет только один набор ($S=1$), состоящий из B строк, где $B = C/b$
 - C – емкость кэш-памяти
 - b - длина строки кэша

Кэш прямого отображения



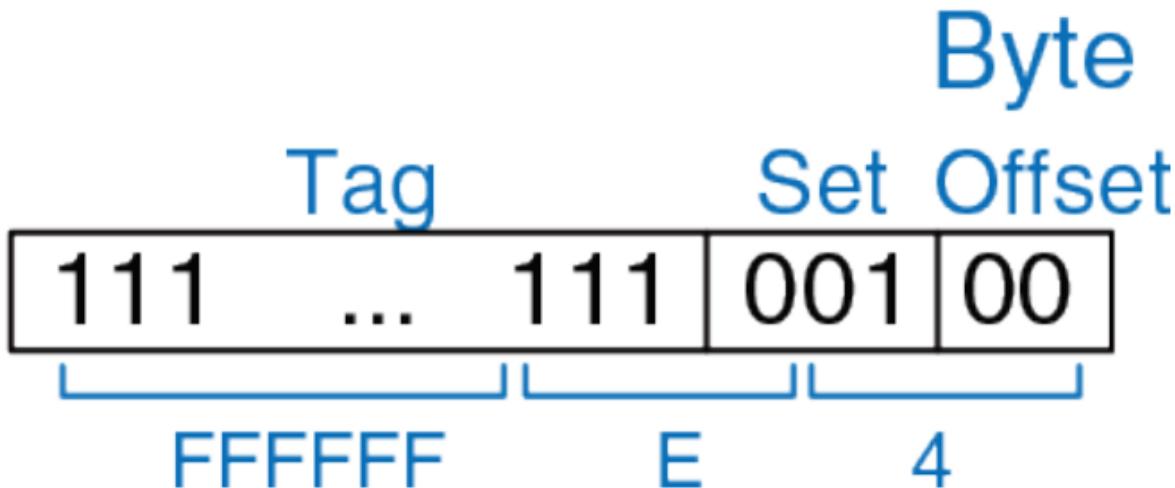
Отображение оперативной памяти на кэш прямого отображения

Каждая **восьмая** ячейка ОП отображается на один и тот же набор кэша

КЭШ прямого отображения

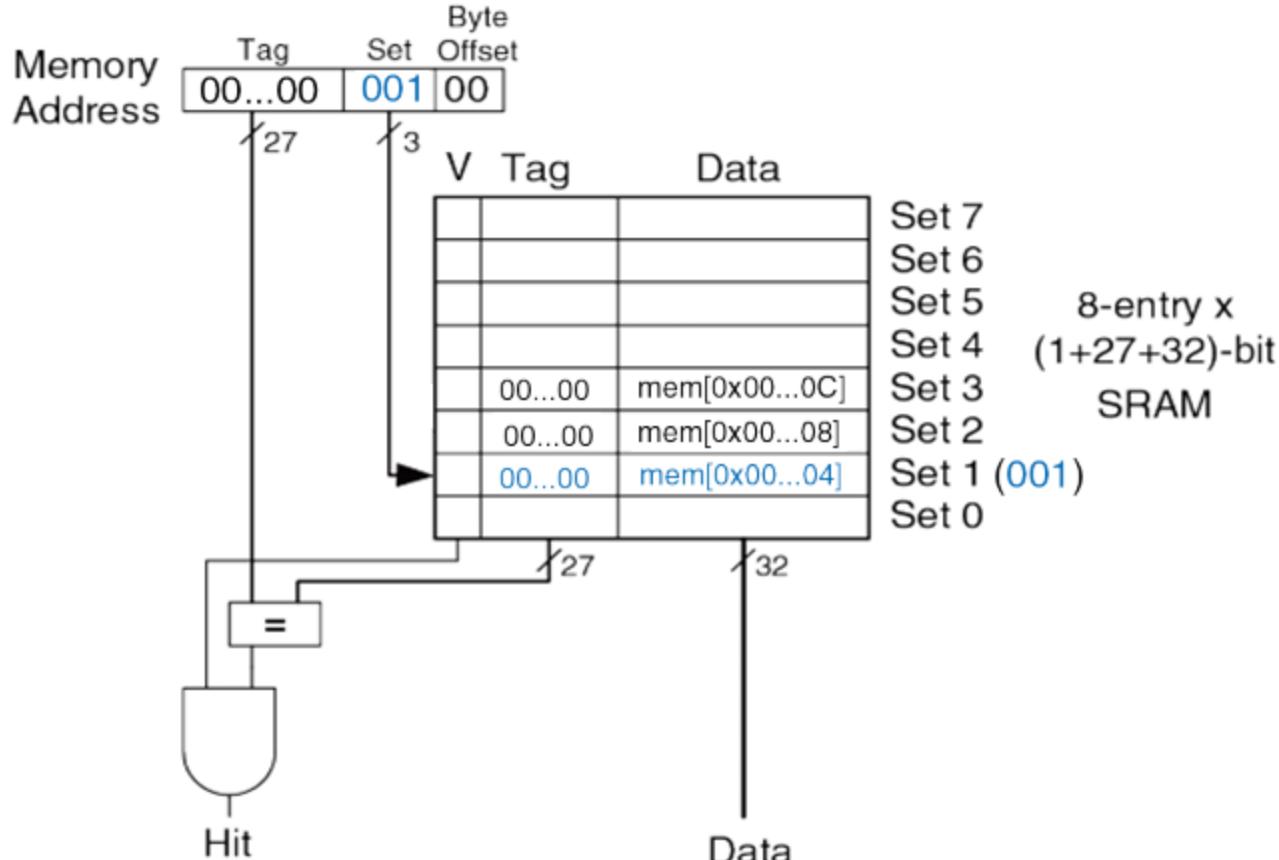
- В кэш-памяти прямого отображения каждый набор содержит только одну строку кэша
- Оперативная память условно поделена на блоки, равные длине строки кэша, а кэш память также поделена на наборы такого же размера.
- Для кэша из 8-ми слов первые 8 блоков памяти отображаются в 8 наборов кэша, потом вторые 8 блоков ОП отображаются в те же наборы кэша
- При этом может быть ситуация когда несколько блоков памяти отображаются в один и тот же набор кэша.

Формат адреса обращения к кэш



- **Set** – номер набора
- **Offset** – номер байта внутри набора
- **Tag** – Признак (оставшаяся старшая часть адреса)
 - служит для определения какой из возможных адресов блоков ОП отображен в кэш.
 - Заносится при записи строки кэша.

Схема выборки данных



Кэш прямого отображения с восемью наборами

V- (*valid bit*) - бит достоверности блока в кэше

V=1 – данные корректны (копия данных в кэше и в ОП совпадают)

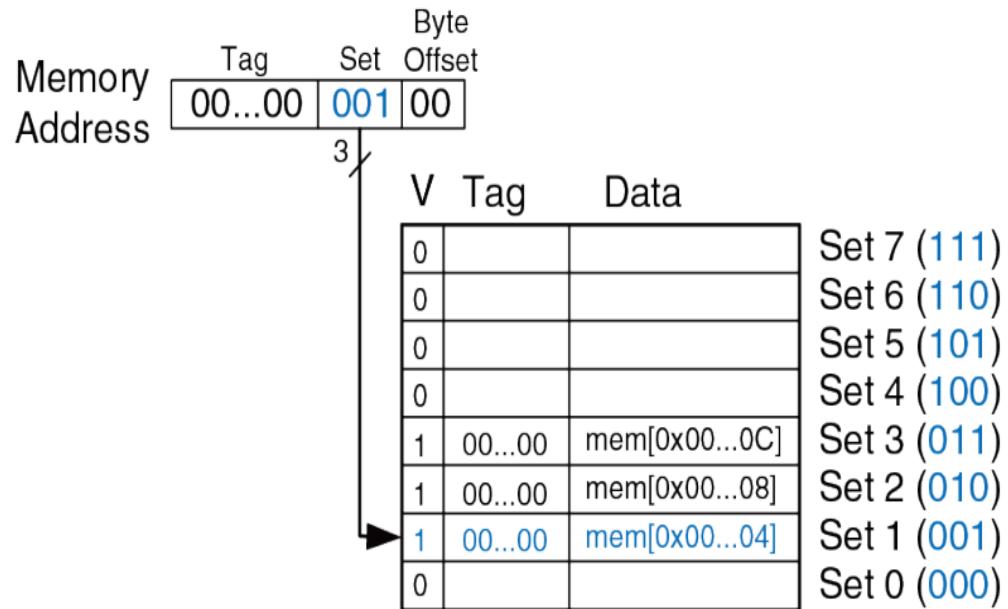
V=0 – данные не корректны (копия данных в кэше и в ОП не совпадают)

Старшая часть адреса обращения сравнивается с признаком , хранимым вместе со строкой кэша

Пример работы кэша

```
addi $t0, $0, 5
loop: beq $t0, $0, done
      lw   $t1, 0x4($0)
      lw   $t2, 0xC($0)
      lw   $t3, 0x8($0)
      addi $t0, $t0, -1
      j    loop
```

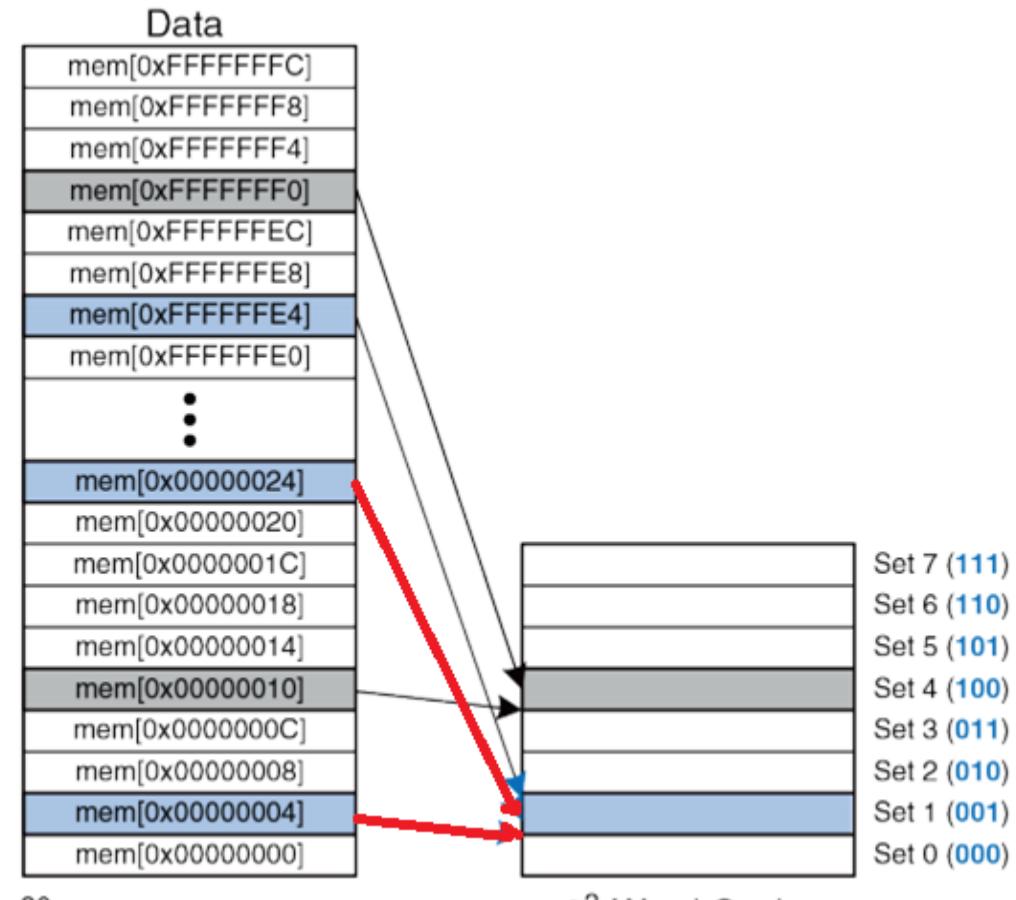
done:



- Всего в цикле 15 обращений к памяти по адресам 0x4, 0xC, 0x8.
- При первом проходе цикла данных в кэше нет - 3 промаха
- Данные подгружаются в кэш и в остальные проходы процессор обращается в кэш
- Процент промахов $3/15 = 20\%$

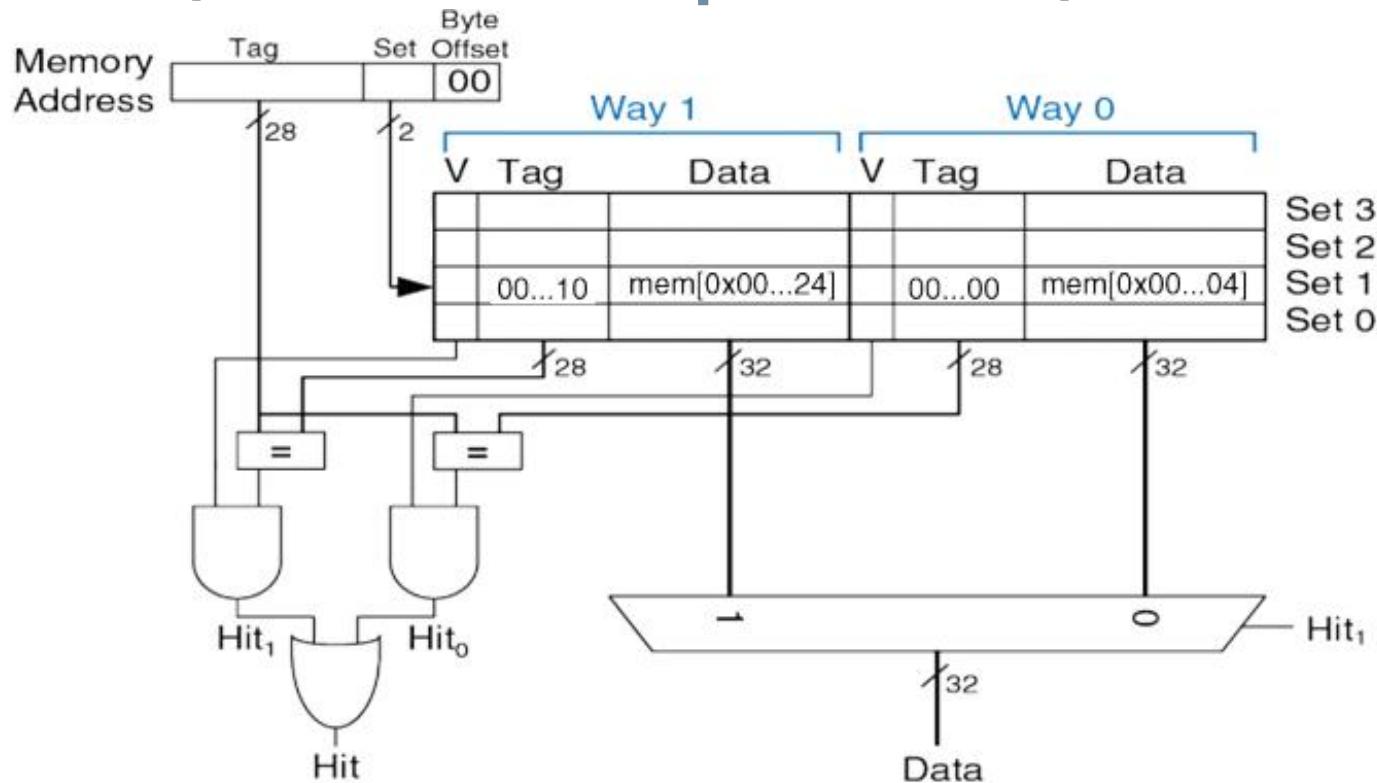
Пример работы кэша

```
addi $t0, $0, 5  
loop: beq $t0, $0, done  
      lw   $t1, 0x4($0)  
      lw   $t2, 0x24($0)  
      addi $t0, $t0, -1  
      j    loop  
  
done:
```



- Две команды обращаются в один и тот же набор кэша
- 100% промахов

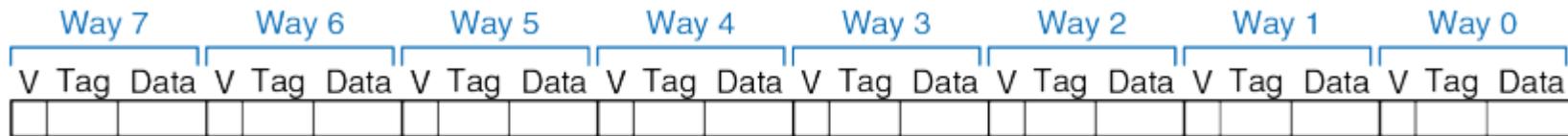
Многосекционный наборно-ассоциативный кэш



Двухсекционный наборно-ассоциативный кэш

- Кэш состоит из 4-х наборов, каждый из которых вмещает две секции(строки).
- При отображении двух адресов на один набор кэша конфликтов не возникает, так как каждый адрес ОП будет отображен в одну из секций набора.
- При чтении происходит сравнение адреса обращения с тэгом сразу во всех секциях набора кэша (**ассоциативный поиск по признаку**)

Полностью ассоциативный кэш



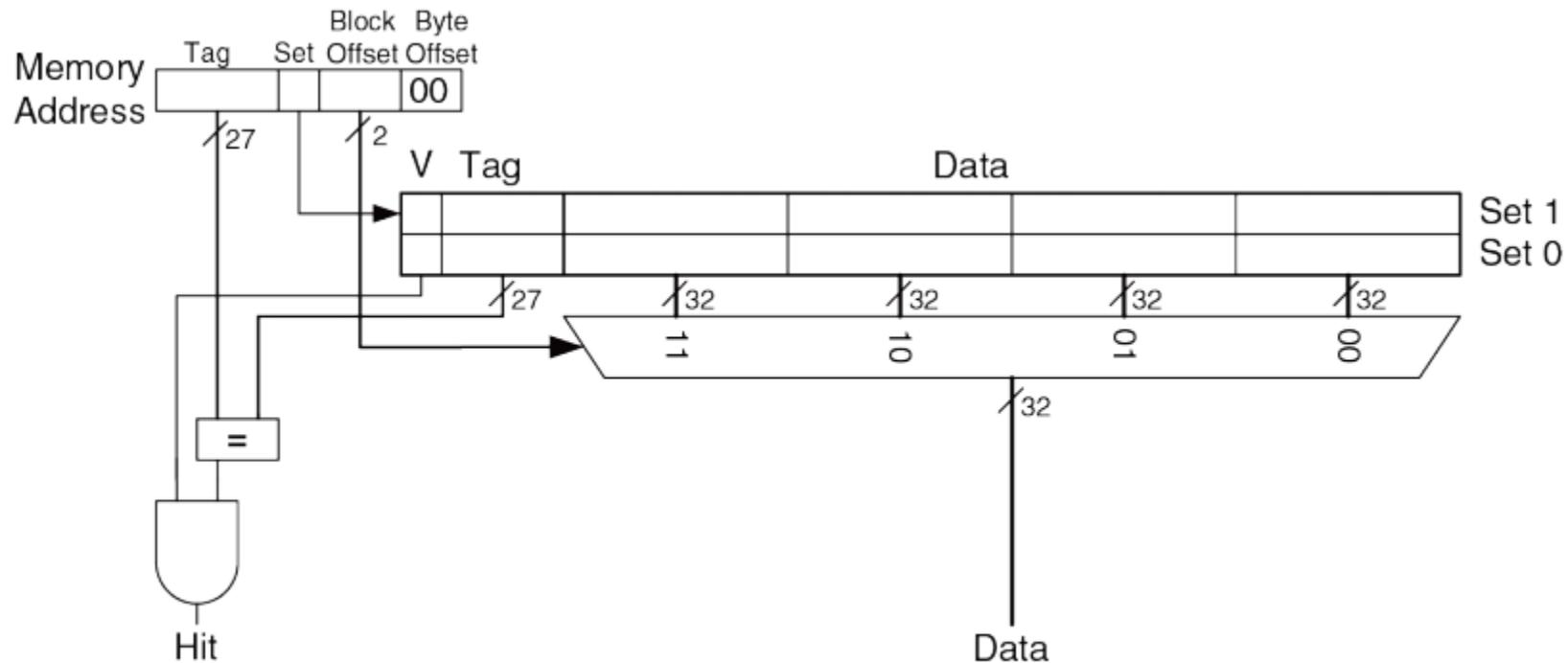
Полностью ассоциативный кэш с восемью строками

- Один набор из B строк/секций, где $B = C/b$
 - C – это емкость кэш-памяти
 - b - длина строки кэша
- Кэш состоит из 8 секций/секций
- Адрес памяти может быть отображен в строку любой из этих секций
- Минимальное количество конфликтов
- Поиск параллельно во всех секциях
- Большие аппаратные затраты (используется в маленьких кэшах)

Запись в кэш

- Сквозная запись (write-through)
 - Пословная запись
 - Слова данных, записываемые процессором в кэш, одновременно записываются и в оперативную память.
 - Недостаток - большее количество операций записи в медленную оперативную память
 - Отложенная запись (write-back).
 - Построчная запись
 - У каждой строки есть бит изменения (D - dirty). Если в строку производилась запись, то этот бит равен 1, в противном случае он равен 0.
 - Слова данных записываются процессором сначала в строку кэша, а потом измененные строки (содержат несколько слов) переписываются в ОП при вытеснении.
 - Используется чаще

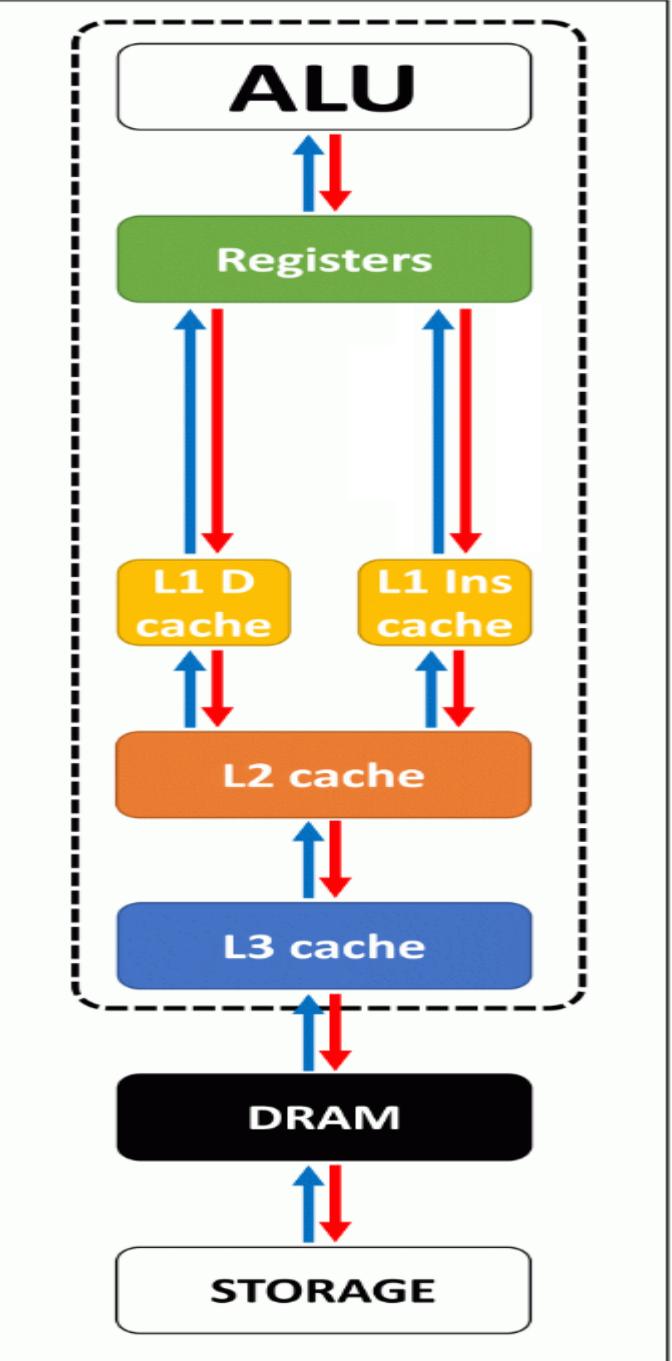
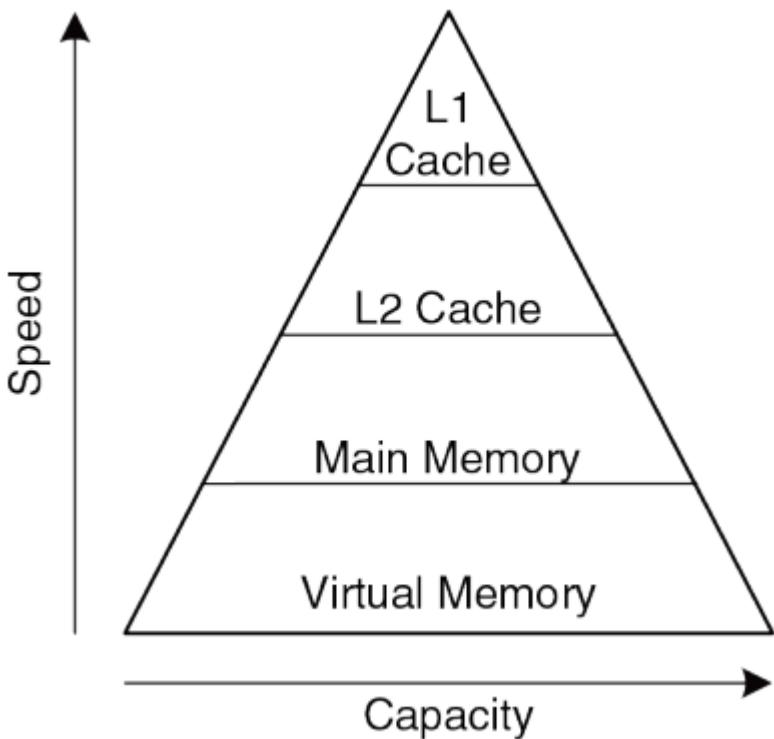
Пространственная локальность



Кэш прямого отображения с длиной строки в 4 слова

- За одно обращение к памяти считывается несколько слов(блоков) памяти

Многоуровневые кэши

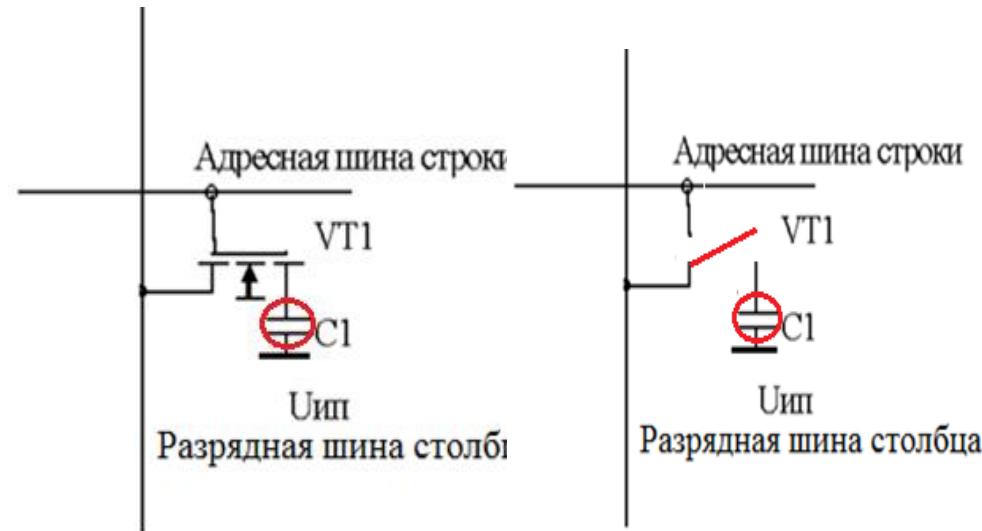
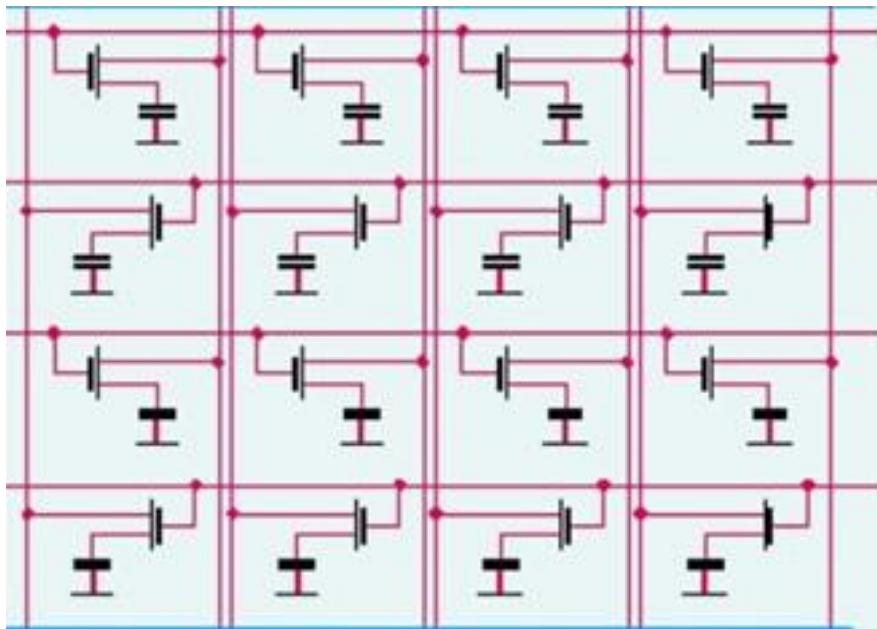


- Чем больше кэш, тем он медленнее
- Используют многоуровневые кэши

Динамическая память DDRAM

Double Data Rate Synchronous Dynamic Random Access Memory — синхронная динамическая память с произвольным доступом и удвоенной скоростью передачи

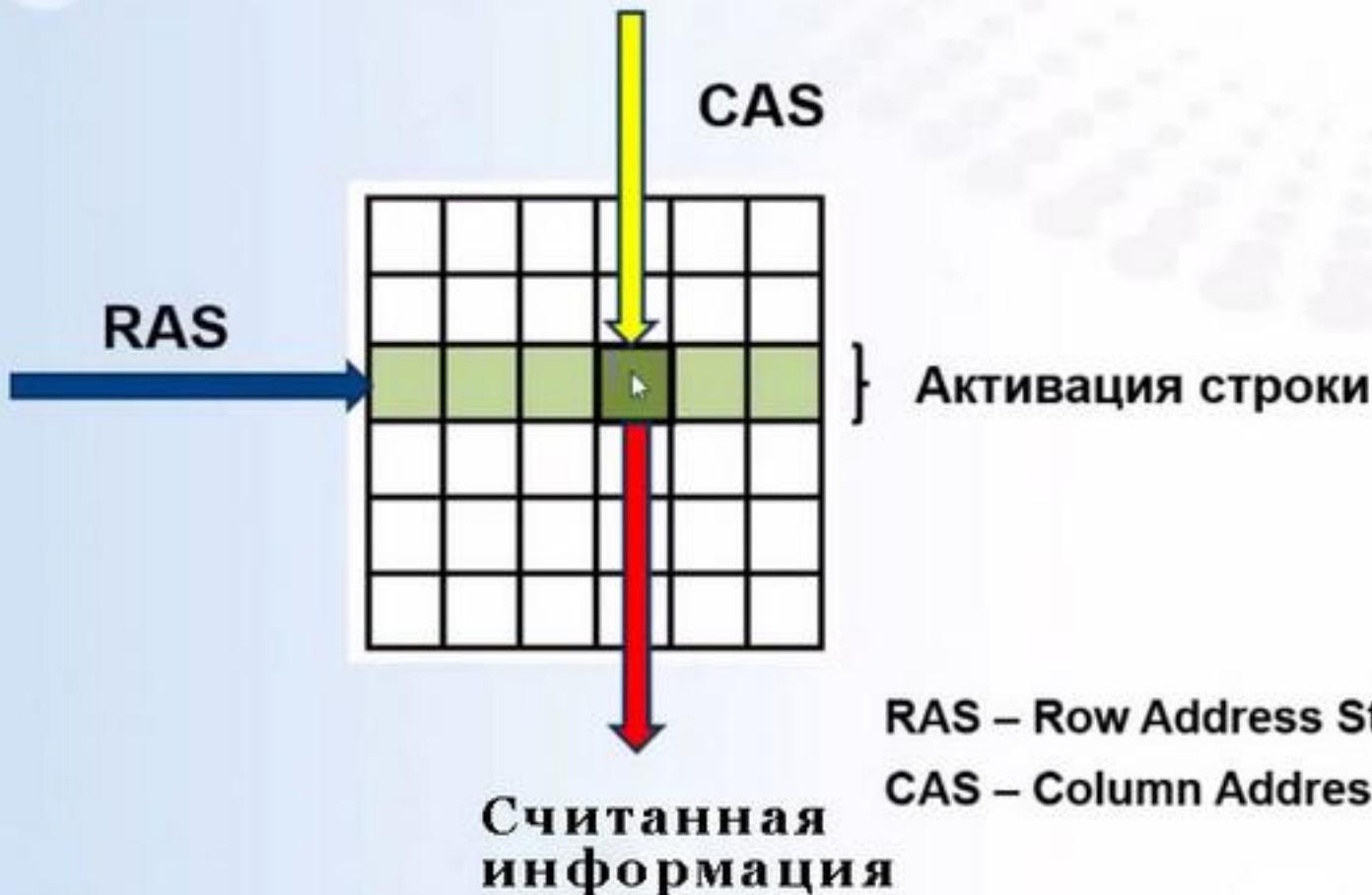
Динамическая память



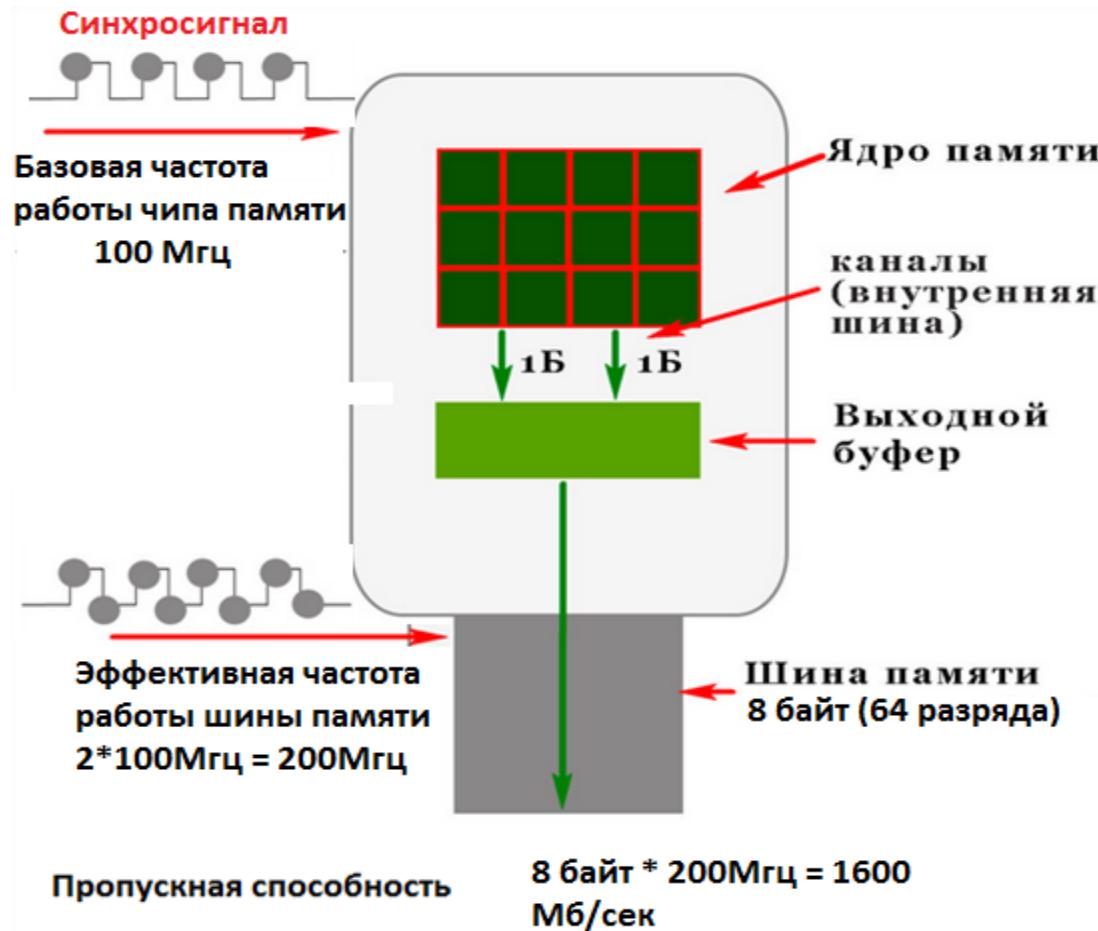
- **Матрица** запоминающих элементов (конденсаторов)
- Низкая стоимость. (**один транзистор**)
- Низкое быстродействие (конденсатор надо периодически подзаряжать специальными циклами **регенерации**. Во время подзарядки обращение к ячейке не возможно).
- Ограничение на объем. Пока последние ячейки регенерируются, первые уже надо регенерировать повторно.

Структура динамической памяти

Микросхема памяти – матрица запоминающих ячеек



Эффективная частота и пропускная способность



Память типа DDR

Эффективная частота = 2 * базовая частота потому, что данные передаются по внешнейшине памяти по переднему и заднему фронту синхросигнала

Эффективные и базовые частоты памяти

- **DDR** — 200/266/333/400 МГц (тактовые частота 100/133/166/200 МГц).
DDR2 — 400/533/667/800/1066 МГц (200/266/333/400/533 МГц тактовая частота).
- **DDR3** — 800/1066/1333/1600/1800/2000/2133/2200/2400 МГц (400/533/667/800/1800/1000/1066/1100/1200 МГц тактовая частота).
- **DDR4** — 2133/2400/2666/2800/3000/3200/.
- **DDR5** — 4800-6400 МГц(2400/3200)

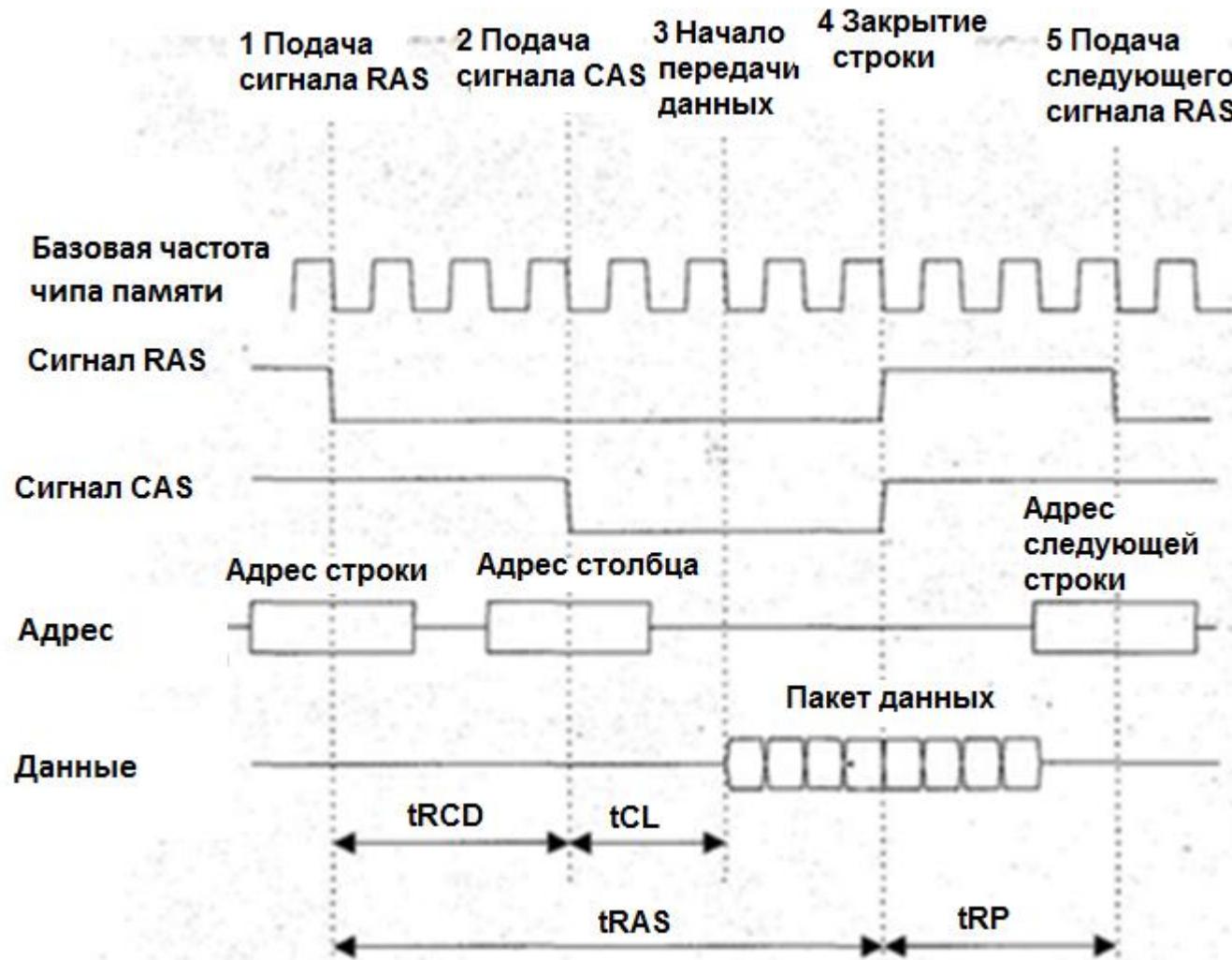
DDR скорость передачи шины памяти

DDR3 SDRAM – третье поколение памяти DDR.

| Стандарт памяти DDR3 SDRAM | Рабочая (базовая) частота шины, МГц | Тип модуля: 240 pin DDR3 SDRAM DIMM | Пропускная способность шины, Мбайт/с |
|----------------------------|-------------------------------------|--|--------------------------------------|
| DDR3-800 | 800 (400) | PC3-6400 | 6400 |
| DDR3-1067 | 1067 (533) | PC3-8500 | 8500 |
| DDR3-1333 | 1333 (667) | PC3-10600 | 10600 |
| DDR3-1600 | 1600 (800) | PC3-12800 | 12800 |
| DDR3-1866 | 1866 (933) | PC3-14900 | 14900 |
| DDR3-2133 | 2133 (1066) | PC3-17000 | 17000 |

- 6400Мбайт = 800*8байт(64бита внешняя шина)

Диаграмма работы динамической памяти



Тайминг памяти - количество тактов базовой частоты матрицы памяти между фронтами сигналов управления памятью

Основные тайминги динамической памяти

- Четыре основных тайминга, :
 - **tCL (time of CAS Latency)** - задержка между сигналом CAS и выдачей данных (записью данных) из памяти;
 - **-tRCD (time of RAS to CAS Delay)** - задержка от импульса RAS до импульса CAS;
 - **- tRP (time of Row Precharge)**,- задержку между завершением обработки одной строки и началом обработки другой;
 - **- tRAS (time of Active to Precharge Delay)** - длительность сигнала RAS. Время задержки обработки одной строки.
- Так для тайминга 10-11-10-30 DDR3 1866 время задержки выдачи данных можно определить:
 - $T = 1/933 = 1,07 \text{ нсек}$
 - $tCL = 10 * 1.07 = 10.7 \text{ нсек}$

Тайминги памяти



Тайминги динамической памяти

- Идеально – все единицы.
- Для памяти с большей частотой внешней шины(DDR4 и DDR5) памяти значения таймингов будет выше.
- Выбирают минимальное значение в своем типе.
- Некоторые версии BIOS позволяют ручную настройку таймингов.
- Если используются разные планки памяти, желательно чтобы тайминги были одинаковы.

Эволюция динамической памяти

- **SDRAM**-(*Synchronous Dynamic Random Access Memory*) динамическое ОЗУ, работало в синхронном режиме с контроллером памяти.
- **Double Data Rate SDRAM**- синхронная динамическая память с удвоенной частотой передачи данных:
 - Обмен данными по внешней шине по переднему и заднему фронту тактового импульса.
 - Разрядность внешней шины данных стала 64 бита, а внутренней (от чипа до буфера 128)
 -

Эволюция динамической памяти

- Double Data Rate 2 SDRAM
- Double Data Rate 3 SDRAM
- Double Data Rate 4 SDRAM
- Double Data Rate 5 SDRAM -
-
- Изменялось:
- базовая частота работы чипа памяти и эффективная частота и разрядность внешней шины данных
- Понижение напряжения питания и энергопотребления

DDR

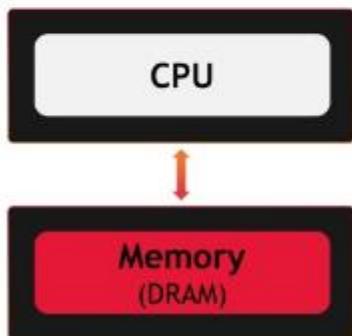
| Тип | Пропускная способность | Напряжение | Предварительная выборка | Год |
|------|------------------------|------------|-------------------------|------|
| SDR | 1.6 ГБ/с | 3.3 | 1 | 1993 |
| DDR | 3.2 ГБ/с | 2.5 | 2 | 2000 |
| DDR2 | 8.5 ГБ/с | 1.8 | 4 | 2003 |
| DDR3 | 8.5 ГБ/с | 1.8 | 8 | 2007 |
| DDR4 | 25.6 ГБ/с | 1.2 | 8 | 2017 |
| DDR5 | 32 ГБ/с | 1.1 | 8/16 | 2019 |

Пути повышения производительности памяти

Big Data Processing

AI-Oriented Solution

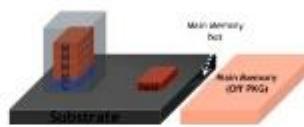
Current



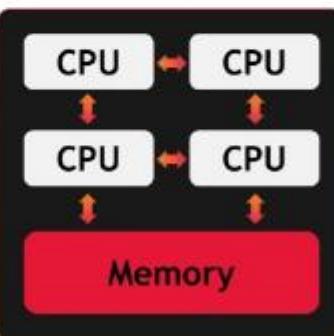
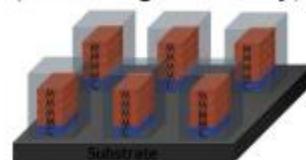
HBM
(High Bandwidth Memory)



PNM
(Processing Near Memory)



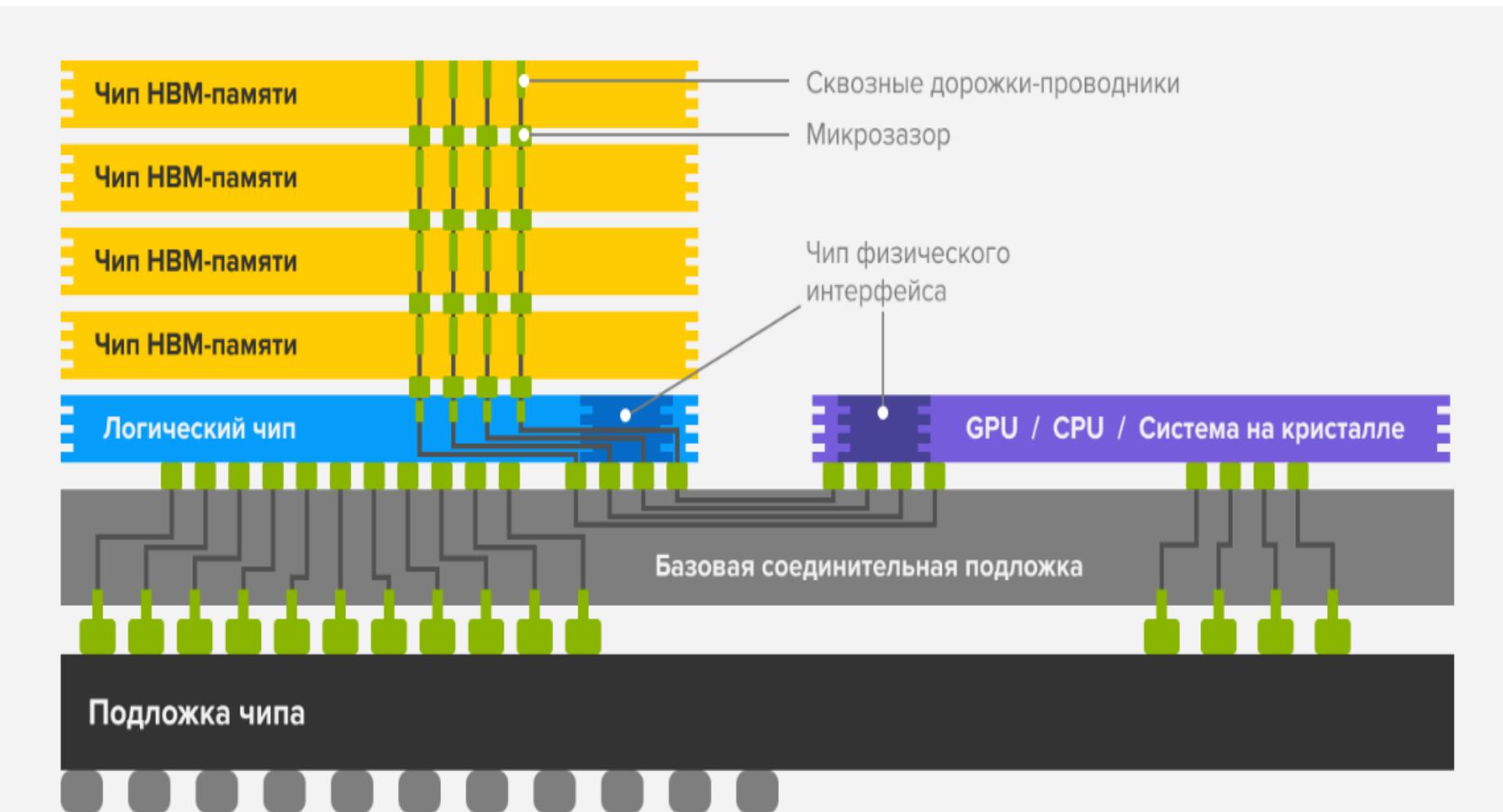
PIM
(Processing In Memory)



Beyond Memory Innovation

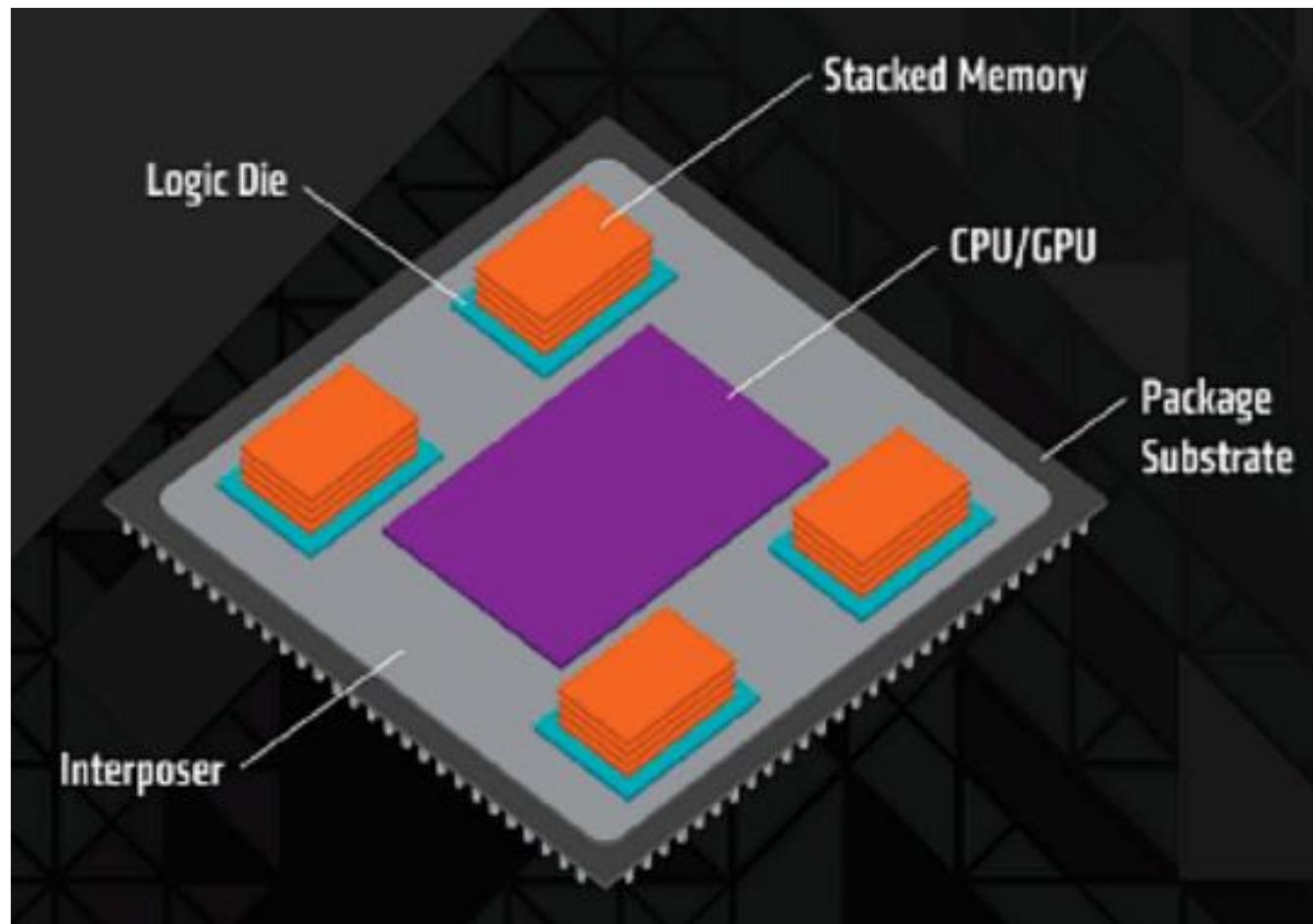
НВМ - High Bandwidth Memory

- DRAM память и процессор выполнены на разных чипах но на одной платформе.
- Увеличивается количество линий между DRAM и CPU через специальный слой/подложку.



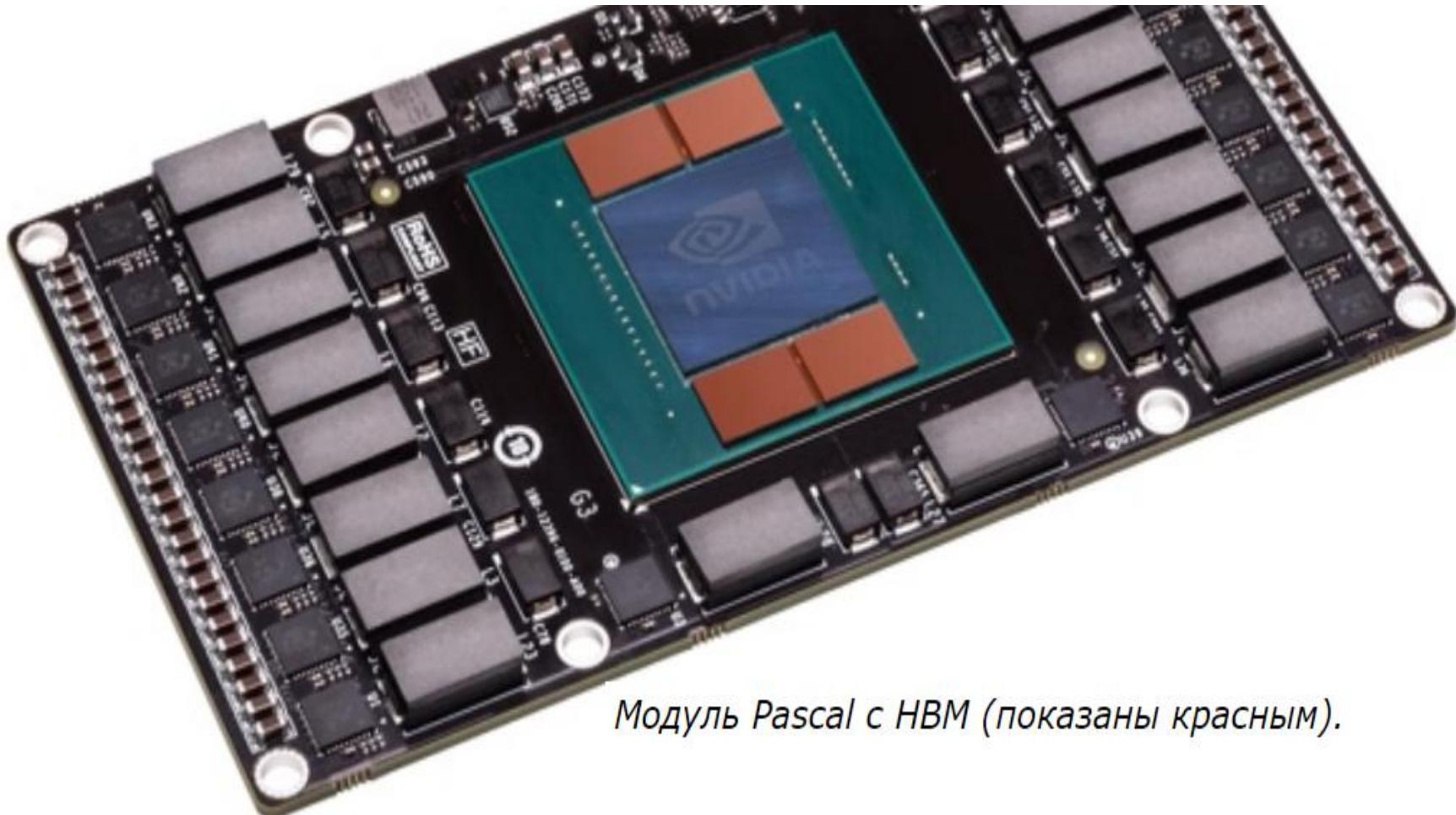
HBM

- Четыре «четырехэтажные» модуля HBM-памяти соединены с процессором



НВМ и GPU в разных корпусах

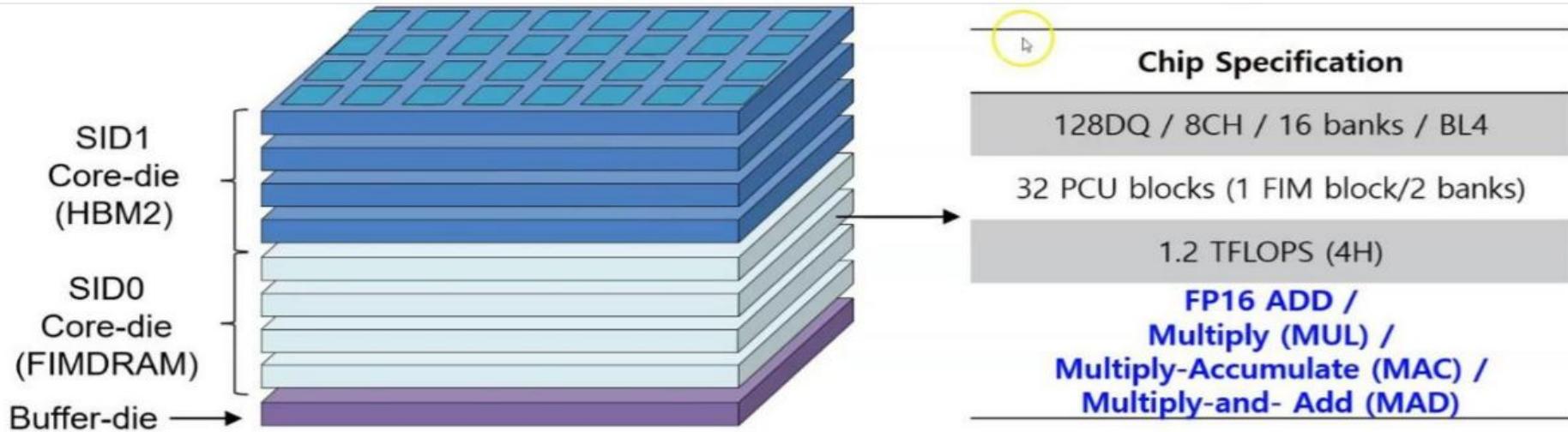
- Процессор и 4 – модуля памяти



Модуль Pascal с НВМ (показаны красным).

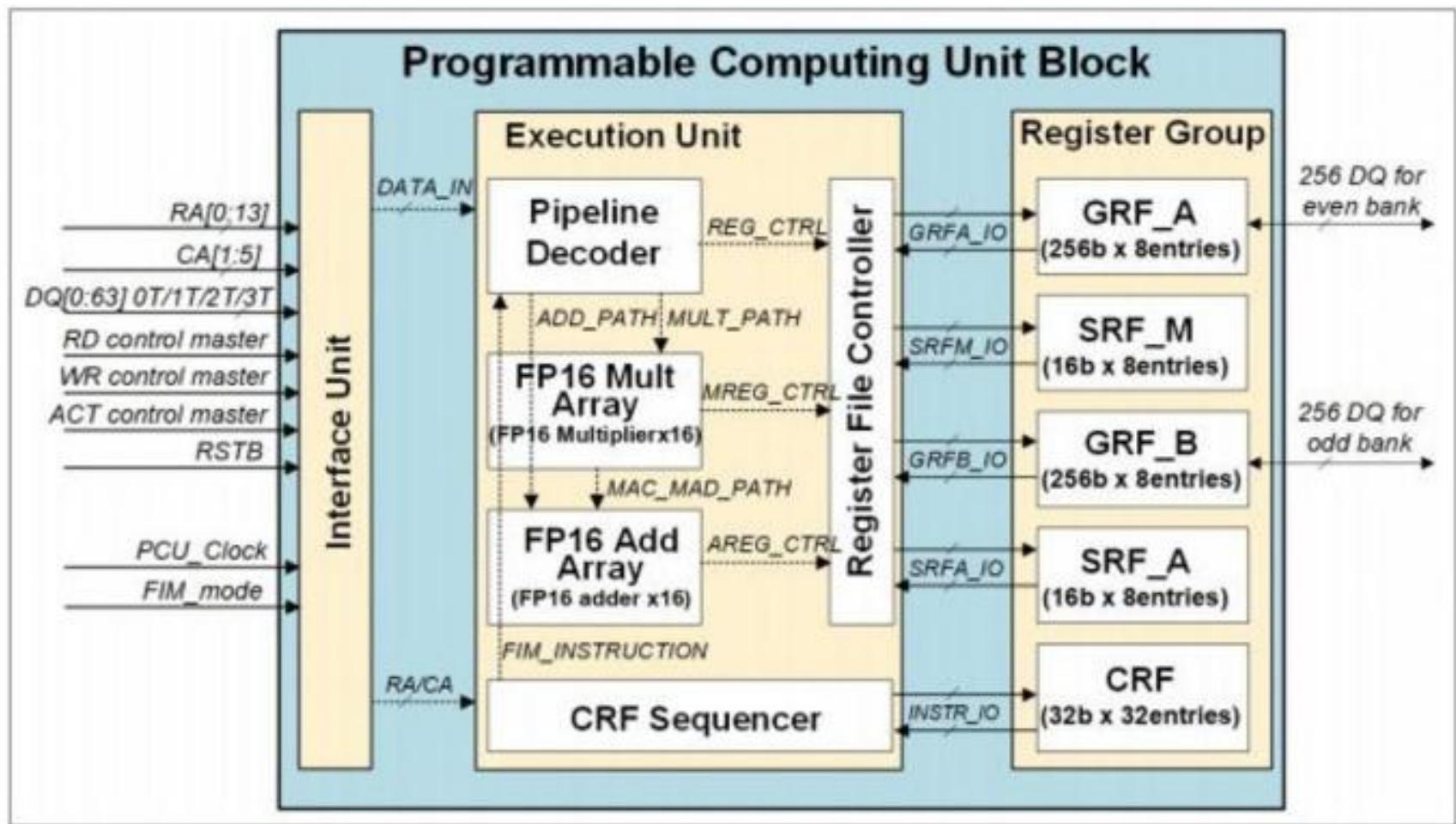
PIM

- В DRAM-память интегрируются вычислительные ядра.
- Пример Samsung Aquabolt-XL - HBM2



- Содержит:
 - Буферный кристалл для HBM2 PIM,
 - Четыре слоя памяти с вычислительными блоками (FIMDRAM), каждый слой содержит 32 вычислительных ядра PCU
 - Четыре слоя классической памяти HBM2 (DRAM).
 - Всего **8 Гбайт** памяти
 - Каждое ядро способно выполнять операции с плавающей запятой

Архитектура одного PCU



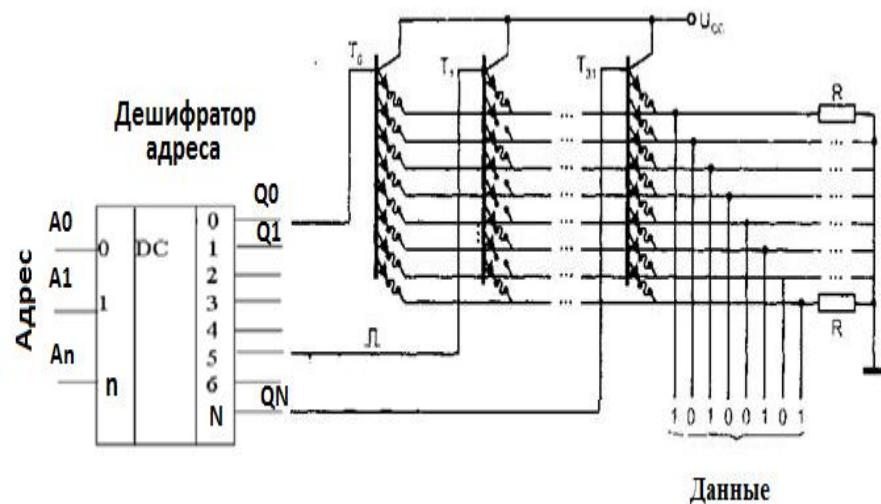
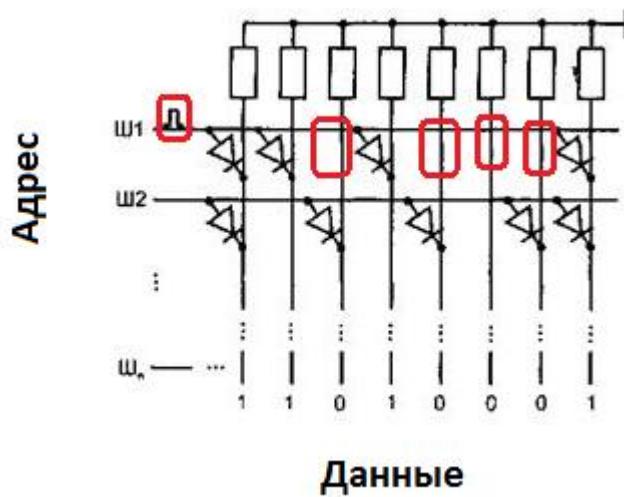
Block diagram and available instruction list of PCU block.

Постоянная память

Постоянная память

- Постоянная (Энергонезависимая) память
- Однократно программируемая (ROM (Read Only Memory)) только для чтения

Запоминающим элементом является перекиаемая плавкая перемычка или полупроводниковый диод, играющий роль разрушающей перемычки.

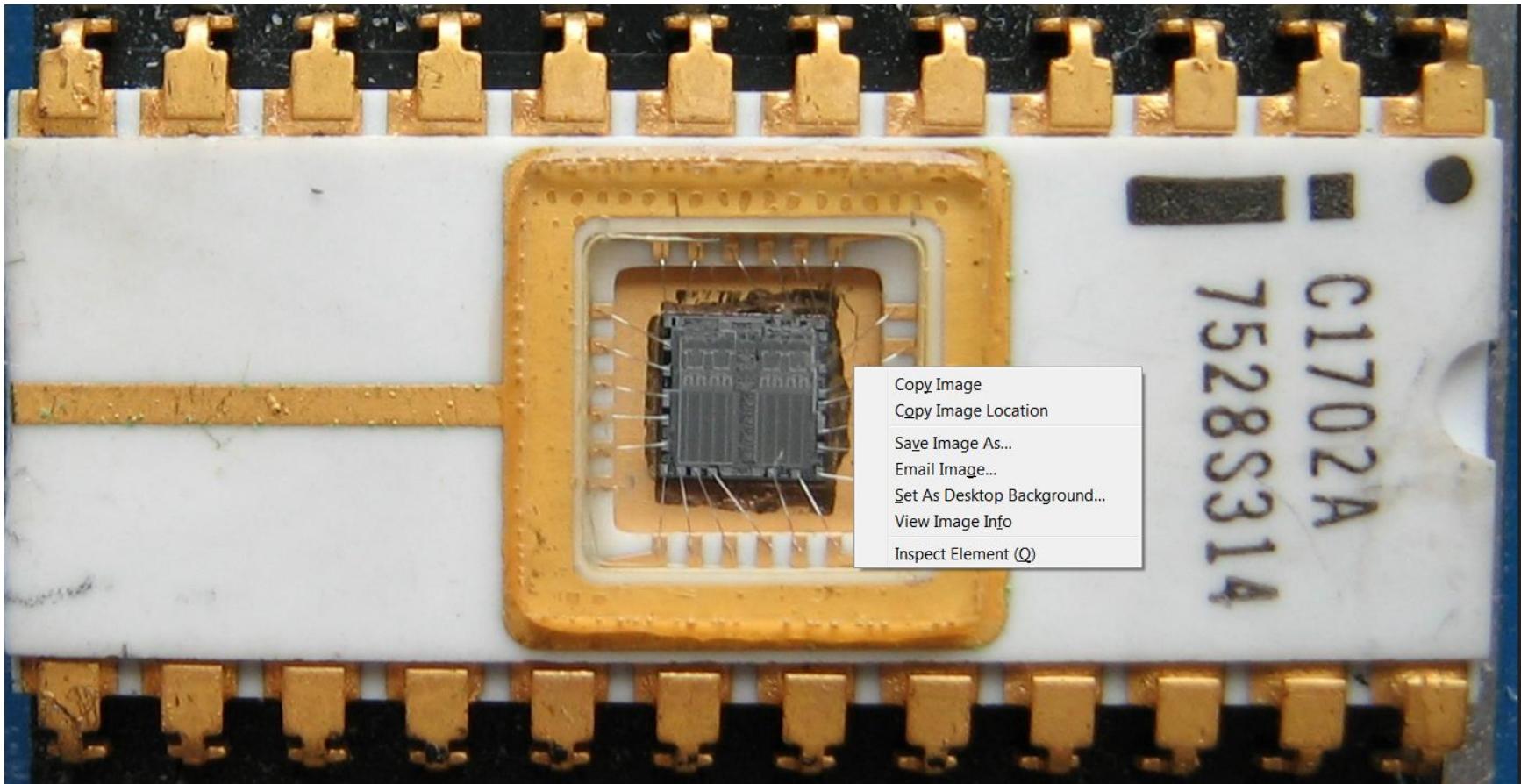


Многократно программируемая память

- **EPROM (*Erasable Programmable Read Only Memory*)** Многократно программируемая со стиранием ультрафиолетовыми лучами.
 - В EPROM в качестве перемычки используется транзистор с плавающим затвором. Для стирания матрица элементов облучается ультрафиолетовым светом, в результате заряд на затворах транзисторов стирается.
- **EEPROM (*Electrically Erasable Programmable Read-Only Memory*)** многократно программируемая электрически стираемая память. В качестве элемента хранения используется транзистор с плавающим затвором. (Flash – память)



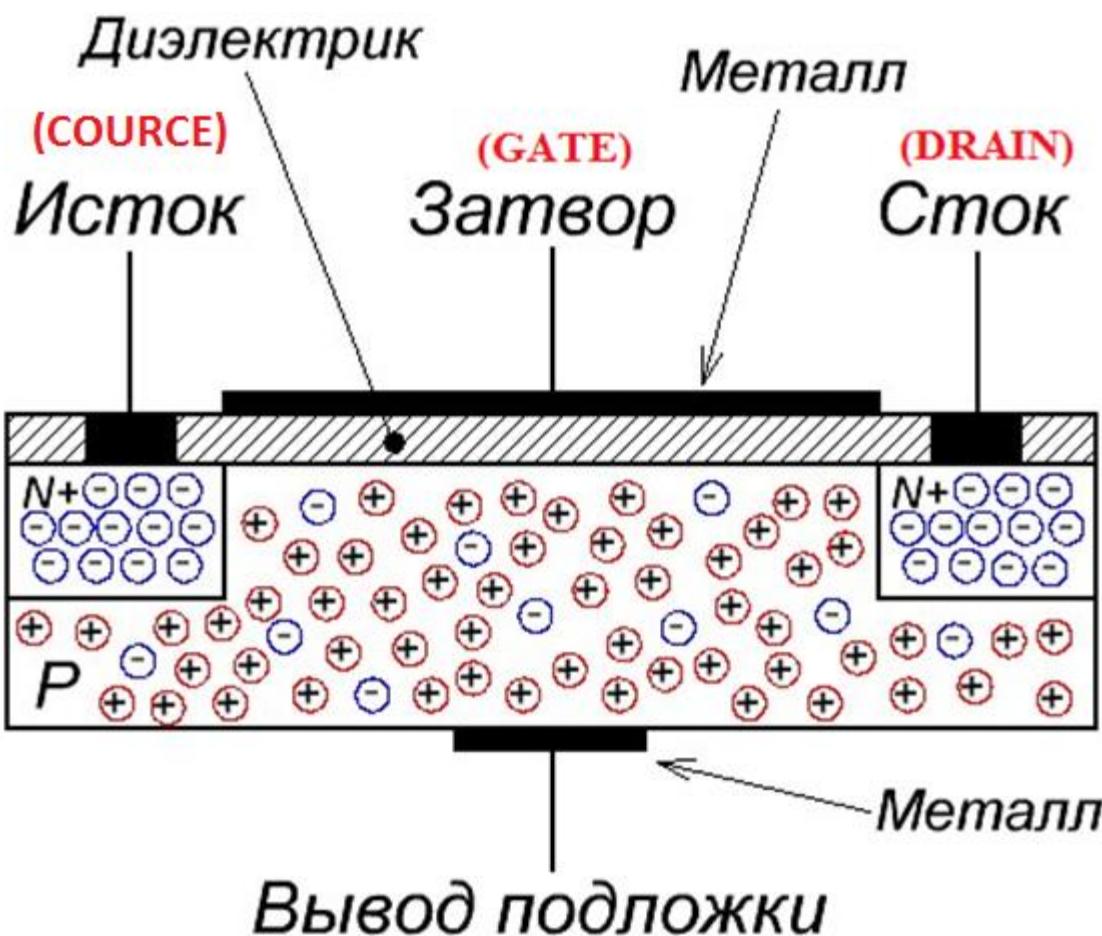
EPROM



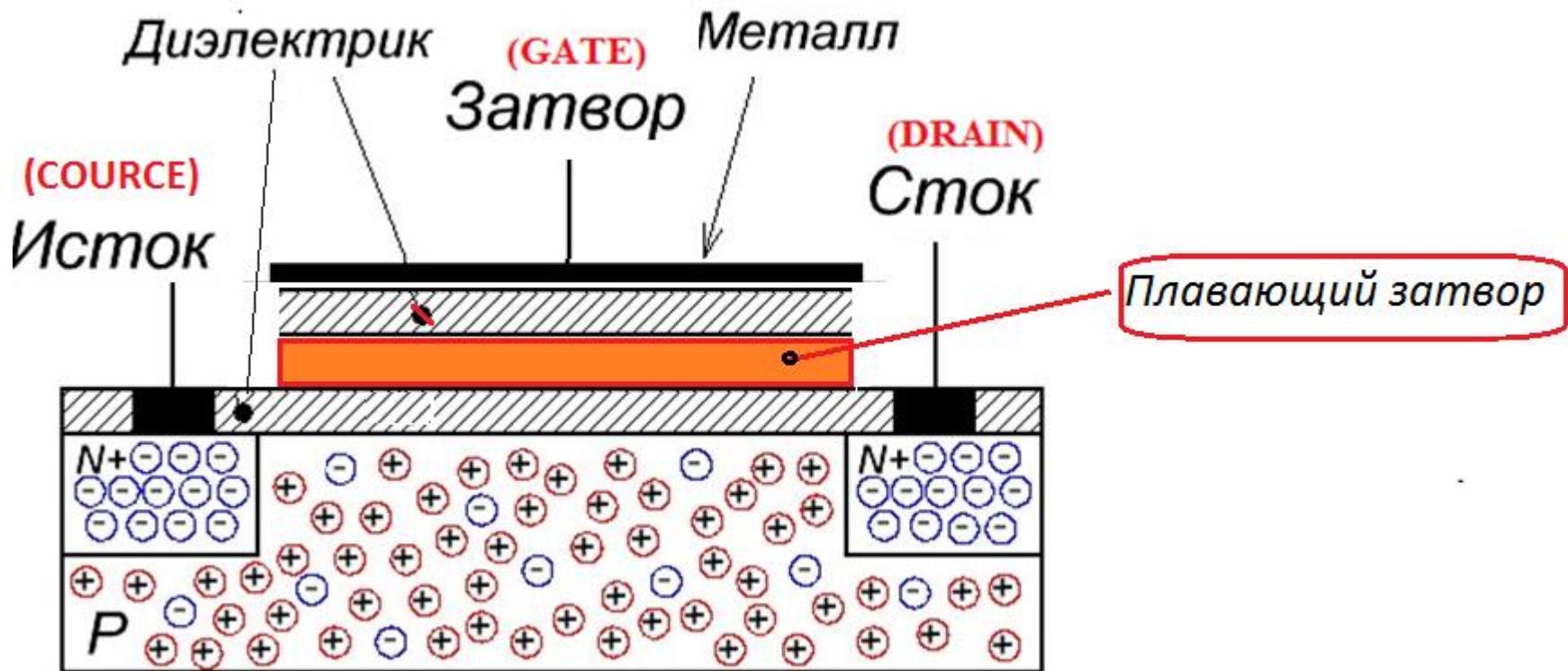
Восстановление прозженных перемычек производится с помощью засветки ячеек ультрафиолетовым источником света

Flash память

Полевой транзистор

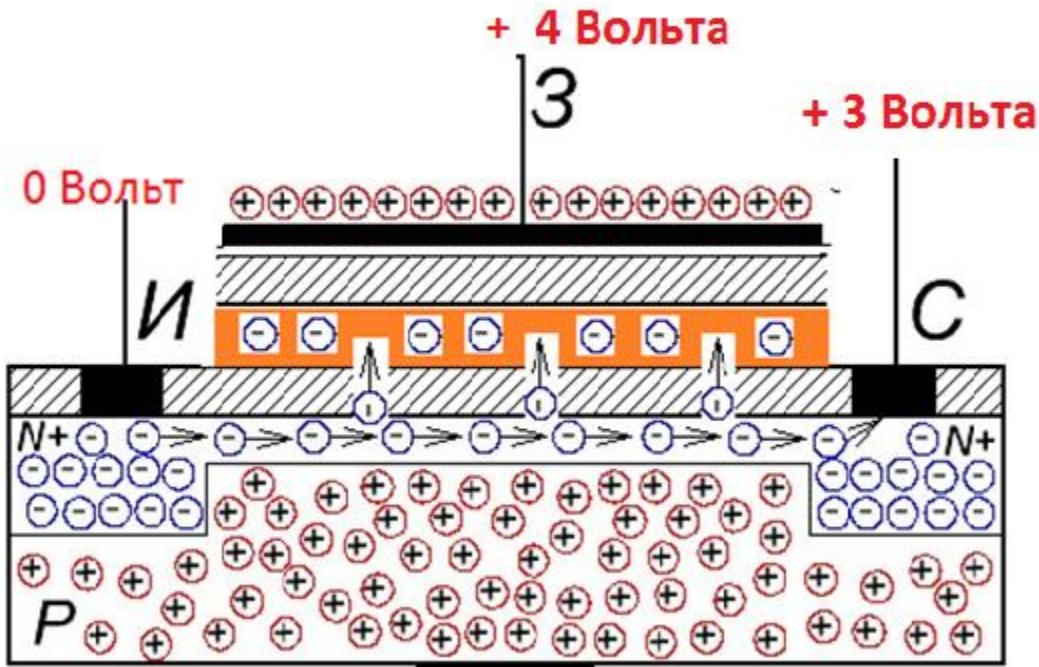


Транзистор с плавающим затвором



- Плавающий затвор изолирован двумя слоями диэлектрика

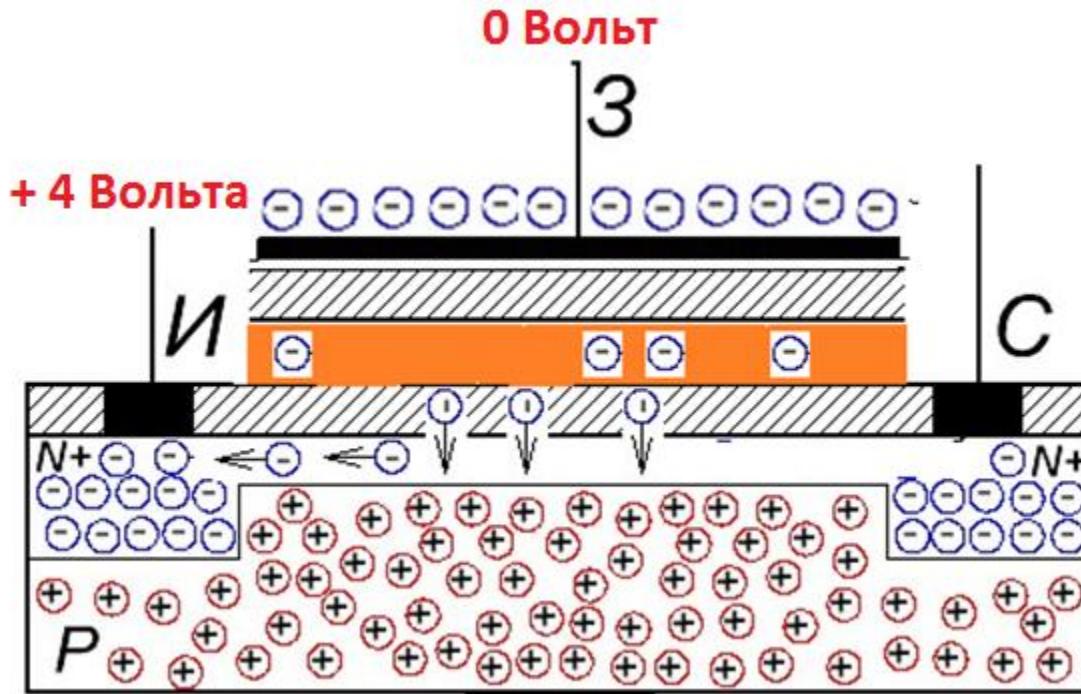
Запись



- При подаче на затвор более положительного напряжения чем на сток происходит перенос части электронов через диэлектрик в область плавающего затвора
- (Указаны условные номиналы напряжений)

Величина заряда зависит от длительности и амплитуды управляющего импульса записи на затворе транзистора.

Стирание

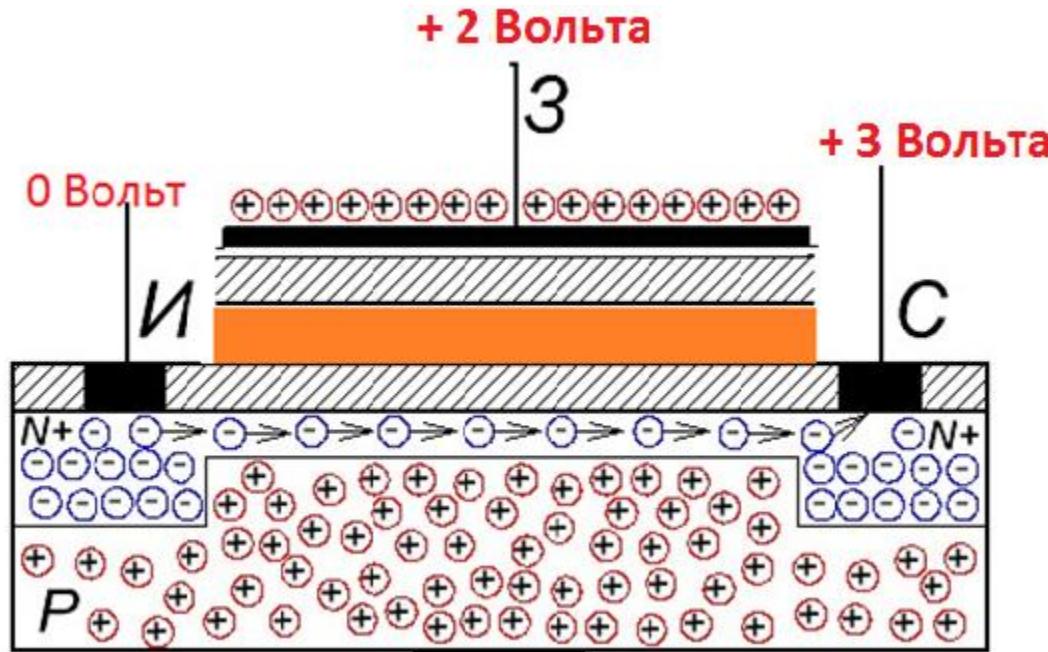


- При подаче на затвор более отрицательного напряжения относительно истока происходит стекание электронов в область истока

Ячейка флэш-памяти

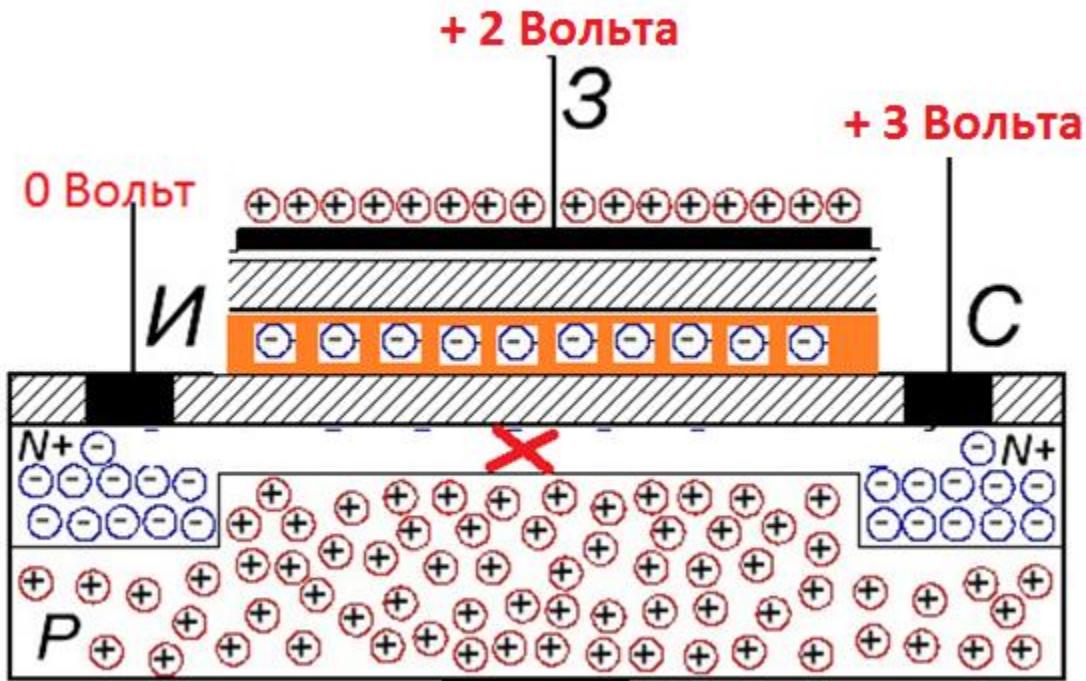
- Операции записи и чтения приводят к разрушению(износу) диэлектрического слоя и его постепенной деградации.
- Срок службы ячейки ограничен.

Чтение нуля



- На плавающем затворе заряда нет
- При подаче напряжения на затвор в отсутствие заряда на плавающем затворе в транзисторе создается канал и начинает течь ток
- Транзистор открыт – это логический ноль

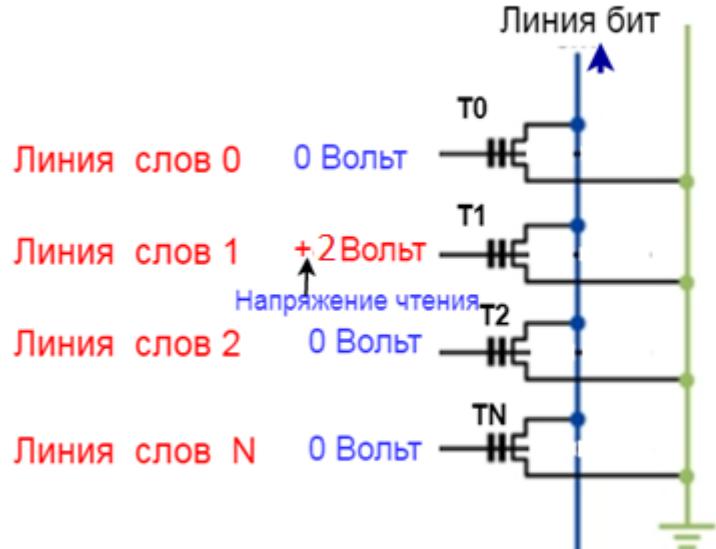
Чтение единицы



- На плавающем затворе есть заряд
- При подаче напряжения на затвор, заряд на плавающем затворе компенсирует заряд на затворе, канала нет, тока нет.
- Транзистор закрыт – это логическая единица

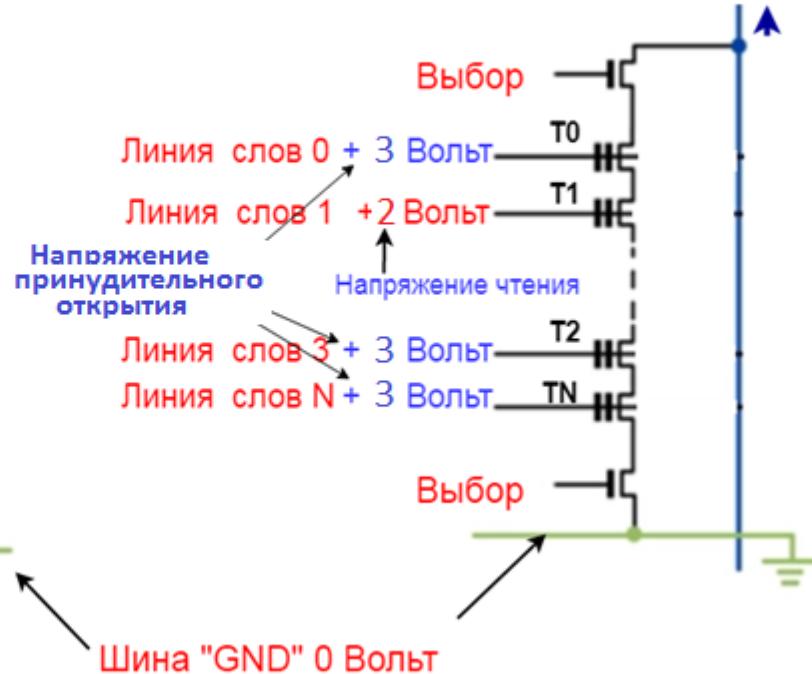
NOR и NAND ячейки

Линия бит = T0 or T1 or T2 or ... TN



Линия бит = T0 & T1 & T2 & ... TN

Линия бит



NOR – транзисторы соединены параллельно

NAND – транзисторы соединены последовательно

NOR - ячейка

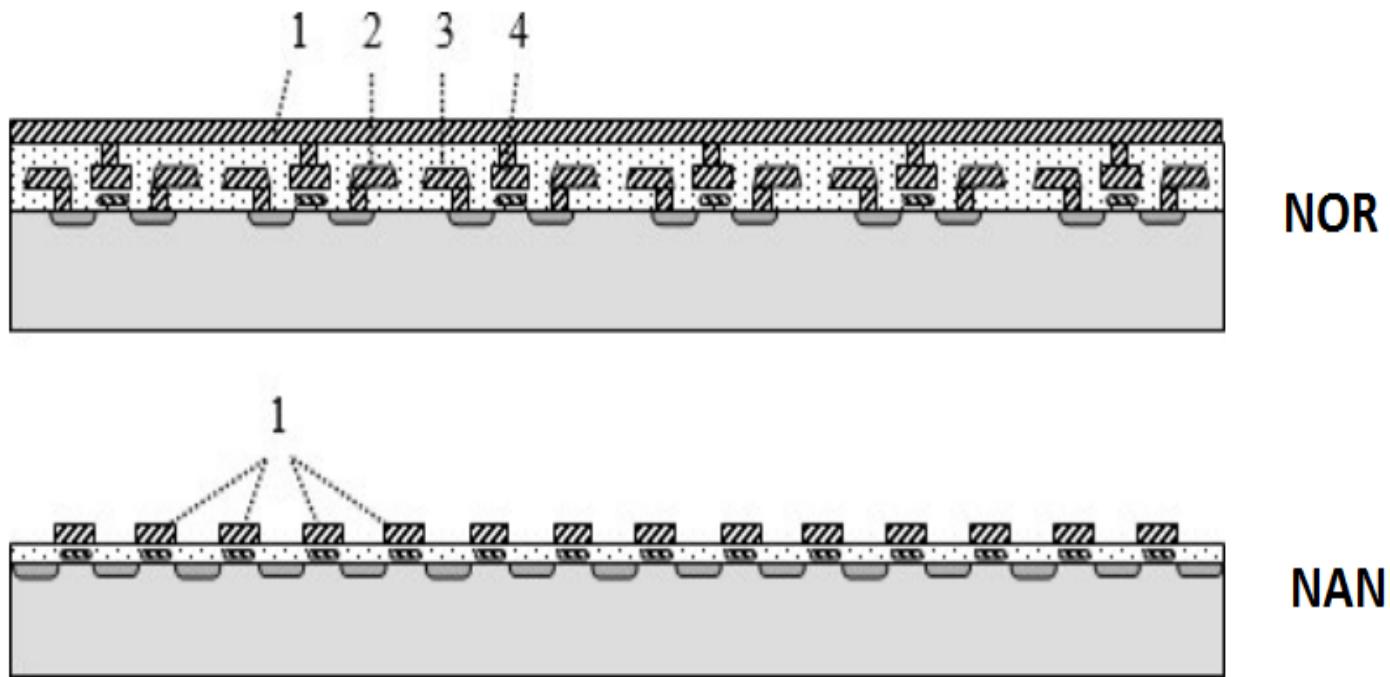
- NOR
- При выборе строки (+2 Вольт подается на линию слов):
 - транзистор, хранящий заряд закрыт, тока нет, на битовой линии 1
 - транзистор не хранящий заряд открыт ток есть и 0 вольт поступает на битовую линию
- Можно получить доступ к любой конкретной ячейке



NAND-ячейка

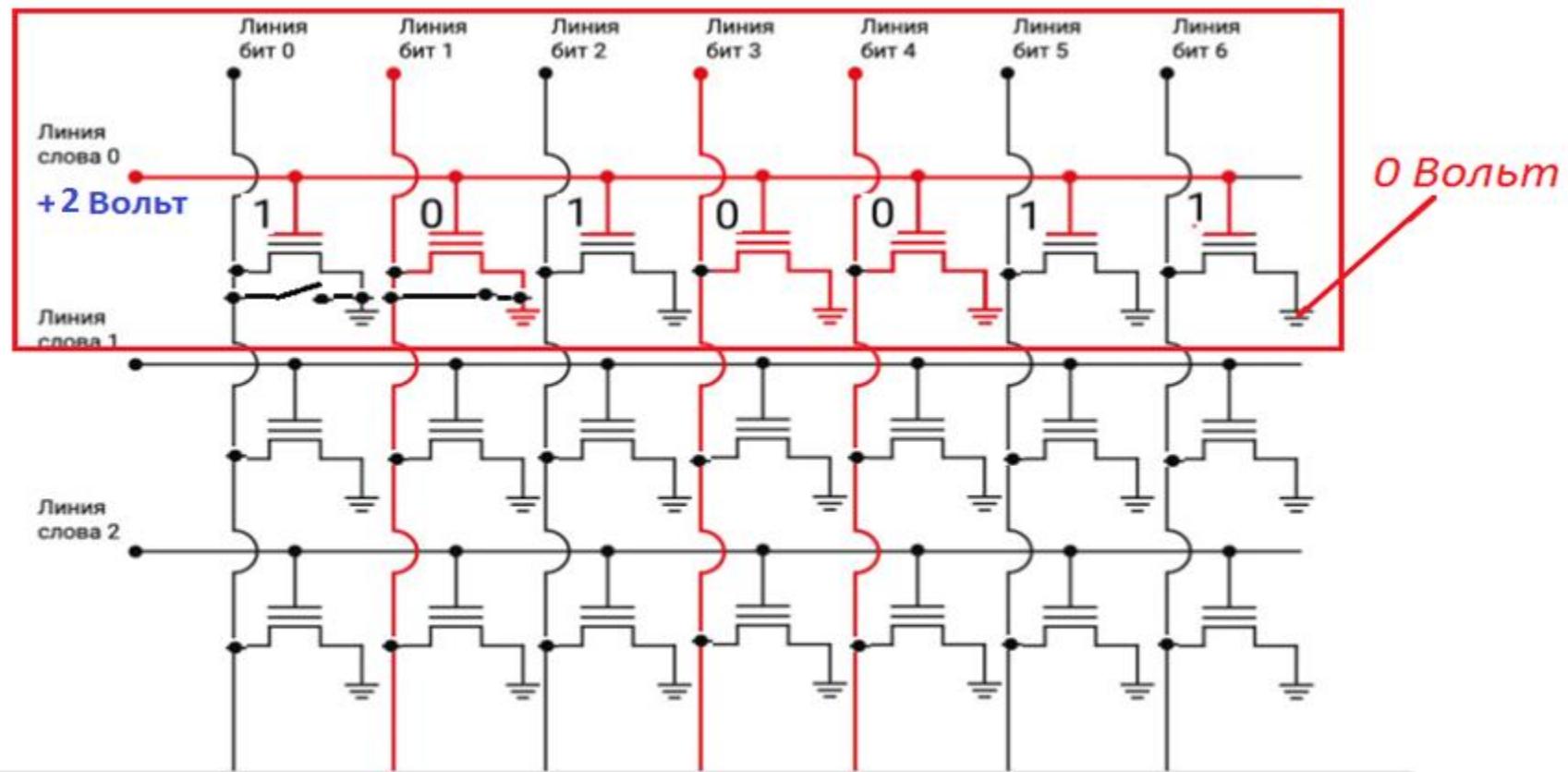
- NAND
- На необходимую линию слова подается напряжение чтения, а на все остальные линии слова подается напряжение открытия, которое открывает транзистор вне зависимости от уровня заряда в нем.
- Так как все остальные транзисторы гарантированно открыты, то наличие напряжения на битовой линии зависит только от одного транзистора, на который подано напряжение чтения:
 - транзистор, хранящий заряд закрыт, тока нет, на битовой линии 1
 - транзистор не хранящий заряд открыт ток есть и 0 вольт поступает на битовую линию
- В случае с NAND несколько одиночных ячеек памяти соединены последовательно и для того, чтобы записать состояние «ноля» в одну из них, надо, чтобы все другие были открыты и пропускали ток, т.е. нельзя обратиться только к одной ячейке

Топологии ячеек

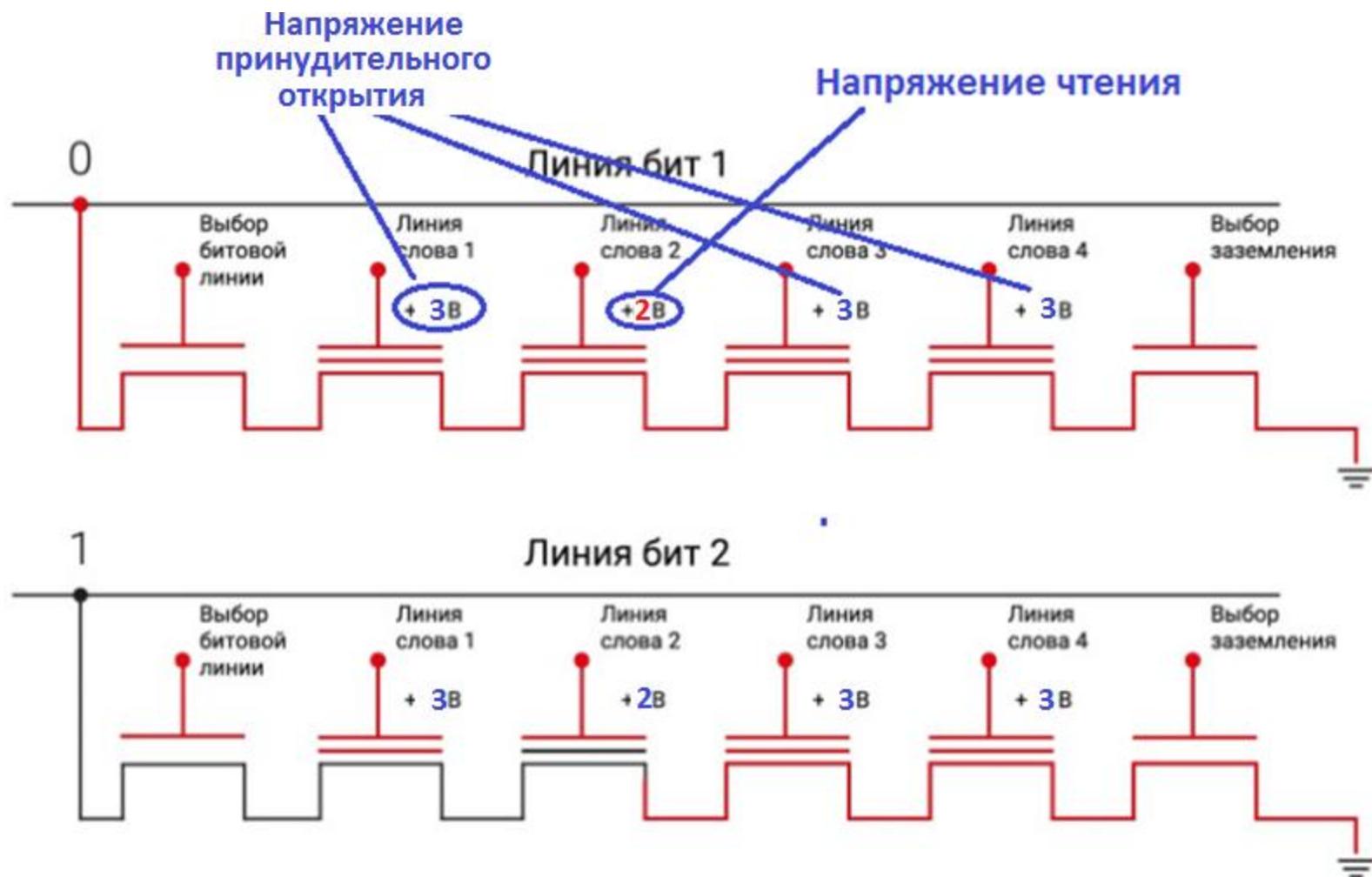


Поперечное сечение пластины кремния с матрицами флеш-памяти типа "NOR" (вверху) и "NAND" (внизу): 1 – горизонтальная шина; 2 – вертикальная шина истоков; 3 – вертикальная шина стоков; 4 – управляющие затворы транзисторов

Архитектура NOR (параллельное включение транзисторов)



Архитектура NAND



Характеристика NOR

- Достоинства NOR :
 - Возможность произвольного доступа к любой ячейке памяти (побайтный режим)
(что позволяет использовать ее для записи и хранения программного кода, который не требует частого перезаписывания , например, BIOS, память программ встроенных систем)
 - Меньшее время случайного чтения
- Недостатки NOR :
 - Плохая масштабируемость и как следствие более высокая стоимость.
 - Большее время записи/стирания

Характеристика NAND

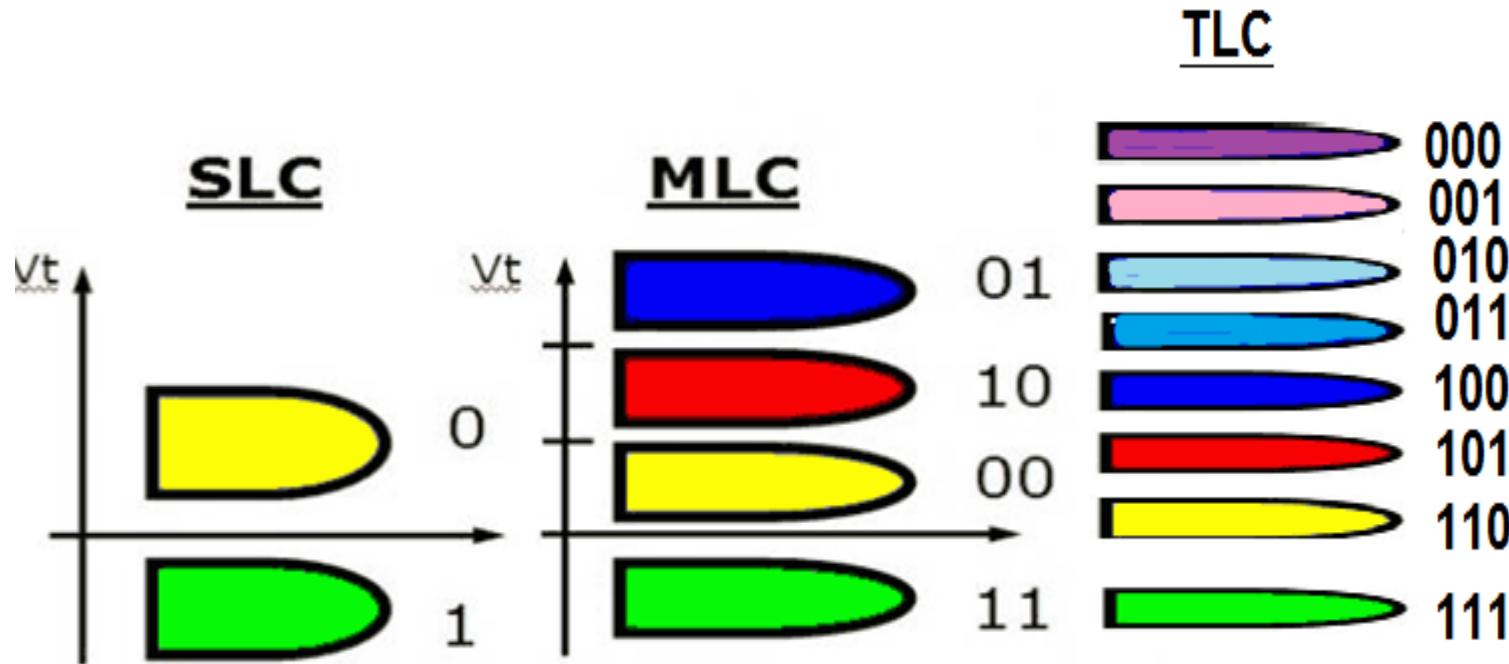
- Достоинства NAND:
 - Хорошая масштабируемость и как следствие малая стоимость.
 - Меньшее время **записи/стирания**
 - Используется в блочных устройствах хранения данных (SSD диски, флэш-память)
- Недостатки NAND
 - **Нельзя обратиться к отдельной ячейке, поэтому обращение происходит блоками.**
 - Малое время последовательного чтения, но большое время случайного чтения

Среднее количество циклов записи

Ресурс записи

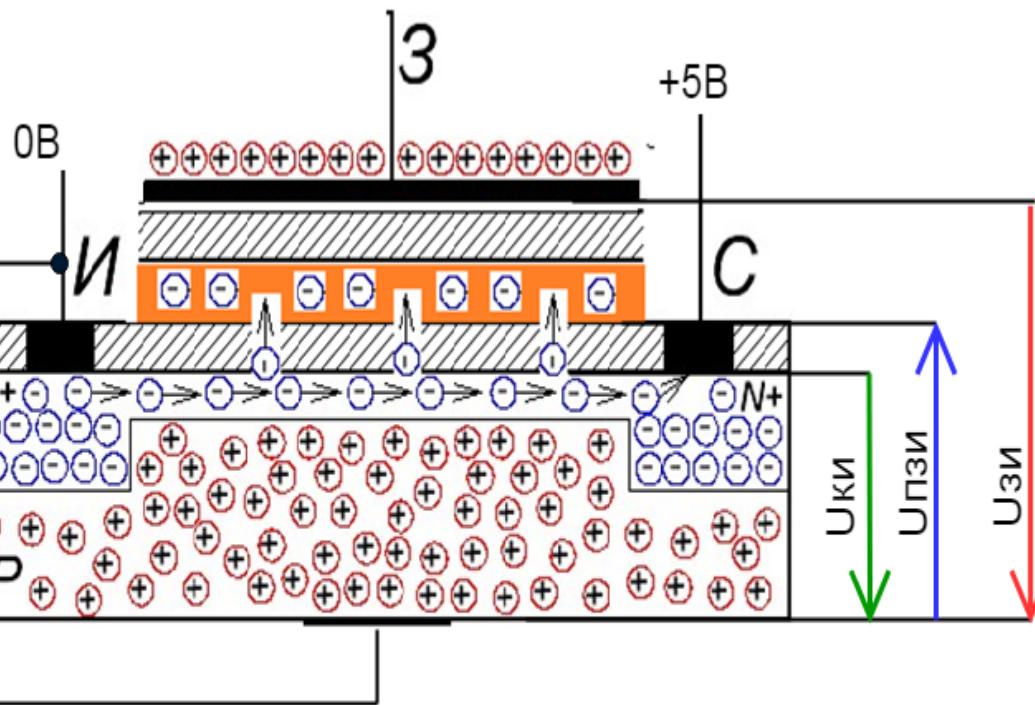
| Тип памяти | Ресурс |
|------------|----------------------|
| SLC NOR | 100 000 .. 1 000 000 |
| SLC NAND | 50 000 .. 100 000 |

Одноуровневые (Single Level Cell) и многоуровневые ячейки (Multi Level Cell, Three Level Cell)



Многуровневая ячейка

+Узи



Запись заряда

| Узи | Упзи | Кодируемое значение |
|-------|-------|---------------------|
| +2В | -2В | 00 |
| +2,2В | -2,2В | 01 |
| +2,4В | -2,4В | 10 |
| +2,6В | -2,6В | 11 |

$$Уки = Узи - Упзи$$

Уки - напряжение Канал - Исток

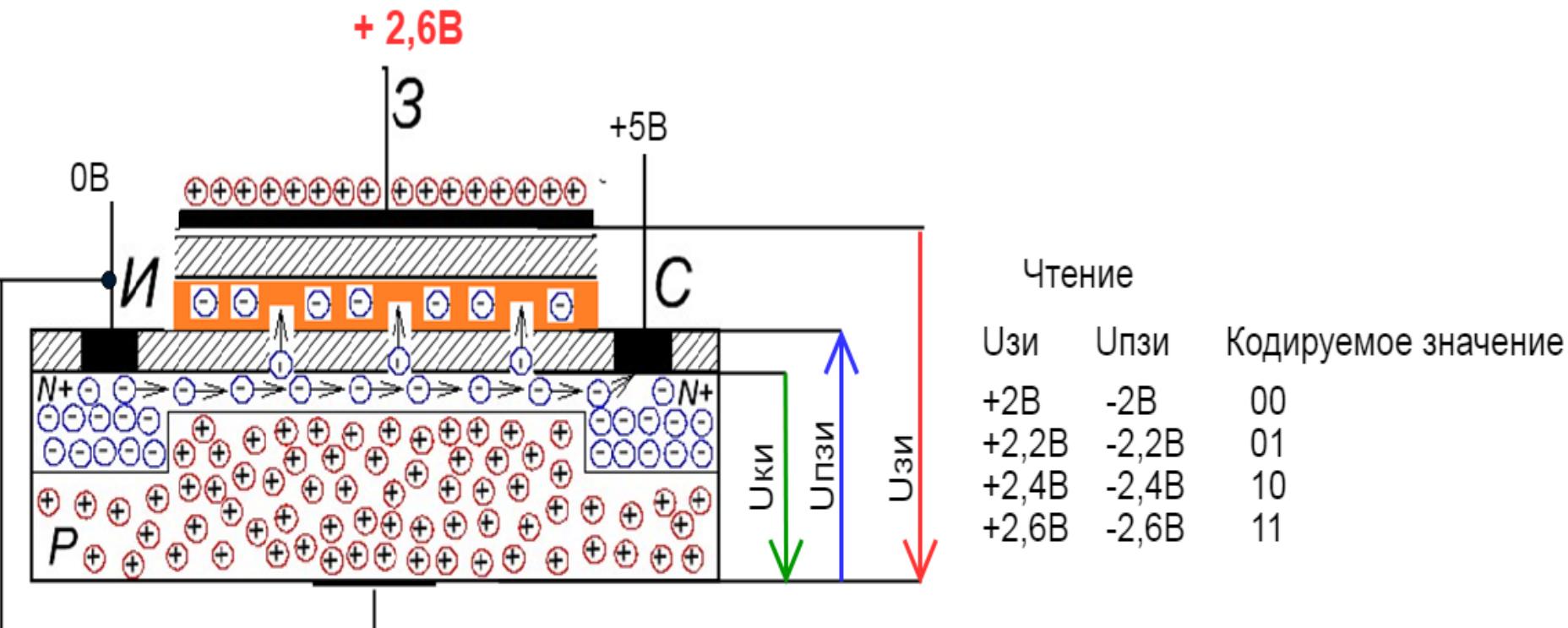
Упзи - напряжение Плавающий затвор - Исток

Узи - напряжение Затвор - Исток

Заряд на плавающем затворе **Упзи** зависит от приложенного напряжения **Узи**

- Для того, чтобы записать на **плавающий** затвор значение заряда Упзи -2,6В, которое соответствует **комбинации 11**, на затвор надо подать напряжение Узи = + 2,6В

Многоуровневая ячейка - чтение



$$U_{КИ} = U_{ЗИ} - U_{ПЗИ}$$

Уки - напряжение Канал - Исток

Упзи - напряжение Плавающий затвор - Исток

Узи - напряжение Затвор - Исток

Транзистор откроется, если **Уки** больше или равно 0

- Что бы узнать записанную комбинацию, на затвор последовательно подается напряжение +2, +2.2, +2.4, +2.6В пока транзистор не откроется и не потечет ток. В нашем примере ток потечет при Узи=+2.6В, что соответствует комбинации 11.

Многоуровневые ячейки 3D

| 1 | | 11 | | 111 | | 1111 | | 11111 | | | |
|-----|--|-----|--|-----|--|------|--|-------|--|--|--|
| | | 10 | | 110 | | 1110 | | 11110 | | | |
| | | 01 | | 101 | | 1101 | | 11101 | | | |
| | | 00 | | 100 | | 1100 | | 11100 | | | |
| 0 | | 01 | | 011 | | 1011 | | 11011 | | | |
| | | 00 | | 010 | | 1010 | | 11010 | | | |
| | | 00 | | 001 | | 1001 | | 11001 | | | |
| | | 00 | | 000 | | 1000 | | 11000 | | | |
| SLC | | MLC | | TLC | | QLC | | PLC | | | |

Сравнение SLC и MLC

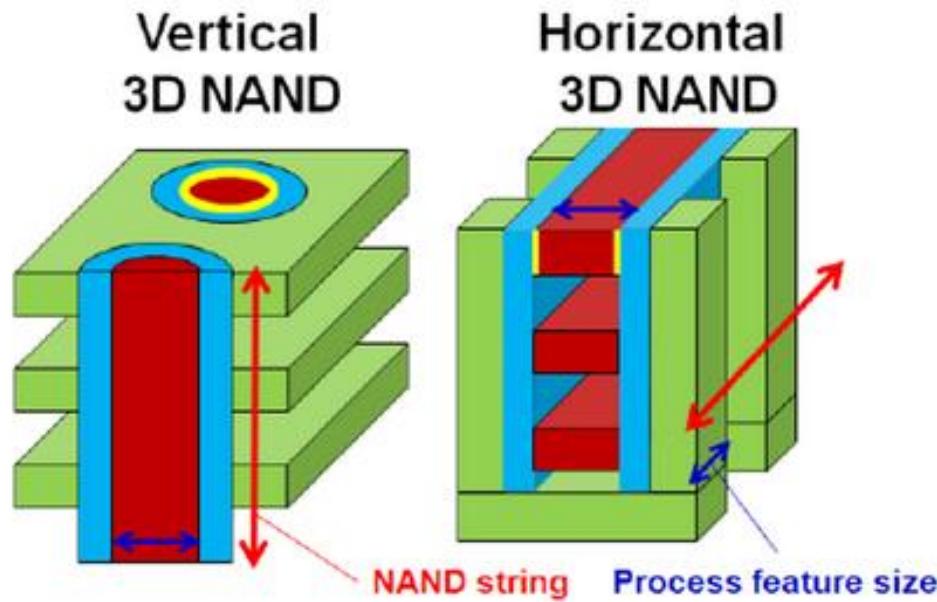
- SLC записывают только **один бит** в ячейку и это обеспечивает **до 10 раз лучшую долговечность** и **до 2-х раз более высокую скорость** в сравнении с MLC.

| | SLC | MLC |
|----------------------|-----|-----|
| Чтение страницы, мкс | 25 | 50 |
| Стирание блока, мс | 2 | 2 |
| Запись страницы, мкс | 250 | 900 |

Ресурс записи

| Тип памяти | Ресурс |
|------------|----------------------|
| SLC NOR | 100 000 .. 1 000 000 |
| SLC NAND | 50 000 .. 100 000 |
| MLC NOR | 100 000 |
| MLC NAND | 1000 .. 10 000 |

3D флэш память (флэш-трубы)



- Технология 3D NAND позволяет увеличить плотность ячеек флэш памяти

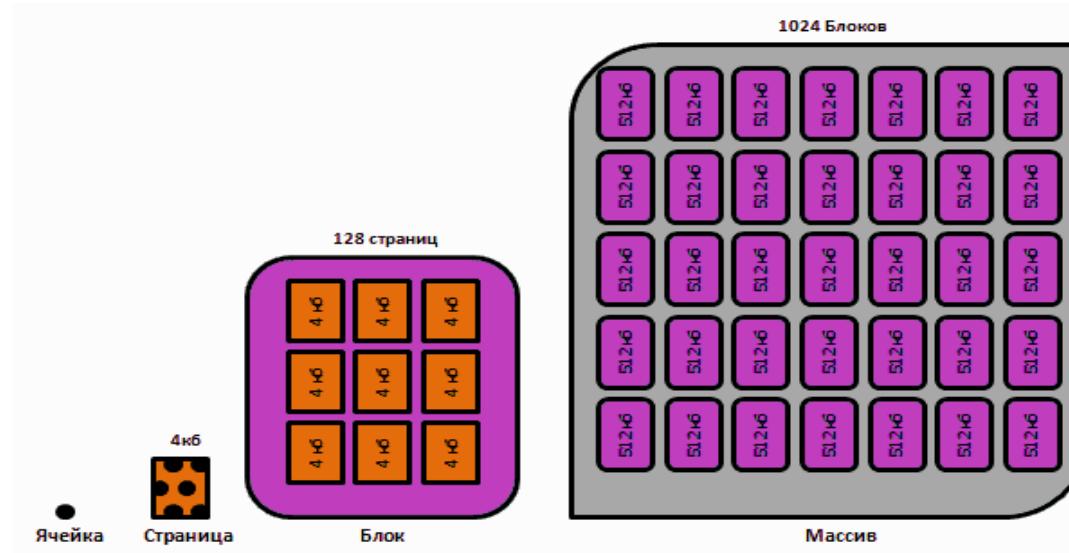
Операции при обращении к флэш -памяти

- Возможны операции:
 - Стирание (ограниченное количество раз);
 - Запись ограниченное количество раз;
 - чтение (бесконечное число раз);
 - Чтение – модификация – запись (количество раз как и при записи).

Запись возможна только в «чистое» место памяти, поэтому ей всегда предшествует операция стирания.

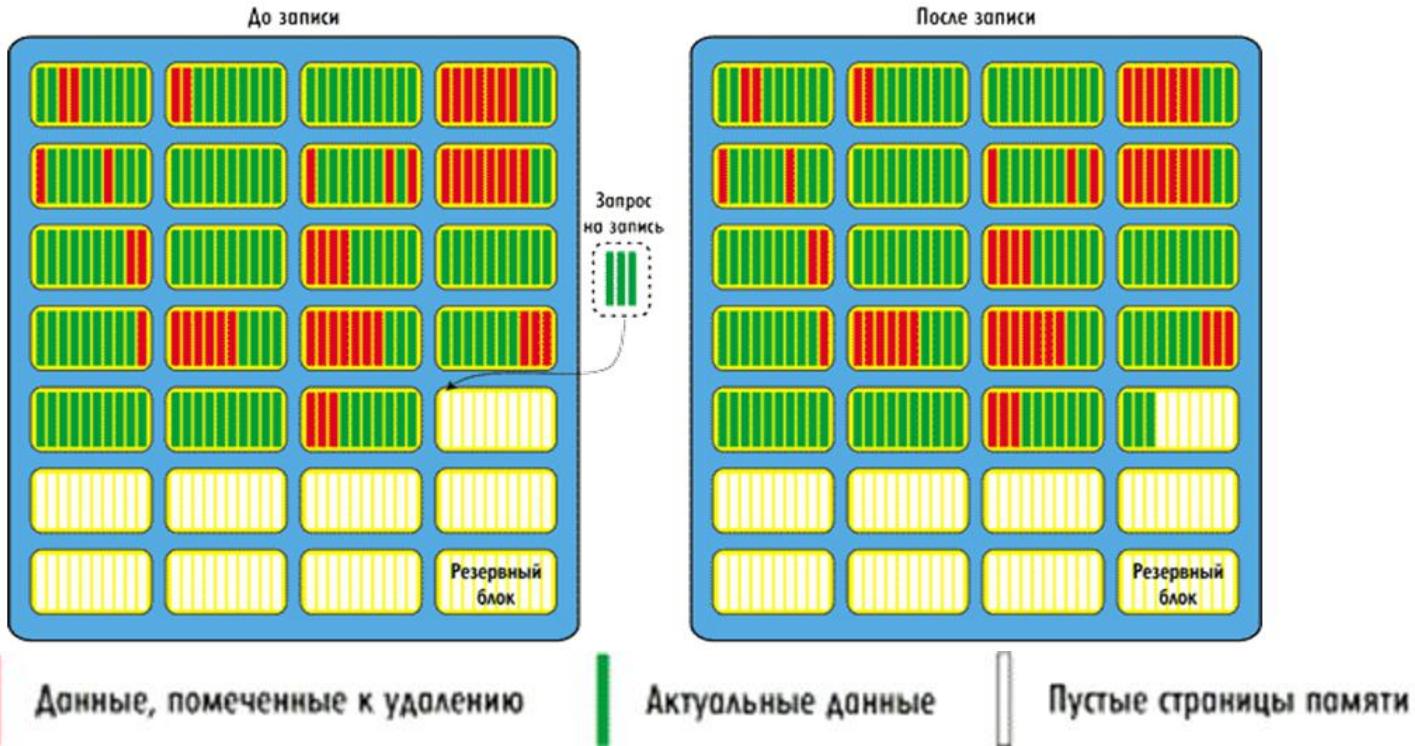
Операция стирания самая медленная (для повышения быстродействия операция стирания осуществляется сразу над блоком ячеек, а не над одной ячейкой).

Структурная организация SSD – диска (Solid State Drive)



- SCL и MCL ячейки объединяются в страницы по 4кб.
- 128 страниц объединены в блок объемом 512 КБ, а 1024 блока в массив 512 МБ
- Информация **записывается и читается** в память страницами по 4 Кб, а **стирается** блоками по 512 Кб.

Запись на свободный диск

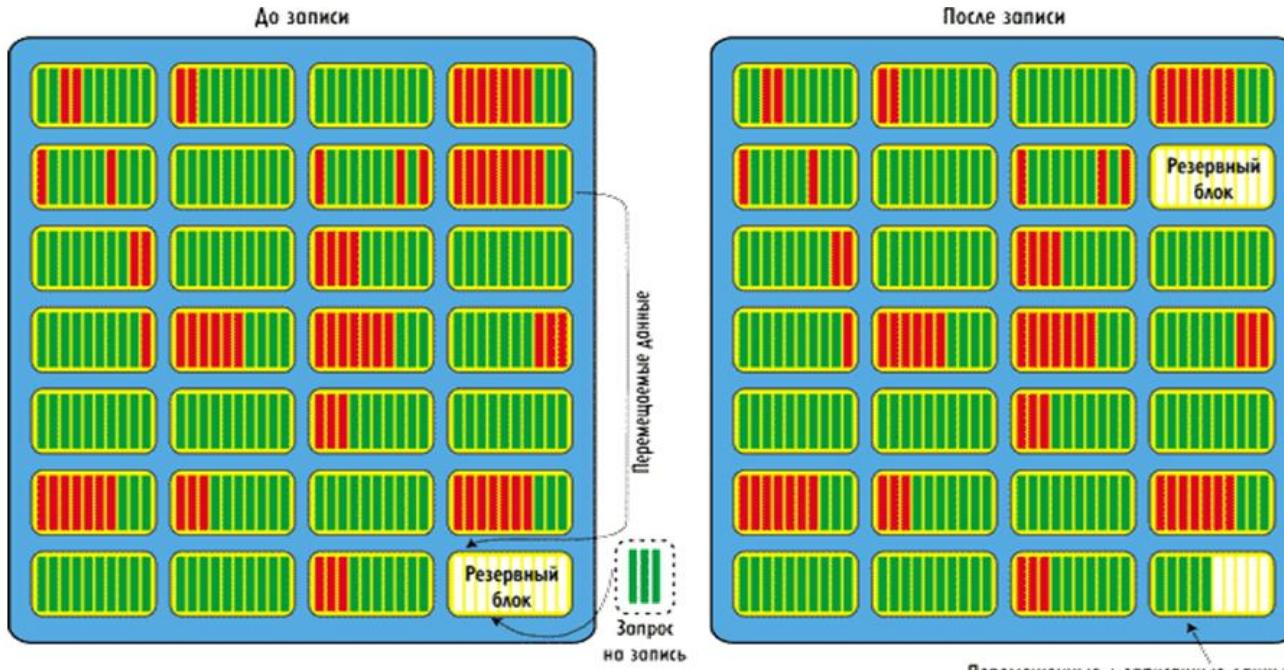


- Данные записываются последовательно в физические блоки порциями как правило по 4 Кбайт.
- При этом логический адрес записываемой страницы сопоставляется с физическим адресом,
- Для соответствия между логическими и физическими адресами (LBA-PBA mapping) предназначена специальная таблица, которая размещается в оперативной памяти SSD-диска.

Перезапись данных

Если производится перезапись данных, они последовательно записываются в следующие по порядку свободные страницы памяти, а в таблице соответствия логических и физических адресов те страницы, в которые эти данные были записаны ранее, помечаются как содержащие устаревшие данные (помечаются к удалению).

Запись на заполненный диск



При заполнении диска блоки памяти могут содержать как страницы, помеченные на удаление (страницы с устаревшими данными), так и страницы с актуальными данными, которые удалять нельзя.

Запись на заполненный диск и *Garbage Collection*

- Контроллер диска анализирует объем записываемой информации находит блок, содержащий максимальное количество страниц, помеченных к удалению, достаточных для размещения вновь записываемых страниц.
- Страницы с актуальными данными из выбранного блока переносятся **в пустой или резервный блок**, куда дозаписываются вновь поступившие данные.
- После этого информация в «старом блоке стирается» и он становится резервным, доступным для записи.

*Процедуру поиска подходящего блока с максимальным количеством неиспользуемых страниц называют сбором мусора» (*Garbage Collection*).*

Резервные блоки

- Разница между двоичным и десятичным значением емкости дает резервные блоки
- Так для диска емкостью 160 Гб емкость резервных блоков составит $171\ 798\ 691\ 840 - 160\ 000\ 000\ 000 = 11\ 798\ 691\ 840$ байт, или примерно 11 Гбайт
- Если запас резервных блоков исчерпан, то для временного хранения перемещаемых блоков может использоваться внутренняя динамическая кэш память контроллера

Для продления срока службы SSD необходимо постоянно иметь (10 – 15)% свободного места.

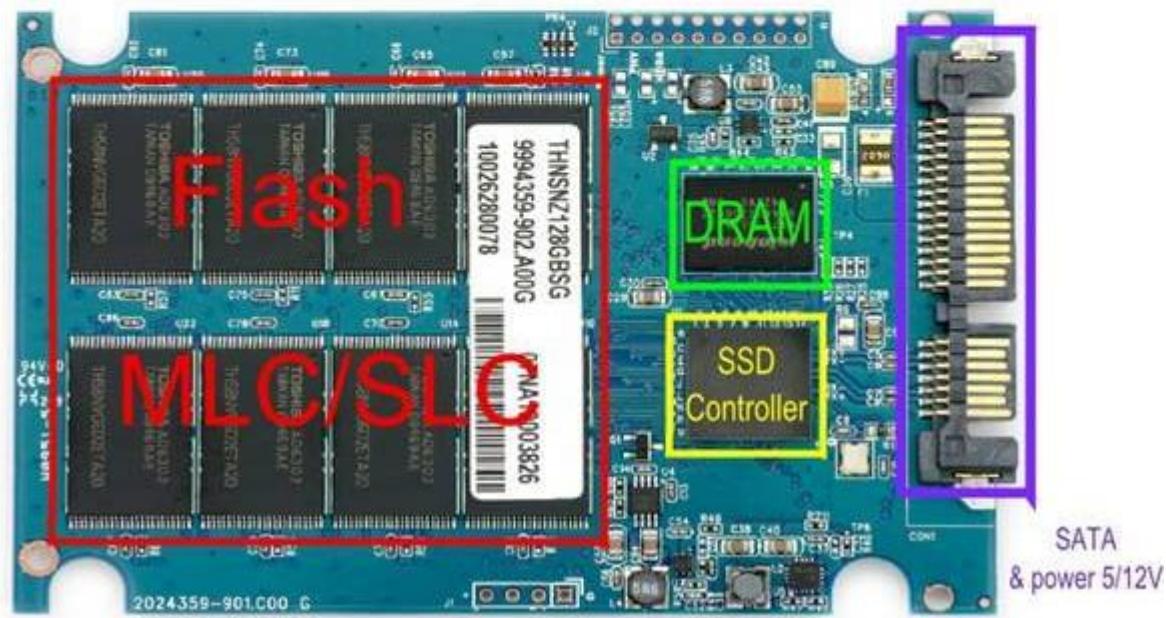
Механизм Wear Leveling

- **Wear Leveling** обеспечивает равномерное использование всех ячеек памяти и как следствие повышает долговечность SSD. Контроллер SSD-диска отслеживает частоту использования различных блоков памяти.
- Если какие то блоки памяти используются реже остальных, то он принудительно повышает частоту их использования путем перезаписи этих блоков данных в другие блоки, высвобождая их для дальнейшего использования.

Команда TRIMM

- При удалении файлов операционная система лишь **логически удаляет** ненужные файлы. При этом физически они остаются на носителе.
- В SSD это приводит к накоплению «мусора», т.к. контроллеру не известно, что файл, был помечен операционной системой как удаленный.
- **TRIM** — это команда осуществляющая функцию передачи информации SSD о том, что файл был удален и соответствующие страницы памяти помечаются к удалению и могут применяться в процедуре Garbage Collection.

SSD -диск



В SSD-диска входит поле Flach – памяти, SSD-контроллер, блок динамической DRAM-памяти

Архитектура SSD - диска

Состав контроллера:

ARM – процессор. Отвечает за равномерность износа ячеек в Flash, диагностику SMART, кеширование, безопасность.

Error Correction (ECC) – блок контроля и коррекции ошибок ECC.

Flash контроллер – включает адресацию, шину данных и контроль управления микросхемами Flash памяти.

DRAM контроллер - управление DDR кэш памятью.

Преобразователь интерфейса – отвечает за интерфейс передачи данных на внешние интерфейсы SATA, SAS, PCIe, USB, Thunderbolt «удар молнии»(до 10 Гбит/сек по медному проводу и до 20 Гбит/сек при использовании оптического кабеля) замена USB/

Динамическая кэш-память для хранения таблиц размещения и занятости ячеек диска. Параллельно в ней может храниться временная информация со стираемых ячеек, при нехватке пустого места на диске.

В нем так же хранится информация о частоте и интенсивности использования каждого доступного блока на диске. Кроме того, здесь записаны адреса «мест», где невозможно осуществить запись, ввиду физического износа.

Поле флэш – памяти.

Кэш - память

- В **SSD** накопителях применяется кэш память в виде энергозависимой **DRAM** микросхемы, наподобие как в жёстких дисках. Часть прошивки и самые часто изменяющиеся данные находятся в ней, сокращая износ энергозависимой **NAND** памяти.
- В некоторых **SSD** – накопителях динамическая память может отсутствовать

Характеристики SSD накопителей

- **Тип** – внутренний, внешний, внутренний/ внешний (универсальный);
- **Емкость;**
- **Форм** - фактор: - 1.8, 2.5, 3.5 дюйма
- **Интерфейс:** SATA,SAS, PCIe, Thunderbolt и др. определяет внешнюю скорость передачи данных.
- Для SATA поддержка NCQ - ***Native Command Queuing*** — аппаратная установка очередности команд) — технология, использующаяся в SATA-устройствах для повышения быстродействия
- **Объем буфера обмена**
- Объём собственной оперативной памяти накопителя
- **Тип NAND:** памяти (SLC,MLC,TLC)
- **Скорость записи:** скорость записи данных из контроллера SSD в флэш- память для записи.
- **Скорость чтения:** скорость чтения данных из микросхем флэш - памяти в контроллер SSD.

Характеристики SSD накпителей

- Скорость случайной записи блоками определенного размера : измеряется в IOPS(Input/Output Operations Per Second - «ай-опс») -количество операций ввода-вывода в секунду
- Поддержка TRIMM
- Ударостойкость при работе параметр, определяющий стойкость накопителя к падениям и сотрясениям в процессе работы. Измеряется в G — единицах перегрузки,
- Наработка на отказ : гарантированное (минимальное) время безотказной работы накопителя.