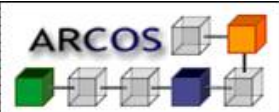
 <p>Universidad Carlos III de Madrid</p>	<p><b>Departamento de Informática</b> <b>Grado en Ingeniería Informática</b> <b>Arquitectura de computadores</b></p> <p><b>Examen final</b> <b>26 de mayo de 2011</b></p>	
---	---	---

Nombre:-.....

- Dispone de dos horas y quince minutos para realizar la prueba.
- No se podrán utilizar libros ni apuntes, ni calculadoras de ningún tipo.
- Los teléfonos móviles deberán permanecer desconectados durante la prueba

### Pregunta 1 (2,5 puntos).

Dada una arquitectura con 16 nodos. Cada nodo tiene un *switch* de comunicaciones con un enlace interno conectado a un único módulo de cómputo. Cada módulo de cómputo tiene un procesador, memoria y un procesador de comunicaciones. Cada *switch* tiene varios enlaces externos que lo conectan a otros *switches*. Además, esta arquitectura tiene las siguientes características:

- El protocolo de encaminamiento es de conmutación de paquetes (*store and forward*).
- Los enlaces internos no tienen *routing delay* (retardo de encaminamiento del switch) y tienen un ancho de banda infinito.
- Los enlaces externos (que conectan los *switches* de comunicaciones) tienen un *routing delay* de 1 ms y un tiempo de transferencia por mensaje de 10 ms. Este tiempo de transferencia es independiente de la longitud del mensaje.
- El retardo de envío y recepción del procesador de comunicaciones es de 0.1 ms.
- No existe contención ni en la red ni en los nodos de cómputo.

Se pide:

1. Dibujar de red para esta arquitectura con **16 nodos** de cómputo para las siguientes tres topologías: **mallá 3D**, **toro 3D** e **hipercubo**.
2. Calcular el tiempo de transmisión de un mensaje entre los dos procesadores más alejados para cada una de las topologías anteriores (mallá 3D, toro 3D e hipercubo).

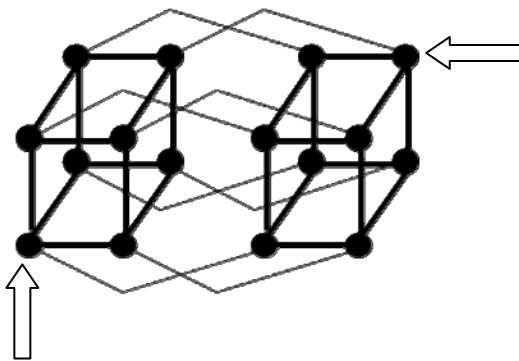
## SOLUCIÓN

### Apartado 1

**Malla 3D:** Existen distintas topologías en malla 3D. La más sencilla es la composición de 3 mallas 2D con 4 nodos (conformando un cuadrado), dispuestas una encima de la otra.

**Toro 3D:** es como la malla en 3D pero con conexiones entre nodos opuestos en la misma arista.

**Hipercubo:** 16 nodos conforman un hipercubo 4D



### Apartado 2

- **Malla 3D**  
En este caso, los nodos más alejados son aquellos de vértices opuestos. La separación entre los mismos es de 4 enlaces. El tiempo de transmisión de un mensaje será:  
 $T=0.1\text{ms}+4*(1\text{ms} + 10\text{ms})+0.1\text{ms}$
- **Toro 3D**  
En este caso, los nodos más alejados también son aquellos de vértices opuestos. La separación entre los mismos es ahora de 3 enlaces. El tiempo de transmisión de un mensaje será:  
 $T=0.1\text{ms}+3*(1\text{ms} + 10\text{ms})+0.1\text{ms}$
- **Hipercubo**  
En este caso, los nodos más alejados también son aquellos de vértices opuestos en cubos 3d diferentes (un ejemplo, son los indicados con una flecha en la figura). La separación entre los mismos es de 4 enlaces. El tiempo de transmisión de un mensaje será:  
 $T=0.1\text{ms}+4*(1\text{ms} + 10\text{ms})+0.1\text{ms}$

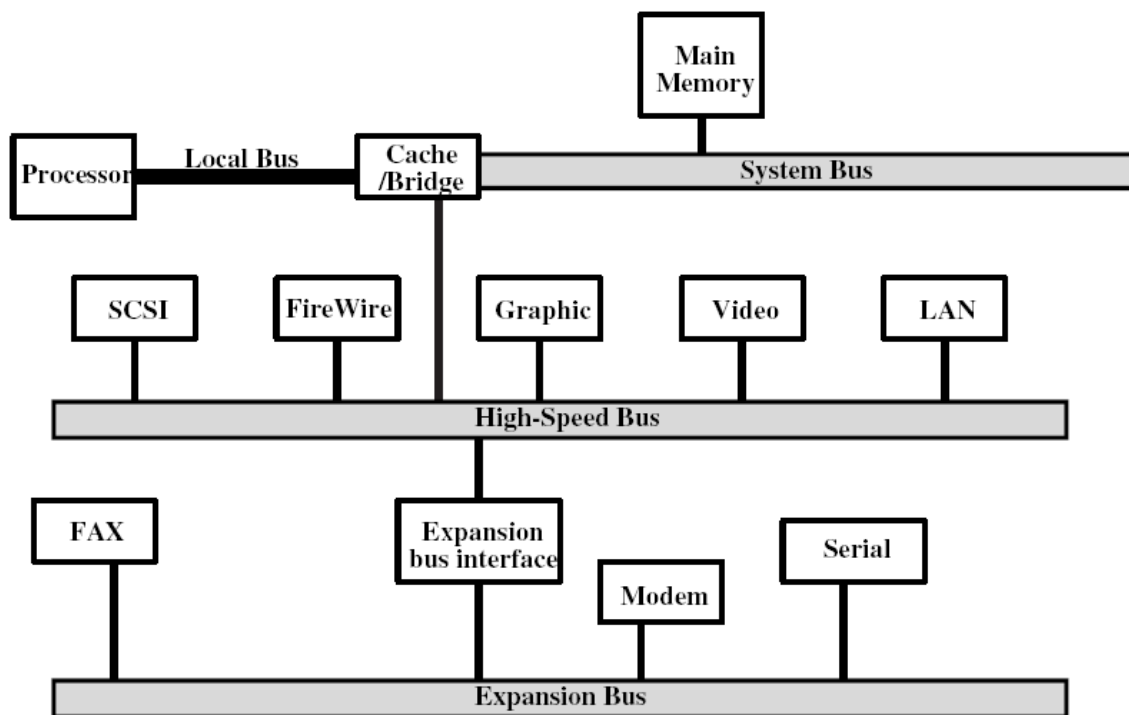
## Pregunta 2 (1 punto).

Dada una arquitectura en la que los buses están configurados siguiendo la aproximación Mezzanine (que coincide con la placa base vista en clase).

Se pide:

1. Dibujar una configuración de buses representando el **bus local**, **bus del sistema** y **bus de expansión**.
2. Dibujar qué dispositivos están conectados a cada uno de los tres buses.
3. Indica la ubicación (en la placa base o dentro del procesador) de cada bus.

## SOLUCIÓN



El bus local está dentro del procesador, mientras que el bus de sistema y expansión están en la placa base.

**Pregunta 3 (2,5 puntos).**

Dado el siguiente código paralelo que se ejecuta en hilos distintos en una arquitectura de memoria compartida con coherencia caché basada en el protocolo MESI y consistencia secuencial.

Hilo 1 (procesador 1)	Hilo 2 (procesador 2)
(1a) print x	(2a) x = 1
(1b) x = 2	(2b) print x

Se asume que la variable x tiene un valor inicial x=0 y que la instrucción print x equivale a una instrucción de lectura.

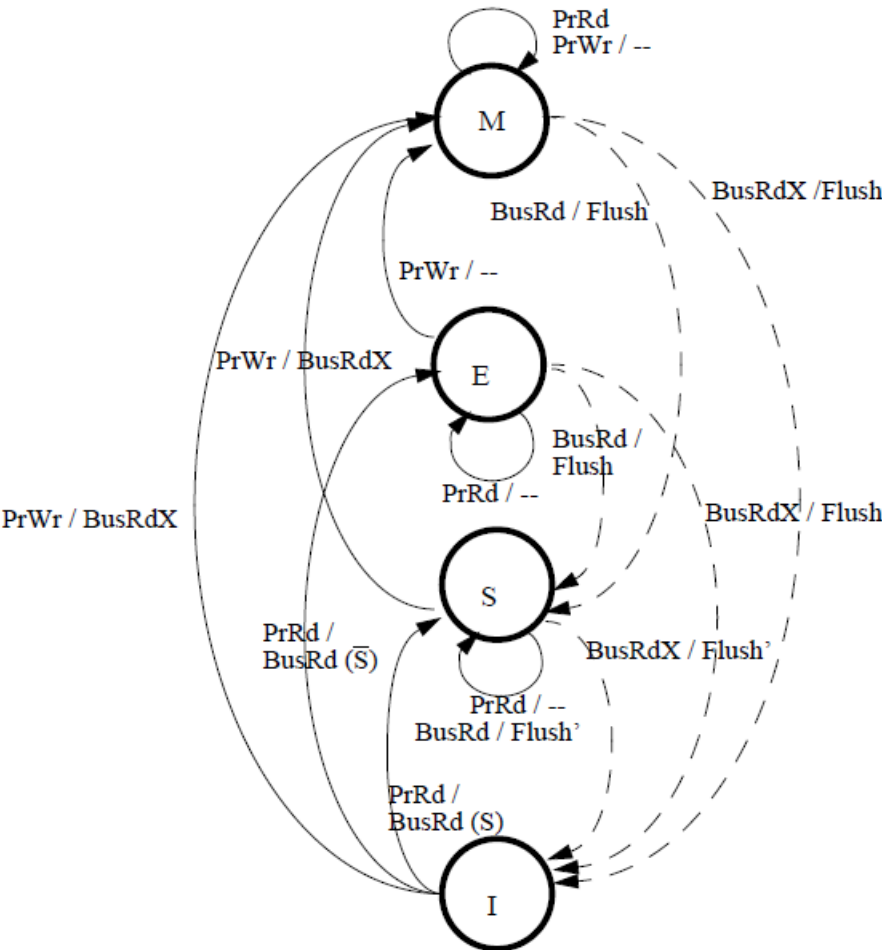
Se pide:

1. Identifica las dependencias de datos existentes dentro de cada hilo. Nota: no es necesario considerar posibles dependencias entre hilos distintos.
2. Indica qué valores de x se pueden imprimir bajo un modelo de consistencia secuencial. Justifica tu respuesta.
3. ¿Existe el riesgo de que las dependencias identificadas en el apartado 1 puedan no ser respetadas (es decir, no cumplidas) en un modelo de consistencia secuencial?
4. Únicamente para la siguiente secuencia de ejecución de instrucciones:

**(1a) → (2a) → (1b) → (2b)**

Indicar en la siguiente tabla los estados, transiciones y transacciones de bus del sistema.

	Transición P1	Transición P2	Acciones del bus
P1: print x			
P2: x=1			
P1:x=2			
P2: print x			



## SOLUCIÓN

### Apartado 1

1a->1b antidependencia

2a -> 2b dependencia de datos verdadera

### Apartado 2

(0,1), (0,2),(1,1), (1,2)

### Apartado 3:

No, las dependencias de datos se respetan debido a que bajo consistencia secuencial no se produce reordenamiento de las instrucciones.

### Apartado 4:

	Transición P1	Transición P2	Acciones del bus
P1: print x	I->E	I	PrRd/BusRd(-S)
P2: x=1	E->I	I->M	PrWr/BusRdX BusRdX/Flush
P1:x=2	I->M	M->I	PrWr/BusRdX BusRdX/Flush
P2: print x	M->S	I->S	PrRd/BusRd(S) BusRd/Flush

## Pregunta 4 (2 puntos).

Dada una arquitectura con dos niveles caché con las siguientes características:

Memoria	L1	L2	RAM
Tiempo de acceso (ns) (hit time)	2	8	100
Tasa de aciertos (hit rate)	0.8	0.9	1

El ordenador ejecuta un programa que reside completamente en memoria (no hay accesos a disco). Se pide:

1. Asumiendo que el 100% de los accesos a memoria son operaciones de escritura, calcular de forma justificada el tiempo medio de acceso a memoria para (a) una política de **escritura inmediata** (*write-through*) y (b) una política de **post-escritura** (*write-back*) en las memorias caché L1 y L2.
2. Considerando los dos niveles de memoria caché L1 y L2 como una única caché global se pide calcular el tiempo medio de acceso y la tasa de aciertos de esta caché global.
3. Dado el siguiente código:

```

for (i=0;i<1000;i=i+32){
    a[i]=a[i+8]+a[i+16];
}

```

El tamaño de cada entrada de **a** es de 8 bytes y el de bloque de 64 bytes. El índice del bucle se almacena en un registro del procesador.

Se pide comentar razonablemente el efecto en el rendimiento del empleo de una técnica de **caché multibanco** que emplea 4 bancos. ¿Qué repercusión tendría el empleo de esta técnica en el tiempo de cada acceso y en el ancho de banda de la caché para este código?

## SOLUCIÓN

### Apartado 1

- **Escritura inmediata**  
Como el 100% de los accesos son operaciones de escritura, todos ellos se realizan en memoria principal. Por este motivo, el tiempo de acceso será:  
 $T=2+8+100=110\text{ns}$  en todos los casos.
- **Post escritura**  
En este caso, si se produce un acierto caché no es necesario escribir en memoria. De este modo el tiempo de acceso será:  
 $T=2+(1-0.8)(8+(1-0.9)*100)=2+0.2(8+0.1*100)=2+0.2*18=2+3.6=5.6\text{ns}$

### Apartado 2

El tiempo medio de acceso:  $T=2+(1-0.8)*8=2+0.2*8=2+1.6=3.6\text{ns}$   
Tasa media de aciertos:  $\text{HitRate}=1-(1-0.8)*(1-0.9)=1-0.2*0.1=1-0.02=0.98$ .

### Apartado 3

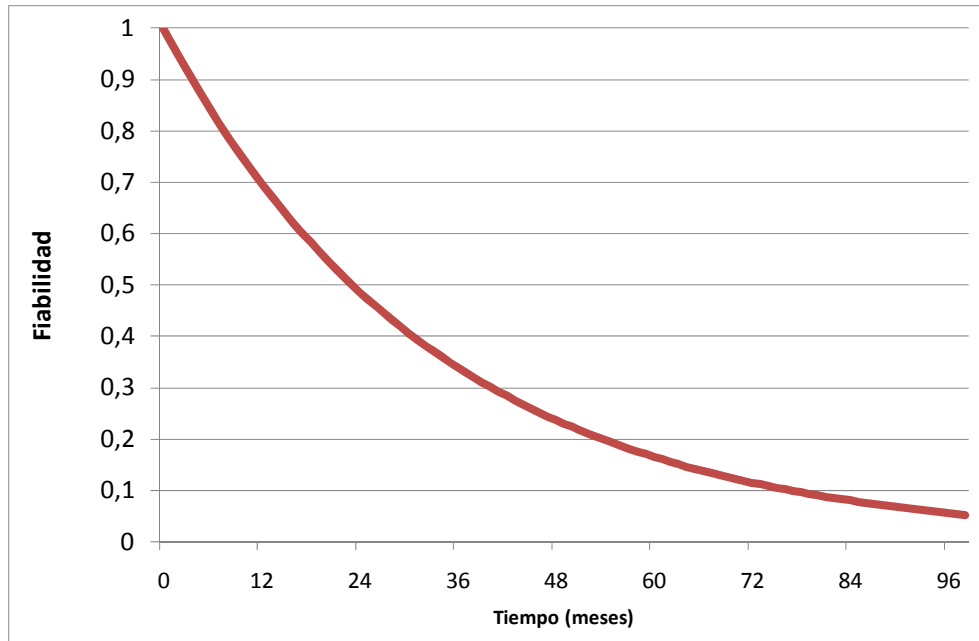
En cada iteración del bucle se acceden a tres bloques distintos que están ubicados en posiciones consecutivas de memoria. Mediante el empleo de una memoria caché no multibanco, se producirían 3 fallos caché que tendrían que ser atendidos secuencialmente. En el caso de una caché multibanco, sería posible acceder de forma paralela a estos tres bloques.

El tiempo de acceso sería el mismo que antes, debido a que esta optimización no mejora el tiempo de acceso a la memoria caché.

El ancho de banda sería el agregado, ya que se estarían haciendo accesos en paralelo. En este caso, serían 3 accesos simultáneos por lo que el ancho de banda sería el triple.

### Pregunta 5 (1 punto).

La siguiente figura muestra la fiabilidad a lo largo del tiempo de 1 disco duro de 1TB:



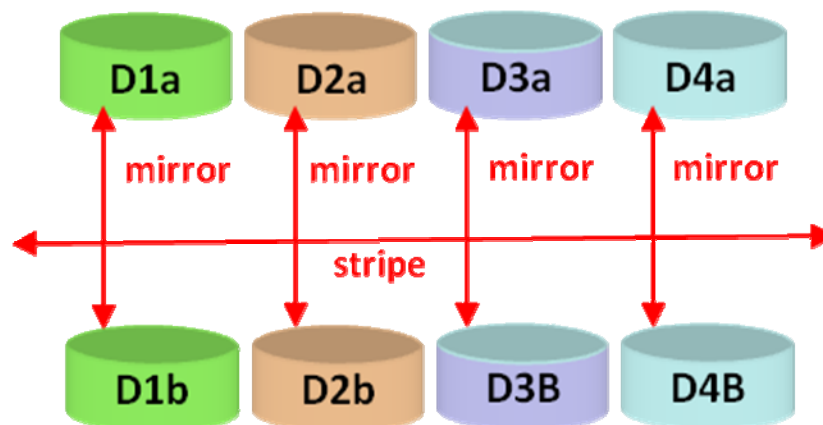
Se pide:

1. Dibujar una configuración RAID 1+0 (*mirrored and striped*) con 4GB de capacidad efectiva (que puede ser ofrecida al usuario).
2. ¿Cuál será la fiabilidad del sistema al cabo de 2 años?
3. ¿Cuál será la fiabilidad del sistema al cabo de 4 años?

### SOLUCIÓN

#### Apartado 1

- La figura muestra una configuración de 4 discos en RAID 1 (D1a, D2a, D3a y D4a) configurados en RAID0 .



- La fiabilidad de un disco a los 24 meses es de 0.5. En el RAID 1 sería:  
 $F_{RAID1} = 1 - (1 - 0.5)^2 = 1 - 0.25 = 0.75$

Este sistema se configura en RAID0. La fiabilidad del RAID1+0 será:

$$F_{\text{RAID1+0}} = 0.75^4 = 0.3164$$

- La fiabilidad de un disco a los 48 meses es de 0.25. En el RAID 1 sería:

$$F_{\text{RAID1}} = 1 - (1 - 0.25)^2 = 1 - 0.56 = 0.4375$$

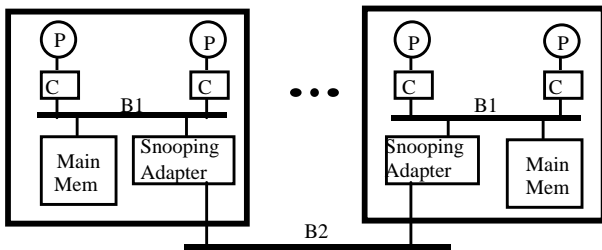
Este sistema se configura en RAID0. La fiabilidad del RAID1+0 será:

$$F_{\text{RAID1+0}} = 0.4375^4 = 0.0366$$

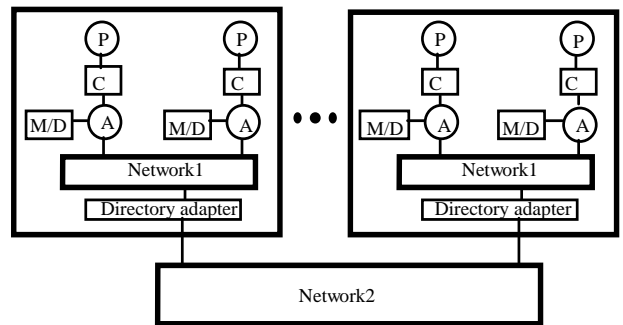
### Pregunta 6 (1 punto).

Las siguientes figuras muestran dos esquemas de arquitecturas NUMA con coherencia distribuida. Se pide describir cada una y compararlas, destacando ventajas e inconvenientes de cada propuesta.

Arquitectura A



Arquitectura B



### SOLUCIÓN

#### Arquitectura A

**Coherencia caché basada en snoopy jerárquico.** En un primer nivel el protocolo de snoopy se aplica a los procesos dentro del nodo de cómputo mientras que en un segundo, se realiza (mediante el mismo protocolo) entre nodos.

**Ventajas:** escala más que un único bus y es fácil de implementar. Protocolo centralizado.

**Inconvenientes:** el bus B2 origina un cuello de botella ya que soporta el tráfico asociado al protocolo de coherencia (invalidaciones, por ejemplo) de todo el sistema.

#### Arquitectura B

**Coherencia caché basada en directorio jerárquico.** En un primer nivel el protocolo de directorio se aplica a los procesos dentro del nodo de cómputo (que están conectados a través de una red) mientras que en un segundo, se realiza mediante directorio entre nodos de distintas redes.

**Ventajas:** Es altamente escalable y distribuido, por lo que no existen puntos de contención.

**Inconvenientes:** la implementación es compleja y es caro.