

Estructura de Computadores (240306)

HISTORIAL DE REVISIONES

| NÚMERO | FECHA | MODIFICACIONES | NOMBRE |
|--------|------------|----------------|--------|
| 0.6.0 | 2018-12-12 | | C. |

Índice general

| | |
|---|----------|
| I Arquitectura del Repertorio de Instrucciones (ISA): computadora von Neumann, datos, instrucciones, programación. | 1 |
| 1. Introducción a la Estructura de los Computadores | 2 |
| 1.1. Introducción | 2 |
| 1.2. Arquitectura de una máquina | 2 |
| 1.3. Perspectiva HW | 3 |
| 1.4. Lenguajes de Programación: Niveles | 6 |
| 1.5. Interface Software/Hardware | 8 |
| 1.6. Temario | 9 |
| 1.6.1. Web Estructura de Ordenadores | 9 |
| 1.6.2. Bibliografía Basica | 10 |
| 1.6.3. Bibliografía Complementaria | 12 |
| 1.7. Profesorado | 12 |
| 1.8. Miaulario-Web-Grupos | 12 |
| 1.9. Metodología | 13 |
| 1.10. Calendario | 14 |
| 1.10.1. Horario | 14 |
| 1.10.2. Distribución de créditos | 19 |
| 1.10.3. Distribución de créditos de las Prácticas | 19 |
| 1.10.4. Exámenes Parciales | 19 |
| 1.10.5. Exámenes Finales | 19 |
| 1.10.6. Calendario | 20 |
| 1.10.7. Sesiones | 20 |
| 1.11. Prácticas | 22 |
| 1.11.1. Calendario | 22 |
| 1.11.2. Memorias | 22 |
| 1.11.3. Estaciones de Trabajo: 32 y 64 bits | 23 |
| 1.12. Ejercicios mediante resolución de problemas | 23 |
| 1.13. Evaluación | 24 |

| | |
|---|-----------|
| 2. Arquitectura Von Neumann | 25 |
| 2.1. Arquitectura Von Neumann | 25 |
| 2.1.1. Temario | 25 |
| 2.1.2. Contexto Histórico | 25 |
| 2.1.2.1. Antecedentes | 25 |
| 2.1.2.2. ENIAC | 25 |
| 2.1.2.3. EDVAC | 26 |
| 2.1.2.4. IAS | 26 |
| 2.1.2.5. Posterior | 26 |
| 2.1.2.6. Tecnología de Semiconductor | 26 |
| 2.2. Institute Advanced Machine (IAS) : Arquitectura | 27 |
| 2.2.1. Referencia | 27 |
| 2.2.2. Ejemplo del Programa sum1toN | 27 |
| 2.2.2.1. Código | 27 |
| 2.2.2.2. Programación Imperativa | 27 |
| 2.2.2.3. Arquitectura | 28 |
| 2.3. IAS: Estructura | 29 |
| 2.3.1. Módulos | 29 |
| 2.3.2. CPU | 31 |
| 2.3.3. Memorias | 32 |
| 2.3.3.1. Memoria Principal | 32 |
| 2.3.3.2. Registros | 33 |
| 2.3.4. Bus | 33 |
| 2.3.5. I/O | 34 |
| 2.4. IAS: Formato de los datos e Instrucciones | 35 |
| 2.5. Arquitectura del Repertorio de Instrucciones de la máquina IAS | 37 |
| 2.5.1. Repertorio ISA | 37 |
| 2.5.2. Interfaz ISA | 39 |
| 2.6. Recordatorio | 40 |
| 2.7. ISA | 41 |
| 2.8. Programación en el Lenguaje Ensamblador IAS | 42 |
| 2.8.1. Máquina Virtual Java JVM | 42 |
| 2.8.2. Simulador IAS | 42 |
| 2.8.2.1. Registros | 43 |
| 2.8.2.2. Notas | 43 |
| 2.8.2.3. Error | 43 |
| 2.8.3. Estrategia del Desarrollo de un Programa en Lenguaje Ensamblador | 44 |
| 2.8.4. Ejemplo 1: sum1toN.ias | 45 |
| 2.8.4.1. Enunciado | 45 |

| | |
|--|-----------|
| 2.8.4.2. Pseudocódigo | 46 |
| 2.8.4.3. Organigrama | 46 |
| 2.8.4.4. RTL | 47 |
| 2.8.4.5. Lenguaje ensamblador iassim | 48 |
| 2.8.4.6. Simulación/Depuración | 52 |
| 2.8.5. Ejemplo 2: Producto/Cociente | 55 |
| 2.8.5.1. Enunciado | 55 |
| 2.8.5.2. Pseudocódigo | 56 |
| 2.8.5.3. Organigramas: Alto Nivel y RTL | 57 |
| 2.8.5.4. Lenguaje Ensamblador IAS | 59 |
| 2.8.5.5. simulación | 59 |
| 2.8.6. Ejemplo 3: Vectores | 60 |
| 2.8.6.1. Enunciado | 60 |
| 2.8.6.2. Pseudocódigo | 60 |
| 2.8.6.3. Organigramas (1 ^a versión): Alto Nivel y RTL | 61 |
| 2.8.6.4. Organigrama (2 ^a versión): RTL | 62 |
| 2.8.6.5. Organigrama (3 ^a versión): RTL | 63 |
| 2.8.6.6. Lenguaje Ensamblador IAS (1 ^a versión) | 64 |
| 2.8.6.7. Simulación (1 ^a versión) | 65 |
| 2.8.6.8. Lenguaje Ensamblador IAS (2 ^a versión) | 65 |
| 2.8.6.9. Simulación (2 ^a versión) | 65 |
| 2.8.6.10. Lenguaje Ensamblador IAS (3 ^a versión) | 65 |
| 2.8.6.11. Simulación (3 ^a versión) | 65 |
| 2.9. Operación de la Máquina IAS | 66 |
| 2.10. Conclusiones | 67 |
| 3. Representación de los Datos | 68 |
| 3.1. Temario | 68 |
| 3.2. Objetivo | 68 |
| 3.3. Introducción | 68 |
| 3.4. Bit, Byte, Palabra | 68 |
| 3.5. Números Enteros | 69 |
| 3.5.1. introducción | 69 |
| 3.5.2. Base binaria | 69 |
| 3.5.3. Base Octal | 70 |
| 3.5.3.1. Base Hexadecimal | 70 |
| 3.5.4. Calculadora | 70 |
| 3.5.5. Python | 70 |
| 3.5.6. Enteros con Signo | 71 |

| | |
|---|-----------|
| 3.5.6.1. Signo-Magnitud | 71 |
| 3.5.6.2. Complemento a 2 | 71 |
| 3.6. Números Reales | 74 |
| 3.6.1. Coma Fija | 74 |
| 3.6.2. Coma Flotante | 74 |
| 3.6.2.1. Formato | 74 |
| 3.6.2.2. Precisión | 74 |
| 3.6.2.3. Norma IEEE-Standard 754 | 75 |
| 3.6.2.4. Conversores de Código | 75 |
| 3.6.2.5. Float Point: Representación del Cero, Infinito e Indeterminado | 75 |
| 3.6.2.6. Referencia | 76 |
| 3.7. Character Type | 77 |
| 3.7.1. ASCII | 77 |
| 3.7.2. Python | 79 |
| 3.7.3. Unicode UTF-8 | 79 |
| 3.7.4. Programación en C | 80 |
| 3.7.5. Otros | 80 |
| 4. Operaciones Aritmeticas y Logicas | 81 |
| 4.1. Temario | 81 |
| 4.2. Objetivo | 81 |
| 4.3. Introducción | 81 |
| 4.4. Aritmetica Binaria | 81 |
| 4.4.1. Suma en módulo 2 (binaria) en binario puro | 81 |
| 4.4.1.1. Overflow-Desbordamiento | 82 |
| 4.4.2. Resta en módulo 2 (binaria) en binario puro | 82 |
| 4.4.3. Resta en módulo 2 (binaria) en complemento a 2 | 82 |
| 4.4.3.1. Overflow en Complemento a 2 (C2) | 83 |
| 4.4.4. Suma en Módulo 16 (Hexadecimal) | 83 |
| 4.4.5. Resta en Módulo 16 (Hexadecimal) | 83 |
| 4.4.5.1. Suma en base hexadecimal en formato complemento a 2 | 84 |
| 4.4.5.2. Suma en base 8 (Octal) | 84 |
| 4.4.6. Tipos de variables en C | 84 |
| 4.5. Operaciones Logicas | 85 |
| 4.5.1. Operadores BITWISE | 85 |
| 4.5.1.1. Lenguaje C | 85 |
| 4.5.1.2. Tablas de la Verdad | 85 |
| 4.5.1.3. Expresión Lógica | 85 |
| 4.6. Multiplicación | 85 |

| | |
|--|-----------|
| 4.7. Programación | 87 |
| 4.7.1. funciones matemáticas | 87 |
| 4.7.2. Aplicación | 87 |
| 4.8. Hardware | 87 |
| 4.8.1. Circuitos Digitales | 87 |
| 4.8.1.1. Básicos:Puerta lógicas | 87 |
| 4.8.1.2. Complejos | 87 |
| 4.8.2. Unidad Aritmetico Lógica (ALU) | 87 |
| 4.8.3. Registro de flags EFLAG | 88 |
| 4.8.4. Float Point Unit-FPU | 89 |
| 5. Representación de las Instrucciones | 90 |
| 5.1. Temario | 90 |
| 5.1.1. Bibliografía | 90 |
| 5.2. Objetivos | 90 |
| 5.2.1. Requisitos | 90 |
| 5.3. Introducción | 90 |
| 5.3.1. Diseño | 90 |
| 5.3.2. Representación | 91 |
| 5.3.3. Estructura de la Memoria | 91 |
| 5.3.3.1. Memoria Principal | 91 |
| 5.4. Elementos de una Instrucción Máquina | 91 |
| 5.4.1. Direcciones implícitas | 92 |
| 5.4.2. Tipos de Arquitecturas de Operando: Ejemplos | 92 |
| 5.5. Representación de las instrucciones en lenguaje ensamblador (ASM) para la arquitectura i386/amd64 | 93 |
| 5.5.1. Lenguaje Máquina Binario | 93 |
| 5.5.1.1. Almacenamiento en Memoria | 93 |
| 5.6. Operandos: Modos de Direccionamiento | 94 |
| 5.6.1. Localización | 94 |
| 5.6.2. Direcciones referenciadas durante el ciclo de instrucción | 94 |
| 5.6.3. Direccionamiento para un lenguaje general | 94 |
| 5.6.3.1. Formato de instrucción: Campos | 94 |
| 5.6.3.2. Tipos de direccionamiento | 95 |
| 5.7. Operaciones | 96 |
| 5.7.1. Códigos de Operación | 96 |
| 5.7.2. Tipos de Operaciones | 96 |
| 5.8. ISA de Diferentes Computadoras | 99 |
| 5.8.1. Intel x86, Motorola 68000, MIPS, ARM | 99 |

| | |
|--|------------|
| 6. Programación en Lenguaje Ensamblador (x86): Construcciones básicas de los lenguajes de alto nivel. | 100 |
| 6.1. Temario | 100 |
| 6.2. Introducción | 100 |
| 6.2.1. Objetivos | 100 |
| 6.2.2. Requisitos | 100 |
| 6.3. Procesadores Intel con arquitectura x86 | 101 |
| 6.3.1. Nomenclatura | 101 |
| 6.3.1.1. General | 101 |
| 6.3.1.2. linux i386/amd64 | 102 |
| 6.3.1.3. procesador o arquitectura | 102 |
| 6.4. Estructura de la Computadora | 102 |
| 6.4.1. CPU | 102 |
| 6.4.2. Memoria | 102 |
| 6.4.3. Memoria Principal | 102 |
| 6.4.4. Registros internos a la CPU | 102 |
| 6.4.4.1. introducción | 102 |
| 6.4.4.2. Registros visibles al programador | 103 |
| 6.4.4.3. Compatibilidad 32-64 | 104 |
| 6.4.4.4. Control Flag Register | 104 |
| 6.4.4.5. Otros Registros | 106 |
| 6.5. Lenguaje Intel versus Lenguaje AT&T | 107 |
| 6.5.1. Lenguajes ensamblador de la arquitectura i386/amd64 | 107 |
| 6.5.2. Sintaxis de las instrucciones en el lenguaje INTEL | 107 |
| 6.5.2.1. GNU Assembly (Gas) | 107 |
| 6.5.3. Traductores del proceso de ensamblaje | 108 |
| 6.5.4. Código Máquina | 109 |
| 6.5.4.1. Almacenamiento en Memoria | 109 |
| 6.5.4.2. Interpretación del Código Máquina | 109 |
| 6.5.5. Assembler "as" | 109 |
| 6.5.5.1. Directivas | 109 |
| 6.5.5.2. Manual | 110 |
| 6.6. Representación de los datos en lenguaje ensamblador (ASM) para la arquitectura i386/amd64 | 111 |
| 6.6.1. Tipos de Datos | 111 |
| 6.6.1.1. Números y Caracteres | 111 |
| 6.6.1.2. Directivas de la Sección de Datos | 111 |
| 6.6.2. Tamaño del operando x86 | 112 |
| 6.6.3. Alineamiento de Bytes: Big-LittleEndian | 112 |
| 6.7. Operandos: Modos de Direcccionamiento | 115 |
| 6.7.1. Localización | 115 |

| | |
|---|-----|
| 6.7.2. Modos de Direccionamiento | 115 |
| 6.7.2.1. Ejemplos | 116 |
| 6.8. Repertorio de Instrucciones: Operaciones | 116 |
| 6.8.1. Manuales de referencia | 116 |
| 6.8.1.1. Lenguaje Intel | 116 |
| 6.8.1.2. lenguaje AT&T | 117 |
| 6.8.2. TRANSFERENCIA | 117 |
| 6.8.3. ARITMÉTICOS | 119 |
| 6.8.4. LÓGICOS | 120 |
| 6.8.5. MISCELÁNEOS | 120 |
| 6.8.6. SALTOS (generales) | 120 |
| 6.8.7. SALTOS Sin Signo (Cardinal) SALTOS Con Signo (Integer) | 120 |
| 6.8.8. FLAGS (ODITSZAPC) | 121 |
| 6.8.9. Sufijos | 121 |
| 6.8.10. Códigos de Operación | 121 |
| 6.9. Mnemónicos Básicos (Explicados) | 122 |
| 6.9.1. Operaciones aritméticas | 122 |
| 6.9.2. Procesamiento Condicional | 123 |
| 6.9.2.1. Boolean & Comparación | 123 |
| 6.9.3. Saltos | 123 |
| 6.9.3.1. Indirectos | 123 |
| 6.9.4. Desplazamiento y rotación | 124 |
| 6.9.5. Cambiar el Endianess | 124 |
| 6.10. Formato de Instrucción: ISA Intel x86-64 | 124 |
| 6.11. Subrutinas | 125 |
| 6.11.1. Introducción | 125 |
| 6.11.2. Lenguaje C: Sentencia Función | 125 |
| 6.11.2.1. Introducción | 125 |
| 6.11.2.2. Declaración | 125 |
| 6.11.2.3. Definición | 125 |
| 6.11.2.4. LLamada y Retorno | 126 |
| 6.11.3. Anidamiento de Funciones | 126 |
| 6.11.4. Pila/Frame | 127 |
| 6.11.5. Definición de la subrutina | 127 |
| 6.11.6. Registros a Preservar | 128 |
| 6.11.6.1. Refs | 128 |
| 6.11.6.2. Rutina llamante | 128 |
| 6.11.6.3. Subrutina llamada | 128 |
| 6.11.6.4. Arquitectura amd64 | 128 |

| | |
|--|-----|
| 6.11.7. Argumentos de la subrutina | 128 |
| 6.11.8. Llamada a la subrutina | 128 |
| 6.11.9. Retorno de la subrutina | 129 |
| 6.11.10. Estado de la pila | 129 |
| 6.11.10.1. Previo al salto de la llamada a la subrutina | 129 |
| 6.11.10.2. Posterior al salto de la llamada a la subrutina | 129 |
| 6.11.10.3. Creación del nuevo frame <i>sumMtoN</i> | 130 |
| 6.11.10.4. Previo al salto de retorno | 130 |
| 6.11.10.5. Posterior al salto de retorno | 130 |
| 6.12. Llamadas al Sistema Operativo | 130 |
| 6.12.1. Introducción | 130 |
| 6.12.2. Ejemplos | 131 |
| 6.13. Bibliografías | 132 |

II Unidades Básicas: Procesador Central, Unidad de Memoria, Mecanismos Entrada/Salida. 133

| | |
|---|-----|
| 7. Procesador Central | 134 |
| 7.1. Temario | 134 |
| 7.2. Refs | 134 |
| 7.3. Introducción | 134 |
| 7.4. Conjunto de Instrucciones | 135 |
| 7.4.1. Arquitectura (ISA) | 135 |
| 7.4.2. Ejemplos: Intel x86, Motorola 68000, MIPS, ARM | 135 |
| 7.5. La Computadora desde el punto de vista del programador | 136 |
| 7.5.1. Niveles o Capas de Abstracción | 136 |
| 7.5.2. Compatibilidad Software | 137 |
| 7.5.2.1. Compatibilidad | 137 |
| 7.5.2.2. Ejemplos | 137 |
| 7.6. Fases de Ejecución de una Instrucción | 138 |
| 7.6.1. Estructura | 138 |
| 7.6.2. Ciclo / Diagrama / Fases | 139 |
| 7.6.3. Ejemplo: máquina IAS de Von-Neumann | 140 |
| 7.6.3.1. Diagrama de Microoperaciones | 140 |
| 7.7. Microarquitectura: Unidades Funcionales | 141 |
| 7.7.1. Introducción | 141 |
| 7.7.2. Implementación del ciclo de instrucción | 142 |
| 7.7.3. Estructura de la CPU | 142 |
| 7.7.4. Fase de Captación | 142 |
| 7.7.5. Perspectiva de la CPU | 143 |

| | |
|---|------------|
| 7.7.5.1. Unidad de Control | 144 |
| 7.7.5.2. Unidad de Ejecucion (EU) | 144 |
| 7.7.5.3. Ruta de Datos | 144 |
| 7.7.6. Unidad de Control Microprogramada | 145 |
| 7.8. Arquitecturas CISC/RISC | 146 |
| 7.8.1. Introducción | 146 |
| 7.8.1.1. CISC | 146 |
| 7.8.1.2. RISC | 146 |
| 7.8.1.3. Cuestiones | 146 |
| 7.8.1.4. SW | 147 |
| 7.8.2. Tabla Comparativa | 147 |
| 7.9. Instruction Level Parallelism (ILP) | 147 |
| 7.9.1. VLIW vs Superscalar | 147 |
| 7.9.1.1. VLIW | 147 |
| 7.9.1.2. Superscalar | 147 |
| 7.9.1.3. Comparativa Superscalar-VLIW | 148 |
| 7.9.2. Pipeline (Segmentacion) | 148 |
| 7.10. Ejercicios | 152 |
| 7.11. Imagenes | 152 |
| 8. Mecanismos de Entrada/Salida | 153 |
| 8.1. Temario | 153 |
| 8.2. Bibliografia | 153 |
| 8.3. Periféricos | 153 |
| 8.3.1. Ejemplos | 153 |
| 8.3.2. Modelo | 154 |
| 8.4. Teclado | 154 |
| 8.5. Arquitectura Computadora | 155 |
| 8.5.1. Von Neumann | 155 |
| 8.5.2. Conexión CPU-E/S | 155 |
| 8.5.3. Controlador I/O | 156 |
| 8.5.3.1. Introducción | 156 |
| 8.5.3.2. Puertos | 156 |
| 8.5.4. Espacio de direcciones | 157 |
| 8.5.4.1. Memory-Mapped I/O (MMIO) | 157 |
| 8.5.4.2. Port mapped I/O (PMIO) | 157 |
| 8.5.4.3. Direcciones de los periféricos | 158 |
| 8.5.5. Buses | 158 |
| 8.5.6. Analisis: Portatil Lenovo - Disco Duro | 160 |

| | |
|--|-----|
| 8.6. Programa E/S | 160 |
| 8.6.1. Módulo fuente | 160 |
| 8.6.1.1. ISA | 161 |
| 8.7. Driver: Sistema Operativo | 161 |
| 8.7.1. Gestor E/S: jerarquía | 161 |
| 8.7.2. Código Fuente | 161 |
| 8.7.3. Concepto | 161 |
| 8.7.4. Utilizacion del Driver | 162 |
| 8.8. Mecanismos de Implementación de la Interfaz E/S | 162 |
| 8.8.1. Introduccion | 162 |
| 8.8.2. Sincronización por Encuesta | 162 |
| 8.8.3. Sincronización por Interrupción | 163 |
| 8.8.4. Direct Memory Access (DMA) | 164 |
| 8.8.5. Channel I/O | 165 |
| 8.8.5.1. Memory Shared | 165 |
| 8.8.5.2. Memory Independent | 165 |
| 8.9. Sincronizacion por Interrupcion | 165 |
| 8.9.1. Concepto | 166 |
| 8.9.2. Mecanismo de Interrupcion | 166 |
| 8.9.3. Controlador de Interrupciones | 166 |
| 8.9.3.1. PIC | 166 |
| 8.9.3.2. NMI | 168 |
| 8.9.3.3. Intel | 168 |
| 8.9.4. Gestor de Interrupciones | 168 |
| 8.9.5. Tipos de Interrupciones | 169 |
| 8.9.6. Tabla de los Vectores de interrupciones | 169 |
| 8.9.6.1. Modo Real: Tabla IVT | 169 |
| 8.9.6.2. Modo Protegido: Tabla IDT | 171 |
| 8.9.6.3. IRQ | 172 |
| 8.9.6.4. Linux | 173 |
| 8.10. Acceso Directo a Memoria DMA | 173 |
| 8.10.1. Funcionalidad | 173 |
| 8.10.2. Transferencias | 173 |
| 8.10.3. Sincronización | 174 |
| 8.10.4. Operación del controlador DMA | 174 |
| 8.10.4.1. Secuencia de pasos a nivel alto | 174 |
| 8.10.4.2. Secuencia de pasos a nivel bajo | 174 |
| 8.10.5. Problemas de coherencia en la memoria cache | 174 |
| 8.11. Buses | 175 |

| | |
|--|------------|
| 8.11.1. ISA | 175 |
| 8.11.2. PCI | 177 |
| 8.11.3. North-South Bridge | 178 |
| 8.11.4. Chipset x58 | 178 |
| 8.12. Programacion de rutinas de entrada/salida | 179 |
| 8.12.1. Software jerarquico del sistema operativo | 179 |
| 8.12.2. Instruction Set Architecture | 180 |
| 8.12.2.1. Intel Manual | 180 |
| 8.12.3. Programación del Controlador de Interrupciones Programable | 181 |
| 8.12.4. Driver del Teclado | 182 |
| 8.12.5. paralell port | 182 |
| 8.12.5.1. Desde Espacio de Usuario | 182 |
| 8.12.6. Serial communication RS-232 | 183 |
| 8.13. Ejercicios | 183 |
| 9. Unidad de Memoria | 184 |
| 9.1. Introducción | 184 |
| 9.1.1. Temario | 184 |
| 9.1.2. Libro: William Stalling | 184 |
| 9.1.3. Historia | 184 |
| 9.1.4. Interés | 185 |
| 9.1.5. Perspectivas | 185 |
| 9.1.6. Jerarquía de Memoria | 186 |
| 9.2. Registros | 187 |
| 9.2.1. Arquitectura amd64 | 187 |
| 9.3. Memoria Principal (RAM Dinámica DRAM) | 188 |
| 9.3.1. Tipos de memoria de semiconducto | 188 |
| 9.3.2. Memoria principal semiconductora | 189 |
| 9.3.2.1. Organización | 189 |
| 9.3.2.2. DRAM (Dynamic Random Access Memory) | 190 |
| 9.3.2.3. DRAM (Operaciones de lectura-escritura-refresco) | 191 |
| 9.3.2.4. Ejemplo de Estructura | 191 |
| 9.3.2.5. DRAM Matriz(Array 2D) | 191 |
| 9.3.2.6. Logica del Chip (Figura 5.3 del libro) | 192 |
| 9.3.2.7. Encapsulado | 192 |
| 9.3.2.8. Temporización de la operación de lectura/escritura | 192 |
| 9.3.2.9. latency times | 194 |
| 9.3.2.10. Ejemplo PC2-6400 (DDR2-800) 5-5-5-16 | 194 |
| 9.3.2.11. Agrupamientos: Módulos-Rank-Chips-Bank | 195 |

| | |
|---|-----|
| 9.3.2.12. Ejemplo | 196 |
| 9.3.2.13. LECTURA de una palabra de la memoria MP | 196 |
| 9.3.3. Organización avanzada de memorias DRAM | 197 |
| 9.3.3.1. DRAM asincrona | 197 |
| 9.3.3.2. SDRAM (Synchronous DRAM) | 197 |
| Referencias | 197 |
| 9.3.3.3. Ejemplo DDR3-800 / PC3-6400 5-5-5 | 198 |
| 9.3.3.4. Ejemplo PC3-22400 11-14-14-35 | 199 |
| 9.3.3.5. Diferencia entre PC2-6400 y PC3-6400 | 199 |
| 9.3.3.6. Anchos de banda standard | 199 |
| 9.3.3.7. Capacidad | 200 |
| 9.3.3.8. Bank Switching | 200 |
| 9.3.4. Imagenes | 200 |
| 9.4. Memoria Cache | 201 |
| 9.4.1. Bibliografia | 201 |
| 9.4.2. Introducción | 201 |
| 9.4.3. Principios Basicos | 201 |
| 9.4.3.1. Tecnología | 201 |
| 9.4.3.2. Funcionalidad | 202 |
| 9.4.3.3. Jerarquía | 202 |
| 9.4.3.4. Interconexion | 202 |
| 9.4.3.5. Acierto-Fallo | 204 |
| 9.4.3.6. Estructura Cache/Principal | 205 |
| 9.4.3.7. Operacion de Lectura | 206 |
| 9.4.4. Elementos de Diseño de la Cache | 206 |
| 9.4.4.1. Tamaño | 207 |
| 9.4.4.2. Funcion de Correspondencia | 207 |
| 9.5. Memoria Virtual | 214 |
| 9.5.1. Bibliografia | 214 |
| 9.5.2. Sistemas Operativos: Gestión de la Memoria | 214 |
| 9.5.2.1. Sistemas Multiproceso | 214 |
| 9.5.2.2. Gestión de la Memoria Física | 214 |
| 9.5.2.3. Gestión mediante la Memoria Virtual | 215 |
| 9.5.3. Memoria Virtual Segmentada | 216 |
| 9.5.3.1. Interpretación de la segmentación | 216 |
| 9.5.3.2. Secciones | 217 |
| 9.5.3.3. Enlace de Secciones | 218 |
| 9.5.3.4. Segmentos lógicos | 218 |
| 9.5.3.5. Evolución memoria Intel 8086-80286 | 222 |

| | |
|---|-----|
| 9.5.4. Memoria Virtual Página | 224 |
| 9.5.4.1. Fundamento | 224 |
| 9.5.4.2. Concepto de Memoria Virtual Página | 225 |
| 9.5.4.3. Fragmentación | 225 |
| 9.5.4.4. MMU | 225 |
| 9.5.4.5. Virtual Memory Cached | 225 |
| 9.5.4.6. Tabla de páginas | 226 |
| 9.5.4.7. Multilevel paging | 228 |
| 9.5.4.8. Intel: Evolución memoria virtual | 229 |
| 9.5.4.9. Glosario | 230 |
| 9.5.4.10. Traducción: dirección virtual a física | 231 |
| 9.5.4.11. Translation Lookaside Buffer | 232 |
| 9.5.4.12. Ejercicio | 234 |
| 9.5.4.13. Intel Core i7 | 239 |
| 9.5.5. Sistemas Operativos: Gestión de la Memoria | 243 |
| 9.5.5.1. Protección | 243 |
| 9.5.5.2. Página Bajo Demanda | 243 |
| 9.5.5.3. Reemplazo | 244 |
| 9.5.5.4. VM Tool | 244 |

III Ejercicios 245

| | |
|---|-----|
| 10. Ejercicios de los Temas 1-9 246 | |
| 10.1. Arquitectura von Neumann | 246 |
| 10.1.1. Computadoras: IAS, ENIAC, | 246 |
| 10.1.2. Interconexión CPU-Memoria | 249 |
| 10.2. Representación de Datos | 253 |
| 10.3. Operaciones Aritméticas | 257 |
| 10.4. Operaciones Lógicas | 259 |
| 10.5. Representación de las Instrucciones | 260 |
| 10.6. Programación asm | 271 |
| 10.6.1. Datos | 271 |
| 10.6.2. Modos de Direccionamiento | 271 |
| 10.6.3. Aritmética | 272 |
| 10.6.4. Saltos | 274 |
| 10.6.5. If-Then-Else | 275 |
| 10.6.6. Do-While Loops | 276 |
| 10.7. Lenguaje de Programación C | 278 |
| 10.7.1. Punteros | 278 |

| | |
|--|------------|
| 10.8. Capítulo 4: Memoria Cache | 278 |
| 10.9. Capítulo 5: Memoria Sincrona Dinámica RAM (SDRAM) | 282 |
| 10.10 Capítulo 7: Sistemas Entrada/Salida | 284 |
| 10.11 Capítulo 8: Operating System | 288 |
| 10.12 Capítulo 12: Processor Structure and Function (Capítulo 14 en 9 ^a Ed) | 295 |
| 10.13 Capítulo 13: Reduces Instruction Set Computer (Capítulo 15 en 9 ^a Ed) | 301 |
| IV Autoevaluación Teoría | 308 |
| 11. Teoría: Cuestionario | 309 |
| 11.1. Arquitectura von Neumann | 309 |
| V Guiones de Prácticas: Programación Ensamblador x86 | 311 |
| 12. Introducción a la Programación en Lenguaje Ensamblador AT&T x86-32 | 312 |
| 12.1. Introducción | 312 |
| 12.1.1. Objetivos | 312 |
| 12.1.2. Requisitos | 312 |
| 12.1.2.1. Teóricos | 312 |
| 12.1.2.2. Prácticos | 312 |
| 12.2. LEEME | 313 |
| 12.3. Cuestiones | 313 |
| 12.4. Estación de Trabajo | 313 |
| 12.5. Programación sum1toN.c | 314 |
| 12.5.1. Algoritmo | 314 |
| 12.5.2. Edición del Módulo fuente: sum1toN.c | 314 |
| 12.5.3. Compilación | 314 |
| 12.5.4. Análisis de los módulos | 315 |
| 12.5.5. Ejecución | 315 |
| 12.5.6. Depuración | 315 |
| 12.5.6.1. introducción | 315 |
| 12.5.6.2. Generación de la tabla de símbolos | 315 |
| 12.5.6.3. gdb | 315 |
| 12.5.6.4. Logging | 315 |
| 12.5.6.5. Comandos linux | 316 |
| 12.5.6.6. Ventanas | 316 |
| 12.5.6.7. Ayuda | 316 |
| 12.5.6.8. Cargar módulo objeto ejecutable | 316 |
| 12.5.6.9. Ejecución paso a paso | 316 |

| | |
|---|------------|
| 12.5.6.10. Bucle | 316 |
| 12.5.6.11. Análisis de la memoria | 317 |
| 12.5.6.12. Desensamblar | 317 |
| 12.5.6.13. Salir | 317 |
| 12.5.7. Documento Memoria | 317 |
| 12.6. Programación sum1toN.s | 318 |
| 12.6.1. Algoritmo | 318 |
| 12.6.2. Edición del Módulo fuente: sum1toN.s | 318 |
| 12.6.3. Compilación | 319 |
| 12.6.4. Ejecución | 319 |
| 12.6.5. Análisis del módulo Fuente | 319 |
| 12.6.6. Depuración | 319 |
| 12.6.6.1. Inicio | 319 |
| 12.6.6.2. Arrancar el programa | 319 |
| 12.6.6.3. Analizar símbolos en memoria | 320 |
| 12.6.6.4. Registros | 320 |
| 12.6.6.5. Instrucciones máquina | 320 |
| 12.6.6.6. Fin | 320 |
| 12.7. Arquitectura amd64 | 320 |
| 13. Representación de los Datos | 321 |
| 13.1. Introducción | 321 |
| 13.1.1. Objetivos | 321 |
| 13.1.2. Módulos fuente | 321 |
| 13.1.3. Requisitos | 322 |
| 13.2. LEEME | 322 |
| 13.3. Cuestiones | 322 |
| 13.4. Registros internos de la CPU | 322 |
| 13.5. Tamaño de los datos y variables | 323 |
| 13.5.1. Algoritmo | 323 |
| 13.5.2. Edición del Módulo fuente: datos_size.s | 323 |
| 13.5.3. Compilación | 323 |
| 13.5.4. Ejecución | 323 |
| 13.5.5. Análisis del módulo fuente | 323 |
| 13.5.5.1. Estructura | 324 |
| 13.5.5.2. Definición de Macros | 324 |
| 13.5.5.3. Sección de Datos | 324 |
| 13.5.5.4. Sección de Instrucciones | 324 |
| 13.5.6. Ejecución paso a paso | 324 |

| | |
|---|------------|
| 13.5.6.1. Observaciones | 324 |
| 13.5.6.2. Operaciones | 325 |
| 13.6. Tamaño de los Operandos | 327 |
| 13.6.1. Edición del Módulo fuente: datos_sufijos.s | 327 |
| 13.6.2. Compilación | 328 |
| 13.6.3. Ejecución | 328 |
| 13.6.4. Análisis del módulo fuente | 328 |
| 13.6.5. Deducción del tamaño del operando en una instrucción | 329 |
| 13.6.6. Ejecución paso a paso | 329 |
| 13.7. Modos de Direcciónamiento | 330 |
| 13.7.1. Edición del Módulo fuente: datos_direccionamiento.s | 330 |
| 13.7.2. Compilación | 331 |
| 13.7.3. Ejecución | 331 |
| 13.7.4. Análisis del módulo fuente | 331 |
| 13.7.5. Ejecución paso a paso | 331 |
| 14. Operaciones Aritméticas y Lógicas | 333 |
| 14.1. Introducción | 333 |
| 14.1.1. Objetivos | 333 |
| 14.1.2. Conceptos de Arquitectura | 333 |
| 14.1.3. Módulos fuente | 333 |
| 14.1.4. Requisitos | 333 |
| 14.2. LEEME | 334 |
| 14.3. Cuestiones | 334 |
| 14.4. Registros internos de la CPU | 334 |
| 14.5. Operaciones Aritméticas y Lógicas con Números Enteros con Signo | 335 |
| 14.5.1. Edición del Módulo fuente: op_arit_log.s | 335 |
| 14.5.2. Compilación | 336 |
| 14.5.3. Ejecución | 336 |
| 14.5.4. Análisis del módulo fuente | 337 |
| 14.5.5. Ejecución paso a paso | 337 |
| 14.5.5.1. Observaciones | 337 |
| 14.5.5.2. Operaciones | 337 |
| 14.5.5.3. Operaciones aritméticas | 337 |
| 14.5.5.4. Operaciones lógicas | 337 |

| | |
|---|------------|
| 15. Instrucciones de Saltos Condicionales | 338 |
| 15.1. Introducción | 338 |
| 15.1.1. Objetivos | 338 |
| 15.1.2. Requisitos | 338 |
| 15.2. LEEME | 338 |
| 15.3. Cuestiones | 338 |
| 15.4. Saltos Condicionales | 339 |
| 15.4.1. Algoritmo | 339 |
| 15.4.2. Edición del Módulo fuente: saltos.s | 339 |
| 15.4.3. Compilación | 341 |
| 15.4.4. Ejecución | 341 |
| 15.4.5. Análisis del módulo fuente | 341 |
| 15.4.5.1. Estructura | 341 |
| 15.4.6. Ejecución paso a paso | 342 |
| 15.4.6.1. Operaciones Iniciales | 342 |
| 15.4.6.2. Registro EFLAGS | 342 |
| 15.4.6.3. Saltos | 342 |
| 15.5. Mnemónicos Utilizados | 342 |
| 16. Llamadas al Sistema Operativo (Kernel) | 343 |
| 16.1. Introducción | 343 |
| 16.1.1. Qué son las llamadas al sistema | 343 |
| 16.1.2. Manuales de las llamadas al sistema | 343 |
| 16.1.3. Códigos de las llamadas | 343 |
| 16.1.4. Cómo pasar los argumentos directamente al Kernel | 344 |
| 16.1.5. Como pasar los argumentos indirectamente a través de funciones libc | 344 |
| 16.2. LEEME | 344 |
| 16.3. Cuestiones | 344 |
| 16.4. Llamada Exit | 344 |
| 16.4.1. Edición del Módulo fuente:salida.c / salida.s | 344 |
| 16.5. LLamar a la librería de C desde código ensamblador | 345 |
| 16.5.1. imprimir.s: printf | 345 |
| 16.6. Llamadas al Sistema en la Arquitectura AMD64 | 346 |
| 17. Subrutinas | 347 |
| 17.1. Introducción | 347 |
| 17.1.1. Objetivos | 347 |
| 17.1.1.1. Programación | 347 |
| 17.1.1.2. Análisis | 347 |

| | |
|---|------------|
| 17.2. Módulo Fuente | 347 |
| 17.3. Requisitos | 348 |
| 17.4. LEEME | 348 |
| 17.5. Cuestiones | 348 |
| 17.6. Tamaño de los datos y variables | 349 |
| 17.6.1. Algoritmo | 349 |
| 17.6.2. Edición del Módulo fuente: sumMtoN.s | 349 |
| 17.6.3. Compilación | 350 |
| 17.6.4. Ejecución | 350 |
| 17.6.5. Análisis del módulo fuente | 351 |
| 17.6.5.1. Estructura | 351 |
| 17.6.5.2. Ejecución modo paso a paso mediante el depurador GDB | 351 |
| 18. Imágenes: Bit Map Portable | 353 |
| 18.1. Introducción | 353 |
| 18.2. Aplicación | 353 |
| 18.2.1. Ficheros incluidos | 353 |
| 18.2.2. Ejemplo | 354 |
| 18.3. Formato BMP | 354 |
| 18.3.1. Codificación | 354 |
| 18.3.2. Mapa de memoria | 354 |
| 18.3.3. Fichero | 355 |
| 18.4. Módulo Fuente bitmap_gen_test.c | 355 |
| 18.4.1. Descripción | 355 |
| 18.4.2. Funciones | 355 |
| 18.4.2.1. main() | 355 |
| 18.4.2.2. memset(buffer, 0, sizeof(buffer)) | 355 |
| 18.4.2.3. bmp_generator("./test.bmp", 512, 512, (BYTE*)buffer) | 355 |
| 18.4.2.4. bucle doble | 355 |
| VI Autoevaluación Prácticas | 356 |
| 19. Prácticas: Cuestionario | 357 |
| 19.1. Práctica 1ª: Introducción a la Programación en Lenguaje Ensamblador AT&T x86-32 | 357 |
| 19.1.1. Cuestiones teóricas | 357 |
| 19.1.2. Cuestiones prácticas | 357 |
| 19.2. Práctica 2ª: Representación de los Datos | 358 |
| 19.2.1. Módulo datos_size.s | 358 |
| 19.2.2. Módulo datos_sufijos.s | 358 |

| | |
|--|-----|
| 19.2.3. Módulo datos_direccionamiento.s | 358 |
| 19.3. Práctica 3º: Operaciones Aritmetico-Lógicas e Instrucciones de Salto Condicionales | 359 |
| 19.3.1. Módulo op_arit_log.s | 359 |
| 19.3.2. Módulo saltos.s | 359 |
| 19.4. Práctica 4: LLamadas al Sistema Operativo | 360 |
| 19.4.1. Módulo syscall_write_puts.c | 360 |
| 19.4.2. Módulo syscall_write_puts.s | 361 |
| 19.5. Práctica 5: LLamadas a una Subrutina | 361 |
| 19.5.1. Módulo sumMtoN_aviso.c | 361 |
| 19.5.2. Módulo sumMtoN_aviso.s | 361 |
| 19.6. Práctica 6: Imagen Bit Map Portable | 362 |
| 19.6.1. Programación en C | 362 |
| 19.6.2. Programación en ASM | 362 |
| 19.6.3. GDB | 362 |

VII Hojas de Referencia Rápida 363

| | |
|--|-----|
| 20. Programación Ensamblador AT&T x86 | 364 |
| 20.1. Programas x86-32 | 364 |
| 20.1.1. Programa Minimalista | 364 |
| 20.1.1.1. Estructura del programa | 364 |
| 20.1.1.2. Cabecera | 364 |
| 20.1.1.3. Sección de Datos | 364 |
| 20.1.1.4. Sección de Instrucciones : punto de entrada y bloque de salida: llamada del sistema y llamada al sistema | 365 |
| 20.1.1.5. Fin del ensamblaje | 365 |
| 20.1.2. Ejemplo Básico | 365 |
| 20.2. Directivas Assembler AS | 367 |
| 20.3. Repertorio de Instrucciones Ensamblador | 368 |
| 20.3.1. TRANSFERENCIA | 368 |
| 20.3.2. ARITMÉTICOS | 369 |
| 20.3.3. LÓGICOS | 370 |
| 20.3.4. MISCELÁNEOS | 370 |
| 20.3.5. SALTOS (generales) | 370 |
| 20.3.6. SALTOS Sin Signo (Cardinal) SALTOS Con Signo (Integer) | 370 |
| 20.3.7. FLAGS (ODITSZAPC) | 371 |
| 20.4. Registros | 372 |
| 20.4.1. Visión completa | 372 |
| 20.4.2. Registros visibles al programador | 373 |
| 20.4.3. Compatibilidad 32-64 | 374 |
| 20.4.4. Control Flag Register | 374 |
| 20.5. GDB | 378 |

| | |
|--|------------|
| VIII Bibliografía | 379 |
| 20.6. Arquitectura de Computadores | 380 |
| 20.7. x86 | 380 |
| 20.8. Programación Ensamblador | 380 |
| 20.9. Documentos de Programación de Bajo Nivel | 380 |
| 20.10 Lenguaje de Programación C | 381 |
| 20.11 Herramientas de Desarrollo de Programas | 381 |
| 20.12 Artículos | 381 |
| IX Glosario | 382 |
| X Apéndices | 384 |
| A. Lenguajes de programación para sum1toN | 385 |
| A.1. Otros Lenguajes para sum1toN | 385 |
| B. RTL: Register Transfer Language | 388 |
| B.1. Lenguaje RTL | 388 |
| B.1.1. Introducción | 388 |
| B.1.2. Registros | 388 |
| B.1.2.1. Arquitectura | 388 |
| B.1.2.2. Estructura | 389 |
| B.1.3. Símbolos | 390 |
| B.1.4. Sentencias RTL | 391 |
| B.1.4.1. Operaciones y Sentencias RTL | 391 |
| B.1.4.2. Microoperación | 391 |
| B.1.4.3. Transferencia entre registros | 391 |
| B.1.4.4. Sentencia Condicional | 391 |
| B.1.4.5. Sentencia Concurrente | 391 |
| B.1.4.6. Referencia a la Memoria Principal | 392 |
| B.1.4.7. Left-Right Value | 392 |
| B.1.5. Ejemplos RTL con expresiones aritmético-lógicas | 392 |
| C. Formato de Instrucción: ISA Intel x86-64 | 393 |
| C.1. Formato de Instrucción: ISA Intel x86-64 | 393 |
| C.1.1. Ejemplo subq \$16,%rsp | 393 |
| C.1.2. Otros x86-32 | 393 |

| | |
|---|------------|
| D. Lenguajes Ensamblador | 395 |
| D.1. Intel x86 / AMD 64 | 395 |
| D.1.1. Hola Mundo | 395 |
| D.1.2. Programación ensamblador | 396 |
| D.1.3. Números Reales | 396 |
| D.1.4. Discusión por qué ASM AT&T | 396 |
| D.1.5. Miscellaneous | 397 |
| D.1.5.1. Tipos de Datos | 397 |
| D.1.5.2. Ciclo de Instrucción | 397 |
| D.1.5.3. hola_mundo.s | 397 |
| D.2. Motorola 68000 | 398 |
| D.2.1. Hola Mundo | 398 |
| D.2.2. ISA | 398 |
| D.3. MIPS | 399 |
| D.3.1. ISA | 399 |
| D.4. ARM | 400 |
| D.4.1. Hola Mundo | 400 |
| D.4.2. ISA | 401 |
| E. FPU x87 | 402 |
| E.1. FPU x87 | 402 |
| E.1.1. Resumen | 402 |
| E.1.2. Refs | 403 |
| F. Pila | 404 |
| F.1. Concepto | 404 |
| F.2. Anchura | 405 |
| F.3. Frame: frame pointer y stack pointer | 406 |
| F.4. Instrucciones Ensamblador Push-Pop | 407 |
| F.4.1. Anidamiento de llamadas | 408 |
| G. Llamadas al Sistema Operativo | 409 |
| G.1. Introducción | 409 |
| G.2. Manuales de las llamadas | 410 |
| G.3. Llamada INDIRECTA | 410 |
| G.4. LLamada DIRECTA | 411 |
| G.4.1. Argumentos de la llamada directa | 411 |
| G.4.2. Códigos de la llamada directa | 411 |
| G.5. Ejemplos: lenguaje C | 412 |
| G.6. Ejemplos: ASM INDIRECTO | 412 |

| | |
|--|------------|
| G.7. Ejemplos: ASM DIRECTO | 412 |
| G.8. Línea de Comandos | 413 |
| G.8.1. Procedimiento | 413 |
| G.8.2. Stack Initialization | 414 |
| G.8.3. Rutina principal con Retorno | 414 |
| G.8.4. Ejercicios: suma_linea_com.s ,maximum_linea_com.s | 415 |
| H. Lenguaje de Programación C | 416 |
| H.1. Introducción | 416 |
| H.2. Casting | 416 |
| H.2.1. Concepto | 416 |
| H.2.2. Ejemplo | 416 |
| H.3. Puntero | 417 |
| H.3.1. Referencias | 417 |
| H.3.2. Introducción | 417 |
| H.3.3. Concepto | 417 |
| H.3.3.1. Memoria | 417 |
| H.3.3.2. Puntero | 419 |
| H.3.3.3. LeftValue-RightValue | 421 |
| H.3.4. Módulo Ilustrativo | 421 |
| H.3.5. Declaración | 422 |
| H.3.6. Operador Dirección | 422 |
| H.3.7. Operador Indirección o Dereferencia | 423 |
| H.3.8. Ejemplo | 423 |
| H.3.9. Aplicaciones de los punteros | 423 |
| H.3.9.1. Puntero Array | 424 |
| H.3.9.2. Aritmética de Punteros | 424 |
| H.3.10. String Literal | 424 |
| H.3.11. Puntero a Puntero | 425 |
| H.3.12. String Variable | 425 |
| H.3.12.1. Nombre del Array | 425 |
| H.3.12.2. Variable Puntero | 425 |
| H.3.13. Funciones | 426 |
| I. Prácticas | 427 |
| I.1. Prácticas | 427 |
| I.1.1. Documentación: guiones, bibliografía, apuntes | 427 |
| I.1.2. Plataforma de Desarrollo | 427 |
| I.1.2.1. Herramientas | 427 |

| | | |
|-----------|--|------------|
| I.1.2.2. | Referencias | 428 |
| I.1.3. | Documento Memoria: Contenido y Formato | 428 |
| I.1.3.1. | Contenido | 428 |
| I.1.3.2. | Formato | 429 |
| I.1.3.3. | Entrega del Documento Memoria | 429 |
| I.1.4. | Evaluación | 429 |
| I.1.5. | Programación | 429 |
| I.1.5.1. | Metodología | 429 |
| I.1.6. | Compilación | 431 |
| I.1.6.1. | Módulo fuente en lenguaje C | 431 |
| I.1.6.2. | Fases de la compilación | 432 |
| I.1.6.3. | Toolchain | 433 |
| I.1.6.4. | módulo fuente en lenguaje ensamblador | 434 |
| I.1.7. | Errores Comunes | 435 |
| I.1.7.1. | gcc | 435 |
| I.1.7.2. | gdb | 435 |
| I.2. | Arquitectura amd64 | 436 |
| I.2.1. | Módulo fuente: sum1toN.s | 436 |
| J. | Exámenes de Cursos Anteriores | 437 |
| J.1. | Año 2018 | 437 |
| J.1.1. | Noviembre | 437 |
| J.2. | Año 2017 | 439 |
| K. | Miaulario: Videoconferencia | 448 |
| K.1. | Introducción | 448 |
| K.2. | Instalación de Zoom | 448 |
| K.3. | Guía de usuario Zoom | 448 |
| K.3.1. | Configuración | 448 |
| K.4. | Sesión de videoconferencia | 448 |

Parte I

Arquitectura del Repertorio de Instrucciones (ISA): computadora von Neumann, datos, instrucciones, programación.

Capítulo 1

Introducción a la Estructura de los Computadores

1.1. Introducción

- El objetivo de la asignatura Estructura de Computadores (240306) del Grado de Ingeniería Informática de la Universidad Pública de Navarra es ser un curso introductorio universitario a la arquitectura de los computadores, estudiando sus componentes básicos (procesador, memoria y módulo de entrada/salida) así como la programación de bajo nivel en lenguaje ensamblador x86 mediante la utilización de herramientas de desarrollo software como el compilador, depurador, etc.

1.2. Arquitectura de una máquina

- Arquitectura: Organización, Estructura: Qué, Cómo, Implementación (tecnología)

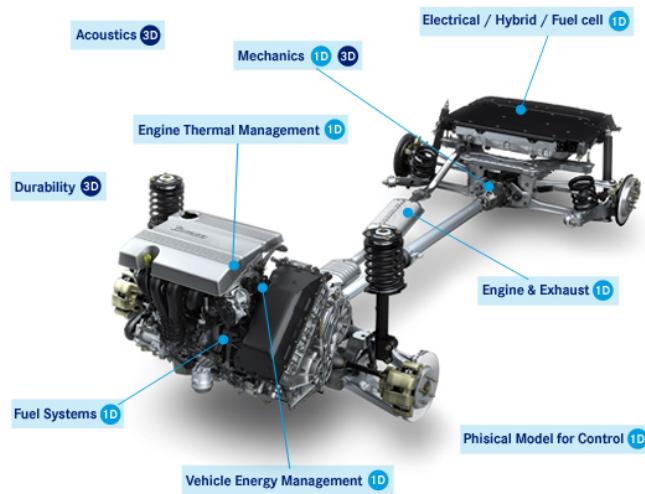


Figura 1.1: Estructura del Automóvil

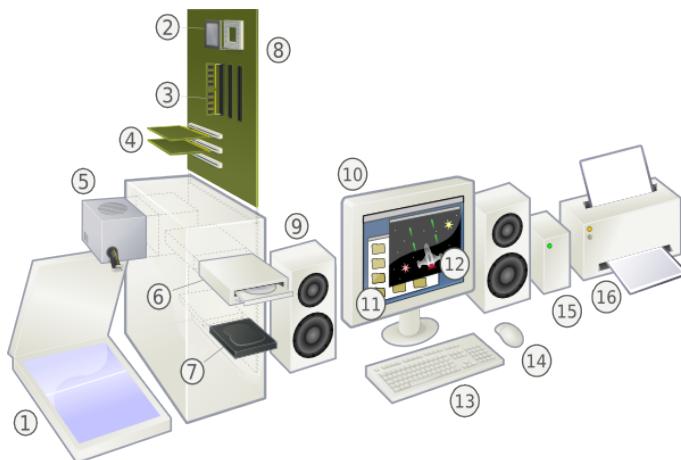


Figura 1.2: Personal Computer

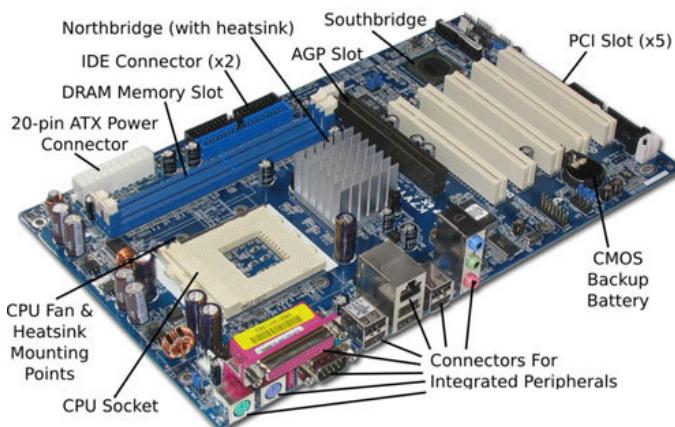


Figura 1.3: Placa Base

1.3. Perspectiva HW

- 4 Módulos Básicos: CPU-MEMORIA-CONTROLADORES Entrada/Salida [Periféricos]-BUSES

Figura 1.4: CPU Intel Core i7 4^a Generación

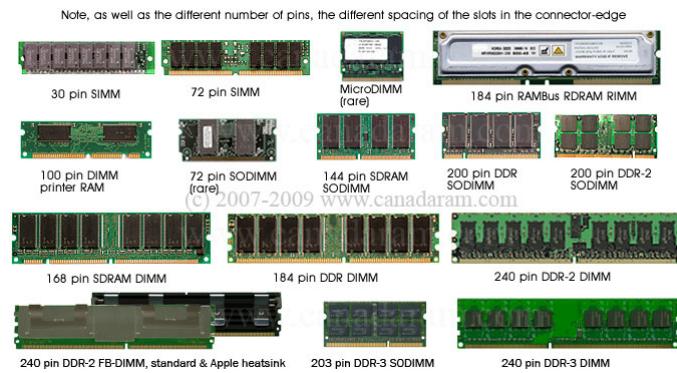


Figura 1.5: Memoria DRAM



Figura 1.6: Periféricos: Disco Duro Seagate

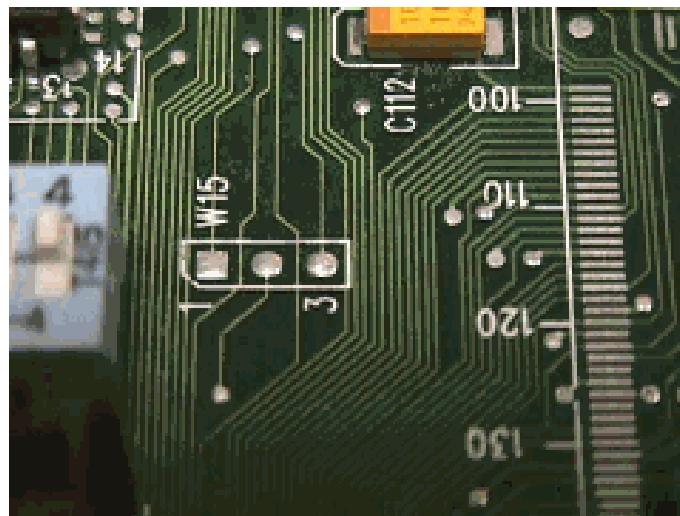


Figura 1.7: Bus de la Placa Base

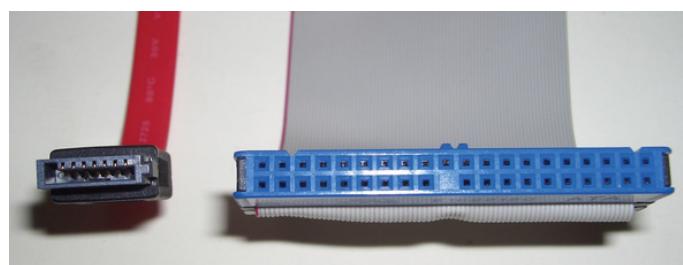


Figura 1.8: Bus Cableado

1.4. Lenguajes de Programación: Niveles

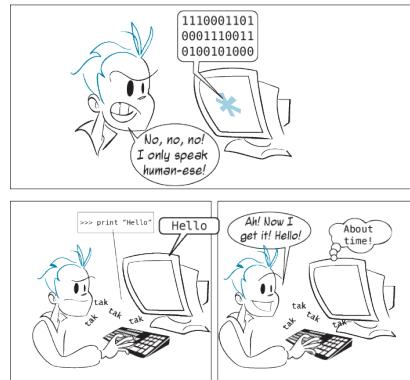


Figura 1.9: Lenguaje Máquina

- Pascal

```
program Hello_world;
begin
  writeln('hello world')
end.
```

- L. Máquina-Binario Intel x86

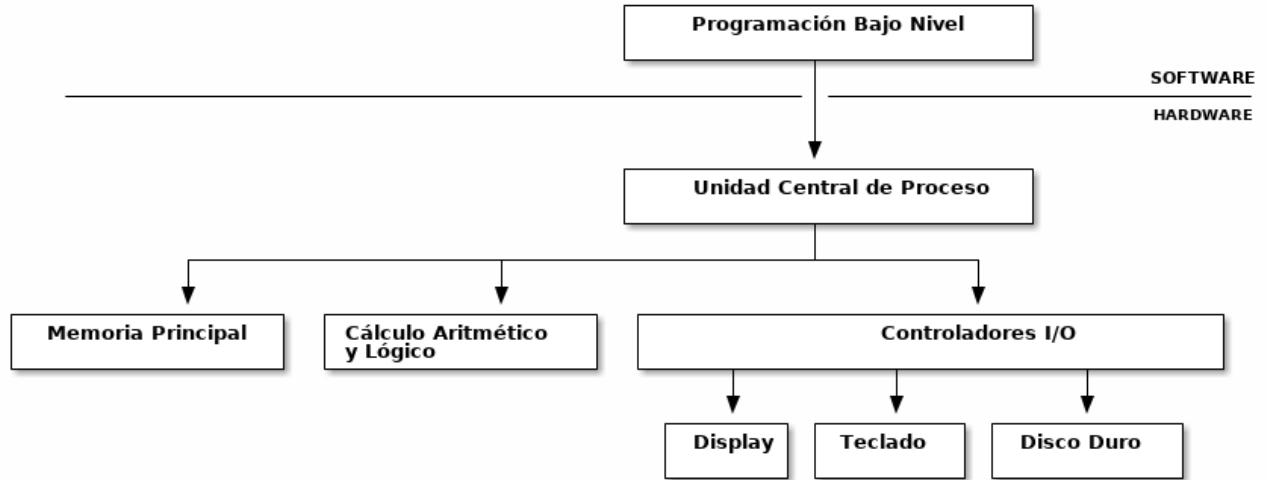
```
# [2] begin
00000000004001a0 <PASCALMAIN>:
4001a0: 01010101
4001a1: 01001000 10001001 11100101
4001a4: 01001000 10000011 11101100 00010000
4001a8: 01001000 10001001 01011101 11111000
4001ac: 11101000 10110111 00111110 00000001 00000000
# [3] writeln('hello world')
4001b1: 11101000 11001010 10010011 00000001 00000000
4001b6: 01001000 10001001 10100011
4001b9: 01001000 10001001 11011110
4001bc: 01001000 10111010 11000000 11110110 01100001 00000000 00000000
4001c3: 00000000 00000000 00000000
4001c6: 10111111 00000000 00000000 00000000 00000000
4001cb: 11101000 01111000 10010110 00000001 00000000
4001d0: 11101000 00010011 00111101 00000001 00000000
4001d5: 01001000 10001001 11011111
4001d8: 11101000 01110011 10010101 00000001 00000000
4001dd: 11101000 00000110 00111101 00000001 00000000
4001e2: 11101000 10011001 01000010 00000001 00000000
4001e7: 01001000 10001011 01011101 11111000
4001eb: 10101001
4001ec: 10010011
```

- L. Máquina-Hexadecimal vs Lenguaje Ensamblador ASM x86

```
# [2] begin
00000000004001a0 <PASCALMAIN>:
4001a0:      55          push    %rbp
4001a1:      48 89 e5    mov     %rsp, %rbp
4001a4:      48 83 ec 10  sub    $0x10, %rsp
4001a8:      48 89 5d f8  mov    %rbx,-0x8(%rbp)
4001ac:      e8 b7 3e 01 00 callq  414068 <FPC_INITIALIZEUNITS>
# [3] writeln('hello world')
4001b1:      e8 ca 93 01 00 callq  419580 <fpc_get_output>
4001b6:      48 89 c3    mov     %rax, %rbx
4001b9:      48 89 de    mov     %rbx, %rsi
4001bc:      48 ba c0 f6 61 00 00 movabs $0x61f6c0,%rdx
4001c3:      00 00 00
4001c6:      bf 00 00 00 00 mov    $0x0, %edi
4001cb:      e8 78 96 01 00 callq  419848 <FPC_WRITE_TEXT_SHORTSTR>
4001d0:      e8 13 3d 01 00 callq  413ee8 <FPC_IOCHECK>
4001d5:      48 89 df    mov    %rbx, %rdi
4001d8:      e8 73 95 01 00 callq  419750 <fpc writeln_end>
4001dd:      e8 06 3d 01 00 callq  413ee8 <FPC_IOCHECK>
4001e2:      e8 99 42 01 00 callq  414480 <FPC_DO_EXIT>
4001e7:      48 8b 5d f8    mov    -0x8(%rbp), %rbx
4001eb:      c9          leaveq 
4001ec:      c3          retq
```

1.5. Interface Software/Hardware

- Interacción del Programador con la Máquina: Programación de bajo nivel. Integración en el Kernel del Sistema Operativo.



- Programación de bajo nivel
 - Módulo fuente: Lenguaje C ó Lenguaje ensamblador
 - Módulo objeto: Lenguaje máquina → Compilación, Ensamblaje y Enlazado del Módulo Fuente.
- Dos tipos de Programación de bajo nivel en lenguaje máquina
 - Bare metal → Programación de sistemas empotrados → Raspberry Pi (Ej: control de una video cámara)
 - Sistema Operativo → Programación de Sistemas (Programación de Drivers, etc)

1.6. Temario

1.6.1. Web Estructura de Ordenadores

| |
|---|
| Temario |
| 1 - Introducción |
| 2 - Arquitectura de Von Neumann |
| 2.1 CPU |
| 2.2 Memoria |
| 2.3 Entrada / Salida |
| 3 - Representación de datos |
| 3.1 Bit, Byte y Palabra |
| 3.2 Caracteres, enteros y reales |
| 4 - Aritmética y lógica |
| 4.1 Operaciones aritméticas y lógicas sobre enteros en binario |
| 4.2 Redondeo y propagación de error en números reales |
| 5 - Representación de instrucciones |
| 5.1 Lenguaje máquina, lenguaje ensamblador y lenguajes de alto nivel |
| 5.2 Formato de instrucción |
| 5.3 Tipos de instrucción y modos de direccionamiento |
| 6 - Programación en lenguaje ensamblador de construcciones básicas de los lenguajes de alto ↔ nivel |
| 6.1 Sentencias de asignación |
| 6.2 Sentencias condicionales |
| 6.3 Bucles |
| 6.4 Llamadas y retorno de función o subrutina |
| 7 - Arquitectura y organización de la CPU |
| 7.1 Conjunto de instrucciones |
| 7.2 Arquitecturas CISC, RISC y VLIW |
| 7.3 Fases de ejecución de una instrucción |
| 7.4 Camino de datos |
| 8 - Sistema de entrada / salida |
| 8.1 Sincronización por encuesta |
| 8.2 Sincronización por interrupción |
| 8.3 Vector de interrupciones |
| 8.4 Acceso directo a memoria DMA |
| 8.5 Programación en lenguaje ensamblador de rutinas de entrada/salida |
| 9 - Organización de la memoria |
| 9.1 Jerarquía de memoria |
| 9.2 Latencia y ancho de banda |
| 9.3 Memoria cache |
| 9.4 Memoria virtual |

1.6.2. Bibliografia Basica

- book info: por autores → william stalling, etc

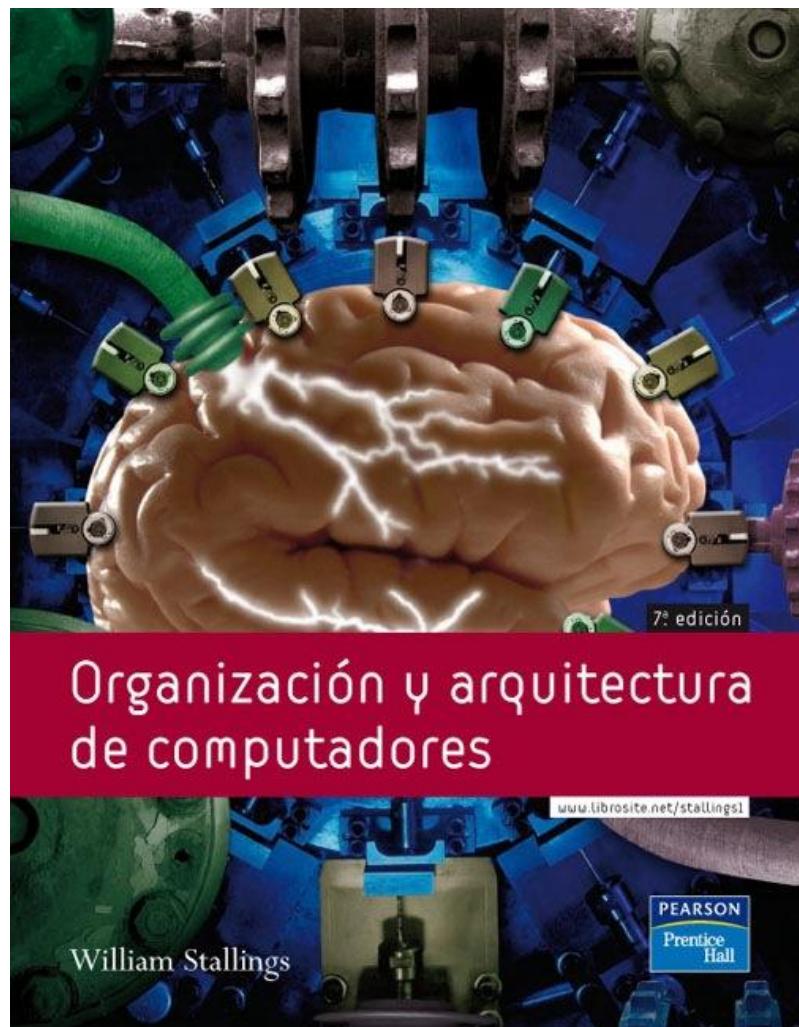


Figura 1.10: William Stalling Book

Organización y arquitectura de computadores .William Stallings
Edición 7, reimpresa Pearson Prentice Hall
ISBN 8489660824, 9788489660823 . 2006

Computer Organization and Architecture: Designing for Performance.
William Stallings
9^a Ed Upper Saddle River (NJ) : Prentice Hall, [2013]
ISBN 0-273-76919-7 . 2012

- COA 7^a
- Pearson
- 11^o Ed 2019

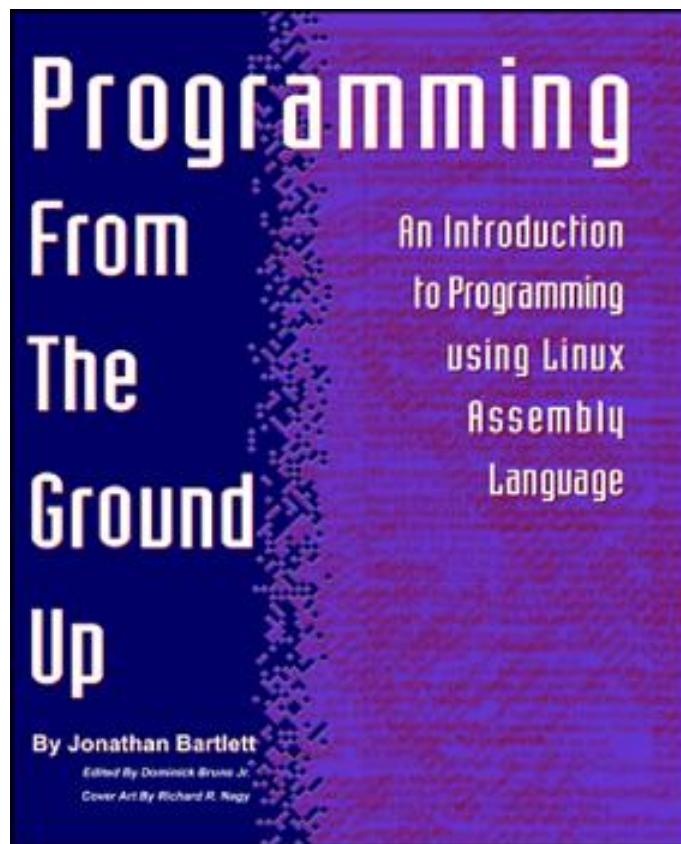


Figura 1.11: Programming Assembly

Programming from the Ground Up
by Jonathan Bartlett Edited by Dominick Bruno, Jr.
Copyright © 2003 by Jonathan Bartlett
ISBN 0-9752838-4-7
Published by Bartlett Publishing in Broken Arrow, Oklahoma

- Programming from the Ground Up by Jonathan Bartlett. Programación en Lenguaje Ensamblador AT&T para la arquitectura x86.
 - [PGU book online](#)
 - [PGU book home](#)
 - [pdf](#)
- Documentación de los Manuales: La mayoría de las aplicaciones y herramientas software de la fundación GNU y Linux disponen de Manuales bien on-line o bien localmente en la propia máquina. Manual del compilador gcc: `$man gcc`



importante

Es una habilidad a adquirir por el profesional informático el acceder y utilizar dichos manuales así como disponer de hojas de referencia de acceso rápido durante la sesiones de trabajo.

1.6.3. Bibliografía Complementaria

- David A. Patterson, John L. Hennessy. Computer Organization and Design. The Hardware / Software Interface. RISC-V Edition. Morgan Kaufmann Series in Computer Architecture. 2017.
 - Libro Standard de la mayoría de las Universidades.
- Randal E. Bryant, David R. O'Hallaron. Computer Systems: A Programmer's Perspective. Addison-Wesley. 2nd Edition. 2010.
- Paul Carter. PC Assembly Language. Acceso libre. 2006.
- K.N.King. C programming, a Modern Approach W.W. Norton 2^aEd. 2008.
- Jeff Duntemann. Assembly Language Step-by-Step: Programming with Linux. Wiley Ed. 3rd Edition. 2009.
- Kip R. Irvine. Assembly Language for x86 Processors. Pearson. 6th Edition. 2014.

1.7. Profesorado

- Cándido Aramburu Mayoz.
 - Doctor Ingenierio Telecomunicación. Profesor Titular de Universidad.
 - Edificio los Tejos, planta 2^a.
 - Tutorías semestre Otoño : Miércoles de 8:00 a 14:00
 - correo electrónico interno: a través del servidor Miaulario.
 - **PDI Profesorado**
- Andrés Garde Gurpegui
 - Técnico Superior de la Dirección General de Informática y Telecomunicaciones del Gobierno de Navarra.
 - Profesor Asociado (Prácticas de Laboratorio)
 - Edificio de Los Tejos, planta 2^a, Sala de Asociados del departamento de INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y DE COMUNICACIÓN.
 - andres.garde@unavarra.es
 - **PDI Profesorado**

1.8. Miaulario-Web-Grupos

- **Aulario Virtual:** transferencia información.
- **Web Estructura de Ordenadores**
- Curso 2º: Curso Ordinario en el Semestre de Otoño
- Nº alumnos : 81
- Grupos de Teoría: 3
 - **Grupo 91: Aula 229**
 - **Grupo 1: Aula 229**
 - **Grupo 2: Aula 103**
- Grupos de Prácticas: 5 grupos de 20 alumnos
 - <http://www2.unavarra.es/gesadj/servicioInformatico/usuario/aulas/Horario1C.htm>

1.9. Metodología

- Teoría, Ejercicios, Prácticas y Exámenes.

Cuadro 1.1: metodología

| Metodología - Actividad | Horas Pre-senciales | Horas no presenciales |
|--|---------------------|-----------------------|
| A-1 Clases magistrales | 24 | |
| A-2 Estudio autónomo | | 30 |
| A-3 Sesiones prácticas | 16 | |
| A-4 Programación / experimentación u otros trabajos en ordenador / laboratorio | | 20 |
| A-5 Resolución de problemas, ejercicios y otras actividades de aplicación | | 12 |
| A-6 Aprendizaje basado en problemas y/o casos | 14 | |
| A-7 Elaboración de trabajos y/o proyectos y escritura de memorias | | 11 |
| A-8 Lectura de Guiones, preparación de presentaciones de trabajos, proyectos, etc... | | 15 |
| A-9 Actividades de Evaluación | | 6 |
| A-10 Tutorías | 2 | |
| Total | 62 | 88 |

1.10. Calendario

1.10.1. Horario

- Horario 2018

GRADO EN INGENIERÍA INFORMÁTICA
SEGUNDO CURSO – SEMESTRE DE OTOÑO
CURSO 2018-2019
Plan de estudios: 240

NOTA:

- La asignación de grupo en el proceso de matrícula se llevará a cabo por orden alfabético. En este sentido, el alumno deberá elegir exclusivamente asignaturas e idioma (si hay oferta).
- Las prácticas de las asignaturas podrán impartirse en horario de mañana.

ASIG NATURAS:

| Código asignatura | Asignatura |
|-------------------|----------------------------|
| 240301 | Algoritmia |
| 240302 | Bases de Datos I |
| 240304 | Sistemas Operativos |
| 240305 | Ingeniería del Software |
| 240306 | Estructura de Computadores |
| Idioma | Grupos |
| Castellano | 1, 2, etc. |
| Euskera | 91 |

HORARIO 1 (compatible con asignaturas en euskera)

| Código asignatura | Asignatura | Grupo | Aula |
|-------------------|----------------------------|--------|------|
| 240301 | Algoritmia | 1 | 229 |
| 240302 | Bases de Datos I | 1 | 229 |
| 240304 | Sistemas Operativos | 1 | 229 |
| 240305 | Ingeniería del Software | 1 | 229 |
| 240306 | Estructura de Computadores | 1 ó 91 | 229 |

| | LUNES | MARTES | MIÉRCOLES | JUEVES | VIERNES |
|-------------|--------------------------------------|--------------------------------------|---|--|---|
| 15:00-17:00 | BASES DE DATOS I (240302) (P) | ALGORITMIA (240301) (T) | ESTRUCTURA DE COMPUTADORES (240306) (T) | SISTEMAS OPERATIVOS (240304) (T) | SISTEMAS OPERATIVOS (240304) (P) |
| 17:00-19:00 | BASES DE DATOS I (240302) (T) | INGENIERÍA DEL SOFTWARE (240305) (T) | ESTRUCTURA DE COMPUTADORES (240306) (P) | INGENIERÍA DEL SOFTWARE (240305) (P) (P) | ESTRUCTURA DE COMPUTADORES (240306) EUSKERA (P) |
| 19:00-21:00 | INGENIERÍA DEL SOFTWARE (240305) (P) | | ESTRUCTURA DE COMPUTADORES (240306) (P) | ALGORITMIA (240301) (P) | |

Nota: la letra (T) indica clase de teoría en el aulario y la letra (P) clase de prácticas.

HORARIO 1 ADICIONAL

Horario adicional para los grupos de prácticas de las asignaturas Algoritmia, Sistemas Operativos, Estructura de Computadores y bases de datos I.

| | LUNES | MARTES | MIÉRCOLES | JUEVES | VIERNES |
|-------------|---|--------|-------------------------|----------------------------------|---------|
| 15:00-17:00 | ESTRUCTURA DE COMPUTADORES (240306) EUSKERA (T) | | | | |
| 17:00-19:00 | | | ALGORITMIA (240301) (P) | SISTEMAS OPERATIVOS (240304) (P) | |
| 19:00-21:00 | | | | BASES DE DATOS I (240302) (P) | |

Nota: la letra (T) indica clase de teoría en el aulario y la letra (P) clase de prácticas.

Figura 1.12: Horario 2018

HORARIO 2

| Código asignatura | Asignatura | Grupo | Aula |
|-------------------|----------------------------|-------|------|
| 240301 | Algoritmia | 2 | 122 |
| 240302 | Bases de Datos I | 2 | 103 |
| 240304 | Sistemas Operativos | 2 | 103 |
| 240305 | Ingeniería del Software | 2 | 103 |
| 240306 | Estructura de Computadores | 2 | 103 |

| | LUNES | MARTES | MIÉRCOLES | JUEVES | VIERNES |
|-------------|--|---|--|--|---|
| 15:00-17:00 | ALGORITMIA (240301) (P) | BASES DE DATOS I(240302) (T) | SISTEMAS OPERATIVOS (240304) (T) | BASES DE DATOS I(240302) (P) | ESTRUCTURA DE COMPUTADORES (240306) (T) |
| 17:00-19:00 | ALGORITMIA (240301) (T) | SISTEMAS OPERATIVOS (240304) (P) | INGENIERÍA DEL SOFTWARE (240305) (P) | INGENIERÍA DEL SOFTWARE (240305) (T) | |
| 19:00-21:00 | INGENIERÍA DEL SOFTWARE (240305) (P) | ESTRUCTURA DE COMPUTADORES (240306) (P) | ALGORITMIA (240301) (P) | BASES DE DATOS I(240302) (P) | |

Nota: la letra (T) indica clase de teoría en el aulario y la letra (P) clase de prácticas.

HORARIO 2 ADICIONAL

Horario adicional para los grupos de prácticas de las asignaturas Algoritmia, Bases de Datos I, Sistemas Operativos, y Estructura de Computadores.

| | LUNES | MARTES | MIÉRCOLES | JUEVES | VIERNES |
|-------------|-------|---|-----------|--------|---------|
| 15:00-17:00 | | | | | |
| 17:00-19:00 | | ESTRUCTURA DE COMPUTADORES (240306) (P) | | | |
| 19:00-21:00 | | SISTEMAS OPERATIVOS (240304) (P) | | | |

Nota: la letra (T) indica clase de teoría en el aulario y la letra (P) clase de prácticas.

■ Calendario 2018

| Calendarios académicos | | Irakaskuntza egutegiak | | 2018-2019 | | UONa |
|----------------------------|--------------------------|----------------------------|----------------------------|---|--|---|
| Estudios de Grado | Gradu ikasketak | Estudios de Máster | Master ikasketak | Periodo de evaluación de recuperación | Periodo de evaluación extraordinaria | FIESTAS ACADÉMICAS JAI AKADE MIKOAK |
| SEPTIEMBRE IRAILA | OCTUBRE URRIJA | NOVIEMBRE AZKAROA | DICIEMBRE ABENDUA | Semestre de OTOÑO: clases y evaluación continua UDAZKENKO se celebra: eskoalak eta ekoizgabeko evaluazioa | Semestre de PRIMAVERA: clases y evaluación continua UDABERRIKO se celebra: eskoalak eta ekoizgabeko evaluazioa | 2018/12/14 Facultad de Ciencias Humanas y Sociales Giza eta Gizarte Zientzien Fakultatea |
| | | | | | | 2019/01/07 Facultad de Ciencias Jurídicas Zientzia Juridikoen Fakultatea |
| ENERO URTARRILA | FEBRERO OTSAILA | MARZO MARTXOA | ABRIL AIPRILA | | | |
| | | | | | | 2019/03/08 Facultad de Ciencias de la Salud Osasun Zientzien Fakultatea |
| MAYO MAJATZA | JUNIO EKAINA | JULIO UZTAILA | AGOSTO ABUTZUA | | | |
| | | | | | | 2019/03/19 E.T.S. Ingenieros Industriales y de Telecomunicación Industria eta Telekomunikazio Ingeniarien G.M.E.T. |
| SEPTIEMBRE IRAILA | OCTUBRE URRIJA | NOVIEMBRE AZKAROA | DICIEMBRE ABENDUA | | | |
| | | | | | | 2019/04/05 Facultad de Ciencias Económicas y Empresariales Economía eta Empresa Zientzien Fakultatea |
| ENERO URTARRILA | FEBRERO OTSAILA | MARZO MARTXOA | ABRIL AIPRILA | | | |
| | | | | | | 2019/04/12 DÍA DE LA UNIVERSIDAD UNIBERSITATEAREN EGUNA |
| MAYO MAJATZA | JUNIO EKAINA | JULIO UZTAILA | AGOSTO ABUTZUA | | | |
| | | | | | | 2019/05/15 E.T.S. Ingenieros Agrónomos Nekazaritza Ingeniarien G.M.E.T. |

■ Semanas del curso :

- 15 semanas: Duración del curso 4 de Septiembre al 23 de Diciembre
- Período de Evaluación:
 - ordinaria: del 17 al 22 de diciembre y del 7 al 11 de enero
 - recuperación: del 14 de enero al 23 de enero 2019

■ Fiestas

12 de octubre (Fiesta Nacional de España).
01 de noviembre (Festividad de Todos los Santos).
03 de diciembre (San Francisco Javier, Día de Navarra).
06 de diciembre (Día de la Constitución).
08 de diciembre (Inmaculada Concepción).

1.10.2. Distribución de créditos

- Distribución de créditos:
 - total créditos: 6 ECTS
 - total horas: $6 \times 25 : 150$ horas
 - horas presenciales: 62 horas
 - clases : 24 horas. Durante 12 semanas (2horas/semana) de 15 semanas totales del curso
 - prácticas de laboratorio: 16 horas. Durante 8 semanas (2horas/semana)
 - problemas : 14 horas. Durante 7 semanas (2horas/semana)
 - evaluación: 6 horas. Durante 3 semanas (2horas/semana) de 15 semanas totales del curso
 - tutorías : 2 horas
 - horas no presenciales: 88 horas
- Prácticas
 - Hay sesión de prácticas cada 2 semanas.
 - Cada alumno tiene 16 horas de sesión en el laboratorio.
- Total: 3 horas a la semana de teoría y ejercicios a cada grupo .
 - En el calendario vienen dos días reservados para la asignatura. Un día es una sesión de dos horas de teoría. El segundo día se emplea para prácticas de laboratorio y ejercicios alternativamente.

1.10.3. Distribución de créditos de las Prácticas

- Durante el mes de Septiembre en lugar de las prácticas se dará Teoría. A primeros de Octubre en semanas alternas comenzarán las prácticas.
 - Cada alumno tendrá 16 horas de prácticas en sesiones de 2 horas: 12 en el laboratorio y 4 para la realización de Memorias.

1.10.4. Exámenes Parciales

- Temas de teoría 1-6 :
 - Una vez finalizados los ejercicios de los Temas 1-6 de teoría y haber sido realizadas las tres primeras prácticas.
 - **10 de Noviembre Sábado** : 9:00-11:00 en el aula A221

1.10.5. Exámenes Finales

- Exámenes Finales: **Evaluación Otoño**
 - Convocatoria Ordinaria: Jueves 20 Diciembre a las 16:00 en el aula AXXX.
 - Convocatoria Recuperación: Martes 15 Enero a las 8:00 en el aula AXXX. Prueba de prácticas a las xx Aula A309 (25 PC)

1.10.6. Calendario

Cuadro 1.2: Egutegia

| Mes | Martes | Viernes |
|------------|--|---|
| Septiembre | 11 Tema2:Arquitectura de Von Neumann (Historia-Estructura-Formatos Dato e Instrucciones-Repertorio Instrucciones) | 14 Tema3:Representación de Datos (sistemas posicionales - C2- suma y resta natural)-Arquitectura de Von Neumann (Ejercicio sum1toN) |
| | 18 Tema3/4:Operaciones Aritméticas (suma y resta C2) - Lógicas - N° Reales | 21 x Arquitectura de Von Neumann (Ejercicio sum1toNMultiplicando y Vectores)-Ejercicios Arquitectura |
| | 25 Tema5: Representación de las Instrucciones. Un ejercicio. | 28 No Prácticas |
| | 2 Clase suspendida | 5 Práctica 1 ^a |
| Octubre | 9 Tema6: Programación ASM (Hasta Modos de Direcciónamiento) | 12 Práctica 2 ^a |
| | 16 Ejercicios: Temas 4 y 6 | 19 No prácticas |
| | 23 Ejercicios Temas 1-6 | 26 Práctica 3 ^a : Aritmética 2 horas |
| | 30 Tema 6: Subrutinas y Llamadas al Sistema | 2 No prácticas |
| Noviembre | 6 Tema 7:CPU:Introducción-Ejercicio Datapath Procesor Simple | 9 Práctica 4 ^a : Saltos y Llamadas al Sistema |
| | 10 SÁBADO 9:00: EXAMEN PARCIAL | |
| | 13 Tema 7:CPU:Ejercicios del tema 2 (CPU-Memoria) y Segmentación | 16 No prácticas |
| | 20 Tema 8:Memoria | 23 Práctica 5 ^a : Subrutinas |
| | 27 Tema 8:Memoria | 29 Práctica 6 ^a : BPM |
| | 4 Ejercicios NO CLASES | 7 NO CLASES |
| Diciembre | 11 Ejercicios Tema 9:E/S | 14 No teoría No prácticas |
| | 18 Ejercicios Tema 9:E/S | 21 Práctica Examen |
| | 20 JUEVES 16:00 EXAMEN FINAL ORDINARIO | |
| | | |

- Septiembre = (3+4+4+4)Teoria = 15T
- Octubre = 4*2T y 4P = 8T+4P
- Noviembre = 5*2T y 4P = 10T+4P
- Diciembre = 2*2T y 4P = 4T+4P
- Total = 37T+12P

1.10.7. Sesiones

- Las sesiones son de 100 minutos
 1. Introducción : Presentación de la asignatura
 2. Arquitectura de Von Neumann (I):
 - Contexto Histórico de la Primera Computadora : Máquina IAS
 - Arquitectura General
 - Cpu: cico de instrucción - ALU- UC
 - Jerarquía de Memoria
 - Buses : dirección-dato-control(R/W)

- Objetivo: Programación de Bajo Nivel - ISA
 - Arquitectura de la Máquina ISA → IAS : ISA-IAS
 - Estructura : CPU-Memoria-Bus: UC-ALU-Registros-Memoria. Interconexión de los Registros.
 - Formato de Datos e Instrucciones : Palabra, Complemento a 2, Código de Operacion, Modos de Direccionamiento.
 - Repertorio de Instrucciones: Tabla de Operaciones : 4 lenguajes (Natural-Mnemónico-RTL-IASSIm)
 - Presentación del Simulador IASsim
3. Tema 3:Representación de los Datos y Tema 4: Operaciones Aritméticas
- Sistema Posicional
 - Números Naturales (enteros sin signo): Codificación Decimal-Binaria-Octal-Hexadecimal
 - Operaciones aritméticas con números sin signo: suma y resta en base decimal, hexadecimal y binaria.
 - Números Enteros con signo : Signo Magnitud y Complemento a Dos.
 - Ejemplo sum1toN.ias: Ver el código y el simulador.
4. Tema 3: Representación de los Datos: Números Reales y Caracteres. Ejercicios aritmética sin signo y con signo
5. Tema 2:Arquitectura de Von Neumann (II):
- Recordatorio: Programación de Bajo Nivel - ISA
 - Programa sum1toN.ias
 - Metodología de Desarrollo: Descripción en distintos lenguajes (pseudocódigo, diagrama alto nivel, diagrama RTL, RTL, Ensamblador) y Emulación con IASSIm
 - Simulador IASSim : Edición - Ensamblaje - Carga - Ejecución Paso a Paso.
6. Tema 5: Representación de las instrucciones (todo el tema incluido 1 ejercicio)
7. Tema 6: Programación ensamblador x86 (hasta modos de direccionamiento inclusive)
8. Ejercicios (17/10/18):
- Tema 6 : Operando: tamaño de los operandos, mapa de memoria byte a byte, alineamiento little endian, sufijos de los mnemónicos x86, direccionamientos x86, multiplicación imul. Operaciones Lógicas.
 - Tema 6: Puntero: Diferencia entre declarar el array lista en lenguaje C y "lista: .int" en ensamblador. Lenguaje C con el depurador GDB.
 - Tema 4 : sumas y restas sin signo (decimal,binario,hexadecimal) y resta en complemento a 2
9. Ejercicios (17/10/18)
- Tema 6: Convertir programa en C en lenguaje ensamblador: bucles
 - Tema 5: Formato de Instrucciones
 - Tema 2: CPU

1.11. Prácticas

1.11.1. Calendario

- N° de sesiones : 8
- Duración de las sesiones : 2 horas
- Número de grupos : 5 de 20 alumnos
- Ubicación : Edificio Aulario (3^a planta)
- Capacidad PC : 36+1
- Comienzo de las prácticas : 26 de Septiembre ó 2-3 de Octubre 2018
- Profesor responsable : Cándido Aramburu, Andrés Garde.
- Calendario GRUPO 1 (Miércoles)

| Aula | Tipo recurso | Fecha | H. ini | H. fin |
|-------|---------------------------|------------|--------|--------|
| A-015 | Aula de informática A-015 | 3/10/2018 | 17:00 | 21:00 |
| A-329 | Aula de informática A-329 | 10/10/2018 | 17:00 | 21:00 |
| A-329 | Aula de informática A-329 | 24/10/2018 | 17:00 | 21:00 |
| A-329 | Aula de informática A-329 | 07/11/2018 | 17:00 | 21:00 |
| A-329 | Aula de informática A-329 | 21/11/2018 | 17:00 | 21:00 |
| A-338 | Aula de informática A-338 | 28/11/2018 | 17:00 | 21:00 |
| A-329 | Aula de informática A-329 | 19/12/2018 | 17:00 | 21:00 |

- Calendario GRUPO 2 (Martes)

| Aula | Tipo recurso | Fecha | H. ini | H. fin |
|-------|---------------------------|------------|--------|--------|
| A-015 | Aula de informática A-015 | 2/10/2018 | 17:00 | 21:00 |
| A-337 | Aula de informática A-337 | 09/10/2018 | 17:00 | 21:00 |
| A-337 | Aula de informática A-337 | 23/10/2018 | 17:00 | 21:00 |
| A-337 | Aula de informática A-337 | 06/11/2018 | 17:00 | 21:00 |
| A-337 | Aula de informática A-337 | 20/11/2018 | 17:00 | 21:00 |
| A-338 | Aula de informática A-338 | 27/11/2018 | 17:00 | 21:00 |
| A-337 | Aula de informática A-337 | 18/12/2018 | 17:00 | 21:00 |

- Calendario GRUPO 91 (Viernes)

| Aula | Tipo recurso | Fecha | H. ini | H. fin |
|-------|---------------------------|------------|--------|--------|
| A-331 | Aula de informática A-331 | 28/09/2018 | 17:00 | 19:00 |
| A-015 | Aula de informática A-015 | 15/10/2018 | 15:00 | 17:00 |
| A-331 | Aula de informática A-331 | 26/10/2018 | 17:00 | 19:00 |
| A-331 | Aula de informática A-331 | 09/11/2018 | 17:00 | 19:00 |
| A-015 | Aula de informática A-015 | 16/11/2018 | 17:00 | 19:00 |
| A-331 | Aula de informática A-331 | 23/11/2018 | 17:00 | 19:00 |
| A-331 | Aula de informática A-331 | 14/12/2018 | 17:00 | 19:00 |

1.11.2. Memorias

- Guiones :aulario virtual
- Prácticas Individuales.
- Memorias :
 - La entrega de la memoria a través del servidor de miaulario se realizará 1 semana después de su realización según la fecha indicada en TAREAS del servidor de miaulario.

- La memoria es un documento único en formato PDF.
- El nombre del fichero debe ser apellido1_apellido2_tituloguionpractica.pdf
- Contenido de la memoria.
 - El programa descrito en pseudocódigo
 - El código fuente en lenguaje ensamblador debidamente comentados en coherencia con el programa en pseudocódigo.

nota

- Imprescindible tomar notas dentro y fuera del laboratorio
 - Salvar todo el trabajo en un pendrive o enviarlo por correo
-

**atención**

- Borrado automático a diario del contenido del disco duro.
-

1.11.3. Estaciones de Trabajo: 32 y 64 bits

- Es necesario disponer de una plataforma linux de 64 bits con el sistema operativo instalado de forma nativa o virtual (VMware, Virtualbox, etc).
- Si la estación de trabajo particular de un alumno es Ubuntu (64 bits) sobre un procesador x86-64 no hay ningún problema para la ejecución de programas con una arquitectura de x86-64. En cambio, para poder compilar y ejecutar programas desarrollados para máquinas x86 de 32 bits existen distintas alternativas que por orden de simplicidad serían:
 - a. Instalar las librerías que necesita el compilador y el linker para que el procesador de 64 bits ejecute programas de 32 bits.
 - b. Instalar un emulador para ejecutar una máquina virtual de 32 bits.
 - c. Desarrollar y ejecutar programas de 64 bits y posteriormente traducirlos a 32 bits.

1.12. Ejercicios mediante resolución de problemas

- Realización de ejercicios básicos a lo largo del capítulo y ejercicios del fin de cada capítulo en clase y fuera de clase.
- Ejercicios tipo examen.

1.13. Evaluación

- Evaluación CONTINUA.
- Aportaciones en aula :10%
- Trabajo individual memorias prácticas :30%
- Pruebas teóricas: final y evaluación continua :60%
 - En la pruebas parciales de evaluación continua es necesario obtener una nota superior a 3.



atención

OBLIGATORIEDAD DE LAS PRACTICAS: hay que asistir al 14/16 horas de las prácticas y entregar el 100% de las memorias dentro del plazo establecido en miaulario.



atención

OBLIGATORIEDAD DE LAS PRUEBAS TEORICAS: Para la realización de la media es necesario haber realizado TODAS las pruebas teóricas: las de evaluación continua y las del examen final.

1. NOTA Actividad en clase

- 10 % de la nota final

2. NOTA PRACTICAS

- Nota Mínima: 4.0 Recuperable mediante una prueba práctica individual en laboratorio.
- 30 % de la nota final
- Asistencia a las prácticas en el laboratorio: Es **obligatorio** asistir al 87.5 % de las horas de prácticas en el laboratorio.
- Entrega de las memorias de prácticas: Es **obligatorio** entregar el 100 % de las memorias dentro del plazo establecido en la fecha habilitada en el servidor de miaulario. No se reciben memorias de prácticas ni de tareas fuera del plazo fijado por el servidor de miaulario.
- La obligatoriedad de la asistencia al 87.5 % de las horas de prácticas así como la entrega de memorias en el plazo y medio establecido es condición necesaria para poder superar la asignatura.
- Se evaluará la actitud y participación activa en el propio laboratorio.

3. NOTA TEORIA

- Nota Mínima en cada Prueba Evaluatoria: 4.0 Recuperable mediante una prueba individual escrita.
- La nota de teoría es la media de las 2 pruebas de evaluación continua ó la nota del examen final de recuperación.
- 60 % de la nota final
 - a. Las Pruebas teóricas de Evaluación Continua: Se realizarán 2 pruebas de evaluación continua correspondientes a :
 - Temas Introducción-Arquitectura Von Neumann-Representación de Datos-Aritmética y Lógica. Representación de Instrucciones-Construcciones básicas de Programación en Código Ensamblador-Prácticas 1 y 2.
 - Temas CPU-Memoria-Mecanismos E/S-Prácticas 3, 4 y 5.
 - b. Examen Recuperación Teórico
 - Partes: Arquitectura y Programación en lenguaje Ensamblador.
 - Se podrá preguntar cualquier cuestión relacionada tanto con las clases teóricas como prácticas de laboratorio.
 - No se permiten fuentes de información como : libros, apuntes, memorias, dispositivos con conexión a internet

Capítulo 2

Arquitectura Von Neumann

2.1. Arquitectura Von Neumann

2.1.1. Temario

1. Arquitectura Von Neumann:

- a. CPU
- b. Memoria
- c. Entrada / Salida

2.1.2. Contexto Histórico

2.1.2.1. Antecedentes

- 1833: Charles Babbage → Diseña la 1^a Computadora mecánica
- 1890: Máquina tabuladora de Herman **Hollerith**. Censo en USA. IBM (1925)
- 1936: Alan Turing → Algoritmia y concepto de máquina de Turing. Máquina código Enigma.
- **Segunda Guerra Mundial 1939-1945**
- 1944: USA, IBM Computadora electromecánica Harvard Mark I
- 1944: Colossus (Colossus Mark I y Colossus Mark 2). Decodificar comunicaciones.

2.1.2.2. ENIAC

- 1947: En la Universidad de Pensilvania (laboratorio de investigación de balística para la artillería) se construye la **ENIAC** (Electronic Numerical Integrator And Calculator)
 - Ecuaciones diferenciales sobre balística ($\text{angle} = f(\text{location}, \text{tail wind}, \text{cross wind}, \text{air density}, \text{temperature}, \text{weight of shell}, \text{propellant charge}, \dots)$)
 - Computadora electrónica (no mecánica) de **propósito general**.
 - Memoria: Sólo 20 acumuladores → flip-flops hechos con triodos
 - 18,000 tubos electrónicos ó válvulas de vacío
 - Programación manual de los interruptores

- 100,000 instrucciones por segundo
- 300 multiplicaciones por segundo
- 200 kW
- 13 toneladas y 180 m²

2.1.2.3. EDVAC

- 1951: En la Universidad de Pensilvania (J. Presper Eckert y John William Mauchly) comienza a operar la **EDVAC** (Electronic Discrete Variable Automatic Computer), concebida por **John von Neumann**, que a diferencia de la ENIAC no era decimal, sino binaria, y tuvo el primer **programa** (no solo los datos) diseñado para ser **almacenado**: STORED PROGRAM COMPUTER → program can be manipulated as data.
 - 500000\$
 - La EDVAC poseía físicamente casi 6000 válvulas termoiónicas y 12 000 diodos de cristal. Consumía 56 kilowatts de potencia. Cubría 45,5 m² de superficie y pesaba 7850 kg.
 - Arquitectura:
 - un lector-grabador de cinta magnética
 - una unidad de control con osciloscopio, una unidad para recibir instrucciones del control
 - la memoria : 2000 word storage "mercury delay lines" → poca fiabilidad
 - una unidad de aritmética de coma flotante en 1958.

2.1.2.4. IAS

- 1946-1952 : **IAS** (Institute Advanced Studies) mainframe :
 - Evolución de EDVAC: unidad de memoria principal y secundaria tambor magnético.
 - Memoria Selectron: almacenamiento capacitivo → carga electrostática

2.1.2.5. Posterior

- 1952: **UNIVAC I** (UNIVersal Automatic Computer I) was the first commercial mainframe computer. Evolución de la máquina tabuladora de Hollerith aplicado al procesado del censo en USA.
- 1952: IBM 701, conocido como la "calculadora de Defensa" mientras era desarrollado, fue la primera computadora científica comercial de IBM → primer lenguaje **ENSAMBLADOR**.
- 1964: mainframe (computadora central) **IBM 360** → primer computador con ISA (microprogramación) → compatibilidad
 - tecnología híbrida entre componentes integrados discretos de silicio y otros componentes → no "circuitos" integrados.
 - Basic Operating System/360 (BOS/360), Disk Operating System/360 (DOS/360)

2.1.2.6. Tecnología de Semiconductor

- 1947: en los Laboratorios Bell, John Bardeen, Walter H. Brattain y William Shockley inventan el **transistor**.
- 1958: Kilby , primer circuito integrado en germanio.
- 1957: Robert Norton Noyce, cofundador de Fairchild Semiconductor, primer circuito integrado planar
- 1968: Robert Norton Noyce y Gordon Moore fundan Intel.
- 1971: Intel 4004 → cpu integrada en silicio → 8 bits

2.2. Institute Advanced Machine (IAS) : Arquitectura

2.2.1. Referencia

- The Von Neumann Machine

2.2.2. Ejemplo del Programa sum1toN

2.2.2.1. Código

| Address | Data | Comments |
|---------|--------|---|
| 0 | 01 005 | loop: S(x)->Ac+ n ;load n into AC |
| 0 | 0F 002 | Cc->S(x) pos ;if AC >= 0, jump to pos |
| 1 | 00 000 | halt ;otherwise done |
| 1 | 00 000 | .empty ;a 20-bit 0 |
| 2 | 05 007 | pos: S(x)->Ah+ sum ;add n to the sum |
| 2 | 11 007 | At->S(x) sum ;put total back at sum |
| 3 | 01 005 | S(x)->Ac+ n ;load n into AC |
| 3 | 06 006 | S(x)->Ah- one ;decrement n |
| 4 | 11 005 | At->S(x) n ;store decremented n |
| 4 | 0D 000 | Cu->S(x) loop ;go back and do it again |
| 5 | 00 000 | n: .data 5 ;will loop 6 times total |
| 5 | 00 005 | |
| 6 | 00 000 | one: .data 1 ;constant for decrementing n |
| 6 | 00 001 | |
| 7 | 00 000 | sum: .data 0 ;where the running/final total is kept |
| 7 | 00 000 | |
| 8 | 00 000 | |
| 8 | 00 000 | |

Figura 2.1: IAS Código Maquina

2.2.2.2. Programación Imperativa

- Paradigma:

- Paradigma imperativo ó estructural : el algoritmo se implementa desarrollando un programa que contiene las ORDENES que ha de ejecutar la máquina
 - A diferencia de la programación declarativa: el algoritmo implementa QUÉ queremos que haga la computadora, no el COMO, no directamente las órdenes que ha de ejecutar.
 - Por ejemplo $\sum_{i=1}^5 i$ en python:

```
>>> sum(range(5,0,-1))
```

- La computadora IAS se programaba directamente en *lenguaje máquina*, no tenía un lenguaje simbólico como el lenguaje ensamblador.
- Lenguaje Máquina: Código Binario
- Edición del código binario mediante tarjetas perforadas o cintas magnéticas a través de una consola.

- Tipo de información : INSTRUCCIONES Y DATOS
 - Ejemplo de instrucciones: inicializar un dato, mover un dato, sumar datos, saltar a una instrucción determinada, etc
- Concepto de programa **almacenado** : Instrucciones binarias y Datos binarios almacenados en la **Unidad de Memoria**
 - Es necesario CARGAR el módulo binario en la MEMORIA de la computadora.
- Programación secuencial: Las instrucciones se ejecutan secuencialmente según están almacenadas en la memoria... mientras no se ejecute una instrucción de salto.

2.2.2.3. Arquitectura

- Para poder analizar el programa es necesario no solo conocer el lenguaje máquina sino conocer su ARQUITECTURA. La arquitectura de una computadora es el WHAT de la máquina, es decir, QUE instrucciones es capaz de ejecutar la máquina, para lo cual es necesario conocer la ARQUITECTURA DEL REPERTORIO DE INSTRUCCIONES (Instruction Set Architecture **ISA**):
 - el repertorio de instrucciones: operaciones y modo de acceso a los datos
 - jerarquía de memoria: memoria principal y registros
 - formato de instrucciones y datos

2.3. IAS: Estructura

2.3.1. Módulos

nota

La Estructura es el HOW de la máquina. De qué hardware disponemos para poder ejecutar las instrucciones máquina definidas por la arquitectura.

■ Hardware con Estructura Modular:

- CPU-Memoria-I/O-Bus
 - Jerarquía de Memoria: 2 niveles : Memoria Principal (externa a la CPU) y Registros (internos a la CPU)

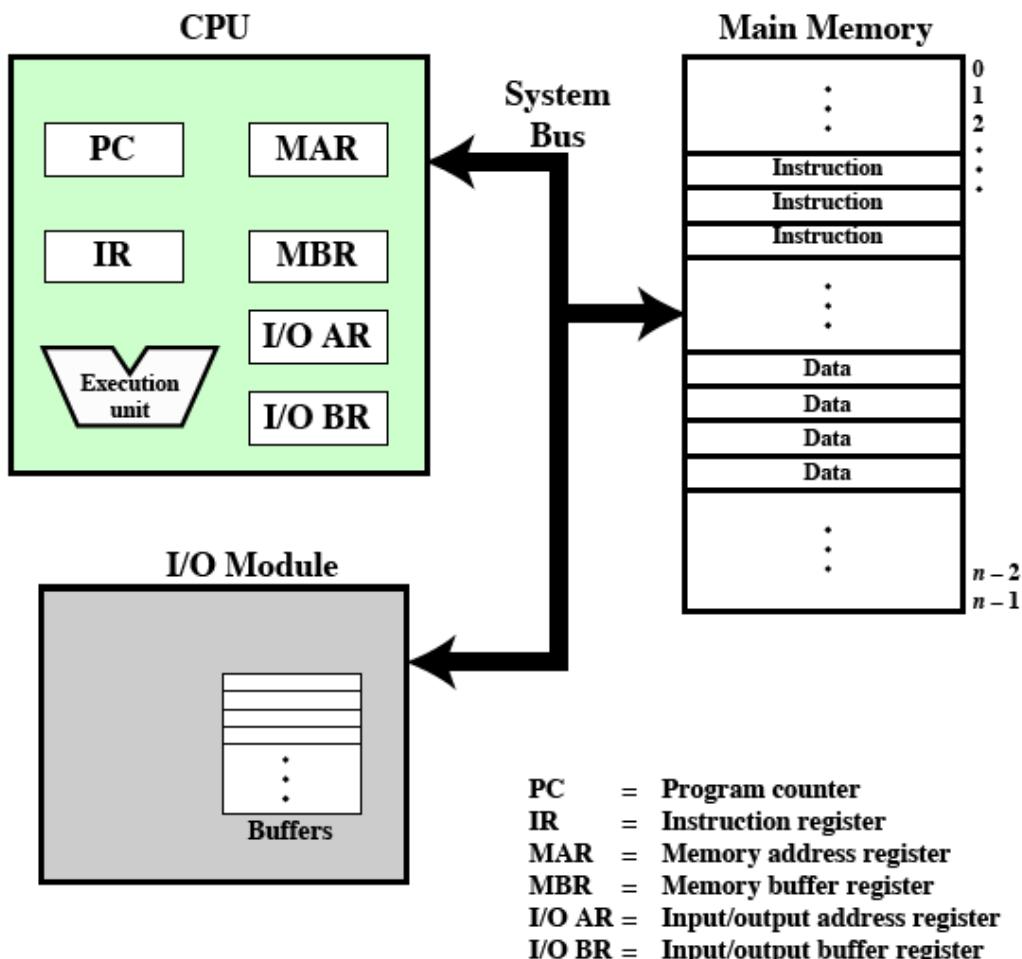


Figura 2.2: IAS_Architecture

- Arquitectura Interna de la CPU : Microarquitectura

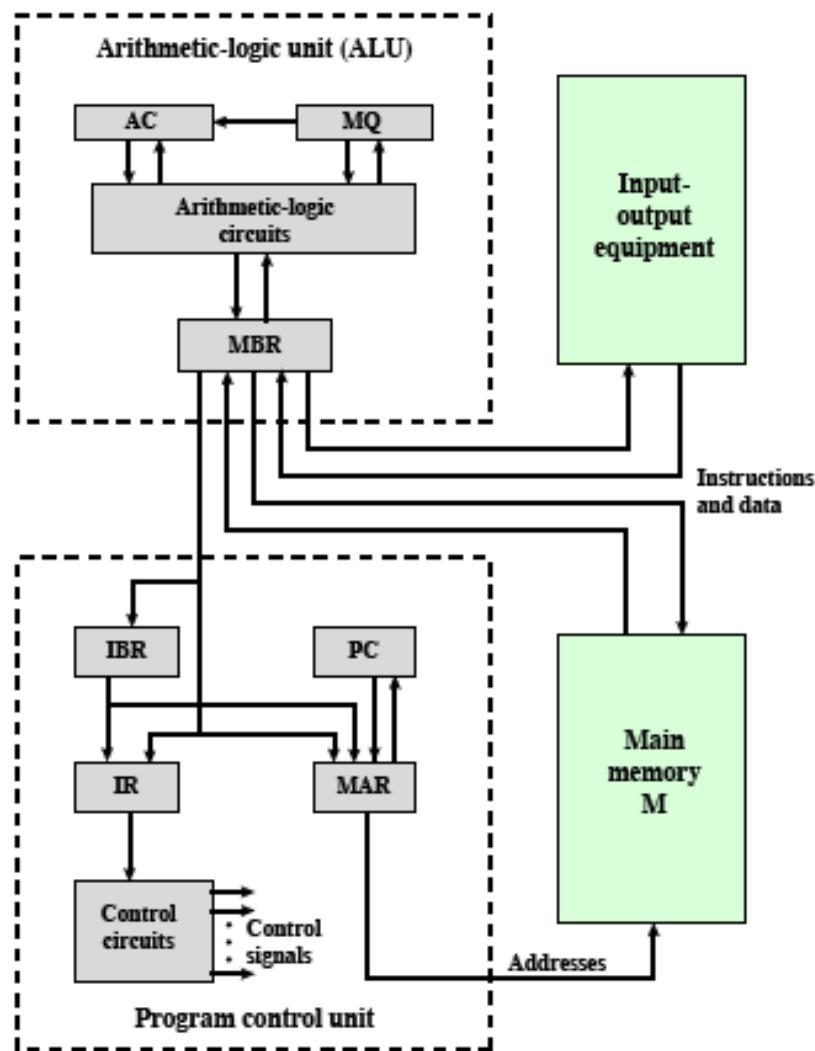


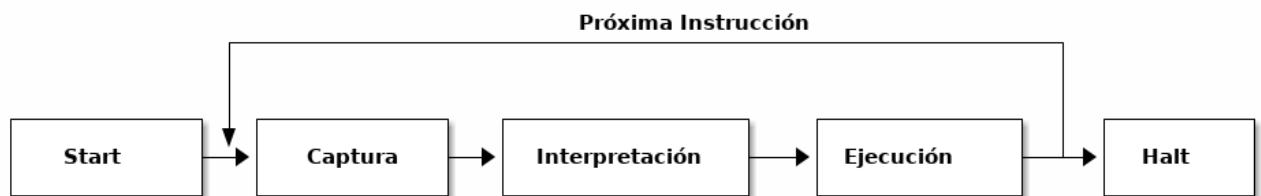
Figure 2.3 Expanded Structure of IAS Computer

Figura 2.3: IAS Structure

2.3.2. CPU

- CPU:

- 3 FASES: Captura, Interpreta y Ejecuta las instrucciones secuencialmente: **Ciclo de Instrucción**



- Tres submódulos principales de la CPU:

- Unidad de cálculo: Unidad Aritmético-Lógica (ALU)
 - Unidad de control: Circuito secuencial que implementa el Ciclo de instrucción dando las órdenes eléctricas a los distintos bloques (ALU, memoria principal, registros, buses, etc) en cada fase hasta completar el ciclo.
 - Registros

2.3.3. Memorias

2.3.3.1. Memoria Principal

| DIRECCIONES | CONTENIDO |
|-------------------|----------------------------|
| 0x00000000 | 0101010101010101010 |
| 0x00000001 | 0101010101010101010 |
| 0x00000002 | 0101010101010101010 |
| | |
| | |
| | |
| | |
| 0x00000009 | |
| 0x0000000a | |
| | |
| | |
| | |
| | |
| 0x0000000f | |

■ Memoria Principal

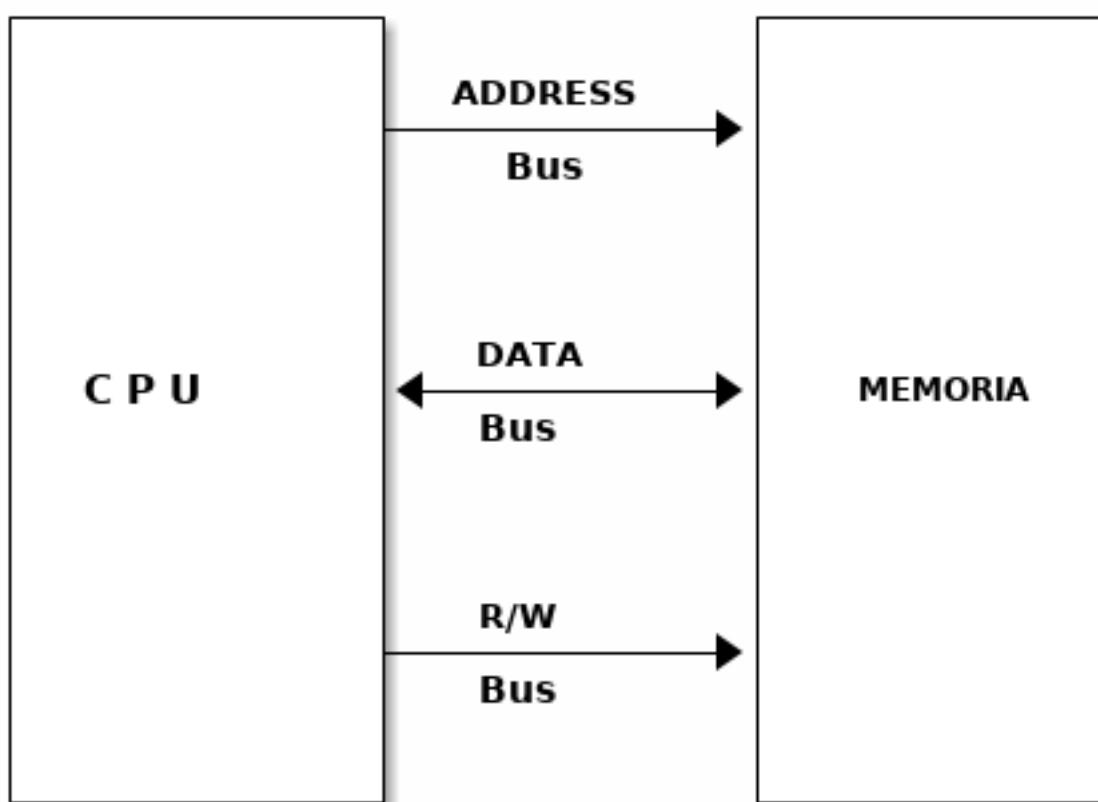
- Debe almacenar el programa a ejecutar en código binario.
- La CPU es el único módulo que tiene acceso a la memoria principal.
- Las instrucciones y datos del programa se almacenan secuencialmente.
- Almacena el programa en dos *secciones*: Sección de Datos y Sección de Instrucciones
- Organizada en Palabras accesibles aleatoriamente. Random Access Memory.
- Dinamismo: Lectura/Escritura de datos e instrucciones

2.3.3.2. Registros

- Registros:
 - Memoria interna a la CPU: GPR más el resto de registros no transparente al programador
 - General Register Purpose (GPR) (accesibles por el programador): *AC* y *AR/MQ*.
 - Selectron Register (no accesible por el programador): Memory Buffer Register *MBR*. Data Buffer Register *DBR*. 40 bits.
 - Registros NO accesibles por el programador: todos los registros de la Unidad de Control: PC,IR,MAR,IBR
 - Control Counter: Program Counter *PC* o Instruction Pointer *IP*. 12 bits. Apunta a la siguiente instrucción a capturar
 - Control Register: Instruction Register *IR*. 8 bits.
 - Instruction Buffer Register: *IBR*. Siguiente Instrucción a Ejecutar. 20 bits
 - Memory Address Register: *MAR*, current Memory Address. 12 Bits. Apunta al operando o instrucción a capturar.

2.3.4. Bus

- Bus del Sistema:
 - Interconexión CPU-Memoria Principal: transferencia de datos e instrucciones.
 - Bus de Datos, Bus de Direcciones y Bus de Control (Lectura/Escritura)



2.3.5. I/O

■ I/O

- El programa se escribe en tarjetas perforadas (Punch Cards). Tarjetas para Datos y tarjetas para instrucciones. Es necesario cargar los datos en la memoria antes de la ejecución del programa.
- tarjetas perforadas, consola, tambores magnéticos, cintas magnéticas, cargador de memoria mediante un lector de tarjetas , display mediante tubos de vacío, etc.. → tecnología obsoleta.
- No tendremos en cuenta el módulo I/O y nos centraremos en los módulos CPU-Memoria Principal.

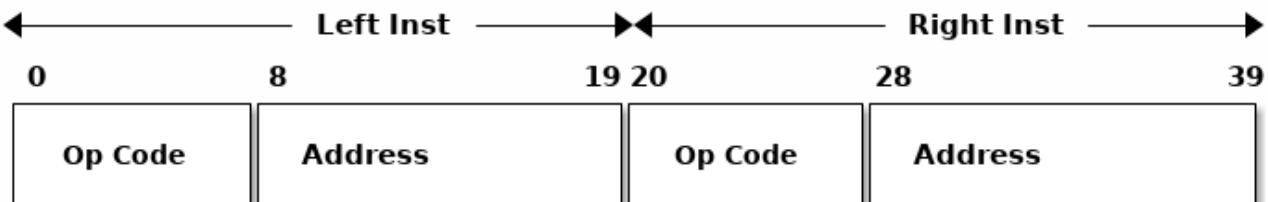
2.4. IAS: Formato de los datos e Instrucciones

- Arquitectura de la Memoria
 - Word
 - 40 bits : 1 dato ó 2 instrucciones
 - Datos
 - Entero: Complemento a 2
 - Instrucciones
 - 8-bit opcode followed by a 12-bit operand (data address)
 - Memory
 - Random Access Memory: direccionable cada posición de memoria.
 - Almacena el programa: datos e instrucciones
 - ◊ Shared Memory: memoria compartida entre datos e instrucciones. También comparten el bus de acceso a memoria.
 - Capacidad para $2^{12}=4K$ palabras
 - ◊ $4K \times 40\text{bits} = 4K \times 5\text{Bytes} = 20\text{KBytes}$
 - ◊ En cambio la memoria física disponible en esa época era de : 1024 palabras de 40 bits = 5 KBytes (Libro "The Computer from Pascal to von Neumann", Herdman Godstine, pg314, ISBN 0-691-02367-0)
 - 7 Registros
 - Acumulator: AC: Visible al Programador. 40 Bits
 - Arithmetic Register AR, también llamado registro Multiplier/Quotient MQ: Visible al programador. 40 Bits
- Data Format



- Observar que el bit con la numeración cero es el de la izda.

- Instruction Format



- Definimos **un sólo operando** o ninguno en cada instrucción
 - *Accumulator Based Architecture*
 - Una operación que requiera dos operandos implicitamente hace referencia a un operando almacenado en el *acumulador*

- Observar que el bit con la numeración cero es el de la izda.
- La instrucción de la izda (0-19) se carga en los registros internos de la CPU, el código de operación IR y el campo de operación en MAR .
- La instrucción de la derecha (20-39) se carga en el registro interno de la CPU, IBR .
- Modo de direccionamiento del Operando
 - Referencia del Operando. Dirección de Memoria.
- Contenido de la Memoria
 - Las direcciones de memoria las visualizamos dobles ya que hacen referencia a la primera a los 20 bits LSB y la segunda a los 20 bits MSB de una palabra de memoria de 40 bits.
 - Observar que en la columna data están las dos secciones: sección de instrucciones y sección de datos
 - En la arquitectura von Neumann datos e instrucciones comparten el mismo espacio de direcciones de memoria.

| Address | Data | Comments |
|---------|--------|--|
| 0 | 01 005 | loop: $S(x) \rightarrow Ac + n$; load n into AC |
| 0 | 0F 002 | Cc $\rightarrow S(x)$ pos ; if $AC \geq 0$, jump to pos |
| 1 | 00 000 | halt ; otherwise done |
| 1 | 00 000 | .empty ; a 20-bit 0 |
| 2 | 05 007 | pos: $S(x) \rightarrow Ah + sum$; add n to the sum |
| 2 | 11 007 | At $\rightarrow S(x)$ sum ; put total back at sum |
| 3 | 01 005 | $S(x) \rightarrow Ac + n$; load n into AC |
| 3 | 06 006 | $S(x) \rightarrow Ah - one$; decrement n |
| 4 | 11 005 | At $\rightarrow S(x)$ n ; store decremented n |
| 4 | 0D 000 | Cu $\rightarrow S(x)$ loop ; go back and do it again |
| 5 | 00 000 | n: .data 5 ; will loop 6 times total |
| 5 | 00 005 | |
| 6 | 00 000 | one: .data 1 ; constant for decrementing n |
| 6 | 00 001 | |
| 7 | 00 000 | sum: .data 0 ; where the running/final total is kept |
| 7 | 00 000 | |
| 8 | 00 000 | |
| 8 | 00 000 | |

Figura 2.4: IAS Código Maquina

2.5. Arquitectura del Repertorio de Instrucciones de la máquina IAS

2.5.1. Repertorio ISA

- Instruction Set Architecture (ISA): Definición y características del conjunto de instrucciones. Arquitectura del Repertorio de Instrucciones.
- En la versión original no había código ensamblador, se programaba directamente en lenguaje máquina.
 - En la tabla adjunta, en la segunda columna, los **MNEMONICOS** (LOAD,ADD,SUB,etc) de las operaciones de las instrucciones se corresponden con los diseñados por el libro de texto de William Stalling. En la primera y última columnas las operaciones se simbolizan mediante un lenguaje de transferencia entre registros.
 - Selectron es el nombre de la tecnología utilizada para la Memoria Principal.
 - La notación $S(x)$ equivale en notación RTL a $M[x]$
 - R es el registro AR que W.Stalling denomina registro MQ.

Cuadro 2.1: Instruction Set

| Instruction name | Instruction name | Op | Description | RTL |
|--------------------------|--------------------|----|--|-------------------------------|
| $S(x) \rightarrow Ac+$ | LOAD M(X) | 1 | copy the number in Selectron location x into AC | $AC \leftarrow M[x]$ |
| $S(x) \rightarrow Ac-$ | LOAD $-M(X)$ | 2 | same as #1 but copy the negative of the number | $AC \leftarrow \sim M[x] + 1$ |
| $S(x) \rightarrow AcM$ | LOAD $ M(X) $ | 3 | same as #1 but copy the absolute value | $AC \leftarrow M[x] $ |
| $S(x) \rightarrow Ac-M$ | LOAD $- M(X) $ | 4 | same as #1 but subtract the absolute value | $AC \leftarrow AC - M[x] $ |
| $S(x) \rightarrow Ah+$ | ADD M(X) | 5 | add the number in Selectron location x into AC | |
| $S(x) \rightarrow Ah-$ | SUB M(X) | 6 | subtract the number in Selectron location x from AC | |
| $S(X) \rightarrow AhM$ | ADD $ M(X) $ | 7 | same as #5, but add the absolute value | |
| $S(X) \rightarrow Ah-M$ | SUB $ M(X) $ | 8 | same as #7, but subtract the absolute value | |
| $S(x) \rightarrow R$ | LOAD MQ, M(X) | 9 | copy the number in Selectron location x into AR | |
| $R \rightarrow A$ | LOAD MQ | A | copy the number in AR to AC | |
| $S(x) * R \rightarrow A$ | MUL M(X) | B | Multiply the number in Selectron location x by the number in AR. Place the left half of the result in AC and the right half in AR. | |
| $A/S(x) \rightarrow R$ | DIV M(X) | C | Divide the number in AC by the number in Selectron location x. Place the quotient in AR and the remainder in AC. | |
| $Cu \rightarrow S(x)$ | JUMP $M(X, 0:19)$ | D | Continue execution at the left-hand instruction of the pair at Selectron location x | |
| $Cu' \rightarrow S(x)$ | JUMP $M(X, 20:39)$ | E | Continue execution at the right-hand instruction of the pair at Selectron location x | |
| $Cc \rightarrow S(x)$ | JUMP+ $M(X, 0:19)$ | F | If the number in AC is ≥ 0 , continue as in #D. Otherwise, continue normally. | |

Cuadro 2.1: (continued)

| Instruction name | Instruction name | Op | Description | RTL |
|-------------------------|-------------------------|-----------|---|------------|
| Cc` → S(x) | JUMP+ M(X, 20:39) | 10 | If the number in AC is >= 0, continue as in #E. Otherwise, continue normally. | |
| At → S(x) | STOR M(X) | 11 | Copy the number in AC to Selectron location x | |
| Ap → S(x) | | 12 | Replace the right-hand 12 bits of the left-hand instruction at Selectron location x by the right-hand 12 bits of the AC | |
| Ap` → S(x) | | 13 | Same as #12 but modifies the right-hand instruction | |
| L | LSH | 14 | Shift the number in AC to the left 1 bit (new bit on the right is 0) | |
| R | RSH | 15 | Shift the number in AC to the right 1 bit (leftmost bit is copied) | |
| halt | | 0 | Halt the program (see paragraph 6.8.5 of the IAS report) | |

- Instruction Set (William Stalling)

Table 2.1 The IAS Instruction Set

| Instruction Type | Opcode | Symbolic Representation | Description |
|----------------------|----------|-------------------------|--|
| Data transfer | 00001010 | LOAD MQ | Transfer contents of register MQ to the accumulator AC |
| | 00001001 | LOAD MQ,M(X) | Transfer contents of memory location X to MQ |
| | 00100001 | STOR M(X) | Transfer contents of accumulator to memory location X |
| | 00000001 | LOAD M(X) | Transfer M(X) to the accumulator |
| | 00000010 | LOAD -M(X) | Transfer -M(X) to the accumulator |
| | 00000011 | LOAD M(X) | Transfer absolute value of M(X) to the accumulator |
| Unconditional branch | 00000100 | LOAD - M(X) | Transfer - M(X) to the accumulator |
| | 00001101 | JUMP M(X,0:19) | Take next instruction from left half of M(X) |
| Conditional branch | 00001110 | JUMP M(X,20:39) | Take next instruction from right half of M(X) |
| | 00001111 | JUMP + M(X,0:19) | If number in the accumulator is nonnegative, take next instruction from left half of M(X) |
| Arithmetic | 00010000 | JUMP + M(X,20:39) | If number in the accumulator is nonnegative, take next instruction from right half of M(X) |
| | 00000101 | ADD M(X) | Add M(X) to AC; put the result in AC |
| | 00000111 | ADD M(X) | Add M(X) to AC; put the result in AC |
| | 00000110 | SUB M(X) | Subtract M(X) from AC; put the result in AC |
| | 00001000 | SUB M(X) | Subtract M(X) from AC; put the remainder in AC |
| | 00001011 | MUL M(X) | Multiply M(X) by MQ; put most significant bits of result in AC, put least significant bits in MQ |
| | 00001100 | DIV M(X) | Divide AC by M(X); put the quotient in MQ and the remainder in AC |
| | 00010100 | LSH | Multiply accumulator by 2; that is, shift left one bit position |
| Address modify | 00010101 | RSH | Divide accumulator by 2; that is, shift right one position |
| | 00010010 | STOR M(X,8:19) | Replace left address field at M(X) by 12 rightmost bits of AC |
| | 00010011 | STOR M(X,28:39) | Replace right address field at M(X) by 12 rightmost bits of AC |

Figura 2.5: IAS_Instruction_Set

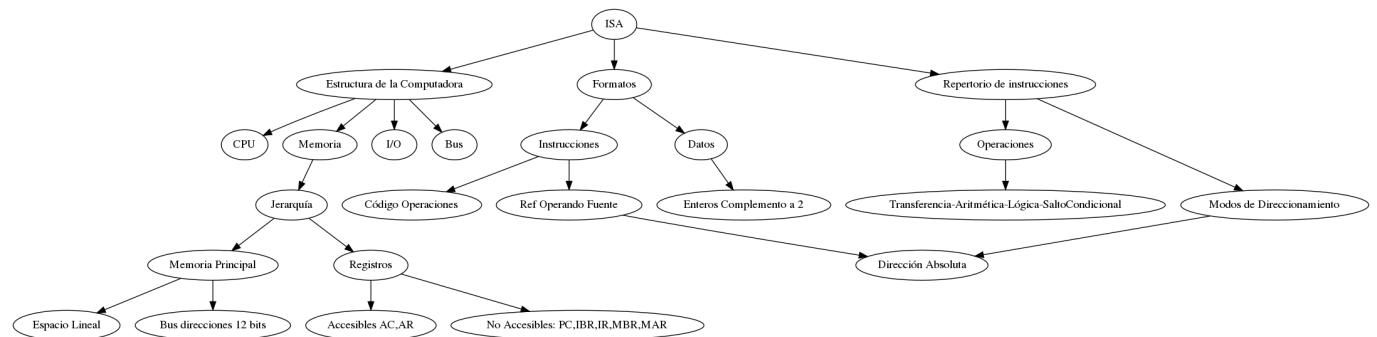
2.5.2. Interfaz ISA

- La arquitectura del conjunto de instrucciones (ISA) define la **INTERFAZ** entre el Hardware y el Software de la máquina
 - Podemos tener dos CPU totalmente diferentes, p.ej AMD e Intel, pero si tienen la misma ISA serán máquinas compatibles desde el punto de vista del sistema operativo.
 - Concepto de familia: un mismo repertorio de instrucciones puede ser ejecutado por distintas computadoras
- **ISA de distintas máquinas**

2.6. Recordatorio

- Ideas Fundamentales
- PROGRAMACION DE BAJO DE NIVEL
 - Programación con *acceso directo* a los recursos HW de la computadora.
- ARQUITECTURA Von Neumann:
 - Codificación de las Instrucciones
 - Programa Almacenado (datos e instrucciones comparten la misma unidad de memoria)
- ARQUITECTURA ISA:
 - Estructura (CPU/MEMORIA/I-O)
 - Formato Datos e Instrucciones
 - Repertorio de instrucciones (Operaciones y Modos de Direccionamiento)
 - Etc...
- ISA-IAS: Arquitectura ISA de la máquina IAS

2.7. ISA



2.8. Programación en el Lenguaje Ensamblador IAS

2.8.1. Máquina Virtual Java JVM

- Instalar el Kit de Desarrollo Java ([Java Development Kit-JDK](#)) en el sistema ubuntu
 - [openjdk-11-jdk](#) en la distribución linux/GNU ubuntu 18.0 bionic.
 - Comprobar que se tiene acceso al paquete: `apt-cache search openjdk-11-jdk`
 - Instalar el paquete: `sudo apt-get install openjdk-11-jdk`
 - Comprobar que está instalado el paquete: `dpkg -l openjdk-11-jdk`
 - Comprobar la versión de java instalada: `java --version`

- datos de la instalación en Ubuntu 17

```
Date: September 15, 2017.
Emulator version: IASSim2.0.4
Emulator command: java -cp IASSim2.0.4.jar:jhall.jar:IASSimHelp2.0.jar iassim.Main -m IAS. ←
cpu
Operating System: GNU/linux
    Distributor ID: Ubuntu
    Description:     Ubuntu 17.04
    Release:        17.04
    Codename:       zesty
Java version: openjdk version "1.8.0_131"
    OpenJDK Runtime Environment (build 1.8.0_131-8u131-b11-2ubuntu1.17.04.3-b11)
    OpenJDK 64-Bit Server VM (build 25.131-b11, mixed mode)
```

IASSim se ejecuta en la máquina virtual de Java JVM, por lo tanto es un requisito tener instalada la máquina virtual JVM. Virtualizar una máquina consiste en instalar una capa SW por encima de cualquier Sistema Operativo (Linux, MacOS, Windows) de tal forma que cualquier aplicación (Por ejemplo IASSim) que se instale sobre la capa de virtualización no depende del Sistema Operativo y así se consigue independizar la aplicación (Por ejemplo IASSim) de los diferentes Sistemas Operativos.

2.8.2. Simulador IAS

- IASSim : Herramienta de simulación de la computadora IAS de Von Neumann útil para la simulación de la ejecución paso a paso de las instrucciones de un programa en código máquina. Permite visualizar el contenido de la memoria principal Selectron y de los registros de la CPU al finalizar cada ciclo de instrucción.
- [IASSim Web](#) : Al hacer click nos conectamos al repositorio del simulador IASSim.
 - Descargar el Simulador IASSim2.0.4 : archivo zip
 - Descomprimir el archivo IASSim2.0.4.zip.
- Abrir el Simulador mediante el comando:
 1. `..$/IASSim2.0.4$ java -cp IASSim2.0.4.jar:jhall.jar:IASSimHelp2.0.jar iassim.Main -m IAS.cp`
 - En Windows se puede hacer doble click sobre el archivo por lotes con extensión .bat.

2.8.2.1. Registros

- The IAS machine has 7 registers: Accumulator, Arithmetic Register / Multiplier-Quotient (AR/MQ), Control Counter, Control Register, Function Table Register, Memory Address Register, Selectron Register
 - The Accumulator (*AC*) and Arithmetic registers (*AR/MQ*) are the only two programmer-visible registers
 - The Control Counter is what we now call the Program Counter *PC*
 - The Control Register holds the currently executing instruction *IBR*. Unicamente la instrucción de la derecha que se va a ejecutar.
 - The Function Table Register holds the current opcode *IR*
 - The Memory Address Register the current memory address *MAR*
 - Selectron Register the current data value being read from or written to memory → *MBR*

2.8.2.2. Notas

- Es necesario que el número de instrucciones sea par. Si es impar se añade la directiva *.empty*.
- Una etiqueta debe de apuntar a la instrucción izda. Si está en la dcha se puede anteponer una instrucción de salto incondicional a dicha etiqueta.
- La sección de datos si está a continuación de la sección de código hay que terminar la sección de código con una instrucción en la dcha y si no la rellenamos con la directiva *.empty*.

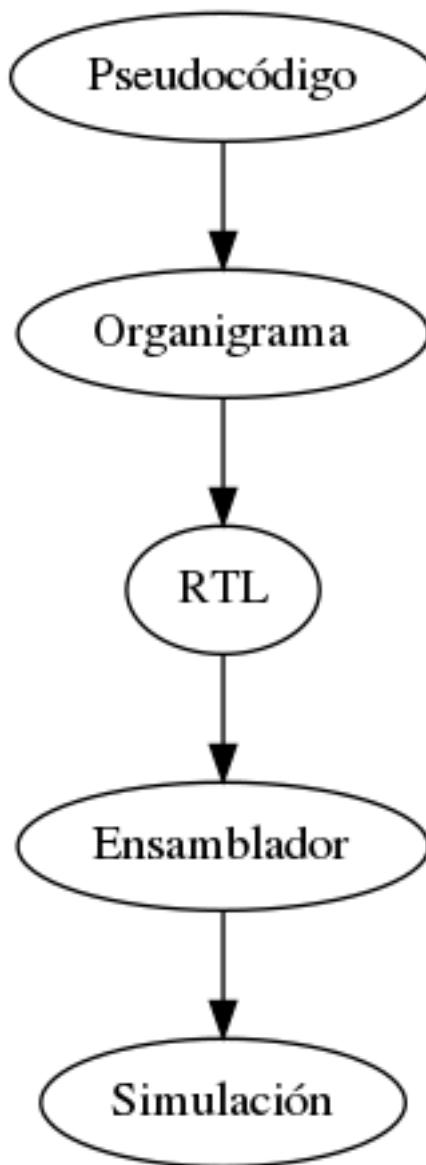
2.8.2.3. Error

- Error al visualizar el valor del registro MAR
 - Al ejecutar la primera instrucción de sum1toN.ias el contenido de MAR es 28, mayor que el rango de direcciones de la memoria principal donde esta cargado el programa.
 - El error se da tanto en Windows 7 como en Ubuntu 17.04

2.8.3. Estrategia del Desarrollo de un Programa en Lenguaje Ensamblador

■ Una vez entendido el problema que ha de resolverse mediante programación, no se programa directamente el módulo fuente solución del problema sino que se va resolviendo describiendo el problema y el algoritmo solución en distintos lenguajes y en las siguientes fases:

- Descripción del algoritmo en lenguaje "pseudocódigo".
- Descripción del algoritmo mediante un organigrama o diagrama de flujo.
- Descripción del algoritmo en lenguaje de transferencia entre registros RTL.
- Descripción del algoritmo en lenguaje ensamblador iassim



importante

El paso de una descripción en un lenguaje de alto nivel a bajo nivel se realiza en lenguaje RTL teniendo en cuenta la arquitectura de la computadora donde se ejecutará el lenguaje máquina. Cada instrucción de alto nivel tendrá que traducirla en un bloque de instrucciones de bajo nivel

2.8.4. Ejemplo 1: sum1toN.ias

2.8.4.1. Enunciado

- Calcular la suma $\sum_{i=1}^N i = N(N + 1)/2$

2.8.4.2. Pseudocódigo

- Descripción del algoritmo mediante expresiones modo texto en lenguaje NATURAL

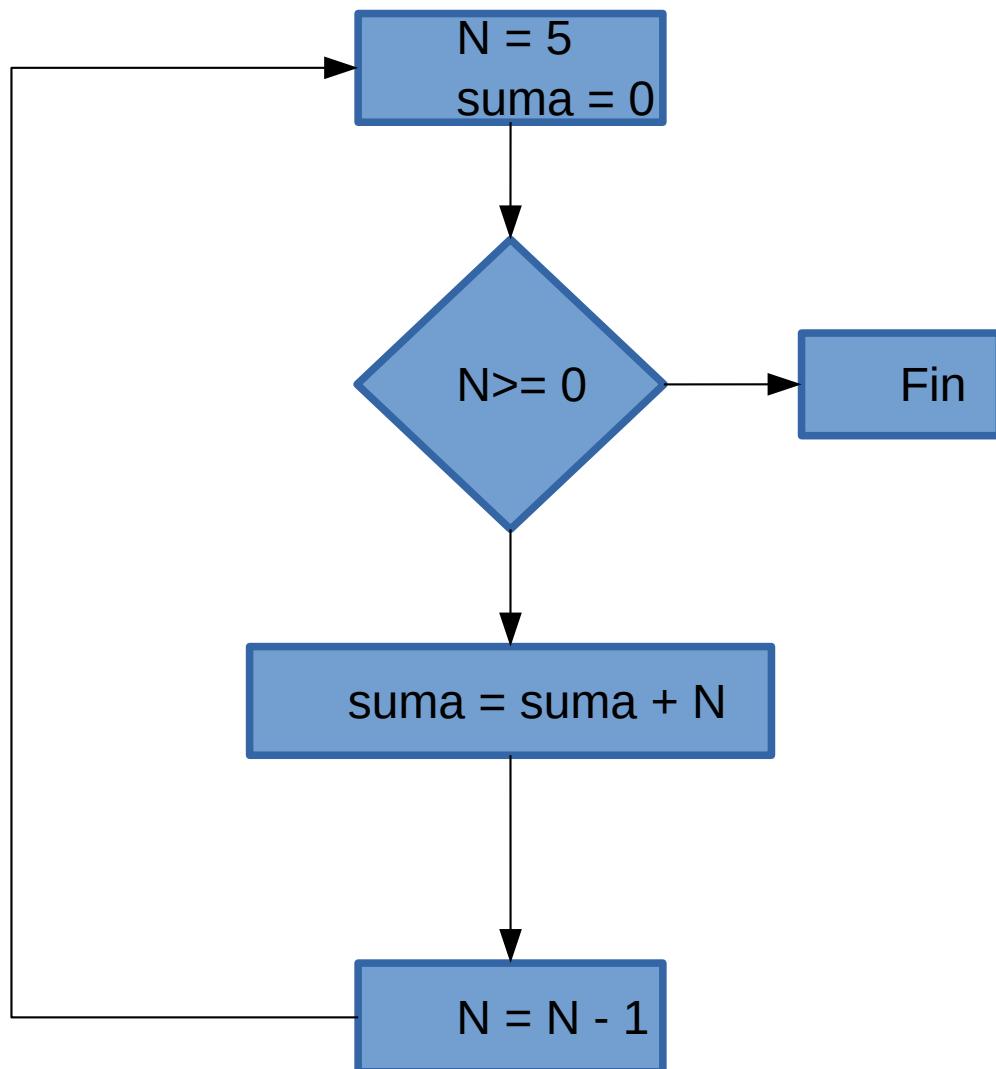
- VARIABLES:

- variable suma : almacena los resultados parciales y final
- variable N : almacena el dato de entrada
- variable i : almacena el sumando que varía en cada iteración

- Estructura del CODIGO imperativo:

- La construcción de instrucciones básica es un bucle
 - El bucle cuenta las iteraciones en sentido descendente
 - En cada iteración se genera un sumando "i" y se realiza la suma=suma+i
 - Se inicializa "i=N" y en cada iteración i=i-1
 - Se sale del bucle cuando i=-1 <<<

2.8.4.3. Organigrama



2.8.4.4. RTL

- Descripción RTL para la máquina IAS orientada a acumulador

```
;CABECERA
;Descripcion en lenguaje RTL del algoritmo sumitoN

;SECCION DATOS  :
; Declaracion de etiquetas, reserva de memoria externa, inicializacion
; Variables ordinarias
n:      M[n]    <- 5           ; variable sumando e inicializacion
suma:   M[suma] <- 0          ; variable suma parcial y final

;SECCION INSTRUCCIONES
;Arquitectura orientada a Acumulador (AC)
;Registros accesibles : AC
        ; inicio bucle : suma y generación de sumandos
bucle:  AC      <- M[n]       ; cargar sumando
        AC>=0 : PC <- sumar     ; si el sumando < 0 fin del bucle
        ; fin del bucle
        stop
        ; realizar la suma
sumar: AC      <- AC + M[suma]
        M[suma] <- AC
        ; actualizar sumando
        AC      <- M[n]
        AC      <- AC - 1
        M[n]   <- AC
        ; siguiente iteracion
        PC      <- bucle
```

2.8.4.5. Lenguaje ensamblador iassim

El desarrollo del módulo fuente en lenguaje ensamblador iassim NO se realiza de principio a fin sino que se va realizando **POR PASOS**, empezando por un código lo más sencillo posible que será testeado y depurado antes de ir desarrollando hasta llegar al código completo

- **1^a Versión:** módulo fuente *sum1toN_v1.ias*:

- La 1^a versión implementa un bucle cuyo cuerpo únicamente almacena un dato en la variable suma. El dato varía en cada iteración.
- Sintaxis → etiqueta: operacion operando ;comentario → 4 Columnas
- Los símbolos para indicar la operación (Ej. S(x)→Ac+) no son mnemónicos
- No utilizar tildes ni en los comentarios ni en las etiquetas, ya que únicamente se admite código ASCII no extendido.
- Si el número de instrucciones es impar se ha de llenar la palabra de 40 bits de la última instrucción con los 20 bits de menor peso a cero.
- La sección de instrucciones debe de ir previamente a la sección de datos

```

; CABECERA
; 1a version : sum1toN_v1.ias
; Calcula la suma de una secuencia de numeros enteros: suma = 1+2+..+n
; dato de entrada : n
; dato de salida : suma
; Algoritmo : bucle de n iteraciones
;           Los sumandos se van generando en sentido descendente de n a 0
;           Se sale del bucle si el sumando es negativo -> -1
; Estructuras de datos : variables n y suma . Constante uno.
; Lenguaje ensamblador: IASSim
; Arquitectura de la máquina IAS de Von Neumann

;;;;;;;;;; SECCION DE INSTRUCCIONES
;Arquitectura orientada a Acumulador (AC)
;Registros accesibles : AC
; algoritmo: bucle que genera la secuencia n, n-1, n-2,...0,-1 si n>=0
bucle: S(x)->Ac+ n          ; AC <- M[n]
      S(x)->Ah- uno        ; AC <- AC-M[uno]
      At->S(x)  suma        ; M[suma] <- AC
      Cc->S(x)  bucle       ; Si AC >= 0, salto a bucle
      ; fin del bucle
      halt                  ; stop
      .empty

;;;;;;;;;;SECCION DE DATOS
; Declaracion de etiquetas, reserva de memoria externa, inicializacion.
; Variables ordinarias
n:     .data  5 ; variable sumando
uno:   .data  1 ; cte
suma:  .data  0 ; sumas parciales y resultado final

```

- Se ha desarrollado la sección de datos para la reserva de memoria.
- Se ha realizado un BUCLE SENCILLO ya que el bucle es la construcción necesaria en el algoritmo final.
- Se ha realizado la operación RESTA ya que es una operación necesaria en el algoritmo final.
- Se ha COMENTADO el código

■ 2^a Versión: módulo fuente *sum1toN_v2.ias*:

- La 2^a versión implementa un bucle cuyo cuerpo realiza una suma parcial donde uno de los sumandos varía en cada iteración.

```
;:::::::::::::::::: CABECERA
; ; 2a version : sum1toN_v2.ias
;:::::::::::::::::: SECCION DE INSTRUCCIONES
;Arquitectura orientada a Acumulador (AC)
;Registros accesibles : AC
; algoritmo: Bucle que realiza la operación suma = n + suma si n>=0
; inicio bucle
bucle: S(x)->Ac+ n      ; AC <- M[n] .Cargar sumando
      Cc->S(x)    sumar ; si AC >= 0, PC <- sumar .Si el sumando < 0 fin del bucle
      halt          ; stop
      .empty         ; un 20-bit 0, para que el nº de instrucciones sea par.
      ; realizar la suma
sumar: S(x)->Ah+ suma ; AC <- AC + M[suma]
      At->S(x)    suma ; M[suma] <- AC

;::::::::::::::::::SECCION DE DATOS
; Declaracion de etiquetas, reserva de memoria externa, inicializacion.
; Variables ordinarias
n:      .data   5 ; variable sumando
uno:    .data   1 ; cte
suma:   .data   0 ; sumas parciales y resultado final
```

- Se ha desarrollado la sección de datos.
- Se ha realizado un BUCLE con la operación SUMA en el cuerpo del bucle y con PARADA al salirse del bucle.
- Se ha COMENTADO el código

- **Versión Demo tutorial.ias:** la versión demo que se incluye en el archivo de descarga del simulador.

```

loop:   S(x)->Ac+  n      ;load n into AC
        Cc->S(x)  pos    ;if AC >= 0, jump to pos
        halt       ;otherwise done
        .empty     ;a 20-bit 0
pos:    S(x)->Ah+  sum   ;add n to the sum
        At->S(x)  sum   ;put total back at sum
        S(x)->Ac+  n      ;load n into AC
        S(x)->Ah-  one   ;decrement n
        At->S(x)  n      ;store decremented n
        Cu->S(x)  loop  ;go back and do it again
n:     .data 5  ;will loop 6 times total
one:   .data 1  ;constant for decrementing n
sum:   .data 0  ;where the running/final total is kept

```

- Ejemplo con la **Versión Demo tutorial.ias:**

- cambiar el nombre del módulo fuente: *sum1toN.ias*
- reeditar el programa con etiquetas y comentarios en castellano.
- comentar el código con la información de los módulos descritos en las fases previas del desarrollo del programa

```

;;;;;;;;;; CABECERA
; Modulo fuente sum1toN.ias
; Calcula la suma de una secuencia de numeros enteros: suma = 1+2+..+n
; dato de entrada : N y dato de salida : suma
; Algoritmo : bucle de N iteraciones
;           Los sumandos se van generando en sentido descendente de n a -1
;           Si el sumando es negativo -> -1 , no se realiza la suma y finaliza el ←
;           bucle
; Estructuras de datos : variables n y suma . Constante uno.
; Lenguaje ensamblador: IASSim
; ISA: Arquitectura de la maquina IAS de Von Neumann

;;;;;;;;;; SECCION DE INSTRUCCIONES
;Arquitectura orientada a Acumulador (AC)
;Registros accesibles : AC
; algoritmo: Bucle que genera los sumandos n, n-1, .... -1
;           y realiza la operación suma = n + suma si n>=0

; inicio bucle : suma y generacion de sumandos
bucle:  S(x)->Ac+  n          ;cargar sumando
        Cc->S(x)  sumar       ;si el sumando < 0 fin del bucle
        ; fin del bucle
        halt        ; stop
        .empty      ;a 20-bit 0 para que el nº de instrucciones sea par.
        ; realizar la suma
sumar:  S(x)->Ah+  sum ;
        At->S(x)  sum ;
        ; actualizar sumando
        S(x)->Ac+  n ;
        S(x)->Ah-  uno ;
        At->S(x)  n ;
        ; siguiente iteracion
        Cu->S(x)  bucle ;

;;;;;;;;;;SECCION DE DATOS
; Declaracion de etiquetas, reserva de memoria externa, inicializacion.
; Variables ordinarias
n:     .data 5  ; sumando e inicializacion
sum:   .data 0  ; suma parcial y final

```

```
; constantes  
uno:    .data 1  ;
```

2.8.4.6. Simulación/Depuración

- Los objetivos de la simulación son dos:
 - a. Interpretar la ejecución de cada instrucción observando como varía la memoria y los registros
 - b. Depurar posibles errores en el desarrollo del programa.
- <https://www.linuxvoice.com/john-von-neumann/>
- Es necesario conocer la codificación hexadecimal de los números enteros y su conversión a código binario.
- Al programa **Demo tutorial.ias** que viene con el propio emulador le llamaremos *sum1toN.ias*
 1. El archivo zip descargado ha debido de ser descomprimido: observar los archivos extraídos, uno de ellos son las instrucciones de apertura del emulador.
 2. Abrir el emulador:
 - En linux mediante el comando en línea: `java -cp IASSim2.0.4.jar:jhall.jar:IASSimHelp2.0.jar iassim.Main -m IAS.cpu`
 - En windows: Doble click en el archivo por lotes con la extensión `*.bat`
 3. Ayuda: Help → General IASSim Help → Assembly Language → Sintaxis y Regular Instrucciones : manual del lenguaje ensamblador
 4. Borrar el contenido de la memoria tanto interna como externa. Execute → Clear all
 5. Desactivar el modo depuración : Execute → Debug Mode NO seleccionado
 6. Cargar el programa *sum1toN.ias* en lenguaje ensamblador : File → Open → sum1toN.ias
 - Lenguaje ensamblador: creado por los autores de la aplicación *IASSim*.
 7. Ventana RAM Selectrons: direcciones y contenido en código hexadecimal,decimal,binario... Anchura memoria : 20 ó 40 bits.
 8. Seleccionar la ventana con el código fuente en lenguaje ensamblador.
 9. Ensamblar y Cargar el módulo ejecutable en memoria : Execute → Assemble & Load
 10. Analizar el mapa de memoria : sección de instrucciones y sección de datos
 11. Activar el modo depuración : Execute → Debug Mode
 12. Ejecución de cada instrucción paso a paso : Step by Step
- Contenido de la Memoria
 - La primera instrucción está almacenada en los 20 bits de la izda de la posición de memoria y la segunda instrucción en la dcha.

| Address | Data | Comments |
|---------|--------|---|
| 0 | 01 005 | loop: S(x)->Ac+ n ;load n into AC |
| 0 | 0F 002 | Cc->S(x) pos ;if AC >= 0, jump to pos |
| 1 | 00 000 | halt ;otherwise done |
| 1 | 00 000 | .empty ;a 20-bit 0 |
| 2 | 05 007 | pos: S(x)->Ah+ sum ;add n to the sum |
| 2 | 11 007 | At->S(x) sum ;put total back at sum |
| 3 | 01 005 | S(x)->Ac+ n ;load n into AC |
| 3 | 06 006 | S(x)->Ah- one ;decrement n |
| 4 | 11 005 | At->S(x) n ;store decremented n |
| 4 | 0D 000 | Cu->S(x) loop ;go back and do it again |
| 5 | 00 000 | n: .data 5 ;will loop 6 times total |
| 5 | 00 005 | |
| 6 | 00 000 | one: .data 1 ;constant for decrementing n |
| 6 | 00 001 | |
| 7 | 00 000 | sum: .data 0 ;where the running/final total is kept |
| 7 | 00 000 | |
| 8 | 00 000 | |
| 8 | 00 000 | |

Figura 2.6: IAS Código Maquina

- Contenido de los Registros:

| Registers | | |
|-------------------------------|-------|--------------|
| Base: Hexadecimal | | |
| name | width | value |
| Accumulator (AC) | 40 | 00 0000 0000 |
| Arithmetic Register (AR) | 40 | 00 0000 0000 |
| Control Counter (CC) | 12 | 000 |
| Control Register (CR) | 20 | 0 0000 |
| Function Table Register (FR) | 8 | 00 |
| Memory Address Register (MAR) | 12 | 000 |
| Selectron Register (SR) | 40 | 00 0000 0000 |

Figura 2.7: IAS Registros

- Ejercicio:

- Antes de la ejecución de cada instrucción interpretarla: interpretar la instrucción en lenguaje máquina.
- prever el nuevo contenido de la sección de datos de la memoria
- prever el nuevo contenido de los registros de la CPU.
- prever la próxima instrucción a ejecutar

- Deducir el organigrama del programa.

2.8.5. Ejemplo 2: Producto/Cociente

2.8.5.1. Enunciado

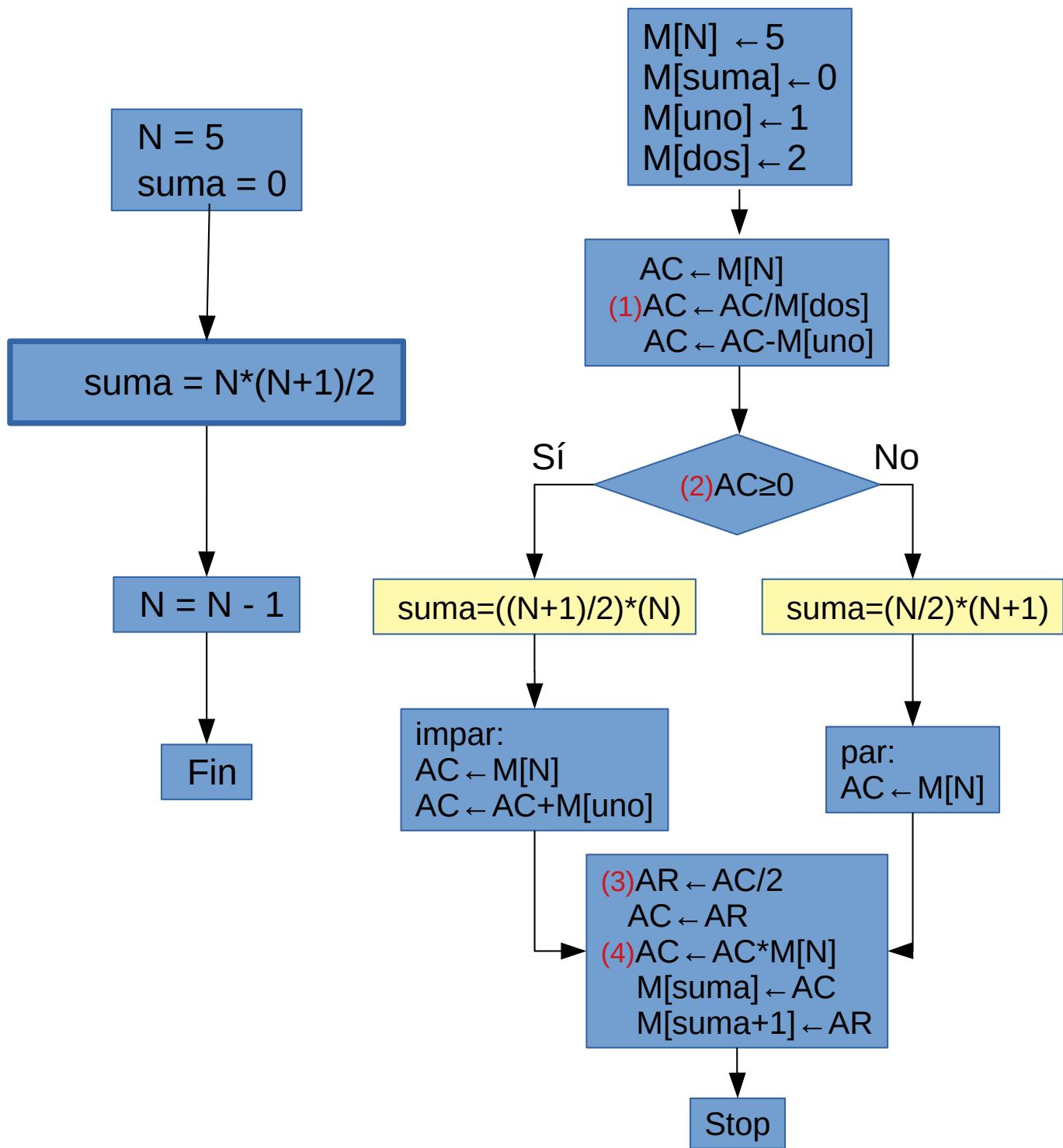
- Desarrollar el programa que realice la operación $N(N + 1)/2$ equivalente a obtener el resultado de la suma del Tutorial1 $\sum_{i=1}^N i = N(N + 1)/2$.
 - Pseudocódigo del algoritmo
 - Organigrama del algoritmo
 - Programa en lenguaje RTL → Comentar apropiadamente el programa (cabecera con metainformación, secciones estructurales, bloques funcionales).
 - Programa en lenguaje Ensamblador
 - Ejecutar el programa paso a paso analizando el valor de los registros al ejecutar la multiplicación y la división.
- A TENER EN CUENTA en la descripción RTL:
 - El producto de dos números de M dígitos da como resultado un número de 2M dígitos, es decir, el doble que los multiplicandos. Esto dificulta las operaciones aritméticas posteriores a la multiplicación en la expresión matemática. Por ello dejaremos la operación multiplicación para el final dando prioridad a la suma y a la división
 - $N(N + 1)/2 = ((N + 1)/2) * N$
 - La división puede tener resto 1 ó 0 dependiendo de si el dividendo es par o impar
 - Si N es impar → $(N+1)/2$ tiene el resto 0 → $((N + 1)/2) * N$ donde N+1 es par
 - Si N es par → $(N+1)/2$ tiene el resto 1 → $(N+1) = \text{Cociente}*2+\text{Resto} \rightarrow N(N + 1)/2 = N*C + N/2$ donde N es par
 - La división por una potencia de 2 como 2^1 se realiza mediante una operación lógica: desplazar 1 bit a la izda el dividendo. El número de bits a desplazar es el valor del exponente.
 - descripción RTL $AC \leftarrow AC \ll 1$

2.8.5.2. Pseudocódigo

- Descripción del algoritmo mediante expresiones modo texto en lenguaje NATURAL
- VARIABLES:
 - variable suma : almacena los resultados parciales y final
 - variable N : almacena el dato de entrada
- Estructura del CODIGO imperativo:
 - La construcción de instrucciones básica es una asignación
 - $suma = N(N + 1)/2$

2.8.5.3. Organigramas: Alto Nivel y RTL

- Descripción gráfica del algoritmo:
 - Alto Nivel: lenguaje natural imperativo
 - RTL: lenguaje de bajo nivel que tiene en cuenta la ISA de la computadora



- (1) El resto de la división se carga en AC
- (2) $AC > 0 : PC \leftarrow PC + \text{impar}/\text{par}$
- (3) El resto de la división es cero
- (4) El resultado de la multiplicación tiene doble tamaño que los multiplicandos

2.8.5.4. Lenguaje Ensamblador IAS

- sum1toN_mul.ias

```
; Suma de los primeros N numeros enteros. Y=N(N+1)/2
; CPU IAS
; lenguaje ensamblador: simaulador IASSim
; Ejercicio 2.1 del libro de William Stallings, Estructura de Computadores

; SECCION DE INSTRUCCIONES
; ¿Es N par? -> Resto de N/2
S(x)->Ac+ n      ;01 n      ;AC      <- M[n]
.
.
;
; Caso 1º: N par
.
.
;
; Caso 2º: N impar
.
.
;
; Multiplicación N(N+1) /2
.
.
;
; SECCION DE DATOS
; Declaracion e inicializacion de variables
y:      .data 0 ;resultado

; Declaracion de las Constantes
n:      .data 5 ;parametro N
uno:   .data 1
dos:   .data 2
```

2.8.5.5. simulación

- simulación con el emulador IASSsim

2.8.6. Ejemplo 3: Vectores

2.8.6.1. Enunciado

- Realizar la suma $C = A + B$ de dos vectores A y B de 10 elementos cada uno inicializados ambos con los valores del 1 al 10.

nota

Para acceder a cada elemento de un vector es necesario ir incrementando la dirección absoluta de memoria del operando en la instrucción que accede a los elementos del vector, por lo tanto, es necesario modificar el campo de operando de la instrucción. Hay una instrucción de transferencia de los 12 bits del campo de operando a los 12 bits de menor peso del registro AC , es decir,

$AC(28:39) \leftarrow M[\text{operando}](8:19)$. Y otra instrucción que realiza la transferencia inversa $M[\text{operando}](8:19) \leftarrow AC(28:39)$. De esta manera se pueden realizar operaciones de aritméticas y lógicas sobre los 12 bits del campo de operando de una instrucción.

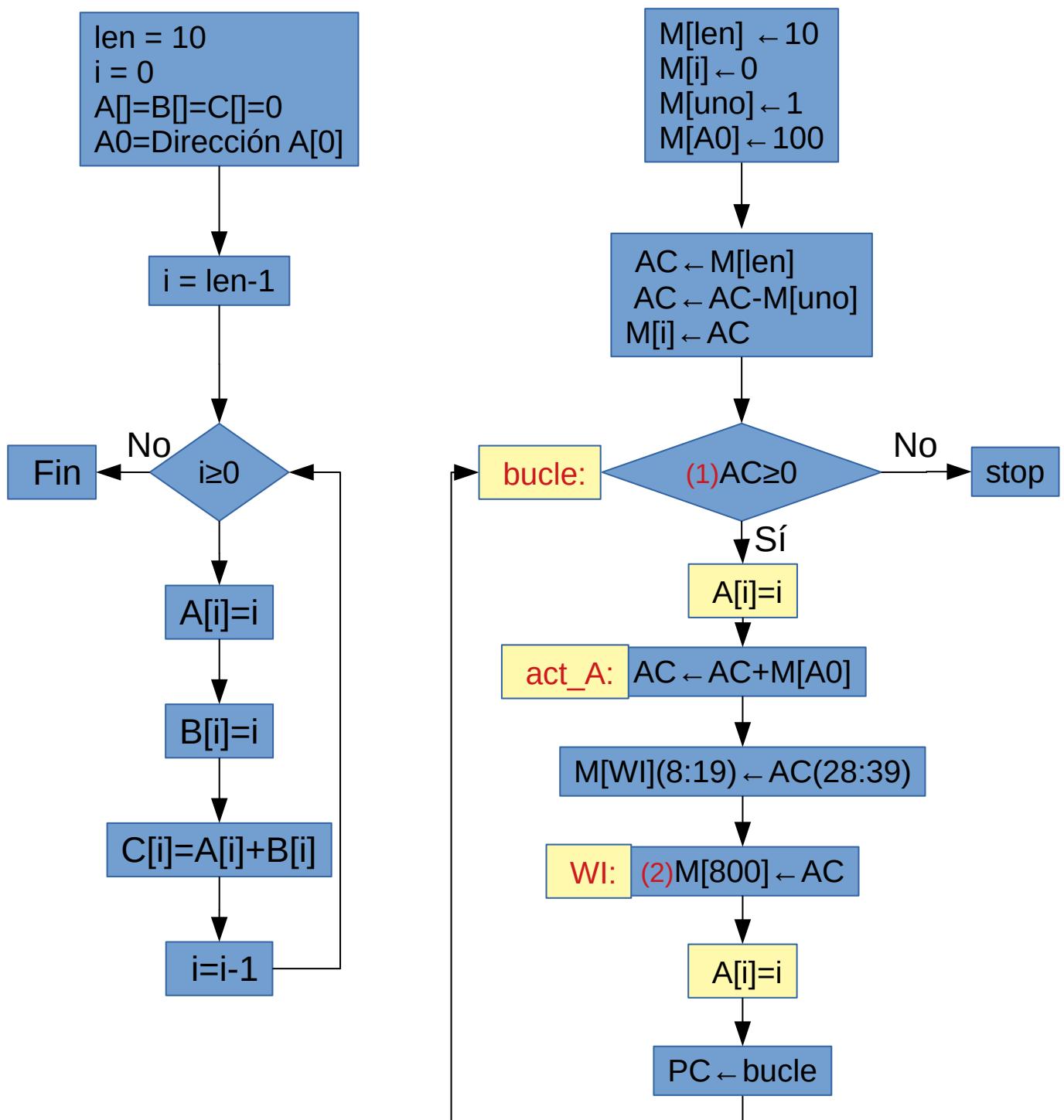
- Pseudocódigo del algoritmo
- Organigrama del algoritmo
- Programa en lenguaje RTL → Comentar apropiadamente el programa (cabecera con metainformación, secciones estructurales, bloques funcionales).
- Programa en lenguaje Ensamblador: Se aconseja no realizar el programa directamente en su totalidad sino por fases, comenzando por una versión sencilla e ir avanzando hasta completar el programa en la versión final. Por ejemplo:
 - 1^a versión : Inicializar el vector $A[i]=i$
 - 2^a versión : Inicializar los vectores $A[i]=i$, $B[i]=i$, $C[i]=i$
 - 3^a versión : $C[i]=A[i]+B[i]$
 - Posibles variables : len:longitud del vector, A0: dirección del primer elemento del Vector A, i: índice del vector, etc.
- Ejecutar el programa paso a paso depurando las distintas versiones del programa.

2.8.6.2. Pseudocódigo

- Descripción del algoritmo mediante expresiones modo texto en lenguaje NATURAL
- VARIABLES:
 - variables vector A,B,C : Declararlas e inicializarlas $A[i]=i$, $B[i]=i$, $C[i]=0$
 - variable len : almacena el tamaño de los vectores
 - variable A0 : almacena la dirección del primer elemento de vector A
 - variable i : índice al elemento de posición i de cualquier vector
- Estructura del CODIGO imperativo:
 - La construcción de instrucciones básica es un bucle
 - El bucle cuenta las iteraciones en sentido descendente
 - Se inicializa el índice "i"= $len-1$ y
 - En cada iteración se asigna $A[i]=i$, $B[i]=i$, $C[i]=A[i]+B[i]$
 - En cada iteración se actualiza el índice $i=i-1$
 - Se sale del bucle cuando $i=-1$

2.8.6.3. Organigramas (1^a versión): Alto Nivel y RTL

- Descripción gráfica del algoritmo:
 - Alto Nivel: lenguaje natural imperativo
 - RTL: lenguaje de bajo nivel que tiene en cuenta la ISA de la computadora



(1) $AC > 0: PC \leftarrow PC + act_A / PC + 1$

(2) El valor 800 es arbitrario pero debe ser mayor que la sección de instrucciones

2.8.6.4. Organigrama (2^a versión): RTL

- Una posibilidad: inicializar los 3 vectores A[], B[] y C[]

2.8.6.5. Organigrama (3^a versión): RTL

- Versión definitiva: El vector $C[] = A[] + B[]$

2.8.6.6. Lenguaje Ensamblador IAS (1^a versión)

■ vector_iniciar_A.ias

```
; vector_iniciar_A.ias
; Inicializar el vector A
; A es un vector de tamano "len" que esta almacenados en secuencia. La direccion del primer elemento de A se guarda en la variable A0
; inicializamos el vector A[i]=i
; El acceso a los elementos del array se realiza escribiendo en el campo de direcciones de la instruccion de lectura/escritura.
; Unicamente puden tener etiquetas las instrucciones de las izquierda por lo que habrá que utilizar las instrucciones Cu'->S(x) etiqueta [Salto a la instrucción derecha en la posición etiqueta] y Cu'->S(x) etiqueta [Salto a la instrucción izquierda en la posición etiqueta] para ALINEAR todas las etiquetas en instrucciones izquierda.
; Es necesario saber si las instrucciones de las direcciones bucle,suma y C estan a la izda o derecha de la palabra de memoria.
; El numero de instrucciones ha de ser par. Utilizar .empty en caso impar.
; sin acentos en los comentarios
; Help online : manual de referencia -> tipos de datos
; View -> Preferences -> Capacidad de Memoria Selectron
```

;;;;;;;;;; SECCION DE INSTRUCCIONES

```
;;;;;;;;;; Inicializo indice i = len - 1
dchal1: Cu'->S(x)    dchal      ; salta a la dcha de dchal
        S(x)->Ac+  len      ;
        S(x)->Ah-  uno      ;
        At->S(x)   i      ;

;;;;;;;;; inicio while : condicion elemento > 0
bucle:  Cc->S(x)    actu_A      ;si AC >= 0, salto a Actu_A
        Cu->S(x)   fin      ;

;;;;;;;; Actualizo vector A[i]=i
; actualizo el puntero a A[i]
actu_A:   S(x)->Ac+  cero      ;
          S(x)->Ah+  A0      ;inicializo puntero con A[0]
          S(x)->Ah+  i      ;inicializo puntero con A[0]+i
          Ap->S(x)   wa      ;Actualizo campo de direcciones de la instruccion IZDA localizada en "wa" M[wa](8:19) <- AC(28:39)
; actualizo A[i]=i
          S(x)->Ac+  i      ;
          Cu->S(x)   wa      ; salta a la izda de wa
wa:     At->S(x)   100      ;M[100]<-AC. La direccion 100 cambia en tiempo de ejecucion.
```

```
;;;;;;;; Siguiente iteracion
        S(x)->Ac+  i      ;
        S(x)->Ah-  uno      ;
        At->S(x)   i      ;
        Cc->S(x)   bucle
        .empty
fin:   halt
        .empty
```

;;;;;;;;;; SECCION DE DATOS

;;;;; variables ordinarias

```
len:          .data 10      ; longitud vectores A[], B[] y C[]
A0:          .data 30      ; direccion A[0]
i:           .data 0       ; indice del array

;;;;;; constantes
uno:          .data 1       ;
cero:         .data 0       ;
```

2.8.6.7. Simulación (1^a versión)

- simulación con el emulador IASsim

2.8.6.8. Lenguaje Ensamblador IAS (2^a versión)

- vector_iniciar_A_B_C.ias:

2.8.6.9. Simulación (2^a versión)

- simulación con el emulador IASsim

2.8.6.10. Lenguaje Ensamblador IAS (3^a versión)

- vectorA+B.ias:

2.8.6.11. Simulación (3^a versión)

- simulación con el emulador IASsim

2.9. Operación de la Máquina IAS

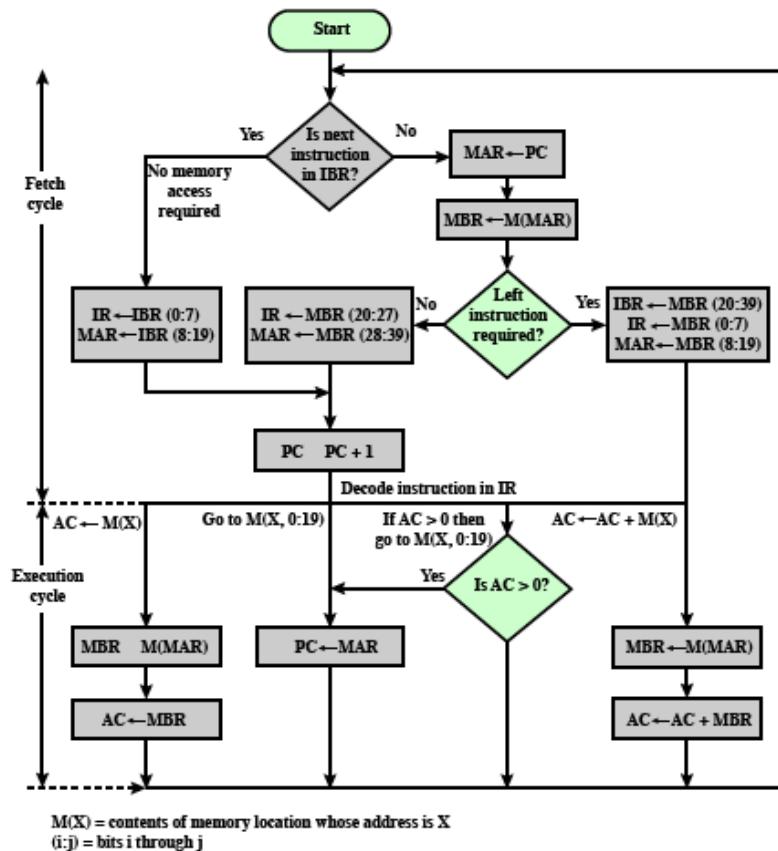


Figure 2.4 Partial Flowchart of IAS Operation

Figura 2.8: IAS Operation

- Operación de la máquina IAS:
 - El ciclo de instrucción tiene dos FASES
 - La primera fase es común a todas las instrucciones.
- Ejemplos de instrucciones
 - X: referencia del operando
 - $AC \leftarrow M(X)$
 - GOTO $M(X,0:19)$: salto incondicional a la dirección X. X apunta a dos instrucciones. X,0:19 es la referencia de la Instrucción de la izda.
 - If $AC > 0$ goto $M(X,0:19)$: salto condicional
 - $AC \leftarrow AC + M(x)$.

2.10. Conclusiones

1. Para la programación de bajo nivel es necesario conocer las principales características de la arquitectura ISA de la computadora : Estructura de la computadora , Formato de datos e instrucciones y repertorio de instrucciones.
2. La programación en lenguaje ensamblador no se realiza directamente en dicho lenguaje sino que se sigue una estrategia top-down comenzando por una descripción en lenguaje de pseudocódigo.
3. Es el diseño de repertorio de instrucciones ISA de la computadora el que facilita o dificulta la programación de bajo nivel. Un repertorio excesivamente limitado como la máquina IAS de von Neumann dificulta la realización de expresiones matemáticas tan sencillas como una multiplicación seguida de la división. La secuencia de instrucciones RTL deberá tener en cuenta el facilitar el desarrollo del algoritmo.
4. La programación del algoritmo en lenguaje ensamblador sigue una estrategia ascendente comenzando por una versión incompleta y lo más sencilla posible del programa a desarrollar.
5. Cada versión desarrollada del programa en lenguaje ensamblador ha de ser depurada y verificada mediante el simulador IASSim.

Capítulo 3

Representación de los Datos

3.1. Temario

1. Representación de datos
 - a. Bit, Byte y Palabra
 - b. Caracteres, enteros y reales

3.2. Objetivo

- Representación de los datos alfanuméricos en el lenguaje máquina, es decir, código binario.
- Libro de texto W.Stalling
 - Parte 3^a, Capítulo 9 : Sistemas Numéricos

3.3. Introducción

- Un programa almacenado en la memoria principal se representa en *lenguaje máquina* y está compuesto por datos e instrucciones . El lenguaje de la máquina es el lenguaje binario formado por los símbolos 0 y 1. Por lo tanto los datos e instrucciones de un programa almacenado en la memoria principal debe de codificarse y representarse mediante estos dos símbolos.
- Las instrucciones son órdenes que debe capturar, interpretar y ejecutar (ciclo de instrucción) la Unidad Central de Proceso (CPU): sumar, restar, transferir, parar, etc
- Los datos tienen un valor numérico que pueden ser procesados por la Unidad Aritmetico Lógica (ALU) para realizar operaciones aritméticas como la suma, resta, etc ó lógicas como las operaciones not,or,etc

3.4. Bit, Byte, Palabra

- BIrary digiT (bit) : los dígitos binarios son el 0 y el 1. Son los símbolos que se utilizan para codificar tanto las instrucciones como los datos de un programa almacenado en memoria.
- Byte: Es una secuencia de 8 dígitos binarios. Ejemplo: 00110101
- Palabra: Es una secuencia de dígitos binarios múltiplo de 8, es decir, múltiplo de un byte. En el entorno de arquitectura de computadores se define como el número de bits del bus de datos que conecta la unidad central de proceso (CPU) a la Memoria principal y también suele ser la anchura de los registros de propósito general de memoria interna de la CPU.

- En linux sudo lshw -C system → anchura: **64 bits**

```

lur
descripción: Notebook
producto: 20F1S0H400 (LENOVO_MT_20F1_BU_Think_FM_ThinkPad L560)
fabricante: LENOVO
versión: ThinkPad L560
serie: MP15YSW7
anchura: 64 bits
capacidades: smbios-2.8 dmi-2.8 smp vsyscall32
configuración: administrator_password=disabled chassis=notebook family=ThinkPad L560 ←
    power-on_password=disabled sku=LENOVO_MT_20F1_BU_Think_FM_ThinkPad L560 uuid=4 ←
    C2F45AA-0A2C-B211-A85C-B5C56EB5BBAC

```

3.5. Números Enteros

3.5.1. introducción

- Sistema Posicional:
 - Número en Base Decimal
 - Dígitos, Valor?
 - Centenas, decenas, unidades
 - Posición → índice
 - Posición → pesos → Potencias $base^{posición}$
 - Valor= sumatorio de dígitos ponderados con su peso posicional
 - Ejemplo: 1197

3.5.2. Base binaria

- Base 2 . Dígitos : 0,1.
- Pesos $2^0, 2^1, 2^2, 2^3, 2^4 \rightarrow 1, 2, 4, 8, 16$
- Conversión Decimal-Binaria:
 - Divisiones sucesivas / 2 → Dividendo₁ = 2*Cociente₁ + Resto₁
 - Cociente₁ = 2*Cociente₂ + Resto₂ → Dividendo₁ = 2 * (2*Cociente₂ + Resto₂) + Resto₁ = Resto₁*2⁰ + Resto₂*2¹ + Cociente₂*2²
 - Resto₁ es el dígito binario de la posición 0, Resto₂ es el dígito binario de la posición 1, Cociente es el dígito binario de la posición 2.
 - Regla: los dígitos binarios son todos los restos y el último cociente.
 - La división se termina cuando un cociente no es divisible por 2, es decir, el cociente es 1. Este cociente es el MSB.
 - Ejemplo: decimal 1197 → binario 10010101101

Cuadro 3.1: Conversión decimal binario

| Número | 1 ^a Div | | 2 ^a Div | | 3 ^a Div | | 4 ^a Div | | 5 ^a Div | | 6 ^a Div | |
|--------|--------------------|-------|--------------------|-------|--------------------|-------|--------------------|-------|--------------------|-------|--------------------|-------|
| | Coc | Resto |
| 1197 | 598 | 1 | 299 | 0 | 149 | 1 | 74 | 1 | 37 | 0 | 18 | 1 |

| Número | 7 ^a Div | | 8 ^a Div | | 9 ^a Div | | 10 ^a Div | |
|--------|--------------------|-------|--------------------|-------|--------------------|-------|---------------------|-------|
| | Coc | Resto | Coc | Resto | Coc | Resto | Coc | Resto |
| 1197 | 9 | 0 | 4 | 1 | 2 | 0 | 1 | 0 |

3.5.3. Base Octal

- Base 8
- Dígitos: 0-7
- Pesos: 8 elevado a la posición
- En C se especifica la base con el prefijo `0` → `int 077;`
- Conversión Octal ↔ Binario y viceversa → cada dígito octal se descompone en un binario de 3 bits
- decimal 1197 → binario 10010101101 → octal 02255

3.5.3.1. Base Hexadecimal

- Base 16
- Dígitos: 0-1-2-3-4-5-6-7-8-9-A-B-C-D-E-F
- Pesos: 16 elevado a la posición
- En C se especifica la base con el prefijo `0x` → `int 0xAF;`
- Hexadecimal ↔ Binario y viceversa → cada dígito hexadecimal se descompone en un binario de 4 bits
- decimal 1197 → binario 10010101101 → `0x4AD`

3.5.4. Calculadora

- Calculadora en el sistema Linux
 - candido@lur:~\$ echo "obase=2 ; ibase=16; 80AA010F" | bc
 - 10000000101010100000000100001111
 - echo "obase=10 ; ibase=16; 80AA010F" | bc → es obligado poner primero la base del formato de salida
 - 2.158.625.039
 - Intérprete \$ bc

3.5.5. Python

- <https://docs.python.org/3/tutorial/index.html>

- `help(builtins)`

```
bin(1197) -> '0b10010101101'
oct(1197) -> '02255'
hex(1197) -> '0x4ad'
int(0x4ad) -> 1197
```

3.5.6. Enteros con Signo

3.5.6.1. Signo-Magnitud

- Formato Signo-Magnitud
 - El bit más significativo no tiene valor, indica el signo: el cero para los números positivos y el uno para los negativos.
 - El resto de bits representa el módulo del número entero
 - Ejemplo :
 - +1197 : 010010101101
 - -1197 : 110010101101
 - ¿Cómo se representa el cero?

3.5.6.2. Complemento a 2

- Formato Complemento a 2.
 - Positivos: Igual que el formato signo-magnitud: Bit MSB= 0. Pesos: potencia $2^{\text{posición}}$.
 - Negativos: Transformación del número con la misma magnitud pero positivo mediante la función Complemento a 2.

■ La Rueda

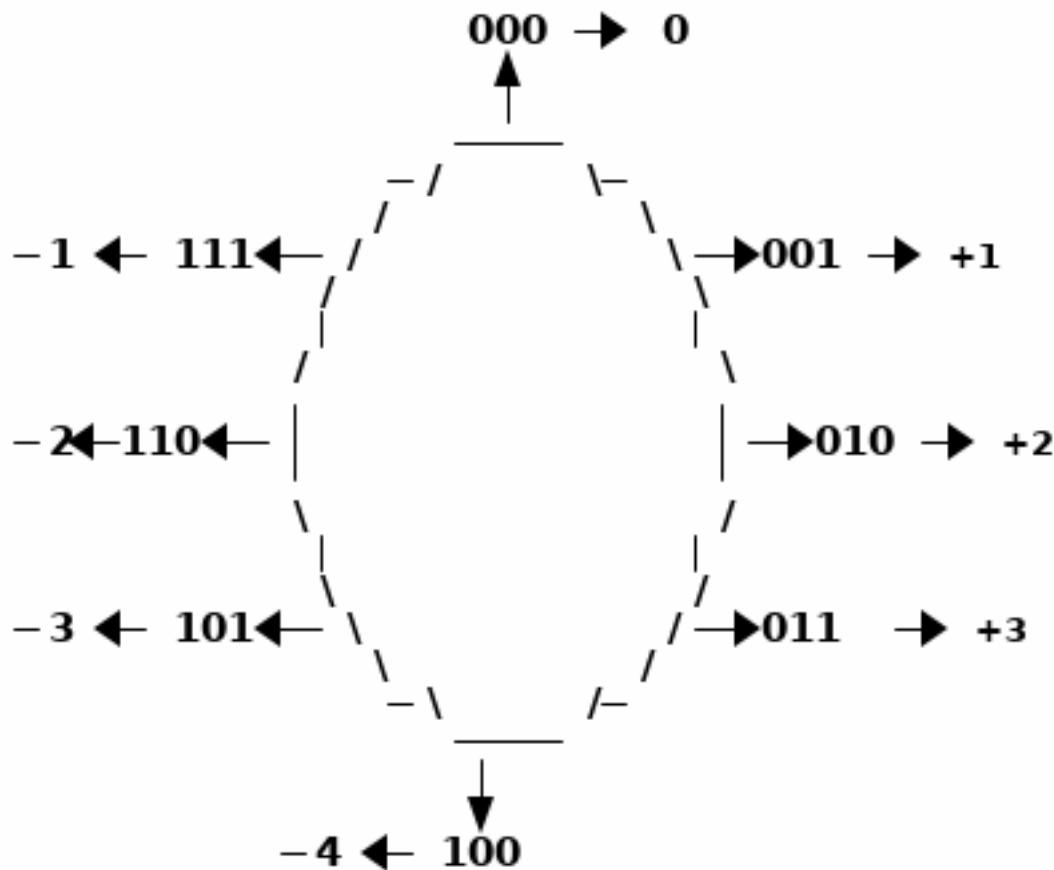


Figura 3.1: Complemento a 2. Longitud 3 bits.

- N: cantidad de bits del número : 3 bits
 - Dividir la circunferencia en el número de combinaciones binarias posibles: $2^N : 2^3$
 - Pinto todas las combinaciones binarias en sentido agujas reloj de forma secuencial: 000,001,010,011,
 - Pinto los valores de forma alternante: 0, +1, -1, +2, -2, ...
 - Representar el número positivo +4 en complemento a 2
- Conclusiones:
- Asimetría entre el rango positivo y negativo
 - El cero tiene una única representación
 - Los números negativos comienzan por 1
 - El valor -1 se codifica con todos los dígitos unos 111111111111
 - Extensión de Signo: un 1 por la izda es como en los positivos un cero por la izda: no tiene valor y se puede eliminar la repetición de 1 por la izda dejando el último de los más significativos. 11110111 es equivalente a 10111.
- **Función Complemento a 2:** El complemento a 2 de un número entero equivale a cambiar su signo. La conversión entre números enteros positivos y negativos en complemento a 2 se puede realizar mediante distintos métodos (ejemplos de complemento a 2 del número entero con código binario X):

- a. Realizar la operación lógica complemento (negación) del código X y sumar 1 → $\sim X + 1$
 - $X=0101$ tiene valor $+5$ en complemento a 2
 - ¿el código del valor -5 ? $\sim 0101 + 1 = 1010 + 1 = 1011 = -5$
 - $X=1111$ tiene valor -1 en complemento a 2
 - ¿el código del valor $+1$? $\sim 1111 + 1 = 0000 + 1 = 0001 = +1$
 - $X=0110011100010101010000 \rightarrow$ positivo por tener el bit más significativo (MSB) cero
 - $C2(X)=100110001110101010111+1=1001100011101010110000 \rightarrow$ negativo por tener el bit más significativo (MSB) uno
- b. Empezando por la posición 0 del código X (bit X_0) copiar todos los dígitos hasta llegar al primer dígito 1 y a partir de ahí negar todos los dígitos hasta el bit más significativo (MSB).
 - $X = 0110011100010101010000 \rightarrow$ en total 22 bits
 - El primer dígito 1 de X está en la posición 4 → $01100111000101010-10000 \rightarrow$ copio los 5 primeros dígitos e invierto los 17 restantes
 - $C2(X) = 10011000111010101-10000$
- c. Realizar la operación aritmética $0-X$
 - $X = 0110011100010101010000$
 - $0-X=00000000000000000000000000000000 - 0110011100010101010000 = 0110011100010101010000$

■ Ejemplos

- Representar el número entero negativo -1197 en signo-magnitud y en complemento a 2
 - $+1197 = 010010101101$ tanto en signo-magnitud como complemento a 2
 - $-1197 = 101101010011$
- Calcular el rango de los números enteros con 8 bits en complemento a 2
 - Código máximo positivo: $01111111 \rightarrow$ Valor = 2^7-1
 - Código mínimo negativo: 10000000
 - $C2(n=10000000) = 01000000 = 2^7$, luego $n=10000000$ tiene el valor -2^7
 - Rango $[-2^7, +2^7-1]$

3.6. Números Reales

3.6.1. Coma Fija

- Números Reales

- Coma Fija
 - 1234.56789
 - Sistema Posicional → pesos de los dígitos fracción

3.6.2. Coma Flotante

3.6.2.1. Formato

- Coma Flotante → Notación científica

- $-23.4567E-34$ ó -23.4567×10^{-34}
- La **mantisa** o **significando** es el número que multiplica a la potencia → -23.4567
- Mantisa **normalizada** : La mantisa tiene como parte entera un número entero de un dígito distinto de cero. → -2.34567×10^{-33}
 - parte entera de la mantisa normalizada : 2
 - parte fracción de la mantisa normalizada : 0.34567
- El **exponente** es el número entero al que se eleva la base de la potencia. Depende del lugar de la coma en la mantisa.
- La **base** es la base de la potencia.

- Codificación Binaria

- Ejemplo: 1234.56789
 - Parte Entera: 1234 → 10011010010
 - Parte Fracción: 0.56789

```
0.56789 * 2 = 1.13578 = 1 + 0.13578 -> 1, bit de la posición -1
0.13578 * 2 = 0.27156 -> 0, bit de la posición -2
0.27156 * 2 = 0.54312 -> 0, bit de la posición -3
0.54312 * 2 = 1.08624 = 1 + 0.08624 -> 1, bit de la posición -4
```

- fracción redondeada 0.1001
- fracción sin redondear 0.10010001011000010
- fracción redondeada 0.100100011
- Código Binario: 10011010010.10010001011000010
- Notación científica: $1.001101001010010001011000010 \times 2^{+10}$ → coma flotante

3.6.2.2. Precisión

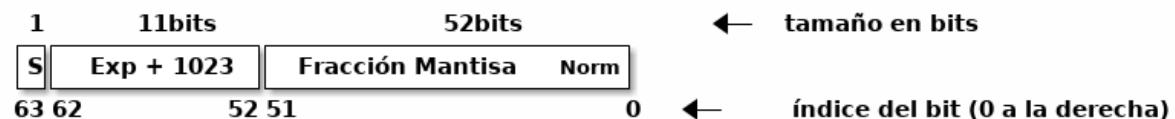
- Es el número de dígitos significantes
- Se dice que el número q es una aproximación del número $p \neq 0$ con una precisión de, al menos, m cifras significativas en la base b , siempre que el error relativo $|p-q|/p \leq 0.5 \times b^{-m+1}$
 - Cuando m es el mayor entero para el que se cumple la desigualdad anterior, se dice que q aproxima a p con m cifras significativas.
- Ejemplo
 - a. $p = .1E0$ y $q = .9999E0$ → Error relativo = $0.1E-3 < 0.5E(-4+1)$ → precisión de 4 cifras significativas
 - b. Una calculadora, A, trabaja en base 2 con mantisa de 22 bits y otra, B, trabaja en base 16 con 6 dígitos de precisión (24 bits). ¿Cuál de las dos es más precisa?

3.6.2.3. Norma IEEE-Standard 754

- Float
 - Norma IEEE-Standard 754
 - Precisión simple → formato de longitud 32 bits en 3 campos *Signo/Exponente/Fracción de la Mantisa* de longitudes 1/8/23 bits



- Precisión doble → formato de longitud 64 bits en 3 campos *Signo/Exponente/Fracción de la Mantisa* de longitudes 1/11/52 bits



- conversion manual
- wiki
- Binario: Tres campos

| Signo | Exponente en Exceso | Fracción de la Mantisa Normalizada |
|-------|---------------------|------------------------------------|
|-------|---------------------|------------------------------------|

- Valor $(-1)^{\text{Signo}} \times 1.\text{Fracción_Mantisa_Normalizada} \times 2^{\text{Exponente}}$
- Signo: positivo → bit 0 , negativo → bit 1
- Exponente en exceso: Es el Exponente al que se añade 127 (precisión simple) ó 1023 (precisión doble)
- Mantisa Normalizada: Es la mantisa tal que su parte entera es 1
 - Fracción de la Mantisa Normalizada: Es la fracción de la mantisa normalizada.

3.6.2.4. Conversores de Código

- Conversores online:
 - [binary converter](#): tipos char,short,int,float,double
 - [conversor ieee754](#)
 - [IEEE 754 single precision](#): decimal → binario/hexadecimal y viceversa
 - <http://www.rsu.edu/faculty/pmacpherson/programs/iee754.html>

3.6.2.5. Float Point: Representación del Cero, Infinito e Indeterminado

- Cuando el campo del exponente son todo ceros o unos, no se sigue la regla general de un número normalizado

Cuadro 3.2: Single precision

| Números | Exp | Fracción |
|-------------------------|-----------|---------------|
| Ceros | 0x00 | 0 |
| Números desnormalizados | 0x00 | distinto de 0 |
| Números normalizados | 0x01–0xFE | cualquiera |
| Infinitos | 0xFF | 0 |
| NaN (Not a Number) | 0xFF | distinto de 0 |

- Cero
 - Por qué el cero se representa en single precision como una secuencia de 32 ceros
 - Por qué cuando el campo del exponente es cero la potencia es 2^{-126} en lugar de 2^{-127} y la mantisa se considera NO normalizada, es decir, 0.fracción en lugar de 1.fracción.
- Notas Maryland
- Infinito

3.6.2.6. Referencia

- numerical analysis: programas ejemplo sencillos
- IEEE
- William Kahan
- Yale: C programming. float.c.
- Bruce Dawson blog
 - <https://randomascii.wordpress.com/2012/01/11/tricks-with-the-floating-point-format/>
- wikipedia
 - <http://www.validlab.com/goldberg/paper.pdf>
 - The pitfalls of verifying floating-point computations
 - el mismo?
- cprogramming
- code tips
- c review: practicas

3.7. Character Type

3.7.1. ASCII

- Codificación ASCII

- American Standard Code International Intechange: codificación con 7 bits : rango 0x00-0x7F
- Tabla de conversión carácter-código_hexadecimal-código binario
 - man ascii
 - K.N. King,Apéndice E, pg801

| Carácter | ASCII hex | Control (Secuencia de Escape) |
|----------|-----------|-------------------------------------|
| 0 | 0x30 | |
| 1 | 0x31 | |
| a | 0x61 | |
| A | 0x41 | |
| + | 0x2B | |
| ^J | 0x0A | nueva línea (\n) |
| ^M | 0x0D | retorno de carro (\r) |

C program '\X' escapes are noted.

| Oct | Dec | Hex | Char | Oct | Dec | Hex | Char |
|-----|-----|-----|---------------------------|-----|-----|-----|------|
| 000 | 0 | 00 | NUL '\0' | 100 | 64 | 40 | @ |
| 001 | 1 | 01 | SOH (start of heading) | 101 | 65 | 41 | A |
| 002 | 2 | 02 | STX (start of text) | 102 | 66 | 42 | B |
| 003 | 3 | 03 | ETX (end of text) | 103 | 67 | 43 | C |
| 004 | 4 | 04 | EOT (end of transmission) | 104 | 68 | 44 | D |
| 005 | 5 | 05 | ENQ (enquiry) | 105 | 69 | 45 | E |
| 006 | 6 | 06 | ACK (acknowledge) | 106 | 70 | 46 | F |
| 007 | 7 | 07 | BEL '\a' (bell) | 107 | 71 | 47 | G |
| 010 | 8 | 08 | BS '\b' (backspace) | 110 | 72 | 48 | H |
| 011 | 9 | 09 | HT '\t' (horizontal tab) | 111 | 73 | 49 | I |
| 012 | 10 | 0A | LF '\n' (new line) | 112 | 74 | 4A | J |
| 013 | 11 | 0B | VT '\v' (vertical tab) | 113 | 75 | 4B | K |
| 014 | 12 | 0C | FF '\f' (form feed) | 114 | 76 | 4C | L |
| 015 | 13 | 0D | CR '\r' (carriage ret) | 115 | 77 | 4D | M |
| 016 | 14 | 0E | SO (shift out) | 116 | 78 | 4E | N |
| 017 | 15 | 0F | SI (shift in) | 117 | 79 | 4F | O |
| 020 | 16 | 10 | DLE (data link escape) | 120 | 80 | 50 | P |
| 021 | 17 | 11 | DC1 (device control 1) | 121 | 81 | 51 | Q |
| 022 | 18 | 12 | DC2 (device control 2) | 122 | 82 | 52 | R |
| 023 | 19 | 13 | DC3 (device control 3) | 123 | 83 | 53 | S |
| 024 | 20 | 14 | DC4 (device control 4) | 124 | 84 | 54 | T |
| 025 | 21 | 15 | NAK (negative ack.) | 125 | 85 | 55 | U |
| 026 | 22 | 16 | SYN (synchronous idle) | 126 | 86 | 56 | V |
| 027 | 23 | 17 | ETB (end of trans. blk) | 127 | 87 | 57 | W |
| 030 | 24 | 18 | CAN (cancel) | 130 | 88 | 58 | X |
| 031 | 25 | 19 | EM (end of medium) | 131 | 89 | 59 | Y |
| 032 | 26 | 1A | SUB (substitute) | 132 | 90 | 5A | Z |

| | | | | | | | | |
|-----|----|----|-----------------------|-----|-----|----|-----|------|
| 033 | 27 | 1B | ESC (escape) | 133 | 91 | 5B | [| |
| 034 | 28 | 1C | FS (file separator) | 134 | 92 | 5C | \ | '\\' |
| 035 | 29 | 1D | GS (group separator) | 135 | 93 | 5D |] | |
| 036 | 30 | 1E | RS (record separator) | 136 | 94 | 5E | ^ | |
| 037 | 31 | 1F | US (unit separator) | 137 | 95 | 5F | _ | |
| 040 | 32 | 20 | SPACE | 140 | 96 | 60 | ` | |
| 041 | 33 | 21 | ! | 141 | 97 | 61 | a | |
| 042 | 34 | 22 | " | 142 | 98 | 62 | b | |
| 043 | 35 | 23 | # | 143 | 99 | 63 | c | |
| 044 | 36 | 24 | \$ | 144 | 100 | 64 | d | |
| 045 | 37 | 25 | % | 145 | 101 | 65 | e | |
| 046 | 38 | 26 | & | 146 | 102 | 66 | f | |
| 047 | 39 | 27 | ' | 147 | 103 | 67 | g | |
| 050 | 40 | 28 | (| 150 | 104 | 68 | h | |
| 051 | 41 | 29 |) | 151 | 105 | 69 | i | |
| 052 | 42 | 2A | * | 152 | 106 | 6A | j | |
| 053 | 43 | 2B | + | 153 | 107 | 6B | k | |
| 054 | 44 | 2C | , | 154 | 108 | 6C | l | |
| 055 | 45 | 2D | - | 155 | 109 | 6D | m | |
| 056 | 46 | 2E | . | 156 | 110 | 6E | n | |
| 057 | 47 | 2F | / | 157 | 111 | 6F | o | |
| 060 | 48 | 30 | 0 | 160 | 112 | 70 | p | |
| 061 | 49 | 31 | 1 | 161 | 113 | 71 | q | |
| 062 | 50 | 32 | 2 | 162 | 114 | 72 | r | |
| 063 | 51 | 33 | 3 | 163 | 115 | 73 | s | |
| 064 | 52 | 34 | 4 | 164 | 116 | 74 | t | |
| 065 | 53 | 35 | 5 | 165 | 117 | 75 | u | |
| 066 | 54 | 36 | 6 | 166 | 118 | 76 | v | |
| 067 | 55 | 37 | 7 | 167 | 119 | 77 | w | |
| 070 | 56 | 38 | 8 | 170 | 120 | 78 | x | |
| 071 | 57 | 39 | 9 | 171 | 121 | 79 | y | |
| 072 | 58 | 3A | : | 172 | 122 | 7A | z | |
| 073 | 59 | 3B | ; | 173 | 123 | 7B | { | |
| 074 | 60 | 3C | < | 174 | 124 | 7C | | |
| 075 | 61 | 3D | = | 175 | 125 | 7D | } | |
| 076 | 62 | 3E | > | 176 | 126 | 7E | ~ | |
| 077 | 63 | 3F | ? | 177 | 127 | 7F | DEL | |

■ showkey -a : espera a pulsar una letra y visualiza el código ASCII de la letra pulsada

- útil para descubrir el código de cada carácter en ascii standard y el de caracteres ñ, á, é, í, ó, ú si en el código en que el sistema esté configurado.
- útil para descubrir el código de control de combinaciones Ctrl-C, CR, Ctrl-CR, Ctrl-D

```

\      92 0134 0x5c   -> tecla ESC: escape
^J    10 0012 0x0a   -> teclas Ctrl-CR: Salto de línea
^M    13 0015 0x0d   -> tecla CR: Retorno de Carro
^C    3 0003 0x03   -> teclas Ctrl-c
^D    4 0004 0x04   -> teclas Ctrl-d
ñ    195 0303 0xc3   -> MSB: More Significant Byte.
          177 0261 0xb1   -> LSB: Less Significant Byte

```

- UPNA → 0x55-0x50-0x4e-0x41-0x00 donde 0x00 es el carácter NUL de fin de cadena.

■ ASCII Extendido

- man iso_8859_1: latin-1: ascii extendido: 0x80-0xFF

- <http://www.theasciicode.com.ar/ascii-printable-characters/vertical-bar-vbar-vertical-line-vertical-slash-ascii-code-124.html>
 - El linux pulsar ctrl-Shift-u-ascii_code Enter
 - Ejemplo: el código extendido de la ñ es 0xF1 → C-S-u-f1 Enter→ C-S-u simultáneo y aparece la u esperando al código, F-1-enter
- ascii code finder
- 0
- ~
- ¯
- ñ

3.7.2. Python

- ejemplos de conversión

- python

```
ord('A')
hex(ord('A'))
chr(65)
chr(0x41)
[hex(ord(c)) for c in "Hola"]
[chr(c) for c in [0x48, 0x6f, 0x6c, 0x61, 0x20, 0x4d, 0x75, 0x6e, 0x64, 0x6f]]
```

3.7.3. Unicode UTF-8

- Unicode

- La ñ da como salida 0xc3b1 . El terminal está configurado con salida Unicode UTF8 según la variable de entorno local. Mediante el comando `locale charmap` volcamos con que codificación tenemos la salida del terminal. Mediante `locale -m` los posibles. Podría haber sido iso-8859-1 en lugar de utf8.

- utf8:

- 8-bit Unicode Transformation Format
 - Usa símbolos de longitud variable (de 1 a 4 bytes por carácter Unicode).
 - Esta orientado a la transmisión de palabras de 1 byte.
 - unicode ñ
 - la ñ tiene unicode point *U+00F1* ó hex_code_utf8 *0xC3B1*

- Unicode chart

- Colocando el puntero sobre la categoría se visualiza el rango hexadecimal del charset
 - Symbols Punctuation:
 - Punctuation: ASCII Punctuation: [U0000.pdf](#)
 - Find chart by hex code: 278a
 - Pictographs: Dingbats: ❶ → [U2700.pdf](#)
 - Mathematical symbols: Mathematical Operators:
 - ◊ [wikipedia](#)
 - ◊ [U2200](#)
 - ◊ √
 - ◊ ⊼

- ⊽
- ⊦
- otros
 - 😋
 - ñ
 - ñ
 - ←
 - →
- **info detallada sobre un carácter unicode:** Pej U+0305
- **Microsoft Office**
- **Overline o suprarayado**
 - LibreOffice has direct support for several styles of overline in its **Format / Character / Font Effects** dialog: suprarayado

3.7.4. Programación en C

- Convertir un carácter numérico en su valor entero
 - Mediante una operación aritmética
- Convertir un carácter minúscula en mayúscula
 - Mediante una operación aritmética

3.7.5. Otros

- **Lenguaje C: printf**
 - locale -a → LC_CTYPE
 - ñ → env printf \u00f1 \n : incluir las simples comillas
 - printf invocation

Capítulo 4

Operaciones Aritmeticas y Logicas

4.1. Temario

1. Aritmética y lógica
 - a. Operaciones aritméticas y lógicas sobre enteros en binario
 - b. Redondeo y propagación de error en números reales

4.2. Objetivo

- Operaciones aritméticas de suma y resta con datos representados en código binario.
- Operaciones lógicas de datos representados en código binario.
- Libro de texto
 - Parte 3^a, Capítulo 10 : Aritmética del Computador

4.3. Introducción

- La Unidad Aritmetico Lógica (ALU) es la unidad hardware básica encargada de realizar las operaciones de cálculo aritmético como la suma y resta y de realizar operaciones lógicas de tipo booleano como las operaciones not, or, and, etc

4.4. Aritmetica Binaria

4.4.1. Suma en módulo 2 (binaria) en binario puro

- Suma de datos binarios en código binario puro
 - Interpretación **modular** → módulo 100.000 → Interpretación modular gráfica mediante la circuferencia. Qué ocurre en el cuenta-kilómetros parcial del coche cuando llegamos a 99.999.
 - Suma en módulo 2. El **acarreo** se produce al llegar o pasar el valor 2.
 - 1+1=uno más uno = dos >=2 → al resultado dos le resto 2 (2-2=0) y me llevo una.
 - 1+1+1=uno más uno más uno = tres >=2 → al resultado tres le resto 2 (3-2=1) y me llevo una.
 - $10011011 + 00011011 = 10110110$

4.4.1.1. Overflow-Desbordamiento

- Ocurre cuando:
 - El valor a representar está fuera de rango
 - El resultado de la operación aritmética tiene un tamaño superior al permitido por la palabra de memoria o registro donde se almacena.
 - Provoca errores: al inicializar variables de tipo entero, en las operaciones aritméticas suma y resta.
 - Ejemplos:
 - Representar el valor 8 en binario de dos bits. Con dos bits el valor máximo es el 3 y las operaciones se realizan en módulo 4
 - $3+1 = 0 \rightarrow$ suma modular. Representar gráficamente mediante la rueda.
 - $8 = 8 - 4*n = 0$ donde n es cualquier entero positivo
 - $10011011 + 10011011 = 10011010 =$ Error overflow o desbordamiento= suma modular = 00110110

4.4.2. Resta en módulo 2 (binaria) en binario puro

- Resta de datos binarios en binario puro. Resta en módulo 2. Interpretación modular gráfica mediante la circuferencia.
 - $10110110 - 10011011 = 00011011$

```
        1 0 1 1 0 1 1 0    <--minuendo
        - 1 0 0 1 1 0 1 1  <--sustraendo
LLevadas -->           1   1 1
                        *****
                        0 0 0 1 1 0 1 1
```

 - $0-0 = 0$
 - $1-1 = 0$
 - $1-0 = 0$
 - Cuando el minuendo en la posición p es menor que el sustraendo es necesario sumar el módulo al minuendo de la posición p y sumar la llevada al sustraendo de la posición $p+1$
 - $0-1 \rightarrow 0+\text{módulo}-1=0+2-1=1$ y llevada 1 a la posición siguiente
 - $0-1-1 \rightarrow 0+\text{módulo}-1-1=0+2-1-1=0$ y llevada 1 a la posición siguiente
 - $1-1-1 \rightarrow 1+\text{módulo}-1-1=1+2-1-1=1$ y llevada 1 a la posición siguiente

4.4.3. Resta en módulo 2 (binaria) en complemento a 2

- Suma de datos con signo. Codificación en complemento a 2.
 - $10011011 + 00011011 = 10110110$
 - El primer sumando es negativo y el segundo es positivo, es decir, su suma es una resta.
 - El primer sumando convertido a positivo : Complementar 10011011 sumar $1 = 01100100 + 1 = 01100101 = 64 + 32 + 4 + 1 = 101$
 - El segundo sumando es $00011011 = 16 + 8 + 2 + 1 = 27$
 - La operación en decimal es $-101 + 27 = -74$
 - El resultado convertido a positivo : complemento a 2 = $01001001 + 1 = 01001010 = 64 + 8 + 2 = 74$

4.4.3.1. Overflow en Complemento a 2 (C2)

- En las operaciones aritméticas suma y resta el resultado es de un tamaño fuera del rango de posibles representaciones, por lo que el valor resultante no es válido.
 - $10000000+10000000 = 00000000 = \text{Overflow}$
 - Si los dos sumandos son negativos el resultado no puede ser positivo
 - Si los dos sumandos son positivos el resultado no puede ser negativo
- Intelx86 activa el error de overflow cuando en el resultado de una operación aritmética con signo el acarreo del bit MSB afecta al valor del resultado.

nota

Observar que al realizar operaciones aritméticas de suma y resta, el código del resultado es idéntico en números sin signo y en complemento a 2. El código es idéntico pero su valor asociado no lo es.

4.4.4. Suma en Módulo 16 (Hexadecimal)

- Suma en módulo 16:
 - el acarreo se produce al llegar o pasar el valor del módulo: 16.
 - $0xF+0x1 = 0x10$
 - F+1=quince más uno = dieciséis $\geq 16 \rightarrow$ al resultado dieciséis le resto 16 ($16-16=0$) y me llevo una.
 - $0x3AF+0xA = 0x3B9$
 - F+A=quince más 10 = 25 $\geq 16 \rightarrow$ al resultado veinticinco le resto 16 ($25-16=9$) y me llevo una
 - $0x3A1F+0xF4E1=0x12F00$
 - F+1=quince más 1 = 16 $\geq 16 \rightarrow$ al resultado dieciséis le resto 16 ($16-16=0$) y me llevo una.

4.4.5. Resta en Módulo 16 (Hexadecimal)

- Resta en módulo 16:
 - el acarreo se produce cuando una posición p del minuendo es inferior a la misma posición p del sustraendo, en cuyo caso, es necesario sumar el módulo 16 al minuendo y la llevada a la posición siguiente p+1 del sustraendo:
 - $0x4308 - 0x1ABC = 0x$

| | | |
|----------|-----|-----------------------------|
| LLevadas | --> | 0x 4 3 0 8 <-- Minuendo |
| | | - 0x 1 A B C <-- Sustraendo |
| | | ***** |
| | | 0x 2 8 4 C |

 - $8-C \rightarrow 8+\text{módulo_16}-12=8+16-12=12=0xC$ y llevada 1 a la posición siguiente
 - $0-B-\text{Llevada} \rightarrow 0+\text{módulo_16}-11-1=0+16-11-1=4=0x4$ y llevada 1 a la posición siguiente
 - $3-A-\text{Llevada} \rightarrow 3+\text{módulo_16}-10-1=3+16-10=8=0x8$ y llevada 1 a la posición siguiente
 - $4-1-\text{Llevada} \rightarrow 4-1-1=2$

4.4.5.1. Suma en base hexadecimal en formato complemento a 2

- $0xEC + 0xAB = 0x97$
 - En binario el bit MSB es 1 significa que el valor es negativo
 - Los dos sumandos y el resultado son negativos
 - La suma de dos números negativos da overflow si el resultado es positivo, por lo que no hay overflow
 - C2 de $0xEC \rightarrow 0xEC$ negado es $0x13$ y sumando 1 $\rightarrow 0x15$
 - C2 de $0xAB \rightarrow 0x54+1 \rightarrow 0x55$
 - C2 de $0x97 \rightarrow 0x68+1 \rightarrow 0x69$

4.4.5.2. Suma en base 8 (Octal)

- Suma en módulo 8. El acarreo se produce al llegar o pasar el valor del dígito 8.
 - $08 + 01 = 010$
 - $0377 + 06 = 0305$

4.4.6. Tipos de variables en C

- Enteros
 - char
 - short
 - int
 - long
- Reales
 - float
 - double
- Operador sizeof()
- Conversión de tipos
 - casting

4.5. Operaciones Logicas

4.5.1. Operadores BITWISE

- Bitwise: operaciones bit a bit
 - not, and, or, xor

4.5.1.1. Lenguaje C

- https://www.salesforce.com/us/developer/docs/apexcode/Content/langCon_apex_expressions_operators_understanding.htm
- Algebra Boole
- algebra symbols
 - Bitwise operator: and &, or |, xor ^, not ~
 - Shift operator: left <<, right signed >>, right unsigned >>>

| Operador | Algebra | C |
|-----------------------------|-----------------|-----------|
| NOT | \neg ~ | ~ |
| OR | \vee | |
| AND | \wedge | & |
| XOR | \oplus \vee | ^ |
| NOR | $\neg\vee$ | |
| NAND | $\neg\wedge$ | |
| Left SHIFT | | $x << m$ |
| Right SHIFT signed | | $x >> m$ |
| Right SHIFT unsigned | | $x >>> m$ |

4.5.1.2. Tablas de la Verdad

| x | y | $z=x \vee y$ | $z=x \wedge y$ | $z=x \oplus y$ |
|---|---|--------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

4.5.1.3. Expresión Lógica

- $z = \neg x \cdot y + x \cdot \neg y$
 - Si desarrollamos la tabla de la verdad comprobamos su equivalencia con el operador XOR

4.6. Multiplicación

- Multiplicación 0xFF x 0x6
 - Realizarla en Binario

- Observar que al multiplicar por una potencia de 2 hay un desplazamiento del multiplicando hacia la dcha
- multiplicar = sumar y desplazar

4.7. Programación

4.7.1. funciones matemáticas

- <http://bisqwit.iki.fi/story/howto/bitmath/>
 - El código fuente está escrito en lenguaje C
- Librería libm.so del standard de C

4.7.2. Aplicación

- Desarrollar un programa que multiplique números enteros con signo.

4.8. Hardware

4.8.1. Circuitos Digitales

4.8.1.1. Básicos:Puerta lógicas

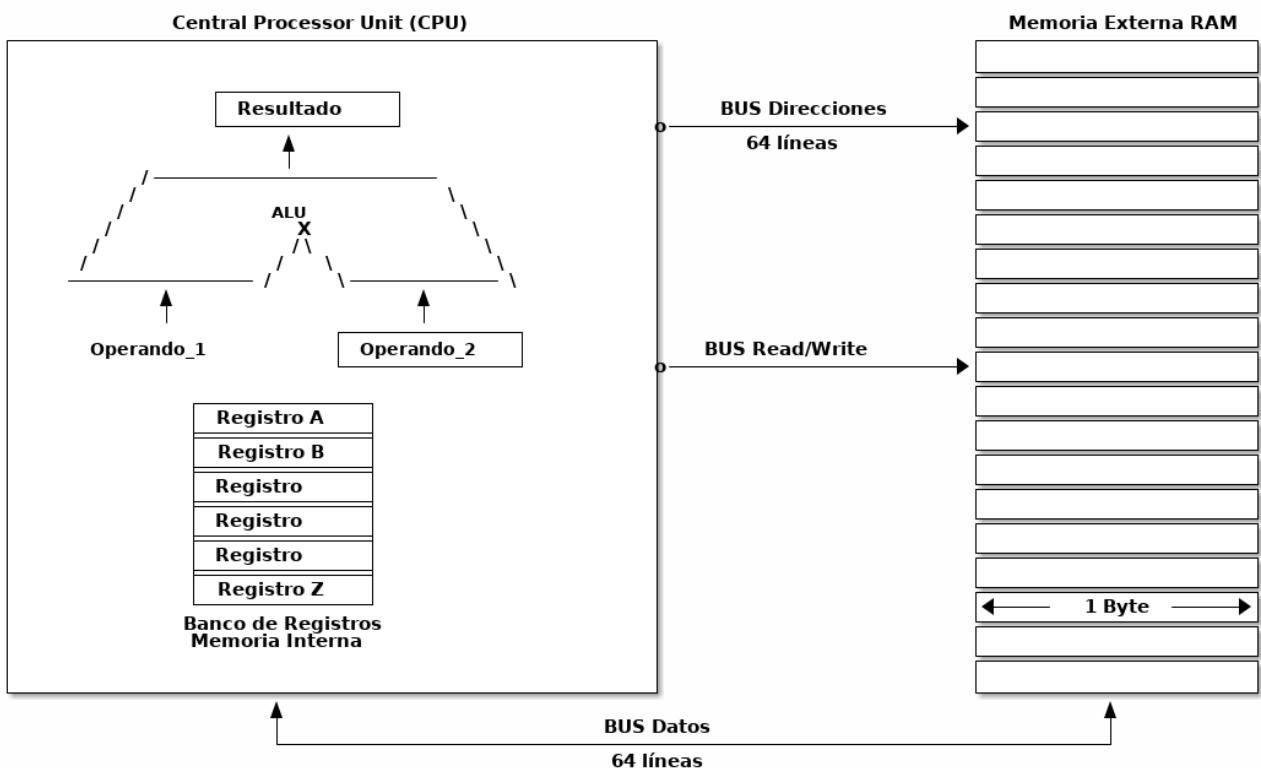
- Puertas lógicas
 - not, and, or, xor

4.8.1.2. Complejos

- half adder, full adder
- multiplicador
 - circuito combinacional formado por puertas lógicas
 - acumulador y registro desplazador

4.8.2. Unidad Aritmetico Lógica (ALU)

- Arithmetic logic unit (ALU)
- Circuito Digital
- Conexión CPU-DRAM
 - Transferencia de Instrucciones y Datos
 - La ALU es interna a la CPU y procesa datos numéricos enteros almacenados en los registros de propósito general.



4.8.3. Registro de flags EFLAG

- El registro de flags EFLAGS es un registro de memoria interno a la CPU Intel x86
- Cada bit del registro de 32 bits es un banderín o flag que se activa en función del resultado de la operación realizada por la última instrucción máquina ejecutada.

Cuadro 4.1: RFLAG Register

| Flag | Bit | Name |
|------|-----|---------------|
| CF | 0 | Carry flag |
| PF | 2 | Parity flag |
| AF | 4 | Adjust flag |
| ZF | 6 | Zero flag |
| SF | 7 | Sign flag |
| OF | 11 | Overflow flag |

- Carry flag:**
 - se activa si la llevada afecta a una posición de bit mayor que del ancho de palabra (word size) de la ALU en una operación aritmética de números enteros sin signo o con signo
- Overflow flag:**
 - se activa si teniendo en cuenta el bit de mayor peso MSB (aunque esté fuera el word size) indicase error en la operación aritmética con números enteros con signo. Si no se tiene en cuenta el MSB fuera del word size, la operación es correcta.

- Parity Even flag:
 - indica si el número de bits del byte LSB del resultado de la última operación ha sido par.
- Sign flag:
 - se activa si el resultado de la última operación ha sido negativo.
- Adjust flag:
 - se activa si hay llevada en el nibble LSB del resultado de la última operación
- Ejemplos

$$\begin{array}{r} 11111111 \\ + 00000001 \end{array}$$

100000000 → hay acarreo y también overflow ya que si consideramos el MSB=1 de la posición 8^a el resultado sería erróneo, es decir, si realizasemos una extensión de signo el resultado sería erroneo y por lo tanto hay que rechazar el dígito fuera de rango con lo que la operación es correcta. El bit de signo es el de la posición más alta del "word size" (posición 7^a)

$$\begin{array}{r} A : 11110000 \\ -B : +11101100 \end{array}$$

A-B: 111011100 → hay acarreo pero no overflow ya que el MSB=1 en una posición fuera del "word size" no afecta al signo del resultado, ya que las posiciones del MSB (8^a) y la anterior (7^a) del bit de signo tienen el mismo dígito de valor 1

$$\begin{array}{r} A : 10000000 \\ -B : +10000000 \end{array}$$

A-B: 100000000 → hay acarreo. Hay también overflow ya que el bit MSB de valor 1 es diferente de la posición anterior (7^a, bit de signo) de valor 0. Los dos sumandos son negativos (bit de signo posición 7^a) y el bit de signo del resultado (bit posición 7^a) es positivo luego el resultado es erróneo.

- Se ve nuevamente en el próximo capítulo [Programación en Lenguaje Ensamblador \(x86\)](#)

4.8.4. Float Point Unit-FPU

- Unidad de procesamiento de datos en coma flotante
- Antiguamente era una unidad no integrada en la CPU denominada coprocesador matemático
- Utiliza registros específicos denominados SSE distintos de los Registros de Propósito General utilizados por la ALU para realizar operaciones con números enteros.

Capítulo 5

Representación de las Instrucciones

5.1. Temario

1. Representación de instrucciones
 - a. Lenguaje máquina, lenguaje ensamblador y lenguajes de alto nivel
 - b. Formato de instrucción
 - c. Tipos de instrucción y modos de direccionamiento

5.1.1. Bibliografía

5.2. Objetivos

- Analizar la arquitectura del repertorio de las instrucciones máquina (Formato de instrucciones, formato de datos, operaciones y direccionamiento de operandos) de arquitecturas ISA en general.

5.2.1. Requisitos

- Requisitos:
 - Von Neumann Architecture: Arquitectura de una Computadora, Máquina IAS.
 - Programación en lenguaje ensamblador IAS
 - Representación de datos
 - Operaciones Aritméticas y Lógicas

5.3. Introducción

5.3.1. Diseño

- El diseño de la arquitectura del repertorio de instrucciones (**ISA**: instruction set architecture) de una computadora comprender diseñar y definir:
 - Estructura de la Computadora: CPU-Memoria-Bus-I/O
 - La representación y formato de los datos

- **La representación y formato de las instrucciones**
- Repertorio de instrucciones: Las operaciones y modos de direccionamiento que ha de interpretar y ejecutar la computadora.
- La arquitectura ISA define la potencialidad de la CPU de la computadora.
- El diseño de la arquitectura ISA va a afectar al rendimiento de la computadora.
 - Programa binario resultado de la compilación del programa fuente.
 - Ocupación de Memoria
 - Implementación (dificultad) y rendimiento de la CPU.

5.3.2. Representación

- En este tema se trata de la representación e interpretación de las instrucciones.
- Las instrucciones se pueden representar en dos lenguajes
 - Lenguaje binario
 - El lenguaje binario implica un *formato de la instrucción*.
 - Lenguaje simbólico o lenguaje ensamblador
 - El lenguaje ensamblador implica una *sintaxis*
- La representación de las instrucciones en lenguaje binario permite su almacenamiento en la memoria principal así como facilitar el ciclo de instrucción mediante su decodificación y ejecución por parte de la CPU.
- La representación de las instrucciones en lenguaje simbólico tiene como objetivo facilitar la tarea del programador en la interpretación de las instrucciones y en el desarrollo de programas en lenguaje ensamblador.

5.3.3. Estructura de la Memoria

- Jerarquía de Memoria: Registros internos a la CPU y Memoria principal (DRAM) externa a la CPU

5.3.3.1. Memoria Principal

- Espacio de direcciones lineal: Notación hexacdecimal
- Direccionamiento: bytes : notación hexadecimal

5.4. Elementos de una Instrucción Máquina

- Código de Operaciones:
 - La instrucción debe de especificar que operación debe de realizar la CPU. Operaciones como las aritméticas de suma y resta , operaciones lógicas como not y and, operaciones de transferencia de datos entre posiciones de la memoria principal, operaciones de entrada y salida como la transferencia de datos del disco duro a la memoria principal, etc
- Source Operand Reference:
 - Una operación puede requerir el procesamiento de uno o más datos. Por ejemplo la operación lógica not requiere de un operando.
- Target Operand Reference:
 - Una operación de suma requiere de dos operandos, uno es el operando fuente y otro el operando destino.

■ Result Reference:

- Una operación de suma requiere salvar el resultado de la operación.

■ Next Instruction Reference:

- Una vez finalizada la ejecución de la instrucción es necesario indicar a la CPU donde esta almacenada la próxima instrucción a ejecutar a través del Contador de Programa PC.

5.4.1. Direcciones implícitas

■ Direcciones que no aparecen explícitamente en la instrucción. Ejemplos:

- Próxima instrucción en el Contador de Programa
- Resultado en el Acumulador
- etc

5.4.2. Tipos de Arquitecturas de Operando: Ejemplos

■ 3 Tipos

- Arquitectura orientada a Acumulador: Un operando está implicitamente en el Acumulador
- Arquitectura orientada a Stack ([Apéndice Pila](#)):
 - Los operandos se introducen o extraen de la pila interna de la CPU
 - Concepto de pila: push/pop → empujar/extraer → el primero en entrar es el último en salir → First Input Last Output
 - SP: Registro Stack Pointer : registro que apunta al Top de la pila (parte alta de la pila)
- Arquitectura orientada a Registros:
 - Dos tipos: Reg/Mem y Load/Store, como es el caso de la arquitectura amd64 y arm respectivamente.
 - Reg/Mem : para que la instrucción se ejecute uno de los dos operandos debe de estar en un registro
 - Load/Store: Los dos operandos deben de estar en dos registros para que dicha instrucción se ejecute

■ Ejemplo: código para realizar la operación $C = A + B$ en 4 arquitecturas de operando diferentes.

| Stack | Acumulator | Register/Memory | Load/Store |
|--------|------------|-----------------|--------------|
| Push A | Load A | Load R1,A | Load R1,A |
| Push B | Add B | Add R3,R1,B | Load R2,B |
| Add | Store C | Store R3,C | Add R3,R1,R2 |
| Pop C | | | Store R3,C |

- Los nombres de las variables, A, B,C son referencias a la Memoria Principal.
- Descripción RTL
 - Stack: $M[SP] \leftarrow M[A], SP \leftarrow SP - 1; M[SP] \leftarrow M[B], SP \leftarrow SP - 1; M[SP+1] \leftarrow M[SP] + M[SP+1], SP \leftarrow SP + 1;$
 - Add → NO hay referencia ni al operando fuente ni al operando destino.
 - Los operandos han de cargarse previamente en la pila
 - Acumulator: $AC \leftarrow M[A]; AC \leftarrow AC + M[B]; C \leftarrow M[AC]$
 - Add B → NO hay referencia al operando DESTINO
 - El Operando destino a de cargarse previamente en el acumulador.
 - Reg/Mem: $R1 \leftarrow M[A]; R3 \leftarrow R1 + M[B]; M[C] \leftarrow R3$
 - Add R3,R1,B → NO se puede referencia a más de un operando en MEMORIA
 - Si un operando está almacenado en la memoria, el resto a de cargarse previamente en los registros.
 - Load/Store: $R1 \leftarrow M[A]; R2 \leftarrow M[B]; R3 \leftarrow R1 + R2; M[C] \leftarrow R3.$

- ◊ **Add R3,R1,R2** → Solamente se hacen referencias a REGISTROS, ninguna referencia a memoria
- ◊ Los operandos fuente y destino han de cargarse previamente en los registros

nota

La arquitectura x86 está orientada a Reg/Mem, por lo que no se puede referenciar en la misma instrucción a un operando fuente en MEMORIA y el operando destino también en MEMORIA, es decir, ambos operandos referenciados a MEMORIA.

- Ejemplo de código para realizar la operación $(A-B)/(DxE+C)$ según 4 arquitecturas ISA diferentes: arquitectura con 3 operandos referenciados, con 2 operandos referenciados, con 1 operando referenciado y ningún operando referenciado

| Instruction | Comment |
|--------------------|---------------------------|
| SUB Y, A, B | $Y \leftarrow A - B$ |
| MPY T, D, E | $T \leftarrow D \times E$ |
| ADD T, T, C | $T \leftarrow T + C$ |
| DIV Y, Y, T | $Y \leftarrow Y \div T$ |

(a) Three-address instructions

| Instruction | Comment |
|--------------------|---------------------------|
| MOVE Y, A | $Y \leftarrow A$ |
| SUB Y, B | $Y \leftarrow Y - B$ |
| MOVE T, D | $T \leftarrow D$ |
| MPY T, E | $T \leftarrow T \times E$ |
| ADD T, C | $T \leftarrow T + C$ |
| DIV Y, T | $Y \leftarrow Y \div T$ |

Instruction Comment

| | |
|--------|-----------------------------|
| LOAD D | $AC \leftarrow D$ |
| MPY E | $AC \leftarrow AC \times E$ |
| ADD C | $AC \leftarrow AC + C$ |
| STOR Y | $Y \leftarrow AC$ |
| LOAD A | $AC \leftarrow A$ |
| SUB B | $AC \leftarrow AC - B$ |
| DIV Y | $AC \leftarrow AC \div Y$ |
| STOR Y | $Y \leftarrow AC$ |

- 4º Caso: Arquitectura de Operando tipo Stack:

- $M[SP] \leftarrow M[C]; M[SP] \leftarrow M[E]; M[SP] \leftarrow M[D]; MUL; ADD; M[SP] \leftarrow M[B]; M[SP] \leftarrow M[A]; SUB; DIV$
- push C; push E; push D; mul; add; push B; push A; sub; div;

5.5. Representación de las instrucciones en lenguaje ensamblador (ASM) para la arquitectura i386/amd64

5.5.1. Lenguaje Máquina Binario

5.5.1.1. Almacenamiento en Memoria

- Una vez realizado el proceso de traducción del módulo fuente en lenguaje ensamblador se genera un módulo objeto en lenguaje binario que se almacena en el disco duro en forma de fichero.
- El fichero que contiene el módulo objeto ejecutable en lenguaje binario es necesario cargarlo en la memoria principal. Esta tarea la realiza el **cargador** del sistema operativo.

- Cada dirección de memoria apunta a 1 byte.
- La dirección más baja apunta a todo el objeto: instrucción o dato.
- Ejemplo:
 - **4001a4: 48 83 ec 10**
 - En la posición **0x4001A4** está el byte **48**
 - En la posición **0x4001A4+1** está el byte **83**
 - En la posición **0x4001A4+2** está el byte **EC**
 - En la posición **0x4001A4+3** está el byte **10**
 - En la posición de memoria principal **0x4001A4** está almacenada la instrucción de 4 Bytes

5.6. Operandos: Modos de Direccionamiento

5.6.1. Localización

- Posibles ubicaciones de los operandos.
 - En la propia instrucción
 - Memoria interna: registros CPU
 - Memoria Principal: memoria DRAM
 - Memoria i/o: registros en controladores de entrada/salidas denominados puertos.

5.6.2. Direcciones referenciadas durante el ciclo de instrucción

- Durante el ciclo de instrucción se pueden referenciar:
 - Una dirección para referenciar a la instrucción
 - Una dirección para el operando primero
 - Una dirección para el operando segundo
 - Una dirección para el resultado
 - Una dirección que refiere a la siguiente instrucción
- Tipos de instrucciones según el número de direcciones referenciadas durante su ejecución.
 - Instrucciones sin operando, con un operando, con múltiples operandos.
 - Depende de la arquitectura: Acumulador (Ej: máquina IAS), Registro-Memoria(Ej: máquina x86), Load/Store (Ej:ARM), Stack (Ej: máquina JVM), Memoria-Memoria
 - referencias implícitas al operando

5.6.3. Direccionamiento para un lenguaje general

5.6.3.1. Formato de instrucción: Campos

| Cod Op | Mod. Direccionamiento | A |
|--------|-----------------------|---|
|--------|-----------------------|---|

■ Ejemplo particular de una estructura del formato de instrucción en tres campos en una arquitectura ISA.

- Código de Operación: mover, cargar, sumar, restar, etc
- Código A: campo de operando : hace referencia a la localización del operando
- Código Mod. Direc: representa el modo de interpretar el campo A
- EA: Efective Address : Dirección efectiva donde está localizado el operando
- Op: Operando .Es el dato contenido en la dirección efectiva EA.
- Los datos *operando* Op pueden estar almacenados en:
 1. Memoria externa RAM
 - a. Una dirección de memoria conteniendo un dato.
 - b. Una dirección de memoria conteniendo una instrucción. El dato es uno de los campos de la propia instrucción. Direccionamiento Inmediato.
 2. Memoria interna GPR
 - a. Registros rax,eax,...

5.6.3.2. Tipos de direccionamiento

- La *dirección* de referencia efectiva E.A. de la ubicación del operando se obtiene según los distintos modos de direccionamiento.
- El modo de direccionamiento está codificado en el campo M.D.
- Inmediato:
 - El operando se obtiene del campo de la propia instrucción.
 - EA= no existe
 - Op=A
- Directo:
 - El operando está en la memoria externa. El campo de operando contiene la dirección efectiva
 - EA=A
 - Op=M[EA]
- Registro:
 - El operando está en la memoria interna. El campo de operando contiene la referencia del Registro.
 - EA=A
 - Op=R
- Indirecto:
 - La dirección efectiva está almacenada en una posición de memoria externa o interna.
 - EA=M[A] o R
 - Op=M[M[A]] o M[R]
- Desplazamiento:
 - La dirección efectiva del operando se obtiene mediante una operación aritmética entre una dirección base y un desplazamiento relativo a la dirección base. La dirección base se toma como referencia y el desplazamiento es relativo a la dirección base.
 - a. Relativo al contador de programa PC:

- La dirección base es implícitamente el contador de programa y el desplazamiento está en el campo de operando.
 - EA=PC+A
 - Op=M[EA]
- b. Relativo a Base:
- El desplazamiento está en el campo de operando y la dirección base está en el registro.
 - EA=R+A
 - Op=M[EA]
- c. Indexado:
- El desplazamiento está en el registro y la dirección base está en el campo de operando.
 - EA=A+R
 - Op=M[EA]
- Para hacer referencia a los operandos fuente o destino la arquitectura de la instrucción es muy *flexible* ya que se dispone de distintos modos de direccionar dichos operandos.

5.7. Operaciones

5.7.1. Códigos de Operación

- La codificación del conjunto de operaciones depende de cada arquitectura ISA.

5.7.2. Tipos de Operaciones

- Categorías:
- Data Processing: Arithmetic and logic instructions
 - Data Load/Store: Movement of data into or out of register and/or memory locations
 - Data Movement: I/O instructions
 - Control: Test and Branch instructions

Table 12.3 Common Instruction Set Operations

| Type | Operation Name | Description |
|---------------------|-----------------------|---|
| Data transfer | Move (transfer) | Transfer word or block from source to destination |
| | Store | Transfer word from processor to memory |
| | Load (fetch) | Transfer word from memory to processor |
| | Exchange | Swap contents of source and destination |
| | Clear (reset) | Transfer word of 0s to destination |
| | Set | Transfer word of 1s to destination |
| | Push | Transfer word from source to top of stack |
| | Pop | Transfer word from top of stack to destination |
| Arithmetic | Add | Compute sum of two operands |
| | Subtract | Compute difference of two operands |
| | Multiply | Compute product of two operands |
| | Divide | Compute quotient of two operands |
| | Absolute | Replace operand by its absolute value |
| | Negate | Change sign of operand |
| | Increment | Add 1 to operand |
| | Decrement | Subtract 1 from operand |
| Logical | AND | Perform logical AND |
| | OR | Perform logical OR |
| | NOT (complement) | Perform logical NOT |
| | Exclusive-OR | Perform logical XOR |
| | Test | Test specified condition; set flag(s) based on outcome |
| | Compare | Make logical or arithmetic comparison of two or more operands; set flag(s) based on outcome |
| | Set Control Variables | Class of instructions to set controls for protection purposes, interrupt handling, timer control, etc. |
| | Shift | Left (right) shift operand, introducing constants at end |
| Transfer of control | Rotate | Left (right) shift operand, with wraparound end |
| | Jump (branch) | Unconditional transfer; load PC with specified address |
| | Jump Conditional | Test specified condition; either load PC with specified address or do nothing, based on condition |
| | Jump to Subroutine | Place current program control information in known location; jump to specified address |
| | Return | Replace contents of PC and other register from known location |
| | Execute | Fetch operand from specified location and execute as instruction; do not modify PC |
| | Skip | Increment PC to skip next instruction |
| | Skip Conditional | Test specified condition; either skip or do nothing based on condition |
| | Halt | Stop program execution |
| | Wait (hold) | Stop program execution; test specified condition repeatedly; resume execution when condition is satisfied |
| | No operation | No operation is performed, but program execution is continued |

- El repertorio puede ser: reducido/extenso, complejo/sencillo.

5.8. ISA de Diferentes Computadoras

5.8.1. Intel x86, Motorola 68000, MIPS, ARM

- Ver [Apéndice Lenguajes Ensamblador](#)

Capítulo 6

Programación en Lenguaje Ensamblador (x86): Construcciones básicas de los lenguajes de alto nivel.

6.1. Temario

1. Programación en lenguaje Ensamblador x86
 - a. x86 :Representación de Datos, Representación de Instrucciones, Modos de direccionamiento.
 - b. Sentencias de asignación
 - c. Sentencias condicionales
 - d. Bucles
 - e. LLamadas y retorno de función o subrutina

6.2. Introducción

6.2.1. Objetivos

- Analizar la arquitectura del repertorio de las instrucciones máquina (Formato de instrucciones, formato de datos, operaciones y direccionamiento de operandos) de la arquitectura x86-64 para su utilización en el desarrollo práctico de programas en lenguaje ensamblador GNU_asm_x86 (gas).
- Capacidad para desarrollar pequeños programas en lenguaje ensamblador x86, siendo función de las prácticas de laboratorio su puesta en práctica.

6.2.2. Requisitos

- Requisitos:
 - Von Neumann Architecture: Arquitectura de una Computadora, Máquina IAS.
 - Programación en lenguaje ensamblador IAS
 - Representación de datos
 - Operaciones Aritméticas y Lógicas
 - Representación de las Instrucciones

6.3. Procesadores Intel con arquitectura x86

6.3.1. Nomenclatura

6.3.1.1. General

- Los procesadores intel reciben nombre por todos conocidos: Pentium II, Pentium III, Corei3, Corei5, Corei7, etc
- La arquitectura de las computadoras que utilizan dichos procesadores responden a una arquitectura común
 - Arquitectura x86 en el caso de la arquitectura de 32 bits
 - Arquitectura x86-64 en el caso de la arquitectura de 64 bits.
- Procesadores con arquitectura x86 de 32 bits

*** 1978 y 1979 Intel 8086 y 8088. Primeros microprocesadores de la arquitectura x86.
1980 Intel 8087. Primer coprocesador numérico de la arquitectura x86, inicio de la serie x87.
1980 NEC V20 y V30. Clones de procesadores 8088 y 8086, respectivamente, fabricados por NEC.
1982 Intel 80186 y 80188. Mejoras del 8086 y 8088.
1982 Intel 80286. Aparece el modo protegido, tiene capacidad para multitarea.
*** 1985 Intel 80386. Primer microprocesador x86 de 32 bits.
1989 Intel 80486. Incorpora el coprocesador numérico en el propio circuito integrado.
1993 Intel Pentium. Mejor desempeño, arquitectura superescalar.
1995 Pentium Pro. Ejecución fuera de orden y Ejecución especulativa
1996 Amd k5. Rival directo del Intel Pentium.
1997 Intel Pentium II. Mejora la velocidad en código de 16 Bits, incorpora MMX
1998 AMD K6-2. Competidor directo del Intel Pentium II, introducción de 3DNow!
1999 Intel Pentium III. Introducción de las instrucciones SSE
2000 Intel Pentium 4. NetBurst. Mejora en las instrucciones SSE
2005 Intel Pentium D. EM64T. Bit NX, Intel Viiv

- Procesadores con arquitectura x86-64 de 64 bits

*** 2003 AMD Opteron. Primer microprocesador x86 de 64 bits, con el conjunto de instrucciones AMD64)
2003 AMD Athlon.
2006 Intel Core 2. Introducción de microarquitectura Intel P8. Menor consumo, múltiples núcleos, soporte de virtualización en hardware incluyendo x86-64 y SSSE3.
2008 Core i7
2009 Core i5
2010 Core i3

- **significado del código de los nombres de procesadores intel serie Core:** El primer dígito del código indica la generación (en el 2017 salió la 8^a generación)
- Intel Serie Core:
 - <https://www.intel.com/content/www/us/en/products/processors/core/view-all.html>
- Intel Serie Core X : familias i9, i7 ,i5
 - Intel Serie X:
 - <https://ark.intel.com/products/series/123588/Intel-Core-X-series-Processors>
- https://es.wikipedia.org/wiki/Anexo:Procesadores_AMD
- COMPETENCIA INTEL-AMD año 2018 en computadoras de sobremesa.
 - AMD Ryzen 2nd Generation - INTEL Core i7-8086K

6.3.1.2. linux i386/amd64

- En el entorno Linux a la arquitectura de intel x86 de 32 bits la denomina **i386** y a la arquitectura de amd x86-64 la denomina **amd64**.

6.3.1.3. procesador o arquitectura

- Al hablar de la arquitectura de un procesador nos referimos a la Instruction Set Architecture (ISA) del procesador. Por lo que no nos referiremos a un procesador específico sino a un conjunto de procesadores todos ellos con la misma ISA ejecutando el mismo repertorio de instrucciones máquina. Hablaremos de un procesador i386 ó de un procesador amd64 para referirnos a la **ISA compatible** con dicho procesador.

6.4. Estructura de la Computadora

6.4.1. CPU

- Componentes básicos de la CPU
 - ALU
 - Unidad de Control
 - Registros internos
- Función de la CPU
 - Llevar a cabo el ciclo de instrucción de las instrucciones almacenadas en la memoria principal

6.4.2. Memoria

- Jerarquía de Memoria: Registros internos a la CPU y Memoria principal (DRAM) externa a la CPU

6.4.3. Memoria Principal

- Memoria DRAM: Dynamic Random Access Memory
- Almacena la secuencia de instrucciones máquina binarias y los datos en formato binario.
- Espacio de direcciones lineal: Notación hexadecimal
- Direccionamiento: bytes : notación hexadecimal

6.4.4. Registros internos a la CPU

6.4.4.1. introducción

- Registros accesibles NO accesibles por el programador en la arquitectura amd64
 - PC: Contador del Programa : x86 lo denomina RIP: 64 bits
 - IR: Registro de instrucción : 64 bits
 - MBR: Registro buffer de Memoria : 64 bits → WORD SIZE : 64
 - MAR: Registro de direcciones de Memoria: 40 bits
 - Capacidad de Memoria: 2^{40} : 1TB
- Para el caso de la arquitectura i386 sustituir 64 bits por 32 bits y el registro MAR también es de 32 bits.

6.4.4.2. Registros visibles al programador

| 63-0 | 31-0 | 15-0 | 15-8 | 7-0 |
|------|------|------|------|------|
| rax | eax | ax | ah | al |
| rbx | ebx | bx | bh | bl |
| rcx | ecx | ch | cl | |
| rdx | edx | (dx) | dh | dl |
| rsi | esi | si | | sil |
| rdi | edi | di | | dil |
| rbp | ebp | bp | | bpl |
| rsp | esp | sp | | spl |
| r8 | r8d | r8w | | r8b |
| r9 | r9d | r9w | | r9b |
| r10 | r10d | r10w | | r10b |
| r11 | r11d | r11w | | r11b |
| r12 | r12d | r12w | | r12b |
| r13 | r13d | r13w | | r13b |
| r14 | r14d | r14w | | r14b |
| r15 | r15d | r15w | | r15b |

6.4.4.3. Compatibilidad 32-64

- En la nominación de los registros de la arquitectura de 64 bits sustituir R por E y obtenemos la nominación de la arquitectura de 32 bits.

| 64 bits | 32 bits |
|---------|---------|
| RIP | EIP |
| RAX | EAX |
| RFLAG | EFLAG |
| | |

- Hay excepciones

6.4.4.4. Control Flag Register

- Registro de STATUS: La ejecución de una instrucción, activa unos bits denominados banderines que indican consecuencias de la operación realizada. Ejemplo: banderín de overflow : indica que la operación aritmética realizada ha resultado en un desbordamiento del resultado de dicha operación.
- [wikipedia](#)
- Únicamente nos fijamos en los flags OSZAPC.

Cuadro 6.1: RFLAG Register

| Flag | Bit | Name |
|------|-----|---------------|
| CF | 0 | Carry flag |
| PF | 2 | Parity flag |
| AF | 4 | Adjust flag |
| ZF | 6 | Zero flag |
| SF | 7 | Sign flag |
| OF | 11 | Overflow flag |

■ Carry flag:

- se activa si la llevada afecta a una posición de bit mayor que del ancho de palabra (word size) de la ALU en una operación aritmética de números enteros sin signo o con signo

■ Overflow flag:

- se activa si teniendo en cuenta el bit de mayor peso MSB (aunque esté fuera el word size) indicase error en la operación aritmética con números enteros con signo. Si no se tiene en cuenta el MSB fuera del word size, la operación es correcta.

■ Parity Even flag:

- indica si el número de bits del byte LSB del resultado de la última operación ha sido par.

■ Sign flag:

- se activa si el resultado de la última operación ha sido negativo.

■ Adjust flag:

- se activa si hay llevada en el nibble LSB del resultado de la última operación

■ Ejemplos

```
11111111
+ 00000001
```

100000000 → hay acarreo y también overflow ya que si consideramos el MSB=1 de la posición 8^a el resultado sería erróneo, es decir, si realizasemos una extensión de signo el resultado sería erroneo y por lo tanto hay que rechazar el dígito fuera de rango con lo que la operación es correcta. El bit de signo es el de la posición más alta del "word size" (posición 7^a)

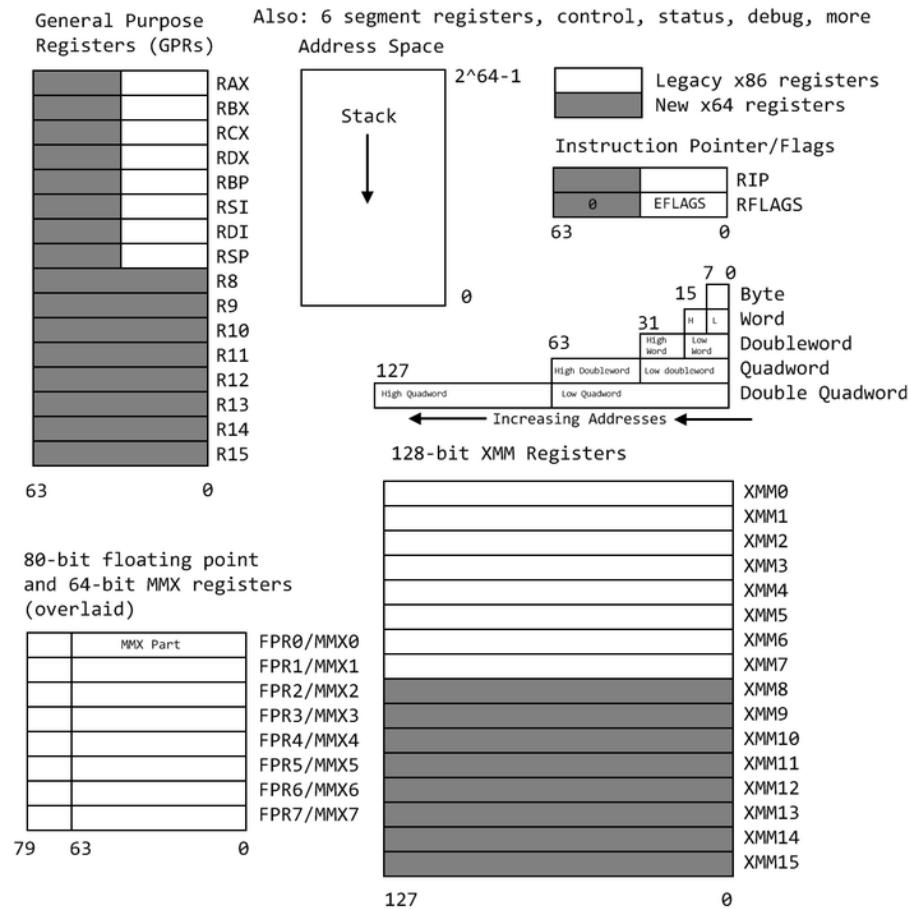
A : 11110000
-B : +11101100

A-B: 11101100 → hay acarreo pero no overflow ya que el MSB=1 en una posición fuera del "word size" no afecta al signo del resultado, ya que las posiciones del MSB (8^a) y la anterior (7^a) del bit de signo tienen el mismo dígito de valor 1

A : 10000000
-B : +10000000

A-B: 100000000 → hay acarreo. Hay también overflow ya que el bit MSB de valor 1 es diferente de la posición anterior (7^a, bit de signo) de valor 0. Los dos sumandos son negativos (bit de signo posición 7^a) y el bit de signo del resultado (bit posición 7^a) es positivo luego el resultado es erróneo.

6.4.4.5. Otros Registros



- Los registros fp, mmx y xmm se utilizan para ejecutar instrucciones complejas como la tangente que operan con números reales en coma flotante o instrucciones que ejecutan operaciones sobre múltiples datos enteros (Single Instruction Multiple Data) (P.ej producto escalar).
- Más información en el [apéndice FPU_x87](#)

6.5. Lenguaje Intel versus Lenguaje AT&T

6.5.1. Lenguajes ensamblador de la arquitectura i386/amd64

- El lenguaje en código máquina del repertorio de instrucciones de la arquitectura AMD64 es único pero no así el lenguaje ensamblador correspondiente a dicha arquitectura.
- En la asignatura "Estructura de Computadores" se utiliza la sintaxis **AT&T** de la compañía telefónica americana AT&T.

6.5.2. Sintaxis de las instrucciones en el lenguaje INTEL

- El formato de las instrucciones en lenguaje ensamblador se conoce como *sintaxis* de las instrucciones.
- SINTAXIS ASM: Etiqueta-Código de Operación- Operando1- Operando2- Comentario
- x86-64
- x86

Cuadro 6.2: Sintaxis Intel

| | | | | | |
|--------|-------------|---------------------|---|----------------|----------|
| label: | op_mnemonic | operand_destination | , | operand_source | #comment |
|--------|-------------|---------------------|---|----------------|----------|

- Ejemplo:

- bucle: sub rsp,16 ;comienzo del bucle
- suma: add eax,esi ;sumar
- + mov ax,[resultado] ;salvar resultado+

nota

La sintaxis del lenguaje ensamblador depende del traductor del proceso de ensamblaje (assembler) utilizado, en este caso, se utiliza el assembler NASM.

- Ejemplo [sum1toN.asm](#) de programa en lenguaje ensamblador intel y assembler "NetWide Asm" (nasm).
- Tutorial completo [NASM tutorialspoint](#)
- Apuntes de la [Universidad de Bristol](#)
- Apuntes del [Dr. Paul Carter](#)

6.5.2.1. GNU Assembly (Gas)

- Lenguaje desarrollado por la empresa de telefonía AT&T
- Assembler gas (GNU as)
 - arquitecturas: i386, amd64, mips, 68000, etc
 - Sintaxis: Etiqueta-Código de Operación- Operando1- Operando2- Comentario

Cuadro 6.3: Sintaxis AT&T

| | | | | | |
|--------|-------------|----------------|---|---------------------|----------|
| label: | op_mnemonic | operand_source | , | operand_destination | ;comment |
|--------|-------------|----------------|---|---------------------|----------|

- Ejemplo:
 - bucle: subq \$16, %rsp ;comienzo del bucle
 - suma: addl %esi, %eax ;sumar
 - + movw %ax,resultado ;salvar resultado+
- ETIQUETA
 - Se especifica en la primera columna. Tiene el sufijo :
- CODIGO DE OPERACION: Se utilizan símbolos *mnemónicos* que ayudan a interpretar intuitivamente la operación. Pej: ADD sumar, MOV mover, SUB restar, ...
- OPERANDO FUENTE Y/O DESTINO
 - dato alfanumérico: representación alfanumérica → 16
 - direccionamiento *inmediato*: prefijo \$
 - dirección de memoria externa: etiqueta → resultado
 - direccionamiento *directo*
 - registros internos de la CPU: %rax, %rbx, %rsp, %esi,... → %rsp, %esi
 - El prefijo % significa que el nombre hace referencia a un registro
 - tamaño del dato operando: sufijos de los mnemónicos: q(quad):8 bytes, l(long):4 bytes, w(word):2 bytes, b(byte):1 byte.

nota

La sintaxis del lenguaje ensamblador depende del traductor del proceso de ensamblaje (assembler) utilizado, en este caso, se utiliza el assembler GAS.

6.5.3. Traductores del proceso de ensamblaje

- Existen dos lenguajes ensamblador para la ISA i386/amd64, dos sintaxis diferentes, que deben de ser traducidos por diferentes traductores de ensamblador produciendo un módulo binario en el mismo lenguaje máquina.
- los traductores de ensamblador "NASM" (Netwide Asm), "FASM", "MASM", "TASM", and "YASM" traducen módulos fuente que utilizan la sintaxis del lenguaje ensamblador **intel** a modulos binarios para las arquitecturas i386/amd64
- El traductor "as" de la fundación GNU traduce módulos fuente que utilizan las sintaxis del lenguaje de ensamblador **AT&T** a módulos binarios para las arquitecturas i386/amd64
- La traducción entre la representación del módulo fuente en lenguaje ensamblador almacenado en un fichero del disco duro y la representación del programa en lenguaje máquina se da en el [proceso de ensamblaje](#):
 - Módulo Fuente en lenguaje ensamblador → Traductor Ensamblador → Módulo Objeto Reubicable → Linker → Módulo Objeto Ejecutable Binario→ Cargador → Proceso
 - Ejemplo: hola_mundo.s → **as** → hola_mundo.o → **ld** → hola_mundo (formato ELF) → **loader** → hola_mundo (memoria principal) → creación proceso (hola_mundo en ejecución). "as", "ld" y "loader" son las herramientas GNU necesarias para la creación de un proceso a partir del módulo en lenguaje ensamblador.
 - el linker **ld** mezcla el módulo objeto con módulos del entorno del sistema operativo y con módulos de las librerías.
 - Apéndice B del libro de texto.

6.5.4. Código Máquina

6.5.4.1. Almacenamiento en Memoria

- Una vez realizado el proceso de traducción del módulo fuente en lenguaje ensamblador se genera un módulo objeto en lenguaje binario que se almacena en el disco duro en forma de fichero.
- El fichero que contiene el módulo objeto ejecutable en lenguaje binario es necesario cargarlo en la memoria principal. Esta tarea la realiza el **cargador** del sistema operativo.
- Cada dirección de memoria apunta a 1 byte.
- La dirección más baja apunta a todo el objeto: instrucción o dato.
- Ejemplo:
 - **4001a4: 48 83 ec 10**
 - En la posición **0x4001A4** está el byte **48**
 - En la posición **0x4001A4+1** está el byte **83**
 - En la posición **0x4001A4+2** está el byte **EC**
 - En la posición **0x4001A4+3** está el byte **10**
 - En la posición de memoria principal **0x4001A4** está almacenada la instrucción de 4 Bytes **48 83 ec 10**.

6.5.4.2. Interpretación del Código Máquina

- Ejemplo:
 - instrucción máquina arquitectura amd64.
 - **4001a4: 48 83 ec 10 → subq \$16, %rsp**
 - Interpretación del programador:
 - lenguaje ensamblador AT&T de la arquitectura x86.
 - Descripción de la instrucción en lenguaje **RTL**: $RSP \leftarrow RSP - 16$
 - En la posición de memoria principal **0x4001A4** está almacenada la instrucción **subq \$16, %rsp**
 - **subq** indica la operación de resta con datos enteros de 64 bits (sufijo q). Resta del operando destino el operando fuente.
 - El operando fuente tiene valor decimal 16, 0x10 en hexadecimal y el direccionamiento de este operando es inmediato, es decir, su valor es 16 y está ubicado en la propia instrucción.
 - El operando destino está almacenado en el registro interno de la CPU denominado **RSP**
 - La referencia a la Próxima Instrucción la realiza no la instrucción sino la CPU realizando la operación $PC \leftarrow PC + \text{tamaño de la instrucción en bytes}$.
 - ¿Cómo interpretar una instrucción máquina en lenguaje binario ? Es necesario consultar el **Manual de Referencia de la Arquitectura ISA de la máquina x86** y tener conocimientos de los modos de direccionamiento. Este ejemplo se desarrolla al final de este Tema en el apartado 8) *Formato de Instrucción de la arquitectura ISA x86*

6.5.5. Assembler "as"

6.5.5.1. Directivas

- Directivas del traductor ensamblador "as" utilizado por el sistema GNU/linux para el lenguaje ensamblador AT&T.
 - Al assembler de GNU también se le conoce como "gas".
 - **binutils → as assembler**: manual oficial
 - **gas ref card**
 - .word reserva 2 bytes en amd64.
 - **oracle**
 - **opciones para x86 y x86-64**

6.5.5.2. Manual

- [binutils as](#): manual oficial
- [Linux Assembly howto](#): referencias a diferentes assemblers
- [MIT](#)

6.6. Representación de los datos en lenguaje ensamblador (ASM) para la arquitectura i386/amd64

6.6.1. Tipos de Datos

6.6.1.1. Números y Caracteres

- Número sin signo (naturales): codificación binario natural
- Números enteros con signo: entero codificados en complemento a 2
- Números reales reales codificados en formato IEEE-754 de simple o doble precisión
- Caracteres alfanuméricos: código ASCII

6.6.1.2. Directivas de la Sección de Datos



importante

Recomendable leerse los seis primeros apartados por lo menos y sobre todo lo referente a las [directivas dependientes de la arquitectura x86](#)

Cuadro 6.4: Directivas básicas

| Directivas | descripción |
|-------------------------------------|---|
| .global o .globl etiqueta | variables globales |
| .section .data | sección de las variables locales estáticas inicializadas |
| .section .text | sección de las instrucciones |
| .section .bss | sección de las variables sin inicializar |
| .section .rodata | sección de las variables de sólo lectura |
| .type name , type description | tipo de variable, p.ej @function |
| Et: .common 100 | reserva 100 bytes sin inicializar y puede ser referenciado globalmente |
| Et: .lcomm bucle, 100 | reserva 100bytes referenciados con el símbolo local bucle. Sin inicializar. |
| Et: .space 100 | reserva 100 bytes inicializados a cero |
| Et: .space 100, 3 | reserva 100 bytes inicializados a 3 |
| Et: .string "Hola" | añade el byte 0 al final de la cadena |
| Et: .asciz "Hola" | añade el byte 0 al final de la cadena |
| Et: .ascii "Hola" | no añade el carácter NULL de final de cadena |
| Et: .byte 3,7,-10,0b1010,0xFF,0777 | tamaño 1Byte y formatos decimal,decimal,decimal,binario,hexadecimal,octal |
| Et: .2byte 3,7,-10,0b1010,0xFF,0777 | tamaño 2Bytes |
| Et: .word 3,7,-10,0b1010,0xFF,0777 | tamaño 2Bytes |
| Et: .short 3,7,-10,0b1010,0xFF,0777 | tamaño 2B |
| Et: .4byte 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| Et: .long 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| Et: .int 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| Et: .8byte 3,7,-10,0b1010,0xFF,0777 | tamaño 8B |
| Et: .quad 3,7,-10,0b1010,0xFF,0777 | tamaño 8B |
| Et: .octa 3,7,-10,0b1010,0xFF,0777 | formato octal |
| Et: .double 3.14159, 2 E-6 | precisión doble |
| Et: .float 2E-6, 3.14159 | precisión simple |
| Et: .single 2E-6 | precisión simple |

Cuadro 6.4: (continued)

| Directivas | descripción |
|------------------------|---|
| .include "file" | incluye el fichero . Obligatorias las comillas. |
| .equ SUCCESS, 0 | macro que asocia el símbolo SUCCESS al número 0 |
| .macro macname macargs | define el comienzo de una macro de nombre macname y argumentos macargs |
| .endmacro | define el final de una macro |
| .align n | las instrucciones o datos posteriores empezarán en una dirección multiplo de n bytes. |
| .end | fin del ensamblaje |

- Et: Etiqueta

6.6.2. Tamaño del operando x86

- Tamaño del operando: sufijos de los MNEMÓNICOS.

```

q (quad) 8bytes
l (long) 4bytes
w (word) 2bytes
b (byte) 1byte

```

- Ejemplos:
 - movq %rax,resultado
 - movl %eax,resultado
 - movw %ax,resultado
 - movb %ah,resultado

6.6.3. Alineamiento de Bytes: Big-LittleEndian

- Los bytes de un dato de varios bytes se pueden almacenar en memoria en sentido MSB--LSB ó MSB--LSB
- Alineamiento *LittleEndian*: El byte de menor peso LSB se almacena en la posición de memoria más baja
- Ejemplo **0x40000: 00 AF BF CF**
 - En la posición de memoria principal 0x40000 está almacenado el dato de 4 bytes: 00 AF BF CF
 - Los bytes se guardan en dirección de memoria ascendente. Cuando se escribe en horizontal, ascendente significa de izda a dcha.
 - En la posición **0x40000** está el byte 00 → **LSB** (Least Significant Byte)
 - En la posición **0x40001** está el byte AF
 - En la posición **0x40002** está el byte BF
 - En la posición **0x40003** está el byte CF → **MSB** (Most Significant Byte)

| DIRECCIONES | CONTENIDO |
|----------------|-----------|
| 0x00000 | |
| 0x00001 | |
| 0x00002 | |
| | |
| | |
| | |
| 0x40000 | 00 |
| 0x40001 | AF |
| 0x40002 | BF |
| 0x40003 | CF |
| | |
| | |
| | |
| 0xfffff | |

- El byte de menor peso se almacena en la posición de memoria más baja. La posición más baja de las cuatro es la 0x4000 donde se almacena el 00, luego este es el byte de menor peso. El dato almacenado en formato little-endian es el **0xCFB-FAF00**.
- La arquitectura i386/amd64 utiliza LITTLE ENDIAN
- Tipos de información que siguen el formato little endian.
 - Para las instrucciones el formato es por campos por lo que no tiene sentido hablar de posiciones de mayor o menor peso de la instrucción por lo que no siguen el formato little endian.
 - Las cadenas de caracteres (strings) no representan un valor y por lo tanto no siguen el formato little endian.
 - Los números enteros se almacenan siguiendo el formato little endian.
 - Los números reales se almacenan siguiendo el formato little endian
 - Las direcciones de memoria se almacenan siguiendo la organización Little Endian.

- Formato Big Endian

- El orden de almacenamiento es el inverso al little endian, es decir, el byte LSB del dato se almacena en la dirección de memoria mayor de la región que ocupa el dato.

6.7. Operandos: Modos de Direccionamiento

6.7.1. Localización

- Ejemplo:

- bucle: SUBQ \$16,%rsp ; comienzo del bucle
 - Operando fuente: \$ indica direccionamiento INMEDIATO . El operando está en la propia instrucción → Operando=16
 - Operando destino: % indica REGISTRO. El operando está en el registro RSP
- suma: ADDW (%ESI),resultado ; fin de operación
 - Operando fuente: () indica INDIRECCION y % registro . El registro ESI continene la dirección de memoria donde está el operando
 - Operando destino: "resultado" es una etiqueta. Direccionamiento ABSOLUTO. El operando está en la dirección de memoria "resultado".

6.7.2. Modos de Direccionamiento

- Manual del assembler, apartado directivas dependientes de la arquitectura x86

- https://sourceware.org/binutils/docs-2.26/as/i386_002dDependent.html#i386_002dDependent:



importante

RECOMENDABLE leerse los seis primeros apartados por lo menos

- Direccionamientos:

| | |
|------------|--|
| INMEDIATO: | El valor del operando está ubicado inmediatamente después del código de operación de la instrucción. Unicamente se especifica el operando fuente. |
| | sintaxis: el valor del operando se indica con el prefijo \$. ejemplo: movl \$0xabcd1234,%ebx . El operando fuente es el valor 0xABCD1234 |
| REGISTRO: | El valor del operando está localizado en un registro de la CPU. |
| | sintaxis: Nombre del registro con el prefijo % . ejemplo: movl %eax,%ebx . El operando fuente es el REGISTRO EAX y el destino es el REGISTRO EBX |
| DIRECTO: | La dirección efectiva apuntando al operando almacenado en la Memoria Principal es la dirección absoluta referenciada por la etiqueta especificada en el campo de operando. El programador utiliza el direccionamiento directo pero el compilador lo transforma en un direccionamiento relativo al contador de programa. Ver direccionamiento con desplazamiento. |
| | sintaxis: una etiqueta definida por el programador ejemplo: je somePlace . Salto a la dirección marcada por la etiqueta somePlace si el resultado de la operación anterior activa el flag ZF=1 del registro RFLAG. |
| INDEXADO: | El valor del operando está localizado en memoria. La dirección efectiva apuntando a Memoria es la SUMA del valor del registro_base MAS scale POR el valor en el registro Índice, MAS el offset. $EA = Offset + R_Base + R_índice * Scale$ |

| | |
|--|--|
| | <p>sintaxis: lista de valores separados por coma y entre paréntesis (base_register, index_register, scale) y precedido por un offset.</p> <p>ejemplo: movl \$0x6789cdef, -16(%edx, %eax, 4) . La dirección efectiva del destino es EDX + EAX*4 - 16.</p> |
| INDIRECTO: | <p>Si el modo general de indexación lo particularizamos en (base_register) entonces la dirección del operando no se obtiene mediante una indexación sino que la dirección efectiva es el contenido de rdx y por lo tanto se accede al operando indirectamente.</p> |
| | <p>sintaxis: (base_register)</p> <p>ejemplo: movl \$0x6789cdef, (%edx) . La dirección efectiva del destino es EDX. EDX es un puntero.</p> |
| RELATIVO: registro base más un offset: | <p>El valor del operando está ubicado en memoria. La dirección efectiva del operando es la suma del valor contenido en un registro base más un valor de offset.</p> |
| | <p>sintaxis: registro entre paréntesis y el offset inmediatamente antes del paréntesis.</p> <p>ejemplo: movl \$0xaabbccdd, -12(%eax) . La dirección efectiva del operando destino es EAX-12</p> |

6.7.2.1. Ejemplos

Cuadro 6.5: Modos de Direccionamiento de los Operandos

| Direccionamiento Operando | Valor Operando | Nombre del Modo |
|---------------------------|-----------------------|--------------------|
| \$0 | Valor Cero | Inmediato |
| %rax | RAX | Registro |
| loop_exit | M[loop_exit] | Directo |
| data_items(, %rdi, 4) | M[data_item + 4* RDI] | Indexado |
| (%rbx) | M[RBX] | Indirecto |
| (%rbx, %rdi, 4) | M[RBX + 4* RDI] | Indirecto Indexado |

- M[loop_exit]: directo ya que loop_exit es una dirección de memoria externa y M indica la memoria externa.
- M[RBX]: indirecto ya que RBX es una dirección de memoria interna y M indica memoria externa: A la mem. externa se accede a través de la mem. interna.

6.8. Repertorio de Instrucciones: Operaciones

6.8.1. Manuales de referencia

6.8.1.1. Lenguaje Intel

- Manuales oficiales

- **Intel**: Vol 2
- **AMD**: apartado Manuals : vol 3
- **binutils**:
 - **as: traductor assembler**: opciones de la línea de comandos, directivas, tipos de datos, etc

- **ld:** linker
 - **objdump, readelf, . . .**
- Manuales no oficiales:
- manual Intel quick: **recomendado**
 - intel descriptivo i386
 - Repertorio ISA y Formato de Instrucción
 - AT&T Solaris Manual amd64-i386 : lenguaje y traductor assembler.
 - Saltos Condicionales

6.8.1.2. Lenguaje AT&T

■ Oracle Solaris ASM

- En este documento a la sintaxis AT&T la denomina "Oracle Solaris".

6.8.2. TRANSFERENCIA

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|-------------------------------|-----------------|---|-------------------|
| MOV | Mover (copiar) | MOV Fuente,Dest | Dest:=Fuente | |
| XCHG | Intercambiar | XCHG Op1,Op2 | Op1:=Op2 , Op2:=Op1 | |
| STC | Set the carry (Carry = 1) | STC | CF:=1 | 1 |
| CLC | Clear Carry (Carry = 0) | CLC | CF:=0 | 0 |
| CMC | Complementar Carry | CMC | CF:=Ø | ± |
| STD | Setear dirección | STD | DF:=1(interpreta strings de arriba hacia abajo) | 1 |
| CLD | Limpiar dirección | CLD | DF:=0(interpreta strings de abajo hacia arriba) | 0 |
| STI | Flag de Interrupción en 1 | STI | IF:=1 | 1 |
| CLI | Flag de Interrupción en 0 | CLI | IF:=0 | 0 |
| PUSH | Apilar en la pila | PUSH Fuente | DEC SP, [SP]:=Fuente | |
| PUSHF | Apila los flags | PUSHF | O, D, I, T, S, Z, A, P, C 286+: También NT,IOPL | |
| PUSHA | Apila los registros generales | PUSHA | AX, CX, DX, BX, SP, BP, SI, DI | |
| POP | Desapila de la pila | POP Dest | Destino:=[SP], INC SP | |
| POPF | Desapila a los flags | POPF | O,D,I,T,S,Z,A,P,C 286+: También NT,IOPL | ± ± ± ± ± ± ± ± |
| POPA | Desapila a los reg. general. | POPA | DI, SI, BP, SP, BX, DX, CX, AX | |
| CBW | Convertir Byte a Word | CBW | AX:=AL (con signo) | |
| CWD | Convertir Word a Doble | CWD | DX:AX:=AX (con signo) | |
| CWDE | Conv. Word a Doble Exten. | CWDE 386 | EAX:=AX (con signo) | |
| IN | Entrada | IN Dest,Puerto | AL/AX/EAX := byte/word/double del puerto esp. | |
| OUT | Salida | OUT Puer,Fuente | Byte/word/double del puerto := AL/AX/EAX | |

- Flags: ± =Afectado por esta instrucción, ? =Indefinido luego de esta instrucción

6.8.3. ARITMÉTICOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|---------------------------------|--------------------|--|-------------------|
| ADD | Suma | ADD Fuente,Dest | Dest:=Dest+ Fuente | ± ± ± ± ± ± |
| ADC | Suma con acarreo | ADC Fuente,Dest | Dest:=Dest+ Fuente +CF | ± ± ± ± ± ± |
| SUB | Resta | SUB Fuente,Dest | Dest:=Dest- Fuente | ± ± ± ± ± ± |
| SBB | Resta con acarreo | SBB Fuente,Dest | Dest:=Dest-(Fuente +CF) | ± ± ± ± ± ± |
| DIV | División (sin signo) | DIV Op | Op=byte: AL:=AX / Op AH:=Resto | ? ? ? ? ? ? |
| DIV | División (sin signo) | DIV Op | Op=word: AX:=DX:AX / Op DX:=Resto | ? ? ? ? ? ? |
| DIV | 386 División (sin signo) | DIV Op | Op=doublew.: EAX:=EDX:EAX / Op EDX:=Resto | ? ? ? ? ? ? |
| IDIV | División entera con signo | IDIV Op | Op=byte: AL:=AX / Op AH:=Resto | ? ? ? ? ? ? |
| IDIV | División entera con signo | IDIV Op | Op=word: AX:=DX:AX / Op DX:=Resto | ? ? ? ? ? ? |
| IDIV | 386 División entera con signo | IDIV Op | Op=doublew.: EAX:=EDX:EAX / Op EDX:=Resto | ? ? ? ? ? ? |
| MUL | Multiplicación (sin signo) | MUL Op | Op=byte: AX:=AL*Op si AH=0 # | ± ? ? ? ? ± |
| MUL | Multiplicación (sin signo) | MUL Op | Op=word: DX:AX:=AX*Op si DX=0 # | ± ? ? ? ? ± |
| MUL | 386 Multiplicación (sin signo) | MUL Op | Op=double: EDX:EAX:=EAX*Op si EDX=0 # | ± ? ? ? ? ± |
| IMUL | i Multiplic. entera con signo | IMUL Op | Op=byte: AX:=AL*Op si AL es suficiente # | ± ? ? ? ? ± |
| IMUL | Multiplic. entera con signo | IMUL Op | Op=word: DX:AX:=AX*Op si AX es suficiente # | ± ? ? ? ? ± |
| IMUL | 386 Multiplic. entera con signo | IMUL Op | Op=double: EDX:EAX:=EAX*Op si EAX es sufi. # | ± ? ? ? ? ± |
| INC | Incrementar | INC Op | Op:=Op+1 (El Carry no resulta afectado !) | ± ± ± ± ± |
| DEC | Decrementar | DEC Op | Op:=Op-1 (El Carry no resulta afectado !) | ± ± ± ± ± |
| CMP | Comparar | CMP Fuente,Destino | Destino-Fuente | ± ± ± ± ± ± |
| SAL | Desplazam. aritm. a la izq. | SAL | Op,Cantidad | i ± ± ? ± ± |
| SAR | Desplazam. aritm. a la der. | SAR | Op,Cantidad | i ± ± ? ± ± |
| RCL | Rotar a la izq. c/acarreo | RCL Op,Cantidad | | i ± |
| RCR | Rotar a la derecha c/acarreo | RCR Op,Cantidad | | i ± |
| ROL | Rotar a la izquierda | ROL Op,Cantidad | | i ± |
| ROR | Rotar a la derecha | ROR Op,Cantidad | | |

- i:para más información ver especificaciones de la intrucción,
- #:entonces CF:=0, OF:=0 sino CF:=1, OF:=1

6.8.4. LÓGICOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|--------------------------------|-----------------|---|-------------------|
| NEG | Negación (complemento a 2) | NEG Op | Op:=0-Op si Op=0 entonces CF:=0 sino CF:=1 | ± ± ± ± ± ± |
| NOT | Invertir cada bit | NOT Op | Op:=Ø~Op (invierte cada bit) | |
| AND | Y (And) lógico | AND Fuente,Dest | Dest:=Dest ^ Fuente | 0 ± ± ? ± 0 |
| OR | O (Or) lógico | OR Fuente,Dest | Dest:=Dest v Fuente | 0 ± ± ? ± 0 |
| XOR | O (Or) exclusivo | XOR Fuente,Dest | Dest:=Dest (xor) Fuente | 0 ± ± ? ± 0 |
| SHL | Desplazam. lógico a la izq. | SHL Op,Cantidad | | i ± ± ? ± ± |
| SHR | Desplazam. lógico a la der. | SHR Op,Cantidad | | i ± ± ? ± ± |

6.8.5. MISCELÁNEOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|------------------------------|-----------------|---|-------------------|
| NOP | Hacer nada | NOP | No hace operación alguna | |
| LEA | Cargar dirección Efectiva | LEA Fuente,Dest | Dest := dirección fuente | |
| INT | Interrupción | INT Num | Interrumpe el proceso actual y salta al vector Num | 0 0 |

6.8.6. SALTOS (generales)

- wiki x86 assembly

| Nombre | Comentario | Código | Operación |
|--------|-----------------------------|-----------------|-----------|
| CALL | Llamado a subrutina | CALL Proc | |
| JMP | Saltar | JMP Dest | |
| JE | Saltar si es igual | JE Dest | (= JZ) |
| JZ | Saltar si es cero | JZ Dest | (= JE) |
| JCXZ | Saltar si CX es cero | JCXZ Dest | |
| JP | Saltar si hay paridad | JP Dest | (= JPE) |
| JPE | Saltar si hay paridad par | JPE Dest | (= JP) |
| JPO | Saltar si hay paridad impar | JPO Dest | (= JNP) |
| JNE | Saltar si no es igual | JNE Dest | (= JNZ) |
| JNZ | Saltar si no es cero | JNZ Dest | (= JNE) |
| JECDXZ | Saltar si ECX es cero | JECDXZ Dest 386 | |
| JNP | Saltar si no hay paridad | JNP Dest | (= JPO) |
| RET | Retorno de subrutina | RET | |

6.8.7. SALTOS Sin Signo (Cardinal) SALTOS Con Signo (Integer)

| Nombre | Comentario | Código | Operación |
|--------|--------------------------------|-----------|------------------------|
| JA | Saltar si es superior | JA Dest | (= JNBE) |
| JAE | Saltar si es superior o igual | JAE Dest | (= JNB = JNC) |
| JB | Saltar si es inferior | JB Dest | (= JNAE = JC) |
| JBE | Saltar si es inferior o igual | JBE Dest | (= JNA) |
| JNA | Saltar si no es superior | JNA Dest | (= JBE) |
| JNAE | Saltar si no es super. o igual | JNAE Dest | (= JB = JC) |
| JNB | Saltar si no es inferior | JNB Dest | (= JAE = JNC) |
| JNBE | Saltar si no es infer. o igual | JNBE Dest | (= JA) |
| JC | Saltar si hay carry | JC Dest | Saltar si hay Overflow |

| | | |
|------|---------------------------------|-----------|
| JNC | Saltar si no hay carry | JNC Dest |
| JNO | Saltar si no hay Overflow | JNO Dest |
| JS | Saltar si hay signo (=negativo) | JS Dest |
| JG | Saltar si es mayor | JG Dest |
| JGE | Saltar si es mayor o igual | JGE Dest |
| JL | Saltar si es menor | JL Dest |
| JLE | Saltar si es menor o igual | JLE Dest |
| JNG | Saltar si no es mayor | JNG Dest |
| JNGE | Saltar si no es mayor o igual | JNGE Dest |
| JNL | Saltar si no es inferior | JNL Dest |
| JNLE | Saltar si no es menor o igual | JNLE Dest |

6.8.8. FLAGS (ODITSZAPC)

O: Overflow resultado de operac. sin signo es muy grande o pequeño.
D: Dirección
I: Interrupción Indica si pueden ocurrir interrupciones o no.
T: Trampa Paso, por paso para debugging
S: Signo Signo del resultado. Razonable sólo para enteros. 1=neg. 0=pos.
Z: Cero Resultado de la operación es cero. 1=Cero
A: Carru Aux. Similar al Carry, pero restringido para el nibble bajo únicamente
P: Paridad 1=el resultado tiene cantidad par de bits en uno
C: Carry resultado de operac. sin signo es muy grande o inferior a cero

6.8.9. Sufijos

- Sufijos de los mnemónicos del código de operación:
 - *q* : quad: operando de 8 bytes: cuádruple palabra
 - *l* : long: operando de 4 bytes: doble palabra
 - *w* : word: operando de 2 bytes: palabra
 - *b* : byte: operando de 1 byte
- Si el mnemónico de operación no lleva sufijo el tamaño por defecto del operando es *long*

6.8.10. Códigos de Operación

■ MOV

| Opcode | Instruction | Clocks | Description |
|--------|------------------|---------------|-----------------------------------|
| 88 /r | MOV r/m8, r8 | 2/2 | Move byte register to r/m byte |
| 89 /r | MOV r/m16, r16 | 2/2 | Move word register to r/m word |
| 89 /r | MOV r/m32, r32 | 2/2 | Move dword register to r/m dword |
| 8A /r | MOV r8, r/m8 | 2/4 | Move r/m byte to byte register |
| 8B /r | MOV r16, r/m16 | 2/4 | Move r/m word to word register |
| 8B /r | MOV r32, r/m32 | 2/4 | Move r/m dword to dword register |
| 8C /r | MOV r/m16, Sreg | 2/2 | Move segment register to r/m word |
| 8D /r | MOV Sreg, r/m16 | 2/5, pm=18/19 | Move r/m word to segment register |
| A0 | MOV AL, moffs8 | 4 | Move byte at (seg:offset) to AL |
| A1 | MOV AX, moffs16 | 4 | Move word at (seg:offset) to AX |
| A1 | MOV EAX, moffs32 | 4 | Move dword at (seg:offset) to EAX |
| A2 | MOV moffs8, AL | 2 | Move AL to (seg:offset) |
| A3 | MOV moffs16, AX | 2 | Move AX to (seg:offset) |

| | | | |
|---------|-----------------|-----|-----------------------------------|
| A3 | MOV moffs32,EAX | 2 | Move EAX to (seg:offset) |
| B0 + rb | MOV reg8,imm8 | 2 | Move immediate byte to register |
| B8 + rw | MOV reg16,imm16 | 2 | Move immediate word to register |
| B8 + rd | MOV reg32,imm32 | 2 | Move immediate dword to register |
| C6 | MOV r/m8,imm8 | 2/2 | Move immediate byte to r/m byte |
| C7 | MOV r/m16,imm16 | 2/2 | Move immediate word to r/m word |
| C7 | MOV r/m32,imm32 | 2/2 | Move immediate dword to r/m dword |

- dword :double word: 32 bits

**atención**

la sintaxis del lenguaje ASM no es AT&T sino Intel → mnemónico operando_destino, operando fuente

Programas Ejemplo

6.9. Mnemónicos Básicos (Explicados)

6.9.1. Operaciones aritméticas

- mul: multiplicación de números naturales, sin signo

Performs an unsigned multiplication of the first operand (destination operand) and the second operand (source operand) and stores the result in the destination operand. The destination operand is an implied operand located in register AL, AX or EAX (depending on the size of the operand); the source operand is located in a general-purpose register or a memory location

- mul: multiplicación de números enteros con signo

- Puede tener 1,2 o 3 operandos

Performs a signed multiplication of two operands. This instruction has three forms, depending on the number of operands.

One-operand form -- This form is identical to that used by the MUL instruction. Here, the source operand (in a general-purpose register or memory location) is multiplied by the value in the AL, AX, EAX, or RAX register (depending on the operand size) and the product (twice the size of the input operand) is stored in the AX, DX:AX, EDX:EAX, or RD:RAX registers, respectively.

- +imull Etiqueta : R[%edx]:R[%eax] ← M[Etiqueta] × R[%eax]

- div: división de números naturales, sin signo

- idiv:

Divides the (signed) value in the AX, DX:AX, or EDX:EAX (dividend) by the source operand (divisor) and stores the result in the AX (AH:AL), DX:AX, or EDX:EAX registers. The source operand can be a general-purpose register or a memory location. The action of this instruction depends on the operand size (dividend/divisor).

Non-integral results are truncated (chopped) towards 0

- idivl

- $EAX \leftarrow \text{Cociente}\{[EDX:EAX]/M[\text{Op_fuente}]\}, EDX \leftarrow \text{Resto}\{[EDX:EAX]/M[\text{Op_fuente}]\}$
- Extensión de signo
 - `movsbw src,Reg` → Mov Sign Byte to Word
 - `movsbl src,Reg` → Mov Sign Byte to Long
 - `movswl rc,Reg` → Mov Sign Word to Long
- Cambio de tamaño
 - `movzbw src,Reg` → Mov Byte to Word
 - `movzbl src,Reg` → Mov Byte to Long
 - `movzwl src,Reg` → Mov Byte to Long

6.9.2. Procesamiento Condicional

6.9.2.1. Boolean & Comparación

- NOT
 - no flags
- AND
 - Clear CF,OF
 - Modifica SF,ZF,PF
- OR
 - Clear CF,OF
 - Modifica SF,ZF,PF
- XOR
 - Clear CF,OF
 - Modifica SF,ZF,PF
- TEST
 - Clear CF,OF
 - Modifica SF,ZF,PF
- CMP
 - Modifica CF,OF,SF,ZF,PF,AF

6.9.3. Saltos

6.9.3.1. Indirectos

- Símbolo para indicar indirección en los saltos y diferenciarlos del direccionamiento relativo. En cambio en los movimientos MOV no hace falta el símbolo ya que no hay saltos relativos.

```
jmp bucle    -> salto relativo a EIP
jmp *bucle
jmp *eax
jmp *(eax)
jmp *(mem)
jmp *table(%ebx, %esi, 4)
```

6.9.4. Desplazamiento y rotación

- sar,sal : Shift Arithmetic Right, Shift Arithmetic Left.
 - desplazamiento aritmético: El dígito entrante por la izda o dcha es el bit de signo.

```
Shifts the bits in the first operand (destination operand) to the left or right by the number of bits specified in the second operand (count operand). Bits shifted beyond the destination operand boundary are first shifted into the CF flag, then discarded. At the end of the shift operation, the CF flag contains the last bit shifted out of the destination operand.
```

- sarl \$31, %edx : desplazamiento de 31 bits a la dcha y el bit entrante es el bit de signo el operando en EDX.
- shr,shl
- desplazamiento lógico: entran ceros
 - Ejemplos de multiplicación y división
- ROL,ROR
 - el bit que sale fuera se copia en CF
 - Aplicación: conversión endianess

6.9.5. Cambiar el Endianess

```
## Cambio del endianess en EAX. Previamente guarda el original de EAX y al final restaura EAX
swapbytes:
    xchg (%ebx), %eax
    bswap %eax
    xchg (%ebx), %eax
```

6.10. Formato de Instrucción: ISA Intel x86-64

- Apéndice [Formato Instrucción](#)

6.11. Subrutinas

6.11.1. Introducción

- Las subrutinas en lenguaje ensamblador son el equivalente a las funciones en el lenguaje de programación en C, por lo que es necesario repasar el concepto de función en el lenguaje C.
- Referencias a las subrutinas son la práctica 5 y el capítulo 14 del Apéndice.

6.11.2. Lenguaje C: Sentencia Función

6.11.2.1. Introducción

El objetivo de las funciones es descomponer el programa en módulos de código para dotar al programa de una estructura organizada que facilite el desarrollo del programa y su mantenimiento. La librería standard "libc" son colecciones de funciones básicas desarrolladas en el lenguaje C que son reutilizadas por la mayoría de los programas. De esta manera el programador no tiene que inventar la rueda. Por lo tanto en un programa coexisten funciones desarrolladas por el propio usuario en lenguaje C y funciones de librerías accesibles en código binario.

6.11.2.2. Declaración

- La declaración de una función en lenguaje C se denomina **prototipo**. Ejemplo de prototipo: `int sumMtoN(short sumando1, short sumando2)` donde
 - Nombre: el nombre de la función es *sumMtoN*
 - Argumentos: el nombre del primer argumento es *sumando1* y es del tipo short, el nombre del 2º argumento es *sumando2* y es del tipo short.
 - Tipo del valor de retorno: el tipo del valor de retorno es int.

6.11.2.3. Definición

- La definición de la función *sumMtoN* consiste en desarrollar el algoritmo mediante sentencias de C, es decir, el cuerpo de la función:

```
int sumMtoN(short sumando1, short sumando2)    {
    //sumando2 > sumando1
    short i;
    int resultado=0; // variable local a la función
    i=sumando2;
    while (i >= sumando1) {
        resultado += i ;
        i--;
    }
    printf("\n\t Subrutina sumMtoN \n");
    return resultado;
}
```

- *resultado* es la variable que contiene el valor de retorno

6.11.2.4. LLamada y Retorno

- La función `main()` llama a la función `sumMtoN()` la cual después de ser ejecutada devuelve el resultado de la suma.

```
/*
Programa: sumMtoN.c
Compilación: gcc -g -ggdb3 -o sumMtoN sumMtoN.c
            -ggdb3 : inserta en la tabla de símbolos del depurador información de →
                        macros
*/

// Prototipos de las funciones
#include <stdio.h> // Declaración de la función printf()
#include <stdlib.h> // Declaración de la función exit()

//Macros
#define SUCCESS    0

//Prototipos: declaración de la función sumMtoN()
int sumMtoN(short sumando1, short sumando2);

// Definición de la Función Principal main()
void main(void) {
    //Inicialización de los argumentos M y N de la función sumMtoN()
    short M=1;
    short N=1;
    // Llamada a la función
    printf("El resultado de la suma es %d \n", sumMtoN(M,N));
    // La evaluación de sumMtoN consiste en: llamar a la función y capturar el valor ←
        de retorno.
    exit(SUCCESS);
}

// Definición de las Funciones
int sumMtoN(short sumando1, short sumando2)    {
    //sumando2 > sumando1
    short i;
    int resultado=0; // variable local a la función
    i=sumando2;
    while (i >= sumando1) {
        resultado += i ;
        i--;
    }
    printf("\n\t Subrutina sumMtoN \n");
    return resultado;
}
```

- `printf → sumMtoN` : `printf` imprime el resultado de **evaluar** la función `sumMtoN()` . La evaluación consiste en obtener el **valor de retorno** de la ejecución de la función `sumMtoN()`

6.11.3. Anidamiento de Funciones

- LLamada: `init() → main() → sumMtoN() → printf() → write()`
- El sistema operativo llama a la función principal ,del programador, que a su vez llama a la función `sumMtoN()` ,del programador, la cual a su vez llama a la función `printf()` ,de la librería `libc`, la cual a su vez llama al sistema operativo para que ejecute la función `write()`, del sistema.
- Retorno: `write() → printf() → sumMtoN() → main () → exit()`

6.11.4. Pila/Frame

- Ver concepto de pila en el [Apéndice F](#).
- La pila es una *sección* del programa en la memoria principal como lo son la sección de datos y la sección de instrucciones.
- Los argumentos M y N de la subrutina *sumMtoN* se pasan a través de la pila.
- Partición de la pila en frames: Cada rutina y subrutina tienen su *segmento* de pila que se denomina **frame**.
 - La rutina *main* tiene su frame y la subrutina *sumMtoN* su propio frame.
 - Los frames se apilan según se anidan las llamadas a subrutinas.
 - Dinamismo: En un momento dado de la ejecución del programa el último frame generado es el frame activo.
 - La parte baja del frame activo esta referenciada por el puntero EBP y el top del frame por el puntero ESP.

6.11.5. Definición de la subrutina

- Nombre: *sumMtoN*
- El nombre de la subrutina es la etiqueta que apunta a la primera instrucción de la subrutina.
- La subrutina finaliza con la instrucción ret.
- La subrutina está estructurada en 3 partes:
 - Prólogo:
 - I. Salvar los registros que van a ser modificados por el cuerpo de la subrutina.
 - II. Activar el nuevo frame inicializando los punteros EBP y ESP.
 - Cuerpo:
 - I. Capturar los argumentos y procesarlos
 - Epílogo:
 - I. Salvar el valor de retorno en el registro EAX
 - II. Recuperar el valor de los registros salvados en el Prólogo
 - III. Activar el frame de la función que ha realizado la llamada actualizando EBP y ESP con sus antiguos valores.
 - IV. Retorno a la función que ha realizado la llamada.
- Código

```
# Comienzo de la subrutina
sumMtoN:
# Prólogo
    push %ebp      # salvo el bottom del frame de la función llamante en la ←
                  # parte baja del nuevo frame
    mov %esp, %ebp # configuro el puntero %ebp apuntando a la parte baja del ←
                  # nuevo frame
    push xxx       # Si fuera necesario: salvar registros que se utilizarán ←
                  # en el Cuerpo de la subrutina
    push xxx
# Cuerpo
    mov 8(%ebp), %ebx      #capturo el 1º argumento
    mov 16(%ebp), %ecx     #capturo el 2º argumento
    xxx xxx
    xxx xxx
# Epílogo
    mov resultado, %eax    #inicializo el valor de retorno
    pop   xxx              #recuperar registros que se salvaron en el prólogo
    pop   %ebp
    mov  %ebp, %esp
    pop  %ebp
    ret
```

6.11.6. Registros a Preservar

6.11.6.1. Refs

- [ABI x86-32](#)
- [Convenio de Llamada MicroSoft](#)

6.11.6.2. Rutina llamante

La rutina que realiza la llamada (caller routine) está obligada a preservar los siguientes registros si los está utilizando:

- EAX-ECX-EDX

Es decir, dichos registros pueden ser utilizados libremente por la subrutina llamada. En caso de no ser utilizados por la subrutina no sería necesario preservarlos. En caso de ser utilizados se copiarían en la pila antes de realizar la llamada a la subrutina y serían recuperados al finalizar la subrutina.

6.11.6.3. Subrutina llamada

La subrutina llamada (callee routine) está obligada a preservar los siguientes registros:

- EBX-ESP-EBP-ESI-EDI y X87CW

Es decir, dichos registros al finalizar la subrutina de mantener el mismo valor que antes de la llamada. En caso de no utilizarlos no sería necesario preservarlos

6.11.6.4. Arquitectura amd64

Caller routine: The registers RAX, RCX, RDX, R8, R9, R10, R11 are considered volatile and must be considered destroyed on function calls (unless otherwise safety-provable by analysis such as whole program optimization).

Callee routine: The registers RBX, RBP, RDI, RSI, RSP, R12, R13, R14, and R15 are considered nonvolatile and must be saved and restored by a function that uses them.

6.11.7. Argumentos de la subrutina

- Los argumentos deben de transferirse a través de la pila y antes de realizar la llamada.
- Los argumentos se apilan uno detrás de otro comenzando por el último argumento y finalizando con el primer argumento.
- Se apilan mediante la instrucción `push argumento` donde el operando es el argumento a transferir.

```
push N  
push M
```

6.11.8. Llamada a la subrutina

- La rutina llamante *main* llama a la subrutina *sumMtoN* mediante la instrucción `call sumMtoN`. Por lo que la rutina *main* queda interrumpida hasta que finalice la ejecución de la subrutina *sumMtoN*.
- La instrucción `call` se ejecuta en dos fases:
 - a. Apila la dirección de retorno: en la rutina *main* siguiente instrucción a `call sumMtoN`: $\text{ESP} \leftarrow \text{ESP}-4$ y $M[\text{ESP}] \leftarrow \text{PC}$

- b. Salta a la etiqueta *sumMtoN*: $\text{PC} \leftarrow \text{sumMtoN}$

- básicamente la instrucción call es una salto con retorno a la dirección donde fue interrumpida la rutina llamante.

```
push N  
push M  
call sumMtoN
```

6.11.9. Retorno de la subrutina

- La última instrucción de la subrutina es **RET** cuya ejecución por la Unidad de Control de la CPU realiza las siguientes órdenes:
 - a. $\text{PC} \leftarrow \text{M[ESP]}$: extrae de la pila la dirección de retorno guardada por la instrucción **CALL** y la carga en el Contador de Programa, por lo que se ejecutará el ciclo de instrucción de la instrucción posterior a **call sumMtoN**
 - b. Actualiza el stack pointer: $\text{ESP} \leftarrow \text{ESP} + 4$
- Es necesario que en el epílogo de la subrutina, antes de la ejecución de RET el stack pointer apunte a la dirección de la pila donde está almacenada la dirección de retorno.

6.11.10. Estado de la pila

6.11.10.1. Previo al salto de la llamada a la subrutina

- Estado de la pila ejecutando la *rutina main* justo antes de ejecutar la instrucción `call sumMtoN`:
 - El frame activo de la pila es el correspondiente a main.
 - Los últimos datos apilados en el *frame main* son los argumentos de *sumMtoN*

```
push N  
push M  
call sumMtoN
```

- Contenido de los registros EIP,EBP,ESP:

- RIP:
- EBP:
- ESP:

6.11.10.2. Posterior al salto de la llamada a la subrutina

- Estado de la pila ejecutando la *subrutina sumMtoN* justo después de ejecutar el salto `call sumMtoN`:
 - El frame activo de la pila es el correspondiente a main.
 - El último dato apilado en el frame main es la *dirección de retorno* a main desde sumMtoN
- Contenido de los registros EIP,EBP,ESP:
 - RIP:
 - EBP:
 - ESP:

6.11.10.3. Creación del nuevo frame *sumMtoN*

- Estado de la pila después de ejecutar:

```
sumMtoN:  
    push %ebp  
    mov  %esp, %ebp
```

- Contenido de los registros EIP,EBP,ESP:

- EIP:
- EBP:
- ESP:

6.11.10.4. Previo al salto de retorno

- Estado de la pila ejecutando la *subrutina sumMtoN* justo antes de ejecutar la instrucción *ret*:
- El frame activo de la pila es el correspondiente a *sumMtoN*.
- El puntero del top *ESP* del frame *sumMtoN* apunta a la dirección de pila que contiene la *dirección de retorno*
- Contenido de los registros EIP,EBP,ESP:
- EIP:
- EBP:
- ESP:

6.11.10.5. Posterior al salto de retorno

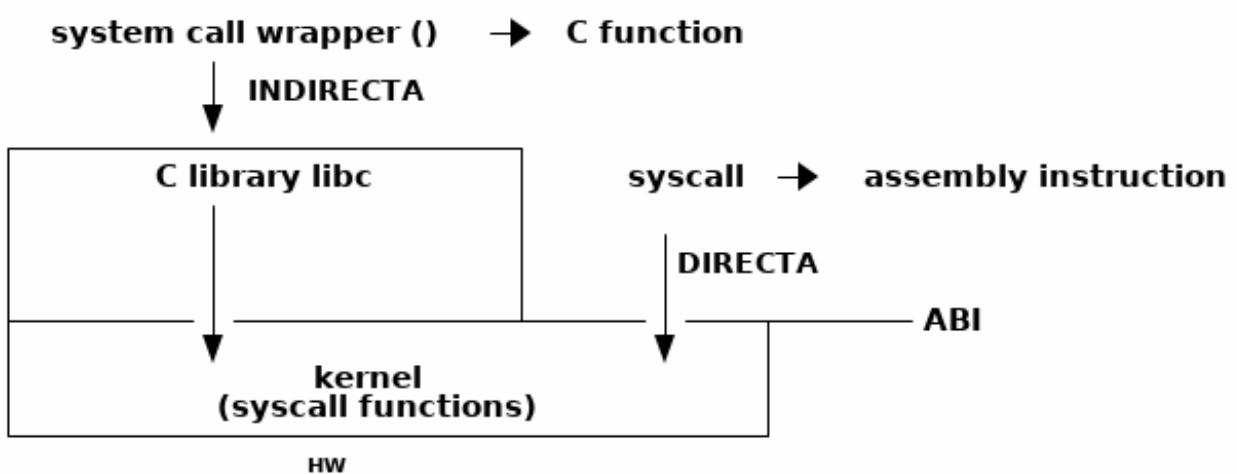
- Estado de la pila ejecutando la *subrutina sumMtoN* justo después de ejecutar la instrucción *ret*:
- La ejecución de *ret* ha realizado las siguientes operaciones:
 - *pop %irp*
- El frame activo de la pila es el correspondiente a *main*.
- Contenido de los registros EIP,EBP,ESP:
- EIP:
- EBP:
- ESP:

6.12. Llamadas al Sistema Operativo

6.12.1. Introducción

- Se conoce con el nombre de *llamadas al sistema* a las Llamadas que realizar el programa de usuario a subrutinas del Kernel del Sistema Operativo.
- Para realizar funciones privilegiadas del sistema operativo como el acceso a los dispositivos i/o de la computadora es necesario que los programas de usuario llamen al kernel para que sea éste quien realice la operación de una manera segura y eficaz. De esta forma se evita que el programador de aplicaciones acceda al hardware y al mismo tiempo se facilita la programación.
- Ejemplos de llamadas

- **exit** : el kernel suspende la ejecución del programa eliminando el proceso
- **read** : el kernel lee los datos de un fichero accediendo al disco duro
- **write**: el kernel escribe en un fichero
- **open** : el kernel abre un fichero
- **close**: el kernel cierra el proceso
- más ejemplos de llamada en el listado `man 2 syscalls`
- La llamada a los servicios del kernel denominados *syscalls* se puede realizar de dos formas: **directa** o **indirecta**
 - Directa: desde ASM mediante la instrucción `syscall`
 - Indirecta: desde C o ASM mediante funciones de la librería `libc`: wrappers de las llamadas directas
- API/ABI



- Ejemplo arquitectura i386
 - Los 6 primeros argumentos se pasan a través de los registros: [EBX-ECX-EDX-ESI-EDI-EBP] previamente a la instrucción de la llamada `int 0x80`

```
* printf() -> write(int fd, const void *buf, size_t count) -> [EBX-ECX-EDX-ESI-EDI-EBP, ←
    int 0x80] -> kernel syscall write
* API      ->      wrapper function           ->                                ABI   ←
    -> kernel syscall
```
- Ejemplo arquitectura amd64
 - Los 6 primeros argumentos se pasan a través de los registros: [RAX-RDI-RSI-RDX-R10-R8-R9] previamente a la instrucción de la llamada `syscall`

```
* printf() -> write(int fd, const void *buf, size_t count) -> [RAX-RDI-RSI-RDX-R10-R8-R9 ←
    ,syscall] -> kernel syscall write
* API      ->      wrapper function           ->                                ABI   ←
    -> kernel syscall
```

6.12.2. Ejemplos

- Ver en el [Apéndice](#)

6.13. Bibliografías

- Listado [Programación Ensamblador](#).
 - Apuntes completos [WikiBook](#) de programación en lenguaje AT&T con diversidad de aspectos.

Parte II

Unidades Básicas: Procesador Central, Unidad de Memoria, Mecanismos Entrada/Salida.

Capítulo 7

Procesador Central

7.1. Temario

1. Conjunto de instrucciones
 - a. Arquitecturas CISC, RISC y VLIW
 - b. Fases de ejecución de una instrucción
 - c. Ruta de datos

7.2. Refs

- Apuntes : Tema 2: Arquitectura von Neumann (unidad de control)
- Libro de Texto: Estructura y Organización de Computadores .William Stalling. Capítulo 12.

7.3. Introducción

- El objetivo principal de la CPU es la implementación del *ciclo de instrucción*. Es el soporte hardware para poder llevar a cabo todas las operaciones que conllevan las instrucciones de un programa.
- Unidad Central de Proceso (CPU) o Procesador.
 - Nombres: Procesador, microprocesador (El componente electrónico básico es el transistor con un tamaño en sus orígenes del orden de la micra), ..
 - Central porque la computadora tiene varios procesadores: Por ejemplo el controlador de la memoria y los controladores de los periféricos.
- Arquitectura Von-Neumann.
 - La CPU es una de las unidades básicas que conforman la arquitectura Von-Neumann (CPU-MP-IO) y Buses.
- *Microarquitectura*
 - Las unidades básicas de la CPU son: Unidad de Control (UC), y la Ruta de Datos (ALU,FPU,MMU,Registros y circuitos de enrutamiento como multiplexores, conmutadores, etc).
 - El ciclo de instrucción puede ser secuencial o segmentado, permitiendo el solapamiento en el tiempo de la ejecución de más de una instrucción (técnicas de paralelismo a nivel de instrucción, ILP)

- La CPU se puede ver desde el punto de vista del programador o desde el punto de vista del diseñador electrónico.
- Desde el punto de vista del *programador* interesa conocer:
 - La Arquitectura del Repertorio de Instrucciones (ISA)
 - Registros: registros de propósito general accesibles por el programador (acumulador, registro índice, punteros pila, etc), registro de estado, registros de coma flotante, registros multimedia, registros de segmentación de memoria, registros no accesibles como el contador de programa, tamaño de los registros, etc
 - Modos de Funcionamiento de la CPU: modo superusuario, modo usuario, modo interrupción
- Técnicas HW de optimización de la ejecución de un programa (**Performance**)
 - Segmenación-Pipelining: organizar el ciclo de instrucción en fases o segmentos y ejecutarlos en paralelo.
 - Ejecución fuera de Orden OoO: Run time
 - Renombre de Registros: Compiler & Run time
 - Branch Predictor: Run time

7.4. Conjunto de Instrucciones

7.4.1. Arquitectura (ISA)

- Recordatorio de la primera parte de la asignatura:
 - Temas: arquitectura von neumann, representación de datos, operaciones aritmético-lógicas, representación de las instrucciones y programación en lenguaje ensamblador.
- Instruction Set Arquitecture (ISA)
 - La arquitectura del repertorio de instrucciones define: códigos de operación, tipos de operando, modos de direccionamiento, etc
 - Son las instrucciones máquina ejecutables directamente por la CPU en código binario.: *lenguaje máquina*
 - La instrucción a ejecutar está almacenada en código binario en el registro RI de la Unidad de Control.
- El repertorio de instrucciones está especificado en el manual del programador de la CPU:
 - Programamos en *lenguaje Ensamblador* en lugar de en *lenguaje máquina*
 - El manual contiene la definición de la Arquitectura del Repertorio de Instrucciones.
 - el listado y descripción de todas las instrucciones ejecutables por el microprocesador
 - ◊ categorías de las instrucciones: transferencia(mov), control(jmpz,loop),aritméticas(add), lógicas(xor), i/o (in/out) [Error: itemizedlist too deeply nested]
 - ◊ Modos de direccionamiento: inmediato, directo, indirecto, desplazamiento
 - ◊ Tipos de datos: entero, real, alfanumérico
 - Formatos binarios
 - ◊ De las instrucciones: campos de operación, operando, modo direccionamiento
 - ◊ De los datos: complemento a 2, coma flotante

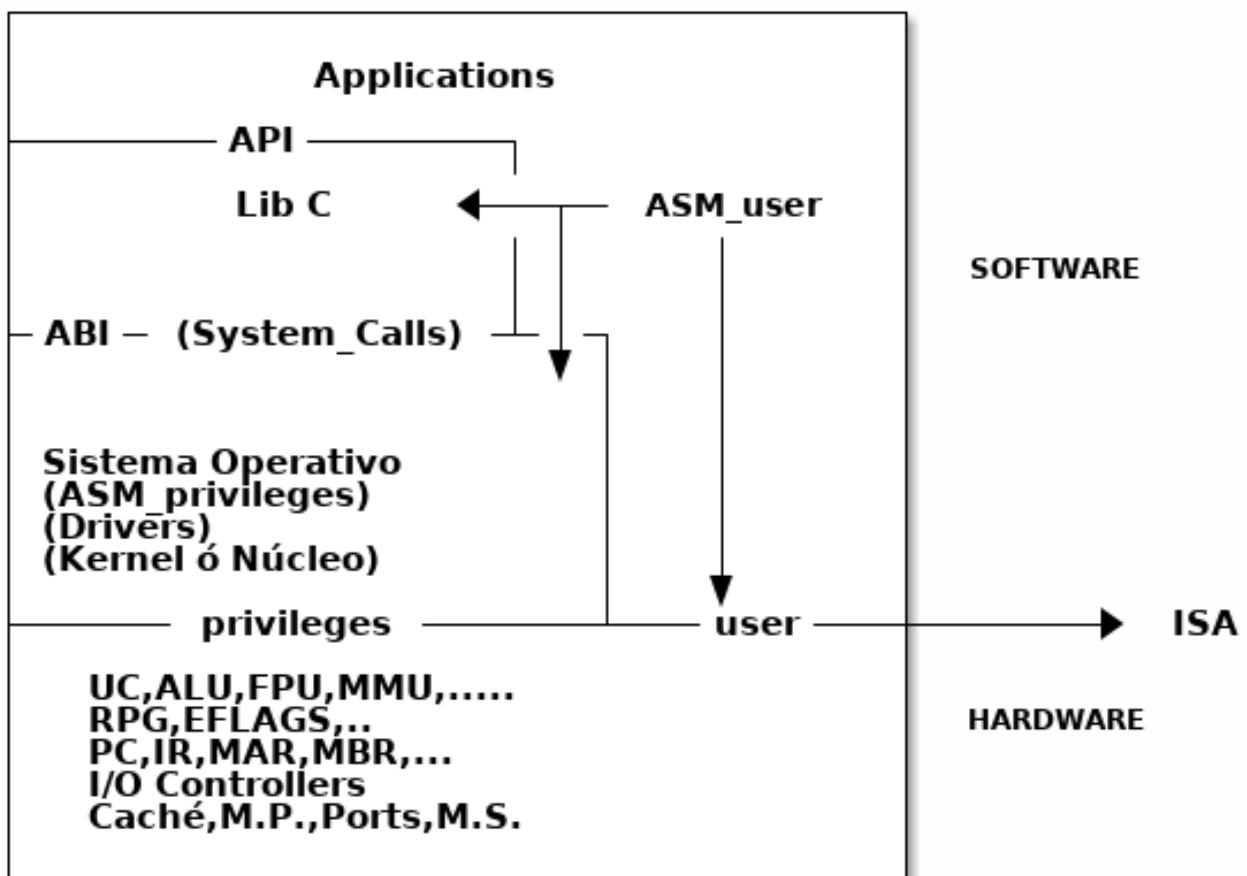
7.4.2. Ejemplos: Intel x86, Motorola 68000, MIPS, ARM

- Ver Apéndice Lenguajes Ensamblador

7.5. La Computadora desde el punto de vista del programador

7.5.1. Niveles o Capas de Abstracción

- El programador se abstrae (en parte) de la implementación del Hardware gracias al Sistema Operativo. El programador interacciona con el Sistema Operativo para acceder a los recursos HW de la computadora.
- Abstracción de la Máquina : mediante las instrucciones ISA / especificaciones ABI
 - ABI** : "Application Binary Interface" . Es un documento que especifica las características binarias del software, es decir, el nivel más bajo del software. Por ejemplo especifica el convenio de llamadas a subrutinas, cómo está estructurada la pila, cómo realizar las llamadas al sistema, el formato binario del módulo objeto ejecutable, etc ... El compilador, linker y loader han de conocer la interfaz ABI con todo detalle.
 - Desde el punto de vista del programador de aplicaciones de bajo nivel: La interfaz con la máquina son las llamadas al sistema (ABI) y el repertorio "user ISA"
- Abstracción a niveles superiores
 - La interfaz con la librería son los prototipos de las funciones de la librería (Application Programming Interface - **API**)
- Esquema con las Interfaces de las aplicaciones desarrolladas en **lenguajes de bajo nivel**:



- Desde el punto de vista del sistema operativo S.O.:

- La interfaz con la máquina es **ISA (system isa y user isa)**
- La interfaz con el programador es **ABI**
- Desde el punto de vista del programador
 - si no hay S.O. la interfaz con la máquina será equivalente a la del S.O.
 - si hay S.O. y librerías la interfaz con la máquina:
 - ◊ en lenguaje C : **API** y **ABI** específicos de C
 - ◊ en lenguaje ASM: **API** © y **ABI** específico de asm
- La programación de bajo nivel requiere tener algunos conocimientos del Hardware de la máquina no siendo posible su completa abstracción. Por lo tanto es necesario estudiar la CPU desde el punto de vista del programador.
- ¿Cual sería el esquema de niveles o capas visto por los siguientes niveles de abstracción superiores?
 - Escritorio
 - Lenguaje de Programación Java

7.5.2. Compatibilidad Software

7.5.2.1. Compatibilidad

- Cada procesador tiene su repertorio de instrucciones
- Si dos procesadores tienen el mismo repertorio de instrucciones, es decir, la misma arquitectura, el módulo fuente en lenguaje ensamblador será compatible para los dos procesadores aunque la estructura interna de la CPU sea diferente: Ejemplo: Intel IA64 y AMD64

7.5.2.2. Ejemplos

- El programador necesita conocer el trío ARCH-KERNEL-LIBC
 - Arch se refiere a la arquitectura de la computadora → ISA
 - Kernel: núcleo del sistema operativo. Implementa las llamadas del sistema
 - Libc: librería para el programador de aplicaciones. Implementa las llamadas al sistema
 - Tanto el Kernel como la Librería tienen asociados sus interfaces de nivel alto (API) como de nivel bajo (ABI)
- Ejemplos arch/kernel/libc
 - amd64-linux-gnu
 - arm-linux-gnueabi

7.6. Fases de Ejecución de una Instrucción

7.6.1. Estructura

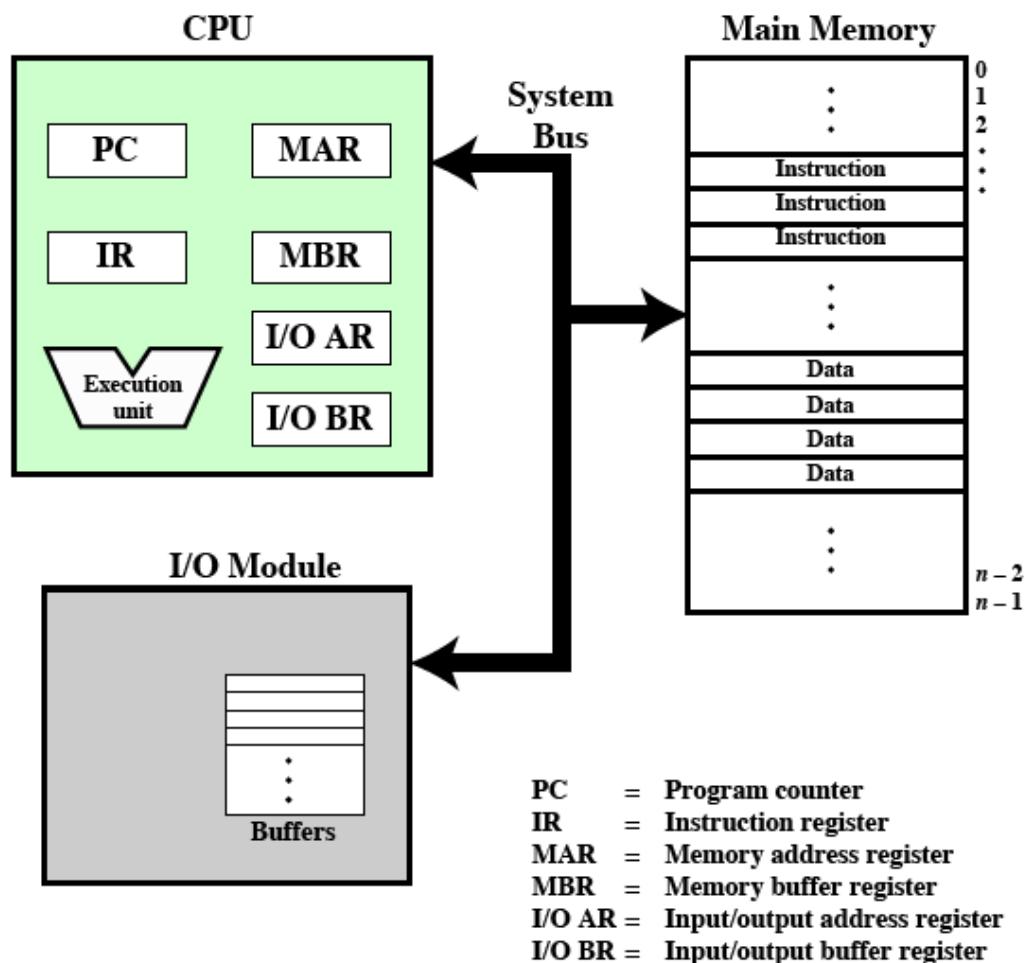


Figura 7.1: IAS_Architecture

7.6.2. Ciclo / Diagrama / Fases

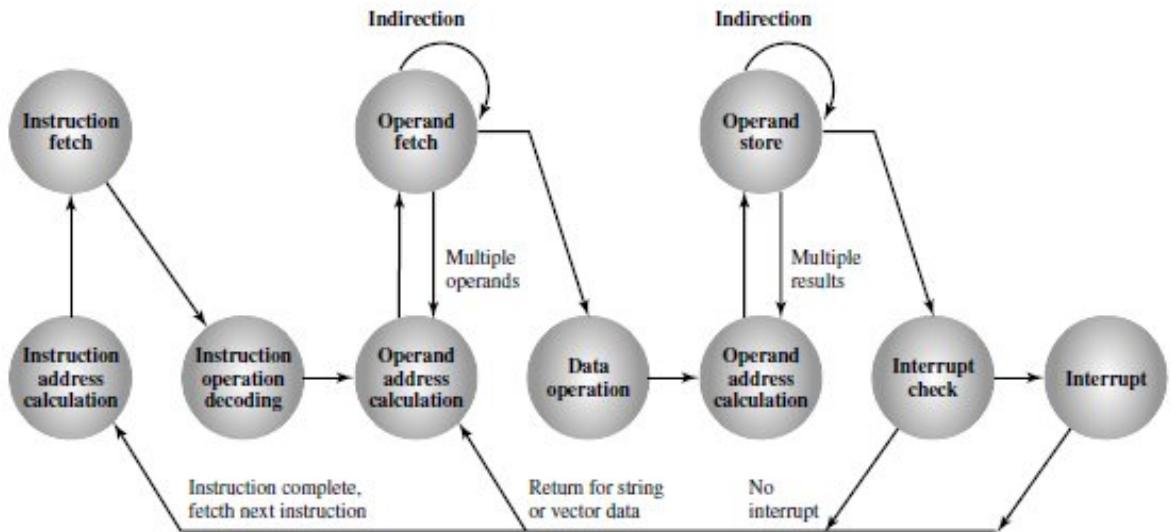


Figure 12.5 Instruction Cycle State Diagram

Figura 7.2: Diagrama de Estados

■ Fases del ciclo de instrucción

1. Fetch Instruction : FI
 - Inicialmente hay que volcar al bus de direcciones de memoria el contenido del Contador de Programa (PC)
 - Captar la instrucción
 - $PC \leftarrow PC + 1$
2. Instruction Decode : ID
 - interpretar la instrucción
3. Fetch Operand : OF
 - captar datos, captar los operandos
 - resolver la dirección efectiva
4. Execute Instruction : EI
 - procesar la instrucción con los datos
5. Write Operand: WO
 - almacenar el resultado
 - resolver la dirección efectiva
6. Interruption : II
 - El programa puede ser interrumpido por la prioridad de ejecutar otro programa de atención a periféricos, etc.. Una vez atendida la interrupción el programa continua con el siguiente ciclo de instrucción.

7. Next Instruction : NI

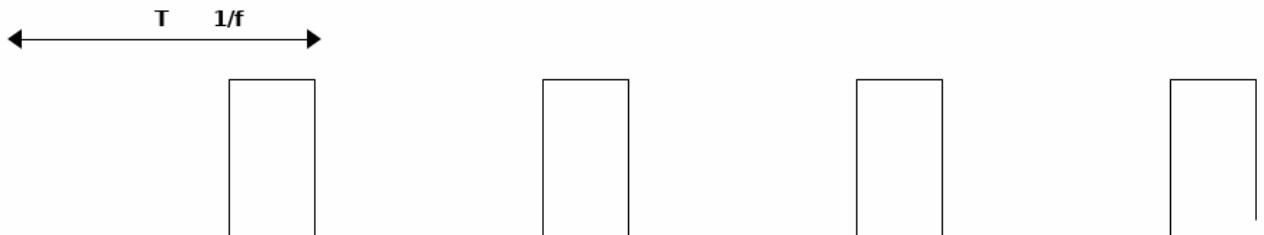
- Ciclo de instrucción
 - Después de la fase de captación de la instrucción (FI) le sigue la fase de Ejecución (EI) ó la Fase de determinación de la Dirección Efectiva del Operando y Obtención del operando (OF)
 - Después de la fase de ejecución puede haber un ciclo de atención a una interrupción.

7.6.3. Ejemplo: máquina IAS de Von-Neumann

- Tema 2: Arquitectura Von-Neumann
- Cada instrucción de la computadora IAS se ejecuta siguiendo una secuencia de fases. Dicha secuencia se repite para cada instrucción y se conoce como el ciclo de instrucción de la unidad central de proceso (CPU).
- La unidad de control es la unidad de la CPU que implementa cada fase del ciclo de instrucción.
- La unidad de control controla la ruta de datos de la CPU mediante microordenes.
- Internamente está formada por el circuito generador de microordenes y por los registros : contador de programa y registro de instrucción.

7.6.3.1. Diagrama de Microoperaciones

- Microoperaciones: operaciones realizadas por la CPU internamente, al ejecutar una Instrucción Máquina.
 - Ejemplos: escribir en el registro MAR, orden de lectura a la MPrincipal, leer de MBR, interpretar de IR, incrementar PC, etc
 - Ejecución Síncrona con el reloj de la CPU:



- Flancos de reloj: Cambio de nivel 0→1 (positivos) o 1→0 (negativos)
- IAS no es síncrona: una microoperación no comienza con ningún patrón de tiempos.
- Descripción de las micro-operaciones: Register Transfer Language (RTL)

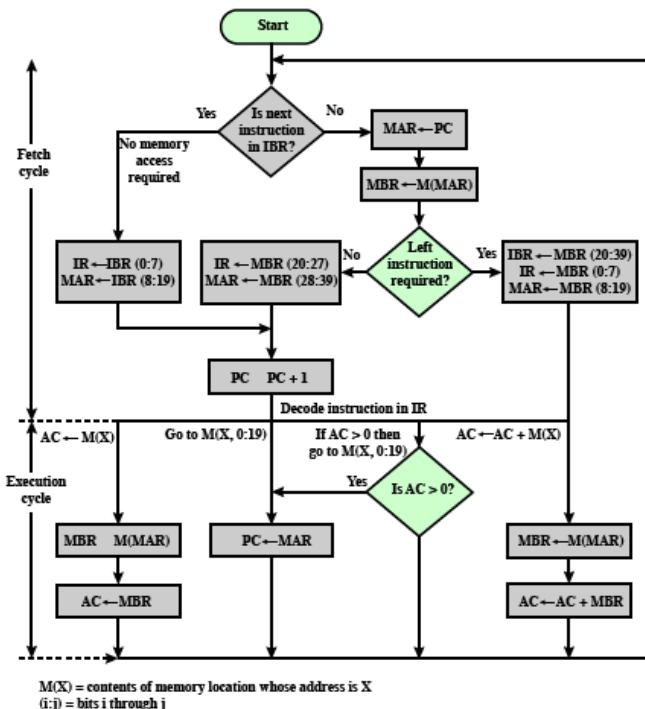


Figure 2.4 Partial Flowchart of IAS Operation

Figura 7.3: IAS Operation

- Operación de la máquina IAS:
 - El ciclo de instrucción tiene dos FASES
 - La primera fase es común a todas las instrucciones.
- Ejemplos de instrucciones
 - X: referencia del operando
 - AC \leftarrow M(X)
 - GOTO M(X,0:19): salto incondicional a la dirección X. X apunta a dos instrucciones. X,0:19 es la referencia de la Instrucción de la izda.
 - If AC>0 goto M(X,0:19): salto condicional
 - AC \leftarrow AC+M(x).

7.7. Microarquitectura: Unidades Funcionales

7.7.1. Introducción

- Se conoce con el nombre microarquitectura a la arquitectura interna del microprocesador.
 - La microarquitectura es el diseño e implementación del ciclo de instrucción del conjunto de instrucciones definido por ISA.
 - Ejemplos
 - Intel: 8051, x86
 - AMD: x86
 - ARM: Cortex

7.7.2. Implementación del ciclo de instrucción

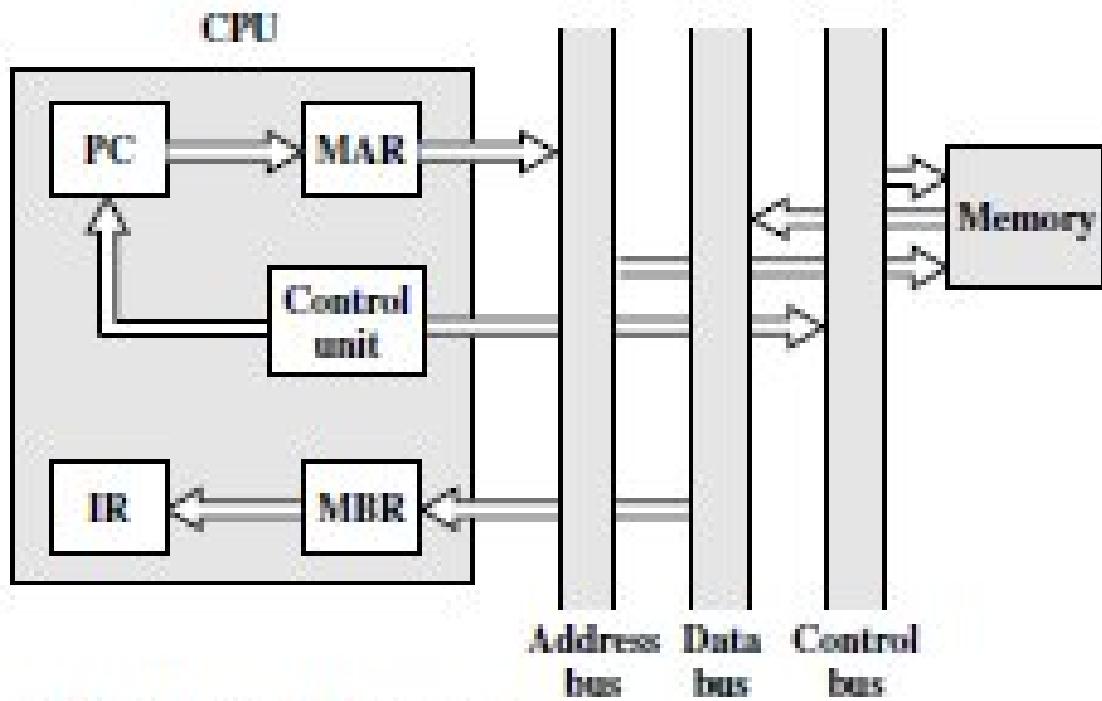
- ¿Cómo implementar el ciclo de instrucción?
 - Mediante un Circuito Electrónico Digital secuencial: Máquina de estados finitos FSM que implementa la secuencia del diagrama de estados y que recibe el nombre de Unidad de Control.
 - La Unidad de Control es una secuencia de estados que van realizando las distintas fases del ciclo de instrucción.
 - Las distintas fases del ciclo de instrucción utilizan distintas unidades funcionales como: registros, ALU, etc
 - La interpretación de distintas instrucciones máquina dará lugar a diferentes secuencias de estados en la Unidad de Control.

7.7.3. Estructura de la CPU

- Tres recursos básicos: Unidad de Control, **Unidad de Ejecución** y Registros.
- Dos Bloques básicos de la CPU
 - Unidad de Control (UC) y la Ruta de Datos (DataPath).
- La unidad de control esta formada por
 - generador de las microoperaciones que implementan el ciclo de instrucción
 - registros: registro de instrucción IR, registro contador de programa PC
- La Ruta de Datos esta formada por
 - **Unidad de Ejecución UE :**
 - Unidad Aritmetico Lógica ALU: cálculos números enteros
 - Unidad de Punto Flotante FPU: cálculos números reales
 - Unidad Load/Store LSU: cálculos de la dirección efectiva y acceso a la memoria principal
 - Memory Management Unit (MMU): cálculo de la dirección efectiva FISICA de la MP. Traduce las direcciones virtuales de memoria utilizadas por la cpu en direcciones físicas de la memoria principal.
 - los Registros
 - Registros de propósito general GPR accesibles por el programador
 - Registros de estado SR

7.7.4. Fase de Captación

- Ejemplo: Microoperaciones de la Fase de captación del ciclo de instrucción.
 - Se realiza la lectura de una instrucción mediante las siguientes acciones que son activadas por la Unidad de control:
 - El Contador de Programa (PC) o Instruction Pointer (IP) contiene la dirección de referencia de la instrucción a captar
 - El Memory Address Register (MAR) se carga con el contenido del (PC)
 - El bus de direcciones del sistema se carga con el contenido de MAR
 - Se vuelca el contenido de la dirección apuntada al Buffer i/o de memoria, de ahí al bus de datos transfiriéndose así al Memory Buffer Register (MBR)



MBR = Memory buffer register

MAR = Memory address register

IR = Instruction register

PC = Program counter

Figure 12.6 Data Flow, Fetch Cycle

Figura 7.4: Flujo de Datos. Ciclo de Captación

- Secuencia de las microordenes en el ejemplo:
 - a. MAR → address bus
 - b. UC → control bus
 - c. data bus → MBR
 - d. MBR → IR y UC → PC
 - e. al finalizar la ejecución: PC → MAR

7.7.5. Perspectiva de la CPU

- Divimos la CPU en 5 unidades:
 - Unidad de Control (UC)
 - Unidad de Ejecución (UE)
 - Registros : de Propósito General (rax,mmx,sse,xmm,...), control (usuario,superusuario,paginación,interrupción,...) y status (rflags, ..).
 - Los registros de control no son accesibles por el usuario, son accesibles por el sistema operativo.

- Memoria Cache L0
- Memory Management Unit (MMU)
- Reloj para sincronizar las tareas: facilita el diseño del Hardware.

7.7.5.1. Unidad de Control

- The control unit (sometimes called the fetch / decode unit) is responsible for retrieving individual instructions from their location in memory, then translating them into commands that the CPU can understand. These commands are commonly referred to as machine-language instructions, but are sometimes called **micro-operations**, or UOPs. When the translation is complete, the control unit sends the UOPs to the execution unit for processing.
- Señales de control de la UC
 - Señales digitales binarias

7.7.5.2. Unidad de Ejecucion (EU)

- The execution unit is responsible for performing the third step of the instruction cycle, namely, executing, or performing the operation that was specified by the instruction.
- Incluye: ALU+FPU+LSU+RPG
 - Operaciones: Aritméticas, Lógicas, Transferencia,

7.7.5.3. Ruta de Datos

- Es la ruta que realizan los datos (instrucciones, campos del formato de instrucciones, operando, dirección, etc ...) a través del procesador, internamente al procesador, dirigidos por la Unidad de Control.
- Es necesario interconectar las distintas unidades y subunidades de la CPU para poder transferir y procesar los bits y conjuntos de bits entre ellas.
- Los microcomandos de la UC en forma de señal transportan y procesan dichos datos.
 - Ejemplos de microcomandos: abrir puerta, conectar bus, multiplexar datos, etc ... microordenes de control del hardware
 - Dicho transporte y procesamiento dependerá de la interpretación de la instrucción en ejecución y del diseño de la microarquitectura.
- Los componentes básicos de la Ruta de Datos son :
 - Unidades de transporte: BUS, conmutador, multiplexor, etc
 - Unidad de memoria: cálculo de la dirección efectiva, interfaz con la memoria externa
 - Unidades de procesamiento: ALU
 - Unidades de almacenamiento: registros
- RTL: Register Transfer Language
 - Lenguaje para indicar las acciones de transporte, procesamiento y almacenamiento.
 - $AC \leftarrow [PC] + M[CS:SP]$

- Esquema de la Ruta de Datos

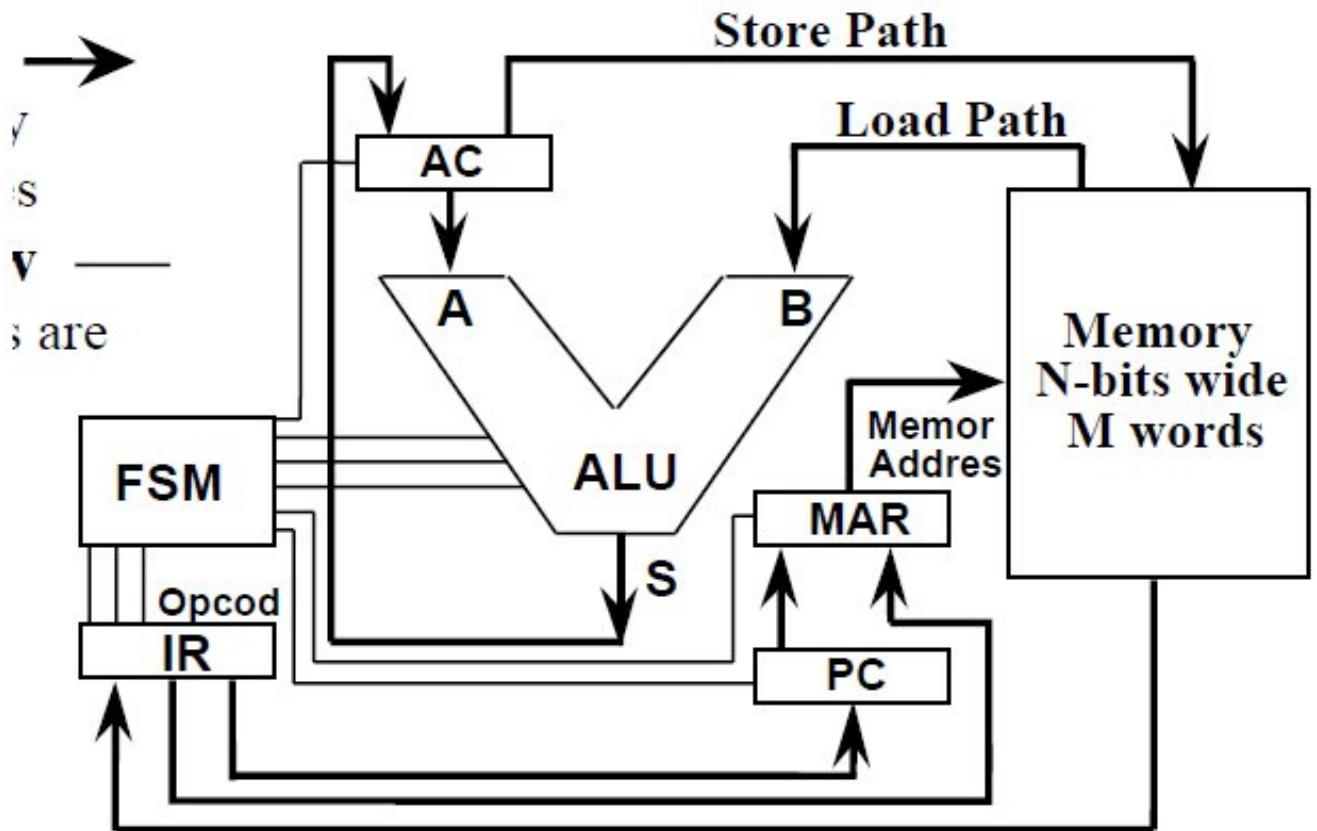


Figura 7.5: Datapath

- Líneas gruesas: bus de datos
- Líneas finas: bus de control → chip select, microorden sumar, cargar registro, etc ..
- Ver *applet* de la ruta de datos del apartado Imágenes
- Diseño del datapath
 - determinar que microunidades son necesarias
 - cómo conectarlas
 - Qué microseñales accionar y cuándo en cada microoperación. Paralelismo a nivel de microoperaciones
 - ubicación y temporización de los datos según la secuencia del diagrama de estados de la UC
 - $AC \leftarrow [PC] + M[CS:SP] \Rightarrow$ microoperaciones asociadas y diagrama de tiempos

7.7.6. Unidad de Control Microprogramada

- Unidad de Control Microprogramada vs Cableada
- Microcableada: El secuenciador o FSM de la unidad de control ejecuta *directamente* las instrucciones en código máquina almacenadas en la memoria principal
- Microprogramada:

- Las instrucciones máquina (ISA) almacenadas en la memoria principal y cuya secuencia constituye el **código máquina** del programa del usuario no son ejecutadas directamente por la UC. En su lugar cada instrucción en código máquina es traducida en una secuencia de **microinstrucciones** y cada microinstrucción genera las microoperaciones o microseñales de la unidad de control que conforman el ciclo de instrucción.
- La secuencia de microinstrucciones asociadas a una microinstrucción constituye el **microcódigo** que se encuentra almacenada en una memoria de sólo lectura (Read Only Memory ROM) interna de la Unidad de control.
- Cambiando o añadiendo microcódigo a nuestra Unidad de Control conseguimos nuevas arquitecturas ISA de una manera más flexible que con la unidad de control cableada.
 - **microcode**

7.8. Arquitecturas CISC/RISC

7.8.1. Introducción

- CISC: Complex Instruction Set Computer
- RISC: Reduced Instruction Set Computer
- CISC y RISC son dos filosofías de diseño de un computador, dos arquitecturas.

7.8.1.1. CISC

- Ejemplos: Motorola 68k, Intel x86.
- Instrucciones de varios bytes y no uniformes.
- Necesita un HW complejo que ocupa mucho espacio y necesita muchos ciclos de reloj.
- La arquitectura del lenguaje ensamblador está próxima a un lenguaje de alto nivel como el lenguaje C por lo que facilita la tarea a los compiladores y a los programadores de lenguaje ensamblador.
- En cambio complica el diseño e implementación de elementos hardware como la CPU.

7.8.1.2. RISC

- Ejemplos: PowerPC, ARM, MIPS and SPARC
- Apuesta por un Hardware sencillo por lo que las instrucciones han de ser sencillas, regulares.
 - Un HW sencillo es rápido y ocupa poca área del chip.
- Inconveniente: Gran número de accesos a memoria para capturar las instrucciones, los operandos y el resultado.
 - Solución: incrementar la memoria interna: el número de Registros internos y la memoria caché. Para lo cual hay espacio debido al HW sencillo.

7.8.1.3. Cuestiones

- Qué arquitectura optimiza el tamaño de bytes del programa
- Qué arquitectura optimiza el tiempo de ejecución de cada instrucción
- Qué arquitectura optimiza el tamaño y coste de fabricación de la CPU
- Qué arquitectura optimiza el consumo
- Qué arquitectura optimiza el número de capturas a memoria. ¿Existe independencia entre captura y ejecución de instrucciones?

7.8.1.4. SW

- Un programa ensamblador de una arquitectura RISC tiene más instrucciones que un CISC
- Cada instrucción RISC se ejecuta en menor tiempo que una CISC.

7.8.2. Tabla Comparativa

- [RISC vs CISC](#)

7.9. Instruction Level Parallelism (ILP)

- [wikipedia](#)
 - Instruction-level parallelism (ILP) es la medida de cuantas instrucciones de un programa pueden ser ejecutadas simultáneamente. El solapamiento de la ejecución de las instrucciones recibe el nombre de instruction level parallelism (ILP)
 - Son dos los mecanismos para conseguir el ILP
 - Hardware
 - Software
- Técnicas de diseño de microarquitecturas que persiguen un solape ILP
 - VLIW
 - Superscalar
 - Pipelining (Segmentación)
 - Out-of-order execution
 - etc

7.9.1. VLIW vs Superscalar

7.9.1.1. VLIW

- Very Long Instruction Words
- La CPU contiene múltiples Unidades de Ejecución
- Una palabra contiene tantas instrucciones como unidades de ejecución.
 - A la palabra se le denomina Instruction Word, la cual contiene múltiples instrucciones máquina.
 - El *compilador* crea las Instrucciones Word con las múltiples instrucciones **asignando** a cada una de ellas una Unidad de Ejecución distinta.
 - Múltiples Instrucciones en Paralelo

7.9.1.2. Superscalar

- La arquitectura superescalar significa que la CPU tiene múltiples Unidades de Ejecución (UE), no confundir con múltiples núcleos (core), y es la *propia CPU* la que **asigna** en tiempo de ejecución los recursos de la máquina a las distintas instrucciones
- Dicha arquitectura permite la ejecución simultánea de múltiples instrucciones.
- Una CPU superscalar n-way significa que puede ejecutar simultáneamente n instrucciones.
- Superscalar no significa multinúcleo. Un único núcleo es superscalar.

7.9.1.3. Comparativa Superscalar-VLIW

- One of the great debates in computer architecture is static vs. dynamic. **static** typically means "let's make our compiler take care of this", while **dynamic** typically means "let's build some hardware that takes care of this". Each side has its advantages and disadvantages. the compiler approach has the benefit of time: a compiler can spend all day analyzing the heck out of a piece of code. however, the conclusions that a compiler can reach are limited, because it doesn't know what the values of all the variables will be when the program is actually run. As you can imagine, if we go for the hardware approach, we get the other end of the stick. there is a limit on the amount of analysis we can do in hardware, because our resources are much more limited. on the other hand, we can analyze the program when it actually runs, so we have complete knowledge of all the program's variables.
- **VLIW** approaches typically fall under the "static" category, where the compiler does all the work.
- **Superscalar** approaches typically fall under the "dynamic" category, where special hardware on the processor does all the work. consider the following code sequence:

```
sw $7, 4($2)
lw $1, 8($5)

$ significa direccionamiento directo
() direccionamiento indirecto indexado
```

- suppose we can run two memory operations in **parallel** [but only if they have **no dependencies**, of course]. are there dependencies between these two instructions? well, it depends on the values of \$5 and \$2. if \$5 is 0, and \$2 is 4, then they depend on each other: we must run the store before the load.
 - in a VLIW approach, our compiler decides which instructions are safe to run in parallel. there's no way our compiler can tell for sure if there is a dependence here. so we must stay on the safe side, and dictate that the store must always run before the load. if this were a bigger piece of code, we could analyze the code and try to build a proof that shows there is no dependence. [modern parallelizing compilers actually do this!]
 - if we decide on a SUPERSCALAR approach, we have a piece of hardware on our processor that decides whether we can run instructions in parallel. the problem is easier, because this dependence check will happen in a piece of hardware on our processor, as the code is run. so we will know what the values of \$2 and \$5 are. this means that we will always know if it is safe to run these two instructions in parallel.
 - Hopefully you see some of the tradeoffs involved. dynamic approaches have more program information available to them, but the amount of resources available for analysis are very limited. for example, if we want our superscalar processor to search the code for independent instructions, things start to get really hairy. static approaches have less program information available to them, but they can spend lots of resources on analysis. for example, it's relatively easy for a compiler to search the code for independent instructions.

7.9.2. Pipeline (Segmentacion)

- Pipeline: cauce o tubería.
- Ejemplo de Lavado de coches
 - Fases: Humedecer - Enjabonar - Cepillar - Aclarar - Secar - Abrillantar
- Máquina Secuencial
 - Cola de coches ante la máquina
 - Si un coche está en cualquiera de las fases no entra el siguiente coche.
 - El intervalo de tiempo de salida de coches será la suma de todas las fases. ¿Cada cuánto tiempo sale un coche del lavadero?
 - **Throughput (Producción):** Número de coches de salida por unidad de tiempo
- Segmentación frente a Secuencial.

- En lugar de tener una máquina que realice todas la fases tenemos máquinas independientes que realizan cada fase.
 - El intervalo de tiempo de salida de coches será el de la duración de la fase de mayor duración.
 - El throughput, del número de coches atendidos por unidad de tiempo, aumenta.
- Flujo de Instrucciones con segmentación en 2 etapas

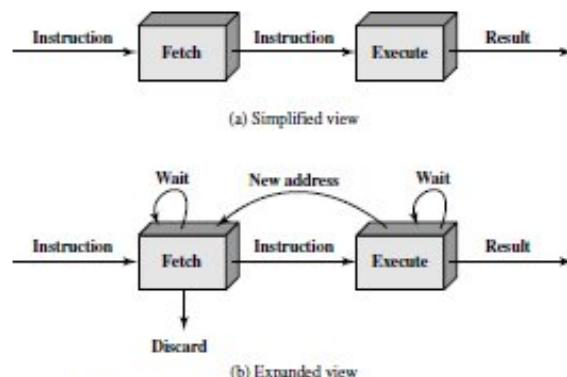


Figure 12.9 Two-Stage Instruction Pipeline

Figura 7.6: Segmentación en 2 etapas

- En caso de que los tiempos de cada etapa sean distintos o halla penalización por saltos en el flujo , se producirán tiempos de espera.

| | Time → | | | | | | | | | | | | | |
|---------------|--------|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| Instruction 1 | FI | DI | CO | FO | EI | WO | | | | | | | | |
| Instruction 2 | FI | DI | CO | FO | EI | WO | | | | | | | | |
| Instruction 3 | | FI | DI | CO | FO | EI | WO | | | | | | | |
| Instruction 4 | | | FI | DI | CO | FO | EI | WO | | | | | | |
| Instruction 5 | | | | FI | DI | CO | FO | EI | WO | | | | | |
| Instruction 6 | | | | | FI | DI | CO | FO | EI | WO | | | | |
| Instruction 7 | | | | | | FI | DI | CO | FO | EI | WO | | | |
| Instruction 8 | | | | | | | FI | DI | CO | FO | EI | WO | | |
| Instruction 9 | | | | | | | | FI | DI | CO | FO | EI | WO | |

Figure 12.10 Timing Diagram for Instruction Pipeline Operation

Figura 7.7: Diagrama de tiempos con segmentación de 6 etapas

| | Time → | | | | | | | Branch penalty ← | | | | | | |
|----------------|--------|----|----|----|----|----|----|------------------|----|----|----|----|----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| Instruction 1 | FI | DI | CO | FO | EI | WO | | | | | | | | |
| Instruction 2 | | FI | DI | CO | FO | EI | WO | | | | | | | |
| Instruction 3 | | | FI | DI | CO | FO | EI | WO | | | | | | |
| Instruction 4 | | | | FI | DI | CO | FO | | | | | | | |
| Instruction 5 | | | | | FI | DI | CO | | | | | | | |
| Instruction 6 | | | | | | FI | DI | | | | | | | |
| Instruction 7 | | | | | | | FI | | | | | | | |
| Instruction 15 | | | | | | | | FI | DI | CO | FO | EI | WO | |
| Instruction 16 | | | | | | | | | FI | DI | CO | FO | EI | WO |

Figure 12.11 The Effect of a Conditional Branch on Instruction Pipeline Operation

Figura 7.8: Diagrama de tiempos. Salto incondicional

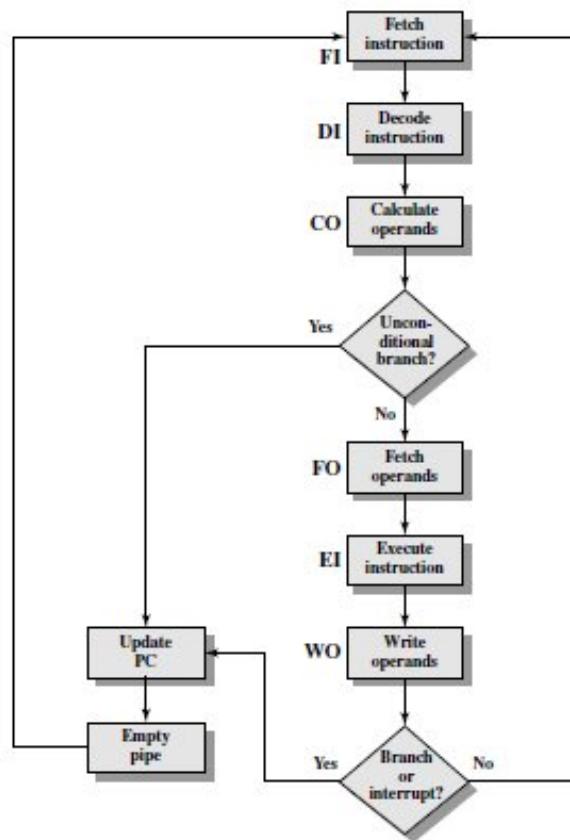


Figura 7.9: Flujo de instrucciones con segmentación de 6 etapas

7.10. Ejercicios

- Capítulo 12 del libro de texto William Stalling.
- Capítulo 13 del libro de texto William Stalling

7.11. Imagenes

- [Imagenes](#)

Capítulo 8

Mecanismos de Entrada/Salida

8.1. Temario

1. Sistema de entrada / salida
 - a. Sincronización por encuesta
 - b. Sincronización por interrupción
 - c. Vector de interrupciones
 - d. Acceso directo a memoria DMA
 - e. Programación en lenguaje ensamblador de rutinas de entrada/salida

8.2. Bibliografía

- Libro de Texto:
 - Estructura y Organización de Computadores. William Stalling: Capítulo 7

8.3. Periféricos

8.3.1. Ejemplos

- Teclado
- Monitor
- Disco Duro
- Red
 - LAN
 - Wifi
- Periférico externo
 - Pen-Drive
- De cada ejemplo info de:
 - modelo y link a características
 - interfaz: bus eléctrico, protocolo de comunicaciones
 - ancho de banda

8.3.2. Modelo

- Media : Magnético (HD), Mecánico (Robot), Optico (CD), Eléctrico (pen drive), etc
 - Electrónica analógica.
- Driver HW
 - Interfaz con el media:
 - las señales que actuan sobre el media son de distinto tipo: optica (luz), mecánica (pneumático), acústica, etc. Estas señales se obtienen normalmente de la transformación de una señal eléctrica: interfaz eléctrico/optico, eléctrico/mecánico, eléctrico/acústico
 - Ej: Un altavoz
 - Ej: Un Láser con el disco óptico.
 - Ej: El modulador electrónico del láser
- Controlador del Periférico (**MCU: MicroController Unit**)
 - **Imagen de un controlador de disco**
 - El Controlador da órdenes al Driver HW
 - Es un secuenciador que interpreta **Comandos** (lenguaje específico para tareas del periférico) cuya ejecución realizará funciones propias del periférico.
 - Lenguaje de comandos. Command Set Architecture (CSA) ¿ISA?
 - ◊ **Lenguaje SCSI**
 - ◊ **Lenguaje ATA / ATAPI**
 - ◊ ATA Command Set (ACS): ejemplo de comandos IDENTIFY, READ DMA, WRITE DMA and FLUSH CACHE commands
 - comandos de transferencia de datos, de control (operaciones mecánicas como girar), de test (estado del periférico: conectado, desconectado)
 - Ej: en el caso de un disco el comando "girar a determinadas revoluciones". El disco integra un secuenciador propio, un MCU.
- Firmware
 - El set de comandos del periférico son interpretados por el software (firmware) cargado en la memoria del controlador MCU. Dicho software ha sido grabado por el fabricante del periférico. El usuario únicamente podrá escribir en el periférico algunos parámetros de configuración del periférico siendo accesible el Firmware únicamente por el fabricante.

8.4. Teclado

- Estructura



- Códigos



- Driver

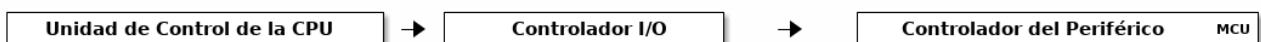
8.5. Arquitectura Computadora

8.5.1. Von Neumann

- 3 unidades básicas
 - Controlador i/o
 - Controlador auxiliar, no central, con dedicación específica a las operaciones E/S.
 - Subsistema de Entrada/Salida : es uno de los 3 componentes del modelo Von Neumann
 - Es necesario acceder a la máquina para:
 - Introducir el programa : Desde un soporte de almacenamiento (papel, disco, etc) ha de cargarse el programa en la memoria
 - Extraer el resultado generado por la máquina: Desde la memoria los resultados han de almacenarse en un soporte de almacenamiento (disco, impresora, etc), visualizarse (pantalla, etc), transferirse (red, etc).
- Dispositivos Periféricos
 - Son recursos hardware que complementan y extienden los servicios del tandem CPU-MEMORIA facilitando las tareas del programador y del usuario.
 - Gran diversidad: teclado, monitor, ratón, discos, tarjeta video, tarjeta red, ...
 - diferencia de complejidad entre un teclado y un disco duro
- La CPU normalmente es un recurso único compartido por todos los programas y por todos los periféricos.

8.5.2. Conexión CPU-E/S

- La arquitectura está formada, por lo tanto, por dos controladores: CPU y MCU. La CPU tiene un controlador generalista (CPU) mientras que el periférico tiene un controlador (MCU) muy específico. El lenguaje máquina de la CPU es generalista mientras que el lenguaje máquina del periférico es muy específico.
 - El periférico se comporta como una máquina **servidor** con su propio procesador. Podemos hablar de la máquina **host** (anfitrión) y de la máquina **server**. El controlador host es la CPU de la computadora y el controlador server es la MCU del periférico.
 - La CPU no se comunica directamente con el MCU sino que delega la tarea de los periféricos a procesadores no centrales, es decir, a los controladores I/O. La arquitectura típica de la computadora es la de un Procesador Central y un Set de controladores i/o que Intel denomina **Chipset**

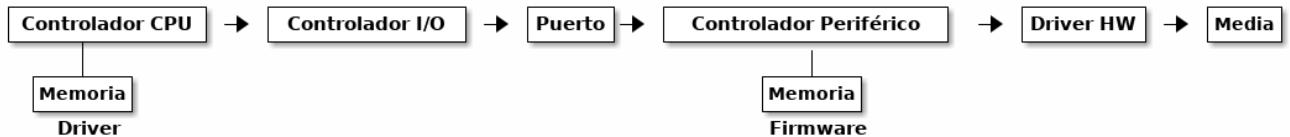


- Ejemplo: Disco Duro
 - Seagate Momentus 7200.4 500GB 7.2K 2.5-inch SATA Hard Drive ST9500420AS
 - video del movimiento del brazo
 - Disk buffer: memoria interfaz entre la transferencia del drive y la transferencia i/o del puerto.
 - Controlador Atmel casero: Disco Sata con controladora Atmel e interfaz ethernet.

8.5.3. Controlador I/O

8.5.3.1. Introducción

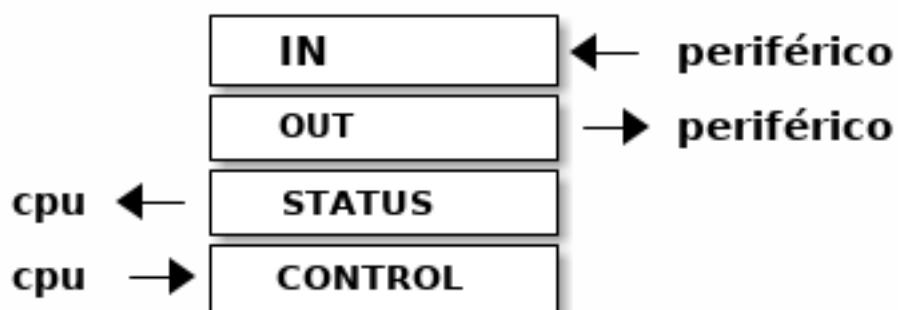
- Periférico remoto:
 - Ej:PC---→SATA---→Compact Disc
- Controlador I/O del PC :
 - NO es la Unidad de Control de la CPU
 - Es uno de los 3 elementos básicos de la arquitectura Von Neumann
 - La CPU delega en otro controlador denominado controlador I/O la ejecución de las instrucciones máquina de entrada/salida.
 - Es necesario una INTERFAZ entre la CPU y el PERIFERICO
 - ISA:Instrucciones máquina de entrada salida de la cpu: de lectura (IN) y de escritura (OUT). Comunicación en ambos sentidos.
 - Se transfieren tanto los DATOS como los COMANDOS del periférico.
 - William denomina al controlador I/O con el nombre Módulo de E/S
 - Es el controlador I/O el que transfiere los comandos y los datos al controlador del periférico.
 - El controlador del periférico interpretará los COMANDOS recibidos del controlador I/O y escribirá o/y leerá los DATOS.
 - Ejemplo:The Advanced Host Controller Interface (AHCI) is a technical standard defined by Intel that specifies the operation of Serial ATA (SATA) io controller (host bus adapters).
- Estructura



8.5.3.2. Puertos

- Los puertos son registros de memoria implementados en el controlador i/o.
 - Un puerto está formado por distintos tipos de registros: entrada de datos, salida de datos, estado del periférico, control del periférico

controlador i/o puerto



- El **controlador I/O** controla y ejecuta las comunicaciones a través de sus puertos.
 - Ej: Controlador I/O con puerto SATA
- **Puerto** de comunicaciones: Acceso al otro interlocutor (el periférico en este caso)
- Un controlador I/O puede tener varios puertos y controlar las comunicaciones con varios periféricos.
- Un puerto puede ser compartido por varios periféricos
- Linux
 - `cat /proc/ioports`

8.5.4. Espacio de direcciones

- Las direcciones i/o del puerto del controlador i/o se puede implementar de dos formas:
 - puertos mapeados en la memoria principal
 - direcciones de los puertos en un espacio diferente de la memoria principal: espacio i/o.

8.5.4.1. Memory-Mapped I/O (MMIO)

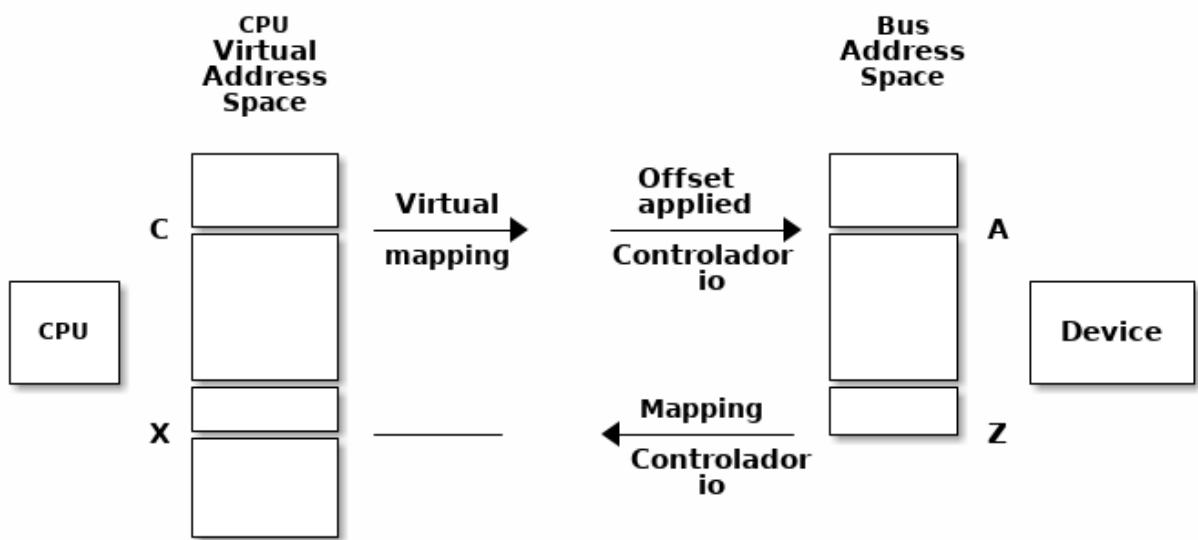
- Main Memory Address Space
- El bus del sistema shares memory address space between I/O devices and program memory
- Interface to the I/O is treated as a set of primary memory locations (Memoria principal)
- Software drivers determine meaning of data stored or retrieved.
- Loss of some memory space (8086 - 300K) because it is reserved for I/O interfaces. Less important with 4GiB address space.
- All instruction modes available → Todo el repertorio de instrucciones, no solo IN,OUT.
- May slow overall memory bus access down.
- Can limit or complicate contiguous memory range.
- Original x86 architecture had a 1MiB boundary because I/O was mapped above 640K.

8.5.4.2. Port mapped I/O (PMIO)

- I/O Address Space
- CPU has separate set of instructions that access specific pin on CPU that act as ports or that cause a demux to connect the address and data pin-outs to a different set of lines tied to i/o.
- Separate bus tied to I/O devices. CPU can go back to using memory bus while I/O devices responds.
- Adds complexity to CPU design.
- Often limited set of instructions. May need to write to memory before other actions can be taken.

8.5.4.3. Direcciones de los periféricos

- Driver
 - El programa driver es un proceso i/o que utiliza el mecanismo de memoria virtual igual que el resto de procesos.
 - Mapa en el fichero `/proc/iomem`
- Periférico
- Al espacio de direcciones utilizado por los periféricos se le denomina **bus address space**
- Hará falta mapear, traducir, direcciones bus a direcciones virtuales de la cpu
 - Mapa en el fichero `/proc/ioports`



8.5.5. Buses

- Tipos de buses
 - del procesador: bus interno a la cpu
 - de memoria: bus entre el controlador de memoria y la memoria principal
 - del sistema: bus externo a la cpu para el interconexión de dispositivos externos como la memoria principal y los controladores i/o de los periféricos.
 - local: bus i/o corto que permite elevados anchos de banda
 - de expansión: bus i/o largo que permite la conexión de múltiples *tarjetas*
 - periférico: bus i/o que permite conectar dispositivos externos a la computadora



- Bus i/o local: vlb, PCI, AGP
- Bus i/o de expansión: ISA, EISA

- Conexión directa de la tarjeta i/o al bus de expansión de la placa base a través de *slots*:
- Bus periférico: SCSI, SATA, USB, RS232
 - Conexión externa a través de un *cableado*
- La arquitectura del bus io la componen
 - Interfaz (cable y conector)
 - Protocolo de comunicaciones: set of standardized rules for consistent interaction between system and i/o devices, including physical properties, access methods, data formats, etc. El Bus da nombre al protocolo.
 - Lenguaje de comandos
- Ejemplos prácticos
 - ISA
 - Industry Standard Architecture
 - PC/XT 8086 (1983) 8 bits
 - 4 canales DMA
 - PC/AT i286 (1984) 16 bits
 - 16 MB/s
 - 7 canales DMA
 - 11 líneas IRQ
 - EISA
 - Extended Industry Standard Architecture
 - PC Clon: i386-i486 (1988)
 - 32 Bits
 - Alternativa de los clónicos al propietario MCA de IBM en su PS/2
 - 33 MB/s de velocidad de transferencia para buses maestros y dispositivos DMA
 - 7 canales DMA
 - 15 líneas IRQ
 - MCA
 - Micro Channel Architecture
 - IBM PS/2 (1987)
 - 32 bits
 - PCI: Peripheral Component Interconnect
 - PCI Express
 - *listado de anchos de banda*
- <http://www.karbosguide.com/hardware/module2b2.htm>
 - El controlador i/o se conecta indirectamente al bus del sistema (CPU-MP) a través de los puentes (bridges)
- Intel
 - Intel ha evolucionado de los puentes ICH con el puente Sur y Norte a un Concentrador Central PCH
 - Observar que la CPU integra el controlador de memoria integrado (IMC) y controladores i/o de video (PCI-E Graphics)

8.5.6. Análisis: Portátil Lenovo - Disco Duro

- Ruta de la transferencia de datos entre el disco duro y la memoria principal en la computadora Lenovo T520
- Disco (ATA disk, ST9500420AS Seagate) → Driver Mecánico/Electrico/Magnético → Micro del Disco (SATA Interface, Seagate) → Bus i/o serie(SATA 6Gb/s) → Host Adapter (Platform_Controller_Hub PCH, ChipSet 200C/6 Series, SATA AHCI Controller) → Flexible Display Interface (FDI) → CPU (Intel Core i5)
- SATA: Serial Advanced Technology Attachment is a computer bus interface that connects host bus adapters (controladora de disco) to mass storage devices (MCU, MicroControllerUnit) such as hard disk

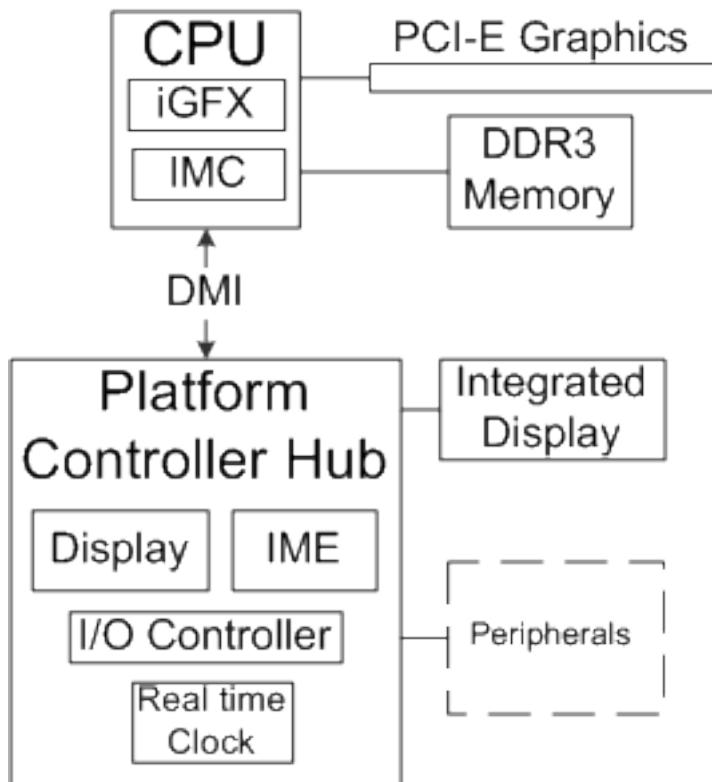


Figura 8.1: Lenovo T520

8.6. Programa E/S

- Programmed i/o (PIO)
 - Las transferencias de datos mediante mecanismos de E/S por consulta y por interrupción son mecanismos controlados por un programa i/o (PIO) que ejecuta la CPU .

8.6.1. Módulo fuente

- Transferencia de 512 bytes entre el puerto 0x380 y un buffer.

```

mov %bx,buf ; destination address. BX es un puntero a un buffer
mov $512,%si ; count. Número de bytes a transferir
mov $0x380,%dx ; source port. DX es un puntero al puerto
loop:

```

```

in %dx,%al ; get byte from i/o port. AL<-DX
mov %al,(%bx) ; store in buffer      M[bx]<-AL
inc %bx ; next memory location in buf
dec %si ; decrement bytes left
jnz loop

```

8.6.1.1. ISA

- IN: leer un dato del puerto
- OUT: escribir un dato en el puerto

8.7. Driver: Sistema Operativo

8.7.1. Gestor E/S: jerarquía

- La gestión de las operaciones E/S las realiza el Sistema Operativo
- La estructura del programa gestor E/S del sistema operativo se basa en una estructura jerárquica por niveles:
 - Nivel más bajo: controlador sw (módulo driver) del controlador hw i/o del periférico.
 - Nivel más alto: Sistema virtual de ficheros. Las aplicaciones acceden a los periféricos mediante la abstracción de estos en ficheros virtuales.

8.7.2. Código Fuente

- Pseudo-código

```

While (STATUS == BUSY)
    ; // wait until device is not busy . Puerto ocupado.
Write data to DATA register // dato a transmitir el puerto out
Write command to COMMAND register // registro de control
    // Doing so starts the device and executes the command
While (STATUS == BUSY)
    ; // wait until device is done with your request

```

8.7.3. Concepto

- El programa que implementa las funciones del periférico es un *módulo del kernel* denominado DRIVER
 - Driver del teclado, monitor, disco duro,
- Capas SW:



- Ejemplo: Escritura de un fichero en el disco duro

- write → syscall → OUT → comando propio del HD



- Espacio de usuario: write (función de escritura de datos), syscall (llamada al módulo gestor de E/S del Sistema Operativo)
- Espacio kernel del S.O.: Driver: Orden interpretada por la CPU y ejecutada por el controlador I/O para transferir datos (comandos y datos) entre Memoria y el Controlador Periférico
- Espacio periférico: Comandos a Interpretar por el Periférico (Firmware) y transferencia de Datos.

8.7.4. Utilizacion del Driver

- El driver está protegido por el Sistema Operativo. Hay funciones como ioctl que permite al usuario interactuar con el driver.
 - La interfaz entre el usuario y el driver son las llamadas al sistema operativo.
 - Mediante la instrucción máquina SYSCALL (x86-64) o int 0x80 (x86-32) llamamos indirectamente a las funciones del driver a través del sistema operativo.
- Ejemplo
 - Imprimir en la pantalla: open, write, close → open y close interactúan con el sistema de ficheros virtual.

8.8. Mecanismos de Implementación de la Interfaz E/S

8.8.1. Introducción

- All data manipulation not directly performed in the CPU or between CPU and primary memory is I/O.
- PIO: Polling o Interrupción
- DMA: Direct Memory Access

8.8.2. Sincronización por Encuesta

- Polling: encuesta
- Query: encuesta
- Mecanismo
 - Comprobación del estado o *encuesta-polling*
 - La CPU consulta el registro de estado de cada puerto al que están conectados los periféricos. Comprueba si algún periférico requiere el servicio de la CPU. Reserves a register for each I/O device. Each register is continually polled to detect data arrival.
 - Es necesario ejecutar programas de atención al periférico cuando este lo requiera: sincronización
 - El anfitrión consulta el bit de estado del controlador i/o
 - Identificación
 - Una vez aceptada la petición del cliente (controlador i/o)
 - ◊ El controlador identifica el periférico que solicita el servicio
 - ◊ Comunica al S.O. qué periférico

- Estructura

- CPU:
 - Ejecuta el programa i/o: un programa que controla DIRECTAMENTE la operación E/S: Programmed I/O → PIO
 - realiza las transferencias entre la memoria principal y el controlador i/o
 - *espera* al periférico hasta que termine. La CPU espera hasta que concluya la operación E/S.
- Memoria principal: almacena el programa i/o
- Controlador i/o
 - Puerto: Un puerto está compuesto por REGISTROS del tipo datos, control, test
 - transfiere los datos al periférico

8.8.3. Sincronización por Interrupción

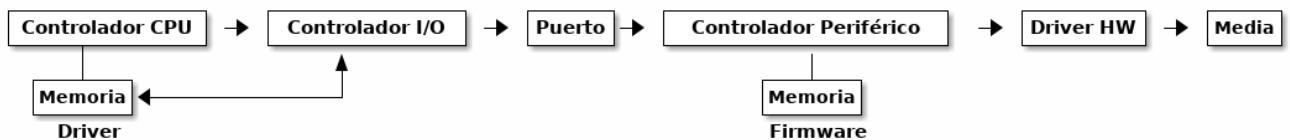
- Interrupt-Driven I/O (Mecanismo de E/S por Interrupción)

- Estructura

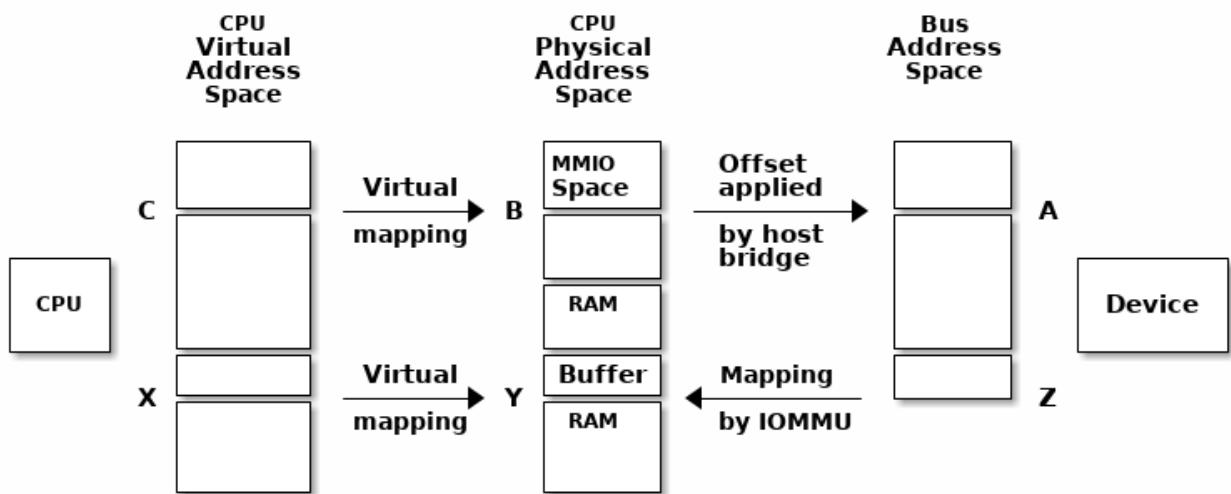
- CPU:
 - Ejecuta el programa i/o. un programa que controla DIRECTAMENTE la operación E/S. Programmed I/O → PIO
 - realiza las transferencias entre la memoria principal y el controlador i/o
 - **no espera** al periférico hasta que termine. Es *interrumpido* cada vez que es necesario realizar una transferencia
 - Al finalizar el ciclo de instrucción de cada instrucción que ejecuta la CPU, se comprueba si la señal de petición de interrupción está activada.
 - Memoria principal: almacena el programa i/o
 - Controlador i/o
 - Puertos: datos, control, test
 - transfiere los datos al periférico
- allows the CPU to do other things until I/O is requested
 - Interrupt request - Driven I/O (Still PIO - CPU has to move data)
 - I/O devices can request the attention of CPU with an interrupt at any time, but only when needed.
 - CPU can dedicate extended time for particular device.
 - CPU does not have to check in on I/O that does not need attention.
 - CPU can delay processing of I/O request.
 - Newer systems - cpu hands off transfer of data to secondary controller, which only interrupts cpu on completion of task or problem.
 - Requires external circuitry.
 - e.g 8259A programmable interrupt controller (PIC). CPU may have to communicate with the PIC to identify requesting device.
 - Programmed input/output (PIO) is a method of transferring data between the CPU and a peripheral such as a network adapter or an ATA storage device. In general, programmed I/O happens when software running on the CPU uses i/o instructions that access I/O address space to perform data transfers to or from an I/O device. This is in contrast to Direct Memory Access (DMA) transfers.
 - The best known example of a PC device that uses programmed I/O is the ATA interface;

8.8.4. Direct Memory Access (DMA)

- Estructura



- Mapeo de direcciones
- Hará falta una unidad hardware de traducción de direcciones bus a direcciones físicas : iommu



- Estructura

- CPU:
 - Ejecuta el programa i/o. El programa no controla la transferencia pero sí la inicializa (número de bytes a transferir, localización en la memoria principal, localización en el periférico, control errores, etc)
 - Cede el control de las transferencias al controlador DMA (DMAC), offloads I/O processing to a special-purpose chip that takes care of the details. La transferencia la controla y realiza el DMAC por Hardware → No es por programa como el PIO.
- Memoria principal: almacena el programa i/o
- Controlador i/o
 - es el controlador DMA
 - Puertos: los puertos ahora no son para los datos de transferencia, únicamente para el control CPU-DMA
 - transfiere los datos entre la memoria principal y el periférico
 - el controlador no espera al periférico
 - Direct Memory Access controller.

Handles I/O interaction without the intervention of the CPU after initial CPU interaction. Uses interrupts to report status back to CPU. Requires separate arbitration protocol - shares buses with CPU. Predefined standardized tasks. CPU NOT occupied but may have to compete for resources.

8.8.5. Channel I/O

- uses dedicated I/O processors
 - Channel I/O (Mainframe or Supercomputer)
 - Estructura: integra la unidad DMA más un procesador específico.
 - Programable: ejecuta el *channel program* almacenado en la memoria principal. (Diferencia con DMA).
 - Transfiere datos (Memoria principal \leftrightarrow Periférico) independientemente de la CPU

8.8.5.1. Memory Shared

- Estructura
 - CPU
 - cede el control de las transferencias al procesador o canal i/o
 - Memoria principal: almacena el programa i/o
 - Procesador i/o
 - Es el canal i/o
 - Ejecuta el programa i/o almacenado en la memoria principal
 - Puertos: los puertos ahora no son para los datos de transferencia, únicamente para la control CPU-DMA
 - transfiere los datos entre la memoria principal y el periférico
 - Memoria Principal
 - Compartida entre la CPU y el Canal_IO

8.8.5.2. Memory Independent

- Estructura
 - CPU
 - cede el control de las transferencias al procesador o canal i/o
 - Memoria principal: almacena el programa i/o
 - Procesador i/o
 - Es el canal i/o
 - Ejecuta el programa i/o almacenado en la memoria principal
 - Puertos: los puertos ahora no son para los datos de transferencia, únicamente para el control CPU-DMA
 - transfiere los datos entre la memoria principal y el periférico
 - Memoria Principal
 - Accesible sólo por la CPU
 - Memoria IO
 - Accesible sólo por el canal_IO

8.9. Sincronización por Interrupción

- Extensión del apartado anterior sobre implementación de la interfaz i/o driven-interruption.

8.9.1. Concepto

- El inconveniente del Polling es que la CPU realiza la consulta aunque el periférico no requiera sus servicios.
- El periférico toma la iniciativa y solicita la INTERRUPCIÓN del programa que este ejecutando para ejecutar el programa requerido por el periférico

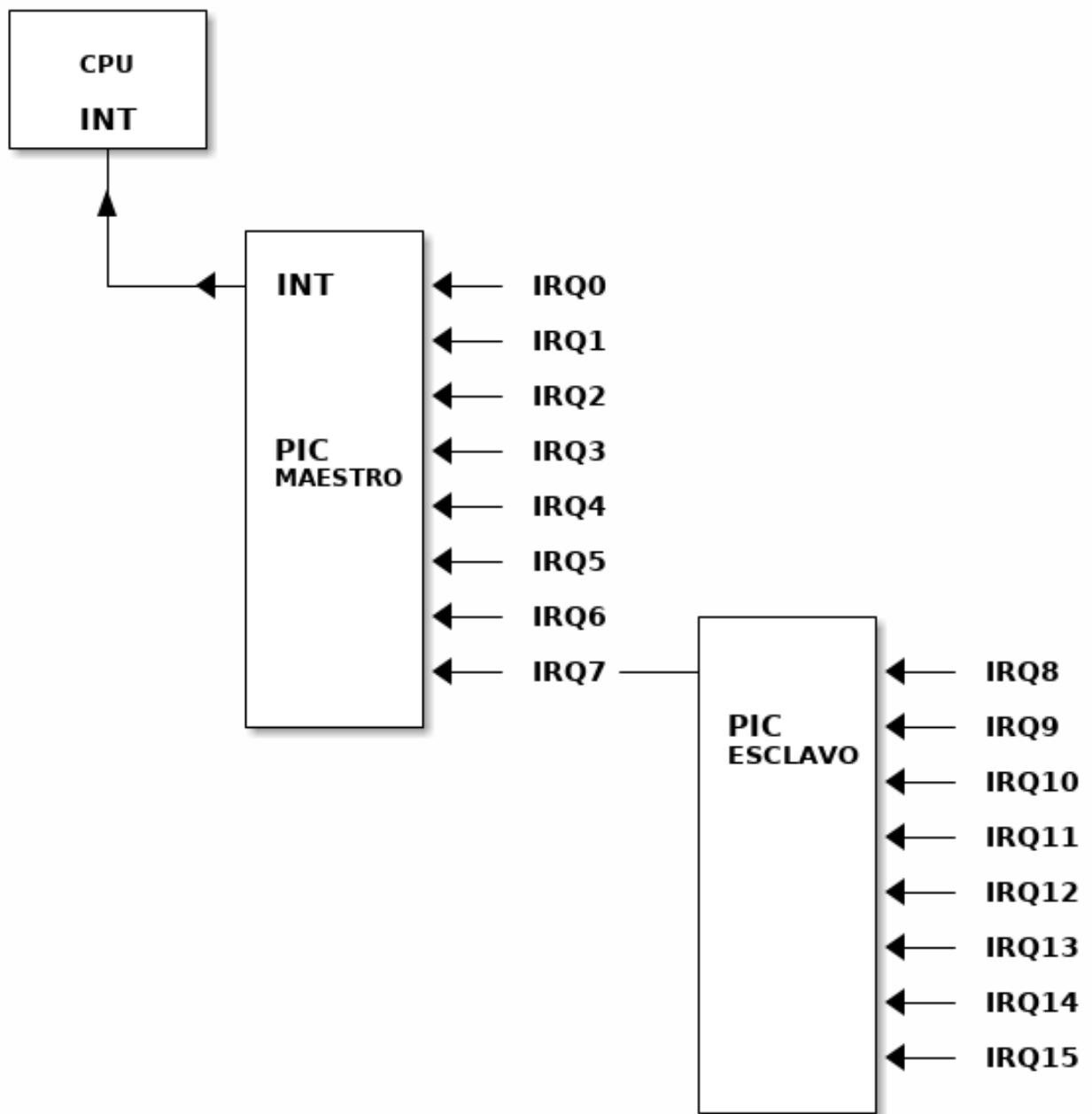
8.9.2. Mecanismo de Interrupcion

- El periférico a través de una línea eléctrica de entrada de la CPU, solicita al controlador i/o los servicios del kernel
 - El kernel va a ser **INTERRUMPIDO**
- La CPU tiene dos líneas de interrupción:
 - Línea Interrupt ReQuest (*IRQ*) : Maskable
 - Línea Non Maskable Interrupt (*NMI*)
 - La CPU en el ciclo de instrucción tiene en su última fase la fase de Chequeo de Interrupción
 - Si se está solicitando un servicio al kernel, la CPU entra en modo atención a la interrupción y pasa el control al módulo de **Gestión de Interrupciones** del Kernel
- Las lineas de los periféricos para solicitar la interrupción se denominan (*IRQ*).

8.9.3. Controlador de Interrupciones

8.9.3.1. PIC

- Controlador de Interrupciones Programable
 - **PIC** : Programmable Interrupt Controller
 - Se utiliza en arquitecturas cuya CPU tiene un único núcleo.
 - Tiene como entrada todas las líneas de interrupción de los periféricos
 - Salidas: INT (petición de interrupción) y D0-D7 (Control,Status and Interrupt-Vector)
- Ejemplo : **PIC 8259**
- Conexión daisy-chain
 - Maestro - Esclavo



■ Acciones que realiza el controlador PIC

- Chequea si se activa alguna señal (Monitorización). En caso de activarse más de una se dar prioridad a la de menor nivel y procede:
 - **Convierte** la línea activada **IRQn** en un vector (0x00-0xFF)
 - Escribe en el puerto i/o del PIC el vector. El puerto es accesible por parte de la CPU. El vector se apunta a la entrada de una tabla que contiene un puntero a la rutina de atención a la interrupción (ISR)
 - Activa la señal **INTR** de la CPU
 - Si la CPU lee el valor del vector se desactiva la señal **INTR**
- A la línea **IRQn** le corresponde, por defecto según Intel, el vector $n+32$. Este mapeo se puede alterar programando el PIC.

- A la línea IRQ0 le corresponde el vector 0x20
- Cada línea IRQ se puede desautorizar por programa pero dicha interrupción no se pierde.
- Mediante la instrucción `cli` se hace un clear del flag IF del registro EFLAGS, ignorando la CPU todas las interrupciones hardware.
 - Mediante la instrucción `sli` hacemos un set de IF.

8.9.3.2. NMI

- Es una entrada de la cpu.
- The NMI (is a hardware driven interrupt much like the PIC interrupts but the NMI goes directly to the CPU, and not via the PIC controller).
- Aplicaciones
 - Temporizador watchdog
 - Es un temporizador que hay que poner a cero regularmente. Si la cpu está bloqueada no podrá resetear el temporizador y este generará un interrupción NMI con lo que el contador de programa se cargará con una dirección que apunta a la rutina de atención a la interrupción NMI cuya ejecución desbloqueará el estado de la cpu.

8.9.3.3. Intel

- Intel
 - 1º generation of interrupts (XT-PIC): only supported 15 interrupts.
 - 2º generation (IO-APIC): number of supported interrupts to 24.
 - APIC : Advanced Programmable Interrupt Controller: Utilizado en modernas arquitecturas multinúcleo.
 - 3º generation, MSI: number of available interrupts to 224.

8.9.4. Gestor de Interrupciones

- El Gestor de Interrupciones está implementado por el S.O.: entry.S en la versión linux 2.x
- Identifica al solicitador de la interrupción para poder ejecutar la rutina específica de atención a dicha interrupción.
- Anula la posibilidad de ser interrumpido por otros dispositivos no prioritarios, a través del flag IF , bit 9 del registro de control rflags de la CPU.
- Consulta el Vector de interrupciones (Tabla de punteros a las rutinas de atención a la interrupción).
- Salva el entorno del programa en ejecución que va a ser interrumpido.
- Activa la rutina Interrupt Service Routine (*ISR*).
 - Autoriza nuevamente las interrupciones
 - Dicha rutina estará implementada en el módulo driver del kernel.

8.9.5. Tipos de Interrupciones

- Intel define dos tipos de Interrupt Signals

- **Síncronas**

- Son originadas por la propia CPU al final del ciclo de instrucción en la fase de interrupción
- Se denominan *exceptions*
- *Interrupt Software* : originadas por la instrucción `syscall`: Llamadas al Sistema
- Originadas por un *Error*: Fault, Trap, Abort.

- **Asíncronas**

- Originadas por los periféricos o hardware que no es la CPU
- Se denominan *interruptions* o *hardware interruptions*
- Maskable: IRQ
- Non-Maskable: NMI

8.9.6. Tabla de los Vectores de interrupciones

8.9.6.1. Modo Real: Tabla IVT

- En plataformas con S.O. al encender la computadora (arranque con bootloader) la CPU está operando inicialmente en *Modo Real* y en plataformas sin S.O. (arranque con BIOS) la cpu opera permanentemente en Modo Real. En plataformas con S.O. el arranque se inicia en modo real y se configura la computadora para pasar al modo protegido antes de cargar el S.O. en la memoria principal.
- Real Mode :
- Is a simplistic 16-bit mode that is present on all x86 processors: Equivale a comportarse como la antigua cpu 8086.
- la cpu 8086 tiene 20 bits de direcciones y 16 bits de datos.
- A real mode pointer is defined as a 16-bit segment address and a 16-bit offset into that segment
 - El segmento se expande a 20 bits multiplicando x4.
- 2^{20} :El Código tiene que estar en el primer Mega de la memoria RAM
- Permite el acceso a funciones de la BIOS.

- **Tabla de interrupciones BIOS**
- **Tecnología del PC**

```
MOV AH, 0Eh ; Imprime carácter en la pantalla
MOV AL, '!' ; carácter a imprimir
INT 10h      ; Llamada a las funciones de video del BIOS
```

- Tabla IVT.

| Interrupt Address | Type | Description |
|-------------------|-----------|---------------------------------|
| 00h | Processor | Divide by zero |
| 01h | Processor | Single step |
| 02h | Processor | Non maskable interrupt (NMI) |
| 03h | Processor | Breakpoint |
| 04h | Processor | Arithmetic overflow |
| 05h | Software | Print screen |
| 06h | Processor | Invalid op code |
| 07h | Processor | Coprocessor not available |
| 08h | Hardware | System timer service routine |
| 09h | Hardware | Keyboard device service routine |

| | | | |
|---------|-------------------------|----------|--|
| 0Ah | 0000:0028h | Hardware | Cascade from 2nd programmable interrupt controller |
| 0Bh | 0000:002Ch | Hardware | Serial port service - COM port 2 |
| 0Ch | 0000:0030h | Hardware | Serial port service - COM port 1 |
| 0Dh | 0000:0034h | Hardware | Parallel printer service - LPT 2 |
| 0Eh | 0000:0038h | Hardware | Floppy disk service |
| 0Fh | 0000:003Ch | Hardware | Parallel printer service - LPT 1 |
| 10h | 0000:0040h | Software | Video service routine |
| 11h | 0000:0044h | Software | Equipment list service routine |
| 12h | 0000:0048h | Software | Memory size service routine |
| 13h | 0000:004Ch | Software | Hard disk drive service |
| 14h | 0000:0050h | Software | Serial communications service routines |
| 15h | 0000:0054h | Software | System services support routines |
| 16h | 0000:0058h | Software | Keyboard support service routines |
| 17h | 0000:005Ch | Software | Parallel printer support services |
| 18h | 0000:0060h | Software | Load and run ROM BASIC |
| 19h | 0000:0064h | Software | DOS loading routine |
| 1Ah | 0000:0068h | Software | Real time clock service routines |
| 1Bh | 0000:006Ch | Software | CTRL - BREAK service routines |
| 1Ch | 0000:0070h | Software | User timer service routine |
| 1Dh | 00000074h | Software | Video control parameter table |
| 1Eh | 0000:0078h | Software | Floppy disk parameter routine |
| 1Fh | 0000:007Ch | Software | Video graphics character routine |
| 20h-3Fh | 0000:0080f-0000:00FCh | SW | DOS interrupt points |
| 40h | 0000:0100h | Software | Floppy disk revector routine |
| 41h | 0000:0104h | Software | hard disk drive C: parameter table |
| 42h | 0000:0108h | Software | EGA default video driver |
| 43h | 0000:010Ch | Software | Video graphics characters |
| 44h | 0000:0110h | Software | Novel Netware API |
| 45h | 0000:0114h | Software | Not used |
| 46h | 0000:0118h | Software | Hard disk drive D: parameter table |
| 47h | 0000:011Ch - | Software | Not used |
| 48h | | Software | Not used |
| 49h | 0000:0124h | Software | Not used |
| 4Ah | 0000:0128h | Software | User alarm |
| 4Bh-63h | 0000:012Ch - | Software | Not used |
| 64h | | Software | Novel Netware IPX |
| 65h-66h | | Software | Not used |
| 67h | | Software | EMS support routines |
| 68h-6Fh | 0000:01BCh | Software | Not used |
| 70h | 0000:01c0h | Hardware | Real time clock |
| 71h | 0000:01C4h | Hardware | Redirect interrupt cascade |
| 72h-74h | 0000:01C8h - 0000:01D0h | Hardware | Reserved - Do not use |
| 75h | 0000:01D4h | Hardware | Math coprocessor exception |
| 76h | 0000:01D8h | Hardware | Hard disk support |
| 77h | 0000:01DCh | Hardware | Suspend request |
| 78h-79h | 0000:01E0h - | Hardware | Not used |
| 7Ah | | Software | Novell Netware API |
| 78h-FFh | 0000:03FCh | Software | Not used |

- El contenido de la tabla depende de la generación de la cpu de intel
- Primera columna: Número del vector de interrupción. Número de la entrada a la tabla de vectores.
- Segunda columna: el offset en la tabla del número de vector de interrupción
- Columna X: Falta en la tabla.
 - El vector de 4 bytes: **Es un puntero a la rutina de atención a la interrupción ISR**
 - La dirección es segmentada. Segmento:Offset. Dos bytes para el segmento y otros dos para el offset
- Direcciónamiento:
 - El Registro IDTR apunta a la primera entrada de la tabla.

- The IVT table is typically located at 0000:0000H, and is 400H bytes in size (**4 bytes for each interrupt of 265 interruptions**).
 - Observamos que podemos obtener la dirección relativa multiplicando el número de interrupción x4.
 - Al vector 9 le corresponde el offset IVT 36, es decir, 0x24 → en forma segmentada 0000:0024h
 - El offset de la última entrada será = 4 x 0xFF = 0x400-4 =0x3FC
- Tipos de interrupciones
- The first 32 vectors are reserved for the processor's internal *exceptions* (0x00-0x1F)
 - Las interrupciones 0x20-0xFF son interrupciones *hardware IRQ*.
 - PIC
 - El controlador PIC es el encargado de mapear la señal IRQ a un vector de entrada a la tabla.
 - Periférico IRQ0 → PIC vector 0x20 → Tabla IVT puntero 0000:0080f (RAM) → llamada a la función ISR de atención al periférico IRQ0 (RAM)

8.9.6.2. Modo Protegido: Tabla IDT

- En las plataformas con S.O. una vez finalizadas las operaciones en modo real el bootloader finaliza la carga del sistema operativo y la cpu se configura en modo protegido no pudiendo el usuario: ejecutar módulos del S.O como los drivers, acceder a cualquier región de la memoria física, registros privilegiados, instrucciones privilegiadas,...
- El S.O. configura la tabla de descripción de interrupciones IDT con la misma función que la IVT pero distinto contenido.
- **Interrupt Descriptor Table IDT**

| IDT Offset | INT # | Description |
|------------|-----------|--|
| 0x0000 | 0x00 | Divide by 0 |
| 0x0004 | 0x01 | Reserved |
| 0x0008 | 0x02 | NMI Interrupt |
| 0x000C | 0x03 | Breakpoint (INT3) |
| 0x0010 | 0x04 | Overflow (INTO) |
| 0x0014 | 0x05 | Bounds range exceeded (BOUND) |
| 0x0018 | 0x06 | Invalid opcode (UD2) |
| 0x001C | 0x07 | Device not available (WAIT/FWAIT) |
| 0x0020 | 0x08 | Double fault |
| 0x0024 | 0x09 | Coprocessor segment overrun |
| 0x0028 | 0x0A | Invalid TSS |
| 0x002C | 0x0B | Segment not present |
| 0x0030 | 0x0C | Stack segment fault |
| 0x0034 | 0x0D | General protection fault |
| 0x0038 | 0x0E | Page fault |
| 0x003C | 0x0F | Reserved |
| 0x0040 | 0x10 | x87 FPU error |
| 0x0044 | 0x11 | Alignment check |
| 0x0048 | 0x12 | Machine check |
| 0x004C | 0x13 | SIMD Floating Point Exception |
| 0x00xx | 0x14-0x1F | Reserved |
| 0x0xxx | 0x20-0xFF | User definable → IRQ |

- El contenido depende del kernel del S.O.
- Primera columna: offset a la rutina de atención a interrupción ISR

- Segunda columna: número del vector de interrupción.
- tipos de interrupción
 - 0-0x1F: *exceptions ERROR* y NMI
 - 0x20-0x2F: INT maskable: IRQ0-----IRQ15
 - 0x30-0xFF: *exceptions SW*
 - 0x80
 - ◊ isa x86-64: *syscall*
 - ◊ isa x86: *int 0x80*
- ¿A que rutina apunta el vector 0x0E? → Page Fault
- Descripción de las Entradas
 - IDTR: registro que apunta a la primera entrada de la tabla
 - Cada entrada son 8 bytes que intel llama gates.
 - Contiene un selector de segmento que identifica un descriptor de segmento de la tabla de descriptores de segmentos (ver segmentación intel)

8.9.6.3. IRQ

- XT-PIC interrupts use a pair of Intel 8259 programmable interrupt controllers (PIC)
 - PIC configurado por el kernel Linux
 - Example XT-PIC IRQ Assignment , [intel interrupts paper](#): Esta configuración es un ejemplo, es decir, el SO puede **reprogramarla** y variar su configuración.

```

IRQ      Interrupt Hardware Device (vector de la tabla)
0       32 Timer
1       33 Keyboard
2       34 PIC Cascade
3       35 Second Serial Port (COM2)
4       36 First Serial Port (COM 1)
5       37 <Free>
6       38 Floppy Disk
7       39 <Free>
8       40 System Clock
9       41 <Free>
10      42 Network Interface Card(NIC)
11      43 USB Port, and Sound Card
12      44 Mouse (PS2)
13      45 Math Co-Processor
14      46 IDE Channel 1
15      47 IDE Channel 2

```

Note: Linux* requires IRQ 0, 2, and 13 to be as shown.

- Master 8259 (PC compatible)

| IVT Offset | INT # | IRQ # | Description |
|------------|-------|-------|------------------------|
| 0x0020 | 0x08 | 0 | PIT |
| 0x0024 | 0x09 | 1 | Keyboard |
| 0x0028 | 0x0A | 2 | 8259A slave controller |
| 0x002C | 0x0B | 3 | COM2 / COM4 |
| 0x0030 | 0x0C | 4 | COM1 / COM3 |
| 0x0034 | 0x0D | 5 | LPT2 |
| 0x0038 | 0x0E | 6 | Floppy controller |
| 0x003C | 0x0F | 7 | LPT1 |

- Segunda columna: número de interrupción en el PIC
- Tercera columna: número de interrupción IRQ
- Primera columna: offset de esa entrada respecto de la primera entrada. Número de Vector.
- Slave 8259

| IVT Offset | INT # | IRQ # | Description |
|-------------------|--------------|--------------|-------------------------------|
| 0x01C0 | 0x70 | 8 | RTC |
| 0x01C4 | 0x71 | 9 | Unassigned |
| 0x01C8 | 0x72 | 10 | Unassigned |
| 0x01CC | 0x73 | 11 | Unassigned |
| 0x01D0 | 0x74 | 12 | Mouse controller |
| 0x01D4 | 0x75 | 13 | Math coprocessor |
| 0x01D8 | 0x76 | 14 | Hard disk controller 1 |
| 0x01DC | 0x77 | 15 | Hard disk controller 2 |

- Segunda columna: número de interrupción en el PIC
- Tercera columna: número de interrupción IRQ
- Primera columna: offset de esa entrada respecto de la primera entrada. Número de Vector.

8.9.6.4. Linux

- Interrupciones configuradas por el kernel : `cat /proc/interrupts`

8.10. Acceso Directo a Memoria DMA

8.10.1. Funcionalidad

- Realizar las transferencias de datos liberando así a la CPU
- Aplicación: Transferencias de datos entre el disco duro y la memoria principal
- Unidad: DMAC (DMA Controller)
 - Puede tener varios canales DMA: cada canal se ocupa de la transferencia de un periférico.

8.10.2. Transferencias

- Modo ráfaga
 - Una vez que el DMAC toma el control del bus del sistema no lo cede hasta que la transferencia de todo el bloque es completada
 - Mientras el bus del sistema está ocupado por el DMAC la CPU puede operar con la memoria caché.
- Modo robo de ciclo
 - El DMAC devuelve el control del bus del sistema a la CPU cada vez que transfiere una palabra.
 - El bus es compartido en el tiempo: útil en sistemas críticos en tiempo real
- Modo transparente
 - El DMAC únicamente se adueña del bus cuando está libre y no lo necesita la CPU.

8.10.3. Sincronización

- La CPU puede iniciar una operación DMA en los límites del ciclo de bus de lectura o escritura. Por lo tanto se puede iniciar una operación DMA durante el ciclo de instrucción .

8.10.4. Operación del controlador DMA

8.10.4.1. Secuencia de pasos a nivel alto

- Cuando un proceso realiza una llamada *read*, el driver le asigna una región de memoria principal (DMA buffer) y genera la señales hw para solicitar la transferencia de datos al DMA buffer. El proceso queda en estado *sleep*.
- El DMAC transfiere los datos al buffer DMA y activa una señal de interrupción cuando finaliza
- El gestor de interrupciones ubica los datos del buffer al lugar definitivo, avisa de interrupción atendida y despierta al proceso, el cual ya puede leer los datos de la memoria principal.

8.10.4.2. Secuencia de pasos a nivel bajo

- Tres parámetros a programar:
 - dirección inicial de MPrincipal del bloque de datos a transferir: AR
 - Número de datos a transferir: WC
 - Modo de transferencia
- Pasos
 - a. La *CPU* durante el arranque de la computadora inicializa el DMAC programando los parámetros.
 - b. El *controlador del periférico* solicita su servicios.
 - c. El *periférico* realiza una petición de DMA al DMAC (DMA Controller): *DMA Request*.
 - d. El DMAC le responde con una señal de aceptación
 - e. El DMAC activa la línea de petición de DMA a la *CPU*: *Bus Request*
 - f. Al final del *ciclo del bus* en curso, el procesador pone las líneas del bus del sistema en alta impedancia y activa la sesión de DMA: *Bus Grant*
 - g. El DMAC asume el *control del bus del sistema*
 - h. El dispositivo de E/S transmite una nueva palabra de datos al registro intermedio de datos del DMAC (un pequeño *buffer* en el DMAC)
 - i. El DMAC ejecuta un ciclo de escritura en memoria para transferir el contenido del registro intermedio a la posición M[AR].
 - j. El DMAC decrementa WC e incrementa AR.
 - k. El DMAC libera el bus y desactiva la línea de petición de DMA.
 - l. El DMAC compara WC con 0:
 - m. Si WC > 0, se repite desde el paso 2.
 - n. Si WC = 0, el DMAC se detiene y envía una petición de interrupción al procesador.

8.10.5. Problemas de coherencia en la memoria cache

- El controlador DMA al transferir datos entre el periférico y la memoria Principal provoca que las líneas de la memoria caché no sean copia de los bloques de la memoria principal. Será necesario que la controladora de la caché actualice la memoria caché después de una operación DMA.

8.11. Buses

- La arquitectura i/o ha ido evolucionando en dos direcciones
 - incremento del ancho de banda de los buses
 - integración de los controladores i/o en un único chip

8.11.1. ISA

IBM PC/XT Architecture ('82, '83) (XT is “extended” PC – 4.77 MHz Bus)

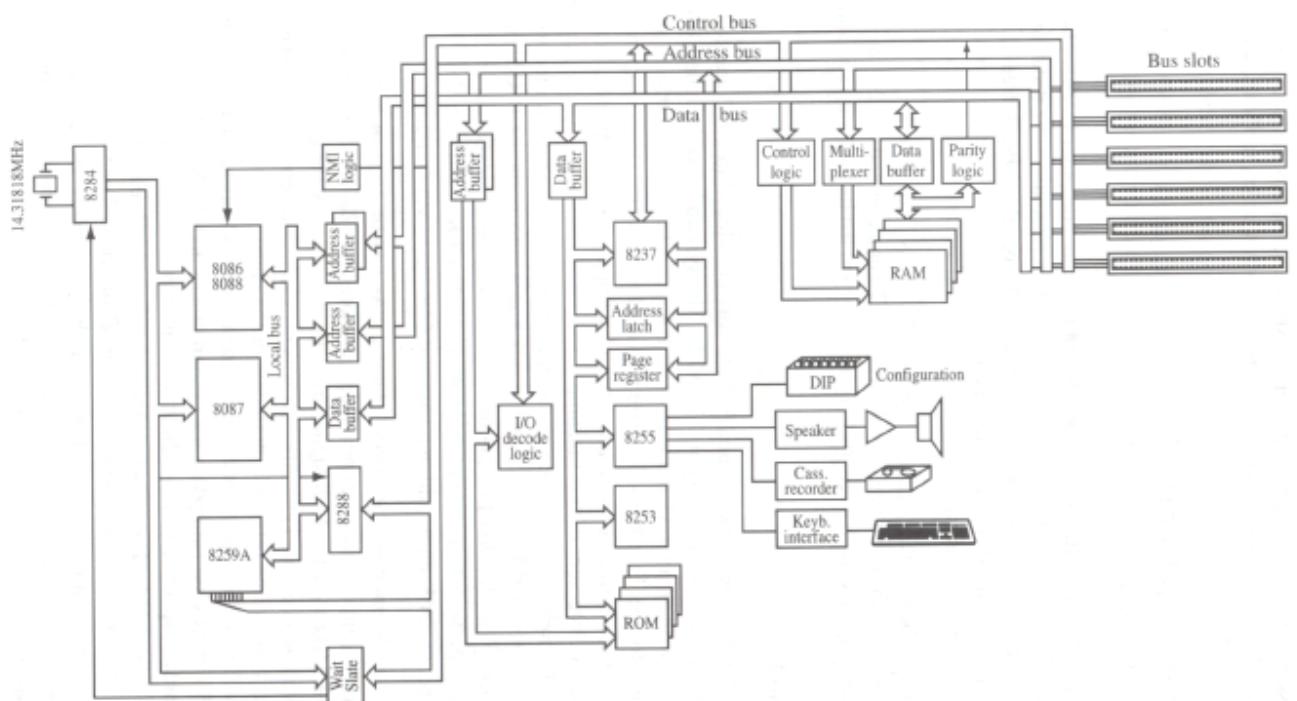


Figura 8.2: Arquitectura Bus ISA

ISA (8-bit Version)

(Typical 4.77 MHz Bus – IBM PC, IBM XT)

| | B1 | A1 | I/O CH CK | Signal | Name | Type* | Description |
|------------|----|----|------------|-------------|----------------------|--------------|--|
| GND | | | D7 | A0-A19 | Address Lines | Output | 20-bit address bus |
| PRESET DRV | | | D6 | AEN | Address Enable | Output | High when DMA controller is controlling the buses. |
| +5V | | | D5 | | | | |
| IRQ2 | | | D4 | | | | |
| -5V | | | D3 | | | | |
| DRQ2 | | | D2 | ALE | Address Latch Enable | Output | High when valid address signals are on the bus. |
| -12V | | | D1 | | | | |
| res | | | D0 | CLK | System Clock | Output | In the original PC this was 4.77 MHz |
| +12V | | | I/O CH RDY | D0-D7 | Data Lines | Input/Output | 8-bit data bus |
| GND | | | AEN | DACK0-DACK3 | DMA Acknowledge | Output | When low these signals acknowledge a peripheral's DMA request. |
| MEMW | | | A19 | | | | |
| MEMR | | | A18 | DRQ1-DRQ3 | DMA Request | Input | High to request a DMA transfer. DRQ0 is dedicated to memory refresh and is therefore not available on the bus. |
| IOW | | | A17 | | | | |
| TOR | | | A16 | | | | |
| DACK3 | | | A15 | I/O CH CK | I/O Channel Check | Input | Low to indicate an error condition and generate an NMI. |
| DRQ3 | | | A14 | | | | |
| DACK1 | | | A13 | I/O CH RDY | I/O Channel Ready | Input | High when the peripheral is ready. If low, a wait state is inserted into the current bus cycle. |
| DRQ1 | | | A12 | | | | |
| DACK0 | | | A11 | | | | |
| CLK | | | A10 | IOR | I/O Read | Output | Low when inputting data from an I/O device. |
| IRQ7 | | | A9 | IOW | I/O Write | Output | Low when writing data to an I/O device. |
| IRQ6 | | | A8 | IRQ2-IRQ7 | Interrupt Requests | Input | High to request an interrupt from the processor. |
| IRQ5 | | | A7 | | | | |
| IRQ4 | | | A6 | | | | |
| IRQ3 | | | A5 | MEMR | Memory Read | Output | Low when reading data from memory. |
| DACK2 | | | A4 | MEMW | Memory Write | Output | Low when writing data to memory. |
| TC | | | A3 | OSC | Oscillator | Output | Oscillator clock frequency. Normally 14.318180 MHz |
| ALE | | | A2 | | | | |
| +5V | | | A1 | RESET DRV | Reset | Output | High during the power-on cycle. |
| OSC | | | A0 | T/C | Terminal Count | Output | High to indicate the end of the DMA cycle. |
| GND | | | | | | | |

*Input to or output from the processor/bus controller.

Figura 8.3: Interfaz Bus ISA

8.11.2. PCI

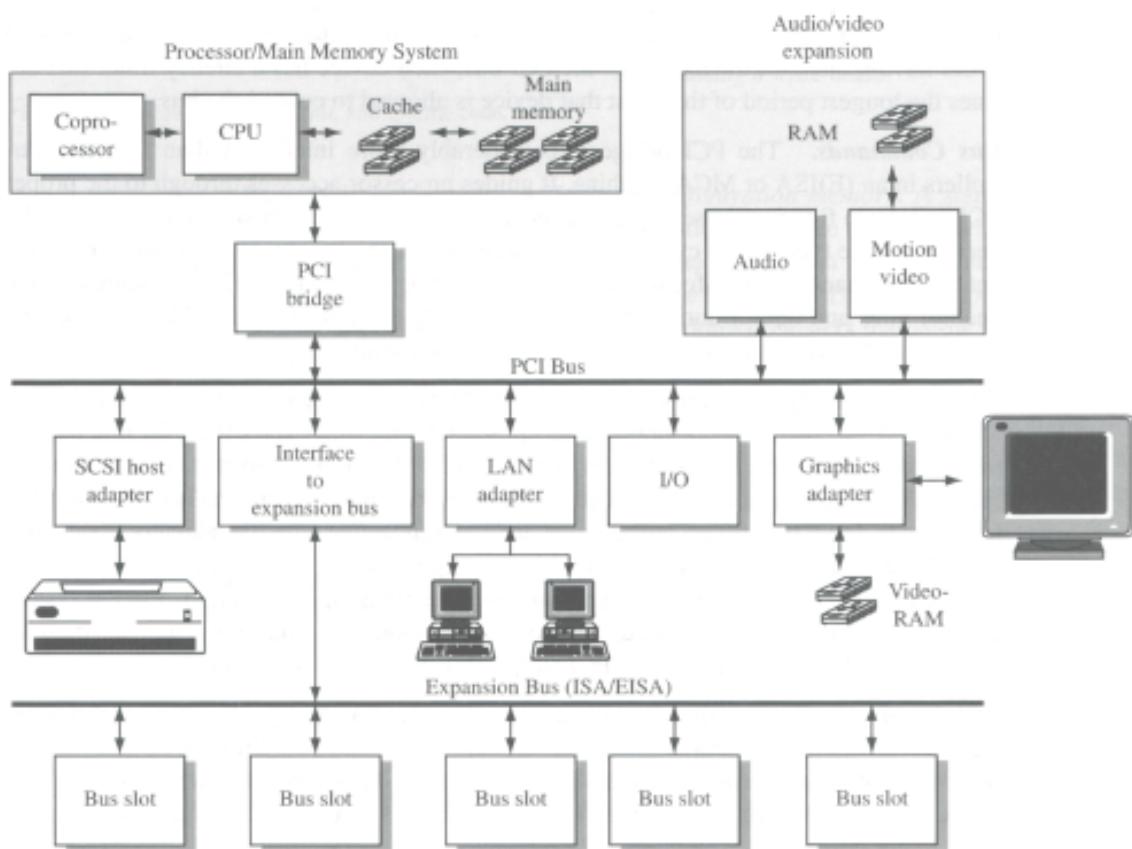


Figura 8.4: Arquitectura Bus PCI

8.11.3. North-South Bridge

Typical PCI Based x86 Computer Architecture

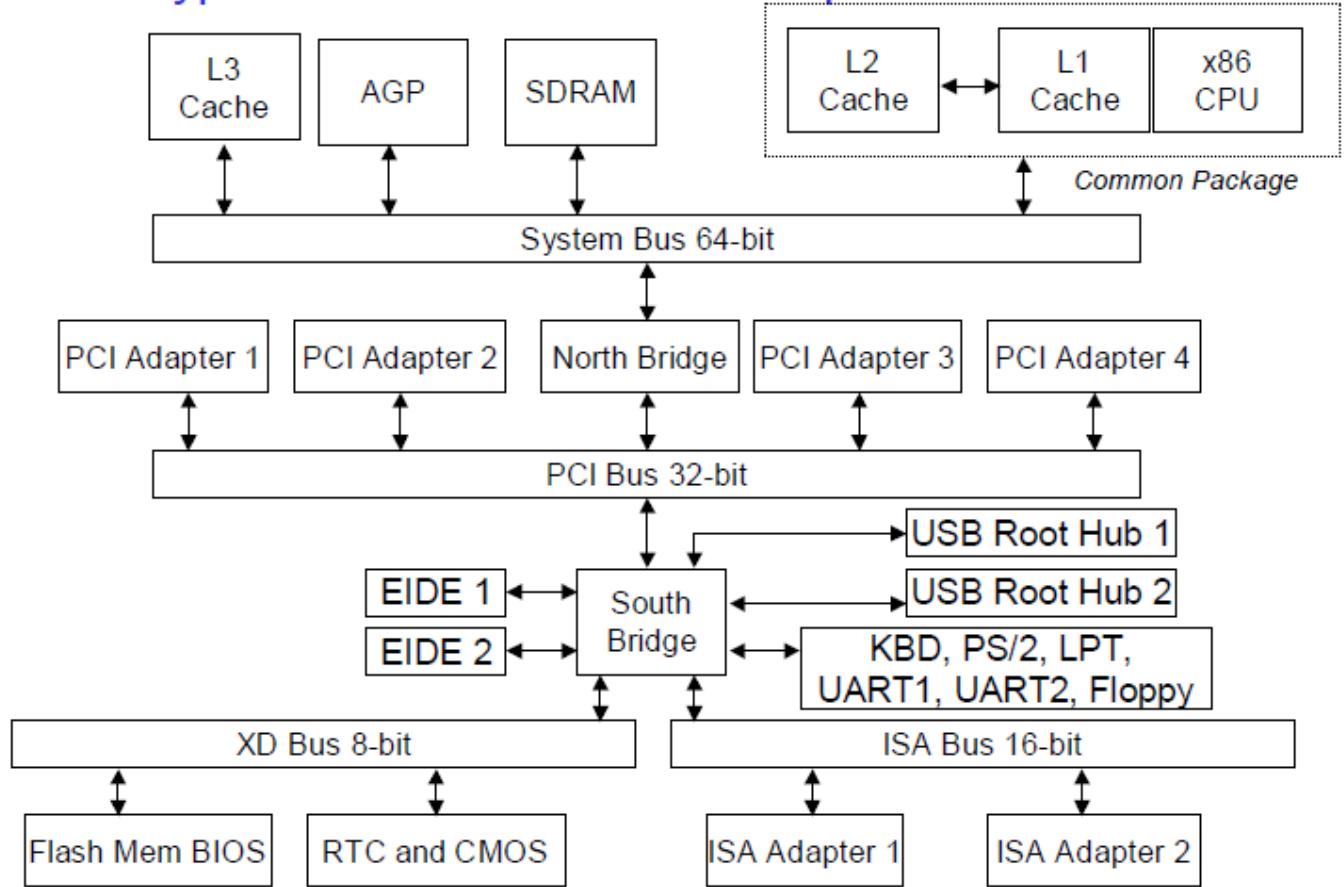


Figura 8.5: North and South Bridges

8.11.4. Chipset x58

- https://en.wikipedia.org/wiki/Intel_X58
- PCH: Platform Controller Hub
- FSB: Front Side Bus
- BSB: Back Side Bus
- FDI: Flexible Display Interface (para CPU que integran la controladora gráfica)
- DMI: Direct Media Interface
- ICH: i/o Controller Hub
- IOH: i/o Hub

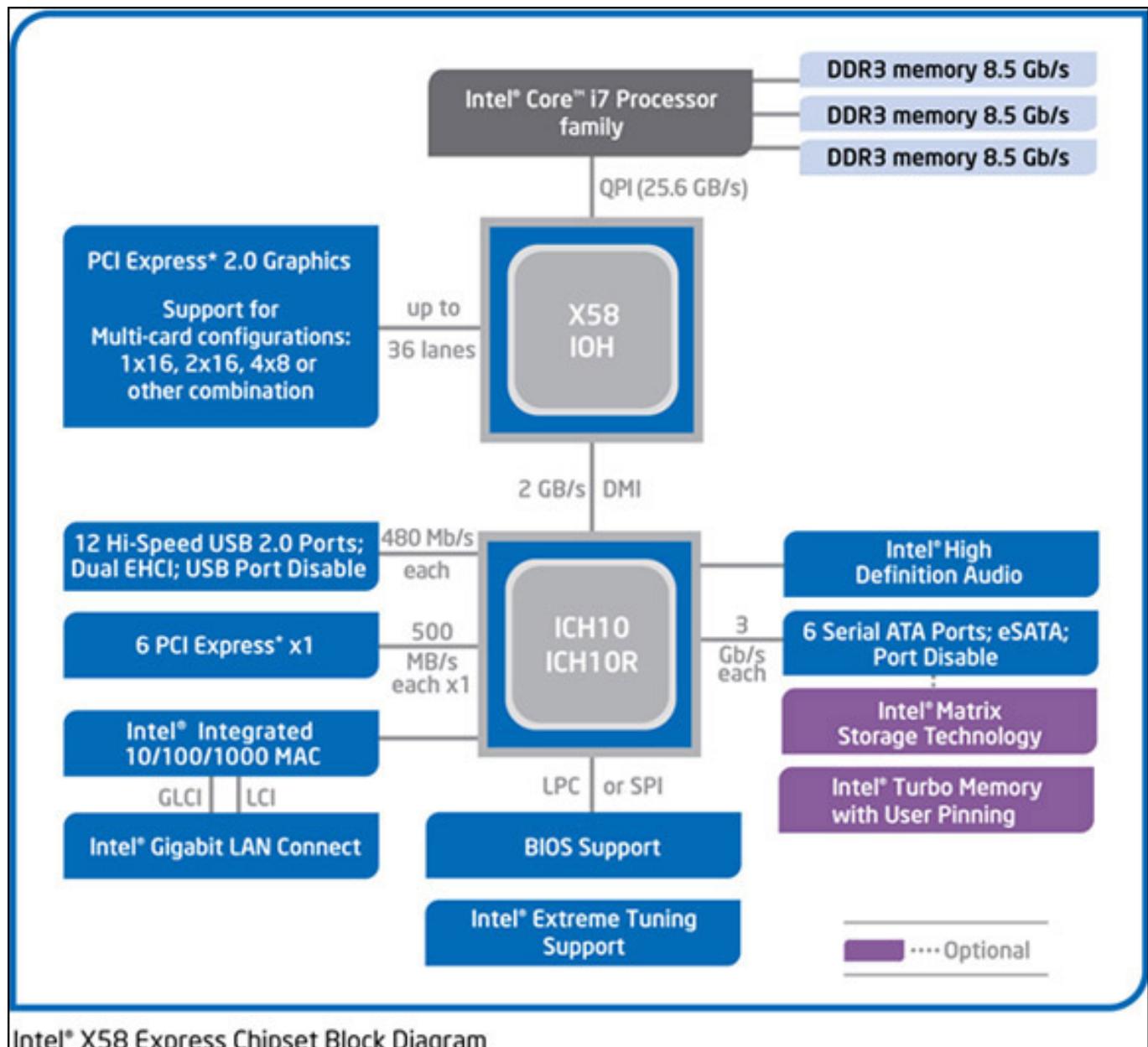


Figura 8.6: corei7 x58 chipset: año 2008

Chipsets supporting LGA 1366, LGA 2011, and LGA 2011-v3 CPUs.: X58 (2008), X79 (2011), X99 (2014).

8.12. Programacion de rutinas de entrada/salida

8.12.1. Software jerarquico del sistema operativo

- El driver o controlador sw es el nivel más bajo de la estructura sw: depende fuertemente del hardware de la computadora: programación en lenguaje C o ensamblador.

8.12.2. Instruction Set Architecture

- I/O access

- OUTx : Sends a byte (or word or dword) on a I/O location. Traditional names are *outb*, *outw* and *outl* respectively. The "a" modifier enforces *val* to be placed in the eax register before the asm command is issued and "Nd" allows for one-byte constant values to be assembled as constants, freeing the edx register for other cases.

```
static inline
void outb( unsigned short port, unsigned char val )
{
    asm volatile( "outb %0, %1"
                 : : "a"(val), "Nd"(port) );
}
```

- El programa fuente en C incluye lenguaje ASM: Programa fuente en C con inline-asm.
- %0 hace referencia a la primera variable "a", %i hace referencia a la i-nésima variable.
- INx : Receives a byte (or word or dword) from an I/O location. Traditional names are *inb*, *inw* and *inl* respectively.

```
static inline
unsigned char inb( unsigned short port )
{
    unsigned char ret;
    asm volatile( "inb %1, %0"
                 : "=a"(ret) : "Nd"(port) );
    return ret;
}
```

- The register I/O instructions IN (input from I/O port) and OUT (output to I/O port) move data between I/O ports and the EAX register (32-bit I/O), the AX register (16-bit I/O), or the AL (8-bit I/O) register. The address of the I/O port can be given with an immediate value or a value in the DX register.

8.12.2.1. Intel Manual

- This instruction is only useful for accessing I/O ports located in the processor's I/O address space. See Chapter 16 or 14, "Input/Output," in the Intel® 64 and IA-32 Architectures Software Developer's Manual, Volume 1, for more information on accessing I/O ports in the I/O address space.
- I/O ports can be mapped so that they appear in the I/O address space or the physical-memory address space (memory mapped I/O) or both.

- **memory-mapped:**

- mediante una línea del bus de control se especifica si la dirección es de memoria principal o port i/o, en algún procesador mediante el M/IO# pin.
- When using memory-mapped I/O, caching of the address space mapped for I/O operations must be prevented

- **I/O mapped**

- i/o devices don't collide with memory, as they use a different *address space*, with different instructions to read and write values to addresses (ports). CPU decode the memory-I/O bus transaction instructions to select I/O ports. These devices cannot be addressed using machine code instructions that targets memory. What is happening is that there are two different signals: *MREQ* and *IOREQ*. The first one is asserted on every memory instruction, the second one, on every I/O instruction. So this code...

```
MOV DX,1234h
MOV AL,[DX]      ; reads memory address 1234h (memory address space)
IN AL,DX        ; reads I/O port 1234h (I/O address space)
```

- The I/O device at port 1234h is connected to the system bus so that it is enabled only if the address is 1234h, RD (Read Data) is asserted and IOREQ is asserted.
- (64K) individually addressable 8-bit I/O ports

■ Protection

- Port Mapped
 - Here, kernel and the device drivers are allowed to perform I/O, while less privileged device drivers and application programs are denied access to the I/O address space. Application programs must then make *calls* to the operating system to perform I/O.
- Memory mapped
 - the normal segmentation and paging protection affect the i/o port access.

8.12.3. Programación del Controlador de Interrupciones Programable

■ programación del pic

- Mapeo del PIC

```
/* remap the PIC controller interrupts to our vectors
   rather than the 8 + 70 as mapped by default */

#define PIC1          0x20
#define PIC2          0xA0
#define PIC1_COMMAND  PIC1
#define PIC1_DATA    (PIC1+1)
#define PIC2_COMMAND  PIC2
#define PIC2_DATA    (PIC2+1)
#define PIC_EOI       0x20

#define ICW1_ICW4      0x01      /* ICW4 (not) needed */
#define ICW1_SINGLE     0x02      /* Single (cascade) mode */
#define ICW1_INTERVAL4  0x04      /* Call address interval 4 (8) */
#define ICW1_LEVEL      0x08      /* Level triggered (edge) mode */
#define ICW1_INIT       0x10      /* Initialization - required! */

#define ICW4_8086      0x01      /* 8086/88 (MCS-80/85) mode */
#define ICW4_AUTO       0x02      /* Auto (normal) EOI */
#define ICW4_BUF_SLAVE  0x08      /* Buffered mode/slave */
#define ICW4_BUF_MASTER 0x0C      /* Buffered mode/master */
#define ICW4_SFNM       0x10      /* Special fully nested (not) */

void remap_pics(int pic1, int pic2)
{
    UCHAR    a1, a2;

    a1=inb(PIC1_DATA);
    a2=inb(PIC2_DATA);

    outb(PIC1_COMMAND, ICW1_INIT+ICW1_ICW4);
    io_wait();
    outb(PIC2_COMMAND, ICW1_INIT+ICW1_ICW4);
    io_wait();
    outb(PIC1_DATA, pic1);
    io_wait();
    outb(PIC2_DATA, pic2);
    io_wait();
    outb(PIC1_DATA, 4);
    io_wait();
}
```

```
    outb(PIC2_DATA, 2);
    io_wait();

    outb(PIC1_DATA, ICW4_8086);
    io_wait();
    outb(PIC2_DATA, ICW4_8086);
    io_wait();

    outb(PIC1_DATA, a1);
    outb(PIC2_DATA, a2);
}
```

8.12.4. Driver del Teclado

- Fijarse cómo se programa teniendo en cuenta el mecanismo de atención a las interrupciones.
- Buscar el código fuente de un kernel sencillo.

8.12.5. parallel port

8.12.5.1. Desde Espacio de Usuario

- Es necesario realizar llamadas al sistema ya que no podemos acceder desde el espacio de usuario directamente al HW
- Direcciones base de los puertos
- Acceso a un puerto en linux desde el espacio de usuario

```
/* led_bloq_mayus.c: very simple example of port I/O
 *
 * This code active LED keyboard CAP, just a port write, a pause,
 * and a port read. Compile with `gcc -O2 -o led_bloq_mayus led_bloq_mayus.c',
 * and run as root with `sudo ./led_bloq_mayus'.
 */

#include <stdio.h>
#include <stdlib.h>
#include <unistd.h>
#include <sys/io.h>

#define BASEPORT 0x0060 /* keyboard */

int main()
{
    /* Get access to the ports */
    if (ioperm(BASEPORT, 3, 1)) {perror("ioperm"); exit(1);}
    printf("\n\t Port -> registro status: %d\n", inb(BASEPORT + 1));

    /* Set the data signals (D0-7) of the port to all low (0) */
    outb(0xED, BASEPORT);

    /* Sleep for a while (100 ms) */
    usleep(1000);
    printf("\n\tActiva el LED de la tecla BLOQ MAYUS \n ");
    outb(0x07, BASEPORT);

    usleep(1000);

    /* We don't need the ports anymore */
}
```

```
    if (ioperm(BASEPORT, 3, 0)) {perror("ioperm"); exit(1);}
    exit(0);
}
```

- <http://tldp.org/HOWTO/IO-Port-Programming-2.html>
- man ioperm
- man inb
- cat /proc/ioports
- <http://opensourceforu.efytimes.com/2011/07/accessing-x86-specific-io-mapped-hardware-in-linux/>

8.12.6. Serial communication RS-232

- tutorial
 - Tarjeta Avr Atmega 8bits → Pej Arduino One
 - Dos casos: Polling i/o e interrupt-driven i/o
- Puerto UART (RS-232)
 - Conector físico
 - Comunicación semiduplex entre dos terminales: DTE (PC) y DCE (Arduino)
 - Señales Tx Rx
 - Registros del puerto
 - Control
 - Estado
 - Datos Rx y Tx: UDR
- Programación
 - Librería
 - Cross toolchain
 - Algoritmo: Diagrama de flujo
 - Casos Polling y Interruption
 - Estructura modular: dos módulos
 - Símbolos
 - Buffer de datos i/o
 - Nombre del vector de interrupción

8.13. Ejercicios

- Capítulo 7 del libro de texto William Stalling.

Capítulo 9

Unidad de Memoria

9.1. Introducción

9.1.1. Temario

1. Organización de la memoria
 - a. Jerarquía de memoria
 - b. Latencia y ancho de banda
 - c. Memoria cache
 - d. Memoria virtual

9.1.2. Libro: William Stalling

1. Introducir conceptos de William.
 - William tiene un capítulo para la memoria principal y otro para memoria cache
 - Capítulo 4 : Caché
 - La introducción de la memoria cache tiene Conceptos Generales
 - Capítulo 5 : Memoria Interna (DRAM)
 - Capítulo 6 : Memoria Externa (Almacenamiento Periférico)
 - Capítulo 8 : Sistemas Operativos: Gestión de Memoria

9.1.3. Historia

- El gran avance del Ingeniero John Von Neumann fue desarrollar la computadora IAS en la cual los programas no eran cableados sino almacenados electrónicamente en una unidad de memoria denominada Selectron. Los programas eran "editados" mediante la escritura de tarjetas de cartón perforadas que posteriormente eran convertidas en secuencias de dígitos binarios para poder ser almacenadas en código binario en la unidad de memoria Selectrón. De esta manera surgió el concepto de "programa almacenado" o software y el desarrollo de las **unidades de memoria**.
- La memoria no consistía de una única unidad sino que se estructuraba en distintos niveles:
 - Nivel cpu: registros PC,MAR,MBR, IR, IBR, Acumuladores AC y AR : registros con capacidad para almacenar una instrucción y un dato.
 - Memoria principal: memoria Selectron con capacidad para almacenar programas agrupando en una sección las instrucciones y en otra sección los datos. Capacidad para direccionar 4K palabras de 40 bits cada palabra
 - Memoria secundaria: Tambores magnéticos "drum" con capacidad para almacenar una colección de programas.

9.1.4. Interés

- Programación en un lenguaje de alto nivel
 - ¿Tenemos en cuenta el concepto memoria? → Abstracción de los mecanismos de gestión de memoria por parte del S.O, hardware, etc
 - Tener conocimientos de la estructura, organización y gestión de la memoria ayuda a la hora de programar → Fase de depuración, diseño, etc
 - Ingeniería de programación y de sistemas
- Conocimientos previos sobre memoria: temas previos de la asignatura Estructura de Computadores.
 - variable, puntero, registros, secciones, direccionamiento, violación de segmento, linker, ...
- Conocimiento de S.O.
 - Gestión de la memoria de los procesos, paginación, memoria virtual, TLB, etc
- Objetivo
 - Qué: Almacenar: datos e instrucciones → programas → ficheros → procesos
 - Para qué:
 - Arquitectura von-Neumann: programa almacenado.
 - Ciclo de Instrucción: Captura (datos, instrucciones) de la CPU. Esquema de bloques CPU-RAM.
 - Cómo: Cómo se almacenan ,cómo se capturan?
- Físicamente la memoria es
 - chip de semiconductor conectado a la CPU.
 - memoria semiconductor interna a la CPU
 - memoria magnética de almacenamiento masivo
- El tema Memoria está aislado del resto de:
 - la arquitectura de la computadora?:
 - de la CPU? del kernel?
 - la programación?
 - instrucciones y datos?
 - qué es un array?
 - un goto?
 - en ensamblador que es la directiva .text?
 - qué es la pila?

9.1.5. Perspectivas

- El concepto de memoria puede ser estudiado en función de diferentes perspectivas.
- Gestión de la Memoria de los procesos en ejecución por parte del kernel del sistema operativo vs Organización de Memoria (ficheros,secciones,jerarquía de memoria ,..)
- Software:
 - Programación:

- variables (reserva e inicialización de memoria), punteros, asignación dinámica de la memoria malloc(), secciones de memoria (text,data,rodata,bss,etc..), pila, ..
- Herramientas:
 - Compilador, Linker (direcciones reubicables, resolución direcciones, segmentos de memoria,..), Cargador (memoria física, mapa de memoria, etc ..), volcado de memoria (objdump, ..)
- Sistema Operativo:
 - Gestor de memoria virtual
 - Gestión del sistema de ficheros virtual
- Hardware:
 - Unidad de gestión de memoria MMU (Memory Management Unit): Convertidor del espacio de direcciones virtual en físico.
 - Módulos de Memoria
 - tarjetas, chips, conexión buses
 - características: capacidad, velocidad, consumo, tecnología

9.1.6. Jerarquía de Memoria

- Hoy en día la tecnología de semiconductor ha conseguido avances en capacidad y memoria manteniendo la estructura por niveles en la siguiente jerarquía:
 1. Jerarquía memoria
- Niveles: L0,L1,L2
- Memoria Registros CPU
- Memoria Cache
- Memoria Principal
- Memoria Secundaria: disco, pen-drive
- Características
 - Capacidad ascendente top-down
 - Tiempo del ciclo de memoria ascendente top-down

9.2. Registros

9.2.1. Arquitectura amd64

x86 registers

./images/memoria/Table_of_x86_Registers_svg.svg

- Observar que al igual que rax incluye a eax y eax incluye ax y ax incluye al, también zmm incluye a ymm e ymm incluye a xmm
- [wiki x86](#)
- [General Purpose Registers x86](#)
 - RAX,etc
 - RFLAGS
 - CS-DS-SS-
 - ST0-ST7
 - Float Point Registers
 - alias de los registros FPU
 - eight 80-bit wide registers: 32-, 64-, or 80-bit floating point, 16-, 32-, or 64-bit (binary) integer, and 80-bit packed decimal integer.
 - MMX
 - ya en desuso y superados por XMM.
 - MMX instructions: *integer SIMD* (Single Instruction Multiple Data). MMX is a instruction set designed by Intel, introduced in 1997 with its P5-based Pentium line of microprocessors. a single instruction can then be applied to two 32-bit integers, four 16-bit integers, or eight 8-bit integers at once.
 - MM0-MM7 (64 bits). Each register is 64 bits wide and can be used to hold either 64-bit integers, or multiple smaller integers in a "packed" format.
 - packed data types: two 32-bit integers, four 16-bit integers, or eight 8-bit integers concurrently → solo enteros.
 - Trabaja sólo con enteros pero por causas de compatibilidad en los cambios de contexto de los S.O. se creo un alias entre los MMX y los FPU generando el problema de no poder utilizar en una misma aplicación los FP y los MMX ya que las operaciones de uno afecta al otro.
 - Los registros FP del FPU x87 tiene acceso modo pila mientras que los MMX tienen acceso aleatorio.
 - XMM
 - Ya en desuso y superados por YMM.
 - XMM0–XMM15 (128 bits)
 - SSE (Streaming SIMD Extensions) instruction. Is an *floating point SIMD* instruction set extension to the x86 architecture introduced on 1999 with Pentium III.
 - Evolución de los MMX. Equivalente a MMX pero con datos de tipo coma flotante.
 - Se puede operar simultaneamente con los FP,MMX y XMM.
 - YMM
 - YMM0–YMM15 (256 bits)
 - La extensión de los XMM a 256 bits
 - **AVX**: Advanced Vector Extensions instructions
 - Unicamente datos en coma flotante: *floating point SIMD*
 - AVX introduces a three-operand SIMD instruction format, where the destination register is distinct from the two source operands
 - Compatibilidad: The AVX instructions support both 128-bit and 256-bit SIMD
 - Intel comienza con este set en el 2011: Sandy Bridge processor, Q1 2011.

- AVX2
 - Haswell microarchitecture año 2013: Haswell processor, Q2 2013
 - AVX2 - *Integer* data types expanded to 256-bit SIMD
- ZMM
 - (ZMM0-ZMM31) : 512 bits
 - Intel AVX-512: Julio 2013
 - Programs can pack eight double precision or sixteen single precision floating-point numbers, or eight 64-bit integers, or sixteen 32-bit integers within the 512-bit vectors. This enables processing of twice the number of data elements that AVX/AVX2 can process with a single instruction and four times that of SSE.
 - AVX-512 instructions
- Control Registers x86:CRx
 - Controlar por ejemplo la paginación de memoria.
- Debug Registers x86:DRx
 - Se utilizan para implementar por ejemplo las direcciones de los puntos de ruptura: DR0-DR3
- Check
 - En linux con la instrucción cpuid podemos chequear la compatibilidad de la cpu con la extensiones ISA: mmx,sse,avx,etc
- Conceptos
 - SIMD: Single instruction multiple data.
 - Vectorizing code: instrucción que operan con vectores → una operación sobre múltiples datos simultáneamente.
 - DSP: Digital Signal Processor
- Tipos de registros
 - https://en.wikibooks.org/wiki/Microprocessor_Design/Register_File
 - Register File: memoria estática formada por una secuencia de registros con un bus de direcciones que mediante un decodificador selecciona uno de los registros.
 - Register Banking: dos posibles interpretaciones.
 - Banked Registers for Interrupt Handling: En lugar de utilizar la memoria principal (pila) para salvar y recuperar los registros cuando es interrumpido la ejecución de un proceso debido a una interrupción externa, utilizamos registros internos de la CPU para tal propósito: Se incrementa la velocidad de respuesta a una interrupción. La forma de implementar esta técnica es renombrando los registros utilizados por la rutina que interrumpe respecto de la rutina interrumpida.
 - Agrupamiento por bancos: El conjunto de registros se agrupa por bancos que pueden ser accedidos simultáneamente. <<<

9.3. Memoria Principal (RAM Dinámica DRAM)

9.3.1. Tipos de memoria de semiconductores

| Memory Type | Category | Erasure | Write Mechanism | Volatility |
|----------------------------|-------------------|--------------------------|-----------------|-------------|
| Random-access memory (RAM) | Read-write memory | Electrically, byte-level | Electrically | Volatile |
| Read-only memory (ROM) | Read-only memory | Not possible | Masks | Nonvolatile |
| Programmable ROM (PROM) | | | Electrically | |

| Memory Type | Category | Erasure | Write Mechanism | Volatility |
|-------------------------------------|--------------------|---------------------------|-----------------|------------|
| Erasable PROM (EPROM) | Read-mostly memory | UV light, chip-level | | |
| Electrically Erasable PROM (EEPROM) | | Electrically, byte-level | | |
| Flash memory | | Electrically, block-level | | |

- SSD: Solide State Drive : Memoria flash de alta capacidad
 - SLC, TLC y MLC (Single-, Triple- y Multi- level cell)

9.3.2. Memoria principal semiconductor

- Ver enlace imágenes al final de los apuntes
- RAM:
 - Semiconductor: transistores.
 - Random Acces Memory
 - Operaciones de lectura y escritura
 - Volátil
 - Tipos
 - SRAM: Static RAM .
 - ◊ Mientras está alimentada la información no se pierde.
 - ◊ Estructura de la Celda 6T: seis transistores. Tamaño y consumo elevados. Latencia y capacidad reducidas. [Error: itemizedlist too deeply nested]
 - DRAM: Dynamic RAM .
 - ◊ Estructura de la celda: 1C1T: un condensador y un transistor. Tamaño y consumo reducidos. Latencia y capacidad elevadas.
 - ◊ Memoria principal.
 - ◊ Tiene fugas por lo que necesita periódicamente una reescritura (DINAMISMO).
 - ◊ Asíncrona DRAM:
 - Síncrona SDRAM:

9.3.2.1. Organización

- Celda de memoria:
 - es la unidad básica de almacenamiento de un bit (Binary digIT). El bit es un valor lógico *High* o *Low*, 1 o 0
 - acceso a la celda:
 - la línea de direcciones selecciona la celda a leer o escribir
 - la línea de bit es la línea de entrada/salida del bit a leer o escribir.
- Matriz: las celdas de memoria se organizan en una estructura 2D matricial formadas por filas y columnas
- Bus del Sistema: bus de interconexión entre el controlador MC y la CPU.
- Bus de Memoria: bus de interconexión entre el controlador MC y la MP
 - Bus Direcciones:
 - El bus de direcciones transfiere el código de la palabra a seleccionar

- La dirección se almacena temporalmente en el buffer de direcciones de la memoria
- El bus de direcciones se conecta al buffer de direcciones de la memoria
- El buffer de direcciones se conecta a la entrada del decodificador de direcciones de la memoria
- La dirección se decodifica. La salida del decodificador activa la dirección de memoria del dato/instrucción a leer o escribir
- Bus Datos:
 - El dato de salida o entrada se almacena temporalmente en el buffer de datos i/o de la memoria
 - Las celdas no se conectan directamente al buffer de datos i/o de la memoria
 - ◊ las salidas de las celdas seleccionadas son amplificadas para detectar si almacenan 0 o 1
 - El bus de datos esta conectado al buffer de datos de la memoria
- Bus Control:
 - Es necesario alimentar la memoria con una tensión continua de unos pocos voltios (1v)
 - Señal de lectura y escritura que activa la CPU o el controlador E/S
 - Señal de reloj de sincronismo. Sincroniza las tareas a realizar entre la MP y el controlador de memoria (MC)
- Bus chip select:
 - Señal *Chip Select* (CS) de selección del módulo de memoria que lo conecta a los buses de direcciones y de datos . Si la señal CS no está activa el módulo de memoria está desconectado de los buses.
- Controlador de Memoria (MC)
 - La MP no se conecta directamente a la CPU. El controlador MC hace de intermediario.
 - El controlador MC se conecta por un lado a la CPU y por otro lado a la memoria MP.
 - La CPU envía comandos al controlador MC para que actue sobre la MP.
 - El controlador MC es un secuenciador que sabe cómo actuar sobre la estructura interna de la memoria para:
 - qué módulo seleccionar, qué chip seleccionar, qué palabra seleccionar.
 - leer y escribir un dato
 - otras acciones sobre la memoria como mantenimiento, chequeo, detección de errores, etc
- Memory Management Unit (MMU)
 - Las direcciones con que opera la Unidad de Control de la CPU en sus registros de propósito general, contador de programa, etc, no son físicas → son virtuales
 - Cuando programamos, el programador, el compilador, el linker, el desensamblador, el depurador, etc trabajan en el espacio virtual. El módulo ejecutable ELF y los procesos hacen referencia al espacio virtual.
 - Los procesos (programas que están siendo ejecutados por la CPU) operan con direcciones del espacio virtual → memoria virtual del proceso
 - MMU: circuito electrónico HW que convierte direcciones del espacio virtual (CPU) en direcciones físicas de la MP y que serán las que se transfieran al bus del controlador de la caché y al controlador de memoria MC para poder acceder a la memoria física.

9.3.2.2. DRAM (Dynamic Random Access Memory)

- Celda
 - Estructura física:
 - Es un condensador Metal-Dielectrico-Metal(Polysilicio) fabricado en un substrato de Silicio.
 - Su capacidad es del orden de femto-faradios: $C=10\text{--}(-15)\text{F}$
 - Si le aplicamos una tensión de 1mv la carga almacenada $Q=CV=1\text{mv}\cdot1\text{fF}=1\cdot10\text{--}18\text{ culombios}$ que equivale a una decena de electrones.
 - Su forma es la de un cilindro empotrado en el substrato.
 - La sección transversal del condensador es del orden de 30 nm en el año 2010
 - ◊ evolución proceso tecnológico
 - La densidad de condensadores es del orden del giga → 10~9 condensadores.
 - Es necesario conectar el condensador a las líneas de direcciones y de bit para acceder a él. Se conecta a través de UN transistor CMOS que hace de interruptor.

9.3.2.3. DRAM (Operaciones de lectura-escritura-refresco)

- Almacenamiento:
 - el condensador inicialmente no está conectado a ninguna línea ya que su interruptor está abierto
 - en circuito abierto el condensador almacena la carga mientras está alimentado → volátil
 - el condensador tiene FUGAS y se descarga a través del substrato. Es necesario reescribir el bit cada 64 ms: DYNAMIC (la información que almacena no puede ser estática, hay que REFRESCARLA PERIODICAMENTE)
- Escritura:
 - Cerramos el interruptor (línea de dirección) para conectar el condensador a la línea de bit (línea de dato)
 - A través de la línea de bit cargamos (H) o descargamos (L) el condensador
- Lectura:
 - Una vez seleccionada la celda a leer, está conectada al Sensor de Carga (amplificador) que detecta su estado y lo escribe en el buffer i/o
 - Esta lectura es DESTRUCTIVA, dejando el condensador descargado. Es necesario que el amplificador realimente el condensador a su estado original. La escritura del buffer i/o y la RE-escritura del condensador se dan simultáneamente.
- Refresco
 - Es necesario leer y reescribir todos los condensadores. Esta operación la realiza el sensor de carga.
 - Es necesario reescribir todas las celdas en un tiempo inferior a los 64ms.

9.3.2.4. Ejemplo de Estructura

- <https://www.anandtech.com/print/3851/everything-you-always-wanted-to-know-about-sdram-memory-but-were-afraid-to-ask>

9.3.2.5. DRAM Matriz(Array 2D)

- Ejemplo: un bus de direcciones de 30 líneas son 2^{30} CELDAS, a seleccionar UNA de ellas.
- Mediante un DEMULTIPLEXOR de 30 entradas y 2^{30} salidas podemos seleccionar 1 de las celdas
- Un demultiplexor de 2^{30} salidas es muy complejo y costoso
- Solución:
 - organizar las CELDAS en un array 2D : Filas y columnas: 1 DEMUX o DECODIFICADOR para filas y 1 DEMUX/MUX o DECODIFICADOR para las columnas
 - $2^{30} = 2^{15} \times 2^{15}$ = Ahora el número de salidas de cada demux se ha reducido de 2^{30} a 2^{15} , es decir, un factor raíz cuadrada.
 - word line selecciona todas las columnas de una fila (ROW) de celdas
 - bit line selecciona una de las columnas (COL) de la fila seleccionada
 - el resultado es seleccionar una CELDA del ARRAY y cargar (LECTURA) el BUFFER I/O
- Bus de direcciones muy denso: ejemplo de 30 líneas
 - Podemos diseñar un bus con la mitad de líneas y multiplexar en dos tiempos el código de direcciones(parte que selecciona la fila y parte que selecciona la columna).
 - Multiplexación temporal de la dirección de filas y la dirección de columnas: REDUCIMOS EL NUMERO DE LINEAS EN LA PLACA BASE
 - RAS: Row Address Strobe : Señal que valida el bus de direcciones indicando que es el código que selecciona la FILA del array.
 - CAS: Column Address Strobe : Señal que valida el bus de direcciones indicando que es el código que selecciona la COLUMNA del array.
- Burst (ráfaga)
 - Una vez seleccionada una fila de celdas (OPEN ROW) si queremos celdas consecutivas de la misma columna podemos leer o escribirlas consecutivamente en cada ciclo de reloj . Bloque de palabras a transferir a/desde la memoria Caché. El controlador de memoria ha tenido que enviar un comando a la memoria para configurar el número de palabras de la rafaga.

9.3.2.6. Logica del Chip (Figura 5.3 del libro)

- Componentes:
 - buffers: direcciones y columnas
 - decodificadores: decodifican el código de dirección de fila y de columna y seleccionan (fila,columna) una celda.
 - sensor de carga (amplificador): detecta si la celda está cargada o descargada y da como salida un *H* o *L* en el buffer i/o.
 - 4 señales de control: RAS, CAS, WE, OE
 - la combinación de señales de control (2^4) se utiliza también para codificar los **comandos** del controlador de memoria.
 - COMANDOS: son órdenes a los módulos de memoria donde las características de la memoria como el timing (tiempos de latencia, ciclo, etc) y el burst length (número de palabras por bloque, longitud de la ráfaga) son programables y por lo tanto la CPU puede configurar estos parámetros.
 - circuitería de refresco:
 - contador de direcciones y temporizador
 - la asociación JEDEC recomienda un refresco completo cada 64 ms.

9.3.2.7. Encapsulado

- La memoria de semiconductor ocupa unos pocos mm² que debe de ser protegido (térmica y mecánica) y permitir que las conexiones sean robustas para permitir su soldadura a las líneas externas por lo que requiere un encapsulado de plástico.
- Los terminales del encapsulado se denominan PIN y son soldados a la tarjeta de memorias.
 - pines o terminales:
 - address bus (A0-A29)
 - data bus (DQ0-DQ7) : los chips no tienen 64 pines de datos : 1,2,4,8.
 - alimentación Vcc
 - masa Vss
 - chip select /CS
 - write enable (/WE): *L*(escritura) *H* (lectura)
 - output enable (/OE): *L*(los pines de datos se conectan al bus de datos)

9.3.2.8. Temporización de la operación de lectura/escritura

Cuadro 9.1: Asignación de terminales de la SDRAM

| Señales | Descripción |
|---------|--------------------------------------|
| A0-A29 | Entrada de dirección de celda |
| CLK | Entrada del reloj del bus de memoria |
| /CS | Selección del chip |
| /RAS | Selección de dirección de fila |
| /CAS | Selección de dirección de columna |
| /WE | Habilitación de escritura |
| DQ0-DQ7 | Entrada/Salida de datos |

La barra inclinada / significa señal negada: lógica negativa : se activa a nivel Low (*L*).

Ejemplo extraido de [wikipedia](#):

Cuadro 9.2: DRAM Asíncrona: Temporización

| | "50 ns" | "60 ns" | Description |
|------|---------|---------|---|
| tRC | 84 ns | 104 ns | Random read or write cycle time (from one full /RAS cycle to another) |
| tRAC | 50 ns | 60 ns | /RAS low to valid data out |
| tRCD | 11 ns | 14 ns | /RAS low to /CAS low time |
| tRAS | 50 ns | 60 ns | /RAS pulse width (minimum /RAS low time) |
| tRP | 30 ns | 40 ns | /RAS precharge time (minimum /RAS high time) |
| tPC | 20 ns | 25 ns | Page-mode read or write cycle time (/CAS to /CAS) |
| tAA | 25 ns | 30 ns | Access time: Column address valid to valid data out (includes address setup time before /CAS low) |
| tCAC | 13 ns | 15 ns | Access time: /CAS low to valid data out |
| tCAS | 8 ns | 10 ns | /CAS low pulse width minimum |

■ Sincronismo

- DRAM : asíncrona: responds as quickly as possible to changes
- SDRAM significantly revises the asynchronous memory interface, adding a **clock** (and a clock enable) line. All other signals are received on the *rising edge* of the clock. No responde tan rápido como es posible, sino que espera al flanco de subida.
- NO vemos la memoria DRAM asíncrona, únicamente el concepto.

Cuadro 9.3: DRAM Síncrona: Temporización

| | PC-3200 (DDR-400) | | PC2-6400 (DDR2-800) | | PC3-12800 (DDR3-1600) | | Description | | | | | |
|------|-------------------|------------|---------------------|------------|-----------------------|------------|-------------|------|-----------|-----------|--|--|
| | Typical | | Fast | | Typical | | | | | | | |
| | cycle\$ime | cycle\$ime | cycle\$ime | cycle\$ime | cycle\$ime | cycle\$ime | | | | | | |
| tCL | 3 | 15ns | 2 | 10ns | 5 | 12.5ns 4 | 10ns | 9 | 11.25ns 8 | 10 ns | /CAS low to valid data out (equivalent to tCAC) | |
| tRCD | 4 | 20ns | 2 | 10ns | 5 | 12.5ns 4 | 10ns | 9 | 11.25ns 8 | 10ns | /RAS low to /CAS low time | |
| tRP | 4 | 20ns | 2 | 10ns | 5 | 12.5ns 4 | 10ns | 9 | 11.25ns 8 | 10ns | /RAS precharge time (minimum precharge to active time) | |
| tRAS | 8 | 40ns | 5 | 25ns | 16 | 40ns | 12 | 30ns | 27 | 33.75ns 4 | 30ns | Row active time (minimum active to precharge time) |

- When describing synchronous memory, timing is described by **memory bus clock cycle counts** separated by hyphens. These

numbers represent tCL-tRCD-tRP-tRAS in multiples of the DRAM *clock cycle time*

9.3.2.9. latency times

- En este contexto latency es sinónimo de **retardo**. Distinto concepto de Memory Latency que es el tiempo de acceso.
- tCL :Cas Latency . Retardo desde la señal CAS hasta la obtención del dato en el buffer i/o
- tRCD :Ras Cas Delay. Retardo de la señas RAS hasta la señal CAS
- tRP :Ras Precharge. Mínimo retardo entre la precarga y la activación
- tRAS :Row Active Time. Mínimo tiempo que tiene que transcurrir la activación de la fila y el inicio de la precarga.
- **Tacceso:** tCL+tRCD : desde que se valida la dirección del bus hasta la obtención en el buffer i/o del dato referenciado.
- **Tciclo**(lectura o escritura) del bus: tCL+tRCD+tRP+tBURST ó tCL+tRCD+tRAS(si hemos transferido un comando a la MP):
 - Tacceso más el retardo en ser transferido a la CPU. Tiempo entre dos lecturas o dos escrituras consecutivas,
- tBURST: tiempo necesario para transferir un bloque de palabras:RAFAGAS: no se realizan transferencias de 1 byte: 2,4,8,16, ..
 - El módulo MP es programable por lo que podemos alterar los tiempos tCL-tRCD-tRP-tRAS y también la longitud de la ráfaga(burst o bloque)
- El módulo MP suele indicar la secuencia tCL-tRCD-tRP-tRAS con valores típicos de ciclos reloj

9.3.2.10. Ejemplo PC2-6400 (DDR2-800) 5-5-5-16

- Módulo PC2-6400 (DDR2-800) 5-5-5-16
- PC2 : SDRAM de segunda generación → Double_Data_Rate x2
- 6400 MB/s de ancho de banda
- 800MHz de ciclo efectivo de reloj del bus del sistema
 - Cada palabra se transfiere en un ciclo de 800MHz.
 - Ciclo de Reloj del Bus de memoria 400MHz
 - Clock cycle time = 1/400Mhz = 2.5ns
- 5-5-5-16 son los ciclos de reloj (400MHz \leftrightarrow 2.5ns) de los tiempos tCL-tRCD-tRP-tRAS → 12.5ns-12.5ns-12.5ns-40ns

Cuadro 9.4: Glosario

| tiempo | Descripción | tiempo | Descripción |
|--------|------------------------------|--------|--------------------------|
| tCL | CAS latency | tRRD | RAS to RAS delay |
| tCR | Command rate | tRTP | Read to precharge delay |
| tPTP | precharge to precharge delay | tRTR | Read to read delay |
| tRAS | RAS active time | tRTW | Read to write delay |
| tRCD | RAS to CAS delay | tWR | Write recovery time |
| tREF | Refresh period | tWTP | Write to precharge delay |
| tRFC | Row refresh cycle time | tWTR | Write to read delay |

- **memory timing**

- Fig 5.13 del libro de texto: Lectura de SDRAM (longitud de ráfaga=4, CL=2)

9.3.2.11. Agrupamientos: Módulos-Rank-Chips-Bank

Fig 5.12 : Módulo SDRAM.

- Jerarquía: Estructura de la memoria DRAM en agrupamientos de direcciones.
- Channel :
 - interfaces del controlador de memoria con el bus del sistema.
 - Cada canal tiene su propio bus de memoria físico.
 - El controlador tiene acceso al bus del sistema y a más de un bus de memoria.
 - Todos los canales de un mismo controlador de memoria conforman todo el espacio de memoria física, por lo tanto un controlador tiene asignado un canal lógico (todo el espacio de memoria) formado por varios físicos (distintos espacios de memoria)
- Module:
 - Proporciona la conexión física al bus de datos (palabra de 64 bits), al bus de direcciones, al bus de control y al bus de chip-select (CS) del BUS de MEMORIA.
 - Es la tarjeta de memoria encapsulada que se inserta en el socket de la placa base conectándose al bus de memoria del controlador de memoria (MC)
 - Para los PC la conexión de los módulos de memoria es **DIMM** y para los portátiles **SO-DIMM**. El encapsulamiento DIMM permite disponer de conectores y de chips en ambos lados de la tarjeta (front-side y back-side)
 - En el módulo están interconectados todos los chips de memoria de la tarjeta.
 - Un canal del controlador puede conectar a más de un módulo de memoria: P.ej dos módulos de 4GB cada uno. Si un canal tiene más de un modulo, todos los modulos comparten el mismo BUS DE MEMORIA. Cada módulo implementa direcciones de memoria diferentes.
- Rank :
 - Es un conjunto o *agrupamiento de chips* dentro de todo el sistema de memoria (todos los módulos DIMM ,no cada módulo DIMM) que tienen en común la señal chip select (CS), compartiendo así el mismo espacio de direcciones.
 - Así organizados, todos los chips del mismo rank pueden responder AL UNISONO al mismo bus de direcciones (filas,columnas). Al activar una señal CS y seleccionar una Fila , se consigue activar todas las columnas de todas las filas de todos los arrays de todos los chips del mismo rank. Este es el objetivo del agrupamiento.
 - Un rank es independiente del resto, con direcciones de memoria *diferentes*, compartiendo el mismo bus de direcciones y bus de chip select. Un rank al ser INDEPENDIENTE puede ser precargado, refrescado, activado, etc al mismo que el resto de ranks.
- Chip :
 - Es el circuito integrado que contiene el *die* de semiconductor donde están implementadas las celdas de memoria (condensadores) y los interruptores (transistores).
 - El número de pins del chip dependerá del tamaño del dato proporcionado y de la capacidad de almacenamiento de datos.
 - El número de bits "N" del dato proporcionado por el chip a través del buffer i/o, se indica diciendo que el chip es xN: x2,x4,x8,x16,x32
 - Esta formado por *MULTIPLES bancos*, un *buffer i/o*, un *demux* de filas, un *demux* de columnas y la lógica de control.
- Este término es confuso ya que depende del contexto e incluso hay diversas interpretaciones.

■ Bank:

- Un chip se estructura en bancos independientes.
- Un banco es un conjunto, *agrupamiento de arrays 2D*.
- Si cada array envía un bit al buffer i/o, entonces, el número de arrays del banco será el mismo que el número de bits del buffer i/o.
- Así organizados, todos los arrays del mismo banco pueden responder AL UNISONO al mismo bus de direcciones (filas,columnas).Se selecciona la misma fila y la misma columna para todos los arrays del banco. Cada array del banco proporciona el bit de la celda seleccionada por lo que el número de bits proporcionados por el banco será el número de arrays del banco.
- Todos los bancos del chip forman parte del mismo buffer i/o del chip.
- El número de bits " n ", del dato proporcionado por el banco a través del buffer i/o, se indica diciendo que el chip es xn : $x2,x4,x8,x16,x32$
- Un banco es independiente del resto, con direcciones de memoria *diferentes*, compartiendo el mismo bus de direcciones y bus de chip select. Un banco al ser INDEPENDIENTE puede ser precargado, refrescado, activado, etc al mismo tiempo que el resto de bancos.

■ Array:

- Son agrupamientos o conjuntos de celdas organizados en filas y columnas.
- Una dirección de memoria (fila,columna) selecciona una celda del array.

■ Celdas:

- Una celda de memoria almacena la información de 1 o más (2,4,8,16) bits. Inicialmente, mientras no se especifique lo contrario, almacenará un único bit.

9.3.2.12. Ejemplo

■ Si un sistema tiene una capacidad de memoria principal de 16GB y la estructuramos en 4 módulos cuyos chipsx64 se organizan en 4 ranks con 16 chips/rank, 8 bancos/chip, 16 arrays/banco. Calcular el número de bits/array.

$$\bullet 2^4 \times 2^{30} \times 2^3 \text{ bits/byte} = 2^2 \text{ (ranks/canal)} \times 2^4 \text{ (chips/rank)} \times 2^3 \text{ (bancos/chip)} \times 2^4 \text{ (array/banco)} \times N \text{ (bits/array)} \rightarrow N = 2^{(4+30+3-2-4-3-4)} = 2^{24} \text{ bits organizados en un array 2D}$$

nota

Los 4 módulos al completo se organizan en 4 ranks

- Una posible solución sería 2^{12} filas x 2^{12} columnas.
- El buffer i/o de transferencia de datos al bus de memoria tiene el tamaño x64, es decir, 64 bits.

9.3.2.13. LECTURA de una palabra de la memoria MP**■ Fases:**

- la dirección de memoria proporcionada por la CPU es convertida en dirección física por el circuito MMU
- El circuito MP debe de descomponer la dirección física de memoria en los códigos:
 - RANK-BANK-ROW-COLUMN
 - Los códigos están asociados adentro del módulo de memoria un rank específico. Dentro del rank un bank específico. Dentro del bank una fila específica. Dentro de la fila una columna específica.

- Una vez que han sido identificados el rank-bank-row, se PRECARGAN los bit_lines del banco (se polarizan con la tensión media que hay entre un cero lógico y un uno lógico).
- Una vez precargado el banco se ACTIVA (OPEN) la fila: la fila queda abierta cuando los miles de amplificadores sensores de carga detectan los contenidos de las celdas de las filas seleccionadas de todos los arrays del banco. Al conjunto de la misma fila de todos los arrays del banco se denomina **página** (una página está formada por filas). La página esta abierta cuando las salidas de los amplificadores recuperan los valores sensados y activan las line_bit con los datos almacenados.
 - Esta acción comienza con la activación de la señal /RAS y la espera del tiempo tRCD
- Una vez transcurrido el tRCD se selecciona las columnas específicas de todos los arrays del banco (x4,x8,..) y se carga el buffer i/o con el dato seleccionado.
 - Esta acción comienza con la activación de la señal /CAS.

9.3.3. Organización avanzada de memorias DRAM

9.3.3.1. DRAM asincrona

- En la memoria asíncrona las acciones realizadas dependen del diálogo entre el controlador y la memoria.
- La memoria síncrona comienza y finaliza las acciones en el flanco de subida o bajada del reloj facilitando el diseño del circuito digital electrónico y permitiendo mayores velocidades en el bus.
- Although the RAM is asynchronous, the signals are typically generated by a clocked memory controller, which limits their timing to multiples of the controller's clock cycle.
- DRAM

9.3.3.2. SDRAM (Synchronous DRAM)

Referencias

- El flanco del reloj es el patrón de comienzo y fin de las operaciones
- DDR (Double Data Rate)
 - Permite transferir el bit tanto en el flanco de bajada como de subida del reloj (**doble bombeo**)
- frecuencia del buffer i/o
 - El buffer i/o de la memoria puede ir a frecuencias x2, x4 y x8 respecto de la frecuencia de acceso a la celda.
 - **Supercelda:** Ahora una selección (fila,columna) de un array supone no la selección de 1 celda sino la de 2, 4 u 8 CELDAS del array.
- Ver las figuras que representan la transferencia de múltiples celdas al buffer i/o
- Fabricantes: Samsung, Hitachi, NEC, IBM, Siemens.

Cuadro 9.5: Módulos DDR para PC : características

| | DDR1 | DDR2 | DDR3 |
|------------------------------|-------------|-------------|-------------|
| bit i/o: celdas/ciclo_bus | x2 | x4 | x8 |
| frecuencia bus | f | 2f | 4f |
| burst mínimo | 2 | 4 | 8 |
| pines DIMM | 184 | 240 | 240 |
| pines SO-DIMM | 200 | 200 | 144/200/204 |
| alimentación(v) | 2.5 | 1.8 | 1.5 |

- Dual In-line Memory Module (DIMM)
- Small Outline Dual In-line Memory Module (SO-DIMM)
- BW (bits/s) = BF(ciclos/s)*CW(bits/channel)*TC(transferencias/ciclo)
 - BF: Frecuencia del bus del sistema (próximo a 1GHz en el año 2000)
 - CW: número de bits del data bus del canal. Típicamente 64 bits (año 2000)
 - TC: en un ciclo del reloj del bus del sistema el número de transferencias. Típicamente 1 (flanco de subida) o 2 (flancos de subida y bajada).
 - BW (bits/s) = frecuencia efectiva*anchura bus datos= $400\text{MHz} \times 2 \times 64 = 51200 \times 10^{-6}$ bits/s = 51.2Gbps = 6400 MBps ← sistema decimal (habitual)

9.3.3.3. Ejemplo DDR3-800 / PC3-6400 5-5-5

- módulo de memoria DDR3-800 ó PC3-6400
 - timing 5-5-5
 - 800MHz es la frecuencia efectiva del bus de datos → 800MT/s
 - 6400 MB/s es el ancho de banda
 - DDR → La frecuencia del bus de memoria es la mitad de la frecuencia efectiva = $800/2 = 400\text{MHz}$. Equivale a un ciclo de reloj de $1/400\text{MHz} = 2.5\text{ns}$
 - 5-5-5: son los ciclos de reloj, a la frecuencia real del bus de 400MHz, de los parámetros timing tCL-tRCD-tRP

Cuadro 9.6: DDR3

| Standard name | Memory clock(MHz) | Cycle time(ns) | I/O bus clock(MHz) | Data rate(MT/s) | Module name | Peak transfer rate(MB/s) | Timings(tCL-tRCD-tRP) | CAS latency(ns) |
|---------------|-------------------|----------------|--------------------|-----------------|-------------|--------------------------|-----------------------|-----------------|
| DDR3-800D | 100 | 10 | 400 | 800 | PC3-6400 | 6400 | 5-5-5 | 12½ |
| DDR3-800E | | | | | | | 6-6-6 | 15 |

El 4º dígito es tRAS (mínimo retardo entre la activación y la precarga) no ha sido proporcionado. La cuarta columna proporciona tCL en nanosegundos.

- Parámetros:
 - Memory clock: 100MHz: frecuencia de acceso a las palabras. Transferencia celda → buffer i/o
 - Cycle time: 10ns: en esta tabla se refiere al período del memory clock y no tiene el significado de la definición de ciclo de memoria
 - I/O bus clock: 400MHz: reloj del bus de memoria cuyos flancos(positivo,negativo) sincronizan las transferencias de las palabras.
 - ciclo de bus = $1/400\text{MHz} = 2.5\text{ns}$ = este es el factor de tiempo de los retardos o latencias tCL,tRCD, etc
 - Data rate: 800MT/s → Las transferencias se realizan a la frecuencia efectiva.
 - Peak transfer rate: ancho de banda BW:6400MB/s
 - timings: número de ciclos del reloj i/o bus clock de duración de los eventos:5-5-5-12½

- tCL = 5 ciclos de reloj = $5 \times 2.5 = 12.5\text{ns}$
- tRCD = 5 ciclos de reloj = $5 \times 2.5 = 12.5\text{ns}$
- tRP = 5 ciclos de reloj = $5 \times 2.5 = 12.5\text{ns}$
- tRAS = no se ha proporcionado

9.3.3.4. Ejemplo PC3-22400 11-14-14-35

- Dominator® Platinum with Corsair Link Connector — 1.65V 16GB Dual Channel DDR3 Memory Kit (CMD16GX3M4A2800C11):
- Memory Type: DDR3
- Speed Rating: PC3-22400 (2800MHz)
- Tested Latency: 11-14-14-35
- Our Price: 80€
- 16GB Kit (4 x 4GB)
- Dual Channel
- Características deducidas:
 - Ancho de banda de pico = 22400MB/s
 - Data rate (1data=8Bytes) = 2800MT/s
 - I/O bus effective clock = 2800MHz. I/O hace referencia al bus del buffer i/o de la memoria.
 - I/O bus clock = 2800MHz / 2 = 1400MHz
 - I/O bus cycle time = 1/1400MHz = 710ps
 - Latencies
 - tCL = 11 ciclos = $11 \times 710\text{ps} = 7.8\text{ns}$
 - tRCD = 14 ciclos = $14 \times 710\text{ps} = 10\text{ns}$
 - tRP = 14 ciclos = $14 \times 710\text{ps} = 10\text{ns}$
 - tRAS = 35 ciclos = $35 \times 710\text{ps} = 24.8\text{ns}$
- Mejora PC3-22400 vs PC3-6400
 - Mejora del I/O bus cycle time = 710ps frente a 2.5ns = una reducción de $1.79\text{ns} = 1.79/2.5 = 71\%$

9.3.3.5. Diferencia entre PC2-6400 y PC3-6400

- No hay diferencias en cuanto a latencias ya que un 5-5-5 en los dos casos se refiere a una frecuencia del bus de memoria de 400MHz.
- Hay diferencias en cuanto a pines, tensión de alimentación, etc

9.3.3.6. Anchos de banda standard

- Módulos DDR1 SDRAM: PC-3200/PC-2700/PC-2100/PC-1600
- Módulos DDR2 SDRAM: PC2-6400/PC2-5300/PC2-4200/PC2-3200
- Módulos DDR3 SDRAM:
 - PC3-22400/PC3-21300/PC3-19200/PC3-17066/PC3-15000/PC3-12800/PC3-10600/PC3-8500/PC3-6400
 - DDR3-2800/DDR3-2666/DDR3-2400/DDR3-2133/DDR3-1866/DDR3-1600/DDR3-1325/DDR3-1065/DDR3-800/

aniyosgi diquenvsvi gega → miltar

diquenvsvi gega → go home

9.3.3.7. Capacidad

- http://en.wikipedia.org/wiki/Registered_memory
- Registered: RDIMM: Entre el controlador de memoria y el módulo de memoria hay un registro que memoriza la info de las líneas de control. Se manda el comando de control previamente a la transferencia, añadiendo un ciclo extra de bus. De esta forma se eliminan las líneas de control para la transferencia de comandos al controlador y así se disminuye la carga del bus de memoria del controlador de memoria y se consigue conectar más módulos al canal del controlador aumentando la capacidad de memoria.
- Unbuffered: UDIMM: No se latchea la info de la líneas de control.
- fully buffered:
 - Se registra tanto la info de las señales de control como de las señales de datos y direcciones con una reducción considerable de la carga de todos los buses del canal del controlador de memoria.
 - Los datos se transfieren en serie en lugar de en paralelo reduciendo el número de líneas y por lo tanto aumentando el número de módulos de memoria conectados al canal.

9.3.3.8. Bank Switching

- **Bank Switching**
 - En arquitecturas limitadas de 8 y 16 bits se utiliza la técnica *memory banking* para aumentar la capacidad de memoria.
 - En lugar de incrementar anchura del bus de direcciones incrementando el tamaño de palabra de la CPU y el bus de la placa base, se añaden más dispositivos de memoria direccionables mediante el mismo bus y un nuevo registro que selecciona uno de los dispositivos de memoria (Bank). No confundir con los bancos de los chips de memoria ni con los bancos de registros.
 - Bank switching significa cambiar de banco de memoria.

9.3.4. Imagenes

- [Imagenes](#)

9.4. Memoria Cache

9.4.1. Bibliografia

- Libro William Stalling
 - Capítulo 4.

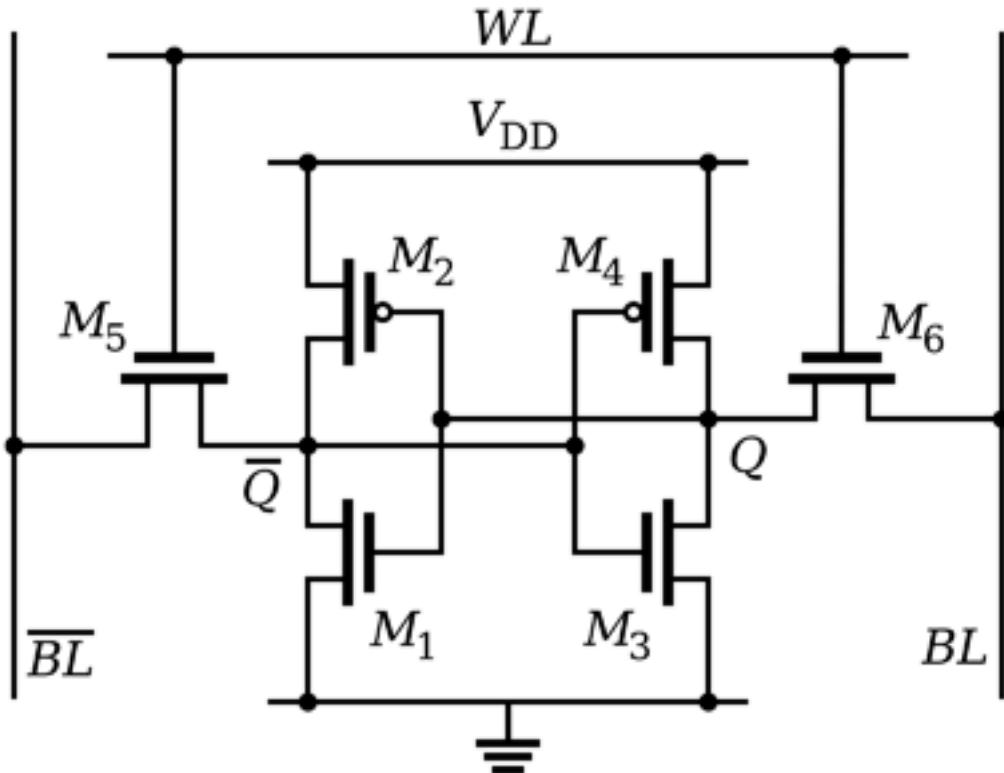
9.4.2. Introducción

- Objetivo
 - Principio de Localidad: Espacial y Temporal
- Ejercicio: Tiempo de acceso (probabilidad fallo ó exito)
- Tecnología: 6T
- Estructura
 - Controladora: función
- Espacios de direcciones
 - memoria principal
 - memoria cache
- Funciones de correspondencia entre espacios de direcciones:
 - Mapeo Directo
 - Asociación total
 - Asociación por conjuntos

9.4.3. Principios Basicos

9.4.3.1. Tecnologia

- Cell: SRAM-6T



9.4.3.2. Funcionalidad

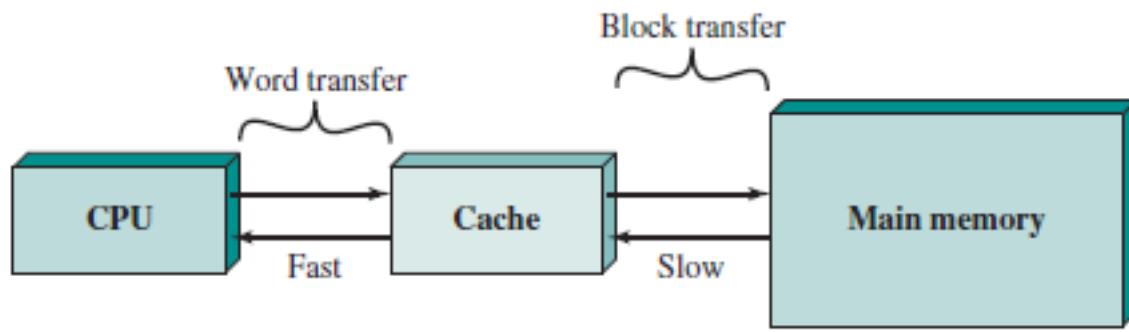
- Cuello de Botella von Neumann
- Memoria Cache:
 - Copia de una región o bloque de la memoria principal
- Principio de Localidad
 - Espacial: bucles, subrutinas, arrays
 - Temporal: histórico

9.4.3.3. Jerarquía

- Niveles de Cache
 - Level L1: Interna a la CPU : SRAM : memorias separadas para instrucciones y memoria para datos
 - Level L2: Externa/Internamente a la CPU:
 - Level L3: Externa a la CPU

9.4.3.4. Interconexión

- En serie CPU → L1 → L2 → L3 → SDRAM
- CPU → L : transferencia de Palabras
- L → SDRAM: bloques



(a) Single cache

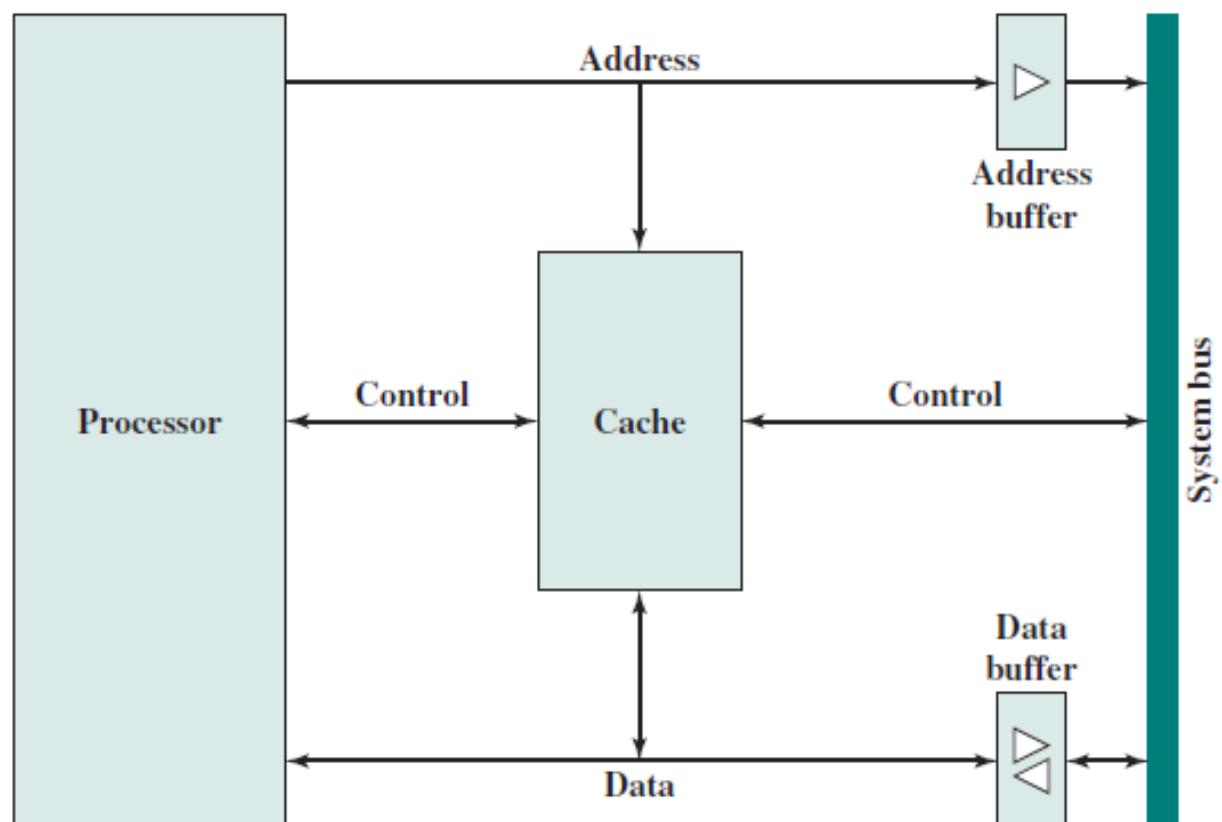


Figure 4.6 Typical Cache Organization

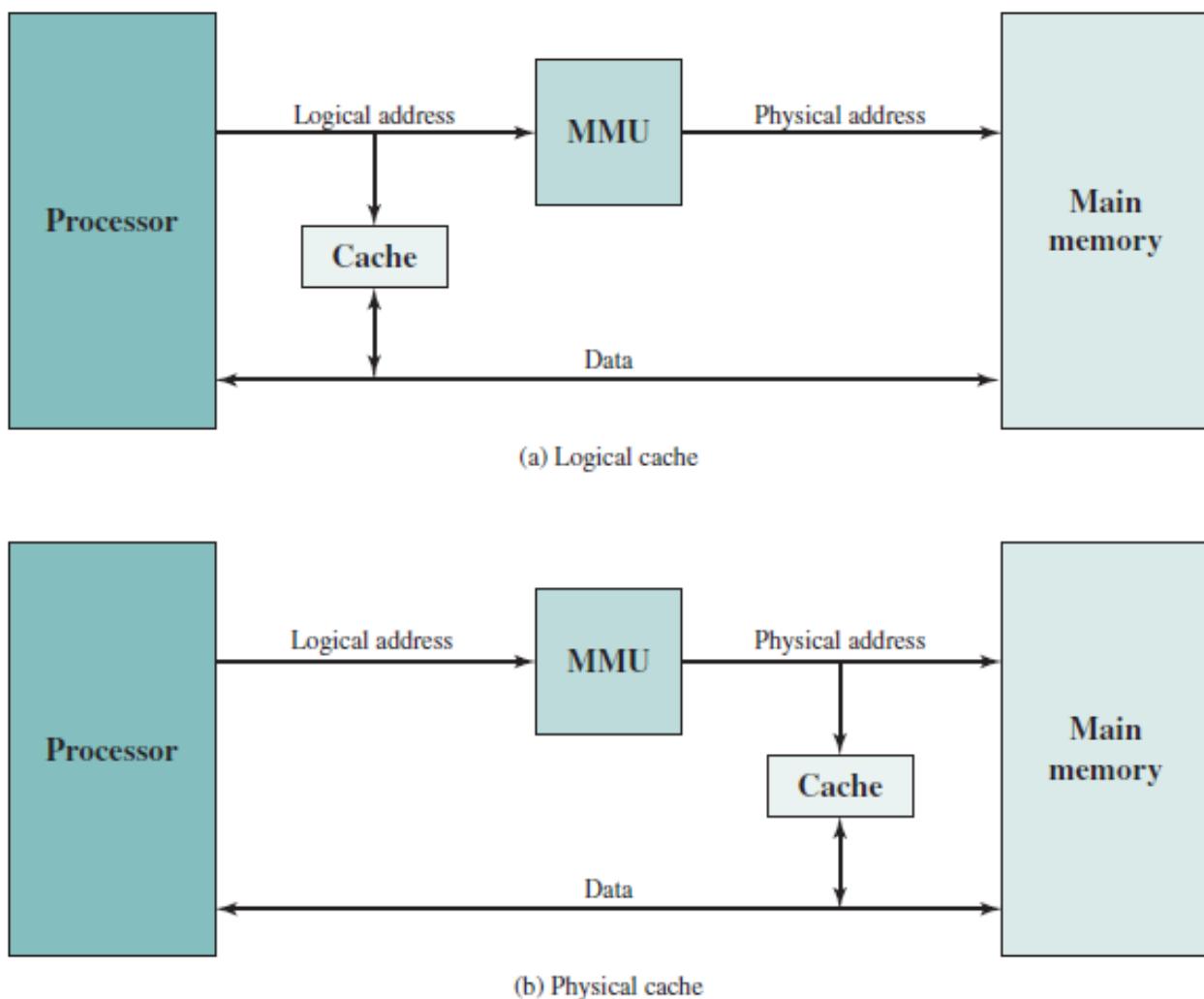


Figure 4.7 Logical and Physical Caches

9.4.3.5. Acierto-Fallo

- Ejemplo 4.1

9.4.3.6. Estructura Cache/Principal

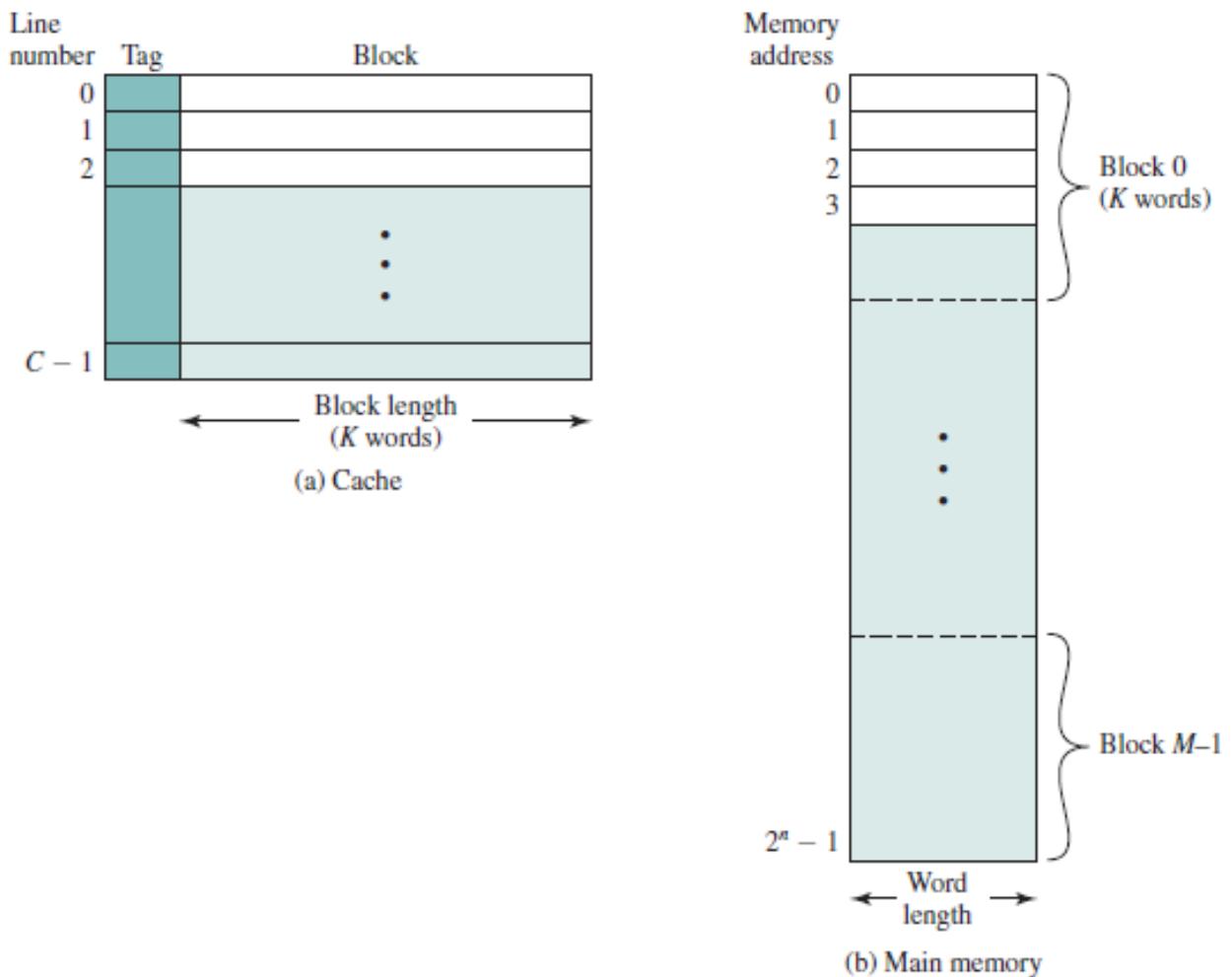
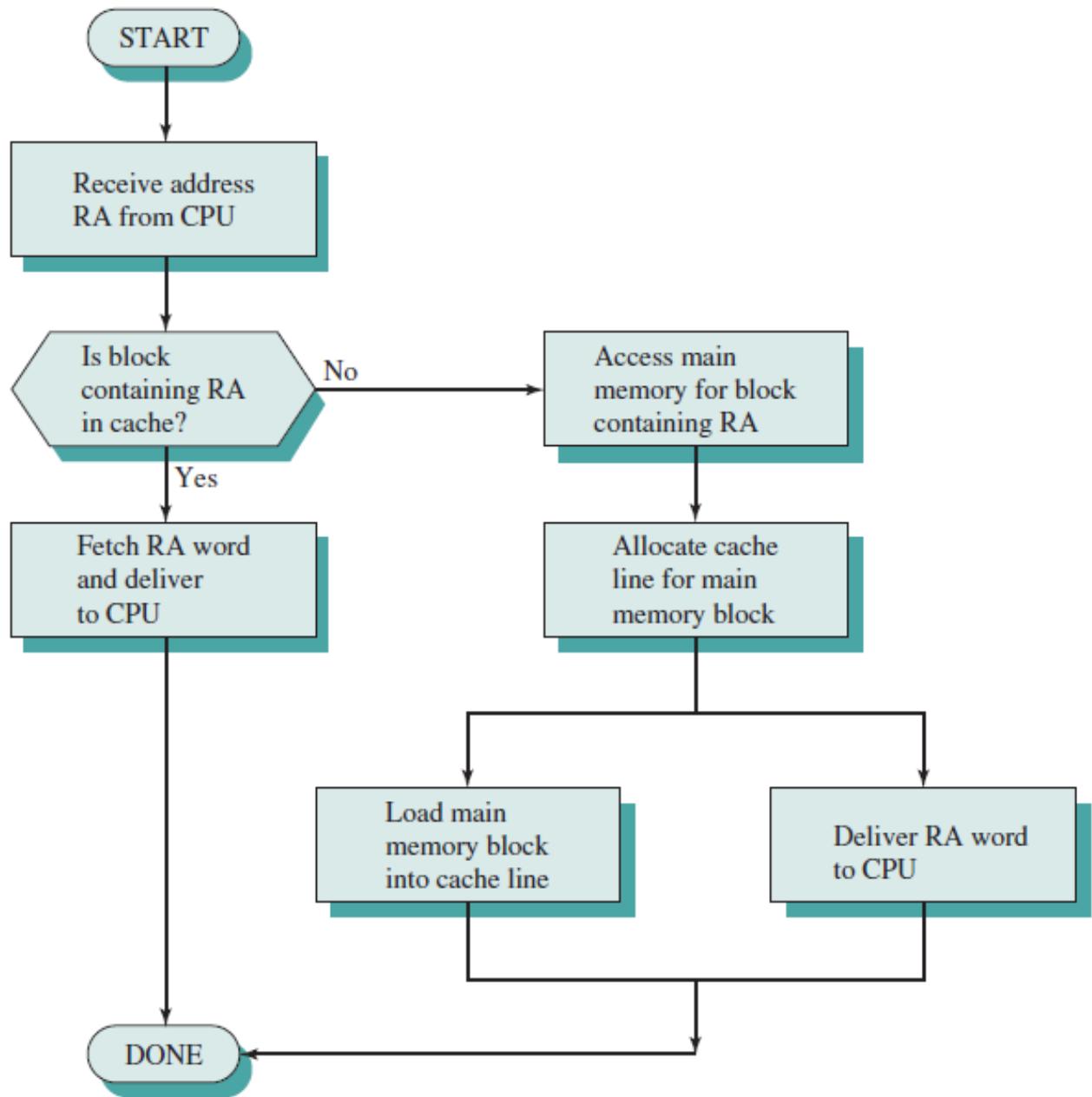


Figure 4.4 Cache/Main Memory Structure

- Cache: bytes → palabras → líneas
- MP: bytes → palabras → bloques
- Dirección: n bits : bus de direcciones del sistema → Capacidad= 2^n palabras → OJO: no bytes
- Direccionable: palabras : bus de datos del sistema
- Organizada en Bloques de K palabras
- Número de bloques : Capacidad en palabras / K
- Dirección: N° de Línea y Palabra
- Direccionable: Palabra
- Capacidad: C Líneas
- Organizada en Líneas de K palabras y 1 etiqueta
- Etiqueta: Asociación Línea con Bloque de la Memoria Principal

9.4.3.7. Operacion de Lectura



- Organigrama de operaciones
- Controladora de la Caché

9.4.4. Elementos de Diseño de la Cache

- Elementos:
 - Tamaño de la Caché, Función de Correspondencia, Algoritmos de Sustitución, Política de Escritura, Tamaño de Línea, Número de Cachés

9.4.4.1. Tamaño

- Contradicción: Cuanto más grande más lenta y más probabilidades de acierto.
- L1: KB
- L2: MB
- L3: MB

9.4.4.2. Función de Correspondencia

- Directa, Totalmente Asociativa, Asociativa en Grupo
- Libro W.Stalling. Capítulo 4. Ejemplo 4.2
- Ejemplo para los 3 casos:
 - m : caché de capacidad 64 KB = $4 * 2^{14}$ bytes
 - MP :
 - word size : 1 byte
 - palabras/bloque = 4.
 - capacidad = 16MB = 2^{24} bytes = $4 * 2^{22}$ = 4M bloques
- La capacidad de la caché m son 2^{14} líneas = 16K líneas
- La relación de capacidad caché/MP es $16K/4M = 1/(2^8)$
- Estructura de direcciones
 - Memoria principal : bloques de palabras
 - Memoria cache : líneas de palabras
- Función de correspondencia
 - determinista - ningún grado de libertad en la elección de la línea correspondiente a un bloque determinado.

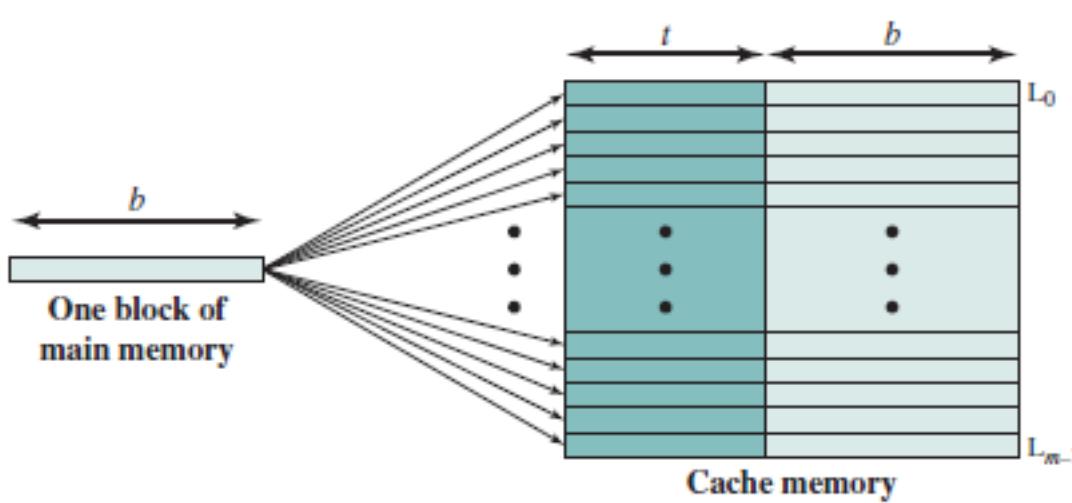
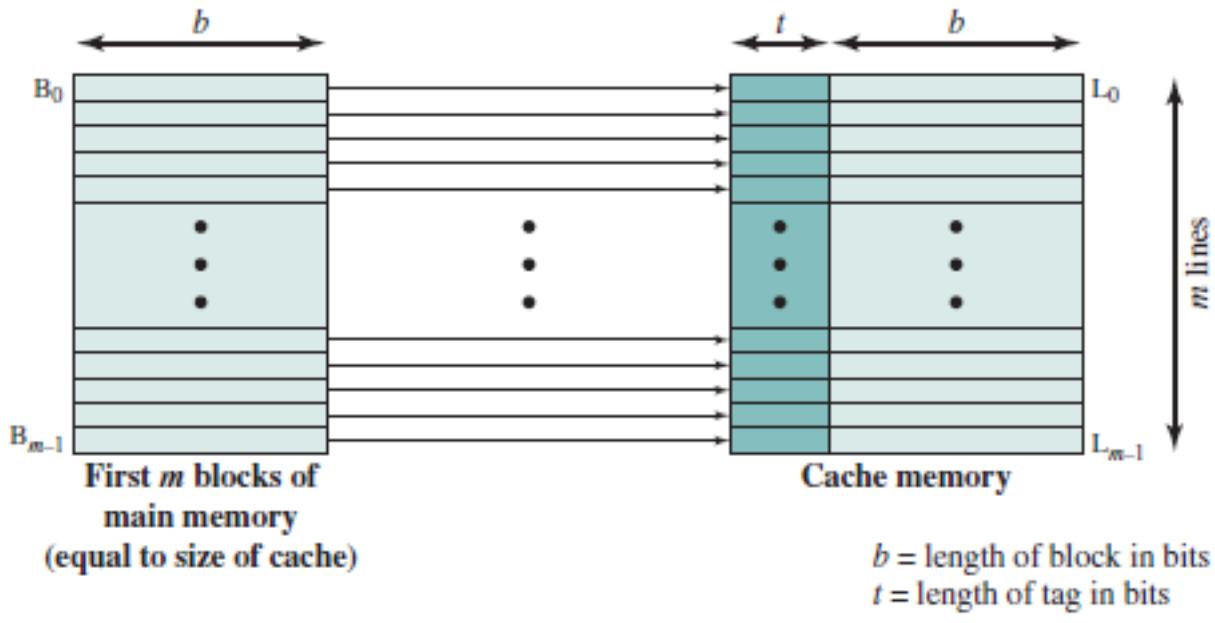


Figure 4.8 Mapping from Main Memory to Cache: Direct and Associative

- i: número de línea de caché
- j: número de bloque de la memoria principal
- m: número de líneas en la caché
- Función de correspondencia
 - $i = j \bmod m$
- Organización de la caché
 - Caché + Controladora

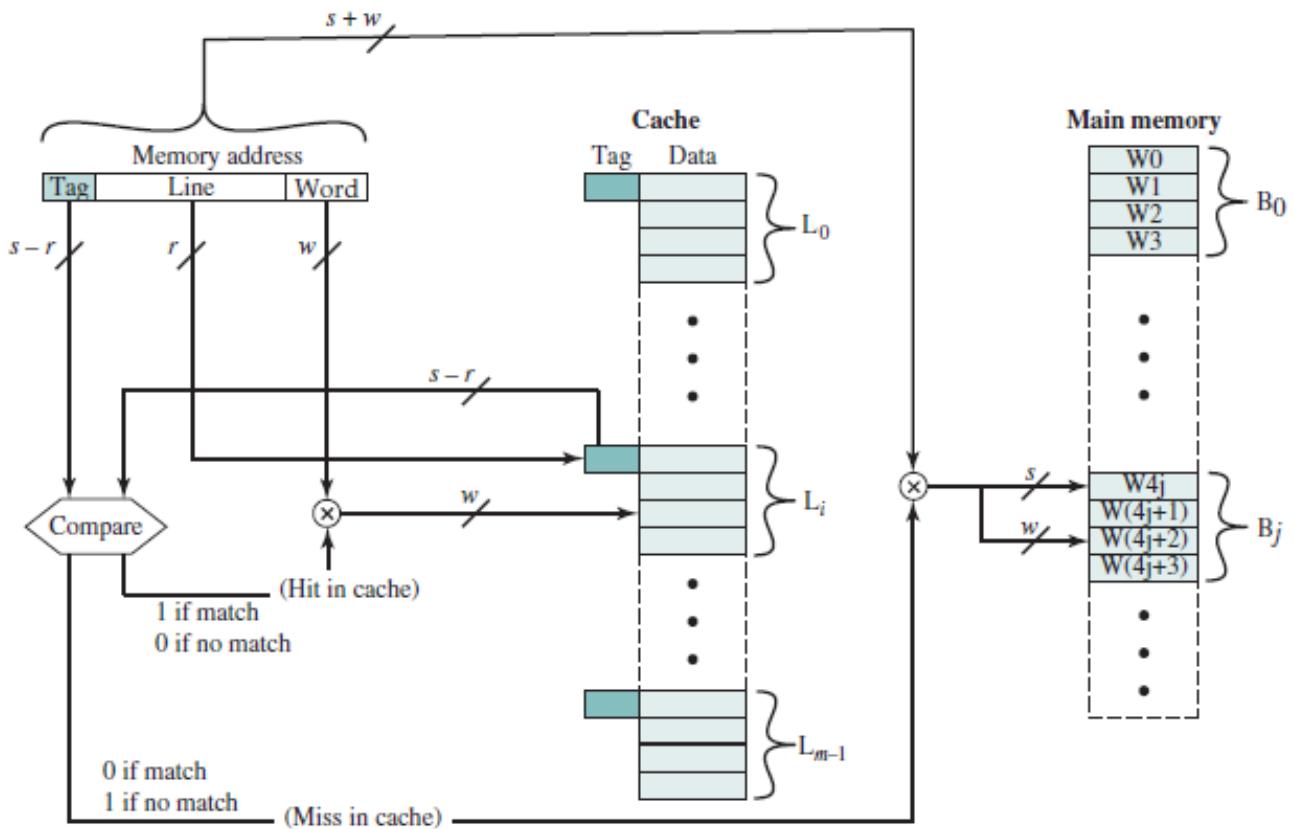


Figure 4.9 Direct-Mapping Cache Organization

- Formato de direcciones
 - Dirección física de la memoria principal: bloque-palabra
 - Dirección física de la memoria cache: tag-línea-palabra
- Operación de búsqueda de una palabra en la memoria caché.
 - Determinar los campos de etiqueta, línea y palabra del formato de direcciones de la memoria caché.
 - La palabra pudiera estar en únicamente en la línea asignada, por lo que es necesario comparar únicamente la etiqueta de dicha línea con la etiqueta del formato de direcciones.
- Ejemplo 4.2
 - Ejemplo 4.2a

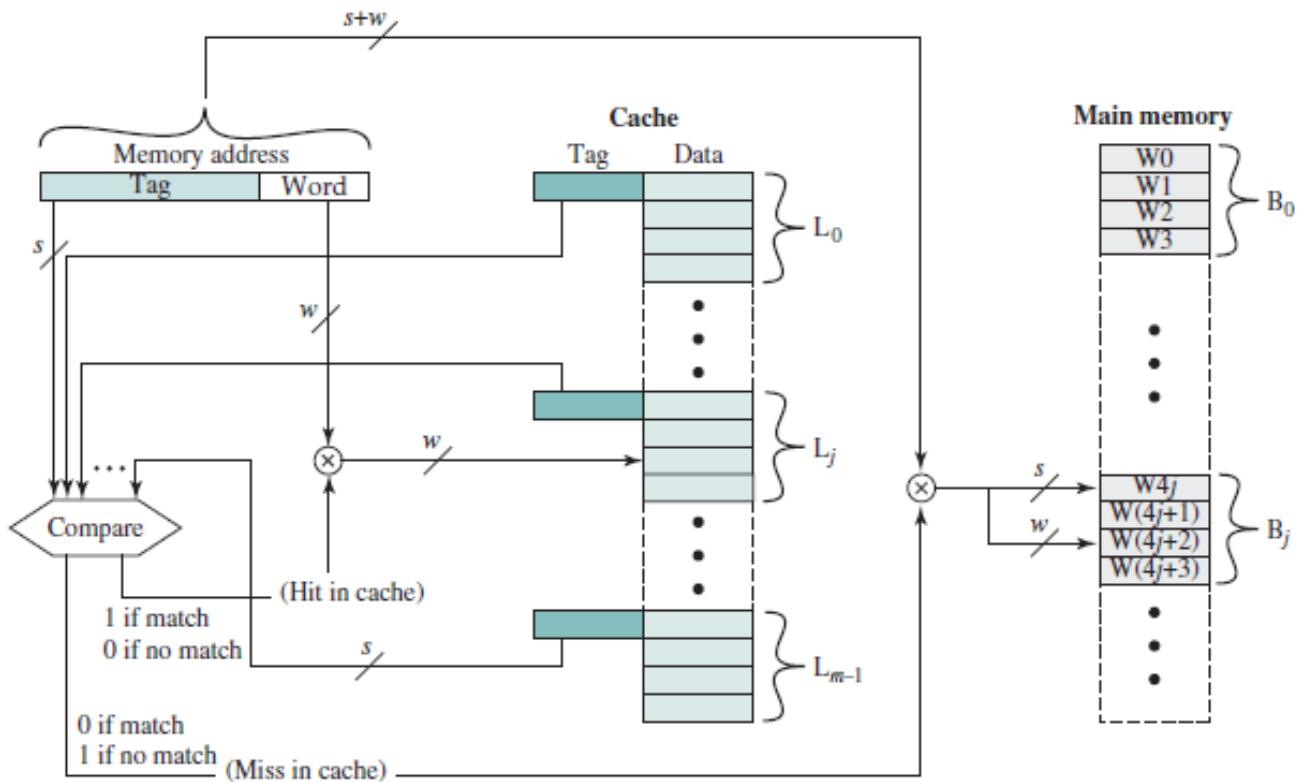
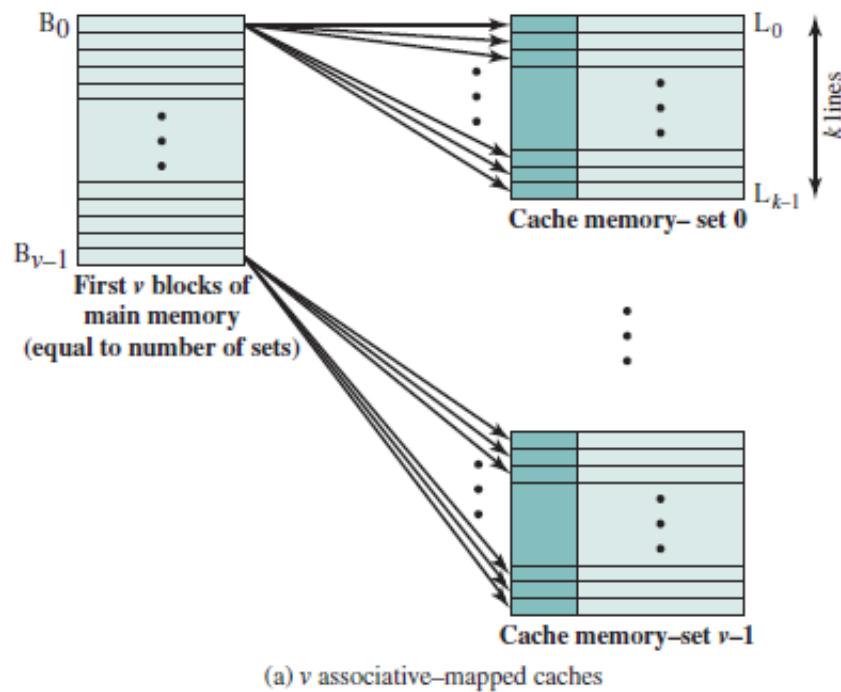
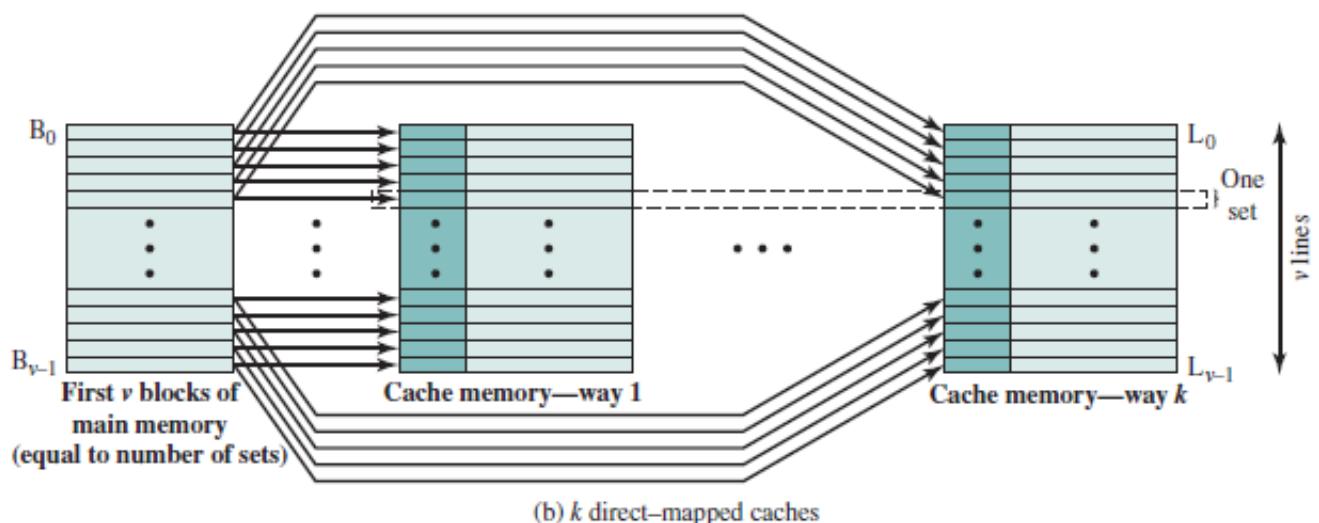


Figure 4.11 Fully Associative Cache Organization

- La dirección de memoria tiene únicamente dos campos
 - s bits= etiqueta: orden del bloque de MP : desde 1 hasta 4M.
 - w bits= orden de la palabra dentro del bloque: desde 1 hasta 4.
- controlador de caché
 - todas las etiquetas de las líneas de caché son SIMULTANEAMENTE comparadas con la etiqueta de la palabra referenciada.
 - si éxito, s apunta a la línea que contiene la palabra referenciada y w apunta a la palabra referenciada.
 - si fracaso, s apunta al bloque de la MP que contiene la palabra referenciada y w apunta a la palabra referenciada.
- función de correspondencia
 - NO HAY NORMA → CADA BLOQUE DE MP PUEDE SER ASIGNADA A CUALQUIER LINEA DE LA CACHE
 - LIBRE: un bloque de MP no tiene asignada ninguna línea específica y el controlador cache puede seleccionar qué línea será asignada a dicho bloque.
 - Formato de direcciones
- Dirección física de la memoria principal: bloque-palabra
- Dirección física de la memoria cache: tag-palabra
 - Operación de búsqueda de una palabra en la memoria caché.
- Determinar los campos de etiqueta y palabra del formato de direcciones de la memoria caché.
- La palabra puede estar en cualquier línea, por lo que es necesario comparar las etiquetas de todas las líneas

- Diferencia con el mapeo directo:
- el campo de etiqueta tiene s bits $\gg s-r$ bits
- la comparación es entre todas las etiquetas \rightarrow hardware complejo \rightarrow coste

(a) v associative-mapped caches(b) k direct-mapped caches**Figure 4.13** Mapping from Main Memory to Cache: k -Way Set Associative

- compromiso entre el rigor de la correspondencia directa y la flexibilidad de la correspondencia totalmente asociativa.
 - La dirección de memoria tiene 3 campos: TAG-SET-WORD \rightarrow (s-d)/d/w
 - w bits : orden de la palabra. Con 2^w palabras formo un bloque
 - d bits :
 - ◊ CONJUNTO de bloques o SET de bloques o SUPERbloque o SUPERlínea.

- $d < l$: dividimos la cache en v superbloques.
- Con $v=2^d$ superbloques de k bloques formo la memoria cache.
- Al número k de líneas de cada superbloque se le denomina VIA (WAY)
- estructura de la MP: queda dividida en bloques y superbloques.
 - 2^s es el número de bloques que si los agrupo en sets de k bloques tendré en MP 2^t agrupamientos de 2^d sets cada uno $\rightarrow 2^s * 2^w = 2^t * 2^d * 2^w \rightarrow 2^s = 2^t * 2^d \rightarrow N^o$ de bloques = N^o de etiquetas * N^o sets
 - $s-d$ bits: n^o de bits de la etiqueta : ¿qué representa $2^{(s-d)}$?
- función de correspondencia
 - $i = j$ modulo $v \rightarrow$ NORMA SEMIRIGIDA: CADA BLOQUE TIENE ASIGNADO UN CONJUNTO ESPECIFICO DE LINEAS PERO NO TIENE ASIGNADA LA LINEA DENTRO DEL CONJUNTO
 - donde v es el número de superbloques, j es el número de bloque en MP e i el número de superbloque en la caché.
 - dentro del superbloque i hay flexibilidad para asignarle una de las líneas o vías dentro del superbloque.
- número de vías
 - si el número de vías fuese 1 no habría ninguna libertad de asignación y estaríamos en el caso de correspondencia directa
 - si el número de vías fuese 2 habría poco de libertad ya que habría que elegir una línea a sustituir de dos líneas posibles.
 - si el número de vías fuese la capacidad de la caché el grado de libertad sería máximo, a sustituir una línea de m posibles.

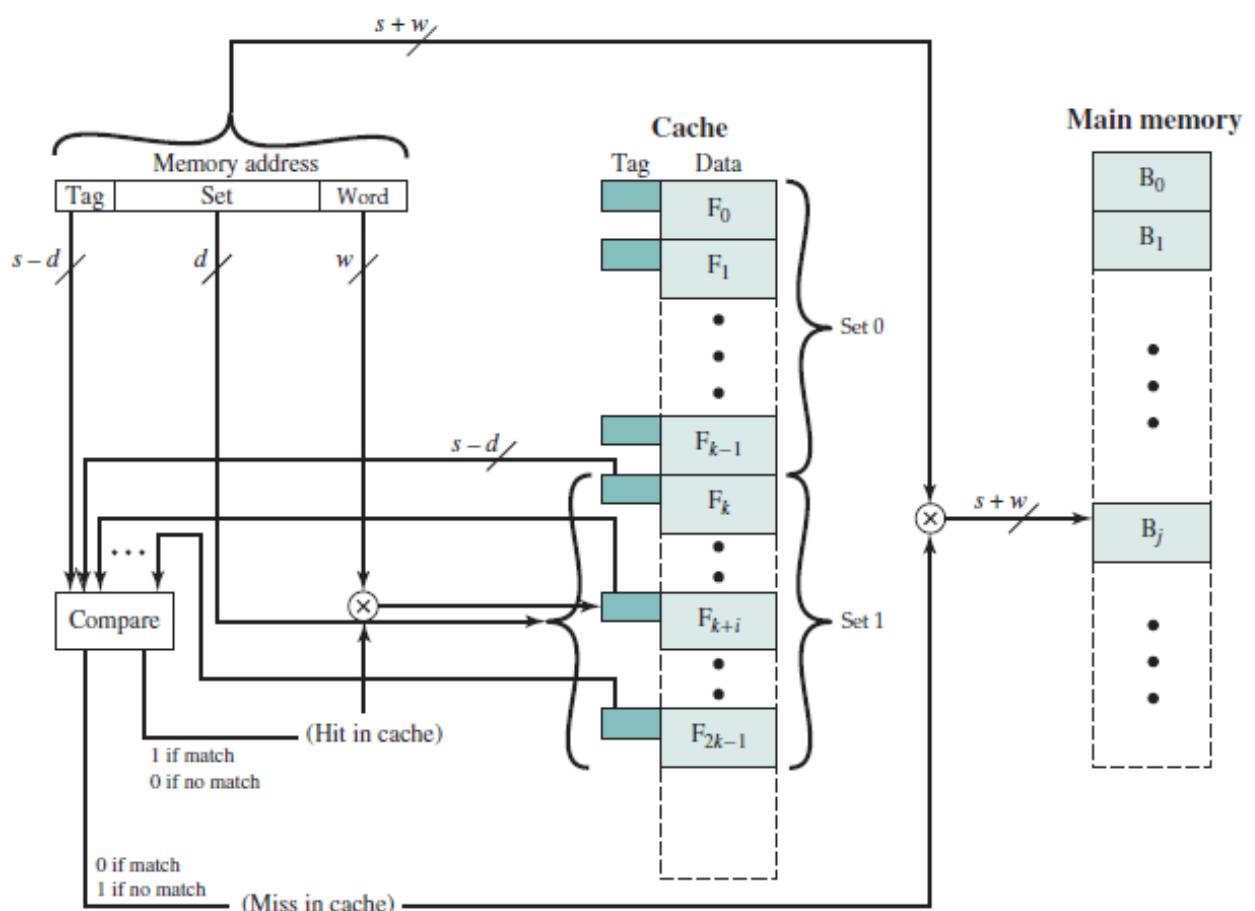


Figure 4.14 K-Way Set Associative Cache Organization

- Formato de direcciones

- Dirección física de la memoria principal: bloque-palabra
 - Dirección física de la memoria cache: tag-set-palabra
- Operación de búsqueda de una palabra en la memoria caché.
- Determinar los campos de etiqueta y set del formato de direcciones de la memoria caché.
 - La palabra puede estar en cualquier línea pero únicamente del set asignado, por lo que es necesario comparar las etiquetas únicamente de las líneas de dicho set.
- En la función de correspondencia de mapeo directo no hay ninguna libertad a la hora de seleccionar la línea de la cache, esta viene determinada por la función de correspondencia. En el caso de función asociativa total la libertad es total pudiendo elegir la línea a ocupar siguiendo criterios estadísticos, etc. En el caso de función asociativa por conjuntos no hay ninguna libertad en la asignación del conjunto de líneas determinado por la función pero sí en la elección de la línea dentro del conjunto asignado por la función.
- Los dos primeros casos, mapeo directo y asociativa total, son los casos extremos de la asociativa por conjuntos:
- Asociativa por conjuntos con un set de una línea sería el caso de mapeo directo
 - Asociativa por conjuntos con un set de todas las líneas de la cache sería el caso de asociativa total

9.5. Memoria Virtual

9.5.1. Bibliografía

- Computer Organization and Architecture: Designing for Performance. William Stalling, Cap8 Sistemas Operativos: 8.3 Gestión de la Memoria
 - Sistema Operativo: Gestión de la Memoria
- Computer Systems A Programmer's Perspective, Randal E. Bryant. Capítulo 9. Virtual Memory

9.5.2. Sistemas Operativos: Gestión de la Memoria

9.5.2.1. Sistemas Multiproceso

- En un sistema multitarea hay más de un proceso ejecutándose y residente en la memoria principal.
- La memoria principal es un recurso compartido por todos los procesos. En un entorno multiproceso, es necesario gestionar el recurso compartido para asignar regiones de memoria física a cada proceso, para proteger espacios de memoria entre los distintos procesos, etc
- Históricamente la memoria principal era muy limitada frente al tamaño de los programas.
- Técnicas de gestión de la memoria en sistemas operativos: swapping, particionamiento, memoria virtual, segmentación, paginación. .

9.5.2.2. Gestión de la Memoria Física

- La memoria principal es la memoria física externa a la CPU e implementada en tecnología SDRAM con una capacidad típica en el año 2010 de 4GB.
- Significa intercambio.
- Los programas se almacenan en el disco duro como módulos objeto ejecutables.
- Los módulos ejecutables deben cargarse en memoria para ser ejecutados, convirtiéndose en procesos.
- La memoria es *limitada* por lo que no puede almacenar todos los procesos requeridos por el usuario.
- Una solución es que los procesos utilicen tanto la memoria principal como el disco duro. En memoria residen los procesos que son ejecutados en un momento dado y cuando uno de dichos procesos no requiere de la CPU (espera a un evento i/o)(no está en estado ready) se intercambia con el disco duro por un proceso que si requiere de la CPU (está en estado ready). La transferencia del proceso hacia la memoria principal se denomina swap-in y la transferencia hacia el disco duro swap-out.
- Se **intercambia todo** el proceso.
- Hay un intercambio de procesos completos entre la memoria y el disco duro. Este es el concepto de swap para algunos sistemas operativos como Solaris y el que se toma por definición. En Linux tiene otro significado.
- Al trasladar un proceso de memoria al disco duro se genera un **hueco en la memoria**. La existencia de múltiples huecos dispersados por la memoria se le denomina *fragmentación externa*.
- El inconveniente es que el swapping requiere de un operación i/o con el disco duro ralentizando el rendimiento de la computadora.
- Es una técnica para asignar memoria principal a los distintos procesos que están siendo ejecutados concurrentemente en la computadora.

- La memoria se divide en múltiples regiones o *particiones* de tamaño no uniforme.
- A un proceso se le asigna una partición de *igual o mayor tamaño*.
- Se utiliza en sistemas multitarea donde la memoria principal es compartida por múltiples procesos. De esta manera se puede *gestionar el compartir* la memoria entre los diferentes procesos, protección, permisos, superusuario, etc
- Cuando el proceso no está ready se realiza un swapping con el disco duro.
- Dos alternativas : la estructura de las particiones puede ser fijo o variable en el tiempo. En los dos casos un proceso requiere una partición, es decir, una región de posiciones de memoria **contiguas**.
- Particionamiento fijo :
 - La memoria principal se parte en regiones cuyo tamaño no varía durante la ejecución de los procesos.
 - Particionamiento fijo con regiones de igual tamaño o particionamiento fijo con regiones de diferente tamaño.
 - A los procesos se les asigna una partición de tamaño mayor que el requerido. Esto produce **fragmentación interna**, ya que una zona de la partición no es aprovechada por ningún proceso.
- Particionamiento variable o dinámico:
 - A cada proceso se le asigna justo la memoria que necesita. No hay fragmentación interna.
 - El tamaño de las particiones cambia dinámicamente según se intercambian procesos con el disco duro adaptándose al tamaño de estos.
 - La **fragmentación externa** es considerable. Se podría reducir compactando los huecos dispersos, para lo cual es necesario mover o reubicar los procesos en la memoria principal. La reubicación de procesos significa resolver todas las direcciones físicas nuevamente en tiempo de ejecución → puede resultar inviable el tiempo requerido.
 - Hay publicidad de programas que defragmentan la memoria principal lo cual no es posible ya que únicamente el S.O. conoce las direcciones físicas de un proceso.
- La solución a la fragmentación debido a la técnica del particionamiento de la memoria física es la técnica de memoria virtual bien segmentada o bien paginada o ambas.

9.5.2.3. Gestión mediante la Memoria Virtual

- Los problemas de gestionar la memoria de los procesos asignando a los procesos *directamente* un espacio de direcciones físico se resuelven mediante el mecanismo de la *memoria virtual*.
- El programador, el compilador, el linker y los procesos no operan con direcciones físicas.
- El programador referencia la memoria en el módulo fuente con símbolos (etiquetas, variables, nombres de funciones, etc)
- El compilador y el linker traducen los símbolos a direcciones de una memoria imaginaria lineal y contigua denominada memoria virtual.
- Esta independencia de las direcciones físicas simplifica enormemente la gestión de la memoria.
- Desensamblado del módulo objeto ejecutable residente en el disco
 - objdump -S exit

```
exit:      file format elf64-x86-64

Disassembly of section .text:
000000000400078 <.text>:
400078: 48 c7 c0 3c 00 00 00    mov    $0x3c,%rax
40007f: 48 c7 c7 ff 00 00 00    mov    $0xff,%rdi
400086: 0f 05                 syscall
```

- Las direcciones 0x400078... son direcciones del espacio virtual. El espacio de direcciones virtual es *lineal*, contiguo y único.
 - La dirección virtual 0x0000000000400078 comprende 16 dígitos hexadecimales, es decir, el espacio de direcciones virtual del proceso *exit* tiene capacidad para 2^{64} Bytes.
- Cada proceso tiene su propio espacio de direcciones virtual.
 - Todos los procesos han de compartir la misma memoria física.
 - Todos los espacios virtuales han de ser traducidos al mismo espacio físico.
- Cada vez que la CPU acceda a memoria para capturar instrucciones y datos o escribir resultados, será necesario *traducir* la dirección lógica en una dirección física. Es decir, las direcciones
 - Esta traducción la realiza la unidad hardware *Management Memory Unit (MMU)*.
- En el intercambio de procesos entre la memoria y el disco duro, las direcciones físicas de memoria donde son cargados los datos y las instrucciones pueden cambiar. Debido a ello no es factible un modelo de direccionamiento que utilice direcciones físicas absolutas.
 - Las direcciones del proceso se expresan de forma **relativa** respecto de una **dirección base**. Al par dirección base y offset se le denomina *dirección lógica*.
 - Esta dirección lógica es una dirección virtual, no física.
- El espacio de memoria virtual se puede gestionar utilizando dos mecanismos o la combinación de ellos:
 - **Segmentación**
 - La memoria virtual de un proceso se divide en unidades lógicas indivisibles denominadas segmentos
 - **Paginación**
 - La memoria virtual de un proceso y la memoria física de la computadora se dividen en unidades denominadas páginas (lógicas en la memoria virtual y físicas en la memoria principal).

9.5.3. Memoria Virtual Segmentada

9.5.3.1. Interpretación de la segmentación

- La segmentación se puede aplicar tanto al espacio de direcciones físico como al espacio de direcciones virtual.
 - a. Segmentación del espacio de direcciones virtual
 - División de un programa (proceso) en unidades lógicas: código, variables inicializados, variables sin inicializar, datos read only, etc. División de la memoria virtual de un proceso en áreas de **memoria contigua** y cuyo tamaño puede variar dinámicamente. Los segmentos lógicos no se pueden dividir.
 - Facilita el trabajo del compilador, linker, sharing, etc
 - El espacio total de la memoria virtual formado por todos los procesos estaría formado por la dirección base segmento y el desplazamiento (offset) del registro contador de programa.
 - Se ha utilizado memoria virtual segmentada en las CPU: 80286, 80386, 80486 y Pentium
 - b. Segmentación del espacio de direcciones físico.
 - Se utilizó en la arquitectura intel 8086 para pasar de un bus de direcciones de 16 bits a 20 bits manteniendo el tamaño de los registros con 16 bits.
 - Incrementar el espacio de direcciones físicas añadiendo un registro de segmento y sin incrementar el tamaño del registro contador de programa. Por ejemplo un microprocesador Intel de 16 bits sin segmentación tiene limitado el espacio físico a $2^{16} = 64KB$. Con el mismo micro y un registro adicional de segmento RS de 16 bits podemos concatenar el registro RS con el contador de programa PC formando direcciones físicas de 32 bits con lo que tendríamos un espacio de direcciones físicas de $2^{32} = 4GB$

9.5.3.2. Secciones

- cada módulo objeto reubicable está estructurado en secciones
- una sección es una división lógica, no física.
- la estructura en secciones se define en el módulo fuente
- Secciones principales
 - text : instrucciones
 - data : variables inicializadas
 - rodata: variables readonly
 - bss: variables sin inicializar
- readelf -S maximum

```
There are 16 section headers, starting at offset 0x448:
```

Section Headers:

| [Nr] | Name | Type | Address | Offset | Flags | Link | Info | Align |
|------|------------------|------------------|------------------|------------------|-------|------|------|-------|
| | Size | EntSize | | | | | | |
| [0] | | NULL | 0000000000000000 | 0000000000000000 | | 0 | 0 | 0 |
| | 0000000000000000 | 0000000000000000 | | | | | | |
| [1] | .interp | PROGBITS | 0000000000400158 | 00000158 | | | | |
| | 000000000000001c | 0000000000000000 | A | 0 | | 0 | 1 | |
| [2] | .hash | HASH | 0000000000400178 | 00000178 | | | | |
| | 000000000000000c | 0000000000000004 | A | 3 | | 0 | 8 | |
| [3] | .dynsym | DYNSYM | 0000000000400188 | 00000188 | | | | |
| | 0000000000000000 | 0000000000000018 | A | 4 | | 1 | 8 | |
| [4] | .dynstr | STRTAB | 0000000000400188 | 00000188 | | | | |
| | 000000000000000b | 0000000000000000 | A | 0 | | 0 | 1 | |
| [5] | .text | PROGBITS | 0000000000400193 | 00000193 | | | | |
| | 0000000000000037 | 0000000000000000 | AX | 0 | | 0 | 1 | |
| [6] | .eh_frame | PROGBITS | 00000000004001d0 | 000001d0 | | | | |
| | 0000000000000000 | 0000000000000000 | A | 0 | | 0 | 8 | |
| [7] | .dynamic | DYNAMIC | 00000000006001d0 | 000001d0 | | | | |
| | 0000000000000d0 | 0000000000000010 | WA | 4 | | 0 | 8 | |
| [8] | .data | PROGBITS | 00000000006002a0 | 000002a0 | | | | |
| | 0000000000000e | 0000000000000000 | WA | 0 | | 0 | 1 | |
| [9] | .debug_aranges | PROGBITS | 0000000000000000 | 000002b0 | | | | |
| | 000000000000030 | 0000000000000000 | | 0 | | 0 | 16 | |
| [10] | .debug_info | PROGBITS | 0000000000000000 | 000002e0 | | | | |
| | 000000000000078 | 0000000000000000 | | 0 | | 0 | 1 | |
| [11] | .debug_abbrev | PROGBITS | 0000000000000000 | 00000358 | | | | |
| | 000000000000014 | 0000000000000000 | | 0 | | 0 | 1 | |
| [12] | .debug_line | PROGBITS | 0000000000000000 | 0000036c | | | | |
| | 00000000000004a | 0000000000000000 | | 0 | | 0 | 1 | |
| [13] | .shstrtab | STRTAB | 0000000000000000 | 000003b6 | | | | |
| | 00000000000008d | 0000000000000000 | | 0 | | 0 | 1 | |
| [14] | .symtab | SYMTAB | 0000000000000000 | 00000848 | | | | |
| | 0000000000000240 | 0000000000000018 | | 15 | | 20 | 8 | |
| [15] | .strtab | STRTAB | 0000000000000000 | 00000a88 | | | | |
| | 000000000000006f | 0000000000000000 | | 0 | | 0 | 1 | |

Key to Flags:

W (write), A (alloc), X (execute), M (merge), S (strings), l (large)
 I (info), L (link order), G (group), T (TLS), E (exclude), x (unknown)
 O (extra OS processing required) o (OS specific), p (processor specific)

9.5.3.3. Enlace de Secciones

- el linker mezcla de forma organizada cada tipo de sección de todos los módulos objeto reubicables generando un único módulo objeto ejecutable
- Ejemplo de tres módulos objeto reubicables:
 - los tres módulos fuente p1.c, p2.c, p3.c se compilan dando lugar a p1.o, p2.o y p3.o los cuales se enlazan dando lugar al ejecutable *p*

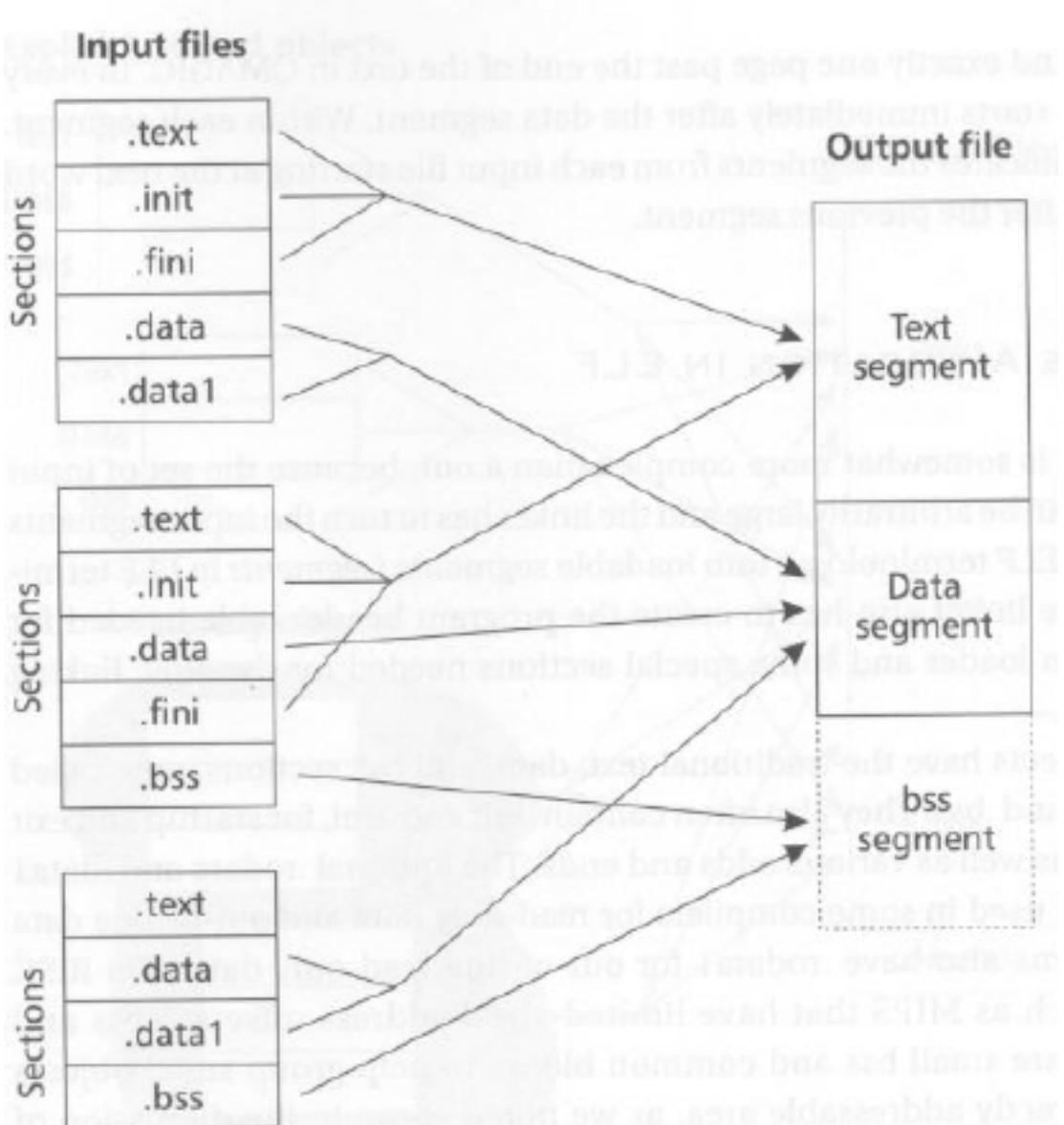


FIGURE 4.9 • ELF linking.

9.5.3.4. Segmentos lógicos

- El módulo ejecutable está estructurado en segmentos
 - text

- código de las instrucciones a ejecutar
- data
 - código de datos: variables inicializadas, sin inicializar
- stack
 - pila
- heap
 - montículo
 - es la asignación de memoria en tiempo de ejecución
 - en C la función `malloc()`: memory allocation: `void *malloc(size_t size)`
 - size: tamaño en bytes de la memoria a asignar
 - devuelve un puntero a la región de memoria asignada
- mapa de memoria del programa en ejecución

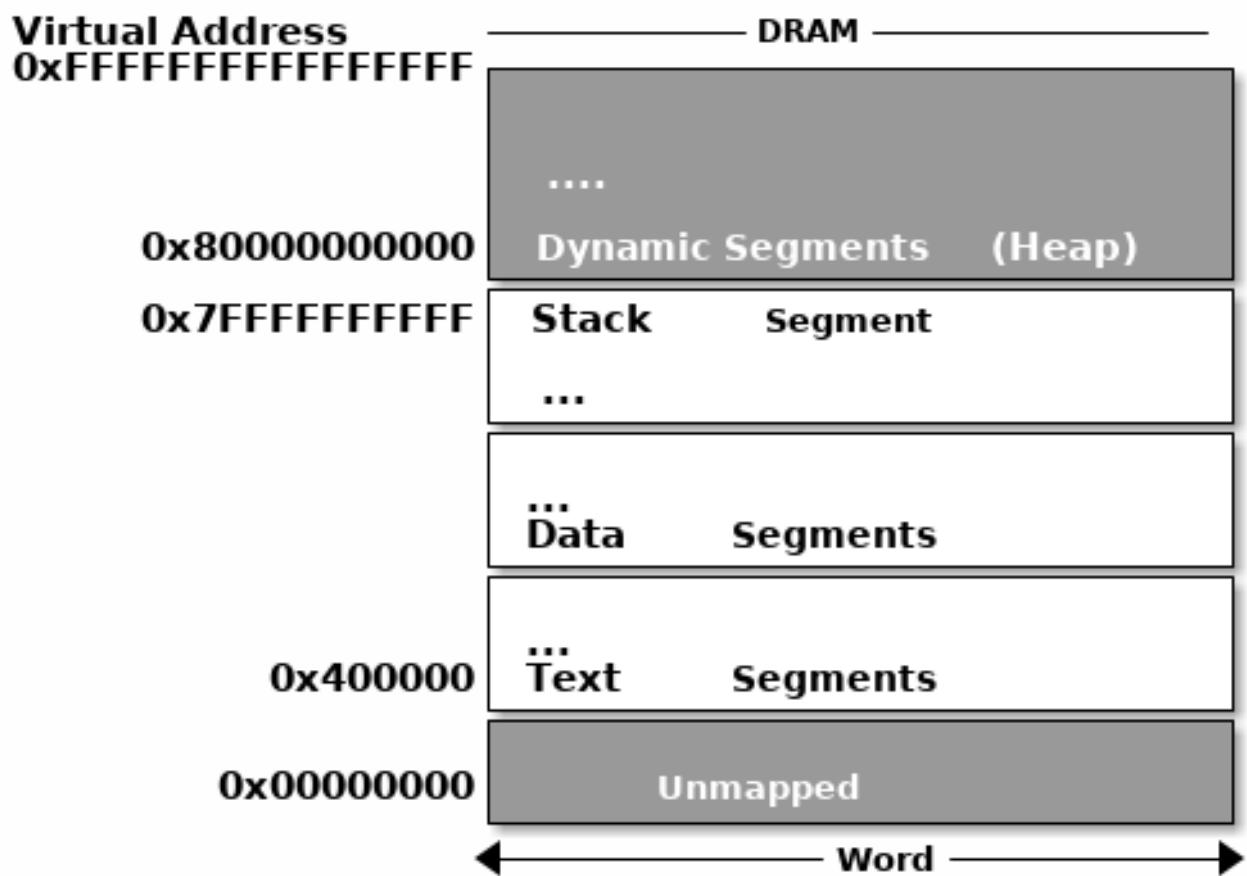


Figure 9.26
The virtual memory of a Linux process.

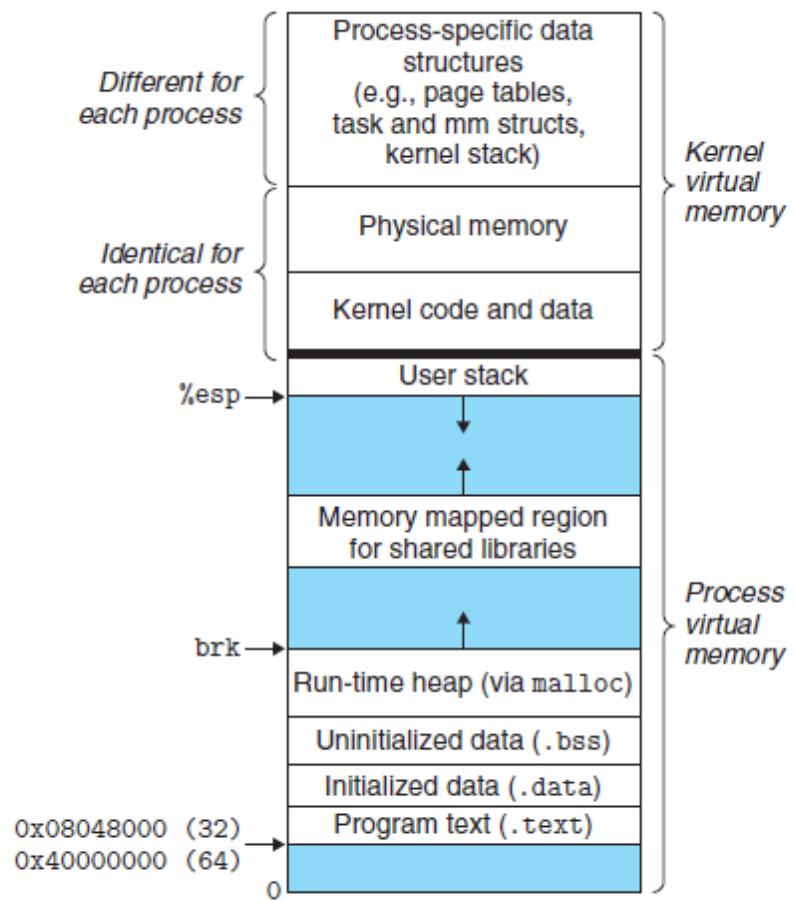


Figura 9.1: linux_vm_map

Figure 7.13
Linux run-time memory
image.

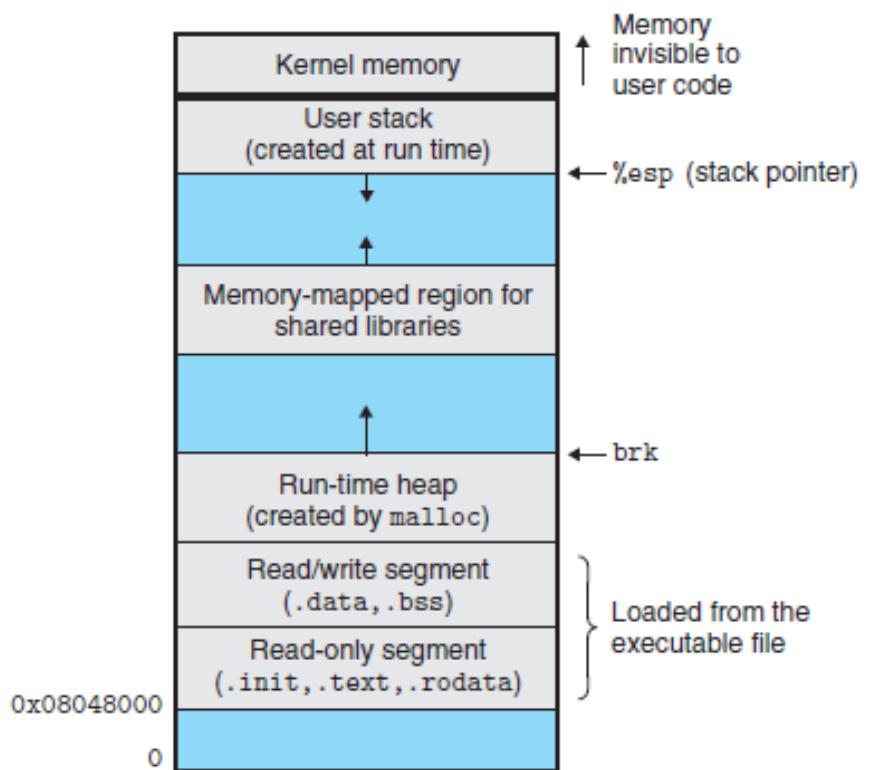
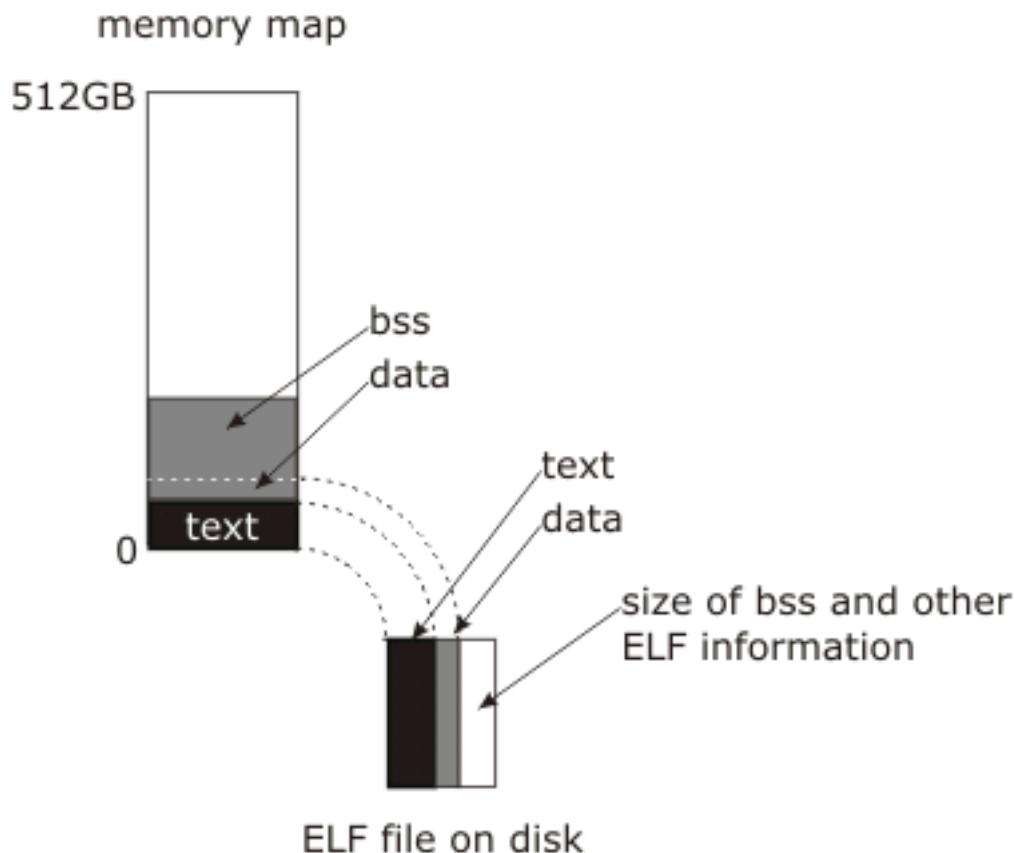


Figura 9.2: linux_vm_map_2

- Cada proceso tiene su propia memoria virtual independiente del resto de los procesos
- Los segmentos pueden cambiar de tamaño dinámicamente en tiempo de ejecución.
 - Carga del módulo objeto ejecutable
- El loader no carga el módulo ejecutable en DRAM, sino que mapea el fichero a memoria virtual, creando la tabla de páginas.
- La carga efectiva se realiza bajo demanda.



9.5.3.5. Evolución memoria Intel 8086-80286

- 80x86 → (bits bus direcciones, bits bus datos)
- 8086 → (20,16) → 2^{20} =1MB de memoria física→ Modo Real
 - Segmentación
 - La dirección lógica esta formada por un tuple de dos valores: dirección base y offset.
 - Conversión de dirección lógica a dirección física:
 - ◊ Con un contador de programa de 16 bits se pueden direccionar 64KB. Si añadimos un registro segmento adicional de 16 bits cuyo contenido lo desplazamos 4 bits a la izda (equivale a **multiplicar por 2^4**) tendríamos una dirección base de 20 bits a la cual añadiríamos el offset del PC de 16 bits obteniendo una dirección física de 20 bits- > espacio físico de 1MB.
 - ◊ Este modo de memoria se denominó *modo real*: espacio de direcciones memoria segmentada de 20 bits.
 - 80286 → (24,16) → 2^{24} =16MB de memoria física→ Modos Real y protegido.
 - Concepto de memoria Virtual: memoria generada por el compilador y por los procesos al ejecutarse
 - En este caso son 4 bytes de memoria virtual → los 2 bytes más altos son el selector de segmento y los dos bytes más bajos el offset.
 - Capacidad de memoria virtual → $2^{32} = 4GB$
 - La memoria virtual de los procesos se parte en segmentos.
 - Segmentación
 - Forming different segments for data, code, and stack, and preventing their overlapping
 - Cada segmento únicamente puede direccionar 64KB ya que el Contador de Programa es de 16 bits

- La conversión memoria lógica a memoria física:
 - ◊ Se utiliza uno de los 4 registros de segmento CS,DS,ES,SS: son de 64 bits: 16 bits visibles y 6 bytes escondidos
 - ◊ Se utiliza una tabla de descripción del segmento residente en la memoria principal: cada entrada de la tabla son 8 bytes de los cuales 3 bytes son la dirección base física asociada a la dirección virtual segmentada.
 - ◊ En la parte visible del registro de segmento se cargan los 2 bytes más altos de la dirección virtual (selector de segmento)
 - ◊ El selector de segmento apunta a una de las entradas de la tabla de selección de descripción de segmento y carga 6 bytes de la tabla en la zona escondida del registro de segmento el cual contiene: dirección base física (3bytes), tamaño del segmento (2 bytes) y propiedades del segmento (1byte)
 - ◊ dirección física: la dirección base (3bytes) más el offset (2bytes): con 3 bytes $\rightarrow 2^{24} = 16\text{MB}$ de espacio físico
 - ◊ El espacio de direcciones de 4GB de memoria virtual de un segmento debiera poder traducirse en el espacio de direcciones físicas de 16MB, pero únicamente puede acceder a 64KB.
 - ◊ Espacio físico total: de los 16MB posibles un segmento direcciona solo 64KB y como tenemos 4 segmentos $\rightarrow 4 * 64\text{KB} = 256\text{KB}$ totales.
- Multitasking, memory management (on chip MMU), protected memory \rightarrow modo protegido: espacio de direcciones memoria segmentada de 24 bits.
- 80386 \rightarrow (32,32) \rightarrow Espacio Físico: $2^{32} = 4\text{GB}$
 - Misma arquitectura que el 286 pero incrementa la ruta de datos de 16 bits a 32 bits, añade dos registros de segmento más (FS,GS) y añade la técnica de la paginación.
 - Memoria Virtual: 6 bytes : $2^{48} = 64\text{TB}$. Los 2 bytes altos son el selector de registro y los 4 bytes bajos el offset
 - de los 64TB posibles los 6 segmentos pueden direccionar *en un momento dado* 4GB cada uno $\rightarrow 6 * 4\text{GB} = 24\text{GB}$
 - Segmentación
 - Selector de Segmento = 2 bytes como en el 286 \rightarrow puntero a la entrada de la tabla descriptor de segmento
 - Descriptor de Segmento = Contiene 4 bytes de la dirección base física
 - Conversión de la dirección lógica a dirección física con sólo segmentación
 - A la dirección base física (4 bytes) se le añade el offset de la dirección virtual (4bytes) \rightarrow dirección física de 32 bits.
 - En este caso, a diferencia del 80286, el espacio de memoria virtual de 4GB de cada segmento se pueden traducir en el espacio físico de 4GB.
 - instrucciones
 - `movl $42, %fs:(%eax)`
 - implícitamente
 - `push, pop` \rightarrow SS,DS
 - Ver paginación 80386
- amd64 \rightarrow (52,64) \rightarrow Espacio Físico: $2^{52} = 4\text{PetaBytes}$ y Espacio Virtual $2^{48} = 256\text{TB}$
 - https://en.wikipedia.org/wiki/X86-64#Physical_address_space_details
 - **No utiliza la segmentación lógica** del espacio de direcciones virtual debido a que el espacio de memoria virtual de 256TB es suficiente para todos los procesos. Los segmentos lógicos (text,data,stack,heap, etc) de un proceso se almacenan en el mismo espacio virtual asignado a dicho proceso mediante la técnica de paginación.
 - Hay que tener en cuenta la limitación de la tabla de páginas virtual que depende del número de páginas virtuales y la dirección de una página física. El área de memoria principal ocupada crece exponencialmente con el tamaño de la tabla y de forma innecesaria.

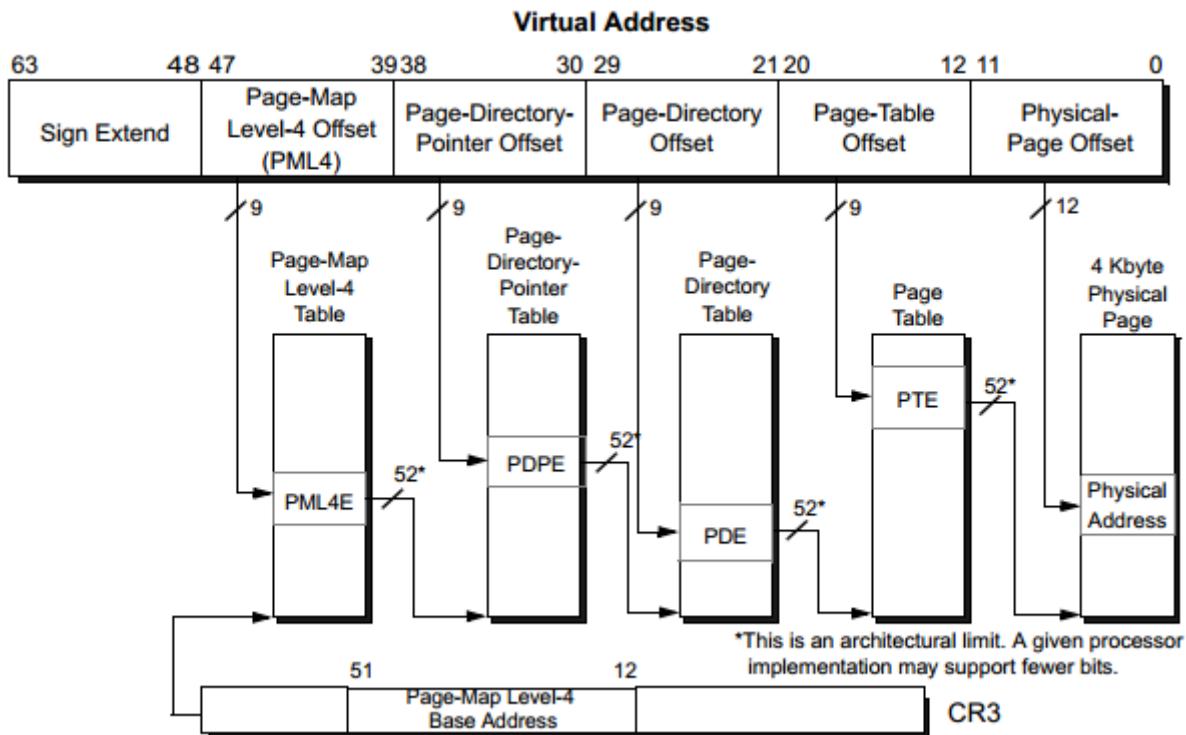


Figura 9.3: Formato de direcciones amd64

9.5.4. Memoria Virtual Paginada

9.5.4.1. Fundamento

- La paginación consiste en dividir tanto la memoria *física* como la memoria *virtual* de los procesos en pequeños *pedazos* denominados páginas.
- Los pedazos de memoria física se denominan *marcos de página* y los pedazos de memoria virtual del proceso se denominan *páginas*.
- En este caso se asigna cada página a un marco de página diferente, quedando los trozos de proceso diseminados en zonas **NO CONTIGUAS** de la memoria.
- De esta manera se reduce la fragmentación interna ,ya que la memoria infrautilizada siempre será menor al tamaño de una página.
- El sistema operativo genera para cada proceso la *tabla de páginas* que mapea páginas con marcos.
 - PTE: Page Table Entry → (index,PhysPageNumber)
- Dirección lógica
 - Cada dirección lógica estará formada por la dirección base de la página y el offset dentro de la página. Direccionamiento **no lineal**, (dirección base, desplazamiento)
- Traducción de dirección lógica a física.
 - El espacio de direcciones físico es único y contiguo, es decir, lineal.
 - La dirección base de la página del proceso se asocia con la dirección base del marco: tabla de páginas.
 - El offset dentro del marco será el mismo que el offset dentro de la página.
 - La gestión de la paginación la realiza la MMU

9.5.4.2. Concepto de Memoria Virtual Paginada

- Debido a que no es necesario cargar todas las páginas del proceso → el espacio de memoria del **PROCESO** puede ser **mayor** que la memoria física → concepto de **memoria virtual**
- La memoria virtual es única, contigua, es decir, *LINEAL*. Es una abstracción para no depender de las direcciones físicas.
- Por el principio de localidad en la memoria física sólo está la copia de las páginas virtuales que son necesarias dinámicamente en un momento dado.
 - **concepto de cache**
- La memoria principal es la cache de la memoria secundaria (ficheros el disco o pendrive)
- SDRAM cache

9.5.4.3. Fragmentación

- En el desalojo de áreas de memoria que no son necesarias se generan huecos que fragmentan la memoria física en una sucesión de áreas de memoria utilizadas y áreas no utilizadas
- La fragmentación interna será menor cuanto más pequeñas sean las páginas.
 - En la paginación las páginas pueden tener bytes sin utilizar, son huecos internos a las páginas.
- La fragmentación externa se reduce ya que los marcos de página pueden ser asignados a un proceso independientemente del tamaño del proceso.
 - Un proceso ocupará los huecos dejados por las páginas que no tienen porque ser contiguas. El tamaño del proceso afectará al número de páginas requeridas en caso de que queramos tener todo el proceso residente en memoria principal.

9.5.4.4. MMU

- Unidad Hardware interna a la CPU
- Su entrada es el bus de direcciones virtuales y su salida el bus de direcciones físicas.
- La MMU accede a la tabla de descripción de segmentos y a la tabla de páginas y realiza la traducción de dirección virtual en dirección física
- La tabla de páginas de la MMU es la función de correspondencia que mapea el espacio virtual y el físico.

9.5.4.5. Virtual Memory Cached

- Tabla de páginas con función de correspondencia fully associative (las VPages se asocian con cualquier Marco de página)
- Bit de validación
 - 1 → cached page
 - 0 → uncached page: allocated o unallocated

Figure 9.2
A system that uses virtual addressing.

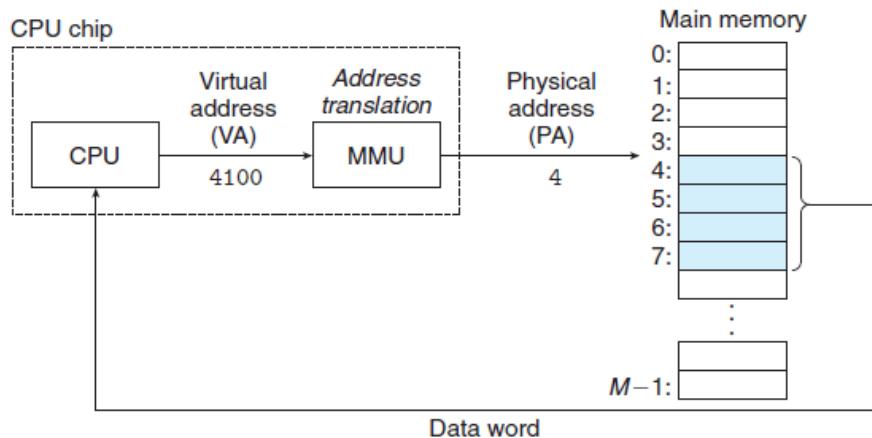


Figura 9.4: MMU

Figure 9.4
Page table.

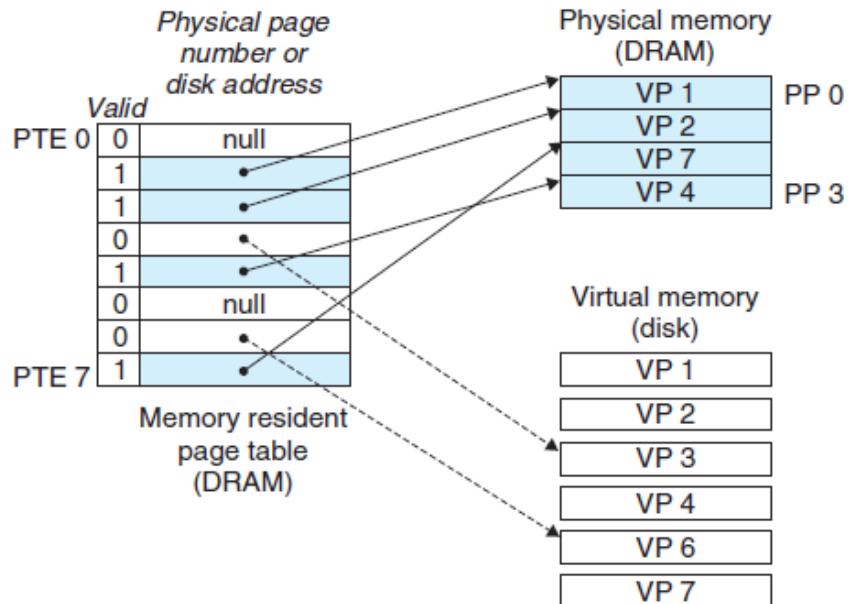


Figura 9.5: MMU

9.5.4.6. Tabla de páginas

- La tabla de páginas reside en la memoria principal SDRAM.
- Las entradas de la tabla son un puntero a marcos de página física
- Tantas entradas como páginas virtuales
- El número de página virtual es el índice de la tabla.
- La MMU accede a la tabla de páginas y realiza la traducción de dirección virtual en dirección física
- El kernel actualiza la tabla de páginas y activa las transferencias

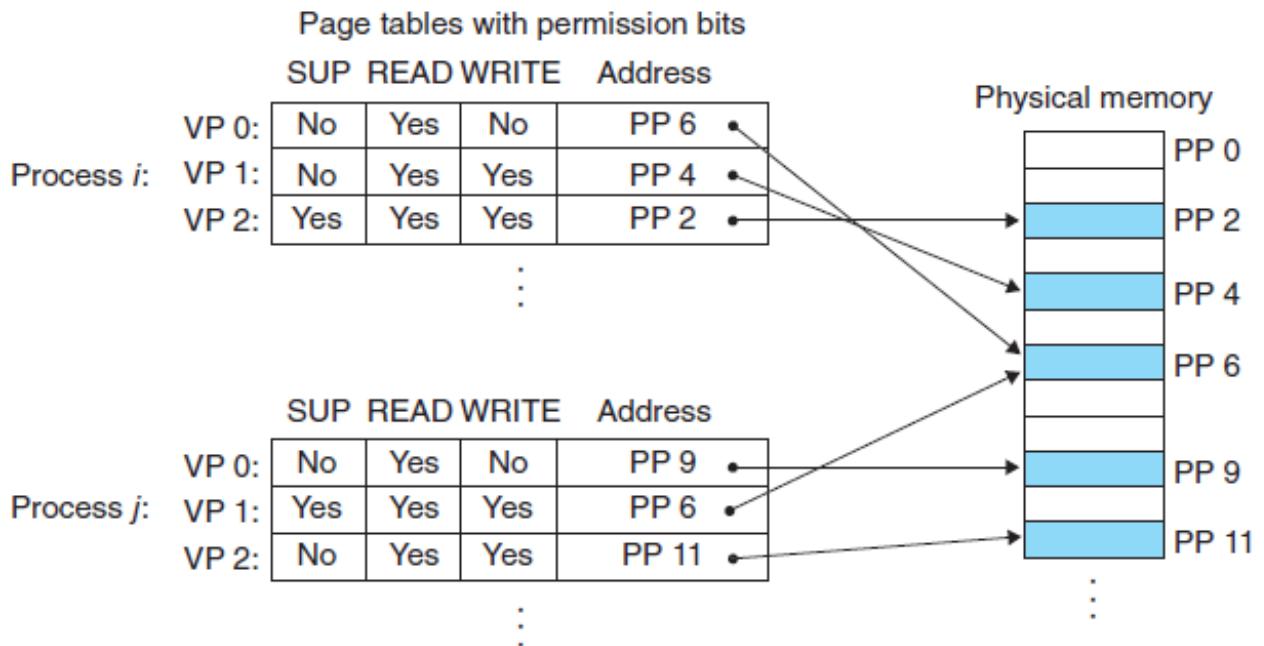


Figure 9.10 Using VM to provide page-level memory protection.

Figura 9.6: Protección

- SUP: SUPervisor: únicamente el kernel tiene acceso
- Write No: read only.

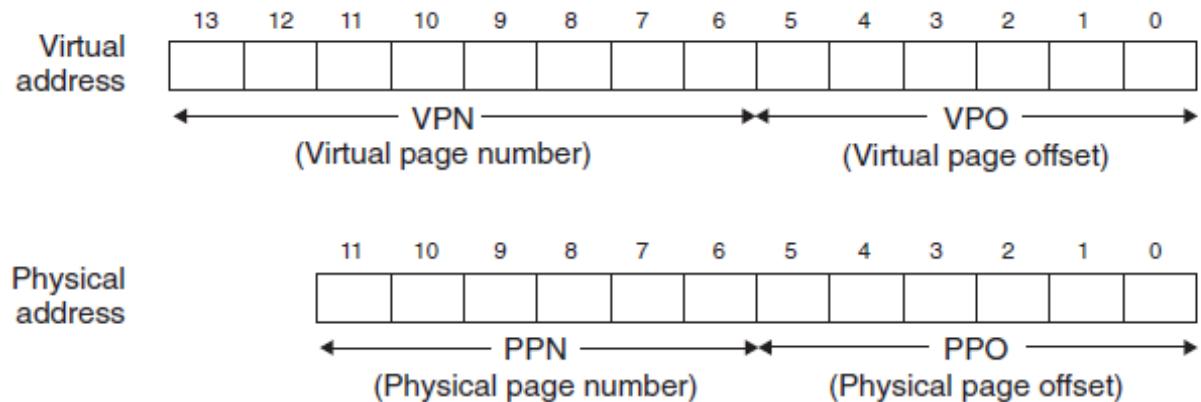


Figure 9.19 Addressing for small memory system. Assume 14-bit virtual addresses ($n = 14$), 12-bit physical addresses ($m = 12$), and 64-byte pages ($P = 64$).

Figura 9.7: Formato de Direcciones

9.5.4.7. Multilevel paging

- Debido a qué la tabla de páginas puede ser enorme se considera reducir el área de ram que consume la tabla mediante una organización jerárquica de múltiples tablas.
- La memoria se puede dividir jerárquicamente en agrupamientos de páginas. Superpáginas que agrupan páginas, hiperpáginas que agrupan superpáginas.
- Ejemplo: Paginación de 3 niveles: Nivel 1 de pedazos de 16 MB, nivel 2 de pedazos de 2MB, nivel 2 de páginas de 4KB.
- Cada nivel de agrupamiento lleva asociada una tabla de descripción de dicho nivel. La tabla de páginas se convierte en una jerarquía de múltiples tablas.
- En el proceso de traducción de la MMU la dirección virtual se descompone en múltiples campos. Cada campo será un índice de cada tabla asociada, enlazando tantas páginas como niveles.
- Si la tabla de nivel i tiene un contenido NULL no existirá las tablas de niveles superiores $i+1, i+2, \dots$ de la cadena de enlaces.
- El hecho de acceder a múltiples tablas no ralentiza la traducción de direcciones si las tablas están implementadas en la cache interna de la MMU. Sería distinto si dichas páginas estuviesen en la memoria DRAM.

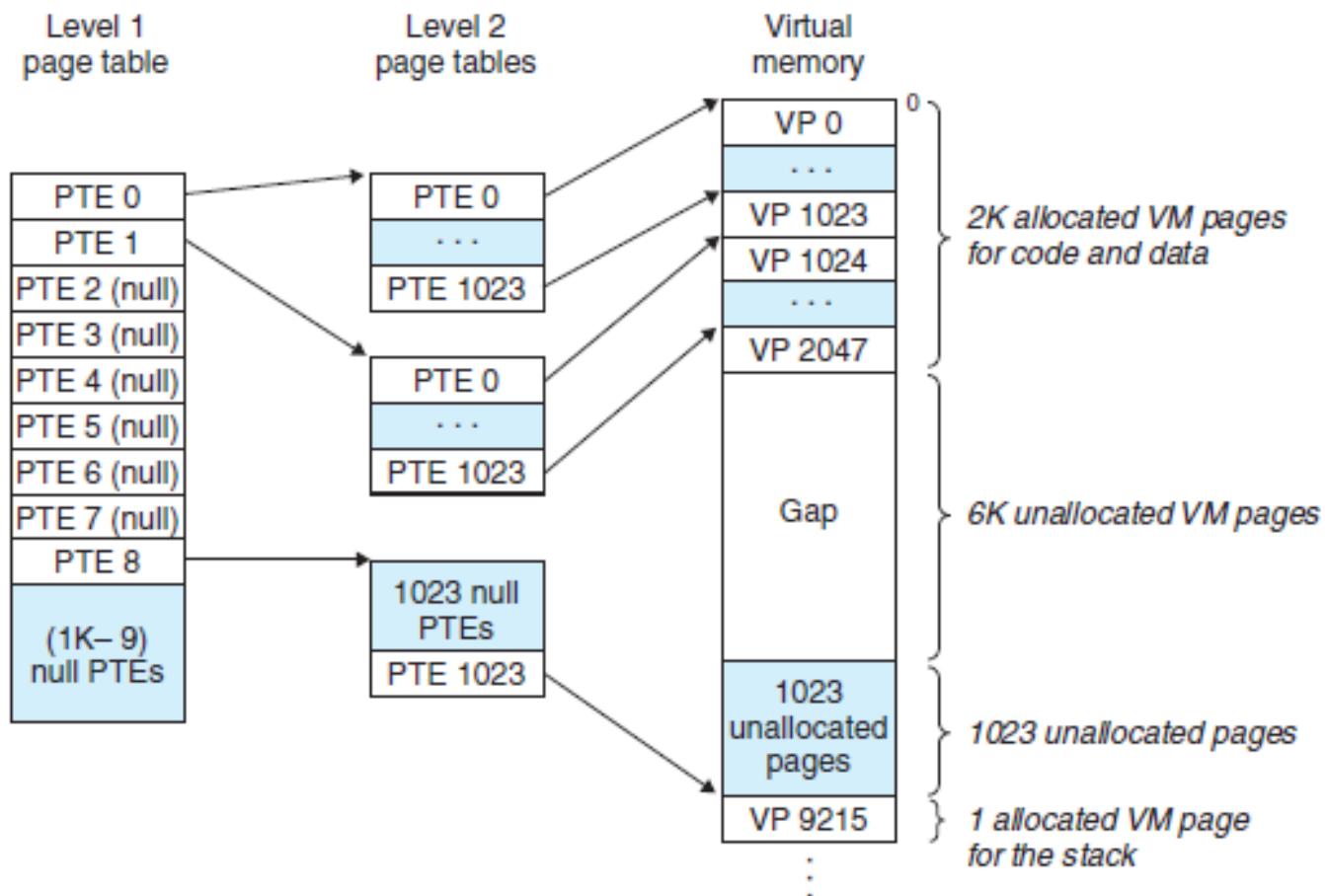


Figure 9.17 A two-level page table hierarchy. Notice that addresses increase from top to bottom.

Figura 9.8: Tabla de dos niveles

Figure 9.18

Address translation with a k -level page table.

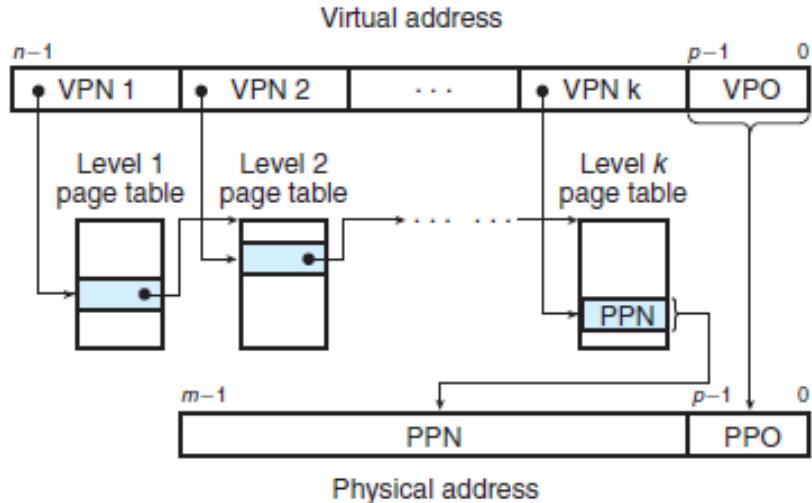


Figura 9.9: Tabla de K niveles

9.5.4.8. Intel: Evolución memoria virtual

- Se utiliza por primera vez la paginación.
- La traducción de memoria virtual en física conlleva dos fases: primero la segmentación y a continuación la paginación (opcional)
- Ver mecanismo de segmentación.
- La segmentación traduce el espacio virtual en un espacio lineal de 32 bits con campos:dir(10 bits)-pag(10)-offset(12)
- Se implementa dos niveles de tablas de páginas: dir es una tabla de punteros de tablas de páginas (directorio de páginas)
 - con 10 bits se consiguen 2^{10} punteros a tablas \rightarrow 1K tablas
- pag es el índice de la tabla de páginas
 - con 10 bits se consiguen 2^{10} entradas de tabla \rightarrow 1K páginas virtuales asociadas a 1K páginas físicas
 - La dirección de página física son 32 bits
- Con 12 bits de offset el tamaño de página es $2^{12} = 4\text{KB}$
- 1K tablas donde cada tabla contiene 1K páginas son en total 1M de páginas y cada página 4KB da un total de 4GB de direcciones de memoria física.
- Por lo que de los 64TB de memoria virtual posible podemos traducir en un momento dado a 24GB de memoria segmentada y cada segmento de 4GB lineales a 4GB de memoria física.
- amd64 \rightarrow 64 bits \rightarrow Espacio Virtual teórico = $2^{64} = 16 \text{ ExaBytes}$
 - Paginación y **no segmentación**.
 - Espacio Virtual = 256 TeraBytes ya que la CPU únicamente utiliza 48 bits para el espacio de direcciones virtual *porque* es suficiente memoria para las aplicaciones actuales, utilizar los 64 bits provocaría tablas de páginas enormes bajando el rendimiento del sistema sin necesidad. No hay ni memoria secundaria para tanta memoria virtual.

9.5.4.9. Glosario

- Espacios: Logic (segmentation) → Logic Linear (virtual,pagination) → Physical Linear
- VP: Virtual Page
- VA: Virtual Address
- PP: Physical Page
- PA: Physical Address
- VPO:VP offset
- VPN:VP number
- TLB: Translation lookaside Buffer: buffer (cache) de anticipación de la tabla de páginas. Residente en la MMU.
- PTE: Page Table Entry → (index/contenido)→(VPN/PPN)
- PTBR: Registro de control de la CPU: page table base register: pointer to TLB
- TLBI:TLB index → campo set de la cache
- TLBT: TLB tag
- PPO: PP offset
- PPN: PP number
- CO: Cache offset en el superbloque
- CT: Cache tag
- CI: Cache index ó línea

9.5.4.10. Traducción: dirección virtual a física

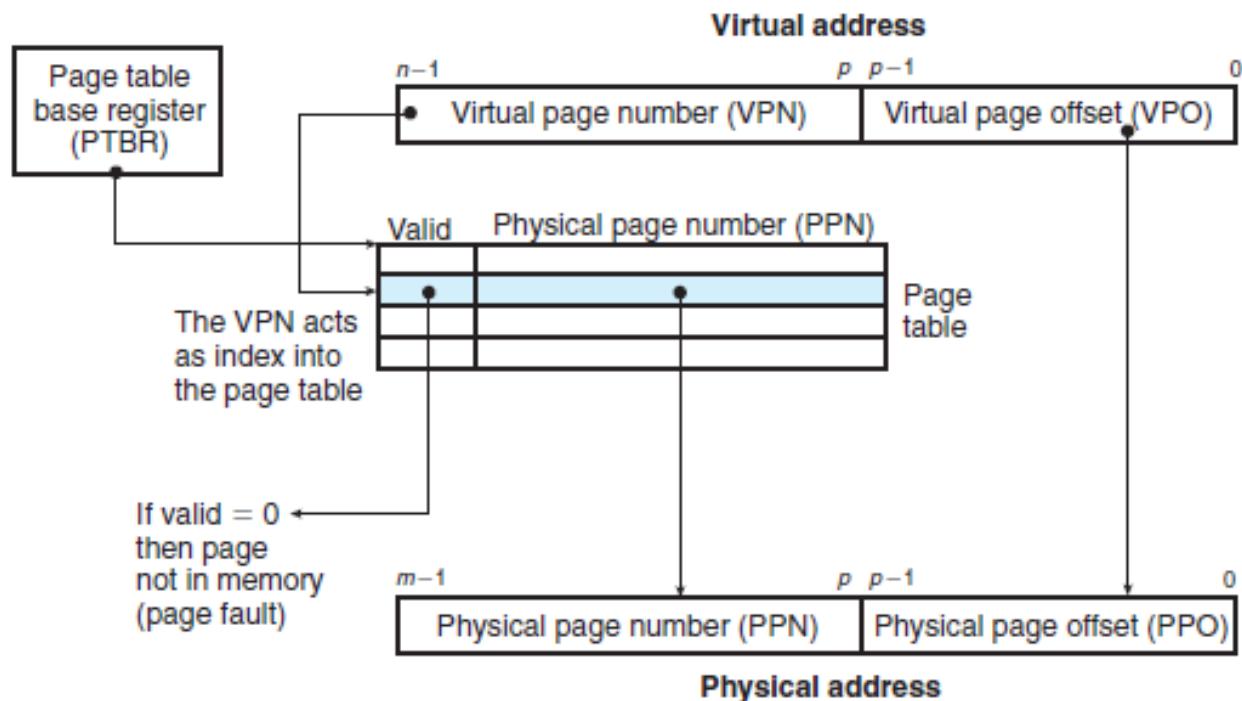


Figure 9.12 Address translation with a page table.

Figura 9.10: Traducción Virtual -> Física

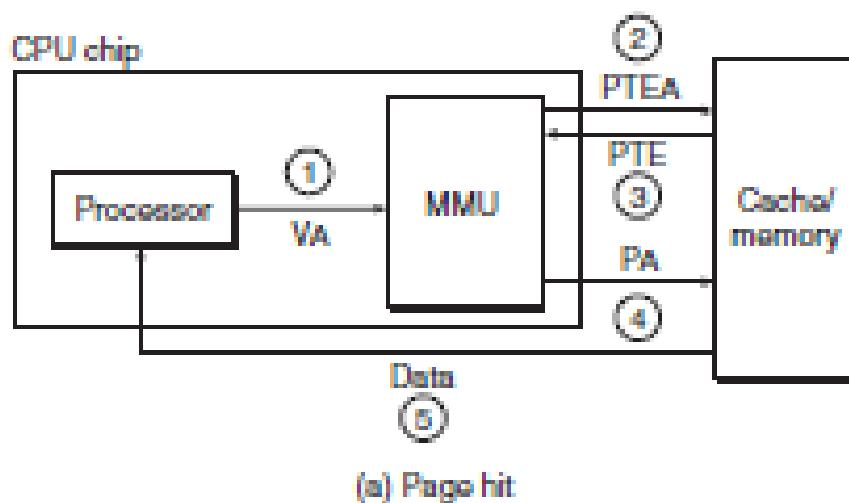


Figura 9.11: Resultado con éxito

1. CPU: vuela la dirección de memoria virtual

2. MMU: apunta a la entrada de la tabla de páginas ubicada en la memoria principal
3. Memoria Principal: devuelve el contenido de la entrada de la tabla. MMU: A partir de la dirección lógica obtiene al dirección física.
4. MMU: vuelca la dirección física en el bus de direcciones del sistema.
5. El dato referenciado puede estar en la memoria caché o en la memoria principal.

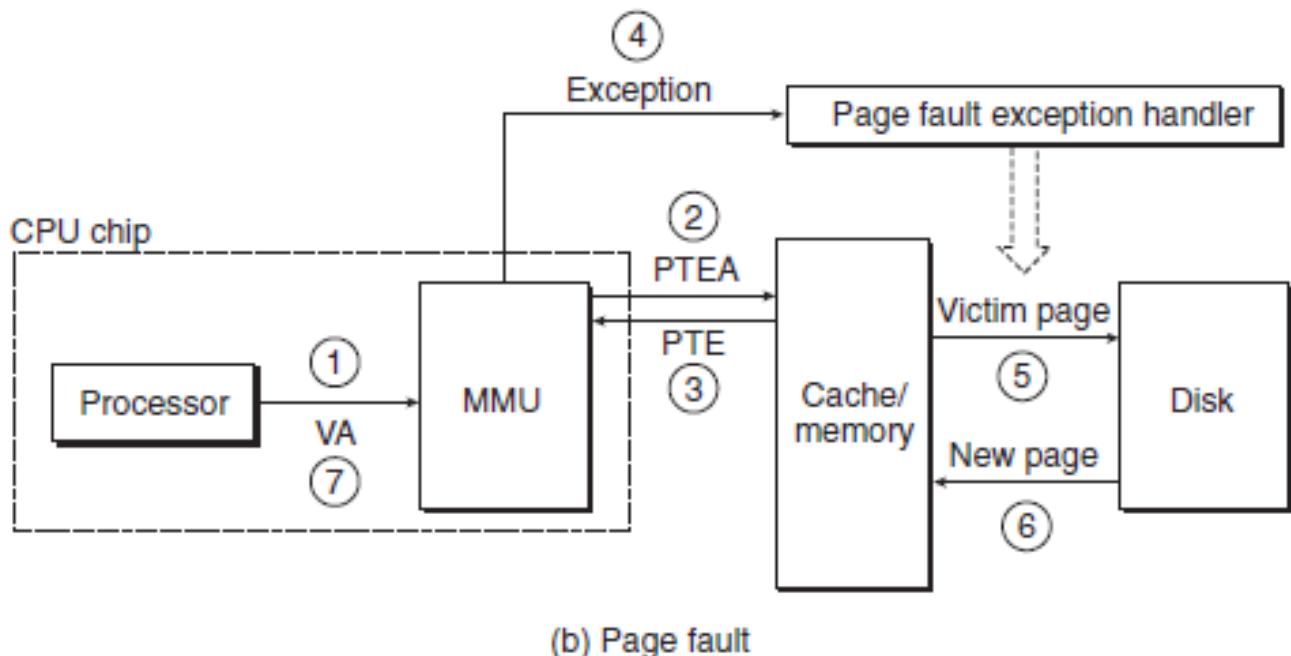


Figure 9.13 Operational view of page hits and page faults. VA: virtual address; page table entry address. PTE: page table entry. PA: physical address.

Figura 9.12: Resultado con fracaso

9.5.4.11. Translation Lookaside Buffer

- TLB
- Es una Caché de la tabla de páginas virtuales TPV. Además de residir la tabla de páginas en la memoria principal se tiene una copia parcial de dicha tabla en una unidad de memoria interna de la MMU. Objetivo: aumentar la velocidad de acceso a la tabla ya que la solución de múltiples tablas en niveles jerárquicos requiere múltiples accesos a la memoria principal externa.
- Formato de dirección virtual si la TLB es una caché con función de correspondencia asociativa
 - El índice es el campo set o superbloque típico de la cache

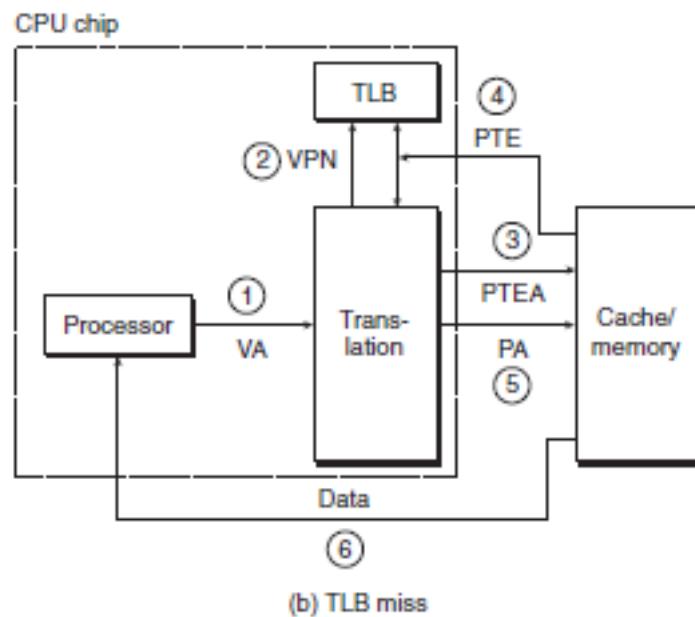
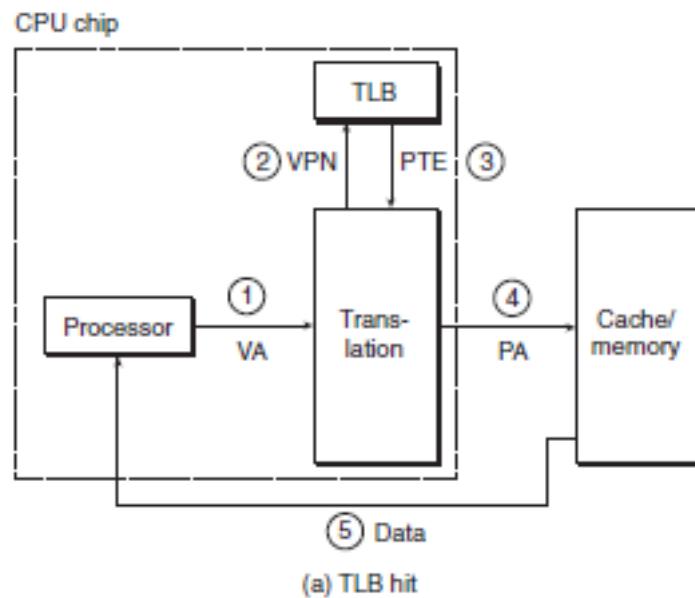


Figure 9.16 Operational view of a TLB hit and miss.

Figura 9.13: Operación con TLB

Figure 9.15
Components of a virtual address that are used to access the TLB.

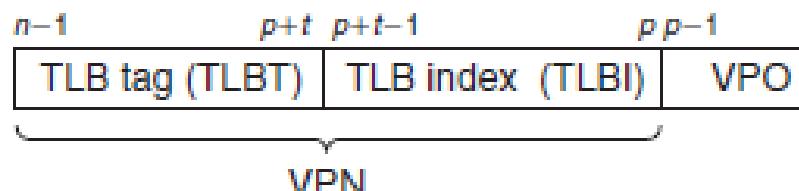
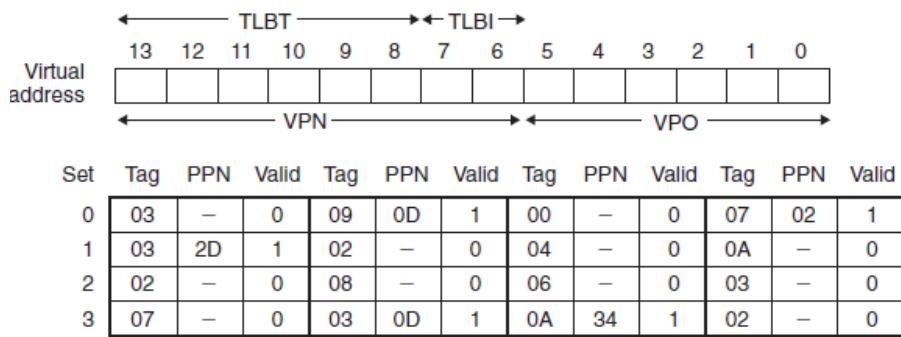


Figura 9.14: Formato Virtual con TLB

- TLBTag
- TLBIndex

9.5.4.12. Ejercicio

- La arquitectura de una computadora dispone de TLB y L1 d-Cache. La memoria es direccionable byte a byte y tiene palabras de 1 byte.
- La MMU tiene una Tabla TLB (Translation Lookup Buffer) y una memoria d-Cache según las figuras

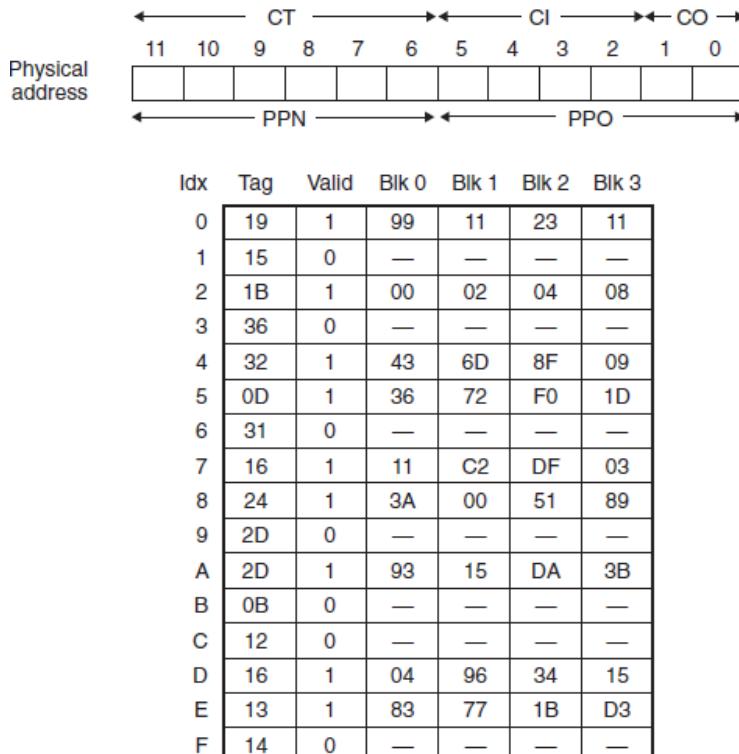


(a) TLB: Four sets, 16 entries, four-way set associative

| VPN | PPN | Valid |
|-----|-----|-------|
| 00 | 28 | 1 |
| 01 | - | 0 |
| 02 | 33 | 1 |
| 03 | 02 | 1 |
| 04 | - | 0 |
| 05 | 16 | 1 |
| 06 | - | 0 |
| 07 | - | 0 |

| VPN | PPN | Valid |
|-----|-----|-------|
| 08 | 13 | 1 |
| 09 | 17 | 1 |
| 0A | 09 | 1 |
| 0B | - | 0 |
| 0C | - | 0 |
| 0D | 2D | 1 |
| 0E | 11 | 1 |
| 0F | 0D | 1 |

(b) Page table: Only the first 16 PTEs are shown



(c) Cache: Sixteen sets, 4-byte blocks, direct mapped

Figure 9.20 TLB, page table, and cache for small memory system. All values in the TLB, page table, and cache are in hexadecimal notation.

- Virtual addresses are 14 bits wide ($n = 14$).
 - Physical addresses are 12 bits wide ($m = 12$).
 - The page size is 64 bytes ($P = 64$).
 - The TLB is four-way set associative with 16 total entries.
 - The L1 d-cache is physically addressed and direct mapped, with a 4-byte line size and 16 total set.
- Calcular la dirección física de la DIRECCION VIRTUAL **0x03d4**
- a. Formato de Direcciones
 - I. Dimensión de VPO
 - II. Dimensión de PPO
 - III. Dimensión de VPN
 - IV. Dimensión de PPN
 - b. Número de entradas de la tabla de páginas en memoria principal y la caché TLB
 - c. TLB
 - I. Líneas por set de TLB
 - II. Sets de TLB
 - III. Tamaño TLBI
 - IV. Tamaño TLBT
 - V. Bits por Word
 - VI. Words por línea de TLB
 - VII. Valores TLBI-TLBT
 - d. Está PPN en TLB?
 - e. Valor de PPN
 - f. Valor de PA
 - g. d-Cache
 - I. Memory Cache: Tipo
 - II. Sets
 - III. Líneas/Set
 - IV. Words/Línea
 - V. Bytes/Word
 - h. Formato Dirección Física
 - I. CO
 - II. CI
 - III. CT
 - IV. Valores CT/CI/CO → PA
 - i. Está PA en la caché?
 - j. Contenido de la PA
 - k. Resumen del resultado final

■ Respuestas

- a. El formato de direcciones es
 - I. VO y PO → tamaño de página : 64 bytes → 2^6 → 6 bits de offset tanto virtual como físico
 - II. bits VPN= VA-VPO=14-6=8 bits → 2^8 = 256 páginas virtuales

III. bits PPN= PA-PPO=12-6=6 bits $\rightarrow 2^6 = 64$ marcos de página

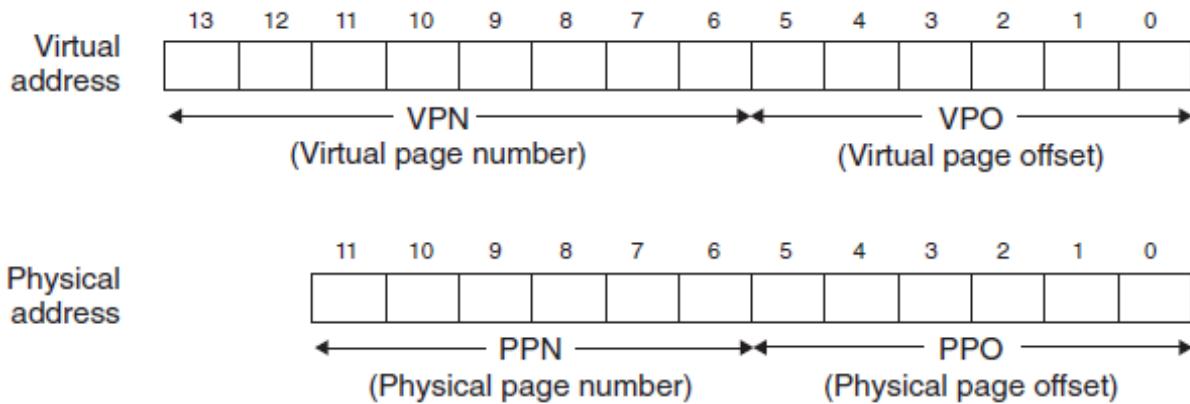


Figure 9.19 Addressing for small memory system. Assume 14-bit virtual addresses ($n = 14$), 12-bit physical addresses ($m = 12$), and 64-byte pages ($P = 64$).

Figura 9.16: Formato de Direcciones

b. Valores de VPN y VPO

- La dirección virtual VA de 14 bits 0x03D4 se codifica en binario como: 00-0011-1101-0100 $\rightarrow 00001111-010100 \rightarrow$ VPN-VPO
 - VPO=PPO=010100=01x4
 - VPN=00001111=0xF

c. Tabla de páginas

- 256 puntos de entrada. Cada entrada contiene la dirección de uno de los 64 marcos de página. Es decir una tabla de 256 direcciones y palabras de 6 bits más los bits de validación, protección, etc
- La tabla en MP son 256 entradas, en cambio la TLB en caché tiene 16 entradas \rightarrow direccionables con 4 bits.

d. TLB

- Líneas por set de TLB: 4 vías \rightarrow 4 líneas/set
- Sets de TLB: 16 entradas son 16 líneas en total agrupadas por 4 líneas/set = 4 sets
- Tamaño TLBI : para 4 set son necesarios 2 bits
- Tamaño TLBT :
 - De los 8 bits necesarios para direccionar 256 entradas si 2 son para el índice TLBI, 6 serán para la etiqueta TLBT
- Bits por Word: 1 byte por palabra según el enunciado
- Words por línea de TLB
 - Si me fijo en el dibujo de la tabla, cada línea contiene únicamente un PPN+tag, es decir, una palabra.

VII. Valores TLBI-TLBT

- VPN es una dirección de la tabla de páginas en la memoria RAM. El controlador de caché la descompone en TLBT-TLBI
- VPN=00001111=000011-11=TLBT-TLBI=0x3-0x3

e. Está PPN en TLB?

- busco en el set 0x3 de TLB si alguno de las líneas tiene un tag TLBT de 0x3 y lo tiene la segunda línea.
- La segunda línea del set 3 tiene el bit de validación a 1 por lo que la página virtual está en la memoria principal y/o d-cache.

f. Valor de PPN

- La segunda línea del set 3 tiene el contenido PPN=0x0D
- g. Valor de PA
- Son 12 bits
 - La concatenación PPN(6)-PPO(6): 001101-010100=001101010100=0011-0101-0100= **0x354** =PA
- h. d-Cache
- I. Memory Cache: Tipo : mapeo directo
 - Al ser de mapeo directo los set son de 1 línea por lo que es lo mismo decir set que línea.
 - II. Sets
 - 16 líneas
 - III. Líneas/Set : 1
 - IV. Words/Línea: 4
 - V. Bytes/Word: 1
- i. Formato dirección física
- I. CO: para direccionar 4 palabras son necesarios 2 bits
 - II. CI: para direccionar 16 líneas son necesarios 4 bits
 - III. CT: la dirección física PA son 12 bits → CT=PA-DI-CO=12-4-2=6 bits
 - IV. Valores CT/CI/CO → PA=001101010100=001101-0101-00
 - Línea 0005; Palabra 00: Tag 001101=0x0D
- j. Está PA en la d-Cache?
- En la línea 5 el tag es 0D → coincide con el tag de la dirección física → acierto → el dato está en d-cache
 - El bit de validación es 1 por lo que su contenido está actualizado y por lo tanto válido.
- k. Contenido de la PA:
- El contenido de la palabra 0 de la linea 5 de la d-cache es el byte **0x36**
- l. Resumen del resultado final.
- La dirección virtual **0x03d4** se corresponde con la dirección física **0x354** cuyo contenido es **0x36**

9.5.4.13. Intel Core i7

Processor package

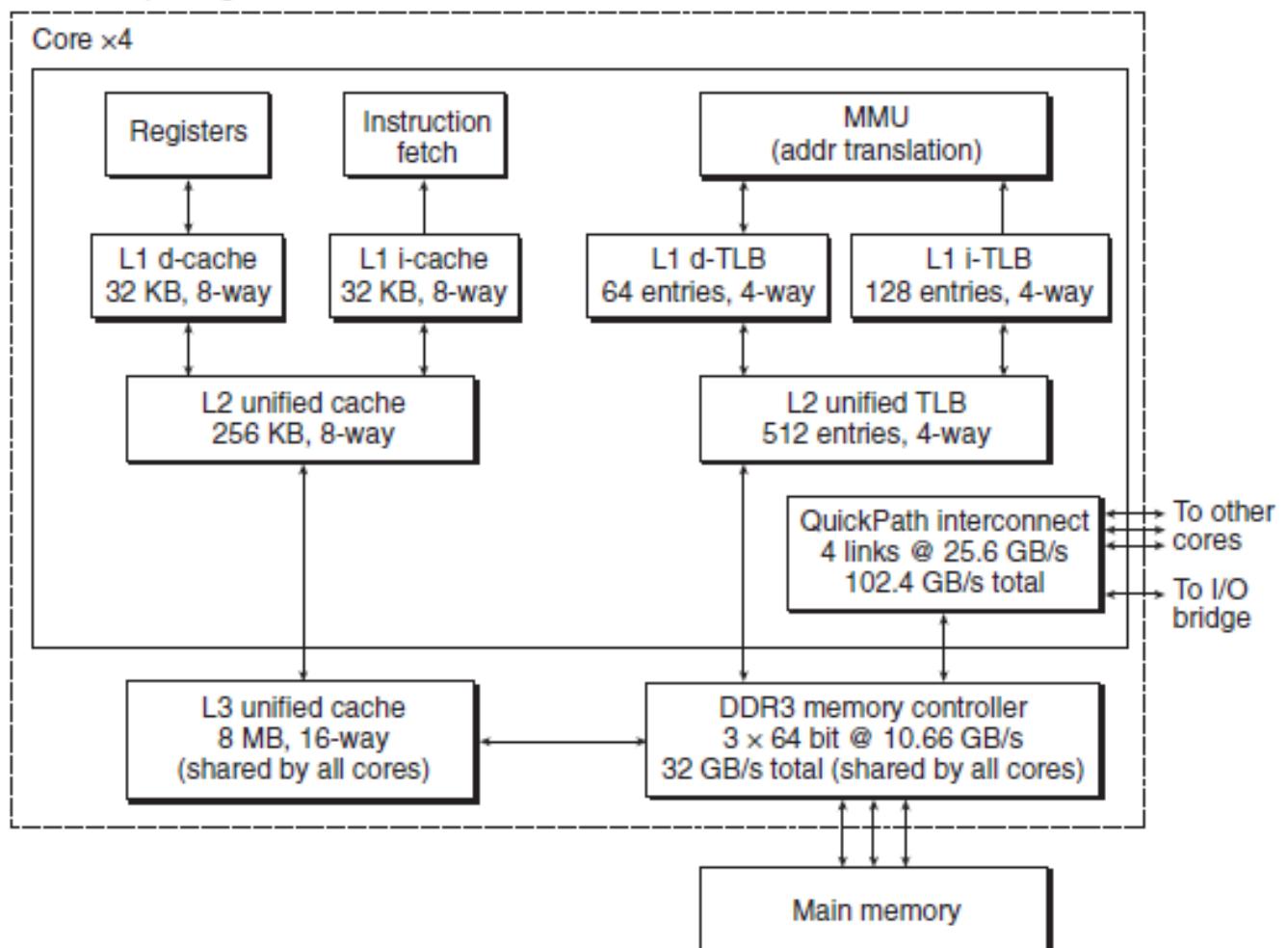


Figure 9.21 The Core i7 memory system.

Figura 9.17: Memoria Core i7

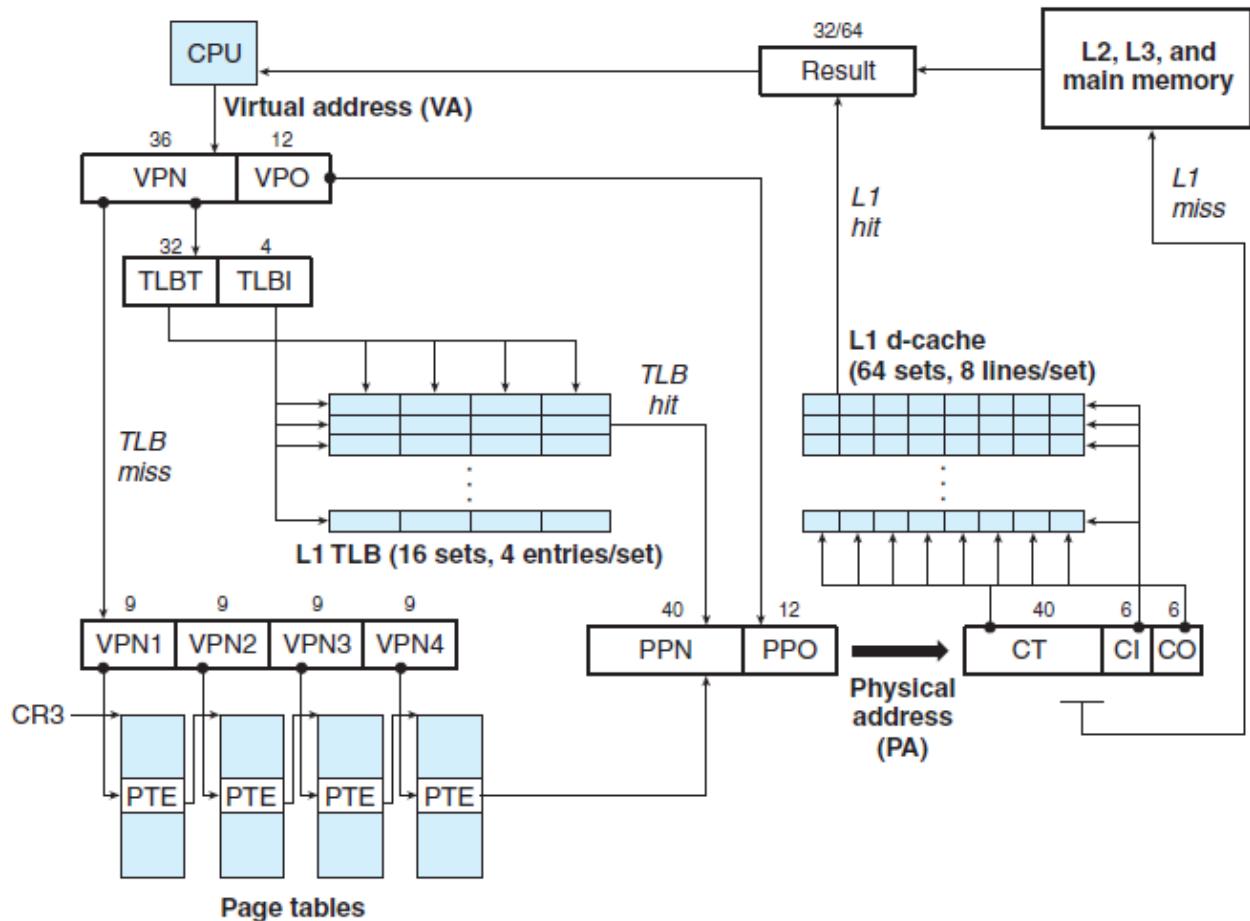
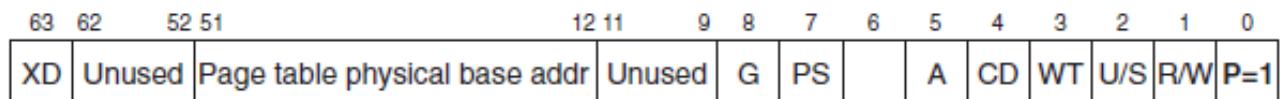


Figure 9.22 Summary of Core i7 address translation. For simplicity, the i-caches, i-TLB, and L2 unified TLB are not shown.

Figura 9.18: Operación MMU



Available for OS (page table location on disk)

P=0

| Field | Description |
|-----------|---|
| P | Child page table present in physical memory (1) or not (0). |
| R/W | Read-only or read-write access permission for all reachable pages. |
| U/S | User or supervisor (kernel) mode access permission for all reachable pages. |
| WT | Write-through or write-back cache policy for the child page table. |
| CD | Caching disabled or enabled for the child page table. |
| A | Reference bit (set by MMU on reads and writes, cleared by software). |
| PS | Page size either 4 KB or 4 MB (defined for Level 1 PTEs only). |
| Base addr | 40 most significant bits of physical base address of child page table. |
| XD | Disable or enable instruction fetches from all pages reachable from this PTE. |

Figure 9.23 Format of level 1, level 2, and level 3 page table entries. Each entry references a 4 KB child page table.

Figura 9.19: Formato para las tablas de los tres primeros niveles

| 63 62 52 51 | | 12 11 | | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
|--|---|-------------------------|--|--------|---|---|---|---|----|----|-----|------------|-----|--|--|
| XD | Unused | Page physical base addr | | Unused | G | 0 | D | A | CD | WT | U/S | R/W | P=1 | | |
| Available for OS (page table location on disk) | | | | | | | | | | | | P=0 | | | |
| | | | | | | | | | | | | P=0 | | | |
| Field | Description | | | | | | | | | | | | | | |
| P | Child page present in physical memory (1) or not (0). | | | | | | | | | | | | | | |
| R/W | Read-only or read/write access permission for child page. | | | | | | | | | | | | | | |
| U/S | User or supervisor mode (kernel mode) access permission for child page. | | | | | | | | | | | | | | |
| WT | Write-through or write-back cache policy for the child page. | | | | | | | | | | | | | | |
| CD | Cache disabled or enabled. | | | | | | | | | | | | | | |
| A | Reference bit (set by MMU on reads and writes, cleared by software). | | | | | | | | | | | | | | |
| D | Dirty bit (set by MMU on writes, cleared by software). | | | | | | | | | | | | | | |
| G | Global page (don't evict from TLB on task switch). | | | | | | | | | | | | | | |
| Base addr | 40 most significant bits of physical base address of child page. | | | | | | | | | | | | | | |
| XD | Disable or enable instruction fetches from the child page. | | | | | | | | | | | | | | |

Figure 9.24 Format of level 4 page table entries. Each entry references a 4 KB child page.

Figura 9.20: Formato de la tabla del 4º nivel

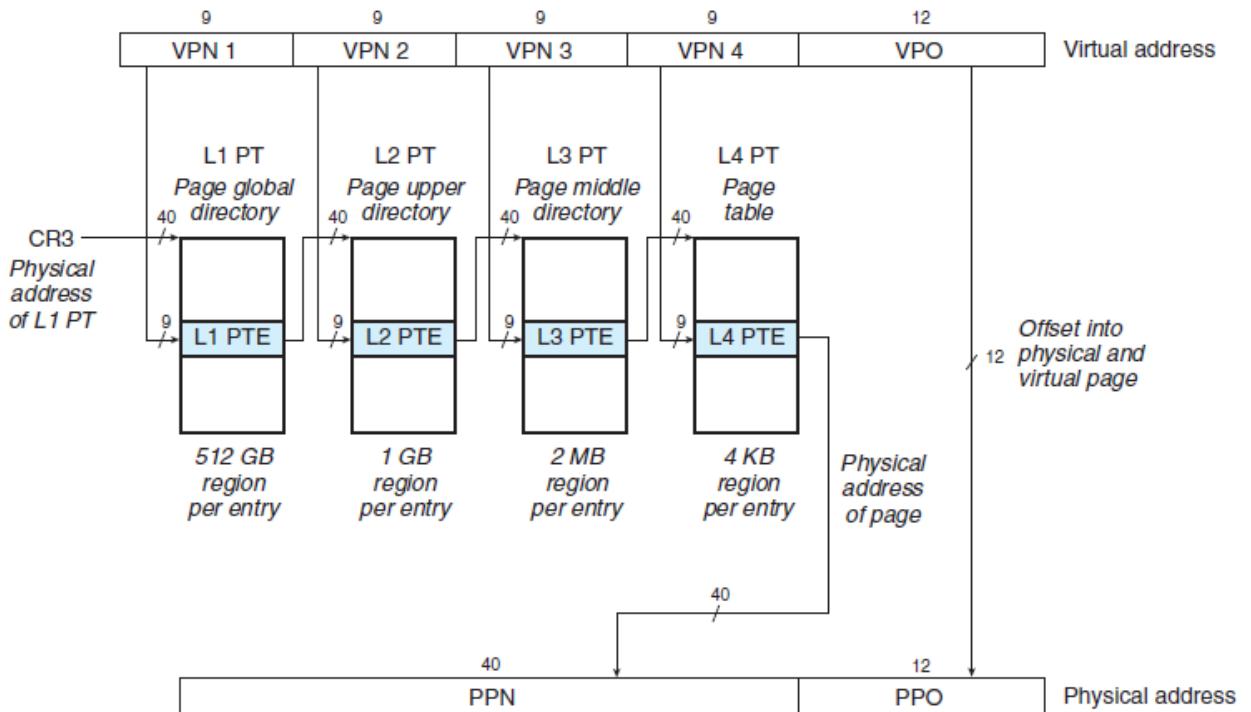


Figure 9.25 Core i7 page table translation. Legend: PT: page table, PTE: page table entry, VPN: virtual page number, VPO: virtual page offset, PPN: physical page number, PPO: physical page offset. The Linux names for the four levels of page tables are also shown.

Figura 9.21: Linux: 4 niveles

9.5.5. Sistemas Operativos: Gestión de la Memoria

9.5.5.1. Protección

- Page level protection. HW isolation. Las páginas que gestiona la MMU tienen *bits de control* que indican los permisos de acción, acceso, etc
- Segmentation fault o Protection Fault

9.5.5.2. Paganación Bajo Demanda

- Paganación bajo demanda
 - Las páginas de un proceso se cargan en memoria únicamente cuando son *demandadas*. No se cargan todas las páginas de un proceso de una tacada.
 - Cuando una página es requerida y no está en la memoria, se genera un *page fault* por parte de la MMU y el SO se encargará de cargar la página requerida.
- Principio de localidad
 - Un proceso en un momento dado tiene en memoria únicamente las páginas que están utilizándose o con las que tienen probabilidad alta de ser utilizadas.
 - Furthermore, time is saved because unused pages **are not swapped** in and out of memory, ya que ese trozo puede ser requerido con immediatez.

9.5.5.3. Reemplazo

- Reemplazar una página
 - Dilema: ¿qué página extraigo de la memoria? Algoritmos de reemplazo → Least Recently Used LRU, First Input Output (FIFO)
 - La política de reemplazo la gestiona el SO.

9.5.5.4. VM Tool

- La Memoria Virtual es una herramienta para:
 - que la M. Principal sea una cache del disco
 - Gestionar la Memoria
 - Simplifying linking: mezcla con direcciones independientes de la dirección física final
 - Simplifying loading: se carga bajo demanda las páginas requeridas
 - Simplifying sharing: procesos (librerías) que son compartidos.
 - Simplifying memory allocation: En memoria virtual el SO o compilador distribuye los segmentos de forma contigua y luego está la flexibilidad de ubicarlos arbitrariamente en memoria física.
 - Proteger los segmentos: control con los bits sup(supervisor),read,write

Parte III

Ejercicios

Capítulo 10

Ejercicios de los Temas 1-9

10.1. Arquitectura von Neumann

10.1.1. Computadoras: IAS, ENIAC, ..

1. You are to write an IAS program to compute the results of the following equation. and N are positive integers with $N > 1$.
Note: The IAS did not have assembly language only machine language.

- a. Use the equation $\text{Sum}(Y) = N(N+1)/2$ when writing the IAS program.

- Desarrollo:

```
; Suma de los primeros N numeros enteros. Y=N(N+1)/2
; CPU IAS
; lenguaje ensamblador: simaulador IASSim
; Ejercicio 2.1 del libro de William Stallings, Estructura de Computadores

; SECCION DE INSTRUCCIONES
S(x)->Ac+ n    ;01 n   ;AC      <- M[n]
S(x)->Ah+ uno  ;05 uno  ;AC      <- AC+1
At->S(x) y     ;11 y    ;M[y]   <- AC
S(x)->R y     ;09 y    ;AR      <- M[y]
S(x)*R->A n   ;0B n    ;AC:AR <- AR*M[n]
R->A            ;0A      ;AC      <- AR
A/S(x)->R dos ;0C 2   ;AR      <- AC/2
R->A            ;0A      ;AC      <- AR
At->S(x) y     ;11 y    ;M[y]   <- AC
halt
; como el numero de instrucciones es par no es necesaria la directiva .empty

; SECCION DE DATOS
; Declaracion e inicializacion de variables
y:    .data 0 ;resultado

; Declaracion de las Constantes
n:    .data 5 ;parametro N
uno:  .data 1
dos:  .data 2
```

- b. Do it the “hard way,” without using the equation from part (a).

- Desarrollo:

```

; adds up the values n+...+3+2+1(+0) in a loop and stores
; the sum in memory at the location labeled "sum"

loop:   S(x)->Ac+  n    ;load n into AC
        Cc->S(x)  pos  ;if AC >= 0, jump to pos
        halt      ;otherwise done
        .empty     ;a 20-bit 0
pos:    S(x)->Ah+  sum  ;add n to the sum
        At->S(x)  sum  ;put total back at sum
        S(x)->Ac+  n    ;load n into AC
        S(x)->Ah-  one  ;decrement n
        At->S(x)  n    ;store decremented n
        Cu->S(x)  loop  ;go back and do it again

n:      .data 5  ;will loop 6 times total
one:   .data 1  ;constant for decrementing n
sum:   .data 0  ;where the running/final total is kept

```

2. On the IAS, what would the machine code instruction look like to load the contents of memory address 2 to the accumulator? How many trips to memory does the CPU need to make to complete this instruction during the instruction cycle?

■ Desarrollo:

- 0x01002
- Dos accesos: captura de la instrucción y captura del operando

3. On the IAS, describe in English the process that the CPU must undertake to read a value from memory and to write a value to memory in terms of what is put into the MAR, MBR, address bus, data bus, and control bus.

```

Lectura
MAR      <- address
Address Bus <- MAR
Control Bus <- Read
Data Bus    <- Data
MBR       <- Data Bus

Escritura
MAR      <- address
Data Bus  <- MBR
Control Bus <- Write

```

4. Given the memory contents of the IAS computer shown below,

```

Address Contents
08A 010FA210FB
08B 010FA0F08D
08C 020FA210FB

```

- show the assembly language code for the program, starting at address 08A. Explain what this program does.
 ■ Desarrollo:

| Address | Contents | RTL | | Instructions |
|---------|------------|-----------|-----------------------|-------------------------------|
| 08A | 010FA210FB | AC←M[0FA] | M[0FB]←AC | LOAD M[0FA] STORE M[0FB] |
| 08B | 010FA0F08D | AC←M[0FA] | AC>0:PC ← 0x08D(0:19) | LOAD M[0FA] JMP +M[08D(0:19)] |
| 08C | 020FA210FB | AC←M[0FA] | M[0FB]←AC | LOAD -M[0FA] STORE M[0FB] |

- El programa realiza la siguiente función:

- Si el contenido de 0x0FA es positivo copia el contenido de memoria de la posición 0x0FA a la posición 0xFB y salta a la posición 0x08D, dejando en el acumulador el contenido de 0xFA. Si el contenido de 0x0FA es negativo copia el contenido de memoria de la posición 0x0FA a la posición 0xFB cambiado de y salta a la posición 0x08D, dejando en el acumulador el contenido de 0xFA en positivo, es decir, el módulo.

5. Indicate the width, in bits, of each data path (e.g., between AC and ALU) of IAS microarchitecture.

- Desarrollo:

- AC, AR y MBR 40 bits
- IBR 20 bits
- MAR y PC 12 bits
- IR 8 bits

6. The ENIAC was a decimal machine, where a register was represented by a ring of 10 vacuum tubes. At any time, only one vacuum tube was in the ON state, representing one of the 10 digits. Assuming that ENIAC had the capability to have multiple vacuum tubes in the ON and OFF state simultaneously, why is this representation “wasteful” and what range of integer values could we represent using the 10 vacuum tubes?

- Desarrollo: Con 10 tubos únicamente podemos representar los dígitos 0-9

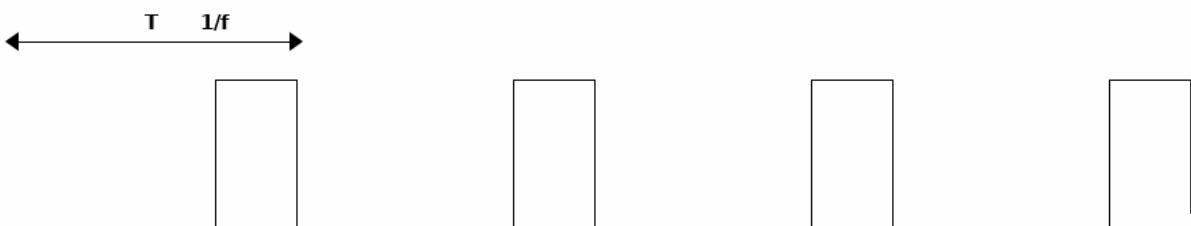
7. A benchmark program is run on a 40 MHz processor. The executed program consists of 100,000 instruction executions, with the following instruction mix and clock cycle count:

| Instruction_Type | Instruction_Count | Cycles_per_Instruction |
|--------------------|-------------------|------------------------|
| Integer_arithmetic | 45,000 | 1 |
| data_transfer | 32,000 | 2 |
| Floating_point | 15,000 | 2 |
| Control_transfer | 8000 | 2 |

- Determine the effective CPI, MIPS rate, and execution time for this program.

- Desarrollo:

- Reloj de la CPU



- $T=1/f = 25\text{ns}$: ciclo del reloj de la CPU: duración mínima de una microoperación.
- CPI: ciclos por instrucción: valor medio = $1*(45/100)+2*(32/100)+2*(15/100)+2*(8/100)=0,45+0,64+0,30+0,16=1.55$
- MIPS: Millones de Inst. por seg: $(1/\text{CPI})(\text{inst/ciclo}) * F_{\text{clock}}(\text{ciclos/seg}) * 10^{-6} = (1/1.55) * 40 * 10^6 * 10^{-6} = 25.8$
- $T=(1/\text{MIPS})(\text{seg/millones de instr}) * 100.000 * 10^{-6} = 3.87\text{ms}$

10.1.2. Interconexión CPU-Memoria

1. The hypothetical machine has two I/O instructions:

0011 Load AC from I/O
0011 Store AC to I/O

- In these cases, the 12-bit address identifies a particular I/O device. Show the program execution for the following program:
 1. Load AC from device 5.
 2. Add contents of memory location 940.
 3. Store AC to device 6.
 - Assume that the next value retrieved from device 5 is 3 and that location 940 contains a value of 2.
 - Desarrollo:

• • • • • • • • • • • • • • • •

2. Consider a hypothetical microprocessor generating a 16-bit address (for example, assume that the program counter and the address registers are 16 bits wide) and having a 16-bit data bus.

 - What is the maximum memory address space that the processor can access directly if it is connected to a “16-bit memory”?
 - What is the maximum memory address space that the processor can access directly if it is connected to an “8-bit memory”?
 - What architectural features will allow this microprocessor to access a separate “I/O space”?
 - If an input and an output instruction can specify an 8-bit I/O port number, how many 8-bit I/O ports can the microprocessor support? How many 16-bit I/O ports? Explain.

■ Desarrollo:

 - Dibujar el esquema de buses que visualice:
 - interconexiones periféricos, puertos, controlador E/S, memoria principal, CPU, buses

⋮

- Espacio de direcciones: conjunto de direcciones de un mismo bus de direcciones. La capacidad se expresa en BYTES.
 - El Espacio Memoria Principal y el Espacio Controlador E/S son espacios diferentes. Comparten el mismo bus de dirección del bus del sistema pero hay una señal de control que activa la conexión con la memoria principal o con el controlador E/S.
 - "16 bit memory": 16 bits word size → data bus
 - "8 bit memory": 8 bits word size → data bus
 - I/O port number: numero de puertos del controlador E/S. Cada puerto para un periférico. Se diferencia el puerto de entrada del puerto de salida. 8 bit I/O port es un puerto con un data buffer de 8 bits y un 16 bit I/O port es un puerto con un data buffer de 16 bits.
 - a) 2^{16} Bytes. 64KB. En el bus de datos se transfieren datos de dos bytes.
 - b) 2^{16} Bytes. 64KB. En el bus de datos se transfieren datos de un byte.
 - c) En el bus del sistema hace falta una señal de control : señal I/O
 - d) $2^8 = 256$ puertos de entrada y 256 puertos de salida en el controlador E/S independientemente del tamaño del buffer I/O si es de 8 bits o 16 bits.
3. Consider a 32-bit microprocessor, with a 16-bit external data bus, driven by an 8-MHz input clock. Assume that this microprocessor has a bus cycle whose minimum duration equals four input clock cycles. What is the maximum data transfer rate across the bus that this microprocessor can sustain, in bytes/s? To increase its performance, would it be better to make its external data bus 32 bits or to double the external clock frequency supplied to the microprocessor? State any other assumptions you make, and explain. Hint: Determine the number of bytes that can be transferred per bus cycle.
- Desarrollo:
 - 32-bit CPU : tamaño de los registros internos de la CPU. Bus de datos local (interno) de la CPU
 - 16-bit external data bus: bus de datos del sistema
 - CPU input clock: 8MHz
 - bus cycle: ciclo del bus del sistema: duración 4 veces el de la CPU : 2 MHz.
 - a) Data transfer rate: teóricamente número de datos en la secuencia continua de una transferencia cada *bus cycle* durante 1 segundo: 2MTransferencias/s. Cada transferencia el bus de datos transfiere 16 bits, es decir, 2 bytes = $2\text{M/s} \times 2\text{B} = 4\text{MB/s}$
 - b) Doblar el ancho del bus de datos, dobla el ancho de banda → 8MB/s
 - c) Doblar la frecuencia de reloj reduce proporcionalmente el ciclo de bus y dobla el ancho de banda → 8MB/s
4. Consider two microprocessors having 8- and 16-bit-wide external data buses, respectively. The two processors are identical otherwise and their bus cycles take just as long.

- a. Suppose all instructions and operands are two bytes long. By what factor do the maximum data transfer rates differ?
- b. Repeat assuming that half of the operands and instructions are one byte long.
- Desarrollo:
 - a) CPU1 de 8 bits tiene un ancho de banda mitad (50%) respecto de CPU2 de 16 bits
 - b1) CPU1: 50% de 2 bytes a 2 ciclos de bus por cada 2 bytes y el otro 50% de 1 byte en 1 ciclo por byte
 $=2\text{ciclos}*50\%+1\text{ciclo}*50\% = 1.5\text{ciclos}$
 - b2) CPU2: 50% de 2 bytes a 1 ciclo de bus por cada 2 bytes y el otro 50% de 1 byte a 1 ciclo de bus (unicamente se puede acceder a una instrucción o un dato en cada ciclo de bus)
 $=1\text{ciclo}*50\%+1\text{ciclos}*50\% = 0.5+0.5 = 1\text{ciclos}$
 - b) según b1 y b2 la CPU1 tiene un ancho de banda 150 % menor que la CPU2, es decir, el 66.6 % del CPU2.
5. A microprocessor has an increment memory direct instruction, which adds 1 to the value in a memory location. The instruction has five stages: fetch opcode (four bus clock cycles), fetch operand address (three cycles), fetch operand (three cycles), add 1 to operand (three cycles), and store operand (three cycles).
- a. By what amount (in percent) will the duration of the instruction increase if we have to insert two bus wait states in each memory read and memory write operation?
- b. Repeat assuming that the increment operation takes 13 cycles instead of 3 cycles.
- Desarrollo:
 - instruction cycle: $4+3+3+3+3 = 16\text{ciclos}$
 - a) accesos a memoria en las 3 etapas fetch y en la etapa store → incremento de $2*4$ ciclos de espera → incremento de $8/16 \rightarrow$ un incremento del 50%
 - b) instruction cycle: $4+3+3+13+3 = 26\text{ciclos} \rightarrow$ incremento del ciclo de instrucción en un $8/26 \rightarrow$ incremento en 34 %
6. The Intel 8088 microprocessor has a read bus timing similar to that of Figure 3.19, but requires four processor clock cycles. The valid data is on the bus for an amount of time that extends into the fourth processor clock cycle. Assume a processor clock rate of 8 MHz.
- a. What is the maximum data transfer rate?
- b. Repeat but assume the need to insert one wait state per byte transferred.
- Desarrollo:
 - 8088: bus data: 1 byte
 - read time : 4 cpu cycles
 - data valid: 1 processor clock cycle. El cuarto ciclo del read time.
 - cpu clock: 8MHz
 - a) 4 ciclos por transferencia. $8\text{MHz}/4\text{ciclos} = 2\text{MT/s} = 1\text{ byte por transferencia} \rightarrow 2\text{MB/s}$
 - b) cada transferencia está un ciclo sin transferir (4,1) → throughput = $4/5$ del máximo → $(4/5)*2\text{MB/s} \rightarrow 1.6\text{MB/s}$
7. The Intel 8086 is a 16-bit processor similar in many ways to the 8-bit 8088. The 8086 uses a 16-bit bus that can transfer 2 bytes at a time, provided that the lower-order byte has an even address. However, the 8086 allows both even- and odd-aligned word operands. If an odd-aligned word is referenced, two memory cycles, each consisting of four bus cycles, are required to transfer the word. Consider an instruction on the 8086 that involves two 16-bit operands. How long does it take to fetch the operands? Give the range of possible answers. Assume a clocking rate of 4 MHz and no wait states
- Desarrollo:
 - 8086: bus data: 2 bytes
 - intel : little endian: el LSB byte se guarda en la dirección menor y el MSB byte en la dirección superior.
 - alineación del dato par requiere 1 ciclo de memoria.
 - palabras con alineación impar requieren 2 ciclos de memoria. Cada ciclo de memoria son 4 ciclos de bus.
 - instrucción de 2 operandos de 2 bytes cada uno. CPU clock de 4MHz → 0.250 microsegundos → 250 ns
 - a) los dos operandos tienen alineación par
 - 1 ciclo de memoria cada operando: 2 ciclos de memoria: 8 ciclos de bus → 2 microsegundos

- b) un operando tiene alineación par y el otro impar
 - 1 ciclo de memoria el par y 2 ciclos el impar: 3 ciclos de memoria: 12 ciclos de bus → 3 microsegundos
 - c) los dos operandos tienen alineación impar
 - 2 ciclos cada operando: 4 ciclos de memoria: 16 ciclos de bus → 4 microsegundos.
8. Consider a 32-bit microprocessor whose bus cycle is the same duration as that of a 16-bit microprocessor. Assume that, on average, 20% of the operands and instructions are 32 bits long, 40% are 16 bits long, and 40% are only 8 bits long. Calculate the improvement achieved when fetching instructions and operands with the 32-bit microprocessor.
- Desarrollo
 - En cada flanco positivo del ciclo de bus se realiza una transferencia entre memoria y CPU. La cpu de 16 bits realiza una transferencia de 2 bytes o menos y el de 32 bits una transferencia de 4 bytes o menos.
 - Media ciclos (CPU 16 bits)= $0.2 \times (2 \text{ ciclos para las dos transferencias de 2 bytes cada una}) + 0.4 \times 1 + 0.4 \times 1 = 1.2$ ciclos de media
 - Media ciclos (CPU 32 bits)= $0.2 \times 1 + 0.4 \times 1 + 0.4 \times 1 = 1$ ciclo de media
 - Mejora de $(1.2 - 1)$ sobre 1.2 = $(1.2 - 1)/1.2 = 17\%$

10.2. Representación de Datos

1. Representar el número decimal 1197 en las bases:

- a. Hexadecimal

- b. octal:

- c. binaria:

- d. Representar el número 0x4AD en base binaria y base octal mediante una conversión directa, sin calcular su valor.

2. Representar el número -1197 en formato:

- a. Signo-magnitud:

- b. Complemento a 2:

3. Calcular el rango de los números enteros de 8 bits en complemento a 2.

4. Utilizar notación hexadecimal:

- a. Representar el valor 23 en el formato BCD..

- En el formato Binary Code Decimal (BCD) cada dígito decimal se expande independientemente en su código binario de 4 bits
- 2→0010 ; 3→0011 ; 23 → 0010-0011

- b. The ASCII characters 23

- 0x32-0x33 → 0011-0010-0011-0011

5. For each of the following packed decimal numbers, show the decimal value:

- a. 0111 0011 0000 1001

- 7309

- b. 0101 1000 0010

- 582

- c. 0100 1010 0110

- No es posible ya que 1010 corresponde al valor 10 que no tiene un digito decimal sino dos.

6. Another representation of binary integers that is sometimes encountered is ones complement. Positive integers are represented in the same way as sign magnitude. A negative integer is represented by taking the Boolean complement of each bit of the corresponding positive number. Note: Ones complement arithmetic disappeared from hardware in the 1960s, but still survives checksum calculations for the Internet Protocol (IP) and the Transmission Control Protocol (TCP).

- a. Provide a definition of ones complement numbers using a weighted sum of bits.

- Poner ejemplos de conversión con n=3 bits

- 000→111 (luego el cero tiene dos representaciones), +1: 001→ -1:110, +2:010→'-2':101, +1:011→'-3':100

- positivos con n bits→ $\sum_{i=0}^{n-1} b_i 2^i$.

- negativos con n bits

- Tenemos en cuenta que complemento a dos = complemento_a_1 + 1
- el complemento a dos con n bits de X se puede calcular como la resta binaria 2^n (en binario) - X : por ejemplo con 3 bits el complemento a dos de +1 es 1000-1=111
- el complemento a 1 es el complemento a 2 menos 1 → $2^n - X - 1$. Por ejemplo con 3 bits el complemento a uno de +1 1000-1-1 = 110

b. What is the range of numbers that can be represented in ones complement with n bits?

- El máximo positivo → 011_I : $2^n - 1$
- El máximo negativo → 100_O : -($2^n - 1$)

7. Representar 0.56789 en binario utilizando multiplicaciones sucesivas

```
0.56789 * 2 = 1.13578 = 1 + 0.13578 -> 1, bit de la posición -1
0.13578 * 2 = 0.27156 -> 0, bit de la posición -2
0.27156 * 2 = 0.54312 -> 0, bit de la posición -3
0.54312 * 2 = 1.08624 = 1 + 0.08624 -> 1, bit de la posición -4
```

8. Representar 0.0625 en binario sin utilizar multiplicaciones sucesivas.

- $0.0625 = M \cdot 2^E$ tal que E es un entero
- $\log_{10}(0.0625) = \log_{10}(M) + E$
- $-4 = \log_{10}(M) + E \rightarrow E = -4$ y $\log_{10}(M) = 0 \rightarrow M = 1$

9. Representar el número real 1234.56789 en base binaria:

- En formato coma fija

```
Parte Entera: 1234 : 10011010010
Parte Fracción: 0.6789: 0.10010001011000010
Número 1234.6789: 10011010010.10010001011000010
```

- En notación científica: 1.001101001010010001011000010* 2^{+10}
- En precisión simple punto flotante:

```
Campo signo: + : 0
Campo Exponente (8 bits): 10+127 = 137 = 10001001
Campo fracción mantisa (23 bits)= 00110100101001000101100
```

- En precisión doble punto flotante:

```
Campo signo: + : 0
Campo Exponente (11 bits): 10+1023 = 1033 = 10000001001
Campo fracción mantisa (52 bits) = 001101001010010001011000010_0
```

10. Codificar el número entero 3 en single precision FP

- $3 = 11 = 1.1 \cdot 2^1$
 - S=0, E=1+127=128, Mn=0.1
 - 0-1000-0000-1000-0000-ceros
 - No es necesario redondear
 - Resultado= 0x40400000

11. Representar el número natural 123456789 en precisión simple Punto Flotante (IEEE-754)

- $123456789 = 0x075BCD15 = 111-0101-1011-1100-1101-0001-0101 = 1.11010110111100110100010101 \cdot 2^{+26}$
- Redondear= $1.11010110111100110100011 \cdot 2^{+26}$
 - Campo Signo= 0

- Campo Exp= $26+127=153=10011001$
- Campo fracción Mantisa= $0.11010110111100110100011$
- Resultado $0x4CEB79A3$

12. Float Point:

- a. Consider a fixed-point representation using decimal digits, in which the implied radix point can be in any position (e.g., to the right of the least significant digit, to the right of the most significant digit, and so on). How many decimal digits are needed to represent the approximations of both Planck's (6.63×10^{-27}) constant and Avogadro's number (6.02×10^{23})? The implied radix point must be in the same position for both numbers.
 - para el número de planck hace falta correr la coma 27 posiciones a la izda más los dos dígitos a la derecha (63) → fracción de 27 dígitos
 - para el número de avogadro hace falta correr la coma 23 posiciones a la dcha más el dígito de la izda (7) → parte entera de 24 dígitos
 - para los dos $29+24=53$ dígitos
- b. Now consider a decimal floating-point format with the exponent stored in a biased representation with a bias of 50. A normalized representation is assumed. How many decimal digits are needed to represent these constants in this floating point format?
 - planck → $0.63 \times 10^{-26} \rightarrow 0.63 \times 10^{-26+50} \rightarrow 0.63 \times 10^{+24}$
 - avogadro → $0.602 \times 10^{24} \rightarrow 0.602 \times 10^{24+50} \rightarrow 0.602 \times 10^{74}$
 - para los dos hacen falta = 3 dígitos fracción y 2 dígitos para el exponente.

13. Any floating-point representation used in a computer can represent only certain real numbers exactly; all others must be approximated. If A_p is the stored value approximating the real value A , then the relative error, r , is expressed as $r=(A-A_p)/A$. Represent the decimal quantity +0.4 in the following floating-point format: base=2 exponent: biased, 4 bits; significand, 7 bits. What is the relative error?

- En binario coma fija
 - $0.4 \times 2 = 0.8 \rightarrow 0$
 - $0.8 \times 2 = 1.6 \rightarrow 1$
 - $0.6 \times 2 = 1.2 \rightarrow 1$
 - $0.2 \times 2 = 0.4 \rightarrow 0$
 - $0.4 \times 2 \rightarrow$ otra vez 0110, luego es un número periódico → 0.0110-0110-0110-período
 - normalizado 1.10-0110-0110-etc $\times 2^{-1}$ → se representa la fracción 10-0110-0110-
 - con fracción de 7 bits 1001100
 - Valor del número aproximado $1.1001100 \times 2^{-1} = 110011 \times 2^{-6} = (32+16+2+1) \times 2^{-6} = 51/64 = .796875$
 - Error = $(0.8 - 0.796875) / 0.8 = 0.003906250 = 0.4\%$
 - En exceso de 4 bits. Con el número excedido el rango es (0,15). El exceso es la mitad de combinaciones $-1=16/2-1=7$, luego se pueden representar los exponentes (-7,8).

14. Representar el número Pi en coma flotante IEEE de simple y doble precisión

- SOLUCION:
- Formato decimal: 3.1415926535897932384626433832795028841968
- Binario Coma fija : 11.0010010000111110110101000100010110100011000010001101001100010011000110011000
- Hexadecimal Coma fija: 0011.0010-0100-0011-1111-0110-1010-1000-1000-0101-1010-0011-0000-1000-1101-0011-0001-0011-0001-1001-1000-1010-0010-1110-0000-0011-0111
 - 3.243F6A8885A308D313198A2E03E

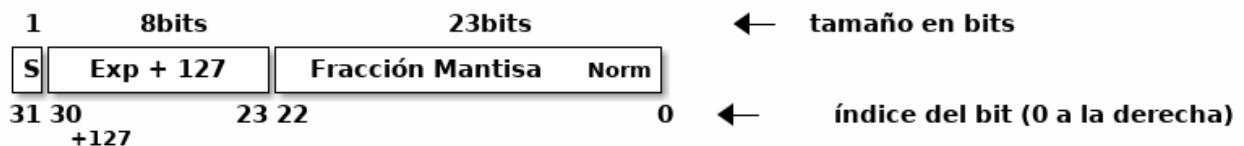


Figura 10.1: IEEE-754 precisión simple (32 bits)

- $v = s \times 2^e \times m$
 - Notación científica con la mantisa normalizada y su parte fracción truncada a 23 bits y redondeada:
 - $+ (1 + 0.1001001000011111011011) * 2^{+1}$
- Campos:
 - Signo : positivo $\rightarrow 0 \rightarrow$ 1 bit
 - Exponente: $+1$
 - Exponente desplazado $+ 127 = +1 + 127 = 128 \rightarrow 10000000 \rightarrow 8\text{ bits}$
 - Mantisa normalizada: $1 + 0.1001001000011111011011$
 - Fracción de la mantisa normalizada: $1001001000011111011011 \rightarrow 23\text{ bits}$

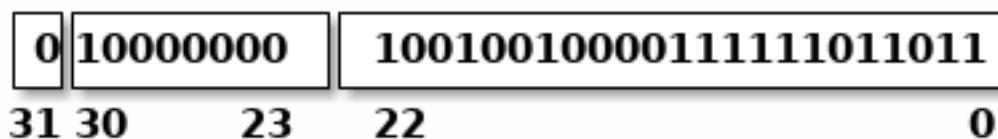


Figura 10.2: Formato IEEE-754 precisión simple

- Resultado= 0x40490fdb

10.3. Operaciones Aritméticas

1. Sumar en binario puro

- 10011011+00011011 SOLUCION: = 10110110
- 0x3A1F+0xF4E1 SOLUCION: = 0x12f00
- 10011011+10011011 SOLUCION: = 100110110

2. Sumar en complemento a 2 : 50+23

- Realizar las operaciones en código binario SOLUCION: = 0110010+0010111 = 01001001
- Realizar las operaciones en código hexadecimal SOLUCION: = 0x32+0x17 = 0x49

3. Representar el valor -66 en complemento a 2

- SOLUCION: +66 = 01000010 → -66 = 10111101+1 = 10111110

4. Resta en complemento a 2 : 33-66

- Realizar las operaciones en código binario: SOLUCION: 0100001+1011110=1011111
- Realizar las operaciones en código hexadecimal: SOLUCION: 0x21+0xBE=0xDF

5. Representar en hexadecimal el mayor número en módulo que se puede representar en complemento a 2 con 16 bits

- SOLUCION: 1000-0000-0000-0000 = 0x8000

6. Sumar en complemento a 2 con 16 bits 0x8000+0x8000

- SOLUCION: 0x8000+0x8000=0x0000

7. Restar en binario puro 0110010 - 0010111

- SOLUCION:

```
0110010  <- minuendo
0010111  <- sustraendo
      1111  <- llevadas
*****
0011011
```

8. Restar en hexadecimal 0x32-0x17

```
0x32  <- minuendo
0x17  <- sustraendo
      1   <- llevadas
*****
0x1B
```

9. Multiplicación

- ¿A qué equivale en base binaria multiplicar por una potencia de 2 positiva 2^n ? :
 - SOLUCION:
 - en un número real mover la coma n posiciones hacia la dcha
 - en un número entero añadir n ceros a la dcha
 - en un registro es desplazar los bits n posiciones hacia la izda e introducir n ceros por la dcha
- ¿A qué equivale en base binaria multiplicar por una potencia de 2 negativa 2^{-n} ? :
 - SOLUCION:

- en un número real mover la coma n posiciones hacia la izda
- en un número entero añadir n ceros a la izda
- en un registro es desplazar los bits n posiciones hacia la dcha e introducir n ceros por la izda

10. Realizar la multiplicación de los siguientes números naturales:

■ 1010*1010

■ 1010*1111

■ SOLUCION:

$$\begin{array}{r} 1010 \\ \times 1010 \\ \hline 0000 \\ 1010 \\ 0000 \\ 1010 \\ \hline 1100100 \end{array} \quad \begin{array}{r} 1010 \\ \times 1111 \\ \hline 1010 \\ 1010 \\ 1010 \\ \hline 10010110 \end{array}$$

10.4. Operaciones Lógicas

1. Realizar las operaciones lógicas \tilde{A} , $\tilde{A}+1$, $A+B$, $A \cdot B$, $A \oplus B$ siendo $A=10101010$ y $B=11110000$

- SOLUCION:
- $A+B \rightarrow A|B \rightarrow AVB$
- $A \cdot B \rightarrow A\&B \rightarrow A\wedge B$
- $\tilde{A} = 01010101$
- $\tilde{A}+1 = 01010110$
- $A+B = 11111010$
- $A \cdot B = 10100000$
- $A \oplus B = 01011010$

2. Dado un operando de 20 bits, indicar la operación lógica a realizar para: (expresar la operación con los operandos en código hexadecimal)

- Set el bit 7 (posición 7^a)
 - SOLUCION: 20 bits son 5 dígitos hex \rightarrow Operando | 0x000080
- Clear el bit 15
 - SOLUCION: Operando & 0xF7FFF
- Toogle el bit 19
 - SOLUCION: Operando \oplus 0x8000
- Set toda la palabra
 - SOLUCION: Operando | 0xFFFF
- Clear toda la palabra
 - SOLUCION: Operando \oplus Operando ó Operando & 0x000000

3. Dadas las operaciones lógicas SAR X,n(shift arithmetic right X, n), SLR X,n(shift logic right X,n) , SAL X,n(shift arithmetic left X, n) y SLL X,n(shift logic left X, n) donde X es el operando, xxR significa derecha, xxL significa izquierda y n es el número de posiciones a desplazar. Realizar las siguientes operaciones con el operando $A=10101010$: SAR A,4, SLR A,4, SAL A, 4 y SLL A,4 de forma manual y también mediante un programa en lenguaje C:

- SAR A,4 = 11111010
- SLR A,4 = 00001010
- SAL A,4 = 10101111
- SLL A,4 = 10100000

4. Realizar la multiplicación $A \cdot 2^2$ y $A \cdot 2^{-2}$ donde $A=10101010$ primero manualmente y después mediante operaciones lógicas.

- $A \cdot 2^2 = 1010101000$
- $A \cdot 2^{-2} = 101010.10$
- Con operaciones lógicas:
 - I. Doblar el tamaño de A \rightarrow D:A \leftarrow 0000000001010101
 - II. desplazar SLL D:A,2 \rightarrow D:A \leftarrow 0000000101010100

10.5. Representación de las Instrucciones

1. Sea un computador con palabras de 32 bits. La CPU tiene 64 instrucciones diferentes de un operando, 32 registros de propósito general de 32 bits y posibilidad de direccionamiento directo a registro o indirecto con desplazamiento a registro-base.
a) Diseñar el formato de instrucción para este computador. Debe especificar un registro de dirección y un desplazamiento, además del modo de direccionamiento y código de operación.
b) ¿Cuál es el máximo valor del desplazamiento (el desplaz. es un número en C2)?

■ SOLUCION

- a. Formato

Palabra de 32 bits → Registros de propósito general de 32 bits.

Formato de instrucciones con una estructura en 4 campos: código de operación, modo de direccionamiento, campo de operando (registro o registro con desplazamiento)

1º Campo: código de operación: 64 instrucciones : $2^6 \rightarrow 6$ bits

2º Campo: modo de direccionamiento: 2 tipos: $2^1 \rightarrow 1$ bit

3º Campo: registro: 32 registros: $2^5 \rightarrow 5$ bits

4º Campo: Desplazamiento nº entero: $(32-(6+1+5))$ bits → 20 bits

- b. Desplazamiento de 20 bits

• En complemento a 2: Positivo máximo 0111-1111-1111-1111-1111 de valor $2^{19}-1$ y Negativo mínimo 1000-0000-0000-0000 que cambiado de signo es el 0-1000-0000-0000-0000-0000 de valor $+2^{19}$, por lo que el rango es $[+2^{19}-1, -2^{19}] \rightarrow [+524287, -524288]$

2. Un computador con palabras de 24 bits posee 16 instrucciones diferentes de un operando, 8 registros para de propósito general, y 3 modos de direccionamiento (directo a registro, indirecto con registro e indirecto con desplazamiento a registro-base)

- a. Diseñar un formato de instrucción para este computador. Debe especificar el código de operación, el modo de direccionamiento, un registro y un desplazamiento.

■ SOLUCION:

Word Size = 24 → Registros de Propósito general de 24 bits

4 campos en el formato de instrucción:

código de operación- modo de direccionamiento - Registro - Desplazamiento

1º Campo: código de operación: 16 instrucciones : $2^4 \rightarrow 4$ bits

2º Campo: modo de direccionamiento: 3 tipos: $2^2 \rightarrow 2$ bit

3º Campo: registro: 8 registros: $2^3 \rightarrow 3$ bits

4º Campo: Desplazamiento nº entero: $(24-(4+2+3))$ bits → 15 bits

- b. ¿Cuál es el rango de valores del desplazamiento en magnitud?, ¿y en C2?

■ Formato Magnitud: Mínimo el cero y el máximo 111-1111-1111-1111 = $2^{15}-1 = 32768$

■ Complemento a 2: Positivo máximo 0111-1111-1111-1111 de valor $2^{14}-1$ y Negativo mínimo 100-0000-0000 que cambiado de signo es el 0100-0000-0000-0000 de valor $+2^{14}$, por lo que el rango es $[+2^{14}-1, -2^{14}] \rightarrow [+16383, -16384]$

3. Un computador tiene un formato de instrucción de 11 bits donde el campo de operando es de 4 bits. ¿Es posible codificar en este formato 5 instrucciones de dos operandos, 45 de un operando y 48 sin operando?. Justificar la respuesta.

■ SOLUCION

- 3 tipos de formatos

- Tipo 1: campo tipo - Cod. Op. - Op1 - Op2
 - 2 bits - x bits - 4 bits - 4 bits → $x=11-(2+4+4)=1$ bit → Máximo de 2 instrucciones < 5 instrucciones → No es posible
 - Tipo 2: campo tipo - Cod. Op. - Op
 - 2 bits - y bits - 4 bits → $y=11-(2+4)=5$ bits → Máximo de 32 instrucciones < 45 instrucciones → No es posible
 - Tipo 3: campo tipo - Cod. Op.
 - 2 bits - z bits → 48 instrucciones
 - Alternativa
 - Sin campo de tipo : $5+45+48=98$ instrucciones → 2^7 → 7 bits → la instrucción tipo 1 ocuparía $7+4+4=15$ bits > 11 → No es posible
4. Un computador de 16 bits de ancho de palabra (instrucciones, palabra de memoria, registros) y 8 registros, tiene el siguiente repertorio de instrucciones:
- 14 instrucciones de referencia de un solo operando en memoria, con direccionamiento directo e indirecto de memoria
 - 31 instrucciones con dos operandos con los modos de direccionamiento directo e indirecto de registro.
 - 32 instrucciones sin operando explícito.
 - a. Especificar la codificación de las instrucciones.
 - b. Especificar la zona de memoria alcanzable en cada tipo de direccionamiento y rango posible de valores de los operandos (en C'2).
 - SOLUCION
 - Word Size = 16 → Registros de Propósito general de 16 bits
 - Repertorio con 3 tipos de formatos
 - 1º Tipo: Tipo-Cod.Op.-Modo Direc-Op1 → 14 instrucciones (2^4), Bits:2-4-1-x → $x=16-(2+4+1)=9$ bits
 - 2º Tipo: Tipo-Cod.Op.-Modo Direc1-Op1-Modo Direc2-Op2 → 31 instrucciones (2^5) Bits:2-5-1-x-1-x → $x=(16-(2+5+2))/2=3$ bits
 - 3º Tipo: Tipo-Cod.Op. → 32 instrucciones (2^5) Bits:2-5 → 7 bits ocupados de los 16.

5. Un computador basado en el 68000 presenta los siguientes contenidos en registro y memoria:

| REGISTROS | | MEMORIA | |
|-----------|-----------|-----------|-----------|
| Registro | Contenido | Dirección | Contenido |
| A1 | 100 | 99 | 104 |
| A2 | 2 | 100 | 108 |
| | | 101 | 106 |
| | | 102 | 107 |
| ... | ... | ... | ... |
| | | 199 | 100 |
| | | 200 | 34 |
| | | 201 | 96 |
| | | 202 | 201 |

- Si el contenido del desplazamiento de la instrucción en ejecución es desp=99 ¿Cuál sería el valor del operando (de tamaño byte) con los siguientes modos de direccionamientos?
 - I. Directo de memoria o absoluto (dirección = desplazamiento).
 - II. Directo de registro con A1.
 - III. Indirecto de registro con A1.
 - IV. Indirecto con desplazamiento con registro base A1
 - V. Indirecto con desplazamiento con registro base A2.
 - VI. Indirecto con desplazamiento con registro base A1 e indexado con A2.
 - VII. Indirecto de registro con predecremento con A1.

■ SOLUCION:

```

Directo de memoria o absoluto (dirección = desplazamiento) -> M[99]=104
Directo de registro con A1. -> R[A1]=100
Indirecto de registro con A1. -> M[A1]=M[100]=108
Indirecto con desplazamiento con registro base A1 -> M[A1+99]=M[199]=100
Indirecto con desplazamiento con registro base A2.-> M[A2+99]=M[101]=106
Indirecto con desplazamiento con registro base A1 e indexado con A2.-> M[A1+99+A2]=M ←
    [100+99+2]=M[201]=96
Indirecto de registro con predecremento con A1.-> M[A1-1]=M[100-1]=104

```

6. Un computador presenta los siguientes contenidos en registro y memoria:

| REGISTROS | | MEMORIA | |
|-----------|-----------|-----------|-----------|
| Registro | Contenido | Dirección | Contenido |
| R1 | 99 | 96 | 100 |
| R2 | 6 | 97 | 102 |
| | | 98 | 101 |
| | | 99 | 104 |
| | | 100 | 108 |
| | | 101 | 106 |
| | | 102 | 107 |
| | | 103 | 109 |
| | | 104 | 110 |

- Si el contenido del desplazamiento de la instrucción en ejecución es 96 ¿Cuál sería el valor del operando con los siguientes direccionamientos?. a)Directo de memoria (dir = desp). b)Indirecto de memoria memoria (dir memoria = desp). c)Directo de registro con R1. d)Indirecto de registro con R1. e)Indirecto con desplazamiento con registro base R2
7. Se tiene un computador con un ancho de palabra de 32 bits y con un banco de registros de 32 registros de 32 bits. El computador tiene 64 instrucciones diferentes y los siguientes modos de direccionamiento: directo de memoria, indirecto de memoria e indirecto con desplazamiento a registro-base.

- a. Diseñar los dos formatos de las instrucciones de dos operandos sabiendo que siempre un operando está en memoria y otro en registro.

■ SOLUCION:

- CodOp/Modo-Etiqueta_fuente/Registro_destino
 - CodOp=2⁶=64 instrucciones
 - Modo: directo o indirecto:2¹
 - Etiqueta=2⁵=32 bits de direcciones
 - Reg=2⁵=32 bits
 - Total=6+1+5+5=17 bits
- CodOp/Desplazamiento-Registro_fuente/Registro_destino
 - CodOp=2⁶=64 instrucciones
 - Desplazamiento=2⁵=32 bits de direcciones
 - Reg=2⁵=32 bits
 - Total=6+5+5+5=21 bits

- b. Si cada dirección de memoria especifica un byte ¿qué zona de memoria se puede acceder con cada uno de los modos de direccionamiento?

■ SOLUCION

8. Consideremos cuatro arquitectura de procesador: acumulador, pila, memoria-memoria y registro-registro con 16 registros. Para las cuatro arquitectura se tienen los siguientes datos comunes:

- El código de operación es siempre 1 byte

- Todas las direcciones de memoria son 2 bytes
 - Todos los datos son 4 bytes
 - Todas las instrucciones tienen una longitud igual a un numero entero de bytes
 - a. Escribir de forma genérica los programas en lenguaje ensamblador de cada una de las arquitecturas para realizar la siguiente operación; $A=B+C$. Para cada programa, calcular el tráfico con memoria y el tamaño del código. ¿Cuál es más eficiente?.
 - b. Escribir los cuatro programas ensamblador para la siguiente secuencia de operaciones $A=B+C$; $B=A+C$; $D=A-B$. Calcular el tráfico con memoria y el tamaño del código. ¿Cuál es más eficiente?.
9. Considerando que en un procesador cada búsqueda de instrucción y cada acceso a un operando consumen un ciclo y teniendo en cuenta los siguientes datos en millones de referencias.
- | | TEX | Spice | C |
|----------------------|------------|--------------|----------|
| Arquitectura R-R | | | |
| Referencias de datos | 5.4 | 4.9 | 1.4 |
| Palabras de instr. | 14 | 18.9 | 3.9 |
| Arquitectura M-M | | | |
| Referencias a datos | 12.4 | 10.5 | 4.1 |
| Palabras de instr | 7.5 | 8.4 | 2.4 |
- a. Calcular el porcentajes de accesos a memoria que son para buscar instrucciones de los tres programas para la arquitectura R-R y para la arquitectura M-M.
- b. ¿Cuál es la relación de accesos totales entre ambas arquitecturas?
10. Para la arquitectura M68000 de Motorola de 32 bits, mostrar el contenido de todos los registros y posiciones de memoria afectadas (sin incluir el PC) por la ejecución de cada una de las instrucciones, suponiendo que partimos siempre de las condiciones iniciales especificadas:

| Instrucciones: | |
|-----------------------|--------------|
| a. CLR.L | -(A1) |
| b. CLR.W | D2 |
| c. MOVE.W | \$1204,D1 |
| d. MOVE.W | #\$1204,D1 |
| e. MOVE.B | (A2)+,\$1200 |
| f. MOVE.L | D1,-(A2) |
| g. MOVE.L | (A1)+,D2 |

| Condiciones iniciales: | |
|-------------------------------|-------------|
| REGISTROS | MEMORIA |
| A1:00001202 | 0011FE:7777 |
| A2:00001204 | 001200:1111 |
| D1:01020304 | 001202:2222 |
| D2:F0F1F2F3 | 001204:3388 |
| | 001206:4444 |
| | 001208:5555 |
| | 00120A:6666 |

- Sufijos → Long=4 bytes, Word=2Bytes, Byte=1Byte
- El incremento o decremento de la dirección efectiva se escala con el tamaño del operando
- SOLUCION

```
CLR.L -(A1) :
  Clear operando long
  Predecremento del registro A1 seguido de indirección
```

```

A1<-A1-4 ; (A1-4=0x1202-0x4=0x11FE) A1:000011FE
M[A1]<-0, M[A1+1]<-0, M[A1+2]<-0, M[A1+3]<-0 M[0011FE]:0000 M[001200]:0000
CLR.W D2 :
    Clear operando Word
    D2(15:0)<-0 ; D2:F0F10000
MOVE.W $1204,D1
    Copiar 2bytes de Op_fuente (Dir. Directo) en Op_destino (Registro)
    D1(15:0)<-M[0x1204] ; (M[0x1204]=3388); D1:01023388
MOVE.W #$1204,D1
    Copiar 2bytes de Op_fuente (Dir. Inmediato) en Op_destino (Registro)
    D1(15:0)<-0x1204 ; (D1:01021204)
MOVE.B (A2)+,$1200
    Copiar 1byte Op_fuente (indirecto con postincremento), Op_destino (Directo)
    0x1200<-M[A2][LSB] ; (M[A2][LSB]=M[A2+1]=M[1205]=88) ; M[1200]:1188
    A2<-A2+1 ; (A2+1=0x1204+0x1=0x1205) ; A2:00001205
MOVE.L D1,-(A2)
    Copiar 4bytes Op_fuente(Registro) a Op_destino(indirecto con predecremento)
    A2<-A2-4 ; (A2-4=0x1204-0x4=0x1200) A2:00001200
    M[A2+3]<-D1(7:0), M[A2+2]<-D1(15:8), M[A2+1]<-D1(23:16), M[A2]<-D1(31:24) ; M ←
    [001200]:01020304
MOVE.L (A1)+,D2
    Copiar 4bytes Op_fuente(Indirecto con postincremento) a Op_destino(Registro)
    D2(7:0)<-M[A1+3] ; D2(15:8)<-M[A1+2]; D2(23:16)<-M[A1+1]; D2(31:24)<-M[A1] ; ←
    D2:11112222
    A1<-A1+4; (A1=0x1202+0x4=0x1206) A1:00001206

```

11. Mostrar el contenido de todos los registros y posiciones de memoria afectadas (sin incluir el PC) por la ejecución de cada una de las instrucciones, suponiendo que partimos siempre de las condiciones iniciales especificadas:

| Instrucciones: | |
|-------------------------------|--|
| a. MOVE.W -(A1),A3 | |
| b. CLR.B -11(A2) | |
| c. MOVE.W (A4)+,-100(A1,D5.W) | |
| d. MOVE.W #\$1FF,D5 | |

| Condiciones iniciales: | |
|-------------------------------|-------------|
| REGISTROS | MEMORIA |
| A1:00001504 | 001500:1234 |
| A2:00001510 | 001502:5678 |
| A3:11122233 | 001504:9ABC |
| A4:00001506 | 001506:EF11 |
| D5:FA000064 | 001508:2233 |
| | 00150A:4455 |

12. Para la arquitectura M68000-32 de Motorola, suponiendo que se dan las siguientes condiciones iniciales, mostrar el contenido de todos los registros y posiciones de memoria afectadas (incluyendo el PC) por la ejecución de cada una de las instrucciones. Suponer, además, que las instrucciones están en posiciones consecutivas de memoria, a partir de la dirección \$2000, y que se ejecutan en secuencia.

| Condiciones iniciales: | |
|-------------------------------|-------------|
| REGISTROS | MEMORIA |
| A1:00001504 | 001500:1234 |
| A2:00001510 | 001502:5678 |
| A4:00001506 | 001504:9ABC |
| D3:11122233 | 001506:EF11 |
| D5:FA000070 | 001508:2233 |
| D6:AB00FF9B | 00150A:4455 |

| Instrucciones: | |
|------------------------------|--|
| CLR.B -(A4) | |
| MOVE.L -124(A2, D5.W), -(A1) | |
| MOVE.W \$64(A4,D6.W), D3 | |

13. Comparar los computadores de 1,2 y 3 direcciones escribiendo los programas para calcular la expresión $X = (A+B*C)/(D-E*F)$ siendo los repertorios los siguientes:

| 0 Address | 1 Address | 2 Address | 3 Address |
|-----------|-----------|-----------------------|-----------------------|
| PUSH M | LOAD M | MOVE X, Y ; (X<-Y) | MOVE X, Y ; (X<-Y) |
| POP M | STORE M | ADD X, Y ; (X <- X+Y) | ADD X, Y ; (X <- Y+Z) |
| ADD | ADD M | SUB X, Y ; (X <- X-Y) | SUB X, Y ; (X <- Y-Z) |
| SUB | SUB M | MUL X, Y ; (X <- X*Y) | MUL X, Y ; (X <- Y*Z) |
| MUL | MUL M | DIV X, Y ; (X <- X/Y) | DIV X, Y ; (X <- X/Y) |
| DIV | DIV M | | |

■ SOLUCION:

| | | | |
|--------|---------|------------|---------------|
| PUSH A | LOAD E | MOV R0, E | MUL R0, E, F |
| PUSH B | MUL F | MUL R0, F | SUB R0, D, R0 |
| PUSH C | STORE T | MOV R1, D | MUL R1, B, C |
| MUL | LOAD D | SUB R1, R0 | ADD R1, A, R1 |
| ADD | SUB T | MOV R0, B | DIV X, R0, R1 |
| PUSH D | STORE T | MOV R0, C | |
| PUSH E | LOAD B | ADD R0, A | |
| PUSH F | MUL C | DIV R0, R1 | |
| MUL | ADD A | MOV X, R0 | |
| SUB | DIV T | | |
| DIV | STO X | | |
| POP X | | | |

14. If the last operation performed on a computer with an 8-bit word was an addition in which the two operands were 00000010 and 00000011, what would be the value of the following flags?

- Carry
- Zero
- Overflow
- Sign
- Even Parity
- Half-Carry

■ SOLUCION:

- $0010+0011=0101 \rightarrow$ No hay llevada en el MSB, el resultado no es cero, no hay overflow ya que no hay llevada, positivo, número de unos par, no hay llevada en el bit de posición 3. Por lo que todos los flags desactivados excepto el de paridad par . El flag parity estará a 1.

15. The x86 Compare instruction (CMP) subtracts the source operand from the destination operand; it updates the status flags (C, P, A, Z, S, O) but does not alter either of the operands. The CMP instruction can be used to determine if the destination operand is greater than, equal to, or less than the source operand.

- Suppose the two operands are treated as unsigned integers. Show which status flags are relevant to determine the relative size of the two integer and what values of the flags correspond to greater than, equal to, or less than.
- Suppose the two operands are treated as two's complement signed integers. Show which status flags are relevant to determine the relative size of the two integer and what values of the flags correspond to greater than, equal to, or less than.

■ SOLUCION:

- Ver [Programación en Lenguaje Ensamblador \(x86\)](#),
 - CMP=Dest-Source
- c. Enteros sin signo

Cuadro 10.1: CMP/EFLAFS

| Caso | CF | PF | AF | ZF | SF | OF |
|-------------|----|----|----|----|----|----|
| Dest>Source | 0 | x | x | 0 | x | x |
| Dest=Source | 0 | x | x | 1 | x | x |
| Dest<Source | 1 | x | x | 0 | x | x |

d. Enteros con signo

Cuadro 10.2: CMP/EFLAFS

| Caso | CF | PF | AF | ZF | SF | OF |
|-------------|----|----|----|----|----|----|
| Dest>Source | x | x | x | 0 | 0 | 0 |
| Dest=Source | 0 | x | x | 1 | 0 | 0 |
| Dest<Source | 1 | x | x | 0 | 1 | ? |

- ? : habrá o no overflow dependiendo del signo del destino y fuente. Pej operandos de 8 bits con OP_destino=-255 y OP_fuente=+1, entonces OP_destino - OP_fuente = -255-1, en C2 = 0x80+0xFF=0x17F=1_0111_1111= Sí hay overflow ya que MSB de valor 1 es distinto al bit de signo 0.

16. Many microprocessor instruction SETS include an instruction that tests a condition and sets a destination operand if the condition is true. Examples include the *SETcc* on the x86, the Scc on the Motorola MC68000, and the Scond on the National NS32000.

a. A simple IF statement such as *IF a > b THEN* can be implemented using a numerical representation method, that is, making the *Boolean value* manifest, as opposed to a *flow of control* method, which represents the value of a Boolean expression by a point reached in the program. (Primero transcribir el lenguaje ASM del enunciado a lenguaje RTL). A compiler might implement *IF a > b THEN* with the following **x86 code**:

```

; Sintaxis de Intel: Operación Op_destino, Op_fuente
SUB CX, CX ;set register CX to 0
MOV AX, B ;move contents of location B to register AX
CMP AX, A ;compare contents of register AX and location A
JLE TEST ;jump if A <= B
INC CX ;add 1 to contents of register CX
TEST    JCXZ OUT ;jump if contents of CX equal 0

THEN    XXXXX

OUT     XXXXX

```

b. Now consider the high-level language statement, (Primero transcribir el lenguaje ASM del enunciado a lenguaje RTL):

- *A:=(B > C) OR (D == F)*
- A compiler might generate the following code:

```

MOV EAX, B ;move contents of location B to register EAX
CMP EAX, C ;compare contents of register EAX and location C
MOV BL, 0 ;0 represents false
JLE N1 ;jump if (B <= C)
MOV BL, 1 ;1 represents false
N1      MOV EAX, D
        CMP EAX, F
        MOV BH, 0
        JNE N2

```

```

MOV BH, 1
N2      OR BL, BH

```

- SOLUCION:
- a. JLE Op_destino
- Salta si el ultimo resultado activa el banderín ZF=1 ó los banderines SF y OF son diferentes (SF<>OF)
- CMP Op_destino_B, Op_fuente_A → B-A → operandos con signo en complemento a dos
 - ZF=1 → B==A
 - SF <> OF
 - SF=1,OF=0 → B<A
 - SF=0,OF=1 → B>A
- Sustituir el salto por SETcc

```

SUB CX, CX ;set register CX to 0
MOV AX, B ;move contents of location B to register AX
CMP AX, A ;compare contents of register AX and location A
SETGT CX ;CX = (a GT b)
TEST JCXZ OUT ;jump if contents of CX equal 0
THEN XXXXXX
OUT XXXXXX

```

- b.

```

MOV EAX, B ; move from location B to register EAX
CMP EAX, C
SETG BL ; Setcc SETGreater ;BL = 0/1 depending on result
MOV EAX, D
CMP EAX, F
MOV BH, 0
SETE BH ; Setcc SETEqual ;BH= 0 ó 1 dependiendo del resultado
OR BL, BH

```

17. En la estructura de datos siguiente, dibujar el layout de memoria little-endian, teniendo en cuenta que el compilador alinea los datos con direcciones múltiplo de 4 rellenando los huecos con ceros, y así minimizar el número de transferencias entre la memoria y la CPU en la captura de los datos.

- Declaración:

```

#include <stdio.h>
void main (void)
{
    struct{
        int a;
        int pad; // 
        double b;
        int* c;
        char d[7];
        short e;
        int f;
        char q[4];
    } s={.a=0x11121314,.pad=0,.b=0x2122232425262728,.d={'A','B','C','D','E','F','G'},.e ←
        =0x5152,.f=0x61626364,.q="abc"};
    s.c=&s.e;
}

```

- SOLUCION Little Endian:

```

00: 14 13 12 11
04: xx xx xx xx
08: rr rr rr rr

```

```

0C: rr rr rr rr
10: aa aa aa aa
14: 41 42 43 44
18: 45 46 47 pp
1C: 52 51 pp pp
20: 64 63 62 61
24: 61 62 63 00

```

- xx: indeterminado
 - rr: código ieee-754 doble precisión
 - aa: dirección de la variable e con la que es inicializado el puntero c.
 - char q[4]={"abc"} : array de 4 elementos tipo carácter. Equivale a: char q[4]={a,b,c,NULL} donde el carácter NULL vale 00.
18. Para una arquitectura little endian el mapa de direcciones en memoria es el de la figura de abajo. Asociar la declaración de las estructuras s1 y s2 en lenguaje C y su inicialización con el mapa de direcciones indicando las direcciones en memoria de los elementos de las estructuras.

| Little-endian address mapping | | | | | | | | Byte address |
|-------------------------------|-----|-----|-----|----|-----|-----|-----|--------------|
| 07 | 06 | 05 | 04 | 11 | 12 | 13 | 14 | 00 |
| 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 08 |
| 0F | 0E | 0D | 0C | 0B | 0A | 09 | 08 | 10 |
| 'D' | 'C' | 'B' | 'A' | 31 | 32 | 33 | 34 | 18 |
| 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 20 |
| | | 51 | 52 | | 'G' | 'F' | 'E' | |
| 1F | 1E | 1D | 1C | 1B | 1A | 19 | 18 | |
| | | | | 61 | 62 | 63 | 64 | |
| | | | | 23 | 22 | 21 | 20 | |

Figura 10.3: Little Endian

- a. declaración de la variable s1: tipo estructura

```

struct {
    double i; //0x1112131415161718 ; 8 bytes
} s1;

```

- SOLUCION:

- MSB(i):0x11 en la dirección 0x03 y LSB(i):18 en la dirección de MSB-7

- b. declaración de la variable s2: tipo estructura

```

struct {
    int i; //0x11121314 ; 4 bytes
    int j; //0x15161718
} s2;

```

■ SOLUCION:**■ i:**

- MSB(i):0x11 en la dirección 0x03 y LSB(i) en la dirección 0x00

■ j:

- j se reservar secuencialmente a continuación de i, por lo que LSB(j) estará en la dirección 0x04 y MSB(j) en la dirección 0x07
- 0x04 : 18 17 16 15
 - Write a small program to determine the endianness of machine and report the results. Run the program on a computer available to you and turn in the output.

```
#include <stdio.h>
main()
{
    int integer; /*4 bytes*/
    char *p;
    integer = 0x30313233; /* ASCII for chars '0', '1', '2', '3' */
    p = (char *)&integer
    if (*p=='0' && *(p+1)=='1' && *(p+2)=='2' && *(p+3)=='3')
        printf("This is a big endian machine.\n");
    else if (*p=='3' && *(p+1)=='2' && *(p+2)=='1' && *(p+3)=='0')
        printf("This is a little endian machine.\n");
    else
        printf("Error in logic to determine machine endian-ness.\n");
}
```

■ SOLUCION:

- p apunta al primer byte de la variable integer, (p+1) al siguiente byte y así sucesivamente
- si p apunta al carácter 0 significa que el MSB de integer se almacena en la dirección más baja → Big endian
- si p apunta al carácter 3 significa que el MSB de integer se almacena en la dirección más alta → Little endian

10.6. Programación asm

- Explicación breve del modus operandi de los códigos mnemónicos. Para información más detallada ir al [Manual del Reperto-
rio e Instrucciones de INTEL](#)

10.6.1. Datos

1. Interpretar las instrucciones siguientes de un programa en lenguaje ensamblador x86-64 describiéndolas en lenguaje RTL:

- mov da1,da4
- mov \$0xFF00FF00FF00FF00,%rax
- mov \$0xFF,%rsi
- mov \$da1,%rsp
- lea da1,%rsp
- mov da4,%ebx
- movb da4,%ebx
- movl da4,%ax
- movw %ebx,da4
- movw %ebx,da1

- si la sección de datos presenta el código siguiente:

```
.data

da1:    .byte   0xA
da2:    .2byte  0xA0B
da4:    .4byte  0xA0B0C0D
saludo: .ascii  "hola"
lista:   .int    1,2,3,4,5
```

- SOLUCION

```
mov da1,da4
mov $0xFF00FF00FF00FF00,%rax
mov $0xFF,%rsi
mov $da1,%rsp
lea da1,%rsp
mov da4,%ebx
movb da4,%ebx
movl da4,%ax
movw %ebx,da4
movq %ebx,da4
```

10.6.2. Modos de Direccionamiento

1. Deducir la dirección efectiva del operando en las expresiones siguientes:

- \$0
- %rax
- loop_exit
- data_items(%rdi,4)
- (%rbx)
- (%rbx,%rdi,4)

■ SOLUCIONES

- \$0 : inmediato : el operando está en la propia instrucción, es 0.
- %rax : directo registro . El operando está en el registro. Operando R[rax]
- loop_exit : directo memoria . La etiqueta es la dirección efectiva del operando en memoria. Operando M[loop_exit]
- data_items(%rdi,4) : indexado y desplazamiento inmediato. Dirección efectiva = data_item+4*RDI. Operando M[data_item+4*RDI]
- (%rbx) : Indirecto a registro . Dirección efectiva=RBX . Operando M[RBX]
- (%rbx,%rdi,4) : indexado y desplazamiento en registro base. Dirección efectiva = RBX+4*RDI .Operando M[RBX+4*RDI]

2. Describir en lenguaje RTL el código

```
lea buffer, %eax
mov da2, (%eax)
mov da2, %bx
mov %bx, (%eax)
incw da2
lea da2, %ebx
incw 2(%ebx)
mov $3, %esi
mov da2(%esi,2), %ebx
```

■ SOLUCION:

```
lea buffer, %eax
mov da2, (%eax)
mov da2, %bx
mov %bx, (%eax)
incw da2
lea da2, %ebx
incw 2(%ebx)
inc 2(%ebx)
mov $3, %esi
mov da2(%esi,2), %ebx
```

10.6.3. Aritmética

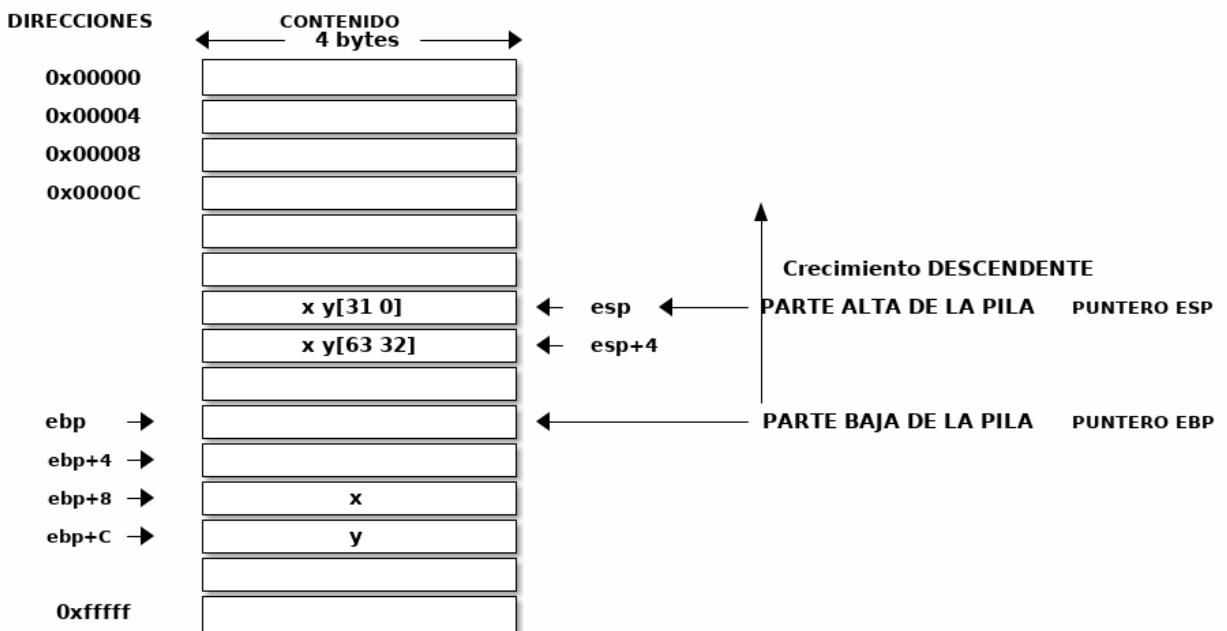
1. Suponer que los números enteros con signo x e y están almacenados en las posiciones 8 y 12 relativas al registro %ebp , y se desea almacenar en el top de la pila el producto x*y de 8 bytes, siendo el registro %esp (stack pointer) el puntero al top de la pila. a)Desarrollar el código ensamblador gas para la arquitectura i386 y b) dibujar el contenido de la pila sabiendo que la anchura de la pila es una palabra en la arquitectura i386 y suponiendo que el registro *ebp* y el puntero de pila *esp* están distanciados 4 palabras.

■ SOLUCION: Módulo asm:

```
x en %ebp+8, y en %ebp+12

1 movl 12(%ebp), %eax
2 imull 8(%ebp)           ; EDX:EAX<-x*y[63-32:31-0] ; imul: ←
    multiplicación de enteros con signo
3 movl %eax, (%esp)       ; pila <-x*y[31:0]
4 movl %edx, 4(%esp)      ; pila <-x*y[63:32]
```

- Pila: arquitectura i386 → x86-32 → palabra=4bytes. EL crecimiento de la pila es hacia direcciones de la memoria más bajas.



- EBP: base pointer register: apunta al bottom de la pila
- ESP: stack pointer register: apunta al top de la pila
- La pila está ocupada desde la dirección bottom hasta la dirección top, donde la dirección top < dirección bottom.

2. Suponer que los números enteros con signo x e y están almacenados en las posiciones 8 y 12 relativas al registro %ebp , y se desea almacenar en el top de la pila el producto x/y y también x mod y, siendo el registro %esp (stack pointer) el puntero al top de la pila. Desarrollar el código ensamblador gas para la arquitectura i386.

- Solución: Módulo asm

```
x en ebp+8, y en ebp+12

1 movl 8(%ebp), %edx      ; edx<-x
2 movl %edx, %eax         ; copiar x en eax
3 sarl $31, %edx          ; edx lo lleno con el bit de signo de x , ya que forma parte del dividendo.
                           ; edx:eax <- x
4 idivl 12(%ebp)          ; EAX<-Cociente{x/y} , EDX<-Resto{x/y}
5 movl %eax, 4(%esp)        ; pila <- Cociente{x/y}
6 movl %edx, (%esp)         ; pila <- x%y ; x%y = Resto{x/y}
```

- Mismo enunciado anterior pero utilizando la instrucción de extensión de signo cltd
- Módulo asm

```
x en ebp+8, y en ebp+12

1 movl 8(%ebp), %edx      ; edx<-x
2 movl %edx, %eax         ; copiar x en eax
3 cltd                   ; extiende el signo del operando en eax a edx
4 idivl 12(%ebp)          ; EAX<-Cociente{x/y} , EDX<-Resto{x/y}
5 movl %eax, 4(%esp)        ; pila <- Cociente{x/y}
6 movl %edx, (%esp)         ; pila <- x%y ; x%y = Resto{x/y}
```

3. Del módulo fuente en lenguaje C:

- Deducir el tipo num_t del argumento del prototipo de la función store_prod
- Interpretar el módulo ASM en lenguaje RTL

```
void store_prod(num_t *dest, unsigned x, num_t y) {
    *dest = x*y;
}
```

dest en ebp+8, x en ebp+12, y en ebp+16

```
1 movl 12(%ebp), %eax
2 movl 20(%ebp), %ecx
3 imull %eax, %ecx
4 mull 16(%ebp)
5 leal (%ecx,%edx), %edx
6 movl 8(%ebp), %ecx
7 movl %eax, (%ecx)
8 movl %edx, 4(%ecx)
```

■ SOLUCION:

- El argumento dest está implementado en la dirección ebp+8
- dest es un puntero a un objeto de tipo num_t
- Línea 6: carga ecx con el valor de dest
- Línea 7: carga eax en la dirección de memoria a la que apunta dest
- Línea 1: carga eax con la variable x que es de tipo sin signo, luego num_t es unsigned.

10.6.4. Saltos

- Calcular las direcciones de salto en código máquina en el siguiente bloque de código ensamblador:

- módulo fuente:

```
1 jle .L2 if <=, goto dest2
2 .L5: dest1:
3 movl %edx, %eax
4 sarl %eax
5 subl %eax, %edx
6 leal (%edx,%edx,2), %edx
7 testl %edx, %edx
8 jg .L5 if >, goto dest1
9 .L2: dest2:
10 movl %edx, %eax
```

- Módulo objeto reubicable :las posiciones de memoria son relativas a la dirección de referencia "silly" (dirección cero del módulo reubicable)

```
1      8: 7e 0d jle 17 <silly+0x17> Target = dest2
2      a: 89 d0 mov %edx,%eax dest1:
3      c: d1 f8 sar %eax
4      e: 29 c2 sub %eax,%edx
5      10: 8d 14 52 lea (%edx,%edx,2), %edx
6      13: 85 d2 test %edx,%edx
7      15: 7f f3 jg a <silly+0xa> Target = dest1
8      17: 89 d0 mov %edx,%eax dest2:
```

- Módulo objeto ejecutable : El linker ha resuelto las posiciones de memoria relativas del módulo objeto reubicable convirtiéndolas en direcciones de memoria absolutas.

```

1 804839c: 7e 0d jle 80483ab <silly+0x17>
2 804839e: 89 d0 mov %edx, %eax
3 80483a0: d1 f8 sar %eax
4 80483a2: 29 c2 sub %eax, %edx
5 80483a4: 8d 14 52 lea (%edx, %edx, 2), %edx
6 80483a7: 85 d2 test %edx, %edx
7 80483a9: 7f f3 jg 804839e <silly+0xa>
8 80483ab: 89 d0 mov %edx, %eax

```

- SOLUCION:

- los saltos están en las líneas 1 y 7 del código.
- el operando del salto de la línea 1 es la dirección absoluta 80483ab etiquetada como dest2
 - Cuando se ejecuta la línea 1 el PC ó RIP apunta a la línea 2, es decir, 804839e
 - El salto será la resta 80483ab - 804839e = 0D
- el operando del salto de la línea 7 es la dirección 804839e etiquetada como dest1
 - El salto será la resta 804839e - 80483ab
 - Como la resta va a dar negativo invierte los operandos y después cambio el signo del resultado
 - 80483ab - 804839e = 0D
 - El complemento a 2 de tamaño 1 byte de 0D es F2+1 = F3

10.6.5. If-Then-Else

1. Relacionar un programa en lenguaje C (Ref. Randal194) y el programa equivalente en lenguaje ensamblador mediante comentarios en el módulo fuente de bajo nivel:

- Módulo C:

```

(a) Original C code
1 int absdiff(int x, int y) {
2 if (x < y)
3 return y - x;
4 else
5 return x - y;
6 }

```

```

(b) Equivalent goto version
1 int gotodiff(int x, int y) {
2 int result;
3 if (x >= y)
4 goto x_ge_y;
5 result = y - x;
6 goto done;
7 x_ge_y:
8 result = x - y;
9 done:
10 return result;
11 }

```

- Módulo ASM:

```

(c) Generated assembly code
x at %ebp+8, y at %ebp+12
1 movl 8(%ebp), %edx Get x
2 movl 12(%ebp), %eax Get y
3 cmpl %eax, %edx Compare x:y
4 jge .L2 if >= goto x_ge_y
5 subl %edx, %eax Compute result = y-x

```

```

6 jmp .L3 Goto done
7 .L2: x_ge_y:
8 subl %eax, %edx Compute result = x-y
9 movl %edx, %eax Set result as return value
10 .L3: done: Begin completion code

```

10.6.6. Do-While Loops

1. Relacionar un programa en lenguaje C (Ref. Randal199) y el programa equivalente en lenguaje ensamblador mediante comentarios en el módulo fuente de bajo nivel:

- Módulo C:

```

1 int dw_loop(int x, int y, int n) {
2 do {
3 x += n;
4 y *= n;
5 n--;
6 } while ((n > 0) && (y < n));
7 return x;
8 }

```

- Módulo ASM:

```

x at %ebp+8, y at %ebp+12, n at %ebp+16

1 movl 8(%ebp), %eax
2 movl 12(%ebp), %ecx
3 movl 16(%ebp), %edx
4 .L2:
5 addl %edx, %eax
6 imull %edx, %ecx
7 subl $1, %edx
8 testl %edx, %edx
9 jle .L5
10 cmpl %edx, %ecx
11 jl .L2
12 .L5:

```

- Write a goto version of the function (in C) that mimics how the assembly code program operates.

2. Relacionar un programa en lenguaje C (Ref. Randal201) y el programa equivalente en lenguaje ensamblador mediante comentarios en el módulo fuente de bajo nivel:

- Módulo C:

```

1 int loop_while(int a, int b)
2 {
3 int result = 1;
4 while (a < b) {
5 result *= (a+b);
6 a++;
7 }
8 return result;
9 }

```

- Ensamblaje: In generating the assembly code, gcc makes an interesting transformation that, in effect, introduces a new program variable. Register %edx is initialized on line 6 and updated within the loop on line 11. Describe how it relates to the variables in the C code. Create a table of register usage for this function.

```
a at %ebp+8, b at %ebp+12

1 movl 8(%ebp), %ecx
2 movl 12(%ebp), %ebx
3 movl $1, %eax
4 cmpl %ebx, %ecx
5 jge .L11
6 leal (%ebx,%ecx), %edx
7 movl $1, %eax
8 .L12:
9 imull %edx, %eax
10 addl $1, %ecx
11 addl $1, %edx
12 cmpl %ecx, %ebx
13 jg .L12
14 .L11:
```

3. Relacionar un programa en lenguaje C (Ref. Randal204) y el programa equivalente en lenguaje ensamblador mediante comentarios en el módulo fuente de bajo nivel:

■ Módulo C:

```
1 int fact_for_goto(int n)
2 {
3     int i = 2;
4     int result = 1;
5     if (!(i <= n))
6         goto done;
7     loop:
8     result *= i;
9     i++;
10    if (i <= n)
11        goto loop;
12    done:
13    return result;
14 }
```

■ Módulo asm

Argument: n at %ebp+8
Registers: n in %ecx, i in %edx, result in %eax

```
1 movl 8(%ebp), %ecx Get n
2 movl $2, %edx Set i to 2 (init)
3 movl $1, %eax Set result to 1
4 cmpl $1, %ecx Compare n:1 (!test)
5 jle .L14 If <=, goto done
6 .L17: loop:
7 imull %edx, %eax Compute result *= i (body)
8 addl $1, %edx Increment i (update)
9 cmpl %edx, %ecx Compare n:i (test)
10 jge .L17 If >=, goto loop
11 .L14: done:
```

10.7. Lenguaje de Programación C

10.7.1. Punteros

1. Editar y ejecutar el siguiente programa en lenguaje C interpretando el resultado sabiendo que lista es una "variable puntero" que apunta al elemento lista[0].

```
#include <stdio.h>

void main (void)
{
    int lista[]={1,2,3,4,5};

    printf ("\n *****ARRAY LISTA*****");
    printf ("\n *****lista es una VARIABLE PUNTERO*****");
    printf ("\n **la variable lista contiene la dirección de lista[0]*****\n\n") ;
    printf("\n lista[0] = %d es el 1º elemento de lista \n", lista[0]);
    printf("\n lista = %p es la dirección del 1º elemento \n", lista);
    printf("\n &lista[0] = %p es la dirección del 1º elemento \n", &lista[0]);
    printf("\n *lista = %d equivale a lista[0] \n", *lista);
    printf("\n *&lista = %p equivale a lista \n", *&lista);
    printf("\n **&lista = %d equivale a lista[0] \n", **&lista);

    printf ("\n\n *****ARITMETICA DE PUNTEROS*****");
    printf("\n *(lista+1) = %d equivale a lista[1] \n", *(lista+1));
    printf("\n *(lista+4) = %d equivale a lista[4] \n", *(lista+4));

    printf ("\n\n *****CASTING*****");
    printf("\n (int *)lista = %p \n", (int *)lista);
    printf("\n *(int *)lista = %d \n", *(int *)lista);
    printf("\n *(int *)lista+1 = %d \n", *(int *)lista+1);
    printf("\n *(int *)lista+4 = %d \n", *(int *)lista+4);

    printf("\n *( (short *)lista+1) = %d . Ahora lista lo declaro con elementos de 2 bytes \n", *((short *)lista+1));
}

```

2. Al depurar con el depurador GDB un programa escrito en lenguaje ensamblador donde se ha declarado la directiva lista: .int 1,2,3,4,5, deducir las siguientes sentencias si la etiqueta lista es ensamblada como la dirección 0x55bf0000 y por lo tanto no es una variable puntero, sino que es el mismo puntero, es decir, la dirección del primer elemento del array lista. Indicar la relación entre el mapa de direcciones de memoria y el mapa de posiciones de elementos del array lista.

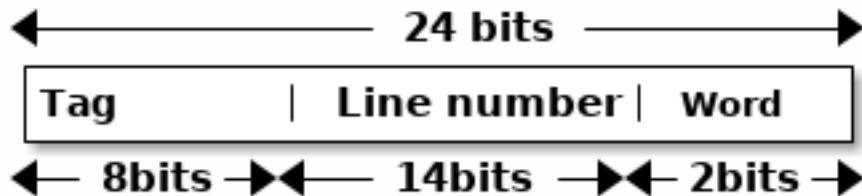
```
&lista : dirección de la "variable array" lista para el elemento de la posición 0 : 0 ←
          x55bf0000
&lista+1           : 0x55bf0004 → dirección para el elemento de la posición 1.
(void *)&lista+1   : 0x55bf0001
(int *)&lista+1    : 0x55bf0004
lista              : 1 → equivale a lista[0]
(int)lista          : 1
(int *)&lista       : 0x55bf0000
(int [5])lista     : {1,2,3,4,5}
*(int *)&lista+1    : 2
```

10.8. Capítulo 4: Memoria Cache

- Ejemplo 4.2a Pg118. The system has a Cache memory of 64KB and Main Memory of 16MB with a byte word size and four word block size. For a cache controller with direct mapping correspondence function search the main memory block addresses correspondences to cache memory 0x0CE7 number line .

- Desarrollo:

- Memoria principal: 16MB, byte word, 4 byte block.
◊ $16MB \rightarrow 2^{24} \rightarrow 24$ bits address bus
- Memoria cache: 64KB, 4 byte line, 16K lines.
◊ $16K \rightarrow 2^{14} \rightarrow 14$ bits campo de línea
- Direct mapping correspondence function: $0x0CE7$ cache line
- $i=j \bmod m$ donde i es el número de línea, j el número de bloque y m el número de líneas de la caché.
- la dirección de 24 bits se descompone en : etiqueta-línea-palabra



- Cada tag agrupa 16K bloques $\rightarrow 16K$ bloquesx4bytes/bloque \times número de tags $N=16MB \rightarrow 2^{14} \times 2^2 \times N=2^{24}$ bytes $\rightarrow N=2^8$ Tags
- 0CE7 : 14 bits: 00-1100-1110-0111. Buscamos las direcciones de memoria asociadas a dicha línea.
 - ◊ Tag 0, Línea 0CE7, Palabra 0 $\rightarrow 0000-0000-00-1100-1110-0111-00 = 0000-0000-0011-0011-1001-1100 \rightarrow 00339C$
 - ◊ Tag 1, Línea 0CE7, Palabra 0 \rightarrow cambia el primer dígito a 1 $\rightarrow 01339C$
 - ◊ Tag 255, Línea 0CE7, Palabra 0 \rightarrow cambia el primer dígito a FF $\rightarrow FF339C$
 - ◊ Las direcciones de memoria son la dirección de la primera palabra de bloque en Memoria Principal.
- 4.1 A set-associative cache consists of 64 lines, or slots, divided into four-line sets. Main memory contains 4K blocks of 128 words each. Show the format of main memory addresses.
- Desarrollo:
 - Caché: 64 líneas de 128 palabras cada una agrupadas en sets de 4 líneas
 - ◊ 128 palabras $\rightarrow 7$ bits para direccionar la palabra dentro de la línea
 - ◊ 16 sets $\rightarrow 2^4 \rightarrow 4$ bits para direccionar los sets dentro de la caché
 - Main memory: 4Kblocks de 2^7 palabras
 - ◊ 12 bits para direccionar un bloque
 - ◊ 2^{19} palabras $\rightarrow 512K$ palabras $\rightarrow 19$ bits para direccionar una palabras \rightarrow ancho bus de direcciones
 - set associative $\rightarrow i = j \bmod v$ donde v es el número de sets, j el bloque e i el set
 - ◊ Tag \rightarrow código para diferenciar los bloques que van al mismo set. bits Tag=bits totales - bits Set - bits Word= $19-4-7=8$ bits.
 - Tag/Set/Word $\rightarrow 19$ address bits descompuestos en los 3 campos de 8/4/7 bits
- Sol:
 - Tag/Set/Word : 8/4/7
- 4.3 For the hexadecimal main memory addresses 111111, 666666, BBBBBB, show the following information, in hexadecimal format:
 - Tag, Line, and Word values for a direct-mapped cache, using the format of Figure 4.10
 - Tag and Word values for an associative cache, using the format of Figure 4.12
 - Tag, Set, and Word values for a two-way set-associative cache, using the format of Figure 4.15
- Desarrollo:

- a) Direct mapped Tag/Line/Word → 24 address bits descompuestos en los 3 campos de 8/14/2 bits
 - ◊ 111111 = 0001-0001-0001-0001-0001 = 00010001-00010001000100-01=0001-0001-00-0100-0100-0100-01=11-0444-1 → El 0 no se escribe en hex por la izda
- b) Full associative cache Tag/Word → 24 address bits descompuestos en los 2 campos de 22/2 bits
 - ◊ 111111 = 0001-0001-0001-0001-0001 = 0001000100010001000100-01=00-0100-0100-0100-0100-01=044444-1 → El 0 no se escribe en hex por la izda
- c) Set associative cache Tag/Set/Word → 24 address bits descompuestos en los 3 campos de 9/13/2
 - ◊ 111111 = 0001-0001-0001-0001-0001 = 000100010-0010001000100-01=0-0010-0010-0-0100-0100-01=022/0444/1-1 → El 0 no se escribe en hex por la izda

- Sol:

Cuadro 10.3: Direcciones

| Address | 111111 | 666666 | BBBBBB |
|------------------|----------|-----------|-----------|
| a. Tag/Line/Word | 11/444/1 | 66/1999/2 | BB/2EEE/3 |
| b. Tag/Word | 44444/1 | 199999/2 | 2EEEE/3 |
| c. Tag/Set/Word | 22/444/1 | CC/1999/2 | 177/EEE/3 |

- 4.5 Consider a 32-bit microprocessor that has an on-chip 16-KByte four-way set-associative cache. Assume that the cache has a line size of four 32-bit words.
- a. Draw a block diagram of this cache showing its organization and how the different address fields are used to determine a cache hit/miss.
- b. Where in the cache is the word from memory location ABCDE8F8 mapped
 - Desarrollo:
 - Memoria principal
 - ◊ no dice nada del bus externo, supongo el máximo de 32 bits → 2^{32} Bytes → 4GB
 - Cache on-chip: bus local: 32 bits data bus y address bus: Set associative de 4 líneas por set.
 - ◊ 4 palabras de 4 bytes cada una por línea hacen un total de 16 bytes por línea (4 bits en el campo word). El código de 4 bits direcciona el primer byte de cada palabra (0x0 la palabra 0, 0x4 la palabra 1, 0x8 la palabra 2, 0xC la palabra 3)
 - ◊ El número de sets es capacidad total/bytes por set = $16\text{KB} / (4\text{línneas/set})(4\text{palabras/línea})(4\text{bytes/palabra}) = 16\text{KB}/64\text{B} = 2^8 = 256$ sets → 8bits
 - ◊ el número de bloques en cache es capacidad/bytes_por_línea = $16\text{KB}/(4\text{palabras/línea})*(4\text{bytes/palabra}) = 1\text{Kbloques}$
 - ◊ los 1kbloques se asocian en sets de 4 líneas.
 - ◊ address bus=tag bits+set bits+word bits → 32=tag bits+8+4 → tag_bits=32-8-4=20 bits. El campo Tag distingue bloques dentro del mismo set.
 - ◊ ¿que bloques van al mismo set? $i = j \bmod v$, donde i es el número de set al que va el bloque j , v es el número de sets. Es decir, 2^{20} bloques están asociados al mismo set por lo que han de compartir 4 líneas → 4 para 20.
 - ◊ Tag/Set/Word → 32 address bits descompuestos en los 3 campos de 20/8/4 bits
 - a) Después de la descomposición tag/set/word se selecciona el set direccionado y se comparan los tags de las 4 líneas con el tag de la dirección absoluta. Son 4 comparadores, uno por vía. Al Comparador_1 irán la primera línea de cada set en que dividimos la memoria principal. 2^{32} bytes los agrupo en sets de 16 palabras por set → la memoria principal queda dividida en 2^8 sets
 - b) Descomposición 20/8/4 de la dirección ABCD8F8 → ABCD/8F/8 → 8F es el set 143 y el byte 8 es la palabra número 2.
 - Sol: a... Descomposición: Tag/Set/Offset . 4 comparadores: 1 por cada vía del Set. b... Set 143, cualquier línea, la doblepalabra número 2.

- 4.7 The Intel 80486 has an on-chip, unified cache. It contains 8 KBytes and has a four-way set-associative organization and a block length of four 32-bit words. The cache is organized into 128 sets. There is a single “line valid bit” and three bits, B0, B1, and B2 (the “LRU” bits), per line. On a cache miss, the 80486 reads a 16-byte line from main memory in a bus memory read burst.
 - a. Draw a simplified diagram of the cache
 - b. show how the different fields of the address are interpreted.
 - Desarrollo:
 - Intel 80486 (Pag 38,47,130) tiene un bus de memoria de 32 bits → address bus de 32 bits que direccionan 1 byte.
 - Caché: 8KB, set-associative de 4 vías, cada línea 4 palabras de 4 bytes (16 bytes con 4 bits), y 128 sets (7 bits)
 - ◊ 4 palabras de 4 bytes cada una por línea hacen un total de 16 bytes por línea (4 bits en el campo word). El código de 4 bits direcciona el primer byte de cada palabra (0x0 la palabra 0, 0x4 la palabra 1, 0x8 la palabra 2, 0xC la palabra 3)
 - Descomposición de los 32 bits : Tag/Set/Offset → 21/7/4
 - Además de los 32 bits es necesario añadir:
 - ◊ 3 bits USO para indicar de las cuatro líneas quien es la MENOS recientemente utilizada, la de menor valor de los 8 posibles: 000-001-010-011-100-101-110-111
 - ◊ 1 bit de validación que indica con el valor 1 que hace falta su actualización en MP antes de sobreescribir la línea → técnica de postescritura.
 - Línea: Valid/LRU/Tag/Set/Offset → 1/3/21/7/4
 - Solución: a.. Esquema Set associative b.. Valid/LRU/Tag/Set/Offset → 1/3/21/7/4

- 4.15 Consider the following code:

```
for (i=0; i=20; i++)
    for ( j=0; j=10; j++)
        a[i] = a[i] * j ;
```

- a. Give one example of the spatial locality in the code.
- b. Give one example of the temporal locality in the code.
- Desarrollo
 - en el bucle interno siempre se repite la misma instrucción, siempre accedes a la misma dirección donde esta la instrucción → localidad espacial
 - en el bucle interno siempre se repite la misma instrucción, el futuro es el presente → localidad temporal
 - en el bucle interno con j=0 accedes al operando a[0] y en la siguiente iteración se repite el mismo operando a[0] → localidad espacial y temporal.

- 4.18 Consider a cache of 4 lines of 16 bytes each. Main memory is divided into blocks of 16 bytes each. That is, block 0 has bytes with addresses 0 through 15, and so on. Now consider a program that accesses memory in the following sequence of addresses:

Once: 63 through 70
 Loop ten times: 15 through 32; 80 through 95

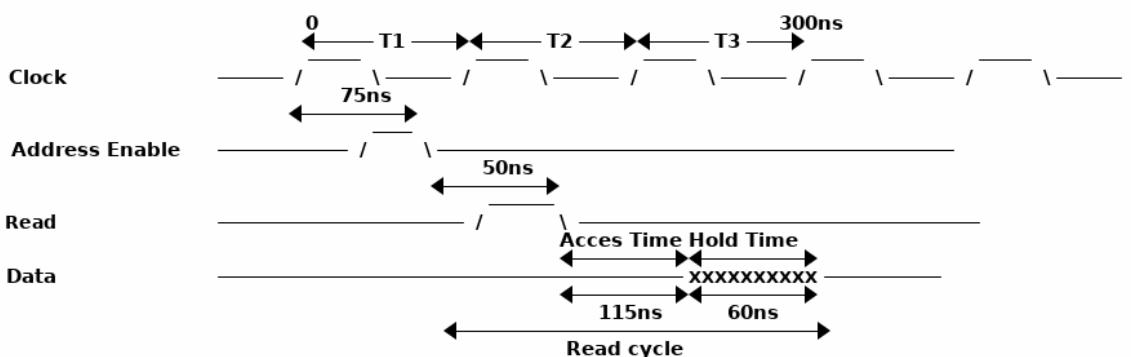
- a. Suppose the cache is organized as direct mapped. Memory blocks 0, 4, and so on are assigned to line 1; blocks 1, 5, and so on to line 2; and so on. Compute the hit ratio.
 - b. Suppose the cache is organized as two-way set associative, with two sets of two lines each. Even-numbered blocks are assigned to set 0 and odd-numbered blocks are assigned to set 1. Compute the hit ratio for the two-way set-associative cache using the least recently used replacement scheme.
- 4.21 Consider a single-level cache with an access time of 2.5 ns, a line size of 64 bytes, and a hit ratio of H = 0.95. Main memory uses a block transfer capability that has a firstword (4 bytes) access time of 50 ns and an access time of 5 ns for each word thereafter.

- a. What is the access time when there is a cache miss? Assume that the cache waits until the line has been fetched from main memory and then re-executes for a hit.
 - b. Suppose that increasing the line size to 128 bytes increases the H to 0.97. Does this reduce the average memory access time?
- 4.24 On the Motorola 68020 microprocessor, a cache access takes two clock cycles. Data access from main memory over the bus to the processor takes three clock cycles in the case of no wait state insertion; the data are delivered to the processor in parallel with delivery to the cache.
- a. Calculate the effective length of a memory cycle given a hit ratio of 0.9 and a clocking rate of 16.67 MHz.
 - b. Repeat the calculations assuming insertion of two wait states of one cycle each per memory cycle. What conclusion can you draw from the results?
- 4.27 For a system with two levels of cache, define T_{C1} first-level cache access time; T_{C2} second-level cache access time; T_m memory access time; H_1 first-level cache hit ratio; H_2 combined first/second level cache hit ratio. Provide an equation for T_a for a read operation.

10.9. Capítulo 5: Memoria Síncrona Dinámica RAM (SDRAM)

- 5.1 La arquitectura de un computador Intel tiene un bus del sistema con una frecuencia de reloj de 100MHz, el ancho del bus de datos son 64 bits y el ancho del bus de direcciones de la placa base es de 48 bits.
 - a. Calcular el ancho de banda del bus en transferencias/s y en bytes/s
 - b. Calcular la capacidad de memoria
 - c. Calcular el ciclo de memoria teniendo en cuenta que la latencia de la memoria DRAM son 10ns.
 - Desarrollo
 - I. $100 \times 10^6 \text{ ciclos/seg} \times 1 \text{ Transferencia/ciclo} = 100 \text{ MT/s}$
 - II. bus de direcciones $\rightarrow 2^{48} \text{ Words} = 2^8 \times 2^{40} = 256 \text{ TWords} = 2^{48} \times 2^3 \text{ Bytes} = 2 \times 2^{50} = 2 \text{ petabytes}$
 - III. ciclo de memoria ideal (sin bus multiplexado, sin precarga, etc) = 1 Transferencia = latencia_memoria + latencia_bus_transferencia = $10\text{ns} + 1/(10^8) = 10\text{ns} + 10\text{ns} = 20 \text{ ns}$
- 5.2 Consider a dynamic RAM that must be given a refresh cycle 64 times per ms. Each refresh operation requires 150 ns; a memory cycle requires 250 ns. What percentage of the memory's total operating time must be given to refreshes?
 - Desarrollo
 - en 1 ms 64 refrescos de 150ns $\rightarrow 9600 \text{ ns refrescando}$
 - $9600\text{ns}/1\text{ms} = 0.0096 = 1\%$
 - Sol:
 - a. 1 %
- 5.3 Figure 5.16 shows a simplified timing diagram for a DRAM read operation over a bus. The access time is considered to last from t_1 to t_2 . Then there is a recharge time, lasting from t_2 to t_3 , during which the DRAM chips will have to recharge before the processor can access them again.
 - a. Assume that the access time is 60 ns and the recharge time is 40 ns. What is the memory cycle time? What is the maximum data rate this DRAM can sustain, assuming a 1-bit output?
 - b. Constructing a 32-bit wide memory system using these chips yields what data transfer rate?
 - Desarrollo:
 - $t_1 \rightarrow t_2$: direccionamiento
 - $t_2 \rightarrow t_3$
 - acceso al dato
 - recarga del bus de direcciones a medio camino entre el 0 y el 1

- 60ns de latencia y 40 de precarga = 100 ns de ciclo de memoria entre 2 lecturas consecutivas
 - ◊ durante la precarga se realizaría el burst que puede ser mayor, menor o igual a la precarga
 - El ciclo de bus de 100 ns son $1/100\text{ns} = 10\text{MHz}$. Si transferimos un bit por ciclo de bus= 10Mbps
 - Si utilizamos 32 líneas en paralelo = 32 bits/transferencia $\times 10\text{MT/s} = 320\text{Mbps} = 40\text{ MB/s}$
 - Sol:
 - I. t_{cycle} = 100ns. BW=10Mbps
 - II. 40MB/s
- 5.4 Figure 5.6 indicates how to construct a module of chips that can store 1 MByte based on a group of four 256-Kbyte chips. Let's say this module of chips is packaged as a single 1-Mbyte chip, where the word size is 1 byte. Give a high-level chip diagram of how to construct an 8-Mbyte computer memory using eight 1-Mbyte chips. Be sure to show the address lines in your diagram and what the address lines are used for.
- Desarrollo:
 - Con 4 chips de 256Kbit creo un módulo-chip de 1Mb
 - Con 8 chips de 1Mb creo un módulo de 8Mb llevando distintos chip select a cada chip de 1Mb. Para seleccionar 1 chip de 8 necesito 3 bits de direcciones, por ejemplo los 3 bits de mayor posición. Para direccionar un bit de un chip 1Mb necesito un bus de direcciones de 20 bits. En total necesito un bus de $20+3=23$ bits.
 - Sol:
 - I. 8 chips x1 de capacidad 1M donde cada entrada chip-select es la salida de un decodificador de 3 líneas de dirección
- 5.5 On a typical Intel 8086-based system, connected via system bus to DRAM memory, for a read operation, RAS is activated by the trailing edge of the Address Enable signal (Figure 3.19). However, due to propagation and other delays, RAS does not go active until 50 ns after Address Enable returns to a low. Assume the latter occurs in the middle of the second half of state T1 (somewhat earlier than in Figure 3.19). Data are read by the processor at the end of T3. For timely presentation to the processor, however, data must be provided 60 ns earlier by memory. This interval accounts for propagation delays along the data paths (from memory to processor) and processor data hold time requirements. Assume a clocking rate of 10 MHz.
- I. How fast (access time) should the DRAMs be if no wait states are to be inserted?
 - II. How many wait states do we have to insert per memory read operation if the access time of the DRAMs is 150 ns?
- Desarrollo:
 - Ciclo de lectura
 - ◊ Load address - Address Enable (EA)- Address Command - Access Data
 - ◊ Trailing edge = fall edge = negative edge
 - ◊ AE fall = en la segunda mitad del ciclo T1. Instante 75ns
 - ◊ RAS = Read Command : Retardo de 50ns respecto de AE fall. Instante $75+50=125\text{ns}$
 - ◊ La presentación del dato en el bus debe ser realizada con 60 ns de antelación a la carga del dato en la CPU la final del ciclo T3(300ns), es decir, $300\text{ns}-60\text{ns}=240\text{ns}$
 - ◊ Reloj del bus del sistema = 10 MHz = 100 ns.
 - A. Tiempo de acceso (desde la orden de lectura hasta volcar el dato la memoria) sin estados de espera = Tiempo de acceso mínimo impuesto por los retardos de la ruta de datos (CPU y bus): $240\text{ns} - 125\text{ns} = 115\text{ns}$



- B. Si la memoria DRAM tiene un tiempo de acceso 150ns, superior a un ciclo de bus, desde la orden de lectura la cpu debe de esperar dos ciclos de reloj, uno el propio ciclo de la orden de lectura y otro ciclo extra o ciclo de ESPERA. Por lo que 200ns son suficientes para superar los 150ns del tiempo de acceso. Si el ciclo de espera comienza después de los 115ns, tenemos 215ns que superan a los 150ns.

- Sol:

III. 115ns

IV. 1

10.10. Capítulo 7: Sistemas Entrada/Salida

- 7.1 On a typical microprocessor, a distinct I/O address is used to refer to the I/O data registers and a distinct address for the control and status registers in an I/O controller for a given device. Such registers are referred to as ports. In the Intel 8088, two I/O instruction formats are used. In one format, the 8-bit opcode specifies an I/O operation; this is followed by an 8-bit port address. Other I/O opcodes imply that the port address is in the 16-bit DX register. How many ports can the 8088 address in each I/O addressing mode? .

- Desarrollo:

- memory mapped i/o : se reservan direcciones RAM para i/o
- controlador i/o: registros datos, estado y control : puerto
- 2 formatos
 - ◊ CodOP/Address(Dir Directo) : 8bits/8bits
 - ◊ CodOP/DX Register(Dir Indirecto) : 8bits/8bits → DX:16bits
 - ◊ Número de puertos : Directo → 2^8 e Indirecto → 2^{16} ⇒ total= $256+65536=65792$ ports

- Sol:

- 65792 puertos

- 7.2 A similar instruction format is used in the Zilog Z8000 microprocessor family. In this case, there is a direct port addressing capability, in which a 16-bit port address is part of the instruction, and an indirect port addressing capability, in which the instruction references one of the 16-bit general purpose registers, which contains the port address. How many ports can the Z8000 address in each I/O addressing mode?

- Desarrollo

- Modo directo: $2^{16} = 64K = 65536$ ports
- Modo indirecto: $2^{16} = 64 K = 65536$ ports

- Sol

- $128K=131072$ puertos

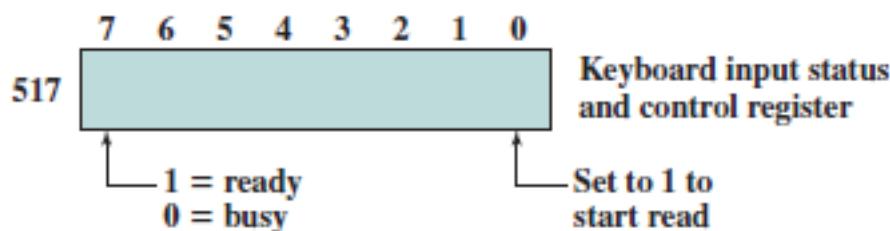
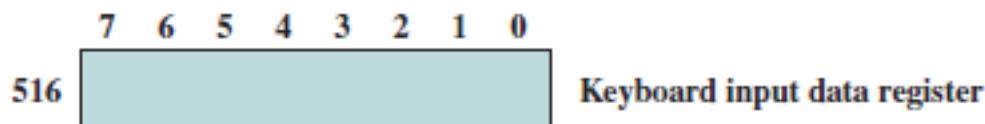
- 7.5 A system is based on an 8-bit microprocessor and has two I/O devices. The I/O controllers for this system use separate control and status registers. Both devices handle data on a 1-byte-at-a-time basis. The first device has two status lines and three control lines. The second device has three status lines and four control lines.

- a. How many 8-bit I/O control module registers do we need for status reading and control of each device?
- b. What is the total number of needed control module registers given that the first device is an output-only device?
- c. How many distinct addresses are needed to control the two devices?
 - modelo: El controlador i/o de los periféricos tiene implementados los puertos que son la interfaz con el periférico. Los puertos son direccionables y están formados por un banco de registros: registro de datos, registro de control, registro de estado.

- Desarrollo:

- buffer data de 8 bits: 2 puertos de datos (in,out) por cada periférico.

- 1 buffer status de lectura (registro de estado) y 1 buffer control de escritura (registro de control) por cada periférico
 - las líneas de estado y control no son líneas de direccionamiento, sino que serán líneas conectadas a sus respectivos puertos. Las líneas de estado a 1 registro de estado y las líneas de control a 1 registro de control.
 - : 1 registro de control y 1 registro de estado por cada periférico
 - : periférico A (1Data+1Status+1Control) y periférico B (2Data+1Status+1Control) = 7 registros
 - : tantas direcciones como registros = 7 direcciones
- Sol:
- 1 reg control y 1 reg estado
 - 7 registros
 - 7 direcciones
- 7.6 For programmed I/O, Figure 7.5 indicates that the processor is stuck in a wait loop doing status checking of an I/O device. To increase efficiency, the I/O software could be written so that the processor periodically checks the status of the device. If the device is not ready, the processor can jump to other tasks. After some timed interval, the processor comes back to check status again.



| ADDRESS | INSTRUCTION | OPERAND | COMMENT |
|---------|--------------------|---------|------------------------|
| 200 | Load AC | "1" | Load accumulator |
| | Store AC | 517 | Initiate keyboard read |
| 202 | Load AC | 517 | Get status byte |
| | Branch if Sign = 0 | 202 | Loop until ready |
| | Load AC | 516 | Load data byte |

(a) Memory-mapped I/O

| ADDRESS | INSTRUCTION | OPERAND | COMMENT |
|---------|------------------|---------|------------------------|
| 200 | Load I/O | 5 | Initiate keyboard read |
| 201 | Test I/O | 5 | Check for completion |
| | Branch Not Ready | 201 | Loop until complete |
| | In | 5 | Load data byte |

(b) Isolated I/O

Figure 7.5 Memory-Mapped and Isolated I/O

- a. Consider the above scheme for outputting data one character at a time to a printer that operates at 10 characters per second (cps). What will happen if its status is scanned every 200 ms?
- b. Next consider a keyboard with a single character buffer. On average, characters are entered at a rate of 10 cps. However, the time interval between two consecutive key depressions can be as short as 60 ms. At what frequency should the keyboard be scanned by the I/O program?

■ Desarrollo:

- a. 10cps → El periférico necesita transmitir 1 carácter cada 100ms y escribe en el puerto dicho dato. Si la CPU no salva el dato escrito por el periférico antes de cada escritura, los datos se pierden. Si la CPU consulta cada 200ms y el periférico escribe cada 100ms, cada dos datos uno se pierde. La solución sería aumentar el buffer de datos a dos caracteres o aumentar la frecuencia de consulta a períodos de 100ms.
 - b. La velocidad media es de 10cps pero la frecuencia máxima es de 60ms. La frecuencia de escaneo de la CPU tiene que ser como mínimo de 1/60ms → 16.66Hz
- 7.10 Consider a system employing interrupt-driven I/O for a particular device that transfers data at an average of 8 KB/s on a continuous basis.
- a. Assume that interrupt processing takes about 100 us (i.e., the time to jump to the interrupt service routine (ISR), execute it, and return to the main program). Determine what fraction of processor time is consumed by this I/O device if it interrupts for every byte.
 - b. Now assume that the device has two 16-byte buffers and interrupts the processor when one of the buffers is full. Naturally, interrupt processing takes longer, because the ISR must transfer 16 bytes. While executing the ISR, the processor takes about 8 us for the transfer of each byte. Determine what fraction of processor time is consumed by this I/O device in this case.
 - c. Now assume that the processor is equipped with a block transfer I/O instruction such as that found on the Z8000. This permits the associated ISR to transfer each byte of a block in only 2 us. Determine what fraction of processor time is consumed by this I/O device in this case.

■ Desarrollo:

- a. 8kB/s → $T_{int_rq} = 1/8KB/s = 125\mu s \rightarrow fracción = 100\mu s / 125\mu s = 80\%$
 - b. $T_{interrupt_service} = 100\mu s (ISR + 1byte) + 15bytes \times 8\mu s = 220\mu s \rightarrow T_{16} = 16 \times 125\mu s = 2ms \rightarrow fracción = 220\mu s / 2000\mu s = 0.11 = 11\%$
 - c. $T_{int_serv} = 100\mu s (ISR + 1byte) + 15bytes \times 2\mu s = 130\mu s \rightarrow fracción = 130\mu s / 2000\mu s = 6.5\%$
- 7.11 In virtually all systems that include DMA modules, DMA access to main memory is given higher priority than CPU access to main memory. Why?
- Si el buffer de datos del DMAC se llena y no es leído, se perderían los datos.
- 7.12 A DMA module is transferring characters to memory using cycle stealing, from a device transmitting at 9600 bps. The processor is fetching instructions at the rate of 1 million instructions per second (1 MIPS). Suponer que la CPU está continuamente capturando instrucciones (no captura datos). By how much will the processor be slowed down due to the DMA activity?
- 1MIPS → 1 instrucción cada microsegundo. Como la CPU está continuamente capturando instrucciones tendrá ocupado el bus durante 1 microsegundo para captar cada instrucción y completar el ciclo de instrucción, por lo que el ciclo del bus del sistema es 1us.
 - 1 character = 8 bits
 - 9600 bps → 1200 bytes/s → 1/1200 seg/byte = 833μs/byte → cada byte se transfiere por robo de ciclo. Se roba el bus del sistema cada 833μs, es decir, cada 833 ciclos del bus del sistema.
 - El bus del sistema lo tiene el DMAC durante un ciclo, es decir, 1 us.
 - Cada 833 ciclos el DMAC roba 1 → 1/833 → 0.12 %
 - $1MIPS \times (1 - 0.0012) = 998800$ instrucciones por segundo.

- 7.13 Consider a system in which bus cycles takes 500 ns. Transfer of bus control in either direction, from processor to I/O device or viceversa, takes 250 ns. One of the I/O devices has a data transfer rate of 50 KB/s and employs DMA. Data are transferred one byte at a time.

- Suppose we employ DMA in a burst mode. That is, the DMA interface gains bus mastership prior to the start of a block transfer and maintains control of the bus until the whole block is transferred. For how long would the device tie up the bus when transferring a block of 128 bytes?
- Repeat the calculation for cycle-stealing mode.

■ Desarrollo:

- 500ns dura el ciclo del bus del sistema
- $T_{tx} = 1/50KB = 20\mu s/B$. El DMA según recibe el dato del periférico lo transfiere a la memoria principal, transfiriendo datos a través del bus del sistema a la misma velocidad del periférico. Sólo tiene sentido en periféricos de alta velocidad.
 - Modo ráfaga: $T = t_{acceso_bus} + t_{bus_io_transferencia_bloque} + t_{liberar_bus} = 250\mu s + 128 \times 20\mu s + 250\mu s = 2560\mu s$
 - Robo de ciclo $T = 128 \times (t_{acceso_bus} + t_{bus_io_transferencia_byte} + t_{liberar_bus}) = 128 \times (250\mu s + 20\mu s + 250\mu s) = 128 \times 20.5\mu s = 2624\mu s$

- 7.16 A DMA controller serves four receive-only telecommunication links (one per DMA channel) having a speed of 64 Kbps each.

- Would you operate the controller in burst mode or in cycle-stealing mode?
- What priority scheme would you employ for service of the DMA channels?

■ Desarrollo:

- Ahora el DMAC tendrá cuatro bufferes de datos y podría acceder al bus de la misma forma que con uno. Debido a que los enlaces de telecomunicaciones ocupan el canal de forma continua (voz o datos), todo el tiempo que dura la comunicación, el modo ráfaga ocuparía el bus el 100% del tiempo. Por lo que seleccionamos el robo de ciclo.
- Prioridad entre 4 clientes: misma prioridad ya que tienen la misma velocidad. Si tuviesen diferentes velocidades, tendría mayor velocidad el más rápido, el de mayor tráfico.

- 7.17 A 32-bit computer has two selector channels and one multiplexor channel. Each selector channel supports two magnetic disk and two magnetic tape units. The multiplexor channel has two line printers, two card readers, and 10 VDT terminals connected to it. Assume the following transfer rates:

- Disk drive 800 KBytes/s
- Magnetic tape drive 200 KBytes/s
- Line printer 6.6 KBytes/s
- Card reader 1.2 KBytes/s
- VDT 1 KBytes/s
- Estimate the maximum aggregate I/O transfer rate in this system.

- Los dos canales selector tienen los mismos periféricos. Un canal selector está permanentemente asignado a sus periféricos y sólo puede dar servicio a uno de los periféricos asignados. El multiplexor en cambio da servicio a todos →
 $Rate = 800 + 800 + 2 \times 6.6 + 2 \times 1.2 + 10 \times 1 = 1625.6\text{KB/s}$

- 7.18 A computer consists of a processor and an *I/O device D* connected to *main memory M* via a shared bus with a data bus width of one word. The processor can execute a maximum of 10^6 instructions per second. An average instruction requires five machine cycles, three of which use the memory bus. A memory read or write operation uses one machine cycle. Suppose that the processor is continuously executing “background” programs that require 95 % of its instruction execution rate but not any I/O instructions, es decir, el 5 % son instrucciones I/O si utiliza mecanismo e/s por programa. Assume that one processor cycle equals one bus cycle. Now suppose the I/O device is to be used to transfer very large blocks of data between M and D.

- If programmed I/O is used and each one-word I/O transfer requires the processor to execute two instructions, estimate the maximum I/O data-transfer rate, in words per second, possible through D.
- Estimate the same rate if DMA is used.

■ Desarrollo:

a. Mecanismo E/S por programa

- I. La transferencia se realiza por programa y lo realiza la CPU. La transferencia de 1 palabra requiere la ejecución de dos instrucciones.
- II. 1 instrucción=3 ciclos máquina con el memory bus
- III. Como el ciclo de bus equivale a un ciclo máquina → 3 ciclos de bus con el memory bus → La transferencia de una palabra requiere 3 ciclos de bus→ En cada ciclo de bus se transfiere un tercio de la palabra.
- IV. Los programas en background requieren el 95 % de instrucciones a la CPU, dejando el 5 % de instrucciones para I/O
- V. Del 5 % de instrucciones i/o el 2.5 % son transferencias ya que hacen falta dos instrucciones i/o por transferencia.
- VI. $T_{transfer}(1\text{word}) = 0.025 \times 10^6 \text{ instrucciones}_{io}/\text{seg} = 25000 \text{words/seg}$

b. DMA:

- I. Observamos el tiempo que la CPU no utiliza el bus del sistema= 5 % de instrucciones (5 ciclos por instrucción) MÁS el 95 % de instrucciones (2ciclos por instrucción).
- II. El 5 % de ejecución de CPU, la CPU esta libre : $10^6(\text{inst/seg}) \times 0.05 \times 5(\text{ciclos/instr}) = 250000 \text{ ciclos/seg}$ de procesador que utiliza el DMA= 250000 ciclos/seg de i/o que utiliza el DMA
- III. El 95 % de ejecución de CPU, el DMA comparte bus del sistema= $10^6 \times 0.95 \times 2$ ciclos libres de los 5 ciclos= 1900000 ciclos/seg de cpu= 1900000 ciclos/seg i/o
- IV. Total= $1900000 + 250000 = 2.150.000 \text{ ciclos/seg bus i/o}$
- V. Si en cada ciclo se puede realizar una transferencia, esa sería la velocidad máxima. La CPU no realiza la operación de acceso a memoria, la realiza el controlador de memoria.

10.11. Capítulo 8: Operating System

- 8.3 A program computes the row sums $C_i = \sum[a_{ij}]$ para $j=1,n$ of an array A that is 100 by 100. Assume that the computer uses demand paging with a page size of 1000 words, and that the amount of main memory allotted for data is five page frames. Is there any difference in the page fault rate if A were stored in virtual memory by rows or columns? Explain.

- Matriz A = 100x100 palabras = 10000 palabras
- Memoria: 5 marcos de páginas : 5000 palabras
- Proceso: 10000 palabras se dividirá en $10000/1000=10$ páginas
- Almacenamiento por *filas*
- 1^a página: a1_1,a1_2,...,a1_100,a2_1,...,a2_100,...,a10_1,...,a10_100 → diez filas
- 5^a página: a41_1,...,a50_100
- 10^a página: a91_1 ,...,a100_100
- x^a página: desde $a10*(x-1)+1_1$ hasta $a10*x_1$ → diez filas
- Ejecución primera fila: $C1 = \sum[a1j] j=1,100$
 - Demand Paging:
 - ◊ La MP está vacía, ningún marco de página inicializado, todas las páginas en disco, sin copia en los marcos de la MPrincipal.
 - ◊ captura de a11 → FAULT (no está en MP, está en disco) → copia 1^a página → obtiene C1
- Ejecución C2 → a21 sí está en la primera página → obtiene C2
- Ejecución C3,...,C10 → ningún fault ya que están en la primera página
- Ejecución C11 → FAULT → copio la 2^a página
- Ejecución C21 → FAULT → copio la 3^a página
- FAULTS: C1,C11,C21,...,C91
- Cada vez que se ejecutan las 100 filas Ci se producen 10 Fallos
- El resultado hubiese sido el mismo si en lugar de 5 páginas hubiese tenido una página si la política de reemplazo es la FIFO

- se podrían utilizar 4 marcos de página con los mismos datos y realizar los reemplazos en el mismo marco.
- Almacenamiento por *columnas* :
 - 1^a página: a1_1,a2_1,...,a100_1,a1_2,...,a100_2,...,a1_10,...,a100_10 → diez columnas
 - x^a página: desde a1_10*(x-1)+1 hasta a100_10*x → diez columnas
 - Ejecución 1^a fila: C1=SUM[a1j] j=1,100
 - ◊ necesito cargar las 100 columnas de la fila 1 → necesito 10 páginas con diez columnas por página → 10 FAULTS
 - Ejecución n^a fila: se necesitan 100 columnas que están distribuidas por páginas de 10 en 10 columnas. → hacen falta 10 páginas → 10 FAULTS
 - Cada vez que se ejecutan las 100 filas Ci : 10 Faults por fila → 1000 FAULTS
- 8.4 Consider a fixed partitioning scheme with equal-size partitions of 2^{16} bytes and a total main memory size of 2^{24} bytes. A process table is maintained that includes a pointer to a partition for each resident process. How many bits are required for the pointer?
 - Las tablas de descriptores están formadas por el índice y el contenido que en este caso es un puntero.
 - $2^{24}/2^{16}=2^8$ particiones de la memoria
 - Tamaño de 2^{16} → direcciones que terminan en hexadecimal en 0000 → direcciones $k*2^{16} \rightarrow 0xnn0000$
 - puntero: solo es necesario guardar los dos dígitos nn de mayor peso → 8 bits
 - luego se desplazan 16 bits a la izda para tener la dirección base
- 8.6 Suppose the page table for the process currently executing on the processor looks like the following. All numbers are decimal, everything is numbered starting from zero, and all addresses are memory byte addresses. The page size is 1024 bytes.

| Virtual page number | Valid bit | Reference bit | Modify bit | Page frame number |
|----------------------------|------------------|----------------------|-------------------|--------------------------|
| 0 | 1 | 1 | 0 | 4 |
| 1 | 1 | 1 | 1 | 7 |
| 2 | 0 | 0 | 0 | — |
| 3 | 1 | 0 | 0 | 2 |
| 4 | 0 | 0 | 0 | — |
| 5 | 1 | 0 | 1 | 0 |

Figura 10.4: VM

- - Describe exactly how, in general, a virtual address generated by the CPU is translated into a physical main memory address.
 - La dirección virtual esta formada por los campos (VPN,VPO) → (base,offset). Mediante la tabla de páginas virtuales traducimos VPN en PPN. La dirección física es el par (PPN,PPO) donde el offset PPO=VPO
 - Para qué este cacheada la página virtual en la tabla de páginas virtuales el bit de validación tiene que valer 1.
 - b. What physical address, if any, would each of the following virtual addresses correspond to? (Do not try to handle any page faults, if any.)

- a. 1052
- VPN=Mod{1052/1024}=1 → Valid Bit=1 → PPN=7
 - VPO=Rest{1052/1024}=28
 - Dirección física = $7*1024+28=7196$
- b. 2221
- VPN=Mod{2221/1024}=2 → Valid Bit=0
 - No hay copia de esa página por lo que no se puede realizar la traducción
- c. 5499
- VPN=Mod{5499/1024}=5 → Valid Bit=1 → PPN=0
 - VPO=Rest{1052/1024}=379
 - Dirección física = $0+379=379$
- 8.8 A process references five pages, A, B, C, D, and E, in the following order: A; B; C; D; A; B; E; A; B; C; D; E .Assume that the replacement algorithm is first-in-first-out and find the number of page transfers during this sequence of references starting with an empty main memory with three page frames. Repeat for four page frames.
- a. MP → 3 marcos de página ; política FIFO
- v/v/v; A→ A/v/v ; B→ A/B/v ; C→ A/B/C; D→ D/B/C; A→ D/A/C; B→ D/A/B; E→ E/A/B ; A→ E/A/B; B→ E/A/B; C→ E/C/B; D→ E/C/D; E→ E/C/D
 - 10 Fallos
- b. MP → 4 marcos de página ; política FIFO
- v/v/v/v; A→ A/v/v/v ; B→ A/B/v/v ; C→ A/B/C/v; D→ A/B/C/D; A→ A/B/C/D; B→ A/B/C/D; E→ E/B/C/D; A→ E/A/C/D; B→ E/A/B/D; C→ E/A/B/C; D→ D/A/B/C; E→ D/E/B/C
- 8.9 The following sequence of virtual page numbers is encountered in the course of execution on a computer with virtual memory: 3 4 2 6 4 7 1 3 2 6 3 5 1 2 3 Assume that a least recently used page replacement policy is adopted. Plot a graph of page hit ratio (fraction of page references in which the page is in main memory) as a function of main-memory page capacity n for $1 \leq n \leq 8$. Assume that main memory is initially empty.

| Nº marcos | Fracción Aciertos | 3 4 2 6 4 7 1 3 2 6 3 5 1 2 3 |
|-----------|-------------------|-------------------------------|
| 1 | 0 | |
| 2 | 0 | |
| 3 | 2/15 | 4 4 3 3 3 3 |
| 4 | 3/15 | 4 4 3 3 3 3 |
| 5 | 4/15 | 4 4 3 2 3 3 3 |
| 6 | 7/15 | 4 2 6 4 1 3 2 6 3 2 3 |
| 7 | 8/15 | 3 4 2 6 4 1 3 2 6 3 1 2 3 |
| 8 | 8/15 | 3 4 2 6 4 1 3 2 6 3 1 2 3 |

- 8.11 Suppose the program statement

```
for (i = 1; i <= n; i++)
    a[i] = b[i] + c[i];
```

- is executed in a memory with page size of 1000 words. Let $n = 1000$. Using a machine that has a full range of register-to-register instructions and employs index registers, write a hypothetical program to implement the foregoing statement. Then show the sequence of page references during execution.
- En la memoria virtual estará tanto el código como los datos
 - Marcos de 1000 palabras.

- Programa arquitectura load/store (espacio de direcciones virtual)

```

SECCION CODIGO
Ri <- 1
Ra <- n
loop_start: R1 <- b[Ri]
             R2 <- c[Ri]
             R3 <- R1+R2
             a[Ri] <- R3
             Flags <- Ri<Ra
             Flags:PC <- loop_start
             CPU <- halt
             SECCION DATOS INICIALIZADOS
uno:      1
n:       1000
a:      array a[1000]
b:      array b[1000]
c:      array c[1000]

```

- Asignación del espacio virtual
 - Código en la página PV1
 - array A ocupa una página → PV2
 - array B ocupa una página → PV3
 - array C ocupa una página → PV4
 - uno y n en una página de tipo datos → PV5
- Ejecución
 - $1515(131411211)^{1000}11$
- 8.13 Consider a computer system with both segmentation and paging. When a segment is in memory, some words are wasted on the last page. In addition, for a segment size s and a page size p, there are s/p page table entries. The smaller the page size, the less waste in the last page of the segment, but the larger the page table. What page size minimizes the total overhead?
- Desarrollo:
 - Número de páginas por segmento: tamaño del segmento/ tamaño de página = s/p
 - Cada segmento tiene su propia tabla de páginas
 - Si reducimos el tamaño de página se reduce la fragmentación interna pero se incrementa el número de entradas de la tabla de páginas.
 - El Total de palabras desperdiciadas (w) es el desperdicio debido a las últimas páginas de cada segmento más el tamaño de la tabla de páginas. El valor medio de la fragmentación interna de todos los segmentos es $p/2$ y el tamaño de la tabla de páginas es proporcional al número de entradas de la tabla $s/p \rightarrow w=p/2+s/p \rightarrow dw/dp=1/2-s/p^2=0 \rightarrow p^2=2s$
- 8.14 A computer has a cache, main memory, and a disk used for virtual memory. If a referenced word is in the cache, 20 ns are required to access it. If it is in main memory but not in the cache, 60 ns are needed to load it into the cache, and then the reference is started again. If the word is not in main memory, 12 ms are required to fetch the word from disk, followed by 60 ns to copy it to the cache, and then the reference is started again. The cache hit ratio is 0.9 and the main-memory hit ratio is 0.6. What is the average time in ns required to access a referenced word on this system?
 - $T = \text{hit_cache} * t_{\text{acc_ca}} + (1 - \text{hit_cache}) \text{hit_main}(t_{\text{main_cache}} + t_{\text{acc_ca}}) + (1 - \text{hit_cache})(1 - \text{hit_main})(t_{\text{acc_disk_main}} + t_{\text{main_ca}})$
 $= 0.9 * 20 + 0.1 * 0.6 * (60 + 20) + 0.1 * 0.4 * (12000000 + 60 + 20) = 480\text{us}$
- 8.15 Assume a task is divided into four equal-sized segments and that the system builds an eight-entry page descriptor table for each segment. Thus, the system has a combination of segmentation and paging. Assume also that the page size is 2 Kbytes.
 - What is the maximum size of each segment?
 - What is the maximum logical address space for the task?
 - Assume that an element in physical location 00021ABC is accessed by this task. What is the format of the logical address that the task generates for it? What is the maximum physical address space for the system?

- Desarrollo:
 - A. Tabla de PAGINAS: 8 entradas : 8 paginas virtuales de 2KB → Segmento:8*2KB=16KB.
 - a. No dice nada pero ... La tabla de SEGMENTOS tendrá una entrada por segmento. Cada entrada de segmento apuntará a una tabla de página diferente. Una tabla de página por segmento.
 - B. Proceso: 4 segmentos → 4*16KB=64KB
 - C. Dirección lógica → Formato (Segmento,Página,VPO) → (4seg,8pag,2KB) → (2bits,3bits,11bits) → Dirección lógica de 16 bits
 - a. Dirección física → 00021ABC → 8 dígitos hex → 32 bits → 4GB
 - b. Marcos de página → 4GB/2KB → 2*2²⁰ marcos
 - c. 00021ABC → 0000-0000-0000-0010-0001-1010-1011-1100 → marco/offset → 21/11 → 0000000000000001000011 / 01010111100 → marco 67/ offset 700
 - D. Traducción: El offset virtual y físico idénticos (11bits) → El segmento lógico (2bits) apunta a una tabla de páginas. La página virtual (3bits) es el offset de la tabla de páginas. Cada entrada de la tabla de páginas es un puntero a un marco de la memoria principal (una dirección base de 21 bits). Se añadir la pregunta de inventarse la tabla de descripción de segmentos y las cuatro tablas de páginas de cada segmento. En este ejercicio la dirección lógica tendrá el offset 01010111100 y los 5 bits del par seg/página no se pueden saber ya que haría falta saber en qué tabla y posición está el puntero al marco 67.
- 8.16 Assume a microprocessor capable of accessing up to 2^{32} bytes of physical main memory. It implements one segmented logical address space of maximum size 2^{31} bytes. Each instruction contains the whole two-part address. External memory management units (MMUs) are used, whose management scheme assigns contiguous blocks of physical memory of fixed size 2^{22} bytes to segments. The starting physical address of a segment is always divisible by 1024. Show the detailed interconnection of the external mapping mechanism that converts logical addresses to physical addresses using the appropriate number of MMUs, and show the detailed internal structure of an MMU (assuming that each MMU contains a 128-entry directly mapped segment descriptor cache) and how each MMU is selected.
 - un espacio virtual segmentado de 2^{31} bytes: no es el espacio virtual de cada segmento sino el de todos los segmentos.
 - dirección lógica con dos partes → (segmento,offset)
 - MP: Espacio de 2^{32} bytes con Bloques de 2^{22} bytes contiguos para cada segmento
 - offset de 22 bits
 - $2^{31}/2^{22} = 2^9$ segmentos en espacio virtual → 9 bits para el segmento en la dirección virtual y una tabla de segmentos con 512 entradas
 - Dirección lógica de 31 bits (9,22) → (seg,offset)
 - MP: segmentos alineados en múltiplos de 1K
 - segmento físico: los 10 bits de menor peso son cero y los 22 de mayor peso están en la *tabla de segmentos*.
 - Dirección física: segmento+offset
 - MMU: *tabla de segmentos* de 128 entradas (2^7)
 - a. no tenemos una tabla con 512 entradas sino cuatro tablas de 128 cada una.
 - b. cantidad de MMUs: Si tenemos 2^9 segmentos en el espacio virtual y la MMU tiene una tabla de 2^7 necesitaremos 4 MMUs.
 - c. Traducción: espacio lógico (9,22)(seg,offset) en una dirección segmento+offset de 32 bits.
 - a. De los 9 bits de segmento virtual, dos bits seleccionan la MMU y otros siete bits la entrada de la tabla de segmentos. (2,7,22)
 - b. los 9 bits de segmento lógico son el índice de la tabla de segmentos que contiene los 22 bits altos de un segmento físico.
 - c. El offset físico también tiene un tamaño de 22 bits
 - d. dirección física: dirección base múltiplo de 1K más offset de 22bits.
- 8.17 Consider a paged logical address space (composed of 32 pages of 2 Kbytes each) mapped into a 1-Mbyte physical memory space.
 - a. What is the format of the processor's logical address?

- b. What is the length and width of the page table (disregarding the “access rights” bits)?
- c. What is the effect on the page table if the physical memory space is reduced by half?
- Desarrollo:
 - MP : 1MB con páginas de 2KB $\rightarrow 2^{20}/2^{11} = 2^9$ marcos de página
 - A. VPN/OFFSET \rightarrow VPN:32 páginas supone 2^5 , 5 bits ; OFFSET:2KB supone 2^{11} , 11bits
 - B. Tabla de páginas: longitud igual al número de páginas virtuales= 32 y anchura igual al puntero a uno de los 2^9 marcos, es decir, 9 bits.
 - C. Si se reduce la MP a la mitad, se reduce el número de marcos a la mitad también $\rightarrow 2^8$ marcos de página \rightarrow anchura de 8 bits.
 - Randal Capítulo 9: Figure 9.19 shows the formats of the virtual and physical addresses. Since each page is $26 = 64$ bytes, the low-order 6 bits of the virtual and physical addresses serve as the VPO and PPO respectively. The high-order 8 bits of the virtual address serve as the VPN. The high-order 6 bits of the physical address serve as the PPN. Figure 9.20 shows a snapshot of our little memory system, including the TLB (Figure 9.20(a)), a portion of the page table (Figure 9.20(b)), and the L1 cache (Figure 9.20(c)). Above the figures of the TLB and cache, we have also shown how the bits of the virtual and physical addresses are partitioned by the hardware as it accesses these devices.

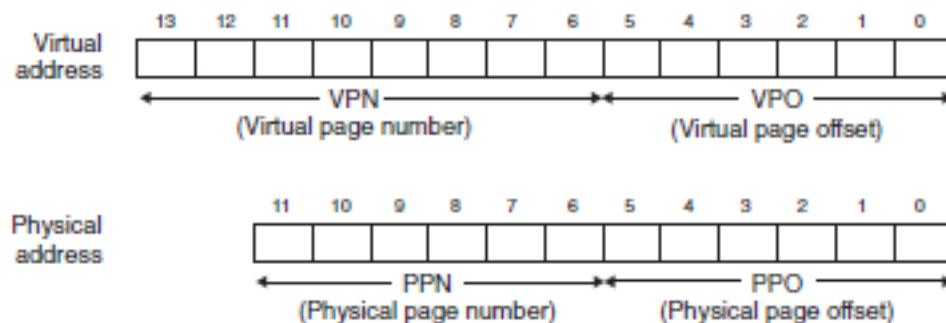
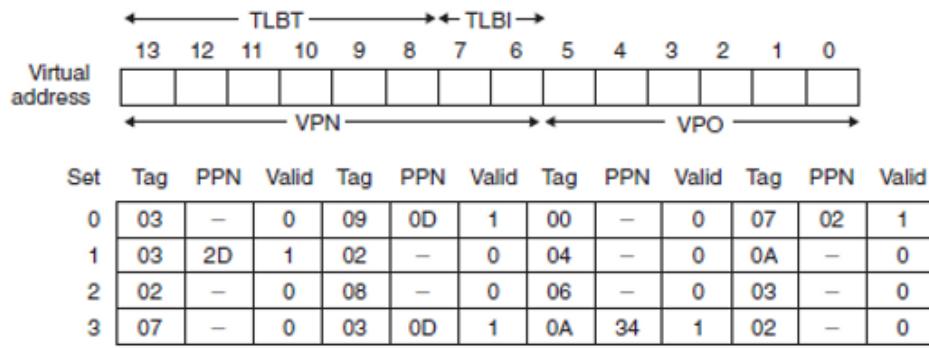


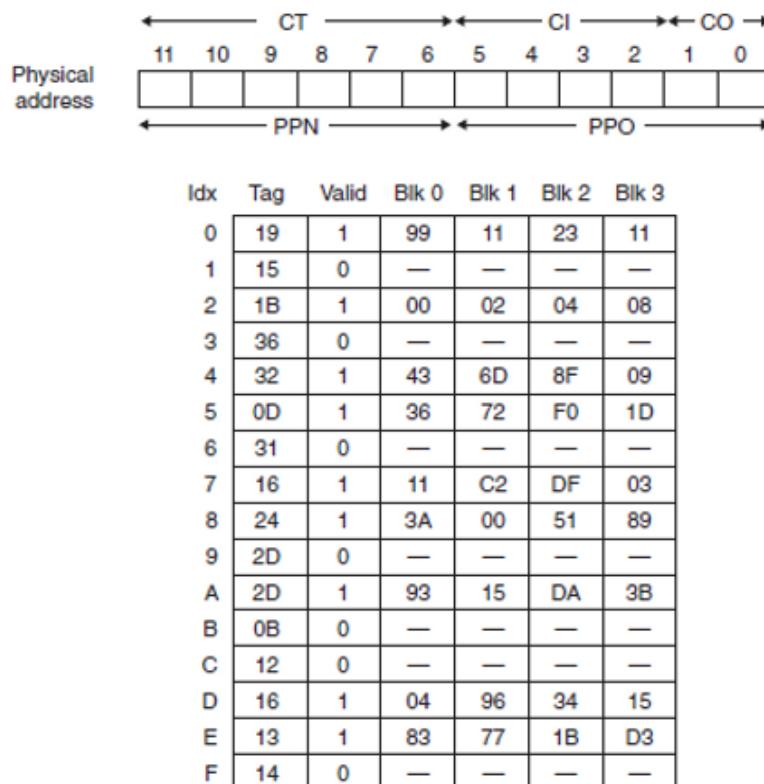
Figure 9.19 Addressing for small memory system. Assume 14-bit virtual addresses ($n = 14$), 12-bit physical addresses ($m = 12$), and 64-byte pages ($P = 64$).



(a) TLB: Four sets, 16 entries, four-way set associative

| VPN | PPN | Valid | VPN | PPN | Valid |
|-----|-----|-------|-----|-----|-------|
| 00 | 28 | 1 | 08 | 13 | 1 |
| 01 | - | 0 | 09 | 17 | 1 |
| 02 | 33 | 1 | 0A | 09 | 1 |
| 03 | 02 | 1 | 0B | - | 0 |
| 04 | - | 0 | 0C | - | 0 |
| 05 | 16 | 1 | 0D | 2D | 1 |
| 06 | - | 0 | 0E | 11 | 1 |
| 07 | - | 0 | 0F | 0D | 1 |

(b) Page table: Only the first 16 PTEs are shown



(c) Cache: Sixteen sets, 4-byte blocks, direct mapped

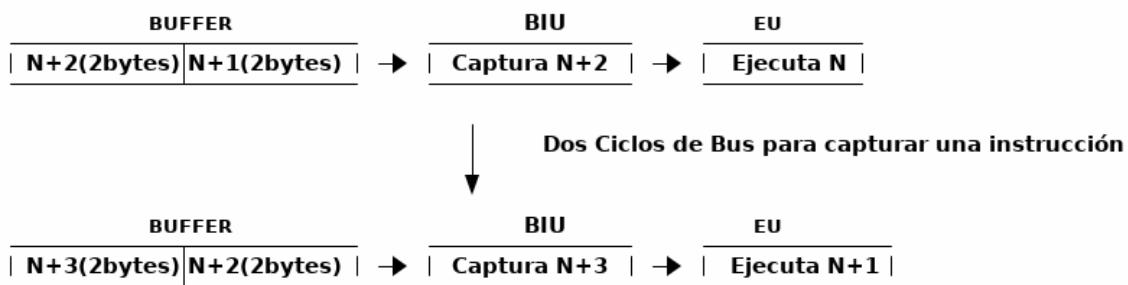
Figure 9.20 TLB, page table, and cache for small memory system. All values in the TLB, page table, and cache are in hexadecimal notation.

- Given this initial setup, let's see what happens when the CPU executes a load instruction that reads the byte at address 0x03d4
- Solución
 - TLBI:0x03
 - TLBT:0x3
 - VPN:0x0f
 - VPO:0x14
 - PPN=0x0D
 - physical address=0x354
 - CO=0x0
 - CI=0x5
 - CT=0x0D
 - Data=0x36

10.12. Capítulo 12: Processor Structure and Function (Capítulo 14 en 9^aEd)

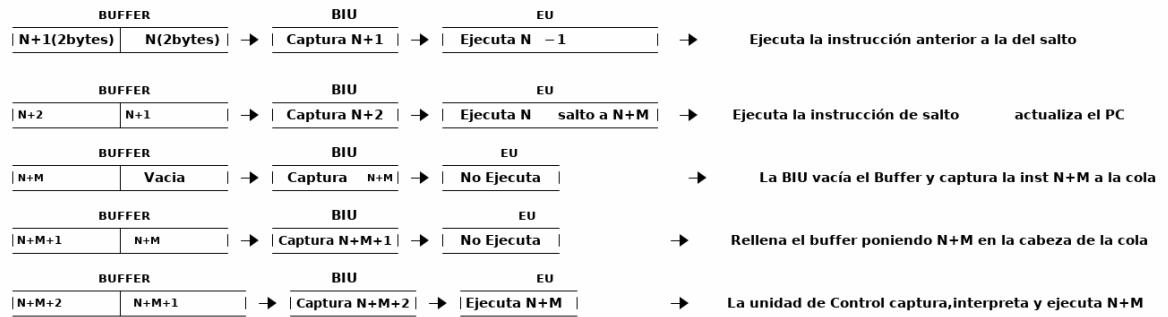
- 12.1 a. If the last operation performed on a computer with an 8-bit word was an addition in which the two operands were 00000010 and 00000011, what would be the value of the following flags?
 - Carry
 - Zero
 - Overflow → Número con signo
 - Sign
 - Even Parity → Paridad PAR
 - Half-Carry
 - Desarrollo
 - 0010+0011=0101 → No hay llevada en el MSB, el resultado no es cero, no hay overflow, positivo, número de unos PAR, no hay llevada en el bit de posición 3. Por lo que todos los flags desactivados excepto el de paridad par . El flag parity estará a 1.
- 12.3 A microprocessor is clocked at a rate of 5 GHz.
 - a. How long is a clock cycle?
 - b. What is the duration of a particular type of machine instruction consisting of three clock cycles?
 - Desarrollo
 - a. $T = 1/f = 1/(5 \cdot 10^9) = 0.2\text{ns}$
 - b. $3T = 3 \cdot 0.2 = 0.6\text{ns}$
- 12.4 A microprocessor provides an instruction capable of moving a string of bytes from one area of memory to another. The fetching and initial decoding of the instruction takes 10 clock cycles. Thereafter, it takes 15 clock cycles to transfer each byte. The microprocessor is clocked at a rate of 10 GHz.
 - a. Determine the length of the instruction cycle for the case of a string of 64 bytes.
 - b. What is the worst-case delay for acknowledging an interrupt if the instruction is noninterruptible?
 - c. Repeat part (b) assuming the instruction can be interrupted at the beginning of each byte transfer
 - Desarrollo
 - a) $IC = \text{Instruction Cycle} = FI + DI + CO + FO + EI + WO; FI + DI = 10T; CO + FO = 0; EI = 15T/\text{byte}; WO = 0; T = 1/(10 \cdot 10^9) = 0.1\text{ns}; IC = (10 + 15 \cdot 64) \cdot T = 970 \cdot 0.1 = 97\text{ns}$
 - b) Justo nada más empezar la instrucción quedaría todo el ciclo para poder atender a la interrupción: 97 ns.

- o c) Si se interrumpe antes de la primera transfer tardaría 10T como mucho, y si se interrumpe durante las transferencias sería 15T. Por lo que es caso peor sería $15T=15*0.1=1.5\text{ns}$
- 12.5 The Intel 8088 consists of a bus interface unit (BIU) and an execution unit (EU), which form a 2-stage pipeline. The BIU fetches instructions into a 4-byte instruction queue. The BIU also participates in address calculations, fetches operands, and writes results in memory as requested by the EU. If no such requests are outstanding and the bus is free, the BIU fills any vacancies in the instruction queue. When the EU completes execution of an instruction, it passes any results to the BIU (destined for memory or I/O) and proceeds to the next instruction. [wikipedia](#): the 8088 had an **8-bit** external data bus
- a. Suppose the tasks performed by the BIU and EU take about equal time. By what factor does pipelining improve the performance of the 8088? Ignore the effect of branch instructions.
 - b. Repeat the calculation assuming that the EU takes twice as long as the BIU.
 - Desarrollo
 - o 0. El micro 8088 tiene un bus de datos de 8bits. La unidad de ejecución comprende la ALU y los Registros. La BIU junto a la EU forman conjuntamente una CPU segmentada con dos unidades. La *prefetch instruction queue* es el buffer que almacena la siguiente instrucción a ejecutar.
 - o a. Una etapa tarda x y la siguiente también x . La primera instrucción tarda en ejecutarse $2x$ y cada intervalo x sale una nueva por lo que la mejoría a partir de la segunda instrucción es de $x/2x \Rightarrow$ En un ciclo de instrucción (duración $2x$) salen instrucciones cada intervalo x , es decir, el doble.
 - o b. $x+2x=3x$. A partir de la segunda instrucción tardan $2x$. En un ciclo de instrucción $3x$ salen instrucciones cada $2x$ $\Rightarrow (3x \text{ time ciclo}) / (2x \text{ time/instrucción}) = 1.5$ veces más instrucciones por ciclo.
- 12.6 Assume an 8088 is executing a program in which the probability of a program jump is 0.1. For simplicity, assume that all instructions are 2 bytes long. If the prefetch instruction queue is empty, the EU waits for the next instruction byte to be fetched and shifted to top of the queue. When the EU executes a branch or jump instruction, it transfers control to a location corresponding to another set of sequential instructions. Whenever this happens, the BIU automatically resets the queue and then begins to fetch instructions from this new location to refill the queue.
- a. What fraction of instruction fetch bus cycles is wasted?
 - b. Repeat if the instruction queue is 8 bytes long.
 - Buffer (de 4 bytes para dos instrucciones) \rightarrow BIU \rightarrow EU : Para leer una instrucción son necesarios **DOS ciclos de bus**, un bus de datos (1 byte) por ciclo de bus.
 - Desarrollo
 - o 0. Si no hay salto durante la ejecución de la instrucción N se captura la instrucción N+1.

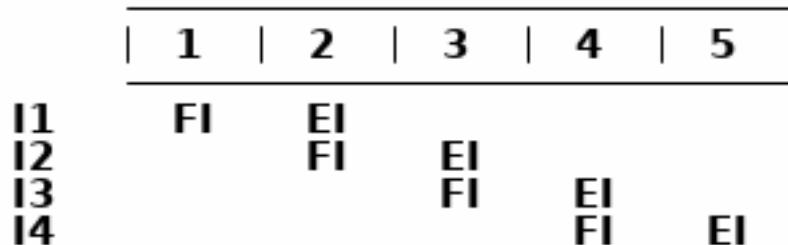


- o 1. Si la ejecución de la instrucción N supone un salto de M instrucciones no se ejecutará la instrucción N+1 que espera en el buffer, sino que se debe ejecutar la instrucción N+M. Durante la ejecución de N NO se captura nada sino que se actualiza el Contador de Programa a N+M y en el siguiente ciclo de instrucción se capturará N+M. Por lo que si hay salto, el ciclo de captura estará infráutilizado y será necesario vaciar el buffer de instrucciones.
- o Interpretación

Pasar de una fase a otra de este esquema supone la captura de una instrucción (2 ciclos de bus)



- a. Cuando la BIU capta de la memoria principal N+1 y lo pone en cola detrás de N, se están desaprovechando los dos ciclos de bus que se necesitan para la captura de la instrucción M+1 que no se va a ejecutar. Lo mismo ocurre con la captura de N+2 de la memoria principal. Por lo tanto se malgastan los ciclos del bus del sistema de N+1 y N+2, es decir, 4 ciclos de bus.
 - El buffer de instrucción es de 4 bytes según el ejercicio anterior, por lo que es necesario "empujar" los 4 bytes de N+1 y N+2 para dejar pasar a la nueva instrucción N+M desde que es capturada de la memoria principal.
 - La captura de una instrucción no_jump supone 2 ciclos de bus bien utilizados, la instrucción estará en la cabeza del buffer cuando la vaya a ejecutar la CPU. La de una instrucción jump supone 2 ciclos bien utilizados en capturarla desde la memoria principal pero 4 ciclos mal utilizados en vaciar el buffer y desplazar la instrucción N+M desde la cola hasta la cabecera del buffer, mientras la cpu espera. De cada 100 instrucciones tendremos 100 instruccionesx2ciclos/instr bien utilizados y 10 instruccionesx4ciclos/instrucción mal utilizados → en total 240 ciclos → fracción de infrautilización= $40/240 = 0.166 = 17\%$ del tiempo el bus no está siendo utilizado en operaciones fetch, la BIU está ocupado en vaciar el buffer.
 - b. Con una cola de 8 bytes → Total=100x2+10*8=280 → ineficiencia=80/280=0.285=28.5%
- 12.7 Consider the timing diagram of Figures 12.10. Assume that there is only a two-stage pipeline (fetch, execute). Redraw the diagram to show how many time units are now needed for four instructions.
- Desarrollo



- Son necesarias 5 unidades de Tiempo
- 12.9 A pipelined processor has a clock rate of 2.5 GHz and executes a program with 1.5 million instructions. The pipeline has five stages, and instructions are issued at a rate of one per clock cycle. Ignore penalties due to branch instructions and out-of-sequence executions.
- a. What is the speedup of this processor for this program compared to a nonpipelined processor, making the same assumptions used in Section 12.4?
 - b. What is throughput (in MIPS) of the pipelined processor?
- Desarrollo

- o a. Duración Programa con N instrucciones, segmentación de k etapas de duración t cada una= 1^a instrucción más el resto = $k*t + (N-1)t = t(N+k-1)$ para $N >> k = t*(N-1)$. La relación sin_seg/con_seg = $N*k*t / t(N+k-1) = Nk/(N+k-1)$. Si N tiende a infinito $\rightarrow Nk/N=k=5$
 - o b. Throughput = instrucciones del programa/duración del programa= $N/\{t*(N+k-1)\}=1/t$
- 12.11 Consider an instruction sequence of length n that is streaming through the instruction pipeline. Let p be the probability of encountering a conditional or unconditional branch instruction, and let q be the probability that execution of a branch instruction I causes a jump to a nonconsecutive address. Assume that each such jump requires the pipeline to be cleared, destroying all ongoing instruction processing, when I emerges from the last stage. Revise Equations (12.1) and (12.2) to take these probabilities into account.
- Desarrollo
 - o Instrucciones cuya ejecución es un salto no consecutivo : pqn
 - o Instrucciones cuya ejecución supone un no salto : (1-pq)n
 - o $T_{\text{programa}}=T_{\text{inst_salto}}+T_{\text{inst_nosalto}} = \{pq*nkt\}+\{(1-pq)*(k+n-1)t\}$
- 12.13 Consider the state diagrams of Figure 12.28.
- a. Describe the behavior of each.
 - b. Compare these with the branch prediction state diagram in Section 12.4. Discuss the relative merits of each of the three approaches to branch prediction.

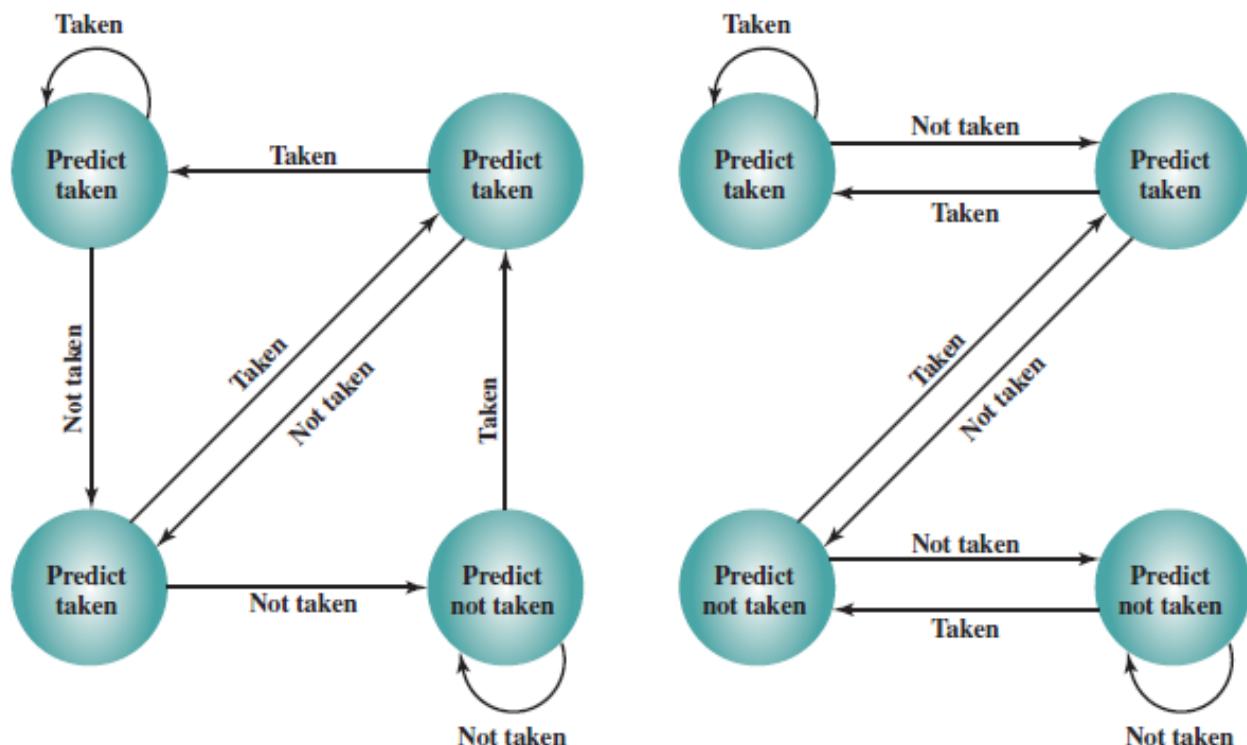


Figure 14.28 Two Branch Prediction State Diagrams

- Predict taken: predicción de SI salto.
- Diagrama A:
 - Cambio de predicción afirmativa a negativa:
 - Partiendo de predicción de salto SI \rightarrow Dos "NO" consecutivos para cambiar la predicción a NO
 - Cambio de predicción negativa a afirmativa:

- Partiendo de predicción de salto NO → Un "SI" para cambiar la predicción a SÍ
- Diagrama B:
 - Cambio de predicción afirmativa a negativa:
 - Partiendo de predicción de salto SI → Dos "NO" consecutivos para cambiar la predicción a NO
 - Cambio de predicción negativa a afirmativa:
 - Partiendo de predicción de salto NO → Un "SI" para cambiar la predicción a SÍ si previamente ha habido dos "NO SALTO" consecutivos
 - Partiendo de predicción de salto NO → Dos "SI" para cambiar la predicción a SÍ si ha habido más de dos "NO SALTO" consecutivos
- 12.14 The Motorola 680x0 machines include the instruction *Decrement and Branch According to Condition*, which has the following form:

```
DBcc Dn, displacement
```

where cc is one of the testable conditions, Dn is a general-purpose register, and displacement specifies the target address relative to the current address.

The instruction can be defined as follows:

```
if (cc = False)
  then begin
    Dn := (Dn) - 1;
    if Dn != -1 then PC := (PC) + displacement end
  else PC := (PC) + 2;
```

- When the instruction is executed, the condition is first tested to determine whether the termination condition for the loop is satisfied. If so, no operation is performed and execution continues at the next instruction in sequence. If the condition is false, the specified data register is decremented and checked to see if it is less than zero. If it is less than zero, the loop is terminated and execution continues at the next instruction in sequence. Otherwise, the program branches to the specified location. Now consider the following assembly-language program fragment:

```
AGAIN CMPM.L (A0)+, (A1) +
DBNE D1, AGAIN
NOP
```

- Two strings addressed by A0 and A1 are compared for equality; the string pointers are incremented with each reference. D1 initially contains the number of longwords (4 bytes) to be compared.
 - a. The initial contents of the registers are A0 = \$00004000, A1 = \$00005000 and D1 = \$000000FF (the \$ indicates hexadecimal notation). Memory between \$4000 and \$6000 is loaded with words \$AAAA. If the foregoing program is run, specify the number of times the DBNE loop is executed and the contents of the three registers when the NOP instruction is reached.
 - b. Repeat (a), but now assume that memory between \$4000 and \$4FEE is loaded with \$0000 and between \$5000 and \$6000 is loaded with \$AAA.

- Desarrollo:

- La instrucción DBcc se emplea como control de los bucles una vez finalizada cada iteración. La condición cc hace referencia a la última operación antes de la instrucción DBcc, en este caso CMPM.L. Si la condición es verdadera → Fin de bucle y sigue la secuencia del programa. Si la condición es falsa decrementa el contador de iteraciones y salta al comienzo del bucle. Palabras tipo .L (Large) de 4 bytes. D1=0xFF. D1-1=0xFFFFFFFF. A0 puntero a string → (A0) indirección → (A0)+ incrementa el puntero en una palabra en cada ejecución.
 - a. Los dos punteros apuntan a memoria cuyo contenido es \$AAAA por lo tanto la comparación da como resultado EQUAL. La condición de la instrucción DBcc es NE, not equal, por lo tanto es FALSE y sí se ejecuta el bucle. Se ejecuta 0xFF+1 veces hasta llegar el contador D1=-1. Última dirección del puntero A0 → 0x4000+0xFFpalabras+1palabra=0x4000+2x(0xFF) equivale a desplazar 0xFF dos bits a la izda = 0x3FC → 0x4000+0x3FC+4=0x4400. Puntero A1 → 0x5000+0x3FC+4=0x5400.

- b. Todas las comparaciones dan como resultado distinto de cero → NE → por lo tanto TRUE → Unicamente se ejecuta una iteración. D1=0xFF-1=0xFE; A0=A0+1palabra=0x4004 y A1=0x5004
- 12.15 Redraw Figures 12.19c (14.21c), assuming that the conditional branch is not taken

| | | | | | |
|--------------|--------------|-----------|-----------|-----------|-----------------------|
| Fetch | D1 | D2 | EX | WB | MOV Reg1, Mem1 |
| | Fetch | D1 | D2 | EX | WB |
| | Fetch | D1 | D2 | EX | WB |

(a) No data load delay in the pipeline

| | | | | | |
|--------------|--------------|-----------|-----------|-----------|-----------------------|
| Fetch | D1 | D2 | EX | WB | MOV Reg1, Mem1 |
| | Fetch | D1 | | D2 | EX |

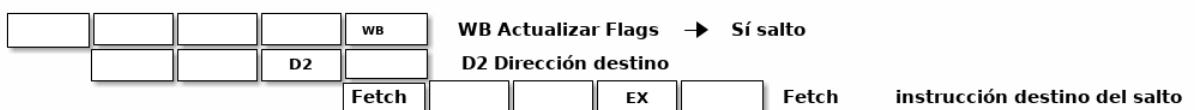
(b) Pointer load delay

| | | | | | |
|--------------|--------------|-----------|--------------|-----------|----------------------|
| Fetch | D1 | D2 | EX | WB | CMP Reg1, Imm |
| | Fetch | D1 | D2 | EX | Jcc Target |
| | | | Fetch | D1 | D2 |

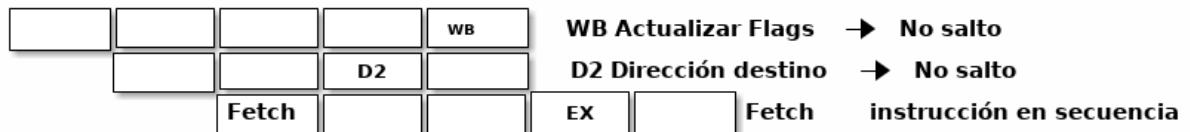
(c) Branch instruction timing

Figure 14.21 80486 Instruction Pipeline Examples

- Desarrollo:
 - 80486: 32 bits
 - Etapas del cauce (pipeline) de instrucciones: FE-D1-D2-Ex-WB.
 - Fetch: Captura de la instrucción
 - D1: Decodifico Cod.Op y Modo Direcciónamiento
 - D2: Operaciones para el cálculo de la Dirección Efectiva del Operando
 - EX: Operaciones ALU y acceso a operandos
 - WB: EFLAGS, Resultados en Reg y Mem(Caché y MP)
 - Figura 12.19 b) La 1^a ins. en EX lee el operando de la memoria y la 2^a en D2 accede a memoria para leer del puntero la dirección del operando.
 - Figura 12.19 c) La instrucción CMP actualiza reg flags. La instrucción Jcc en D2 ya tiene la dirección de salto aunque actualiza el Contador de Programa en EX. La inst 3^a después de D2 de Jcc ya puede ser capturada.
 - Sí salto:
 - ◊ La cpu realiza la captura de la 3^a instrucción (Fetch) inmediatamente después de la captura de la segunda pero dicha captura es errónea ya que ha capturado la siguiente en secuencia a la 2^a y no la instrucción target. La captura de la instrucción destino se ha de realizar cuando se conozca la dirección donde se encuentra dicha instrucción.



- No salto:
 - La CPU captura las 3 instrucciones en secuencia y no se equivoca en la 3^a ya que no hay salto.



- 12.16 Table 14.5 summarizes statistics from [MACD84] concerning branch behavior for various classes of applications. With the exception of type 1 branch behavior, there is no noticeable difference among the application classes. Determine the fraction of all branches that go to the branch target address for the scientific environment. Repeat for commercial and systems environments.

Table 14.5 Branch Behavior in Sample Applications

| Occurrence of branch classes: | | | |
|---|-------|-------|-------|
| Type 1: Branch | 72.5% | | |
| Type 2: Loop control | 9.8% | | |
| Type 3: Procedure call, return | 17.7% | | |
| Type 1 branch: where it goes | | | |
| Unconditional—100% go to target | 20% | 40% | 35% |
| Conditional—went to target | 43.2% | 24.3% | 32.5% |
| Conditional—did not go to target (inline) | 36.8% | 35.7% | 32.5% |
| Type 2 branch (all environments) | | | |
| That go to target | 91% | | |
| That go inline | 9% | | |
| Type 3 branch | | | |
| 100% go to target | | | |

- Desarrollo:
 - tipo1=72.5 ; tipo2=9.8 ; tipo3=17.7
 - ◊ tipo1: hay 3 casos dentro del tipo1 (1/3 salta incondicional,1/3 salta condicional,1/3 no salta)
 - ◊ tipo2: 91 %salta, el 9 % no salta
 - ◊ tipo3: saltan todas
 - Salto a destino= tipo1x[(0.2+0.4+0.35)x100/100+(43.2+24.3+32.5)x1/3]+ tipo2x0.91+ tipo3x100/100 =
 - Saltos to taget por aplicaciones
 - ◊ científica=tipo1x[(0.2)x100/100+(43.2)x1/3]+ tipo2x0.91+tipo3x100/100=0.724→ El 72 % de los saltos de una aplicación científica son a destino.
 - ◊ comercial =tipo1x[(0.4)x100/100+(24.3)x1/3]+ tipo2x0.91+tipo3x100/100=0.732
 - ◊ sistema =tipo1x[(0.35)x100/100+(32.5)x1/3]+ tipo2x0.91+tipo3x100/100=0.756

10.13. Capítulo 13: Reduces Instruction Set Computer (Capítulo 15 en 9^aEd)

- 13.3 We wish to determine the execution time for a given program using the various pipelining schemes discussed in Section 13.5. Let N = number of executed instructions, J = number of jump instructions, D = number of memory accesses. For the

simple sequential scheme (Figure 13.6a) for a RISC architecture, the execution time is $2N+D$ stages. Derive formulas for two-stage, three-stage, and four-stage pipelining.

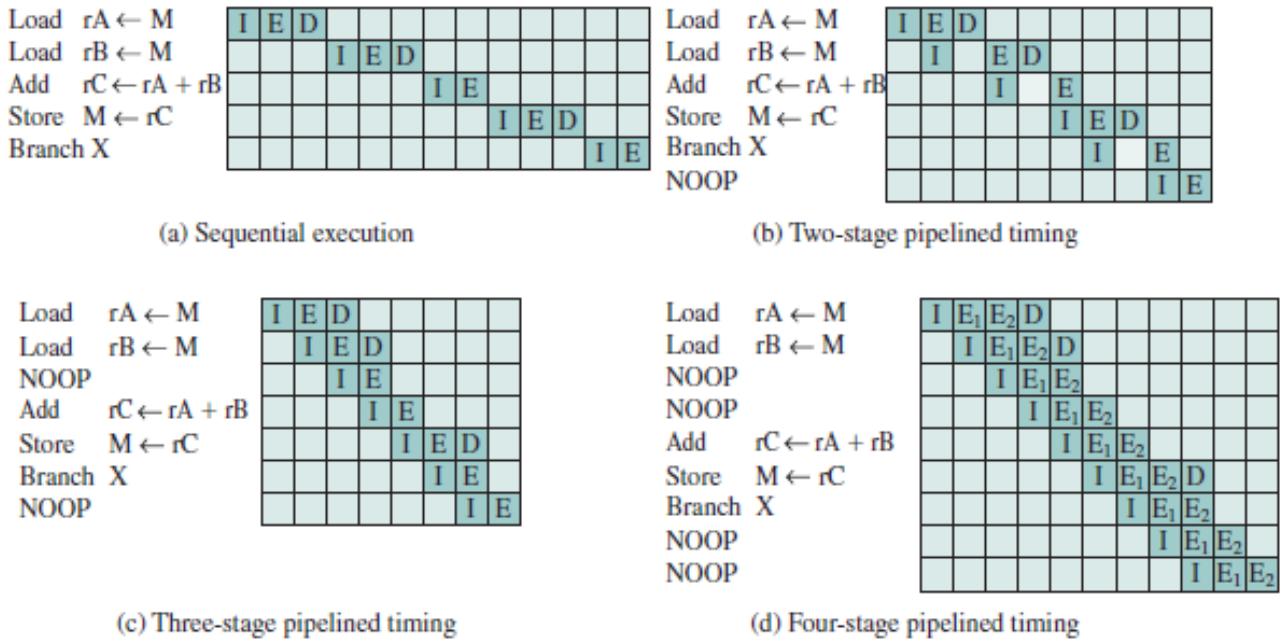
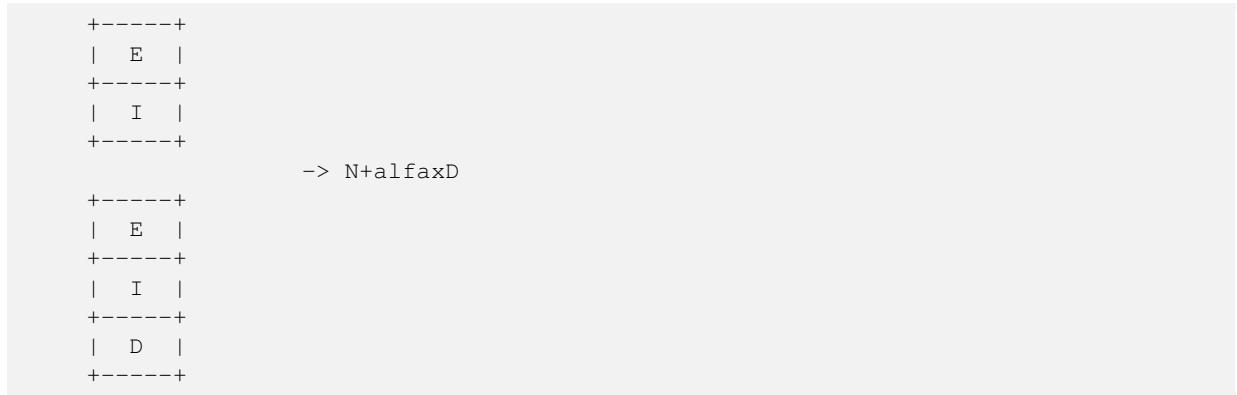
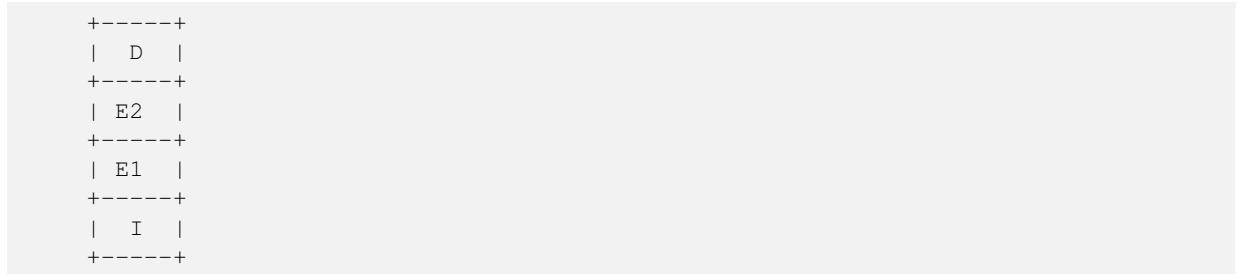


Figure 15.6 The Effects of Pipelining

- Desarrollo:
 - CAUCE SEGMENTADO: I → captación de la instrucción. E→ operaciones ALU con Reg. u obtención de la dirección efectiva. D→ Transferencia Mem <→ Reg.
 - Cada instrucción tiene por lo menos dos etapas: E e I. En cambio la etapa D no la tienen todas las instrucciones (sólo load y store entre reg y mem)
 - Figura apartado a → $T = N_x(t_e + t_i) + t_d \times D$; si $t_i = t_e = t_d = t \rightarrow T = [2N+D]t$
 - Figura apartado b → Cauce segmentado → $k=2 \rightarrow$ Sin instrucciones de salto → $T_{k,n} = [k+(n-1)]t \rightarrow T_{2,n} = [2+(N-1)]t$.
 - Sólo es posible un acceso a memoria en cada etapa.
 - I es una etapa, E y D forman una única etapa.
 - E e I se solapan → N etapas EI



- e. $T=(N+\alpha*D+J)t \rightarrow J$ noops
d. Figura apartado d $\rightarrow k=4$ etapas
a. Dividimos E en E1 (lectura RPG) y E2 (ALU y escritura RPG)



- b. El solape de D con dependencia de datos introduce un retardo y J otros dos según la figura.
c. $T=(N+\alpha*D+2J)t$

- 13.4 Reorganize the code sequence in Figure 13.6d to reduce the number of NOOPs. Figura del ejercicio 13.3 d).
risc_pipelining_13-6.png

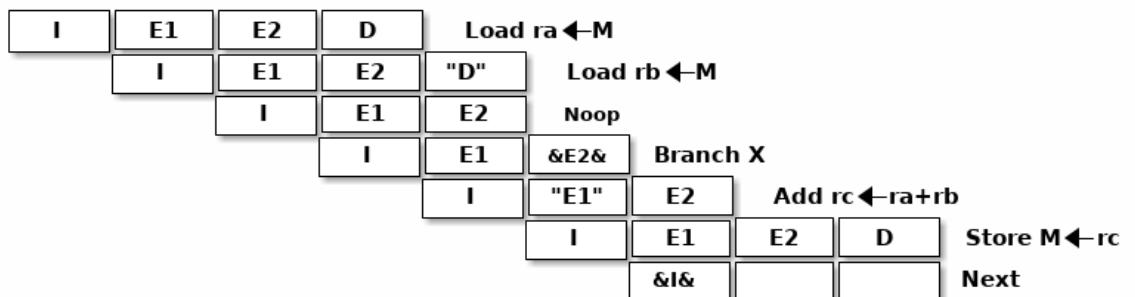
- La instrucción Branch la ejecutamos en la posición del 2º NOOP
- Las dos instrucciones anteriores al salto (Add y Store) en lugar de los 2 NOOP después del salto Branch.

```

Load ra<-M
Load rb<-M
Noop
Branch X
Add rc<-ra+rb
Store M<-rc
Next

```

- Mientras se ejecutan Add y Store se calcula la dirección X



- Dependencias: Una vez que se carga rb en la fase "D" ya se puede leer rb en "E1"
- Dependencias: Una vez que se calcula X en &E2& ya se puede capturar la instrucción Next durante &I&
- 13.5 Consider the following code fragment in a high-level language:

```
for I in 1...100 loop
  S ← S + Q(I).VAL
end loop;
```

- Assume that Q is an array of 32-byte records and the VAL field is in the first 4 bytes of each record. Using x86 code, we can compile this program fragment as follows:

```
MOV ECX,1 ;use register ECX to hold I
LP: IMUL EAX, ECX, 32 ;get offset in EAX
    MOV EBX, Q[EAX] ;load VAL field
    ADD S, EBX ;add to S
    INC ECX ;increment I
    CMP ECX, 101 :compare to 101
    JNE LP ;loop until I = 100
```

- This program makes use of the IMUL instruction, which multiplies the second operand by the immediate value in the third operand and places the result in the first operand (see Problem 10.13). A RISC advocate would like to demonstrate that a clever compiler can eliminate unnecessarily complex instructions such as IMUL. Provide the demonstration by rewriting the above x86 program without using the IMUL instruction.

- a. Array Q: 100 registros (estructuras) de 32 bytes cada uno.
- b. VAL field: primeros 4 bytes del registro.

```
typedef struct {int VAL;....} Data;
Data Q[100];
```

- c. Q(i).VAL : El campo VAL de cada registro Q(i)

```
## El bucle suma los campos VAL de los 100 registros
MOV ECX,1 ;use register ECX to hold I #Indice de registro del array Q
LP: IMUL EAX, ECX, 32 ;get offset in EAX #EAX: dirección relativa del campo VAL del registro al que apunta el índice ECX del array Q
    #Cada 32 bytes un registro
    MOV EBX, Q[EAX] ;load VAL field #Q en ensamblador se estructura en bytes. ←
    100registrosx32bytes/registro=3200registros
    ADD S, EBX ;add to S #Suma de los 4 bytes del campo VAL
    INC ECX ;increment I #siguiente registro
    CMP ECX, 101 ;compare to 101 #ultimo+1 registro?
    JNE LP ;loop until I = 100 #Siguiente interacción si no ultimo
```

- d. Multiplicar por 2^x equivale a un desplazamiento de x bits a la izda
 - Multiplicar por 32 → $x2^5 \rightarrow$ desplazar 5 bits a la izda : shl \$5,%ecx

- 13.6 Consider the following loop:

```
S := 0;
  for K := 1 to 100 do
    S := S - K;
```

- A straightforward translation of this into a *generic* assembly language would look something like this:

```
LD R1, 0          ;keep value of S in R1
LD R2, 1          ;keep value of K in R2
LP SUB R1, R1, R2 ;S := S - K
    BEQ R2, 100, EXIT ;done if K = 100      #Branch EQual
    ADD R2, R2, 1      ;else increment K
    JMP LP             ;back to start of loop
```

- A compiler for a RISC machine will *introduce* delay slots into this code so that the processor can employ the *delayed branch mechanism*. The JMP instruction is easy to deal with, because this instruction is always followed by the SUB instruction; therefore, we can simply place a copy of the SUB instruction in the delay slot after the JMP. The BEQ presents a difficulty. We can't leave the code as is, because the ADD instruction would then be executed one too many times. Therefore, a NOP instruction is needed. Show the resulting code.

- Desarrollo:

- Delayed Branch

Time →

| 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|------------------------|---|---|---|---|---|-----|
| 100 LOAD X, rA | I | E | D | | | |
| 101 ADD 1, rA | | I | E | | | |
| 102 JUMP 105 | | | I | E | | |
| 103 ADD rA, rB | | | | I | E | |
| 105 STORE rA, Z | | | | | I | E D |

(a) Traditional pipeline

| | | | | | | |
|------------------------|---|---|---|---|---|-----|
| 100 LOAD X, rA | I | E | D | | | |
| 101 ADD 1, rA | | I | E | | | |
| 102 JUMP 106 | | | I | E | | |
| 103 NOOP | | | | I | E | |
| 106 STORE rA, Z | | | | | I | E D |

(b) RISC pipeline with inserted NOOP

| | | | | | | |
|------------------------|---|---|---|---|---|---|
| 100 LOAD X, Ar | I | E | D | | | |
| 101 JUMP 105 | | I | E | | | |
| 102 ADD 1, rA | | | I | E | | |
| 105 STORE rA, Z | | | | I | E | D |

(c) Reversed instructions

Figure 15.7 Use of the Delayed Branch

- La primera gráfica es un salto normal y las otras dos retardado. La última gráfica supone una instrucción menos
- b. El programa presenta dos instrucciones de salto con retardo: BEQ y JMP
- c. JMP LP

- Salto incondicional. En el programa original se ejecutará el salto después de SUB R1, R1, R2. Solución:

```
JMP LP           ;back to start of loop
ADD R2, R2, 1    ;else increment K
```

- De esta manera el salto se ejecuta después del ADD R2, R2, 1

d. BEQ R2, 100, EXIT

- Salto condicional

- Si lo dejamos como está el salto será después del ADD R2, R2, 1. Solución:

```
BEQ R2, 100, EXIT ;done if K = 100      #Branch EQual
LP SUB R1, R1, R2 ;S := S - K
```

- Ahora el salto condicional se realizará después de la resta SUB

e. Solución 1^a:

```
LD R1, 0          ;keep value of S in R1
LD R2, 1          ;keep value of K in R2
LP BEQ R2, 100, EXIT ;done if K = 100      #Branch EQual
SUB R1, R1, R2    ;S := S - K
JMP LP            ;back to start of loop
ADD R2, R2, 1    ;else increment K
```

- Tiene el defecto de que si R2=100 se ejecuta también SUB modificando el valor final de R1 y R2

f. Solución Definitiva:

```
LD R1, 0          ;keep value of S in R1
LD R2, 1          ;keep value of K in R2
LP BEQ R2, 100, EXIT ;done if K = 100      #Branch EQual
NOP
ADD R2, R2, 1    ;else increment K
JMP LP            ;back to start of loop
SUB R1, R1, R2    ;S := S - K
```

- 13.7 A RISC machine may do both a mapping of symbolic registers to actual registers and a *rearrangement* of instructions for pipeline efficiency. An interesting question arises as to the order in which these two operations should be done. Consider the following program fragment:

```
LD SR1,A          ;load A into symbolic register 1
LD SR2, B          ;load B into symbolic register 2
ADD SR3, SR1, SR2 ;add contents of SR1 and SR2 and store in SR3
LD SR4, C
LD SR5,D
ADD SR6, SR4, SR5
```

- First do the register mapping and then any possible instruction reordering. How many machine registers are used? Has there been any pipeline improvement?
- Starting with the original program, now do instruction reordering and then any possible mapping. How many machine registers are used? Has there been any pipeline improvement?

■ Desarrollo:

- 13.9 In many cases, common machine instructions that are not listed as part of the MIPS instruction set can be synthesized with a single MIPS instruction. Show this for the following:

- Register-to-register move
- Increment, decrement
- Complement

- d. Negate
 - e. Clear
- 13.11 SPARC is lacking a number of instructions commonly found on CISC machines. Some of these are easily simulated using either register R0, which is always set to 0, or a constant operand. These simulated instructions are called pseudoinstructions and are recognized by the SPARC compiler. Show how to simulate the following pseudoinstructions, each with a single SPARC instruction. In all of these, src and dst refer to registers. (Hint: A store to R0 has no effect.)
- a. MOV src, dst
 - b. COMPARE src1, src2
 - c. TEST src1
 - d. NOT dst
 - e. NEG dst
 - f. INC dst
 - g. DEC dst
 - h. CLR dst
 - i. NOP
- 13.12 Consider the following code fragment:
- ```
if K > 10
 L := K + 1
else
 L := K - 1;
```
- A straightforward translation of this statement into SPARC assembler could take the following form:
- ```
sethi %hi(K), %r8          ;load high-order 22 bits of address of location
                                ;K into register r8
ld [%r8 + %lo(K)], %r8      ;load contents of location K into r8
cmp %r8, 10                  ;compare contents of r8 with 10
ble L1                        ;branch if (r8) <= 10
nop
sethi %hi(K), %r9
ld [%r9 + %lo(K)], %r9      ;load contents of location K into r9
inc %r9                       ;add 1 to (r9)
sethi %hi(L), %r10
st %r9, [%r10 + %lo(L)]    ;store (r9) into location L
b L2
nop
L1: sethi %hi(K), %r11
ld [%r11 + %lo(K)], %r12 ;load contents of location K into r12
dec %r12                      ;subtract 1 from (r12)
sethi %hi(L), %r13
st %r12, [%r13 + %lo(L)] ;store (r12) into location L
L2:
```
- The code contains a nop after each branch instruction to permit delayed branch operation.
- a. Standard compiler optimizations that have nothing to do with RISC machines are generally effective in being able to perform two transformations on the foregoing code. Notice that two of the loads are unnecessary and that the two stores can be merged if the store is moved to a different place in the code. Show the program after making these two changes.
 - b. It is now possible to perform some optimizations peculiar to SPARC. The nop after the ble can be replaced by moving another instruction into that delay slot and setting the annul bit on the ble instruction (expressed as ble,a L1). Show the program after this change.
 - c. There are now two unnecessary instructions. Remove these and show the resulting program

Parte IV

Autoevaluación Teoría

Capítulo 11

Teoría: Cuestionario

11.1. Arquitectura von Neumann

1. Qué función tiene el programa ensamblador
2. Qué tipo de lenguaje es el lenguaje máquina
3. En qué año se desarrollo la máquina IAS
4. Cuál es el formato de instrucción de la máquina IAS
5. Indica dos instrucciones de la máquina IAS en dos lenguajes diferentes.
6. Cuál es el programa de demostración en lenguaje ensamblador del emulador, de la máquina IAS, IASSim.
7. Cuales son las dos primeras instrucciones en lenguaje máquina del programa demo del emulador IASSim.
8. En que consiste la arquitectura ISA
9. Emplea la palabra abstracción en algún concepto de la asignatura
10. Indica dos microórdenes
11. Que unidad genera las microórdenes
12. Hacia que elementos van dirigidas las microórdenes
13. Qué significa 1MB
14. Cuáles son los registros que utiliza la UC de la IAS
15. Cuáles son los registros que utiliza la ALU de la IAS
16. Cuáles son las fases del ciclo de instrucción
17. Qué unidad o unidades implementan el ciclo de instrucción.
18. De qué categoría de memoria lee los programas la CPU
19. Qué es un proceso
20. Define la arquitectura de la CPU utilizando por lo menos los términos siguientes:
 - ciclo de instrucción
 - instrucción máquina
 - almacenamiento

- interpretación
 - ruta de datos
 - registro
 - microórdenes
-

Parte V

Guiones de Prácticas: Programación Ensamblador x86

Capítulo 12

Introducción a la Programación en Lenguaje Ensamblador AT&T x86-32

12.1. Introducción

12.1.1. Objetivos

- Introducción a la **programación de bajo nivel** mediante los lenguajes *C* y *ensamblador AT&T* para la arquitectura **x86 de 32 bits** de Intel.
- Utilización de herramientas de desarrollo de sw de bajo nivel como el toolchain (compilador, ensamblador, linker) y el depurador GDB, libres de la fundación GNU.
- Desarrollo de una workstation mediante la instalación de herramientas de desarrollo en un entorno GNU/linux/x86 en una computadora personal.
- Comprender el funcionamiento de la computadora desde el punto de vista de un programador de bajo nivel.
- Relacionar las propiedades de un lenguaje de alto nivel con un lenguaje de bajo nivel.
- El lenguaje ensamblador puede ser utilizado como una herramienta para analizar la arquitectura y el funcionamiento de la computadora. No es el objetivo central de esta asignatura ser un experto en lenguajes de programación de bajo nivel ni en el desarrollo de algoritmos, aunque sí un nivel muy básico.

12.1.2. Requisitos

12.1.2.1. Teóricos

- Conocimientos muy básicos de una arquitectura ISA: Arquitectura modelo Von Neumann(Microarquitectura CPU, arquitectura Memoria Principal, ciclo de instrucción), representación de datos y operaciones aritméticas, formato de instrucciones y programación básica en lenguaje ensamblador y lenguaje máquina. Por ejemplo la máquina IAS de John von Neumann.
- Haber desarrollado un programa sencillo en lenguaje ensamblador : Por ejemplo de la máquina IAS de John von Neumann.

12.1.2.2. Prácticos

- Haber emulado o ejecutador
- Tener configurada la "Plataforma de Desarrollo" GNU/linux(AMD64)/x86_64(Intel ó AMD) con las herramientas apropiadas.
- Conocimientos de programación imperativa en lenguaje C y del "Lenguaje de Transferencia entre Registros" RTL, manejo básico del entorno GNU/linux y una herramienta de edición.
- Estar dado de alta en el sitio de la asignatura en servidor miaulario.

12.2. LEEME

- Lectura del guión de prácticas y de los capítulos 1 y 2 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Programación](#) : metodología

12.3. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

12.4. Estación de Trabajo

- Anotar las características de la [Plataforma de Desarrollo](#) en el Documento Memoria.

12.5. Programación sum1toN.c

12.5.1. Algoritmo

- Desarrollar un programa en lenguaje C que realice la suma $\sum_{i=1}^N i$ cuyo resultado es $N(N + 1)/2$ con la arquitectura *i386* utilizando el [método de programación](#) de descripción inicial en lenguaje pseudocódigo y organigrama.

12.5.2. Edición del Módulo fuente: sum1toN.c

- Editar el programa descargando el módulo fuente "sum1toN.c" de miaulario y añadiendo los comentarios apropiados.
- Cabecera con información complementaria:

```
/*
Programa: sum1toN.c
Descripción: realiza la suma de la serie 1,2,3,...N
Es el programa en lenguaje C equivalente a sum1toN.ias de la máquina IAS de von Neumann
Lenguaje: C99
Descripción: Suma de los primeros 5 números naturales
Entrada: Definida en una variable
Salida: Sin salida
Compilación: gcc -m32 -o sum1toN sum1toN.c
S.O: GNU/linux 3.2.0 ubuntu 12.04 x86-64
Librería: /usr/lib/x86_64-linux-gnu/libc.so
CPU: Intel(R) Core(TM) i5-2520M CPU @ 2.50GHz
Compilador: gcc version 4.6.4 (Ubuntu/Linaro 4.6.4-1ubuntu1~12.04)
Ensamblador: GNU assembler version 2.22
Linker/Loader: GNU ld (GNU Binutils for Ubuntu) 2.22
Asignatura: Estructura de Computadores
Fecha: 25/09/2018
Autor: Cándido Aramburu
*/
```

- Programa:

```
// Módulo Principal
void main (void) {
    //Declaración de variables locales e inicialización de los parámetros del bucle
    int sum=0,n=5;
    //Bucle que genera los sumandos y realiza la suma
    while(n>0){    //Condición de salida del bucle cuando el sumando es negativo
        sum+=n;
        n--;          //Actualización del sumando
    }
}                      //Si las instrucciones se han ejecutado sin interrupción ni fallo main() ←
                     devuelve el valor cero al sistema operativo.
```

12.5.3. Compilación

- Seguir los pasos del proceso de [compilación](#) común a todas las sesiones.

- `gcc -m32 -g -o sum1toN sum1toN.c`

12.5.4. Análisis de los módulos

- Análisis para comprobar los distintos módulos:

- file sumltoN.c
- file sumltoN.i
- file sumltoN.s
- file sumltoN.o
- file sumltoN

12.5.5. Ejecución

- ./sumltoN : llamada al módulo binario ejecutable
- echo \$? : visualización del valor devuelto por el programa *sumltoN* al sistema operativo linux.
 - El valor cero se utiliza como indicador de que el programa se ha ejecutado sin ningún tipo de contratiempo.

12.5.6. Depuración

12.5.6.1. introducción

- La ejecución del programa paso a paso, instrucción a instrucción, permite un análisis minucioso de bajo nivel de la ejecución del programa pudiendo detener el programa y volcar el valor de las variables en la memoria principal, estado de los registros de la cpu, etc.
- El Depurador GDB (GNU DeBugger) permite la ejecución a paso a paso y análisis de la memoria mediante un repertorio de comandos propios del depurador.

12.5.6.2. Generación de la tabla de símbolos

- gcc -m32 -g -o sumltoN sumltoN.c : Inserta la "Tabla de Símbolos" en el módulo binario ejecutable.
- En la línea de comandos emplear el TABULADOR TAB para Completar los nombres: gcc -m32 -g -o sum1TAB suTAB

12.5.6.3. gdb

- Abrir el depurador: gdb
 - Ventana: línea de comandos propios del debugger.

12.5.6.4. Logging

- Logging:
 - Entradas → set trace-commands on,
 - Salidas → set logging file sumltoN_gdb_c.txt
 - Activación → set logging on

12.5.6.5. Comandos linux

- shell ls -l sum1toN_gdb_c.txt
 - shell date
 - shell pwd
 - shell ls
 - shTAB : Emplear el TABULADOR TAB para Completar los nombres.
 - shell daTAB

12.5.6.6. Ventanas

- Layout: C-x a → por defecto dos ventanas: módulo fuente y línea de comandos.
- Navegador ventanas: C-x o
- Navegar por el histórico de comandos
 - Logging histórico de comandos: Activar la ventana de comandos del GDB. Navegar con las teclas flecha arriba/abajo.

12.5.6.7. Ayuda

- help shell ó h shell

12.5.6.8. Cargar módulo objeto ejecutable

- Cargar el módulo objeto binario que contiene la Tabla de Símbolos: file sum1toN
- módulo fuente con los símbolos asociados a la Tabla de Símbolos: info sources



atención

Observar que el depurador confirma la existencia de la tabla de símbolos, imprescindible para la depuración.

12.5.6.9. Ejecución paso a paso

- punto ruptura en la entrada al programa: break main
- Ejecución: run hasta el punto de ruptura cuya línea NO se ejecuta → Aparece el código fuente.
- Next source line: next, n
- Next 5 source lines: n 5, print sum, p sum
- Comenzar desde el principio nuevamente: run ó start
- Continuar hasta el próximo punto de ruptura: continue, c
- run, n, RETURN, RET, RET, p sum

12.5.6.10. Bucle

- ¿cómo salir de un bucle de cientos o miles de iteracciones hasta la siguiente instrucción fuera del bucle?
- run, until, RET,RET,RET..hasta salir del bucle..., p sum, c

12.5.6.11. Análisis de la memoria

- imprimir el contenido de variables y sus direcciones en la memoria principal
- print n, p n, p /t n, p /x n, ptype n, whatis n,p &n
- print symbol : symbol es el nombre de la variable, no su dirección.
- p \$eax
- p \$ebx
- p \$ecx
- info registers

12.5.6.12. Desensamblar

- Desensamblar: ingeniería inversa . Convierte el código binario en código ensamblador
 - layout split
 - Next machine instruction: ni, RET, RET, RET, RET, until, RET,..hasta salir del bucle
 - Ejecuta instrucciones máquina (observar ventana con el código ensamblador)

12.5.6.13. Salir

- exit



atención

Comprobar que el contenido del fichero *sum1toN_gdb_C.txt* es correcto.

12.5.7. Documento Memoria

- En la consola abrimos el fichero gedit sum1toN_gdb_C.txt que contiene todos los comandos utilizados con sus volcados.
- Guardar el contenido de *sum1toN_gdb_C.txt* en el Documento Memoria añadiendo los comentarios necesarios.
- Cambios en el Módulo fuente en lenguaje C.
 - Cambiar el tamaño de los datos con alguno de los siguientes tipos:
 - char,short,int,long
 - Cambiar el formato de los números con alguno de los siguientes bases:
 - decimal, hexadecimal, octal, binario → prefijos 0x, 0, 0b → 0x5, 05, 0b5
 - Compilar y ejecutarlos. Indicar en la memoria si da o no algún error
- GDB
 - Cambiar en el módulo fuente el tamaño de las variables a *char* y la sentencia *sum+=n* por la sentencia *sum-=n* .
 - Compilar el módulo fuente con la opción de inserción de la tabla de símbolos
 - Abrir el depurador y cargar el módulo binario
 - Ejecutar en modo paso a paso observando las sumas parciales con lo siguientes comandos:
 - x /1db &sum, x /1tb &sum, x /1ob &sum, x /1xb &sum
 - indicar para comando el resultado
 - Con la ayuda de *help x* explica el significado de 1db, 1tb, 1ob, 1xb.

12.6. Programación sum1toN.s

12.6.1. Algoritmo

- Desarrollar un programa en lenguaje ensamblador AT&T con la arquitectura *i386* que realice la suma $\sum_{i=1}^N i$ cuyo resultado es $N(N + 1)/2$ utilizando el [método de programación](#) de descripción inicial en lenguaje pseudocódigo y organigrama.

12.6.2. Edición del Módulo fuente: sum1toN.s

- Descargar el módulo fuente "sum1toN.s" de miaulario y añadir los comentarios apropiados.
- x86 es la arquitectura de Intel de 32 bits
- i386 significa en linux: arquitectura x86-32
- Lenguaje ensamblador AT&T de GNU para la arquitectura i386 → lenguaje GNU as → lenguaje gas

```
### Programa: sum1toN.s
### Descripción: realiza la suma de la serie 1,2,3,...N. La entrada se define en el propio ↔
programa y la salida se pasa al S.O.
### Lenguaje: Lenguaje ensamblador de GNU para la arquitectura i386 -> GNU as -> gas -> AT ↔
&T
### Es el programa en lenguaje AT&T i386 equivalente a sum.ias de la máquina IAS de von ↔
Neumann
### gcc -m32 -g -nostartfiles -o sum1toN sum1toN.s
### Ensamblaje as --32 --gstabs sum1toN.s -o sum1toN.o
### linker -> ld -melf_i386 -o sum1toN sum1toN.o

## Declaración de variables
## SECCION DE DATOS
.section .data

n:    .int 5

.global _start

## Comienzo del código
## SECCION DE INSTRUCCIONES
.section .text

_start:
    mov $0, %ecx # ECX implementa la variable suma
    mov n, %edx
bucle:
    add %edx, %ecx
    sub $1, %edx
    jnz bucle

    mov %ecx, %ebx # el argumento de salida al S.O. a través de EBX según convenio ABI ↔
i386

## salida
    mov $1, %eax # código de la llamada al sistema operativo: subrutina exit
    int $0x80      # llamada al sistema operativo para que ejecute la subrutina según ↔
el valor de EAX

.end
```

12.6.3. Compilación

- Seguir los pasos de la [compilación](#) de un módulo en lenguaje ensamblador.
 - `gcc -m32 -g -o sumltoN sumltoN.s`

12.6.4. Ejecución

- `./sumltoN`
- `echo $?`

12.6.5. Análisis del módulo Fuente

- Leer en las hojas de referencia rápida el [Programa Ejemplo Minimalista](#)

12.6.6. Depuración

12.6.6.1. Inicio

- Depurador GDB: GNU DeBugger.
- `gcc -m32 -g -o sumltoN sumltoN.s`
- `gdb`
- `C-x a`
- `C-x o`
- `set trace-commands on`
- `set logging file sumltoN_gdb_asm.txt`
- `set logging on`
- `shell ls -l sumltoN_gdb_asm.txt`

12.6.6.2. Arrancar el programa

- `file sumltoN`
- `info sources`
- `b _start`
- `run`

12.6.6.3. Analizar símbolos en memoria

- ptype n
- p n
 - x address : examine main memory address . Devuelve el contenido de la dirección de memoria address → &symbol donde symbol es el nombre de la variable.
- x &n, x n, x /1bw &n, x /1xw &n, x /4xw &n
- b bucle
- c
- start
- c
- n

12.6.6.4. Registros

- p \$ecx
- p \$edx
- until
- p \$ecx
- p \$edx
- info registers

12.6.6.5. Instrucciones máquina

- layout split
- start
- c

12.6.6.6. Fin

- exit
- En la consola abrimos el fichero gedit sum1toN_gdb_asm.txt que contiene todos los comandos utilizados con sus volcados.
- Guardar el contenido de *sum1toN_gdb_asm.txt* en el Documento Memoria añadiendo los comentarios necesarios.

12.7. Arquitectura amd64

- Ejemplo en el apéndice : [sum1toN.s](#)

Capítulo 13

Representación de los Datos

13.1. Introducción

13.1.1. Objetivos

- Programación:
 - Desarrollar programas que almacenen y procesen distintos tipos de datos como enteros con signo, caracteres, arrays, strings de distintos tamaños como 1 byte, 2 bytes, 4 bytes, etc..
 - Empleo de los sufijos de los mnemónicos: analizar el tamaño de los operandos según el sufijo del mnemónico empleado, el tamaño del operando registro y el tipo de operando en memoria.
 - Emplear distintos tipos de modos de direccionamiento (inmediato, directo, indirecto, indexado) de acceso a los operandos
 - Empleo de Macros mediante directivas.
 - Concepto de llamada al sistema operativo.
- Análisis:
 - Comprobación del tipo de alineamiento *little endian* de los datos almacenados en memoria
 - Analizar el contenido de la memoria como números con signo, caracteres, arrays y strings: tipos y tamaños de los operandos numéricos y de los operandos alfanuméricos
 - Realizar la operación de desensamblaje para comprobar el lenguaje máquina del módulo ejecutable cargado en la memoria principal

13.1.2. Módulos fuente

■ **datos_size.s**

- Declaración del tamaño de los operandos:
 - Mediante las directivas (.byte, .2byte, .short, etc ..)
- Declaración de arrays de datos numéricos mediante directivas (.short,.int, etc ..)
- Declaración de datos alfanuméricos mediante:
 - Directivas del ensamblador (.ascii, .asciiz, .string, etc)
- Empleo de Macros

■ **datos_sufijos.s**

- Acceso a los operandos mediante instrucciones con los sufijos (b,w,l,q)

■ **datos_direccionamiento.s**

- Diferentes Modos de direccionamiento de los operandos: inmediato, directo, indirecto, indexado

13.1.3. Requisitos

- Teoría: representación de datos, formato de instrucciones y repertorio ISA de la arquitectura X86.
 - Almacenamiento con alineamiento interno de bytes "little endian"
- Práctica previa: Introducción a la programación en lenguaje ensamblador AT&T x86-32
- Conceptos del lenguaje de programación C:
 - Punteros, array, string y operación de casting.

13.2. LEEME

- Lectura del guión de prácticas y del capítulo 3 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Plataforma de Desarrollo](#) : configuración de la computadora personal
- [Programación](#) : metodología

13.3. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

13.4. Registros internos de la CPU

- La arquitectura amd64 dispone de:
 - 16 registros de propósito general (RPG) de 64 bits cada uno: rax,rbx,rcx,rdx,rsi,rdi,rsp, etc
 - 1 registros de estado de 64 bits: rflags
- El acceso a los registros de propósito general puede ser *parcial*:
 - Registro RAX: es un registro de 64 bits
 - Registro EAX: son los 32 bits de menor peso de RAX
 - Registro AX: son los 16 bits de menor peso de RAX
 - Registro AL: son los 8 bits de menor peso de RAX
 - Registro AH: es el byte con los bits de las posiciones 8:15 de RAX
- En las "[Hojas de Referencia Rápida](#)" están representados todos los nombres de los diferentes grupos de bits de cada registro de propósito general.

13.5. Tamaño de los datos y variables

13.5.1. Algoritmo

- No se desarrolla ningún algoritmo. Únicamente el bloque de código de salida.

13.5.2. Edición del Módulo fuente: datos_size.s

- Descargar el módulo fuente "datos_size.s" de miaulario y añadir los comentarios apropiados.

```
### Programa: datos_size.s
### Descripción: declarar y acceder a distintos tamaños de operandos
### Compilación: gcc -m32 -g -o datos_size datos_size.s

## MACROS
.equ SYS_EXIT,    1
.equ SUCCESS,     0

## VARIABLES LOCALES
.data

da1:   .byte   0x0A
da2:   .2byte  0x0A0B
da4:   .4byte  0x0A0B0C0D
men1:  .ascii   "hola"
lista: .int     1,2,3,4,5

## INSTRUCCIONES
.global _start
.text

_start:
    mov $SYS_EXIT, %eax
    mov $SUCCESS,  %ebx
    int $0x80

.end
```

13.5.3. Compilación

- Seguir los pasos del proceso de [compilación](#) común a todas las sesiones.
 - gcc -nostartfiles -m32 -g -o datos_size datos_size.s

13.5.4. Ejecución

- ./datos_size
- echo \$?

13.5.5. Análisis del módulo fuente

- Leer en las hojas de referencia rápida el [Programa Ejemplo Minimalista](#)

13.5.5.1. Estructura

- La estructura del programa esta formada por los siguientes elementos:

- Cabecera
- Definición de Macros
- Sección de Datos
- Sección de Instrucciones

13.5.5.2. Definición de Macros

- Macro:

- La construcción macro se utiliza en el programa fuente para sustituir datos utilizados en el programa fuente por símbolos de texto que faciliten la lectura del código fuente.
- Para ello empleamos la directiva "EQU" cuya sintaxis es: .EQU SÍMBOLO, dato
- El preprocesador en la primera fase de la compilación sustituirá el texto SÍMBOLO que aparece a lo largo de la sección de datos e instrucciones por el dato asociado.

- Macros empleadas

- SYS_EXIT : código de la llamada al sistema para finalizar el programa y devolver el control al Sistema Operativo. En la arquitectura i386 su valor es 1.
- SUCCESS : código empleado por los programas para indicar que su ejecución se ha realizado con normalidad. Su valor es 0.

13.5.5.3. Sección de Datos

- Interpretar las etiquetas y directivas de reserva de memoria e inicialización para los datos utilizando la [tabla de directivas](#): identificar las variables ordinarias, strings y arrays.

13.5.5.4. Sección de Instrucciones

- Determinar la instrucción de entrada al programa.
- Determinar el bloque de salida del programa.



atención

Si un objeto de memoria es inicializado con un número entero que es representado con menos dígitos que el tamaño del objeto, los dígitos de mayor peso tendrán de valor cero. Por ejemplo: .4byte 0xFF equivale a .4byte 0x000000FF

13.5.6. Ejecución paso a paso

13.5.6.1. Observaciones

- El depurador al visualizar el contenido de los registros:
 - únicamente visualiza el número de bytes del tamaño de los operandos..aunque los registros "r-x" son de 64 bits.
 - con números enteros con signo no visualiza los ceros de mayor peso, es decir, ni el signo ni la extensión de signo de los números positivos.

13.5.6.2. Operaciones

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:
 - gcc -fno-startfiles -m32 -g -o datos_size datos_size.s que se corresponde con gcc -fno-startfiles -m32 -g -o modulo_ejecutable modulo_fuente.s
- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.
 - gdb
 - file datos_size
 - info sources
- Configurar el fichero para el logging histórico de los comandos.
 - set trace-commands on
 - set logging file datos_size_gdb_asm.txt
 - set logging on
 - shell ls -l datos_size_gdb_asm.txt
- Activar un punto de ruptura en la instrucción de entrada al programa.
 - b _start
- Ejecutar el programa deteniéndolo en la primera instrucción del programa.
 - run
- Análisis del contenido de la memoria principal mediante el depurador GDB:

```
//Alineamiento de los bytes de un dato
x /tb &da1
x /xh &da2
x /xw &da4
x /5xb &da4      -> Alineamiento little endian

//Alineamiento de los bytes de un string
x /5cb &men1      -> Alineamiento en secuencia
x /5xb &men1

//Volcado de un string
p /s (char *)&men1      -> imprime una cadena de caracteres desde la primera dirección ←
                             hasta encontrar el carácter NULL.

//Volcado de un array
x /5xw &lista          -> contenido de 5 elementos de lista
p /a &lista              -> dirección del array lista
p /a &lista+1            -> el depurador informa que es necesario realizar algún tipo de ←
                             casting (declaración dinámica)
p /a (void *)&lista+1    -> se incrementa en 1 byte
p /a (int *)&lista+1     -> se incrementa en 1*4 bytes apuntando al segundo elemento del ←
                             array
p lista                 -> el depurador informa que es necesario realizar un casting
p (int)lista             -> primer elemento del array
p (int *)&lista           -> dirección del array lista
p (int [5])lista         -> contenido de cinco elementos de lista
p *((int *)&lista+1)       -> segundo elemento de lista
x /dw (int *)&lista+1     -> segundo elemento de lista
```

```
p *(int *)&lista@5      -> array artificial de 5 elementos de tipo int a partir de la ←
                                dirección &lista.

//volcado de una instrucción
p &_start
x /i &_start           -> desensambla: convierte el código máquina en código ensamblador.

//Desensamblar: Conversión del código máquina en ensamblador
disas /r _start
layout split
```

- comando eXaminar **x**: vuelca el contenido de una **dirección** de memoria
 - formato /nvt : "t" es el *tamaño* de variable en memoria , "v" el código del *valor* del contenido de memoria a visualizar y "n" el *número* de veces que hay que volcar secuencialmente grupos de bytes en memoria de tamaño "t" comenzando en la dirección **&variable**
 - help x : formatos d (decimal) ,x (hexadecimal),t (binario) ,o (octal) ,c (character) ,a (address),i (instruction),etc
 - La sintaxis del argumento del comando examinar es la misma que en lenguaje de programación de C.
- operador **&** : se utiliza como prefijo de una etiqueta para evaluar la dirección de memoria a la que hace referencia una etiqueta
- operador ***** : se utiliza para evaluar el contenido de una posición de memoria mediante la indirección de un puntero
- operación de **casting**:
 - [Apéndice Programación Lenguaje C](#)
 - El casting consiste en definir o redifinir el tipo de variable. Se utiliza como prefijo de la variable a redefinir y va entre paréntesis.
 - la etiqueta "lista" está definida en la sección de datos mediante la directiva ".int". Esta directiva reserva memoria para inicializar los datos a partir de la dirección &lista pero NO es una declaración de tipo por lo que el depurador NO tiene información sobre el tipo de elementos del array lista y por ello es necesario realizar declaraciones en modo casting.
 - Ej. (char *): el tipo char * es un puntero a un entero de 1 byte.
- comando Print **p**: Evalua el argumento del comando y el valor resultante lo imprime en pantalla
 - La sintaxis del argumento del comando examinar es la misma que en lenguaje de programación de C.
 - Ej. p /a &lista : evalua &lista cuyo valor resulante se imprime con formato tipo "a" (address)
 - formatos de impresión: los mismos que eXaminar: help x
 - operador @: **dirección@n**: array artificial: evalua la expresión a la izda de @ y debe ser una dirección de memoria. Crea una array artificial de longitud el valor del parámetro a la derecha del operador @.
- comando **disas** : desensambla el código binario traduciéndolo a código ensamblador.

13.6. Tamaño de los Operandos

13.6.1. Edición del Módulo fuente: datos_sufijos.s

- Descargar el módulo fuente "datos_sufijos.s" de miaulario y añadir los comentarios apropiados.

```
### Programa: datos_sufijos.s
### Descripción: utilizar distintos sufijos para los mnemónicos indicando distintos tamaños ←
### de operandos
### Compilación: gcc -nostartfiles -m32 -g -o datos_sufijos datos_sufijos.s

## MACROS
.equ SYS_EXIT,    1
.equ SUCCESS,     0

## VARIABLES LOCALES
.data

da1:   .byte 0x0A
da2:   .2byte 0x0A0B
da4:   .4byte 0x0A0B0C0D
saludo: .ascii "hola"
lista:  .int   1,2,3,4,5

## INSTRUCCIONES
.global _start
.text

_start:

## Reset de Registros
xor %eax, %eax
xor %ebx, %ebx
xor %ecx, %ecx
xor %edx, %edx

## Carga de datos
## mov da1,da4           ERROR: por referenciar las dos direcciones efectivas de ←
##                   los dos operandos a la memoria principal
mov da4, %eax
movl da4, %ebx
movw da4, %cx
movb da4, %dl

## Reset de Registros
xor %eax, %eax
xor %ebx, %ebx
xor %ecx, %ecx
xor %edx, %edx

## Carga de datos
mov da4, %al             #aplica el tamaño de AL
## movw da4,%al          ERROR: incoherencia entre -w y AL
movb da4, %ebx            #AVISO, NO error: incoherencia entre el registro BL y el ←
                           sufijo

mov da1, %ecx
mov da4, %dx

## Reset de Registros
```

```

xor    %eax, %eax
xor    %ebx, %ebx
xor    %ecx, %ecx
xor    %edx, %edx

## Carga de datos

mov    da1, %al

## inc da1      ERROR: por ser la dirección efectiva del operando una referencia a ←
               la memoria principal no restringe el tamaño del operando. Al no especificar ←
               tampoco sufijo el ensamblador no reconoce el tamaño del operando.
incb   da1
incw   da2
incl   da4

## salida
mov    $SYS_EXIT, %eax
mov    $SUCCESS,  %ebx
int    $0x80

.end

```

13.6.2. Compilación

- Seguir los pasos de la [compilación](#) de un módulo en lenguaje ensamblador.
 - gcc -nostartfiles -m32 -g -o datos_sufijos datos_sufijos.s
 - **Aviso:** empleando `%bl` en lugar de `%ebx` debido *b* como sufijo
 - Es un aviso de la sintaxis de la instrucción `movb da4, %ebx`, NO es un error.

13.6.3. Ejecución

- `./datos_sufijos`
- `echo $?`

13.6.4. Análisis del módulo fuente

- Sufijos de los mnemónicos indicando distintos tamaños de los operandos: b,w,l
 - `movw da4, %cx` : el sufijo "w" de 2 bytes y el registro destino CX de dos bytes.
 - `movw da4, %al` : el sufijo "w" impone una transferencia de 2 bytes a un registro destino AL de 1 byte → error en el ensamblaje.
 - `movb da4, %ebx` : el sufijo "b" no es coherente con el registro destino EBX de 4 bytes y el ensamblaje se produce con BL.
- Sin sufijo:
 - `xor %eax, %eax` : operandos fuente y destino EAX de 4 bytes
 - `mov da4, %al` : el registro destino AL limita la transferencia a 1 byte y no hay contradicción con el sufijo ya que éste no existe.
 - `mov da1, %ecx` : de los dos operandos, registro y memoria, es el registro quien prioriza el tamaño de la transferencia.
 - `inc da1` : Al ser la dirección efectiva del operando una referencia a la memoria principal no restringe el tamaño del operando. Al no especificar tampoco un sufijo el ensamblador no reconoce el tamaño del operando → error en el ensamblaje

13.6.5. Deducción del tamaño del operando en una instrucción

1. Diferencia entre la referencia a un operando en memoria o registro
 - a. Un operando referenciado mediante una dirección de memoria no tiene un tamaño específico para el assembler.
 - b. En cambio el nombre de un registro si es asociado a un tamaño de operando por el assembler.
2. En una instrucción con un único operando en memoria el tamaño es deducido por el assembler gracias al sufijo del mnemónico, por lo tanto en este caso si el mnemónico no tiene sufijo el assembler no traducirá la instrucción.
3. En una instrucción con dos operandos, uno en memoria y otro en un registro, es el operando en el registro o el sufijo quienes especifican el tamaño de los dos operandos fuente y destino:
 - a. Si el mnemónico tiene sufijo, es dicho sufijo quien especifica el tamaño de los operandos fuente y destino.
 - b. Si el mnemónico no tiene sufijo, es el tamaño del registro quien especifica el tamaño de los operandos fuente y destino.
4. Casos de error
 - a. En el caso de que el mnemónico tenga un sufijo mayor que el tamaño del registro destino.
 - b. En el caso de que el mnemónico no tenga sufijo y el tamaño del registro fuente sea mayor que el registro destino.

13.6.6. Ejecución paso a paso

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:
 - gcc -nostartfiles -m32 -g -o datos_sufijo datos_sufijo.s donde modulo_fuente se sustituye por el nombre del archivo que se desea compilar.
- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.
 - gdb
 - file modulo_ejecutable
 - info sources
- Configurar el fichero para el logging histórico de los comandos.
 - set trace-commands on
 - set logging file datos_sufijo_gdb_asm.txt
 - set logging on
 - shell ls -l datos_sufijo_gdb_asm.txt
- Activar un punto de ruptura en la instrucción de entrada al programa.
 - b _start
- Ejecutar el programa deteniéndolo en la primera instrucción del programa.
 - run
- abrir la ventana de visualización de los registros
 - layout regs
- Análisis del contenido de la memoria principal mediante el depurador GDB.
 - Ejecutar el programa paso a paso analizando el resultado de la ejecución de cada instrucción
 - n
 - RET, RET, RET,

13.7. Modos de Direccionamiento

13.7.1. Edición del Módulo fuente: datos_direccionamiento.s

- Descargar el módulo fuente "datos_direccionamiento.s" de miaulario y añadir los comentarios apropiados.

```
### Program:      datos_direccionamiento.s
### Descripción: Emplear estructuras de datos con diferentes direccionamientos
### Compilación:  gcc -m32 -g -o datos_direccionamiento datos_direccionamiento.s
###                      sin la opción startfiles al utilizar el punto de entrada referenciado con ←
###                      la etiqueta "main"

## MACROS
.equ SYS_EXIT,    1
.equ SUCCESS,     0

## VARIABLES LOCALES
.data

.align 4                                # Alineamiento con direcciones de MP ←
da2: .2byte 0x0A0B,0b000011101011100,-21,0xFFFF # Array da2 de elementos de 2 bytes
.align 4
lista: .word   1,2,3,4,5      # Array lista de elementos de 2 bytes
.align 8
buffer: .space  100          # Array buffer de 100 bytes
.align 2
saludo: .string "Hola"        # Array saludo de elementos de 1 byte por ser caracteres

## INSTRUCCIONES
.global main
.text

main:
## RESET

xor %eax, %eax
xor %ebx, %ebx
xor %ecx, %ecx
xor %edx, %edx
xor %esi, %esi
xor %edi, %edi

## ALGORITMO sum1toN

## Direccionamiento inmediato
mov $4,%si
## Direccionamiento indexado
bucle: add lista(%esi,2),%di
## Direccionamiento a registro
dec %si
## Direccionamiento relativo al PC
jns bucle

## EJERCICIOS SOBRE DIRECCIONAMIENTO

## Direccionamiento indirecto
lea buffer,%eax      #inicializo el puntero EAX
## mov da2,(%eax) ERROR: la dirección efectiva de los dos operandos hacen ←
```

```
referencia a la memoria principal
mov da2, %bx
mov %bx, (%eax)
## Direccionamiento directo
incw da2
## Direccionamiento indexado
lea da2, %ebx
## inc 2(%ebx) ERROR: dirección efectiva a memoria y no hay sufijo
incw 2(%ebx)

mov $3, %esi
mov da2(%esi, 2), %ebx

## SALIDA

mov $SYS_EXIT, %eax
mov $SUCCESS, %ebx
int $0x80

.end
```

13.7.2. Compilación

- Seguir los pasos de la [compilación](#) de un módulo en lenguaje ensamblador.
 - El punto de entrada no es "_start".
 - `gcc -nostartfiles -m32 -g -o datos_direccionamiento datos_direccionamiento.s`

13.7.3. Ejecución

- `./datos_direccionamiento`
- `echo $?`

13.7.4. Análisis del módulo fuente

- Alineación de datos mediante la directiva `.align n` asigna una dirección de memoria múltiplo de n al siguiente dato declarado.



atención

NO está permitido que en el caso de una instrucción con dos operandos, ambos estén en la memoria principal. Uno o los dos operandos han de estar en los registros de propósito general.

13.7.5. Ejecución paso a paso

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:
 - `gcc -nostartfiles -m32 -g -o datos_direccionamiento datos_direccionamiento.s` donde `m`odulo_`f`uente se sustituye por el nombre del archivo que se desea compilar.
- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.

- gdb
 - file datos_direccionamiento
 - info sources
- Configurar el fichero para el logging histórico de los comandos.
- set trace-commands on
 - set logging file datos_direccionamiento_gdb_asm.txt
 - set logging on
 - shell ls -l datos_direccionamiento_gdb_asm.txt
- Activar un punto de ruptura en la instrucción de entrada al programa.
- b _start
- Ejecutar el programa deteniéndolo en la primera instrucción del programa.
- run
- Array *da2*
- Imprimir la dirección de memoria del array *da2* y el contenido del primer elemento: x /xh &da2
 - 4 elementos de 2bytes del array da2: x /4xh &da2
 - p /x (short[4])da2
- Array *lista*
- ptype lista
 - p (short[5])lista
- Array *buffer*
- ptype buffer
 - Imprimir la dirección de memoria del array *buffer* y comprobar su alineamiento: p &buffer
- String
- ptype saludo : no debug info → no admite referencia elemento array expresión *saludo[n]*
 - p /c (char[5])saludo :casting array
 - x /5c (char *)&saludo :casting puntero
 - p /c *(char *)&saludo :casting puntero e indirección
 - p /s (char *)&saludo :casting puntero y formato string

Capítulo 14

Operaciones Aritméticas y Lógicas

14.1. Introducción

14.1.1. Objetivos

- Programación:
 - Realizar operaciones aritméticas (suma, resta, multiplicación y división) con números enteros.
- Análisis:
 - Comprobar cómo afectan las operaciones lógicas y aritméticas a los flags del registro de estado EFLAGS
 - Analizar el contenido de la memoria como números con signo, caracteres, arrays y strings: tipos y tamaños de los operandos numéricos y de los operandos alfanuméricos
 - Realizar la operación de desensamblaje para comprobar el lenguaje máquina del módulo ejecutable cargado en la memoria principal

14.1.2. Conceptos de Arquitectura

- La Unidad Aritmético-Lógica ALU sólo opera con números enteros almacenados en los registros de propósito general. Para operar con números reales es necesaria la unidad Float Process Unit FPU con los operandos almacenados en los registros específicos para números en coma flotante.

14.1.3. Módulos fuente

- `op_arit_log.s`

14.1.4. Requisitos

- Teoría: representación de datos, operaciones aritméticas y lógicas, formato de instrucciones y repertorio ISA de la arquitectura X86.
- Prácticas previas:
 - Introducción a la programación en lenguaje ensamblador AT&T x86-32
 - Representación de los Datos

14.2. LEEME

- Lectura del guión de prácticas y del capítulo 3 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Plataforma de Desarrollo](#) : configuración de la computadora personal
- [Programación](#) : metodología

14.3. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

14.4. Registros internos de la CPU

- La arquitectura amd64 dispone de:
 - 16 registros de propósito general (RPG) de 64 bits cada uno: rax,rbx,rcx,rdx,rsi,rdi,rsp, etc
 - 1 registros de estado de 64 bits: rflags
- El acceso a los registros de propósito general puede ser *parcial*:
 - Registro RAX: es un registro de 64 bits
 - Registro EAX: son los 32 bits de menor peso de RAX
 - Registro AX: son los 16 bits de menor peso de RAX
 - Registro AL: son los 8 bits de menor peso de RAX
 - Registro AH: es el byte con los bits de las posiciones 8:15 de RAX
- En las "[Hojas de Referencia Rápida](#)" están representados todos los nombres de los diferentes grupos de bits de cada registro de propósito general.

14.5. Operaciones Aritméticas y Lógicas con Números Enteros con Signo

14.5.1. Edición del Módulo fuente: op_arit_log.s

- Descargar el módulo fuente "op_arit_log.s" de miaulario y añadir los comentarios apropiados.

```
### Programa:      op_arit_log.s
### Descripción: Emplear estructuras de datos con diferentes operaciones lógicas y ←
aritméticas.
### Compilación: gcc -m32 -g -o op_arit_log op_arit_log.s

## MACROS
.equ SYS_EXIT,    1
.equ SUCCESS,     0
.equ N,           5

## VARIABLES LOCALES

## INSTRUCCIONES
.global main
.text

main:

## RESET

xor    %eax, %eax
xor    %ebx, %ebx
xor    %ecx, %ecx
xor    %edx, %edx
xor    %esi, %esi
xor    %edi, %edi

## OPERACIONES ARITMETICAS con NUMEROS ENTEROS

## add: suma
mov $5, %eax
mov $10, %ebx
add %ebx, %eax

## ❶ sub: resta
mov $5, %eax
mov $10, %ebx
sub %ebx, %eax

## ❷ imul: multiplicación entera "con signo": AX<- BL*AL
movb $-3, %bl
movb $5, %al
imulb %bl

## ❸ idiv: división "con signo" .      (AL=Cociente, AH=Resto) <- AX/ (byte en ←
registro o memoria)
movw $5, %ax          #dividendo
movb $3, %bl          #divisor
idivb %bl            # 5/3 = 1*3 + 2

## complemento a 2: equivalente a cambiar de signo negación
negb %bl
```

```

## Expresión N* (N+1) /2
movw $N, %bx
movw $(N+1), %ax
imulw %bx           #imulw Op ; Op=word ; DX:AX<- AX*Op
movw $2, %bx
## ❶ El resultado queda en AX y el resto DX=0
idivw %bx           #idivw Op ; Op=word ; AX<- (DX:AX)/Op ; DX:=Resto

## OPERACIONES LOGICAS

mov $0xFFFF1F, %eax
mov $0x0000F1, %ebx
not %eax            # inversión
and %ebx, %eax     # producto lógico
or  %ebx, %eax     # suma lógica

## Complemento a 2 mediante operación lógica not() +1
mov %ebx, %eax
not %eax
inc %eax

## ❷ Desplazamiento de bits
shr $4,%eax         #desplazamiento lógico: bits a introducir -> 0..
sar $4,%eax         #desplazamiento aritmético: bits a introducir -> extensión ←
                     del signo

## SALIDA

mov $SYS_EXIT, %eax
mov $SUCCESS, %ebx
int $0x80

.end

```

- ❶ Instrucciones referenciadas en las cuestiones de autoevaluación
- ❷ " " "
- ❸ " " "
- ❹ " " "
- ❺ " " "

14.5.2. Compilación

- Seguir los pasos de la [compilación](#) de un módulo en lenguaje ensamblador.
 - El punto de entrada no es "_start".
 - `gcc -m32 -g -o op_arit_log op_arit_log.s`

14.5.3. Ejecución

- `./op_arit_log`
- `echo $?`

14.5.4. Análisis del módulo fuente

- Para la interpretación de las instrucciones add, sub, imul (integer multiplication), idiv (integer division) , neg, not, and, or, xor, shr, sar, consultar la tabla de operaciones de las [hojas de referencia rápida](#)
- Las operaciones únicamente procesan el número de bits que indica el sufijo del mnemónico... aunque los registros "r-x" son de 64 bits.

14.5.5. Ejecución paso a paso

14.5.5.1. Observaciones

- El depurador al visualizar el contenido de los registros:
 - únicamente visualiza el número de bytes del tamaño de los operandos..aunque los registros "r-x" son de 64 bits.
 - con números enteros con signo no visualiza los ceros de mayor peso, es decir, ni el signo ni la extensión de signo de los números positivos.

14.5.5.2. Operaciones

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:
 - gcc -m32 -g -o op_arit_log op_arit_log.s donde modulo_fuente se sustituye por el nombre del archivo que se desea compilar.
- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.
 - gdb
 - file op_arit_log
 - info sources
- Configurar el fichero para el logging histórico de los comandos.
 - set trace-commands on
 - set logging file op_arit_log_gdb_asm.txt
 - set logging on
 - shell ls -l op_arit_log_gdb_asm.txt
- Activar un punto de ruptura en la instrucción de entrada al programa.
 - b _start
- Ejecutar el programa deteniéndolo en la primera instrucción del programa.
 - run

14.5.5.3. Operaciones aritméticas

- Comprobar los resultados de las operaciones aritméticas de suma, resta, multiplicación, división y negación de números enteros con signo

14.5.5.4. Operaciones lógicas

- Comprobar los resultados de las operaciones lógicas bitwise de negación, multiplicación, suma, or-exclusiva y desplazamiento.

Capítulo 15

Instrucciones de Saltos Condicionales

15.1. Introducción

15.1.1. Objetivos

- Manejo del registro de flags, instrucciones de comparación y saltos condicionales para su aplicación en sentencias de lenguajes de alto nivel tipo if, for, while, switch-case.
- Depurador GDB
 - Uso del comando `watch`

15.1.2. Requisitos

- Teoría: representación de datos, operaciones aritméticas y lógicas, formato de instrucciones y repertorio ISA de la arquitectura X86.
- Práctica anterior: Introducción a la programación en lenguaje ensamblador AT&T x86-32
- Conceptos del lenguaje de programación C: if, for, while, switch-case

15.2. LEEME

- Lectura del guión de prácticas y del capítulo 3 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Plataforma de Desarrollo](#) : configuración de la computadora personal
- [Programación](#) : metodología

15.3. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

15.4. Saltos Condicionales

15.4.1. Algoritmo

- No se desarrolla ningún algoritmo. Son instrucciones para la práctica de los saltos condicionales.

15.4.2. Edición del Módulo fuente: saltos.s

- Descargar el módulo fuente "saltos.s" de miaulario y añadir los comentarios apropiados.

```
/*
Programa:      datos_saltos.s
Descripción: Emplear estructuras de datos con diferentes direccionamientos
### Compilación: gcc -m32 -g -o datos_saltos datos_saltos.s

*/

## MACROS
.equ SYS_EXIT,    1
.equ SUCCESS,     0

## VARIABLES LOCALES
.data

## INSTRUCCIONES
.global main
.text

main:
## RESET

xor %eax, %eax
xor %ebx, %ebx
xor %ecx, %ecx
xor %edx, %edx
xor %esi, %esi
xor %edi, %edi

## SALTOS INCONDICIONALES

## Direccionamiento relativo
jmp saltol           #salto relativo al contador de programa pc -> eip
xor %esi, %esi

## FLAGS DEL REGISTRO DE BANDERINES EFLAGS
/*
los flags se activan al realizar operaciones aritméticas, lógicas, etc dependiendo ↔
del resultado de dicha operación
CF: El resultado de la operación tiene llevada del bit MSB del destino
OF: El resultado de la operación con signo se desborda, su tamaño supera el permitido.
ZF: el resultado de la operación tiene valor cero
SF: el resultado de la operación tiene valor negativo
PF: el resultado de la operación tiene el byte LSB con un número par de bits
*/
saltol:
xor %eax, %eax        # resultado cero -> activa ZF y PF pero desactiva CF,OF,SF
inc %eax               # desactiva ZF y PF
neg %eax               # activa SF,PF y CF : realiza la resta de la definición de ↔
complemento a 2 :(0-N)
```

```

        shr $1,%eax          # Shift Right : desplazamiento lógico: desplaza n bits el ←
                           operando destino.
/* Salen bits por la dcha y entran ceros por la izda.
El último bit salido queda en CF.
SF=0 ya que ha entrado un cero en el MSB
MANUAL INTEL: http://www.cs.nyu.edu/~mwalfish/classes/ut/s13-cs439/ref/i386/SAL.htm
For SHR, OF is set to the high-order bit of the original operand.
OF=MSB=1
The OF flag is affected only on 1-bit shifts.
Equivale a dividir  $2^n$  si desplazo a la dcha y a multiplicar  $2^n$  hacia la izda (possible ←
overflow).
*/
        shl $1,%eax
        clc                  # clear CF -> CF=0
        xor %eax,%eax       # resultado cero -> activa ZF y PF pero desactiva CF,OF,SF
        movw $0xFFFF,%ax     # MOV NO afecta a ningún flag
        addw $0xFFFF,%ax     # activa SF y CF pero no OF
        clc
        movw $0x7FFF,%ax
        addw $1,%ax           #activa OF pero no CF, OF avisa del error en la suma y se ←
                           puede ver que SF se ha activado

## INSTRUCCIONES COMPARATIVAS: TEST,CMP

## Comprobar si el bit de la posicion 5 es cero con la mascara 0x0010 que aisla ←
dicha posicion
## test realiza la operación AND afectando a los flags de EFLAGS pero no guarda el ←
resultado en el operando destino
movw $0xABFF, %ax
movw $0x0BCF, %bx
test $0x0010, %ax      # AX^0x0010=0x0010=positivo -> SF=0, low byte=0x10 impar ←
-> PF=0,
                      # El manual dice -> The OF and CF flags are cleared
test $0xFFFF, %ax       # SF=1 porque AX^0xFFFF=AX= negativo, low byte=AL= par -> ←
PF=1
test $0b00000000000010000, %bx   # SF=0 porque AX^0x0010=positivo ,ZF=1 porque BX ←
[5] es cero, PF=0

## Comprobar si el valor de una variable es mayor, menor o igual al valor 0x00FF
## cmp realiza la operacion SUB afectando a los flags de EFLAGS pero no guarda el ←
resultado en el operando destino
## SUB: It evaluates the result for both signed and unsigned integer operands and ←
sets the OF and CF flags
## to indicate an overflow in the signed or unsigned result, respectively
movw $0x01FF, %ax
movw $0x0001, %bx
movw $0x00FF, %cx
cmp $0x00FF, %ax       # AX-0x00FF=0x0100 > 0 -> ZF=0 y SF=0, low byte=00 -> PF ←
=1
cmp $0x00FF, %bx       # BX-0x00FF=0x0001+0xFF01=0xFF02 < 0 -> SF=1, 0x02 impar ←
-> PF=0,
                      # unsigned overflow -> CF=1, signed not overflow OF=0
cmp $0x00FF, %cx       # CX-0x00FF=0 -> ZF=1, SF=0, 0xFF par PF=1, CF=0, OF=0

## SALTOS CONDICIONALES

movw $0x01FF, %ax
movw $0x0001, %bx
movw $0x00FF, %cx
cmp $0x00FF, %ax       # AX-0x00FF=0x0100 > 0, luego ZF=0 y SF=0, 0x00 para -> ←
PF=1

```

```

        jg    salto4          # great jump -> resta de numeros con signo -> SF=0 y salta
        nop
salto4: cmp   $0x00FF, %bx      # BX-0x00FF=0x0001+0xFF01=0xFF02 < 0, luego ZF=0 , SF=1,
        # unsigned over CF=1 y not signed over OF=0
        jl    salto5          # less jump -> resta de numeros con signo -> SF=1 y salta
        nop
salto5: movw $0x8000, %ax      # 0x8000 vale -32768 con signo y 32768 sin signo
        cmp   $0x0001, %ax      # Con signo ->0x8000 - 0x1 = 0x8000+0xFFFF=0x7FFF >0 -> ←
        SF=0,
                    # OF=1 ya que la suma de dos negativos ha dado positivo
                    # CF=0 ya que en binario puro 0x01FF-0x00001=0x01FE, no ←
                    overflow
                    # 0xFF es par -> PF=1

        ja    salto6          # above jump -> resta de números sin signo -> 32768-1>0
        nop
salto6: cmp   $0x00FF, %cx      # CX-0x00FF = 0, luego ZF=1 y SF=0
        je    salto7          # equal jump
        nop

## SALIDA

salto7: mov  $SYS_EXIT, %eax
        mov  $SUCCESS,  %ebx
        int $0x80

.end

```

15.4.3. Compilación

- Seguir los pasos del proceso de [compilación](#) común a todas las sesiones.

- `gcc -m32 -g -o saltos saltos.s`

15.4.4. Ejecución

- `./saltos`
- `echo $?`

15.4.5. Análisis del módulo fuente

- Leer en las hojas de referencia rápida el [Programa Ejemplo Minimalista](#)

15.4.5.1. Estructura

- La estructura del programa esta formada por los siguientes elementos:

- Cabecera
- Definición de Macros
- Sección de Datos
- Sección de Instrucciones

15.4.6. Ejecución paso a paso

15.4.6.1. Operaciones Iniciales

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:
 - `gcc -m32 -g -o saltos saltos.s`
- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.
 - `gdb`
 - `file saltos`
 - `info sources`
- Configurar el fichero para el logging histórico de los comandos.
 - `set trace-commands on`
 - `set logging file saltos_gdb_asm.txt`
 - `set logging on`
 - `shell ls -l saltos_gdb_asm.txt`
- Activar un punto de ruptura en la instrucción de entrada al programa.
 - `b _start`
- Ejecutar el programa deteniéndolo en la primera instrucción del programa.
 - `run`

15.4.6.2. Registro EFLAGS

- `p $eflags` → imprime los nombres de los flags activos
- comprobar el estado de los banderines con las operaciones lógicas, aritméticas y las instrucciones TEST y CMP.
- Para el análisis de los banderines en modo paso a paso utilizar el comando `watch` del depurador GDB

```
(gdb) watch $eflags : interrumpe la ejecución y visualiza el contenido del registro EFLAGS ←  
      cada vez que cambia su valor.  
(gdb) info watch    : visualiza los watchs definidos  
(gdb) delete breakpoints : elimina los breaks, watchs, etc
```

15.4.6.3. Saltos

- Comprobar la ejecución o no del salto con el estado e interpretación de los banderines del registro EFLAGS. Es un ejercicio de interpretación de FLAGS → Cuando se ejecuta la instrucción de salto, la CPU tiene que tomar la decisión de saltar o no interpretando los FLAGS. ¿ Sabríamos RELACIONAR la condición de `ja` (salto si ABOVE) leyendo los FLAGS y sin leer los valores de los operandos que se comparan en la condición ABOVE?

15.5. Mnemónicos Utilizados

- Ver capítulo "[Programación ensamblador : Mnemónicos Básicos \(Explicados\)](#)"

Capítulo 16

LLamadas al Sistema Operativo (Kernel)

16.1. Introducción

16.1.1. Qué son las llamadas al sistema

- El HW está protegido por el Kernel del SO y por lo tanto el programador de ensamblador accede al HW indirectamente a través de las "LLamadas al Sistema" solicitando operaciones de entrada/salida al Sistema Operativo. Por lo tanto si queremos acceder al teclado y al monitor será necesario realizar llamadas al kernel.
- Definición de la interfaz entre el programador y el kernel del SO: *System V Application Binary Interface: SysV-ABI*
 - El lenguaje ensamblador sigue la norma ABI para el lenguaje C.
- En este guión se trabajan las llamadas al sistema de la arquitectura i386.
- LLamadas al sistema desde el código ensamblador:
 - directamente con la instrucción `int $0x80`
 - indirectamente a través de las funciones de la librería standard `libc` con la instrucción `call`
 - En código ensamblador es necesario pasar los argumentos previamente a la ejecución de la llamada `call`

16.1.2. Manuales de las llamadas al sistema

- Listado con los nombres de las llamadas a al sistema: `man syscalls`
 - LLamada al sistema `exit`: `man 3 exit`
 - describe la función de llamada al sistema
 - especifica el nombre de la cabecera de la librería necesaria para compilar en lenguaje C.
 - especifica los parámetros que necesita la función y el orden en que son transferidos.
 - LLamada al sistema `write`: `man 2 write`

16.1.3. Códigos de las llamadas

- Códigos de las llamadas al sistema en la arquitectura x86-32:
 - `/usr/include/asm/unistd_32.h`
 - `/usr/include/x86-64-linux-gnu/asm/unistd_32.h`
 - llamada `exit` → Código 1
 - `read` → 3
 - `write` → 4
- El código de la llamada se pasa a través del registro `EAX`.

16.1.4. Cómo pasar los argumentos directamente al Kernel

- A diferencia de los argumentos de las llamadas a subrutinas de usuario que se pasan a través de la pila, los argumentos de las llamadas a subrutinas del sistema operativo utilizan los registros como memoria para pasar los argumentos.
- Los parámetros del primero al sexto se corresponden con los registros : *EBX,ECX,EDX,ESI,EDI,EBP*
- Valor de retorno: *EAX*

16.1.5. Como pasar los argumentos indirectamente a través de funciones libc

- Desde un módulo fuente en ASM
- Los parámetros se pasan a las funciones libc través de la *pila* y por lo tanto también a los *wrappers* de la librería de C.
- Valor de retorno: *EAX*

16.2. LEEME

- Lectura del guión de prácticas y del capítulo 3 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Plataforma de Desarrollo](#) : configuración de la computadora personal
- [Programación](#) : metodología

16.3. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

16.4. Llamada Exit

16.4.1. Edición del Módulo fuente:salida.c / salida.s

- gcc -m32 -g -o salida salida.c

```
#include <stdlib.h>
void main (void)
{
    exit (0xFF);
}
```

- gcc -m32 -o salida salida.c

```
/* Llamada al sistema desde C
   Prototipo:    int syscall(int number, ...);
   man syscall
*/
#define __GNU_SOURCE
```

```
#include <unistd.h>
#include <sys/syscall.h>

void main (void)
{
    syscall (__NR_exit, 0xFF);
}
```

- gcc -m32 -g -nostartfiles -o salida salida.s

```
.global _start
.section .text
_start:
    push    $0xFF          #return code
    call    exit            #libc library
    .end
```

- gcc -m32 -g -nostartfiles -o salida salida.s

```
.global _start
.section .text
_start:
    push    $0xFF          #return code
    push    $1               # exit syscall code
    call    syscall          #libc library
    .end
```

- gcc -m32 -g -nostartfiles -o salida salida.s

```
.global _start
.section .text
_start:
    mov     $1, %eax        #exit
    mov     $0xFF, %ebx      #argument
    int     $0x80            #system call
    .end
```

16.5. LLamar a la librería de C desde código ensamblador

16.5.1. imprimir.s: printf

- imprimir.s

```
.section .data
planet:
    .long 9                  # variable planet

.section .rodata
mensaje:
    .asciz "El número de planetas es %d \n"      #string con formato de la función ←
    printf

.global _start
.section .text
_start:
    ## imprimir en la pantalla
    push planet              # 2º argumento de la función printf
    push $mensaje             # 1º argumento de la función printf: dirección del string
```

```
call printf
## salir al sistema
push $0
call exit
```

- Compilación con *gcc* : no es necesario indicar al linker el módulo objeto libc ya que lo enlaza por defecto.
 - *gcc -m32 -g -nostartfiles -o imprimir imprimir.s*
- Compilación con *as* y *ld*
 - *as --32 -gstabs -o imprimir.o imprimir.s*
 - *ld -melf_i386 -dynamic-linker /lib32/ld-linux.so.2 -o imprimir imprimir.o -lc* : enlazar con el módulo objeto libc

16.6. Llamadas al Sistema en la Arquitectura AMD64

- Llamadas a las funciones de la librería standard *libc*.
 - El manual de los prototipos de las funciones libc son accesibles en GNU con el comando *man*. Ej *man write*
 - Es necesario pasar los argumentos previamente a la ejecución de la llamada mediante la instrucción *call*.
 - Los parámetros se pasan a través de los registros *%rdi*, *%rsi*, *%rdx*, *%rcx*, *%r8* and *%r9* que se asocia con los argumentos de la función de libc en sentido izda→dcha.
- Preservar los registros : *%rbp*, *%rbx* and *%r12* through *%r15*
- Valor de retorno: Uno de los dos registros libres de la secuencia *%rax*, *%rdx*.
- Ejemplo:

```
#include <stdlib.h>

exit (0xFF)

xor    %rax          #resetear RAX
mov    $0xFF, %rdi    #return code
call   exit          #libc library

mov    $60, %rax      #exit
mov    $0xFF, %rdi    #return code
syscall
```

Capítulo 17

Subrutinas

17.1. Introducción

17.1.1. Objetivos

17.1.1.1. Programación

- Concepto de Subrutina en el Lenguaje Ensamblador AT&T x86-32
- Instrucciones de llamada y retorno: call y ret
- Argumentos: Utilización de la pila
- Instrucciones de pila: push y pop
- Estructura de la pila: punteros al bottom y top de la pila: registros EBP y ESP.
- Anidamiento de llamadas: segmentación de la pila en segmentos "Frame".
- Convenio de llamada: Pase de los parámetros, Valor de retorno, Dirección de retorno, Pila, Frame de la pila, Punteros al stack Frame, Epílogo, Prólogo
- Directivas : .type sumMtoN, @function

17.1.1.2. Análisis

- Análisis de la pila mediante el depurador GDB
 - observar la generación de un nuevo frame
 - identificar los límites del frame a través de los registros puntero.
 - volcar los argumentos, dirección de retorno y valor de retorno de la subrutina en la pila.

17.2. Módulo Fuente

- El módulo fuente *sumMtoN.s* realiza una llamada desde la rutina principal *_start* a la subrutina *sumMtoN* pasándole dos argumentos y recibiendo el resultado de la suma.
- La subrutina *sumMtoN* realiza la suma desde el número entero M hasta el número entero N donde N>M.

17.3. Requisitos

- Conceptos básicos de estructura de computadores.
- Arquitectura básica intel x86-32.
- Programación en lenguaje ensamblador AT&T: práctica con datos, modos de direccionamiento e instrucciones básicas de transferencia, aritméticas y de saltos.

17.4. LEEME

- Lectura del guión de prácticas y del capítulo 3 del Libro Programming from the Ground-Up.
- [Apuntes y Libro de Texto](#)
- [Documentación Memoria](#): Contenido y Formato de la Memoria
- [Evaluación](#): sistema de evaluación
- [Plataforma de Desarrollo](#) : configuración de la computadora personal
- [Programación](#) : metodología

17.5. Cuestiones

- "Autoevaluación de Prácticas" opcional: [Prácticas: Cuestionario](#)

17.6. Tamaño de los datos y variables

17.6.1. Algoritmo

- Desarrollar un programa en lenguaje ensamblador de la arquitectura *i386* que realice la suma $\sum_{i=1}^N i$ cuyo resultado es $N(N + 1)/2$ utilizando el [método de programación](#) de descripción inicial en lenguaje pseudocódigo y organigrama. El programa debe de contener dos módulos: uno principal referenciado con el nombre *_start* y una subrutina denominada *sumMtoN* que realiza la suma. El programa principal pasa los parámetros *M* y *N* a la subrutina para una vez realizada la suma se devuelva el resultado de la suma como valor de retorno de la subrutina.

17.6.2. Edición del Módulo fuente: sumMtoN.s

- Descargar el módulo fuente "sumMtoN.s" de miaulario y añadir los comentarios apropiados.

```

/*
Programa: sumMtoN.s
Descripción: realiza la suma de números enteros de la serie M,M+1,M+2,M+3,...N
    función : sumMtoN(1º arg=M, 2º arg=N) donde M < N
Ejecución:   Editar los valores M y N y compilar el programa.
    Ejecutar $./sumMtoN
    El resultado de la suma se captura del sistema operativo con el comando linux: ↵
        echo $?

gcc -nostartfiles -m32 -g -o sumMtoN sumMtoN.s
Ensamblaje as --32 --gstabs sumMtoN.s -o sumMtoN.o
linker -> ld -melf_i386 -o sumMtoN sumMtoN.o
*/



## MACROS
.equ    SYS_EXIT,      1
## DATOS
.section .data

## INSTRUCCIONES
.section .text
.globl _start

_start:
## Paso los dos argumentos M y N a la subrutina a través de la pila
pushl $10      #push    second argument -> N
pushl $5       #push    first argument -> M

## Llamada a la subrutina sumltoN
call  sumMtoN

## Paso la salida de sumltoN al argumento a la llamada al sistema exit()
mov  %eax, %ebx  # (%ebx is returned)
## Código de la llamada al sistema operativo
movl $SYS_EXIT, %eax      # llamada exit
## Interrumpo al S.O.
int   $0x80

/*
Subrutina: sumMtoN
Descripción: calcula la suma de números enteros en secuencia desde el 1º sumando hasta el ↵
    2º sumando
    Argumentos de entrada: 1º sumando y 2º sumando
    los argumentos los pasa la rutina principal a través de la pila:
    1º se apila el último argumento y finalmente se apila el 1º argumento.
    Argumento de salida: es el resultado de la suma y se pasa a la rutina principal a ↵
    través del registro EAX.

```

```
Variables locales: se implementa una variable local en la pila pero no se utiliza
*/
.type sumMtoN, @function # declara la etiqueta sumMtoN
sumMtoN:
    ## Prólogo: Crea el nuevo frame del stack
    pushl %ebp          #salvar el frame pointer antiguo
    movl %esp, %ebp      #actualizar el frame pointer nuevo
    ## Reserva una palabra en la pila como variable local
    ## Variable local en memoria externa: suma
    subl $4, %esp
    ## Captura de argumentos
    movl 8(%ebp), %ebx  #1º argumento copiado en %ebx
    movl 12(%ebp), %ecx #2º argumento copiado en %ecx

    ## suma la secuencia entre el valor del 1ºarg y el valor del 2ºarg
    ## 1º arg < 2ºarg
    ## utilizo como variable local EDX en lugar de la reserva externa para variable ←
        local: optimiza velocidad
    ## Inicializo la variable local suma
    movl $0, %edx

    ## Número de iteracciones
    mov %ecx, %eax
    sub %ebx, %eax

bucle:
    add %ebx, %edx
    inc %ebx
    sub $1, %eax
    jns bucle

    ## Salvo el resultado de la suma como el valor de retorno
    movl %edx, %eax

    ## Epílogo: Recupera el frame antiguo
    movl %ebp, %esp      #restauro el stack pointer
    popl %ebp            #restauro el frame pointer

    ## Retorno a la rutina principal
    ret
.end
```

17.6.3. Compilación

- Seguir los pasos del proceso de **compilación** común a todas las sesiones.

- gcc -nostartfiles -m32 -g -o sumMtoN sumMtoN.s

17.6.4. Ejecución

- ./sumMtoN
- echo \$?
- Comprobar que funciona correctamente cambiando los valores de los parámetros: 1º valor de la suma y 2º valor de la suma.

17.6.5. Análisis del módulo fuente

- Leer en las hojas de referencia rápida el [Programa Ejemplo Minimalista](#)

17.6.5.1. Estructura

- La estructura del programa esta formada por los siguientes elementos:

- Cabecera
- Definición de Macros
- Sección de Datos
- Sección de Instrucciones

17.6.5.2. Ejecución modo paso a paso mediante el depurador GDB

- Compilar el programa con la opción de generación de la tabla de símbolos requerida por el depurador y generar el módulo binario ejecutable:

- `gcc -nostartfiles -m32 -g -o sumMtoN sumMtoN.s`

- Abrir el depurador GDB, cargar el módulo binario ejecutable y comprobar que se carga la tabla de símbolos junto al módulo binario ejecutable.

- `gdb`
- `file modulo_ejecutable`
- `info sources`

- Configurar el fichero para el logging histórico de los comandos.

- `set trace-commands on`
- `set logging file sumMtoN_gdb_asm.txt`
- `set logging on`
- `shell ls -l sumMtoN_gdb_asm.txt`

- Activar un punto de ruptura en la instrucción de entrada al programa.

- `b _start`

- Ejecutar el programa deteniéndolo en la primera instrucción del programa.

- `run`

- Sin ejecutar ninguna instrucción del programa

- Estado de la pila
 - Top del stack: `x $esp ó x $sp` : stack pointer
 - Bottom del frame: `x $ebp ó x $fp` : frame pointer
 - Contenido del top de la pila (dirección sp): argc: número de argumentos string de la línea de comandos en ejecución
 - ◊ `x /xw $sp`
 - Contenido una posición anterior al top de la pila (dirección sp+4): argv[0]: dirección del 1º string de la línea de comandos en ejecución
 - ◊ `p /s *(char **) ($sp+4)`

- Ejecutar las líneas necesarias hasta entrar en la subrutina:

- Comando step: s ya que el comando n no entra en la subrutina sino que la ejecuta completamente.
- ¿A dónde apunta el stack pointer sp? ¿Qué información contiene a donde apunta el sp?
 - x /i *(int *)\$sp : ¿qué instrucción es?
- Ejecutar el prólogo de la subrutina
 - Nuevo frame
 - Nuevo valor del frame pointer: p \$fp
 - Valor del stack pointer: p \$sp
 - Acceso a la dirección de retorno tomando como referencia el nuevo frame pointer: x /i *(int *)(\$fp+4)
- Ejecutar la subrutina hasta obtener el valor de retorno
 - Imprimir el valor de retorno: p \$eax
- Ejecutar el epílogo de la subrutina
 - Valor del frame pointer: p \$fp
 - Valor del stack pointer: p \$sp
 - Dirección de retorno: x *(int *)\$sp
- Ejecutar la instrucción de retorno
 - Dirección del stack pointer: p \$sp
 - ¿Por qué ha cambiado la dirección del stack pointer?

Capítulo 18

Imágenes: Bit Map Portable

18.1. Introducción



importante

Práctica introductoria al examen final por lo que es necesario realizarla de forma **individual** para obtener el mayor rendimiento. Las dudas se preguntan exclusivamente al profesor ya que son de interés general.

- El objetivo de la práctica es desarrollar una subrutina en lenguaje ensamblador equivalente a una función de C dentro de una aplicaciónnd de generación de imágenes con formato BMP.
- Los cuatro primeros ejercicios en lenguaje C se realizarán de forma guiada con el profesor y el resto de forma **individual**.

18.2. Aplicación

18.2.1. Ficheros incluidos

- Descargar el archivo *bmp_practica6.zip* y extraer los ficheros.
- Scripts:
 - *comp_ejec_vis.sh* : script que automatiza las tareas de compilar, ejecutar y visualizar llamando al script Makefile.
 - *Makefile_C* : script que automatiza la tarea de compilación del programa fuente C
 - *Makefile_pixels_as*: script que automatiza la tarea de ensamblaje, compilación y enlazado de los módulos fuentes C y asm.
 - *LEEME.txt* : instrucciones de como proceder para editar los distintos programas fuente en lenguaje C y ensamblador y copiar dichos programas con los nombres apropiados antes de ejecutar el script *comp_ejec_vis.sh*
- Módulos fuente:
 - *bitmap_gen_test.c*: Genera un imagen bitmap 512x512 en formato BMP y la guarda en el fichero *test.bmp*.
 - *cuadrado_128x128.c*: Genera un imagen bitmap DIMENSIONxDIMENSION en formato BMP y la guarda en el fichero *test.bmp*.
 - *cuadrados_4.c*: Genera cuatro rectángulos anidados bitmap en formato BMP y guarda la imagen en el fichero *test.bmp*.
 - *bmp_funcion.c*: Partiendo de *bitmap_gen_test.c* el bucle generador de pixels se define mediante la función *pixels_generator(xcoor,ycoor)*
 - *bmp_as.c*: Módulo no incluido a desarrollar.

- *pixels.s*: Módulo no incluido a desarrollar.
- Fichero
 - *test.bmp*

18.2.2. Ejemplo

- Copiar cp Makefile_C Makefile
- Copiar cp cuadrados_4.c bmp_imagen.c y ejecutar comp_ejec_vis.sh
- Copiar cp bitmap_gen_test.c bmp_imagen.c y ejecutar comp_ejec_vis.sh
- Interpretar los scripts comp_ejec_vis.sh y Makefile

18.3. Formato BMP

18.3.1. Codificación

- El formato BitMapPortable (BPM) es un formato de imagen escalar, es decir, contiene los datos de cada pixel codificando la intensidad de los componentes RGB de color tal como se visualizará en la pantalla.
- La pantalla está formada por una matriz bidimensional de pixeles, donde cada pixel es un punto discreto de la pantalla programable. La matriz de la pantalla está vinculada a una estructura de datos tipo array bidimensional 2D de filas (eje horizontal) y columnas (eje vertical) almacenada en la memoria de la tarjeta de video. El origen de coordenadas del array es la esquina inferior izquierda. A cada par (x,y) del array 2D le corresponde el color de un pixel.
- True Color: cada elemento del array contiene un dato formada por 3 campos, donde cada campo representa un color (Blue-Green-Red) y ocupa un byte . Cada componente de color R-G-B está codificado con un byte que indica la intensidad del color. Ejemplos:
 - R-G-B:0xFF-0x00-0x00 → pixel 100 % rojo e intensidad máxima.
 - R-G-B:0xFF-0x00-0xFF → pixel 50 % rojo y 50 % azul → color morado.
 - R-G-B:0x00-0x00-0x00 → ausencia de color → color negro
 - R-G-B:0xFF-0xFF-0xFF → misma proporción de colores primarios → color blanco
 - R-G-B:0x7F-0x7F-0x7F → misma proporción de colores primarios → escala de grises entre el negro (00-00-00) y el blanco (FF-FF-FF)
- Una imagen de tamaño en pixeles 512x512 dara lugar a un array de 512 pixeles x 512 pixeles x 3 bytes/pixel

18.3.2. Mapa de memoria

- Al escribir los colores del array2D MxN en la memoria lineal donde cada dirección es **un byte**, la estructura de datos o buffer se escribe de la siguiente forma:
 - F0C0BGR-F0C1BGR-...-F0C_(N-1)BGR-F1C0BGR-...-F1C_(N-1)BGR-...-F_(M-1)C0BGR-F_(M-1)C1BGR-...-F_(M-1)C_(N-1)BGR que se corresponden con las posiciones relativas 0-1-2-3-4-5-...-(MxNx3-1)
 - F0C0BGR: pixel de la Fila cero Columna cero
 - 3 bytes en el orden azul-verde-rojo.
 - longitud total del buffer: MxNx3 bytes
 - El byte azul ocupará dentro del buffer la posición relativa 0 , el verde la posición 1 y el rojo la posición 3.
 - F0C1BGR: byte azul → posición 3 dentro del buffer

- F0C_(N-1)BGR: El byte azul está en la posición $3*(N-1)$, el verde en $3*(N-1)+1$ y el rojo en $3*(N-1)+2$.
- F1C0BGR: byte azul → posición $3*N$
- F1C_(N-1)BGR: byte azul → posición $3*N+3*(N-1)$
- F_iC_jBGR:
 - byte azul → posición $3*N*i+3*j$ donde $0 < i < M$ y $0 < j < N$
 - byte verde → posición $(3*N*i+3*j)+1$ donde $0 < i < M$ y $0 < j < N$
 - byte rojo → posición $(3*N*i+3*j)+2$ donde $0 < i < M$ y $0 < j < N$

18.3.3. Fichero

- Las imágenes con formato BMP se guardan en ficheros con extensión ".bmp" como "test.bmp"
- El fichero BMP además del buffer de datos contiene una cabecera con metainformación que no procede explicar en este contexto.

18.4. Módulo Fuente bitmap_gen_test.c

18.4.1. Descripción

- Genera un array de pixeles y lo salva en el fichero test.bmp

18.4.2. Funciones

18.4.2.1. main()

- Descripción de bloques

```
RGB_data buffer[512][512] : variable local donde se declara y genera el array 2D "buffer" ←  
    de pixeles donde cada pixel es del tipo RGB_data  
  
Tipo RGB_data: 3 bytes consecutivos donde el primero es la intensidad de azul, el segundo ←  
    verde y el tercero rojo. Las intensidades son números enteros sin signo.
```

18.4.2.2. memset(buffer, 0, sizeof(buffer))

- Inicializa a cero el array 2D de pixeles "buffer"
- Esta función no se encuentra en ningún módulo fuente editado por el programador, por lo que debe ser una función definida en ... ¿?. Leer el prototipo de dicha función e interpretarlo.

18.4.2.3. bmp_generator("./test.bmp", 512, 512, (BYTE*)buffer)

- Genera el fichero "test.bmp" y escribe en dicho fichero el contenido del array 2D de pixeles con nombre buffer.

18.4.2.4. bucle doble

- bucle for :

- la variable i es el índice de filas y la variable j el índice de columnas.
- buffer[i][j].b : byte blue del pixel de la posición (i,j)
- buffer[i][j].g : byte green del pixel de la posición (i,j)
- buffer[i][j].r : byte red del pixel de la posición (i,j)

Parte VI

Autoevaluación Prácticas

Capítulo 19

Prácticas: Cuestionario

19.1. Práctica 1^a: Introducción a la Programación en Lenguaje Ensamblador AT&T x86-32

19.1.1. Cuestiones teóricas

1. Cuál es la principal diferencia entre las arquitecturas de los dos procesadores utilizados en prácticas.
2. Qué fases comprende el toolchain
3. Lista las herramientas de desarrollo a utilizar durante la realización de las prácticas mediante los dos procesadores utilizados.
4. Libro: Programming from the Ground-Up
 - a. Qué es GNU/Linux
 - b. Qué es GNU
 - c. Qué es gcc
 - d. Qué gestiona el kernel
 - e. ¿Se puede acceder simultáneamente a instrucciones y datos? Por qué?
 - f. Cuál es la función del registro PC
 - g. Cuáles son los dos tipos de registros de la CPU
 - h. Qué significa Word Size
 - i. Qué es una variable puntero.
 - j. Lista cuatro modos diferentes de direccionar un operando.

19.1.2. Cuestiones prácticas

1. Comando de compilación del programa fuente ensamblador mediante el front-end *gcc* que incluya la tabla de símbolos para el depurador
2. Comando de enlace (linker) del módulo objeto reubicable.
3. Declaración en lenguaje C de la variable *n* tipo entero con signo de un byte.
4. Instrucción en lenguaje ensamblador del programa *sum1toN.s* que realiza una suma.
5. Comandos del depurador *gdb* para la impresión del contenido de la variable *n*

6. Ejecutar *sum1toN*, compilado de *sum1toN.s*, paso a paso mediante el depurador GDB ejecutando los comandos necesarios para:
 - a. imprimir el contenido de la variable n y su dirección en memoria principal
 - b. imprimir la dirección de la etiqueta bucle
 - c. imprimir el contenido del *registro ECX* al salir del bucle
7. Cambiar el tamaño de los operandos de la suma a 2 bytes
 - a. Cambiar el tamaño del operando n → n: .word 5
8. Cambiar la instrucción add %edx, %ecx por la instrucción addw %dx, %ec
9. En GDB qué comando hay que utilizar para ejecutar todas las iteracciones del bucle del programa de forma continuada.
10. Comparando las versiones en lenguajes C y ASM de los módulos fuente, por qué la instrucción *until* del depurador GDB en el caso del módulo fuente en lenguaje C se ejecuta durante la sentencia *while*.
11. Editando el módulo fuente provocar un error de ensamblaje al no haber coherencia entre la declaración del tamaño del operando referenciado por la etiqueta *n* y la declaración de tamaño de operandos de la instrucción *add*.

19.2. Práctica 2^a: Representación de los Datos

19.2.1. Módulo datos_size.s

- ¿En qué orden se guardan los caracteres del string "hola"?
- ¿Cuál es el código ASCII del carácter *o*?
- ¿Cuál es la dirección de memoria principal donde se almacena el string "hola"?
- ¿Cuál es la dirección memoria principal donde se almacena el array lista?
 - ¿Cuál es el contenido de los primeros 4 bytes a partir de la dirección anterior en sentido ascendente?

19.2.2. Módulo datos_sufijos.s

- ¿En qué orden se guardan los bytes del dato da4?
- ¿Cuál es el resultado de ejecutar mov da1, %ecx?

19.2.3. Módulo datos_direccionamiento.s

- Con el depurador ejecutar el programa en modo paso a paso realizando las siguientes operaciones.
- Array *da2*
 - Imprimir la dirección de memoria del array *da2* y el contenido del primer elemento: x /xh &da2
 - 4 elementos de 2bytes del array *da2*: x /4xh &da2
 - ptype da2: no debug info: al no tener información el debugger del tamaño de los elementos es necesario indicarlos explícitamente en los comandos posteriores.
 - Es necesario realizar un **casting**: Array de 4 elementos de tamaño 2bytes: p /x (short [4]) da2
 - Fijarse con el comando *eXaminar* el resultado es independiente de si hacemos un **casting** (short *): x /4xh (short *) &da2
 - El tamaño y tipo de dato lo fija el argumento del comando: /4xh

- Comprobar la norma de almacenamiento *little endian* identificando cada dirección de memoria a un byte con su contenido.
- Acceder a la dirección de memoria del elemento de valor -21 del array *da2*:
 - el argumento elemento de array en `p da2[2]` no es válido ya que el debugger carece de información
- Desensamblar
 - `disas salto1`
 - `disas /r salto1`

19.3. Práctica 3º: Operaciones Aritmetico-Lógicas e Instrucciones de Salto Condicionales

19.3.1. Módulo op_arit_log.s

- Indicar cómo asociar el valor de los sumandos a las macros OPE1 y OPE2.
- Sin cambiar el valor de los operandos:
 - indicar el valor de la resta ①
 - indicar el valor de la multiplicación ②
 - indicar el valor de la división ③
 - indicar el valor de la división ④
 - indicar el valor de las operaciones lógicas ⑤

19.3.2. Módulo saltos.s

- Registro de Flags
 - Editar, compilar y ejecutar el siguiente bloque de instrucciones para indicar el contenido del registro EAX y el estado de los flags CF,ZF,SF,PF,OF después de la ejecución de cada instrucción :

```
mov $0xFFFFFFFF, %eax
shr $1, %eax
add %eax, %eax
testb $0xFF, %eax
cmpl $0xFFFFFFFF, %eax
```
- Saltos
 - Editar, compilar y ejecutar el siguiente bloque de instrucciones para indicar el estado de los flags CF,ZF,SF,PF,OF antes de la ejecución de la instrucción de salto e indicar si se produce o no el salto.

```
mov $0x00AA, %ax
mov $0xFF00, %bx
cmp %bx, %ax
ja salto1
jg salto2
salto1: mov $0xFF, %ebx
salto2: mov $1, %eax
int $0x80
```

19.4. Práctica 4: Llamadas al Sistema Operativo

19.4.1. Módulo syscall_write_puts.c

- Desarrollar un programa en lenguaje C que imprima en la pantalla el mensaje de bienvenida "Hola" . Utilizar las funciones puts(), write() y syscall() de la librería standard de C.

- man 2 puts
 - man 2 write : prototipo de la función

```
WRITE(2)  Linux Programmer's Manual

NAME
      write - write to a file descriptor

SYNOPSIS
      #include <unistd.h>

      ssize_t write(int fd, const void *buf, size_t count);
```

- *fd* : file descriptor: el monitor es un fichero virtual con descriptor número 1.
 - *void *buf*: buffer es un puntero que apunta a la cadena de caracteres a imprimir.
 - *count*: tamaño máximo de la cadena de caracteres a imprimir
 - Esta función llama indirectamente al sistema operativo a través de la llamada `syscall()`.

```

    puts("\n***** Imprimo el mensaje de bienvenida mediante la llamada al sistema syscall(): ");
    syscall(__NR_write, STDOUT_FILENO, buffer, LON_BUF); // función syscall de llamada directa al sistema.
    exit(0xAA); // Salir al sistema enviando el código 0xAA. No es lo mismo que retornar.

}

```

19.4.2. Módulo `syscall_write_puts.s`

- Desarrollar un programa en lenguaje ensamblador x86-32 `syscall_write_puts.s` equivalente al programa `syscall_write_puts.c` llamando a las funciones `puts()` y `write()`. En lugar de utilizar la función `syscall()` realizar la llamada al sistema directamente con la instrucción `int 0x80`. Los argumentos de la llamada al sistema operativo se pasan a través de los registros:

- 1º argumento: a través de EAX: tipo int: valor `__NR_write` : valor 4
- 2º argumento: EBX: tipo int `fd`: valor `STDOUT_FILENO`: valor 1
- 3º argumento: ECX: tipo const void *buf : puntero al string a imprimir , buffer
- 4º argumento: EDX: tipo size_t count: valor `LON_BUF`: valor 5
- Descripción RTL

```

# llamada a la función puts de la librería libc. Es necesario linkar con libc.
pila <-argumento
call puts
# llamada a la función write de la librería libc. Es necesario linkar con libc.
pila <- 3º argumento
pila <- 2º argumento
pila <- 1º argumento
call write
# Llamada al sistema operativo para ejecutar la operación write
EAX<-4
EBX<-1
ECX<-etiqueta que apunta al string a imprimir
EDX<-5
call sistema_operativo
# Llamada al sistema operativo para ejecutar la operación exit
EAX<-1
EBX<-0
call sistema_operativo

```

19.5. Práctica 5: LLamadas a una Subrutina

19.5.1. Módulo `sumMtoN_aviso.c`

- Desarrollar el programa `sumMtoN_aviso.c` equivalente al módulo en lenguaje asm `sumMtoN.s` y añadiendo un mensaje de aviso en caso de error indicando la relación correcta entre los parámetros 1º sumando y 2º sumando.

19.5.2. Módulo `sumMtoN_aviso.s`

- Añadir al programa fuente `sumMtoN.s` un mensaje de aviso en caso de error indicando la relación correcta entre los parámetros 1º sumando y 2º sumando.

19.6. Práctica 6: Imagen Bit Map Portable

19.6.1. Programación en C

- Leer el procedimiento de programación en el fichero **LEEME.txt**
- El objetivo es modificar la función principal **main()** del programa original **bitmap_gen_test.c** dando lugar a distintos programas independientes entre sí.
 1. - Compilar y ejecutar el program *bitmap_gen_test.c*
 2. - visualizar la imagen del fichero test.bmp: **\$display test.bmp**
 3. - Módulo **cuadrado_128x128.c**: Cambiar las dimensiones de la imagen a 128 pixeles x 128 pixeles definiendo la macro **DIMENSION=128** y definiendo para cada pixel un color gris con una intensidad del 50% de su valor máximo.
 4. - Módulo **cuadrados_4.c**: Generar 4 cuadrados, uno dentro de otro simétricamente, donde el cuadrado mayor negro es 512x512 y el resto se reduce 1/8 cada uno. No utilizar ctes en las sentencias de C, utilizar las macros **x_coor**, **y_coor**, **top** para indicar el valor inicial del **for** y la posición máxima (top) de las filas y columnas. Colores de los cuadrados: background (00-00-00)/(FF-00-FF)/(00-FF-FF)/(FF-FF-00)/
 5. - Módulo **bmp_funcion.c**: El bloque de código que realiza el bucle para inicializar los pixeles del cuadrado convertirlo en la función:
 - prototipo: *void pixels_generator(unsigned int x, unsigned int y, unsigned int maximo, RGB_data reg_mem[][top])*
 - x e y son el origen de coordenadas del cuadrado
 - maximo es la coordenada mayor del cuadrado
 - llamada a la función: *pixels_generator(xcoor,ycoor,top,buffer);*
 - ◊ los argumentos *xcoor=top/8*, *ycoor=top/8* y *top=512* definirlos mediante macros

19.6.2. Programación en ASM

1. - Módulo **bmp_as.c**: Implementar la función *void pixels_generator(unsigned int maximo, RGB_data reg_mem[][top])* desarrollando en lenguaje ensamblador la subrutina *pixels_generator* en el nuevo fichero **array_pixels.s**. El fichero en lenguaje ensamblador únicamente contendrá la subrutina.
 - La subrutina implementa el doble bucle.
 - De forma implícita en la propia subrutina consideraremos los argumentos *x=y=0*.
 - Azul, rojo y verde son las intensidades de todos los pixeles del cuadrado.

19.6.3. GDB

1. En el programa en **bmp_funcion.c** indicar la posición de la pila donde se salva la dirección de retorno de la subrutina **pixels_generator**, así como el contenido del frame pointer y del stack pointer.
2. Lo mismo que en el apartado anterior con el programa **bmp_as.c** para la subrutina *pixels_generator*

Parte VII

Hojas de Referencia Rápida

Capítulo 20

Programación Ensamblador AT&T x86

20.1. Programas x86-32

20.1.1. Programa Minimalista

20.1.1.1. Estructura del programa

- Una Cabecera y dos Secciones:
 - Cabecera con comentarios.
 - Sección de Datos: Se realiza la reserva de para implementar las variables inicializadas
 - Directiva `.section .data` ó únicamente `.data`
 - Sección de Instrucciones: Secuencia de instrucciones en lenguaje ensamblador
 - Directiva `.section .text` ó únicamente `.text`

20.1.1.2. Cabecera

- Cabecera con comentarios sobre:
 - Nombre del programa, lenguaje de programación.
 - Descripción del programa: entradas al programa, salidas, función del programa.
 - Entorno de programación: sistema operativo, assembler utilizado, comandos de compilación, ensamblaje, linker.
 - Comentarios sobre el autor, fecha, etc

20.1.1.3. Sección de Datos

- Directiva `.section .data` : indica el comienzo de la sección de datos
- Etiqueta `n` : reserva de memoria en la dirección simbólica `n`
- Directiva `.int` :reserva de 4 bytes a partir de la dirección `n`: direcciones `n,n+1,n+2,n+3`
- Literal `5` :valor de inicialización de la reserva de memoria

20.1.1.4. Sección de Instrucciones : punto de entrada y bloque de salida: llamada del sistema y llamada al sistema

- Directiva `.section .text` : indica el inicio de la sección de instrucciones.
- Sintaxis de las instrucciones en lenguaje AT&T :
 - etiqueta: operación operando_fuente,operando_destino #comentario
- Punto de entrada al programa desde el sistema operativo:
 - El SISTEMA Operativo llama al programa o aplicación.
 - Etiqueta `_start`: Apunta a la primera instrucción del programa.
 - Directiva `.global` : La etiqueta `_start` tiene que ser "visible" fuera del programa `sum1toN` para que el linker la enlace con el sistema operativo linux como punto de entrada, es decir, tiene que ser un símbolo *global* al resto de programas y no *local* al programa `sum1toN`. El linker `ld` por defecto presupone que el símbolo utilizado como etiqueta del punto de entrada es `_start`.
- Punto de salida del programa al sistema operativo:
 - Es necesario acabar con el proceso del programa `sum1toN` y liberar todos los recursos que este utilizando dicho proceso. Esta tarea de fin de proceso la tiene que realizar el sistema operativo o kernel linux.
 - El programa o aplicación llama al El SISTEMA Operativo.
 - El programa `sum1toN` llama al sistema operativo para realizar la operación de fin de proceso mediante la ejecución de la función `exit(argumento)` . El sistema operativo tiene un listado de posibles funciones que ejecuta si es llamado. Una de dichas funciones es `exit(argumento)`.
 - Llamada al Sistema Operativo en lenguaje ensamblador:
 - Registro EAX: almacena el código de la función a ejecutar por el Sistema Operativo. El código de la función `exit` es 1.
 - Registro EBX: almacena el código del argumento de la función `exit(argumento)`. El valor 0 se interpreta como ejecución del programa correcta.
 - Instrucción `int $0x80` : esta instrucción llama al sistema operativo, INTerrumpe al sistema operativo para que ejecute la función asociada al código almacenado en el registro EAX.
 - Programming from the Ground Up

20.1.1.5. Fin del ensamblaje

- Directiva `.end`

20.1.2. Ejemplo Básico

- Módulo fuente: `sum1toN.s`

```
### Programa: sum1toN.s
### Descripción: realiza la suma de la serie 1,2,3,...N
### Es el programa en lenguaje AT&T i386 equivalente a sum.ias de la máquina IAS de von Neumann
### gcc -m32 -g -nostartfiles -o sum1toN sum1toN.s
### Ensamblaje as --32 --gstabs sum1toN.s -o sum1toN.o
### linker -> ld -melf_i386 -o sum1toN sum1toN.o
    ## Declaración de variables
    .section .data
n:   .int 5
    .global _start
    ## Comienzo del código
    .section .text
_start:
    mov $0, %ecx # ECX implementa la variable suma
```

```

        mov n, %edx
bucle:
        add %edx, %ecx
        sub $1, %edx
        jnz bucle
        mov %ecx, %ebx # el argumento de salida al S.O. a través de EBX según convenio
        ## salida
        mov $1, %eax # código de la llamada al sistema operativo: subrutina exit
        int $0x80      # llamada al sistema operativo
        .end

```

- Compilación: gcc -nostartfiles -m32 -g -o sumltoN sumltoN.s
- Ensamblaje: as --32 --gstabs sumltoN.s -o sumltoN.o
- linker: ld -melf_i386 -o sumltoN sumltoN.o
- Directivas del traductor ensamblador: .section, .data, .text, .byte, .end, etc... empiezan con un punto como prefijo

| label: | op_mnemonic | operand_source | , | operand_destination | ;comment |
|--------|-------------|----------------|---|---------------------|----------|
|--------|-------------|----------------|---|---------------------|----------|

- Las etiquetas llevan el sufijo :
- La etiqueta **_start**: es el punto de entrada al programa. Obligatoria. La utiliza el linker.
- Sufijos de los mnemónicos
 - **b** → byte → 1Byte → Ej: movb
 - **w** → word → 2Bytes → Ej: movw . En este contexto word son 2 bytes por razones históricas.
 - **l** → long → 4Bytes → Ej: movl . Valor por defecto.
 - **q** → quad → 8Bytes → Ej: movq
- Direcciónamientos de los operandos:
 - En la misma instrucción los operandos fuente y destino no pueden hacer ambos referencia a la memoria Principal.
 - inmediato: prefijo del operando **\$**
 - registro: prefijo del registro **%**
 - directo: el operando es una etiqueta que apunta a la memoria principal
 - indirecto: el operando es una etiqueta o un registro: utiliza paréntesis. (etiqueta) ó (%registro). Ver indexado.
 - La etiqueta referencia una posición de memoria que contiene a su vez una dirección de la memoria principal que apunta al operando.
 - El registro contiene la dirección de la memoria principal que apunta al operando.
 - indexado
 - dirección efectiva: $base + index*scale + disp \rightarrow$ la sintaxis es: disp(base,índice,escala)
 - foo(%ebp,%esi,4) → dirección efectiva= $EBP + 4*ESI + foo$
 - (%edi) → dirección efectiva= $EDI \rightarrow$ direccionamiento indirecto
 - -4(%ebp) → dirección efectiva= $EBP - 4$
 - foo(%eax,4) → dirección efectiva= $4*EAX + foo$
 - foo(1) → dirección efectiva= foo
 - Cualquier instrucción que tiene una referencia a un operando en la memoria principal y no tiene una referencia a registro, debe especificar el tamaño del operando (byte, word, long, or quadruple) con una instrucción que lleve el sufijo ('b', 'w', 'l' or 'q', respectivamente).

20.2. Directivas Assembler AS

- Manual

- <https://sourceware.org/binutils/docs/as/>

Cuadro 20.1: Directivas básicas

| .global o .globl | variables globales |
|---------------------------------|---|
| .section .data | sección de las variables locales estáticas inicializadas |
| .section .text | sección de las instrucciones |
| .section .bss | sección de las variables sin inicializar |
| .section .rodata | sección de las variables de sólo lectura |
| .type name , type description | tipo de variable, p.ej @function |
| .common 100 | reserva 100 bytes sin inicializar y puede ser referenciado globalmente |
| .lcomm bucle, 100 | reserva 100bytes referenciados con el símbolo local bucle. Sin inicializar. |
| .space 100 | reserva 100 bytes inicializados a cero |
| .space 100, 3 | reserva 100 bytes inicializados a 3 |
| .string "Hola" | añade el byte 0 al final de la cadena |
| .asciz "Hola" | añade el byte 0 al final de la cadena |
| .ascii "Hola" | no añade le carácter NULL de final de cadena |
| .byte 3,7,-10,0b1010,0xFF,0777 | tamaño 1Byte y formatos decimal,decimal,decimal,binario,hexadecimal,octal |
| .2byte 3,7,-10,0b1010,0xFF,0777 | tamaño 2Bytes |
| .word 3,7,-10,0b1010,0xFF,0777 | tamaño 2Bytes |
| .short 3,7,-10,0b1010,0xFF,0777 | tamaño 2B |
| .4byte 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| .long 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| .int 3,7,-10,0b1010,0xFF,0777 | tamaño 4B |
| .8byte 3,7,-10,0b1010,0xFF,0777 | tamaño 8B |
| .quad 3,7,-10,0b1010,0xFF,0777 | tamaño 8B |
| .octa 3,7,-10,0b1010,0xFF,0777 | formato octal |
| .double 3.14159, 2 E-6 | precisión doble |
| .float 2E-6, 3.14159 | precisión simple |
| .single 2E-6 | precisión simple |
| .include "file" | incluye el fichero . Obligatorias las comillas. |
| .equ SUCCESS, 0 | macro que asocia el símbolo SUCCESS al número 0 |
| .macro macname macargs | define el comienzo de una macro de nombre macname y argumentos macargs |
| .endmacro | define el final de una macro |
| .align n | las instrucciones o datos posteriores empezarán en una dirección múltiplo de n bytes. |
| .end | fin del ensamblaje |

- Alineamiento **LittleEndian**: El byte de menor peso, LSB, se almacena en la posición de memoria más baja.
 - .int OxAABBCCDD → 0xDD se almacena primero en la dirección más baja, el resto de bytes se almacenan en sentido ascendente en el orden 0xCC,0xBB,0xAA

20.3. Repertorio de Instrucciones Ensamblador

- [Manuales del Repertorio de Instrucciones](#)
- Lenguaje Ensamblador AT&T

20.3.1. TRANSFERENCIA

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|-------------------------------|-----------------|---|-------------------|
| MOV | Mover (copiar) | MOV Fuente,Dest | Dest:=Fuente | |
| XCHG | Intercambiar | XCHG Op1,Op2 | Op1:=Op2 , Op2:=Op1 | |
| STC | Set the carry (Carry = 1) | STC | CF:=1 | 1 |
| CLC | Clear Carry (Carry = 0) | CLC | CF:=0 | 0 |
| CMC | Complementar Carry | CMC | CF:=Ø | ± |
| STD | Setear dirección | STD | DF:=1(interpreta strings de arriba hacia abajo) | 1 |
| CLD | Limpiar dirección | CLD | DF:=0(interpreta strings de abajo hacia arriba) | 0 |
| STI | Flag de Interrupción en 1 | STI | IF:=1 | 1 |
| CLI | Flag de Interrupción en 0 | CLI | IF:=0 | 0 |
| PUSH | Apilar en la pila | PUSH Fuente | DEC SP, [SP]:=Fuente | |
| PUSHF | Apila los flags | PUSHF | O, D, I, T, S, Z, A, P, C 286+: También NT,IOPL | |
| PUSHA | Apila los registros generales | PUSHA | AX, CX, DX, BX, SP, BP, SI, DI | |
| POP | Desapila de la pila | POP Dest | Destino:=[SP], INC SP | |
| POPF | Desapila a los flags | POPF | O,D,I,T,S,Z,A,P,C 286+: También NT,IOPL | ± ± ± ± ± ± ± ± |
| POPA | Desapila a los reg. general. | POPA | DI, SI, BP, SP, BX, DX, CX, AX | |
| CBW | Convertir Byte a Word | CBW | AX:=AL (con signo) | |
| CWD | Convertir Word a Doble | CWD | DX:AX:=AX (con signo) | |
| CWDE | Conv. Word a Doble Exten. | CWDE 386 | EAX:=AX (con signo) | |
| IN | Entrada | IN Dest,Puerto | AL/AX/EAX := byte/word/double del puerto esp. | |
| OUT | Salida | OUT Puer,Fuente | Byte/word/double del puerto := AL/AX/EAX | |

- Flags: ± =Afectado por esta instrucción, ? =Indefinido luego de esta instrucción

20.3.2. ARITMÉTICOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|---------------------------------|--------------------|--|-------------------|
| ADD | Suma | ADD Fuente,Dest | Dest:=Dest+ Fuente | ± ± ± ± ± ± |
| ADC | Suma con acarreo | ADC Fuente,Dest | Dest:=Dest+ Fuente +CF | ± ± ± ± ± ± |
| SUB | Resta | SUB Fuente,Dest | Dest:=Dest- Fuente | ± ± ± ± ± ± |
| SBB | Resta con acarreo | SBB Fuente,Dest | Dest:=Dest-(Fuente +CF) | ± ± ± ± ± ± |
| DIV | División (sin signo) | DIV Op | Op=byte: AL:=AX / Op AH:=Resto | ? ? ? ? ? ? |
| DIV | División (sin signo) | DIV Op | Op=word: AX:=DX:AX / Op DX:=Resto | ? ? ? ? ? ? |
| DIV | 386 División (sin signo) | DIV Op | Op=doublew.: EAX:=EDX:EAX / Op EDX:=Resto | ? ? ? ? ? ? |
| IDIV | División entera con signo | IDIV Op | Op=byte: AL:=AX / Op AH:=Resto | ? ? ? ? ? ? |
| IDIV | División entera con signo | IDIV Op | Op=word: AX:=DX:AX / Op DX:=Resto | ? ? ? ? ? ? |
| IDIV | 386 División entera con signo | IDIV Op | Op=doublew.: EAX:=EDX:EAX / Op EDX:=Resto | ? ? ? ? ? ? |
| MUL | Multiplicación (sin signo) | MUL Op | Op=byte: AX:=AL*Op si AH=0 # | ± ? ? ? ? ± |
| MUL | Multiplicación (sin signo) | MUL Op | Op=word: DX:AX:=AX*Op si DX=0 # | ± ? ? ? ? ± |
| MUL | 386 Multiplicación (sin signo) | MUL Op | Op=double: EDX:EAX:=EAX*Op si EDX=0 # | ± ? ? ? ? ± |
| IMUL | i Multiplic. entera con signo | IMUL Op | Op=byte: AX:=AL*Op si AL es suficiente # | ± ? ? ? ? ± |
| IMUL | Multiplic. entera con signo | IMUL Op | Op=word: DX:AX:=AX*Op si AX es suficiente # | ± ? ? ? ? ± |
| IMUL | 386 Multiplic. entera con signo | IMUL Op | Op=double: EDX:EAX:=EAX*Op si EAX es sufi. # | ± ? ? ? ? ± |
| INC | Incrementar | INC Op | Op:=Op+1 (El Carry no resulta afectado !) | ± ± ± ± ± |
| DEC | Decrementar | DEC Op | Op:=Op-1 (El Carry no resulta afectado !) | ± ± ± ± ± |
| CMP | Comparar | CMP Fuente,Destino | Destino-Fuente | ± ± ± ± ± ± |
| SAL | Desplazam. aritm. a la izq. | SAL | Op,Cantidad | i ± ± ? ± ± |
| SAR | Desplazam. aritm. a la der. | SAR | Op,Cantidad | i ± ± ? ± ± |
| RCL | Rotar a la izq. c/acarreo | RCL Op,Cantidad | | i ± |
| RCR | Rotar a la derecha c/acarreo | RCR Op,Cantidad | | i ± |
| ROL | Rotar a la izquierda | ROL Op,Cantidad | | i ± |
| ROR | Rotar a la derecha | ROR Op,Cantidad | | |

- i:para más información ver especificaciones de la intrucción,
- #:entonces CF:=0, OF:=0 sino CF:=1, OF:=1

20.3.3. LÓGICOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|--------------------------------|-----------------|---|-------------------|
| NEG | Negación (complemento a 2) | NEG Op | Op:=0-Op si Op=0 entonces CF:=0 sino CF:=1 | ± ± ± ± ± ± |
| NOT | Invertir cada bit | NOT Op | Op:=Ø~Op (invierte cada bit) | |
| AND | Y (And) lógico | AND Fuente,Dest | Dest:=Dest ^ Fuente | 0 ± ± ? ± 0 |
| OR | O (Or) lógico | OR Fuente,Dest | Dest:=Dest v Fuente | 0 ± ± ? ± 0 |
| XOR | O (Or) exclusivo | XOR Fuente,Dest | Dest:=Dest (xor) Fuente | 0 ± ± ? ± 0 |
| SHL | Desplazam. lógico a la izq. | SHL Op,Cantidad | | i ± ± ? ± ± |
| SHR | Desplazam. lógico a la der. | SHR Op,Cantidad | | i ± ± ? ± ± |

20.3.4. MISCELÁNEOS

| Nombre | Comentario | Código | Operación | O D I T S Z A P C |
|--------|------------------------------|-----------------|---|-------------------|
| NOP | Hacer nada | NOP | No hace operación alguna | |
| LEA | Cargar dirección Efectiva | LEA Fuente,Dest | Dest := dirección fuente | |
| INT | Interrupción | INT Num | Interrumpe el proceso actual y salta al vector Num | 0 0 |

20.3.5. SALTOS (generales)

- wiki x86 assembly

| Nombre | Comentario | Código | Operación |
|--------|-----------------------------|----------------|-----------|
| CALL | Llamado a subrutina | CALL Proc | |
| JMP | Saltar | JMP Dest | |
| JE | Saltar si es igual | JE Dest | (= JZ) |
| JZ | Saltar si es cero | JZ Dest | (= JE) |
| JCXZ | Saltar si CX es cero | JCXZ Dest | |
| JP | Saltar si hay paridad | JP Dest | (= JPE) |
| JPE | Saltar si hay paridad par | JPE Dest | (= JP) |
| JPO | Saltar si hay paridad impar | JPO Dest | (= JNP) |
| JNE | Saltar si no es igual | JNE Dest | (= JNZ) |
| JNZ | Saltar si no es cero | JNZ Dest | (= JNE) |
| JECXZ | Saltar si ECX es cero | JECXZ Dest 386 | |
| JNP | Saltar si no hay paridad | JNP Dest | (= JPO) |
| RET | Retorno de subrutina | RET | |

20.3.6. SALTOS Sin Signo (Cardinal) SALTOS Con Signo (Integer)

| Nombre | Comentario | Código | Operación |
|--------|--------------------------------|-----------|------------------------|
| JA | Saltar si es superior | JA Dest | (= JNBE) |
| JAE | Saltar si es superior o igual | JAE Dest | (= JNB = JNC) |
| JB | Saltar si es inferior | JB Dest | (= JNAE = JC) |
| JBE | Saltar si es inferior o igual | JBE Dest | (= JNA) |
| JNA | Saltar si no es superior | JNA Dest | (= JBE) |
| JNAE | Saltar si no es super. o igual | JNAE Dest | (= JB = JC) |
| JNB | Saltar si no es inferior | JNB Dest | (= JAE = JNC) |
| JNBE | Saltar si no es infer. o igual | JNBE Dest | (= JA) |
| JC | Saltar si hay carry | JC Dest | Saltar si hay Overflow |

| | | | |
|------|---------------------------------|-----------|----------|
| JNC | Saltar si no hay carry | JNC Dest | |
| JNO | Saltar si no hay Overflow | JNO Dest | |
| JS | Saltar si hay signo (=negativo) | JS Dest | |
| JG | Saltar si es mayor | JG Dest | (= JNLE) |
| JGE | Saltar si es mayor o igual | JGE Dest | (= JNL) |
| JL | Saltar si es menor | JL Dest | (= JNGE) |
| JLE | Saltar si es menor o igual | JLE Dest | (= JNG) |
| JNG | Saltar si no es mayor | JNG Dest | (= JLE) |
| JNGE | Saltar si no es mayor o igual | JNGE Dest | (= JL) |
| JNL | Saltar si no es inferior | JNL Dest | (= JGE) |
| JNLE | Saltar si no es menor o igual | JNLE Dest | (= JG) |

20.3.7. FLAGS (ODITSZAPC)

O: Overflow resultado de operac. sin signo es muy grande o pequeño.
D: Dirección
I: Interrupción Indica si pueden ocurrir interrupciones o no.
T: Trampa Paso, por paso para debugging
S: Signo Signo del resultado. Razonable sólo para enteros. 1=neg. 0=positivo.
Z: Cero Resultado de la operación es cero. 1=Cero
A: Carru Aux. Similar al Carry, pero restringido para el nibble bajo únicamente
P: Paridad 1=el resultado tiene cantidad par de bits en uno
C: Carry resultado de operac. sin signo es muy grande o inferior a cero

- Sufijos de los mnemónicos del código de operación:

- *q* : quad: operando de 8 bytes: cuádruple palabra
- *l* : long: operando de 4 bytes: doble palabra
- *w* : word: operando de 2 bytes: palabra
- *b* : byte: operando de 1 byte

- Si el mnemónico de operación no lleva sufijo el tamaño por defecto del operando es *long*

20.4. Registros

20.4.1. Visión completa

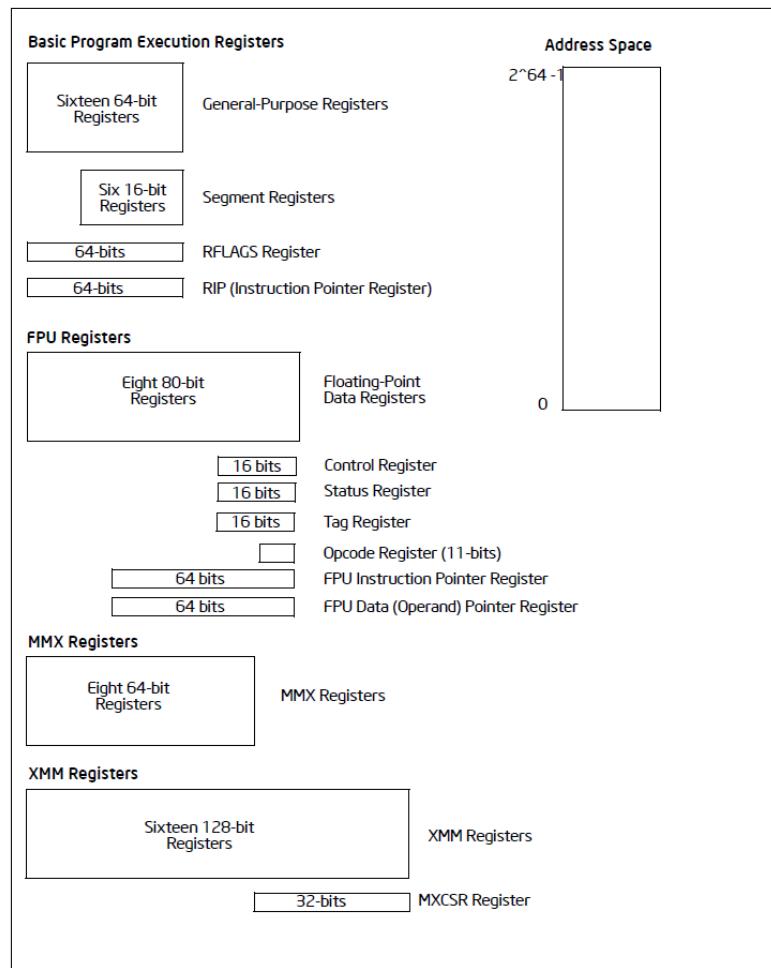


Figure 3-2. 64-Bit Mode Execution Environment

- Los registros de propósito general RPG de 32 bits son:

- ‘%eax’ (el acumulador), ‘%ebx’, ‘%ecx’, ‘%edx’, ‘%edi’, ‘%esi’, ‘%ebp’ (puntero frame), and ‘%esp’ (puntero stack).

| register encoding | | | | | | low 8-bit | 16-bit | 32-bit | 64-bit |
|-------------------|--|--|-------|----|--|-----------|--------|--------|--------|
| 0 | | | AH* | AL | | AX | EAX | RAX | |
| 3 | | | BH* | BL | | BX | EBX | RBX | |
| 1 | | | CH* | CL | | CX | ECX | RCX | |
| 2 | | | DH* | DL | | DX | EDX | RDX | |
| 6 | | | SIL** | | | SI | ESI | RSI | |
| 7 | | | DIL** | | | DI | EDI | RDI | |
| 5 | | | BPL** | | | BP | EBP | RBP | |
| 4 | | | SPL** | | | SP | ESP | RSP | |
| 8 | | | R8B | | | R8W | R8D | R8 | |
| 9 | | | R9B | | | R9W | R9D | R9 | |
| 10 | | | R10B | | | R10W | R10D | R10 | |
| 11 | | | R11B | | | R11W | R11D | R11 | |
| 12 | | | R12B | | | R12W | R12D | R12 | |
| 13 | | | R13B | | | R13W | R13D | R13 | |
| 14 | | | R14B | | | R14W | R14D | R14 | |
| 15 | | | R15B | | | R15W | R15D | R15 | |

63 32_31 16_15 8_7 0

| | |
|----|-------|
| 0 | |
| 63 | 32_31 |
| | 0 |

RFLAGS ST3-309.eps
RIP

* Not addressable when a REX prefix is used.
** Only addressable when a REX prefix is used.

Figure 2-3. General Registers in 64-Bit Mode

20.4.2. Registros visibles al programador

| 63-0 | 31-0 | 15-0 | 15-8 | 7-0 |
|------|------|------|------|------|
| rax | eax | ax | ah | al |
| rbx | ebx | bx | bh | bl |
| rcx | ecx | cx | ch | cl |
| rdx | edx | dx | dh | dl |
| rsi | esi | si | | sil |
| rdi | edi | di | | dil |
| rbp | ebp | bp | | bpl |
| rsp | esp | sp | | spl |
| r8 | r8d | r8w | | r8b |
| r9 | r9d | r9w | | r9b |
| r10 | r10d | r10w | | r10b |
| r11 | r11d | r11w | | r11b |
| r12 | r12d | r12w | | r12b |
| r13 | r13d | r13w | | r13b |
| r14 | r14d | r14w | | r14b |
| r15 | r15d | r15w | | r15b |

20.4.3. Compatibilidad 32-64

- En la nominación de los registros de la arquitectura de 64 bits sustituir R por E y obtenemos la nominación de la arquitectura de 32 bits.

| 64 bits | 32 bits |
|---------|---------|
| RIP | EIP |
| RAX | EAX |
| RFLAG | EFLAG |
| | |

- Hay excepciones

20.4.4. Control Flag Register

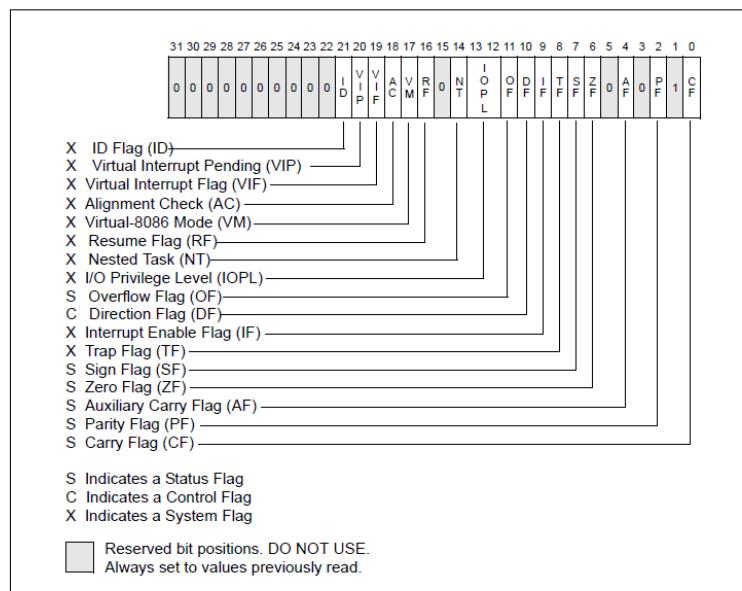


Figure 3-8. EFLAGS Register

- Registro de STATUS: La ejecución de una instrucción, activa unos bits denominados banderines que indican consecuencias de la operación realizada. Ejemplo: banderín de overflow : indica que la operación aritmética realizada ha resultado en un desbordamiento del resultado de dicha operación.
- [wikipedia](#)
- Únicamente nos fijamos en los flags OSZAPC.

Cuadro 20.2: RFLAG Register

| Flag | Bit | Name |
|------|-----|---------------|
| CF | 0 | Carry flag |
| PF | 2 | Parity flag |
| AF | 4 | Adjust flag |
| ZF | 6 | Zero flag |
| SF | 7 | Sign flag |
| OF | 11 | Overflow flag |

- Carry flag:

- se activa si la llevada se sale del ancho de palabra de la ALU en una operación aritmética de números enteros sin signo o con signo

- Overflow flag:

- se activa si teniendo en cuenta el bit de mayor peso MSB (aunque este fuera del tamaño) indica error en la operación aritmética con números enteros con signo.

- Parity Even flag:

- indica si el número de bits del byte LSB del resultado de la última operación ha sido par.

- Sign flag:

- se activa si el resultado de la última operación ha sido negativo.

- Adjust flag:

- se activa si hay llevada en el nibble LSB del resultado de la última operación

GDB QUICK REFERENCE GDB Version 5

Essential Commands

| | |
|---------------------------------|---|
| <code>gdb program [core]</code> | debug program [using coredump core] |
| <code>b [file:]function</code> | set breakpoint at function [in file] |
| <code>run [arglist]</code> | start your program [with arglist] |
| <code>bt</code> | backtrace: display program stack |
| <code>p expr</code> | display the value of an expression |
| <code>c</code> | continue running your program |
| <code>n</code> | next line, stepping over function calls |
| <code>s</code> | next line, stepping into function calls |

Starting GDB

| | |
|-------------------------------|---|
| <code>gdb</code> | start GDB, with no debugging files |
| <code>gdb program</code> | begin debugging program |
| <code>gdb program core</code> | debug coredump core produced by program |
| <code>gdb --help</code> | describe command line options |

Stopping GDB

| | |
|------------------------|--|
| <code>quit</code> | exit GDB; also q or EOF (eg C-d) |
| <code>INTERRUPT</code> | (eg C-c) terminate current command, or send to running process |

Getting Help

| | |
|---------------------------|---|
| <code>help</code> | list classes of commands |
| <code>help class</code> | one-line descriptions for commands in class |
| <code>help command</code> | describe command |

Executing your Program

| | |
|--|--|
| <code>run arglist</code> | start your program with arglist |
| <code>run</code> | start your program with current arguments |
| <code>run ... <inf>>outf</code> | start your program with input, output redirected |
| <code>kill</code> | kill running program |
| <code>tty dev</code> | use dev as stdin and stdout for next run |
| <code>set args arglist</code> | specify arglist for next run |
| <code>set args</code> | specify empty argument list |
| <code>show args</code> | display argument list |
| <code>show env</code> | show all environment variables |
| <code>show env var</code> | show value of environment variable var |
| <code>set env var string</code> | set environment variable var |
| <code>unset env var</code> | remove var from environment |

Shell Commands

| | |
|------------------------|--|
| <code>cd dir</code> | change working directory to dir |
| <code>pwd</code> | Print working directory |
| <code>make ...</code> | call "make" |
| <code>shell cmd</code> | execute arbitrary shell command string |

[] surround optional arguments ... show one or more arguments

©1998, 2000, 2010 Free Software Foundation, Inc. Permissions on back 1

Breakpoints and Watchpoints

| | |
|---|--|
| <code>break [file:]line</code> | set breakpoint at line number [in file] eg: <code>break main.c:37</code> |
| <code>break [file:]func</code> | set breakpoint at func [in file] |
| <code>break +offset</code> | set break at offset lines from current stop |
| <code>break -offset</code> | |
| <code>break *addr</code> | set breakpoint at address addr |
| <code>break</code> | set breakpoint at next instruction |
| <code>break ... if expr</code> | break conditionally on nonzero expr |
| <code>cond n [expr]</code> | new conditional expression on breakpoint n; make unconditional if no expr |
| <code>tbreak ...</code> | temporary break; disable when reached |
| <code>rbreak [file:]regex</code> | break on all functions matching regex [in file] |
| <code>watch expr</code> | set a watchpoint for expression expr |
| <code>catch event</code> | break at event, which may be catch, throw, exec, fork, vfork, load, or unload. |
| <code>info break</code> | show defined breakpoints |
| <code>info watch</code> | show defined watchpoints |
| <code>clear</code> | delete breakpoints at next instruction |
| <code>clear [file:]fun</code> | delete breakpoints at entry to fun() |
| <code>clear [file:]line</code> | delete breakpoints on source line |
| <code>delete [n]</code> | delete breakpoints [or breakpoint n] |
| <code>disable [n]</code> | disable breakpoints [or breakpoint n] |
| <code>enable [n]</code> | enable breakpoints [or breakpoint n] |
| <code>enable once [n]</code> | enable breakpoints [or breakpoint n]; disable again when reached |
| <code>enable del [n]</code> | enable breakpoints [or breakpoints n]; delete when reached |
| <code>ignore n count</code> | ignore breakpoint n, count times |
| <code>commands n [silent] command-list</code> | execute GDB command-list every time breakpoint n is reached. [silent suppresses default display] |
| <code>end</code> | end of command-list |

Program Stack

| | |
|--------------------------------|---|
| <code>backtrace [n]</code> | print trace of all frames in stack; or of n frames—innermost if n>0, outermost if n<0 |
| <code>bt [n]</code> | select frame number n or frame at address n; if no n, display current frame |
| <code>frame [n]</code> | select frame n frames up |
| <code>up n</code> | select frame n frames down |
| <code>down n</code> | describe selected frame, or frame at addr |
| <code>info frame [addr]</code> | arguments of selected frame |
| <code>info args</code> | local variables of selected frame |
| <code>info locals</code> | |
| <code>info reg [rn]...</code> | register values [for regs rn] in selected frame; all-reg includes floating point |
| <code>info all-reg [rn]</code> | |

Execution

| | |
|-------------------------------|--|
| <code>continue [count]</code> | |
| <code>stop [count]</code> | |
| <code>s [count]</code> | |
| <code>stepi [count]</code> | |
| <code>si [count]</code> | |
| <code>next [count]</code> | |
| <code>n [count]</code> | |
| <code>nexti [count]</code> | |
| <code>ni [count]</code> | |
| <code>until [location]</code> | |
| <code>finish</code> | |
| <code>return [expr]</code> | |
| <code>signal num</code> | |
| <code>jump line</code> | |
| <code>jump *address</code> | |
| <code>set var=expr</code> | |

Display

| | |
|--------------------------------|--|
| <code>print [/f] [expr]</code> | |
| <code>p [/f] [expr]</code> | |
| <code>x</code> | |
| <code>d</code> | |
| <code>u</code> | |
| <code>o</code> | |
| <code>t</code> | |
| <code>a</code> | |
| <code>c</code> | |
| <code>f</code> | |
| <code>call [/f] expr</code> | |
| <code>x [/Nuf] expr</code> | |
| <code>N</code> | |
| <code>u</code> | |

| | |
|------------------------------|--|
| <code>disassem [addr]</code> | |
| <code>display [/f]</code> | |
| <code>display</code> | |
| <code>undisplay</code> | |
| <code>info display</code> | |

| | |
|---------------------------|--|
| <code>display disp</code> | |
| <code>enable disp</code> | |
| <code>info display</code> | |
| <code>display n</code> | |
| <code>info display</code> | |

| Source File | |
|-------------------|---|
| dir names | dir |
| dir | show dir |
| list | list |
| list - | list lines |
| [file:]num | \$n |
| [file:]func | \$s |
| +off | \$S |
| -off | \$Ss |
| list f,l | \$Ss |
| info line nu | \$var |
| info source | show values [n] |
| info sources | show conv |
| forw regex | |
| rev regex | |
| GDB und | |
| M-x gdb | Symbol Table |
| C-h m | info address s |
| M-s | show where symbol s is stored |
| M-n | info func [regex] |
| M-i | show names, types of defined functions (all, or matching regex) |
| C-c C-f | info var [regex] |
| M-c | show names, types of global variables (all, or matching regex) |
| M-e | whatis [expr] |
| M-d | show data type of expr [or \$] without evaluating; ptype gives more detail |
| C-z & | ptype [expr] |
| C-z SPC | ptype type |
| | |
| GDB Lic | |
| show copying | GDB Scripts |
| show warrant | source script |
| | read, execute GDB commands from file script |
| | define cmd |
| | create new GDB command cmd; execute script defined by command-list |
| | command-list |
| | end |
| | document cmd |
| | create online documentation for new GDB command cmd |
| | help-text |
| | end of help-text |
| Signals | |
| handle signal act | specify GDB actions for signal: |
| print | announce signal |
| noprint | be silent for signal |
| stop | halt execution on signal |
| nostop | do not halt execution |
| pass | allow your program to handle signal |
| nopass | do not allow your program to see signal |
| info signals | show table of signals, GDB action for each |
| Debugging Targets | |
| target type param | connect to target machine, process, or file |
| help target | display available targets |
| attach param | connect to another process |
| detach | release target from GDB control |
| Working Files | |
| file [file] | use file for both symbols and executable; with no arg, discard both |
| core [file] | read file as coredump; or discard |
| exec [file] | use file as executable only; or discard |
| symbol [file] | use symbol table from file; or discard |
| load file | dynamically link file and add its symbols |
| add-sym file addr | read additional symbols from file, dynamically loaded at addr |
| info files | display working files and targets in use |
| path dirs | add dirs to front of path searched for executable and symbol files |
| show path | display executable and symbol file path |
| info share | list names of shared libraries currently loaded |

Copyright © 2003 Free Software Foundation, Inc.
The author assumes no responsibility for any errors which may appear in this manual.
This card may be reproduced and given away freely.
Please contribute improvements to the GDB source code.
GDB itself is free software; it is under the terms of the General Public License.

20.5. GDB

- Comandos básicos: ejecutar el comando gdb

```
shell date
shell pwd
shell ls
shTAB
shell daTAB
C-x a
C-x o
histórico comandos: navegar con las flechas
set trace-commands on
set logging file gdb_salida.txt
set logging on
shell ls -l gdb_salida.txt
file modulo_bin
info sources
info source
break main
b _start
info breakpoints
info reTAB
run
next , n , n 5
step , s
RETURN
continue, c
start
until, RETURN, RETURN ...
next instruction, ni, RET, RET, RET, RET, until, RET,..hasta salir del bucle
step ,s
si
ptype variable
whatis variable
print variable, p variable, p /t variable, p /x n
p &n
p $rax
p $eax
p $ax
p $ah
p $rflags
p $eflags
p /t $eflags
p $rip
x dirección
x &variable, x /1bw &variable, +x /1xw &variable, x /4xw &variable
pending? n
layout split
h layout
layout src
focus src : navegar
focus cmd : navegar
info registers
info reTAB
disas /r _start
disas /m _start
q
```

Parte VIII

Bibliografía

20.6. Arquitectura de Computadores

- [1] [WS_es] William Stallings. Organización y arquitectura de computadores . Edición 7, reimpress Pearson Prentice Hall ISBN 8489660824, 9788489660823 . 2006
- [2] [WS_en] William Stallings.Computer Organization and Architecture: Designing for Performance. 9^a Ed Upper Saddle River (NJ) : Prentice Hall, 2013 ISBN 0-273-76919-7 . 2012
- [3] [Randal_Bryant] Randal E. Bryant, David R. O'Hallaron. Computer Systems: A Programmer's Perspective. Addison-Wesley. 2nd Edition. 2010.
- [4] [Patt_Henn]David A. Patterson, John L. Hennessy. Computer Organization and Design. The Hardware / Software Interface. Morgan Kaufmann. 2009.
- [5] [MoMano] Computer System Architecture, Morris Mano.

20.7. x86

- [6] [FLAGS] https://en.wikipedia.org/wiki/FLAGS_register

20.8. Programación Ensamblador

- [7] [PGU] Programming from the Ground Up Jonathan Bartlett Edited by Dominick Bruno, Jr. Copyright © 2003 by Jonathan Bartlett Published by Bartlett Publishing in Broken Arrow, Oklahoma ISBN 0-9752838-4-7
- [8] [ATT] Oracle AT&T language
- [9] [WikiBook] Apuntes WikiBook:x86 Assembly: AT&T
- [10] [NASM_tuto] Tutorial NASM tutorials point
- [11] [NASM_bristol] Apuntes Bristol Community College: Prog. NASM
- [12] [i386] i386 (32 bits)
- [13] [A64] amd64 (64 bits)
- [14] [IAL] Intel asm language: Intel oficial Vol 1 Basic Architecture
- [15] [AMD] AMD oficial. Vol 3. 2.3 Summary of Registers and Data Types
- [16] [paul_carter] Paul Carter PC Assembly Language. Acceso libre. 2006.: Netwide Assembler NASM, Intel language
- [17] [j_duntemann] Jeff Duntemann. Assembly Language Step-by-Step: Programming with Linux. Wiley Ed. 3rd Edition. 2009.
- [18] [irvine] Kip R. Irvine. Assembly Language for x86 Processors. Pearson. 6th Edition. 2014.

20.9. Documentos de Programación de Bajo Nivel

- [19] [ABI_i386] ABI i386
- [20] [ms_llamada] Convención de llamada MicroSoft

20.10. Lenguaje de Programación C

[21] [c_king] **K.N.King** C programming, a Modern Approach W.W. Norton 2^aEd. 2008.

20.11. Herramientas de Desarrollo de Programas

[22] [I386]**AS i386**: syntax, mnemonics, register

[23] [GNU] **GNU Software Development**

[24] [GAS] **GNU ASsembler**

[25] [GDB] **debugger GDB**

[26] [GCC] **Compilador GCC**

[27] [CPP] **Preprocessor cpp**

[28] [BiU] **herramientas GNU binutils:as,ld,objdump,...**

[29] [VIM] **Vim**

[30] [EMACS] **Emacs**

20.12. Artículos

[31] [jvn] **linuxvoice**

[32] [w_uni] **wisconsin university RTL**

Parte IX

Glosario

Primer término

The corresponding (indented) definition.

Segundo término

The corresponding (indented) definition.

Parte X

Apéndices

Apéndice A

Lenguajes de programación para sum1toN

A.1. Otros Lenguajes para sum1toN

- Refs
 - <http://wiki.c2.com/?ArraySumInManyProgrammingLanguages>
 - https://www.rosettacode.org/wiki/Sum_and_product_of_an_array#With_explicit_conversion

- Desarrollar el algoritmo sum1toN en : Lisp, Python, Java, C, Pascal, ...

- elisp

```
(setq array [1 2 3 4 5])
(apply '+ (append array nil))
(apply '* (append array nil))
```

- Phyton

```
>>> sum(range(5,0,-1))
```

- Java

```
/* Programa Fuente: sumltoN.java

compilación: javac sumltoN.java -> genera el BYTECODE sumltoN.class
ejecución -> java -cp . sumltoN ; necesita el bytecode *.class y ejecutará el main de ↵
class

*/
public class sumltoN {
// método main encapsulado en la clase class, static para que main no pueda cambiar los ↵
atributos, publico para ser accesible.
    public static void main(String[] args) {
        System.out.println("Suma de Números enteros");
        int x=5, suma=0;

        while (x >= 0 ) {
            System.out.print( x );
            System.out.print(", ");
            suma=suma+x;
            x--;
        }
    }
}
```

```

        System.out.print("\n");
        System.out.print("suma="+suma);
        System.out.print("\n");
    }
}

```

■ C

```

/*
Programa: sumltoN.c
Descripción: realiza la suma de la serie 1,2,3,...N
Es el programa en lenguaje C equivalente a sumltoN.ias de la máquina IAS ↔
de von Neumann

Lenguaje: C99
Descripción: Suma de los primeros 5 números naturales
Entrada: Definida en una variable
Salida: Sin salida
Compilación: gcc -m32 -g -o sumltoN sumltoN.c → -g: módulo binario depurable
            → -m: módulo binario arquitectura x86 ↔
            -32 bits

S.O:      GNU/linux 4.10 ubuntu 17.04 x86-64
Librería: /usr/lib/x86_64-linux-gnu/libc.so
CPU:       Intel(R) Core(TM) i5-6300U CPU @ 3.0GHz
Compilador: gcc version 6.3
Ensamblador: GNU assembler version 2.28
Linker/Loader: GNU ld (GNU Binutils for Ubuntu) 2.28
Asignatura: Estructura de Computadores
Fecha:    20/09/2017
Autor:    Cándido Aramburu
*/

```

```

#include <stdio.h> // cabecera de la librería de la función printf()

// función de entrada al programa
void main (void)
{
    // Declaración de variables locales
    char suma=0;
    char n=0b101;
    // bucle
    while(n>0){
        suma+=n;
        n--;
    }
    printf("\n La suma es = %d \n", suma);
}

```

■ Lenguaje ensamblador intel y assembler nasm

```

;;; Programa: sumltoN.asm
;;; Descripción: realiza la suma de la serie 1,2,3,...N
;;; Lenguaje INTEL
;;; Assembler NASM

;;; nasm -hf -> ayuda de la opción f
;;; Ensamblaje nasm -g -f elf sumltoN.asm -o sumltoN.o
;;; linker -> ld -m elf_i386 -o sumltoN sumltoN.o

        BITS 32 ; cpu MODE
        ;; Declaración de variables
        section .data

```

```
n:      dd 5      ; 4 bytes

        global _start

        ;; Comienzo del código
        section .text
_start:
        mov ecx,0 ; ECX implementa la variable suma
        mov edx,[n] ; EDX implementa es un alias de la variable n
bucle:
        add ecx,edx
        sub edx,1
        jnz bucle

        mov ebx, ecx ; el argumento de salida al S.O. a través de EBX según convenio

        ;; salida
        mov eax,1 ; código de la llamada al sistema operativo: subrutina exit
        int 0x80    ; llamada al sistema operativo
```

Apéndice B

RTL: Register Transfer Language

B.1. Lenguaje RTL

B.1.1. Introducción

- Lenguaje de descripción de INSTRUCCIONES: Register Transfer Language (RTL)
- El lenguaje RTL tiene como objetivo poder expresar las instrucciones que ejecuta la CPU como sumar(ADD),restar(SUB),mover(MOV) etc. La descripción se realiza a nivel de transferencia de datos entre *registros* internos de la CPU o entre registros internos y la memoria externa.
- El lenguaje RTL , mediante símbolos interpretables por el programador, permite describir su comportamiento a nivel hardware y así definir el diseño de la arquitectura de una máquina.
- Los *registros* son el elemento fundamental de memoria en la ruta de los datos e instrucciones entre las distintas unidades básicas de la computadora. Un registro es un circuito digital que almacena, memoriza, un dato.
- La ruta de los datos está formada por los buses y los elementos (*registros*, multiplexores, switches, contadores, etc) que se conectan a través de los buses
 - Ejemplo: ruta de un dato desde una posición de la memoria principal hacia los registros de operando de la ALU.
 - Concepto de buffer: etapa intermedia de memoria en la ruta de los datos.
- La ejecución de las instrucciones que ejecuta la CPU implica la transferencia de datos a través de los registros de la ruta de datos.



atención

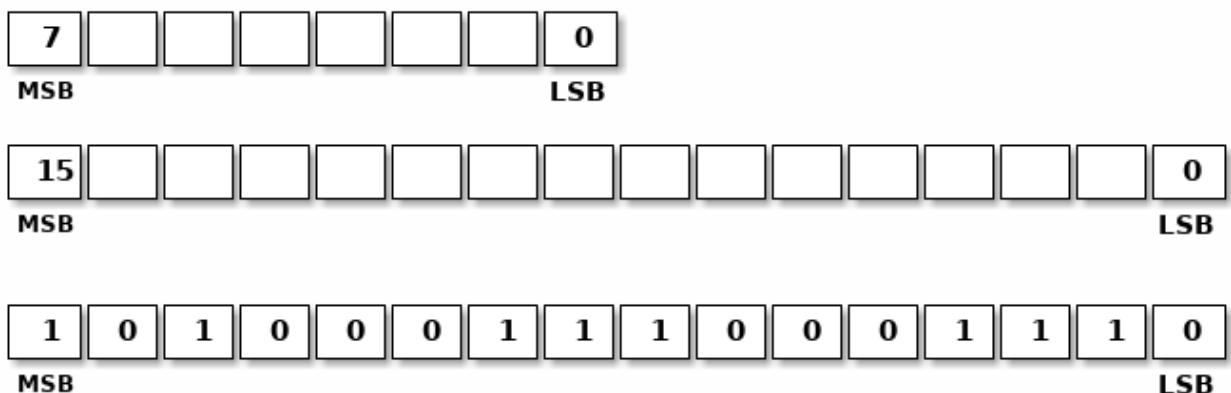
No confundir el RTL (Register Transfer Language) con el RTL (Register Transfer Level). El Register Transfer Level es utilizado por los lenguajes de descripción de HARDWARE (Hardware Description Language HDL)

B.1.2. Registros

B.1.2.1. Arquitectura

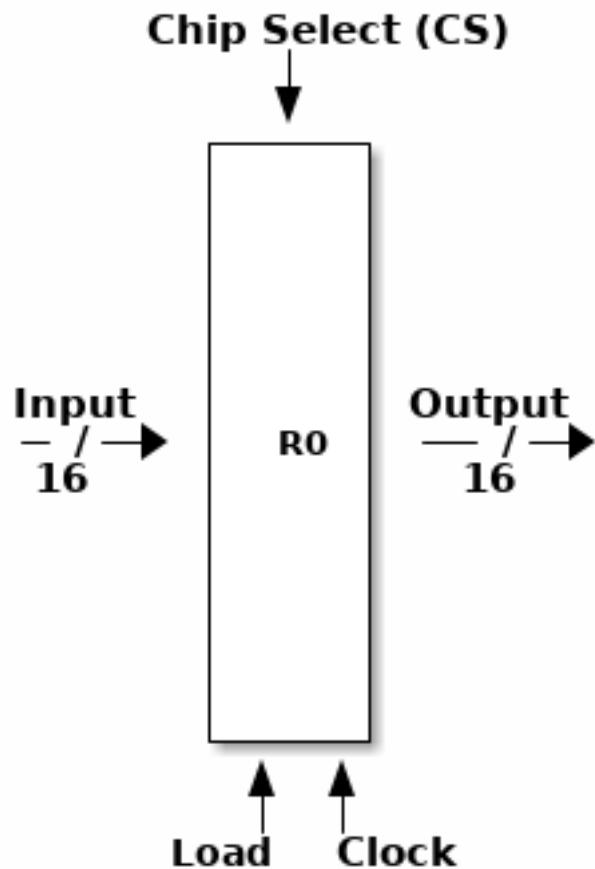
- La arquitectura de un registro comprende su funcionalidad y la estructura su implementación
- Los registros:
 - *almacenan* una palabra formada por una secuencia de bits.

- son una array de celdas en una dimensión, donde cada celda almacena un bit.
- Su tamaño normalmente es un múltiplo de 8 bytes y recibe un nombre.
 - 8 bits: 1 Byte
 - 16 bits: Word. Por razones históricas.(recordad que el tamaño de una palabra en otro contexto depende de la máquina de que se trate)
 - 32 bits: double word
 - 64 bits: quad word
- Las celdas se enumeran empezando por cero.
 - LSB: Least Significant Bit es el bit de menor peso
 - MSB: Most Significant Bit es el bit de mayor peso

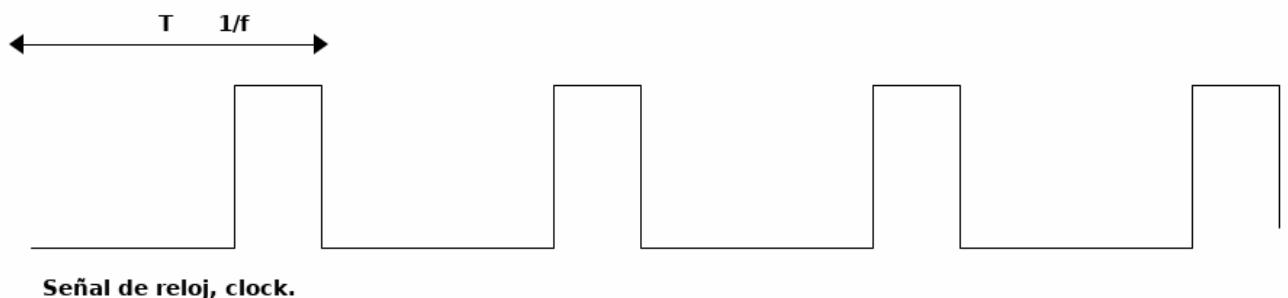


B.1.2.2. Estructura

- La estructura del registro es la implementación de su funcionalidad
- Cada bit del dato a registrar se almacena en una celda con capacidad de memoria. Las celdas de un registro se implementan con un circuito digital denominado flip-flop. Cada flip-flop almacena un bit.



- El registro está conectado al mundo exterior mediante buses: bus de entrada y bus de salida
- CS: Chip Select : conecta la salida interna del registro R0 al bus de salida → Operación de lectura del registro
- Load: Si la señal está activa se ordena la carga del valor del bus de entrada en el registro R0, se registra el dato de entrada. Operación de escritura en el registro.
- Clock: señal digital binaria periódica.
- La carga es síncrona con la señal de reloj clock CLK. El sincronismo se produce en los flancos positivos \downarrow o negativos



B.1.3. Símbolos

- Los nombres de los registros se expresan mediante mayúsculas

- PC: Program Counter
- IR: Instruction Register
- R2: Registro 2
- Secciones de un registro
 - PC(L) : Byte de menor peso del registro contador de programa
 - PC(H) : Byte de mayor peso del registro contador de programa
 - PC(7:0): Secuencia de bits de la posición cero hasta la posición séptima del registro contador de programa.

B.1.4. Sentencias RTL

B.1.4.1. Operaciones y Sentencias RTL

- En lenguaje RTL entendemos por sentencia una expresión que implica realizar operaciones con los registros.
- Operaciones RTL:
 - transferencias entre registros, suma del contenido de dos registros, invertir el contenido de un registro, etc

B.1.4.2. Microoperación

- MICROoperaciones: operaciones realizadas por el MICROprocesador internamente, al ejecutar una Instrucción Máquina.
 - Ejemplos: escribir en un registro, orden de lectura a la M.Principal, leer de un registro, Decodificar una instrucción, incrementar un contador, sumar (microordenes al circuito sumador), desplazamiento de los bits de un registro, lógica AND, etc...
- La operación de escribir en un registro o leer en un registro para la CPU es una microoperación.

B.1.4.3. Transferencia entre registros

- Operador transferencia \leftarrow
- Sentencia transferencia: $R2 \leftarrow R1$
 - A R1 se le llama registro fuente y a R2 registro destino
 - Copiamos el contenido del registro R1 en el registro R2

B.1.4.4. Sentencia Condicional

- If ($K1=1$) then $R2 \leftarrow R1$
 - $K1:R2 \leftarrow R1$
 - La transferencia o copia se realiza únicamente si $K1$ es verdad es decir $K1$ vale el valor lógico 1.

B.1.4.5. Sentencia Concurrente

- Operador coma
- $K3:R2 \leftarrow R1, R3 \leftarrow R1$
 - Si $K3$ es verdad el contenido de $R1$ se copia en $R2$ y $R3$

B.1.4.6. Referencia a la Memoria Principal

- Se utilizan los corchetes y el símbolo M.
- $M[0x80000]$: contenido de la posición de memoria 0x8000
- $AC \leftarrow M[0x80000]$: copiar el contenido de memoria de la posición 0x8000 al registro AC
- $AC \leftarrow M[AC]$: copiar el contenido de la posición de memoria a la que **apunta** el registro AC en el registro AC
- $M[0x8000] \leftarrow AC$: copiar el contenido del registro AC en la posición de Memoria 0x8000
 - $M[0x8000] \leftarrow R[AC]$: copiar el contenido del registro AC en la posición de Memoria 0x8000

B.1.4.7. Left-Right Value

- Este concepto se utiliza en el lenguaje C al definir la sentencia asignación =
- $M[0x1000] \leftarrow M[0x2000]$
 - El contenido de la posición 0x2000 se copia en la posición 0x1000
 - Lo que hay a la derecha del operador \leftarrow se evalua y se obtiene un VALOR
 - Lo que hay a la izda del operador \leftarrow es una DIRECCION o REFERENCIA a Memoria (Principal o Registro)

B.1.5. Ejemplos RTL con expresiones aritmético-lógicas

- $AC \leftarrow R1 \vee R2$
 - Operación lógica OR
- $(K1+K2):R1 \leftarrow R2+R3, R4 \leftarrow R5^R6$
 - El símbolo + tiene dos significados: booleano o aritmético.
 - En $k1+k2$ tiene significado booleano: or. Aquí no tiene sentido la suma aritmética de señales lógicas. Tiene sentido evaluar si las señales están activas o no.
 - En $R2+R3$ tiene significado aritmético.
- Para indicar prioridad en una expresión utilizaremos los paréntesis.

Apéndice C

Formato de Instrucción: ISA Intel x86-64

C.1. Formato de Instrucción: ISA Intel x86-64

C.1.1. Ejemplo subq \$16,%rsp

- Ejemplo:
 - instrucción máquina intel x86.
 - 4001a4: 48 83 ec 10 → subq \$16, %rsp
 - ¿Cómo interpretar la instrucción máquina **4883EC10**? Es necesario consultar el **Manual de Referencia de la Arquitectura ISA de la máquina x86** y tener conocimientos de los modos de direccionamiento.
 - manual oficial de intel x86 ó x86-64: cuidado con la sintaxis intel.
 - consultar el volumen 2B (capítulo 4, pag 394) para la instrucción **SUB**. Hay que tener en cuenta el tamaño de los operandos y los modos de direccionamiento.
 - El sufijo q de la operación **SUBQ** indica operando de 64 bits. El operando fuente **\$16** es referenciado con direccionamiento inmediato y se puede codificar con 8 bits y el operando destino **%RSP** es un registro de 64 bits. Por lo tanto la descripción intel en el manual será **SUB r64, imm8** que se corresponde con el código de operación **REX.W + 83 /5 ib**.
 - La descripción del código de operación que hace intel no es sencilla y es necesario consultar la Interpretación de la Instrucción en el **volumen 3 3.1 INTERPRETING THE INSTRUCTION REFERENCE PAGES** y el Formato de Instrucción en el **volumen 2A (capítulo 2 Formato de Instrucción)**
 - Figura 2.1 Intel 64 and IA-32 Architectures Instruction Format
 - El formato de instrucción tiene los campos: **REXprefix-CodOp-ModRB** que en nuestro caso valen **48-83-EC**
 - interpretación del campo REXprefix: **REX.W**: Manual → El prefijo REX se utiliza para operandos de 64 bits bien inmediatos y/o registros GlobalPurposeRegister(rax,rbx, etc), 2.2.1.2 More on REX Prefix Fields [Error: itemizedlist too deeply nested]
 - **/5** : the ModR/M byte of the instruction uses only the r/m (register or memory) operand. En este caso register. Ver el subcampo R/M más abajo.
 - **ib** : A 1-byte (ib) immediate operand.
 - Campo Primary Opcode: El segundo byte vale 83 → Operación de resta **SUB**
 - Campo ModRB: El tercer byte vale EC → 1110-1100 hace referencia al registro RSP. [Error: itemizedlist too deeply nested]
 - El cuarto byte vale en hexadecimal 10 que se corresponde con el valor inmediato 16 en decimal y debe ser expandido a 64bits.

C.1.2. Otros x86-32

- http://www.c-jump.com/CIS77/CPU/x86/lecture.html#X77_0010_real_encoding

- ADD cl, al → 02C8
- ADD EAX, [ESI + disp8] → 0346XX

- jump instructions

- Hola mundo x86

```
08048190 <_start>:  
 8048190: b8 04 00 00 00      mov    $0x4, %eax  
 8048195: bb 01 00 00 00      mov    $0x1, %ebx  
 804819a: b9 f4 9f 04 08      mov    $0x8049ff4, %ecx  
 804819f: 8b 15 ff 9f 04 08      mov    0x8049fff, %edx  
 80481a5: cd 80                int    $0x80  
 80481a7: b8 01 00 00 00      mov    $0x1, %eax  
 80481ac: bb 00 00 00 00      mov    $0x0, %ebx  
 80481b1: cd 80                int    $0x80
```

- b8 04 00 00 00 → mov \$0x4,%eax

- Manual: *B8 + rd MOV reg32,imm32 2 Move immediate dword to register:*
 - Campo de Código de Operación: **B8**
 - Campo de operando: double word: 32 bits: **04 00 00 00** → little endian → es el dato 0x00000004

Apéndice D

Lenguajes Ensamblador

D.1. Intel x86 / AMD 64

D.1.1. Hola Mundo

- Cada Arquitectura de Computador posee su propio lenguaje ensamblador.
- Módulo Fuente hola_mundo.s en lenguaje ensamblador.

- x86-64

```
### -----
###      hola_x86-64_att.s
###
###      Programa simple de iniciación para el desarrollo de programas en Ensamblador x86 ↔
-64 AT&T.
###
###      Ficheros complementarios: macros_x86-64_gas.h
###
###
###      Compilación:
###              assemble using: as  hola_intel_gas.s -o hola_intel_gas.o
###              link using:     ld  hola_intel_gas.o -o hola_intel_gas
###              Driver gcc:    gcc  -nostartfiles  hola_intel_gas.s -o ↔
hola_intel_gas
###
###      revised on: FEBRERO 2015 -- for Linuxs x86_64 environment
###
### -----
.att_syntax

## Incluir el fichero con las Macros
.include "macros_x86-64_gas.h"

## Declaración de símbolos externos
.global _start          # visible entry-point

## Reserva de Memoria para datos variables
.section .data

msg0: .ascii "Hola Mundo\n"
len0: .quad   . - msg0      #tamaño en bytes de la cadena msg0
```

```
## Sección para el Código de las Instrucciones en Lenguaje Ensamblador
.section .text

_start:

## Prompt del programa: imprimir mensaje

## Llamada al kernel para que acceda a la pantalla e imprima.
mov    $SYS_WRITE, %rax      # service ID-number
mov    $STDOUT_ID, %rdi      # device ID-number
mov    $msg0, %rsi           # message address
mov    len0, %rdx            # message length
syscall

## terminate this program
mov    $SYS_EXIT, %eax       # service ID-number
mov    $0, %rdi              # setup exit-code
syscall                      # enter the kernel

.end                         # no more to assemble

## Macros en el fichero macros_x86-64_gas.h

## Llamadas al Sistema
.equ   STDIN_ID, 0           # input-device (keyboard)
.equ   STDOUT_ID, 1          # output-device (screen)
.equ   SYS_READ, 0            # ID-number for 'read'
.equ   SYS_WRITE, 1           # ID-number for 'write'
.equ   SYS_OPEN, 2             # ID-number for 'open'
.equ   SYS_CLOSE, 3            # ID-number for 'close'
.equ   SYS_EXIT, 60            # ID-number for 'exit'
```

D.1.2. Programación ensamblador

- [Felix Cloutier](#)
- [kluge](#)
- [IA64](#)
- [AMD64](#)
 - AMD64 Architecture Programmer's Manual Volume 3: General Purpose and System Instructions

D.1.3. Números Reales

- [kluge](#)
 - interesantes los ejemplos de operaciones con números reales

D.1.4. Discusión por qué ASM AT&T

- <http://es.tldp.org/Presentaciones/200002hispalinux/conf-28/28.ps.gz>

D.1.5. Miscellaneous

D.1.5.1. Tipos de Datos

- Tipos de Datos:
 - Dirección de memoria o referencia a memoria: etiqueta longitud
 - mov \$longitud, %edx → `mov 0x804ffff, %edx` → en lenguaje de alto nivel es la inicialización de un puntero
 - número entero con signo : formato complemento a 2.
 - mov \$0x4, %eax
 - El operando 0x4 está localizado en la propia instrucción, en el campo de operando. El dato 0x4 se almacena en "little endian" → Campo de operando: double word: 32 bits 0x00000004 → En memoria ascendente : dirección 8048191: 04 00 00 00
 - carácter: codificación ASCII
 - 08049ff4 <mensaje>: 48 6f 6c 61 20 → H o l a SP

D.1.5.2. Ciclo de Instrucción

- Intervención de la CPU en la instrucción **4001a4: 48 83 ec 10 → subq \$16,%rsp**
 - La CPU durante el ciclo de instrucción (fase captura- fase decodificación-fase ejecución) realiza una secuencia de tareas.
 - La secuencia de tareas a realizar la CPU durante el ciclo de instrucción lo describimos en lenguaje RTL.
 - $MBR \leftarrow M[0x4001a4]$
 - $IR \leftarrow MBR$
 - $AC \leftarrow RSP$
 - $AC \leftarrow AC - 16$; (ALU resta)
 - $RSP \leftarrow AC$
 - $PC \leftarrow PC + 1$
 - $MAR \leftarrow PC$

D.1.5.3. hola mundo.s

- Compilar el programa en lenguaje ensamblador `hola_mundo.s` y volcar el módulo objeto binario.
 - Módulo fuente: `hola_mundo.s`.
 - Código Máquina- Código Ensamblador
 - Sección Datos
 - 08049ff4 <mensaje>: 48 6f 6c 61 20 4d 75 63 64 6f 0a H o l a S P m u n d o /n
 - 08049fff <longitud>: 0b 00
 - En un lenguaje de alto nivel sería la declaración e inicialización de variables.
 - Etiqueta: referencia a memoria
 - Cada carácter ocupa un byte (codificación ASCII). No interpretar el string como un todo (no little endian) a diferencia de los números enteros y reales.
 - El dato referenciado por la etiqueta longitud está en formato *little endian* → 00 0b
 - Sección Instrucciones

```

08048190 <_start>:
 8048190:    b8 04 00 00 00      mov    $0x4, %eax
 8048195:    bb 01 00 00 00      mov    $0x1, %ebx
 804819a:    b9 f4 9f 04 08      mov    $0x8049ff4, %ecx
 804819f:    8b 15 ff 9f 04 08      mov    0x8049fff, %edx
 80481a5:    cd 80              int    $0x80
 80481a7:    b8 01 00 00 00      mov    $0x1, %eax
 80481ac:    bb 00 00 00 00      mov    $0x0, %ebx
 80481b1:    cd 80              int    $0x80

```

D.2. Motorola 68000

D.2.1. Hola Mundo

```

;CISC Sharp X68000 (Human68K) : Motorola 68000
  pea (string)      ; push string address onto stack
  dc.w $FF09        ; call DOS "print" by triggering an exception
  addq.l #4,a7      ; restore the stack pointer

  dc.w $FF00        ; call DOS "exit"

string:
  dc.b "Hello, world!",13,10,0

```

D.2.2. ISA

■ Referencias

- [Instruction Set Basic](#)
- [Wikibook](#)
- [Manual de Referencia](#)
- [Motorola 68K ó M68000](#)
- m68k hasta 1991
- ppc (powerpc) desde 1991 con Apple e IBM → iMac (1996-2006)

■ arquitectura general

```

2 versiones: Procesador de 16 bits ó 32 bits
Aprox . 90 instrucciones máquina
12 modos de direccionamiento
9 formatos de instrucción distintos y con tamaños de una a cinco palabras
Ancho del bus de datos: 16 bits ó 32 bits
Tamaño mínimo direccionable : 1 byte
Ancho del bus de direcciones: 24 bits (2^24^bytes = 16 Mbytes de memoria direccionables ← )
)

```

■ Registros:

- 8 Registros de Datos de propósito general (16/32): D0-D7
- 7 Registros de Instrucciones de propósito general (16/32) :A0-A6

■ modos de direccionamiento

- # : inmediato
 - Di : registro directo
 - (Ai) : indirecto de registro
 - +(Ai) : indirecto de registro con postincremento con la escala del tamaño del operando (1,2,4 bytes)
 - (Ai)+: indirecto de registro con postincremento con la escala del tamaño del operando
 - -(Ai) : indirecto de registro con predecremento con la escala del tamaño del operando
 - (Ai)-: indirecto de registro con preincremento con la escala del tamaño del operando
 - D(Ai) : indirecto de registro con desplazamiento D
 - D(Ai,Ri,X) : registro Ai indirecto indexado Ri con desplazamiento D
 - D(PC) : relativo al PC con desplazamiento D
 - D(PC,Ri,X) : relativo al PC indexado Ri con desplazamiento D
- Datos
- Enteros en Complemento a 2 .
 - Sufijos Operación: B byte (1 byte), W word (2 bytes) , L long (4 Byte)
 - Prejijos datos: \$ hexadecimal
- Memoria
- Big Endian : LSB en la dirección más alta y MSB en la dirección más baja

D.3. MIPS

D.3.1. ISA

- Procesador con una arquitectura de 32 bits
- Microprocessor without Interlocked Pipeline Stages (MIPS) Architecture
- Versiones de la arquitectura MIPS:
 - MIPS I (R2000 cpu), II (R6000), III (R4000), IV (R8000, R5000, R10000), and V (nunca implementada);
 - MIPS32/64 :MIPS32 is based on MIPS II with some additional features from MIPS III, MIPS IV, and MIPS V; MIPS64 is based on MIPS V

70 instrucciones máquina
Instrucciones clasificadas en cuatro grupos
 Movimiento de datos
 Aritmética entera, lógicas y desplazamiento
 Control de flujo
 Aritmética en punto flotante
4 modos de direccionamiento
 Inmediato
 Directo de registros
 Indirecto con desplazamiento
 Indirecto con desplazamiento relativo al PC
Banco de 64 registros (32 bits cada uno)
 32 de propósito general (R0-R31)
 32 para instrucciones en punto flotante (F0-F31). Pueden usarse como:
 32 registros para operaciones en simple precisión (32 bits)
 16 registros para operaciones en doble precisión (64 bit)
3 formatos de instrucción distintos con longitud única de 32 bits:
 Op Code: 6 bits
 R :three registers, a shift amount field, and a function field;

```
I :two registers and a 16-bit immediate value
J :26-bit jump target
Arquitectura registro-registro
    Sólo las instrucciones de LOAD y STORE hacen referencia a memoria
    El resto de instrucciones operan sobre registros
        Instrucciones con tres operandos: 2 op.fuente y 1 op.Destino

Notación ensamblador: op x, y, z      x<- (y)op(z)
Datos:
    Enteros Complemento a 2 : byte (1B), media palabra (2B), palabra (4B)
    N° Reales: IEEE-754 simple y doble precisión
```

- MIPS architecture
- Versiones de la ISA MIPS
- procesadores con arquitectura MIPS: R2000, etc
- quick tutorial
- Emulador MIPS Online

D.4. ARM

D.4.1. Hola Mundo

```
/*
Programa en lenguaje ensamblador AT&T para el procesador ARM

Programa fuente: hello_world.s
Assembler:         arm-linux-gnueabi-as -o hello_world.o hello_world.s
Linker:           arm-linux-gnueabi-ld -o hello_world hello_world.o

*/
.data

msg:
.ascii "Hello, ARM World!\n"
len = . - msg

.text

.globl _start
_start:
/* write syscall */
mov %r0, $1
ldr %r1, =msg
ldr %r2, =len
mov %r7, $4
swi $0

/* exit syscall */
mov %r0, $0
mov %r7, $1
swi $0
```

D.4.2. ISA

- **ARM:** Advanced RISC Machine
 - [Developer Guides](#)

Apéndice E

FPU x87

E.1. FPU x87

E.1.1. Resumen

- Arquitectura x87:
 - 1980
 - es un repertorio de instrucciones que realiza operaciones matemáticas complejas con números reales como calcular la tangente,etc .
- x87 coprocessor o x87 FPU(Float Point Unit):
 - es un procesador independiente de la CPU x86 para ejecutar instrucciones de la arquitectura x87.
- The x87 registers:
 - Son registros internos a la FPU. 8-level deep non-strict *stack structure* ranging from ST(0) to ST(7). No son directamente accesibles, sino que se acceden con push, pop o desplazamiento relativo al top de la pila.
- FPU : es un componente de la unidad central de procesamiento especializado en el cálculo de operaciones en coma flotante de la misma manera que la ALU lo es con números enteros almacenados en los registros RPG.
- Formato de datos:
 - single precision, double precision and 80-bit double-extended precision binary floating-point arithmetic as per the IEEE 754
 - 6 múltiples enteros en el mismo registro de 8,16 o 32 bits.
- FP: Float Point : Registros de la pila de la FPU, nueva denominación de los registros ST.
- MMX: Conjunto de instrucciones SIMD (Single Instruction Multiple Data) diseñado por Intel e introducido en 1997 en sus microprocesadores Pentium MMX.
 - MMX reutiliza los ocho registros FPR existentes de la FPU por lo que no se puede utilizar simultáneamente con instrucciones mms e instrucciones fpu. Los registros MMX de 64 bits son directamente accesibles a diferencia de los FPR con arquitectura de pila.
 - Still, x87 instructions are the default for GCC when generating IA32 floating-point code.
- SSE: Streaming SIMD Extensions (SSE) es un conjunto de instrucciones SIMD extension del subconjunto MMX para la arquitectura x86 , no la x87, designed by Intel for digital signal processing and graphics processing applications.
 - Comenzó con el Pentium III en 1999.

- Añade 16 nuevos registros de 128 bits XMM0-XMM15
- XMM: SSE floating point instructions operate on a new independent register set (the XMM registers), and it adds a few integer instructions that work on MMX registers.
- SSE2 in the Pentium 4 (2000).
- AVX: extensiones vectoriales avanzadas
 - Añade 16 registros de 256 bits: YMM0-YMM15
 - Las instrucciones que antes operaban con XMM de 128 bits ahora operan con los 128 bits de menor peso de los YMM.

E.1.2. Refs

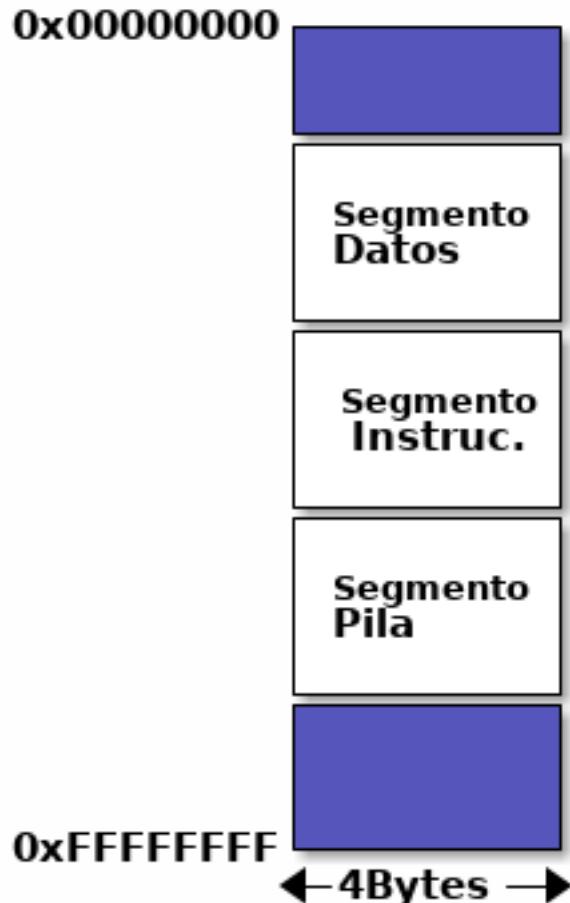
- Programming With the x87 Floating-Point Unit: Intel Vol. 1 8-1
- Computer Systems: A Programmer's Perspective, 2/E (CS:APP2e) Randal E. Bryant and David R. O'Hallaron, Carnegie Mellon University

Apéndice F

Pila

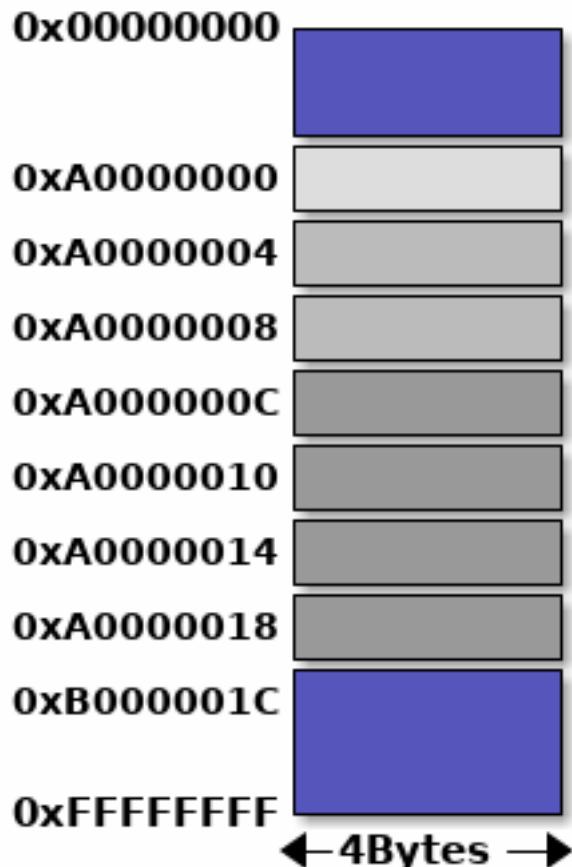
F.1. Concepto

- Stack ó Pila:
 - Estructura de Datos Last Input First Output (LIFO)
- Memoria Externa
- Dirección de apilamiento: En sentido de direcciones de memoria DECRECIENTE.
- Un programa está estructurado en segmentos: Segmento datos, Segmento instrucciones, Segmento pila, ...
 - Memoria Principal Segmentada:



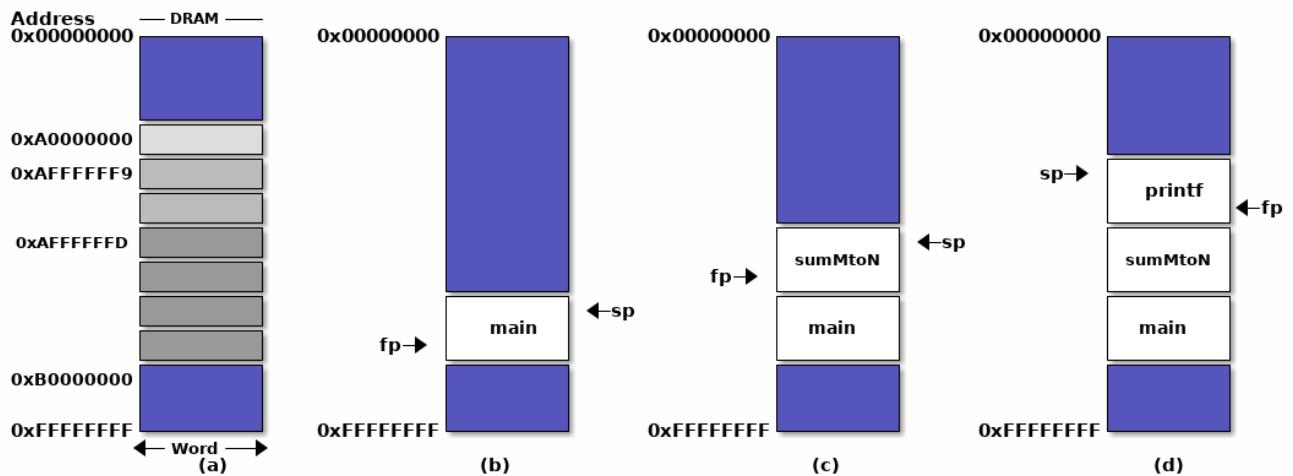
F.2. Anchura

- Anchura de la pila → Word Size :
 - En el caso de x86-64 : anchura de 64 bits
 - En la arquitectura i386 son 32 bits
- Alineamiento de memoria de pila → múltiplos del word size
 - En el caso de x86-64 : múltiplos de 8 bytes (64 bits) → Direcciones en hexadecimal finalizadas en 0 y en 8.
 - Si el dato a apilar es menor que la anchura de la pila será necesario extenderlo. El tipo de extensión dependerá del tipo de dato (entero con signo, etc)
- Segmento Pila de la arquitectura i386:



F.3. Frame: frame pointer y stack pointer

- Frame: Partición de la sección pila
 - Cada función que es llamada genera un frame
 - Los límites del **frame activo** se señalan con dos punteros:
 - límite inferior: frame pointer, señala la ubicación del *primer* elemento apilado.
 - límite superior: stack pointer, señala la ubicación del *último* elemento apilado.
- Stack Pointer (**sp**)
 - Puntero que apunta al elemento TOP del frame: límite alto de la pila donde se ubica el último elemento apilado.
 - En intel x86 es el registro RSP
- Frame pointer (**fp**)
 - Puntero que apunta al elemento BOTTOM del frame : límite bajo de la pila donde se ubica el primer elemento apilado.
 - En intel x86 es el registro RBP
- Sección de Pila (partición en Frames)



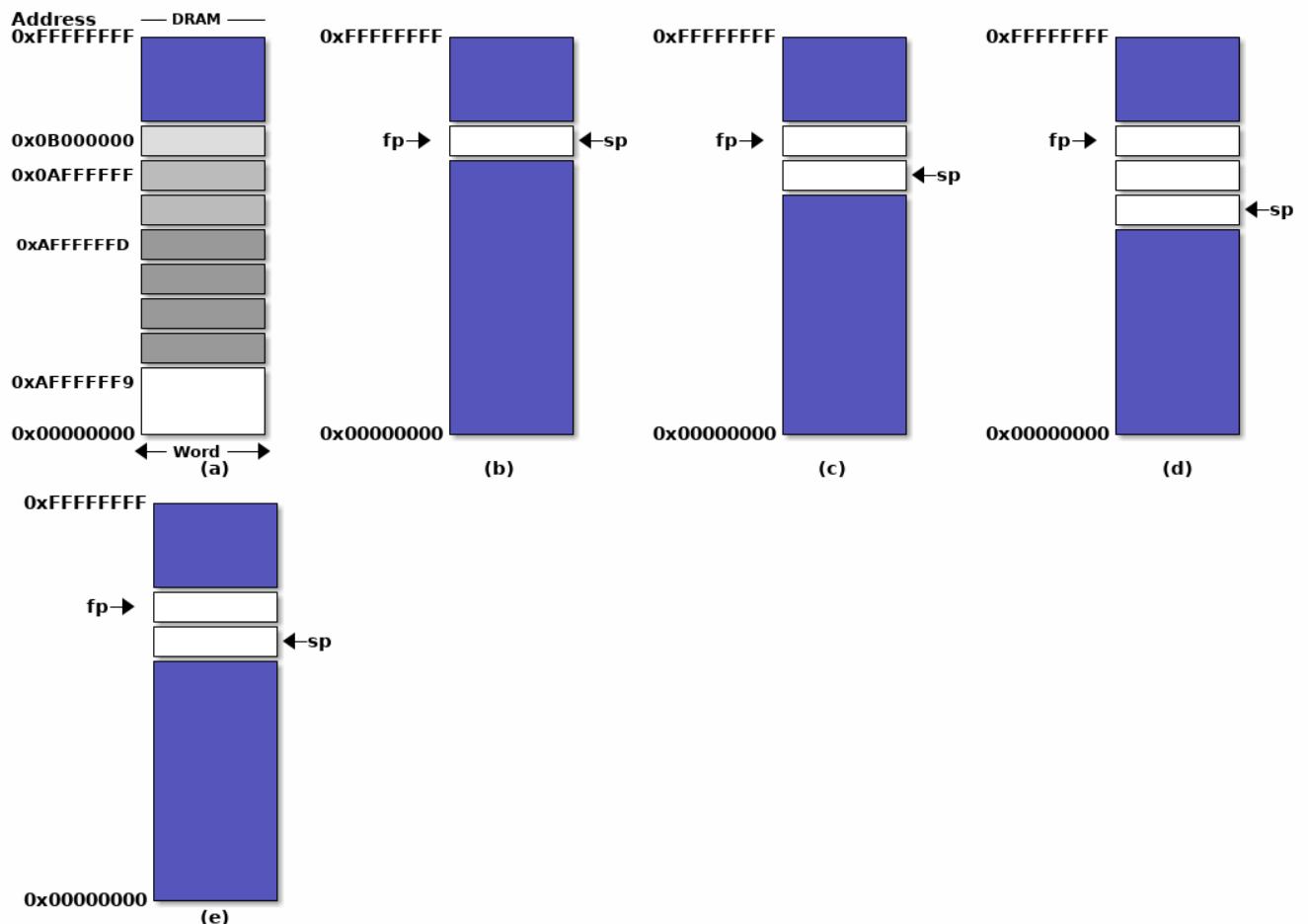
- (a) La pila no esta formada
- (b) Llamada a main: se forma el frame de main. El frame crece y decrece según apilamos y extraemos
- (c) llamada de main a sumMtoN: el frame sumMtoN se forma sobre el anterior de main: nuevos punteros FP y SP.
- (d) llamada de sumMtoN a printf: el frame printf se forma sobre el anterior de sumMtoN: nuevos punteros FP y SP.

nota

La pila es una estructura dinámica que se genera en el momento de la llamada de una función y desaparece con el retorno de la función

F.4. Instrucciones Ensamblador Push-Pop

- Instrucción Push-Pop : Apilamiento-Extracción
 - Push Op_source
 - Operación: insertar dato.
 - Operando destino: la pila.
 - El stack pointer se DECREMENTA en una palabra . $SP \leftarrow SP - 1 * WordSize$ y después se inserta el operando fuente en el destino.
 - Pop Op_dest
 - Operación: extraer dato.
 - Operando fuente: El último objeto apilado.
 - Primero se extrae el objeto referenciado por el stack pointer. A continuación el stack pointer se INCREMENTA en una palabra. $SP \leftarrow SP + 1 * WordSize$



- (a) La pila no esta formada
- (b) Se forma la pila inicializando los punteros de pila: frame pointer (fp) y stack pointer (sp)
- (c) Ejecución de push
- (d) Ejecución de push
- (e) Ejecución de pop

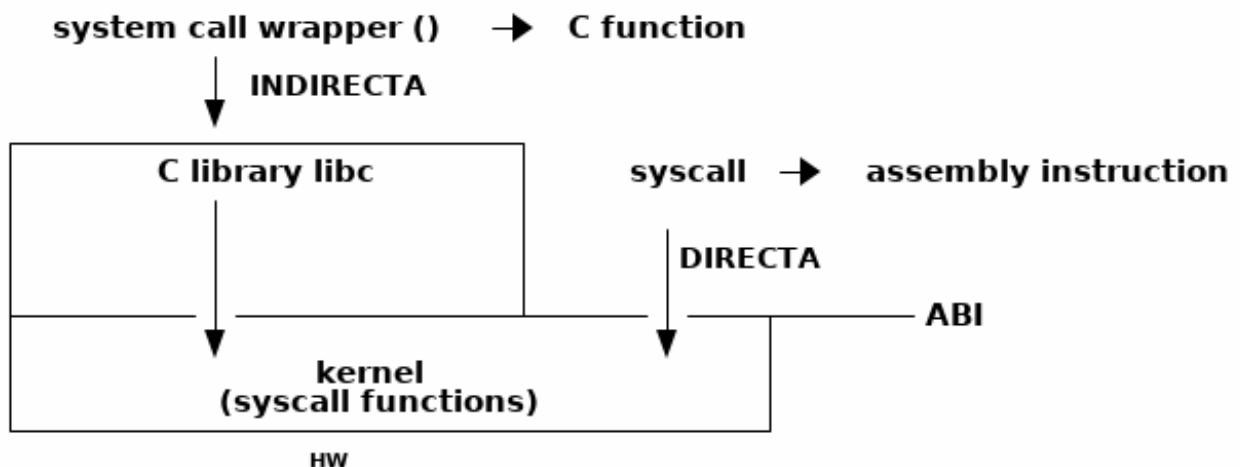
F.4.1. Anidamiento de llamadas

Apéndice G

Llamadas al Sistema Operativo

G.1. Introducción

- Se conoce con el nombre de *llamadas al sistema* a las Llamadas que realizar el programa de usuario a subrutinas del Kernel del Sistema Operativo.
- Para realizar funciones privilegiadas del sistema operativo como el acceso a los dispositivos i/o de la computadora es necesario que los programas de usuario llamen al kernel para que sea éste quien realice la operación de una manera segura y eficaz. De esta forma se evita que el programador de aplicaciones acceda al hardware y al mismo tiempo se facilita la programación.
- Ejemplos de llamadas
 - **exit** : el kernel suspende la ejecución del programa eliminando el proceso
 - **read** : el kernel lee los datos de un fichero accediendo al disco duro
 - **write**: el kernel escribe en un fichero
 - **open** : el kernel abre un fichero
 - **close**: el kernel cierra el proceso
 - más ejemplos de llamada en el listado `man 2 syscalls`
- La llamada a los servicios del kernel denominados *syscalls* se puede realizar de dos formas: **directa** o **indirecta**
 - Directa: desde ASM mediante la instrucción `syscall`
 - Indirecta: desde C o ASM mediante funciones de la librería `libc`: wrappers de las llamadas directas
- API/ABI



- Ejemplo

```

* printf() -> write(int fd, const void *buf, size_t count) -> [RAX-RDI-RSI-RDX-R10-R8-R9, ←
  syscall] -> kernel syscall write
* API      ->           wrapper function                  ->          ABI   ←
  ->           kernel syscall

```

G.2. Manuales de las llamadas

- Los syscall están descritos en los manuales de los wrappers de la librería libc
- listado de los syscall
 - info syscalls o man syscalls
- syscalls:
 - exit → man 3 exit
 - read → man 2 read
 - write → man 2 write
 - open → man 2 open
 - close → man 2 close
 - etc..
- Los argumentos de la llamada al sistema son los asociados a la función wrapper de la biblioteca libc.
 - El 1º argumento de la llamada al sistema es el argumento de la IZDA de la función en libc y el último el de la DCHA.

G.3. Llamada INDIRECTA

- C: El programador de aplicaciones en C utiliza las funciones interfaz de la librería *libc* de GNU para acceder **indirectamente** al kernel a través de los *contenedores (wrapper)*.
 - system calls wrapper: adaptación al lenguaje C de las llamadas implementadas en lenguaje ASM

G.4. LLamada DIRECTA

- **ASM:** El programador de aplicaciones en lenguaje ASM utiliza las *llamadas al sistema* para acceder **directamente** al kernel
 - La llamada se realiza mediante la instrucción ensamblador `syscall` en x86-64 y `int 0x80` en x86-32
 - Los argumentos de la llamada se pasan a través de los registros de propósito general GPR
 - El tipo de llamada se especifica a través de un número entero y se pasa a través **RAX**
 - Códigos "System call number" disponibles en el fichero `/usr/include/asm/unistd_32.h`

```
## Macros en el fichero macros_x86-64_gas.h

## Llamadas al Sistema
.equ STDIN_ID, 0           # input-device (keyboard)
.equ STDOUT_ID, 1          # output-device (screen)
.equ SYS_READ, 0            # ID-number for 'read'
.equ SYS_WRITE, 1           # ID-number for 'write'
.equ SYS_OPEN, 2             # ID-number for 'open'
.equ SYS_CLOSE, 3            # ID-number for 'close'
.equ SYS_EXIT, 60            # ID-number for 'exit'
```

G.4.1. Argumentos de la llamada directa

- El convenio de la llamada está descrito en la norma ABI
- x86-64
 - Los 6 primeros argumentos de la llamada se pasan a través de los registros siguiendo la secuencia: **RDI-RSI-RDX-R10-R8-R9**
 - El valor de retorno de la llamada se pasa a través del registro **RAX**
- x86-32
 - Los 6 primeros argumentos se pasan a través de los registros siguiendo la secuencia: **EBX-ECX-EDX-ESI-EDI-EBP**
 - El valor de retorno de la llamada se pasa a través del registro **EAX**
- manual libc: Información sobre cuáles son los argumentos de las llamadas

G.4.2. Códigos de la llamada directa

- El código de llamada es un número entero asociado a la función que va a ejecutar el kernel
- El código de llamada se pasa al kernel a través de **RAX**
- Códigos:
 - `/usr/include/asm/unistd_64.h`: declaración de macros con el código de la llamada en la arquitectura x86-64
 - exit → 60, read → 0, write → 1, open → 2, close → 3, etc..
 - `/usr/include/asm/unistd_32.h` : declaración de macros con el código de la llamada en la arquitectura x86-32
 - `/usr/include/bits/syscall.h` : macros antiguas también válidas en la arquitectura x86-32

G.5. Ejemplos: lenguaje C

- exit (status_value) y syscall(exit_code, status_value)
 - exit(0xFF) y syscall(60,0xFF)
- write (int fd, const void *buf, size_t count) y syscall(write_code,int fd, const void *buf, size_t count)
 - write (0,buffer,80) y syscall(1,1,buffer,80)

G.6. Ejemplos: ASM INDIRECTO

- Programando en lenguaje ASM podemos llamar a los wrappers de la librería libc.

- exit(status_value)

```
mov $status_value, %rdi  
call exit
```

- syscall(exit_code,status_value)

```
mov $60, %rax  
mov $status_value, %rdi  
call syscall
```

- write(int fd, const void *buf, size_t count)

```
mov fd, %rdi           #fd es la referencia al fichero donde se va a escribir  
mov $buffer_address_label, %rsi #dirección de memoria de lo que se va a escribir en el ←  
                                fichero  
mov size, %rdx          #tamaño del buffer de memoria que se va a escribir  
call write              #orden de escritura al kernel a través de la librería libc
```

- syscall(write_code,int fd, const void *buf, size_t count)

```
mov $1, %rax  
mov $1, %rdi           # 1 es el código del fichero pantalla. En unix los ←  
                                dispositivos son ficheros.  
mov $buffer_address_label, %rsi  
mov size, %rdx  
call syscall
```

G.7. Ejemplos: ASM DIRECTO

- exit

```
mov $60, %rax  
mov $status_value, %rdi  
syscall
```

- write

```
mov $1, %rax  
mov $1, %rdi           # 1 es el código del fichero pantalla. En unix los ←  
                                dispositivos son ficheros.  
mov $buffer_address_label, %rsi  
mov size, %rdx  
syscall
```

G.8. Línea de Comandos

G.8.1. Procedimiento

- Process Initialization
 - Cuando escribimos un comando o programa en la línea de comandos del shell el sistema operativo los interpreta como una secuencia de strings. Por ejemplo \$suma 2 3 son tres argumentos en la línea de comandos:
 - La codificación de un string es la secuencia de sus caracteres en código ASCII y finalizada con el carácter NULL cuyo código es 0x00
 - el string "suma": 5 caracteres ASCII: 0x73,0x75,0x6d,0x61,0x00
 - el string "2" : 2 caracteres ASCII: 0x32,0x00
 - el string "3" : 2 caracteres ASCII: 0x33,0x00
 - Como son 3 los argumentos de la línea el parámetro argument counter **argc** valdrá 3.
 - Los tres strings de la línea de comandos, "suma"- "2"- "3", son asignados a la variable array de strings **argv**
 - argv[0] apunta al string "suma"
 - argv[1] apunta al string "2"
 - argv[2] apunta al string "3"
 - argv[argc] apunta al carácter NULL
 - argv es una array de punteros, por lo tanto, es del tipo (char **)argv
- kernel
 - El kernel declara el prototipo `extern int main (int argc , char* argv[] , char* envp[]);`
 - declaración y definición del módulo principal `main`
 - La función `main` es declarada como global por el kernel y es definida por el usuario.
 - `argc` is a non-negative argument count;
 - `argv` is an array of argument strings, with `argv[argc]==0`;
 - `envp` is an array of environment strings, also terminated by a null pointer.

```
#include <stdio.h>
#include <stdlib.h>

/*
 * Introducimos en la línea de comandos el programa y un argumento
 * Si el argumento tiene espacios en blanco, entremos en comillas simples:'Hola ←
 * Mundo'
 * gcc -g -o linea_comandos linea_comandos.c
 * ./programa 'Hola Mundo'
 */

int main (int parc, char *parv[])
{
    if (parc==1){
        printf("Introducimos en la línea de comandos cualquier mensaje\n\n");
        exit (EXIT_FAILURE);
    }
    printf("%s\n",parv[1]);
    return EXIT_SUCCESS;
}
```

G.8.2. Stack Initialization

- Cuando comienza a ejecutarse al función *main()* o la instrucción *_start* el estado de la pila es el siguiente:
- Stack Initialization
 - El kernel pasa los argumentos **argc** y **argv** de la función global *main* a través de la PILA. La función *main* es la función llamada.

Cuadro G.1: Convenio ABI: Stack

| Stack Reference | Interpretation |
|----------------------|---|
| | arguments strings |
| | 0 |
| 1 word cada variable | Environment pointers |
| 8+8*argc(%rsp) | 0 |
| 8*argc(%rsp) | - pointer to argcº string |
| ----- | ----- |
| 16(%rsp) | - pointer to 2º argument string → argv[1] |
| 8(%rsp) | - pointer to 1º argument string → string argv[0] |
| 0(%rsp) | - argument count → argc |

G.8.3. Rutina principal con Retorno

- Si la rutina principal no termina con la llamada **exit** y termina con la instrucción **ret** el convenio de llamada es el de llamada a función por lo que los parámetros *argc* y *argv* se pasan a través de los registros **RDI-RSI-RDX-RCX-R8-R9**
- Ejemplo: *imprimir_arg.s*

```
# ## gcc imprimir_arg.s
# ## ./a.out 'Hola Mundo'
# ##
# ##

.equ STDOUT,1
.equ SYSWRITE,1
.equ EXIT_SUCCESS,0xFF
.equ ARGV1,8

mensaje:
.ascii "Introducir un mensaje como argumento del programa. Si el mensaje tiene ←
espacios blancos, poner el mensaje entre comillas simples ''\n"
. equ LON,. - mensaje #longitud del mensaje

.section .text
.global main
main:
push %rsi #salvo el argumento argv
## comprobar que la línea de comandos tiene dos argumentos
cmp $2,%rdi
je imp_arg
## si solo tengo el programa sin argumentos :imprimir en la pantalla
mov $SYSWRITE,%rax
mov $STDOUT,%rdi #fd es la referencia al fichero donde se va a escribir
```

```
        mov $mensaje, %rsi           #dirección de memoria de lo que se va a escribir ←
        en el fichero
        mov $LON, %rdx             #tamaño del buffer de memoria que se va a escribir
        syscall                   #orden de escritura al kernel
        jmp salida
imp_arg:
        pop  %rsi                 #el stack pointer apunta al %rsi salvado y lo recupero -> argv ←
        -> argv[0]
        add $ARGV1, %rsi           #rsi apunta al primer puntero, si le sumo 8 apunto al segundo ←
        puntero
        mov (%rsi), %rdi           #mediante la indirección tengo el segundo puntero
        call puts

salida:
        ret
.
.end
```

G.8.4. Ejercicios: *suma_linea_com.s*,*maximum_linea_com.s*

1. *suma_linea_com.s*

- Introducir los datos del programa *suma_linea_com.s* (suma de dos sumandos) a través de la línea de comandos

```
## función: sumar dos números enteros de un dígito.
## los sumandos se pasan a través de la línea de comandos
## Compilación en la arquitectura x86-64
## gcc -nostartfiles -g -o suma_linea_com suma_linea_com.s
## (gdb) run 5 7
```

2. *maximum_linea_com.s*

- Introducir los datos del programa *maximum_linea_com.s* a través de la línea de comandos

Apéndice H

Lenguaje de Programación C

H.1. Introducción

- Esto no es un tutorial de Programación en Lenguaje C, el objetivo de este capítulo es comentar aspectos puntuales de la programación en lenguaje C que son utilizados en la asignatura de Estructura de Computadores.

H.2. Casting

H.2.1. Concepto

- Sintaxis

```
(type_name) expression
```

- Conversión explícita mediante el operador unitario ().
- Los operadores unitarios tienen mayor precedencia que los binarios.

H.2.2. Ejemplo

- Ejemplo de la división de números enteros

```
int i=8, j=5;
float x;
x = i / j;
x = (float) i / j;
```

- La variable ordinaria es declarada inicialmente como tipo *int*
 - La operación i/j → 8/5 daría como resultado el número entero 1
- Si realizamos el casting (**float**) sobre la variable **i** entonces la variable **i** es de tipo float y no int, por lo que su valor será el número real 8.000 y no el entero 8.
 - (float)i/j = 8.0000/5 = 1.6000

H.3. Puntero

H.3.1. Referencias

H.3.2. Introducción

El concepto de puntero es fundamental en programación imperativa de bajo nivel ya que simplifica el código para la programación de algoritmos que incluyen estructuras de datos sencillas o complejas.



importante

Para el aprendizaje de: conceptos relacionados con los punteros, su sintaxis, su aplicación, etc... , es necesaria la ejecución de los programas en modo PASO A PASO para poder visualizar los contenidos y referencias de los objetos en memoria. Utilizaremos el debugger GDB.

H.3.3. Concepto

H.3.3.1. Memoria

La memoria principal RAM esta organizada en Bytes direccionables.

El rango de direcciones depende de la arquitectura de la máquina.

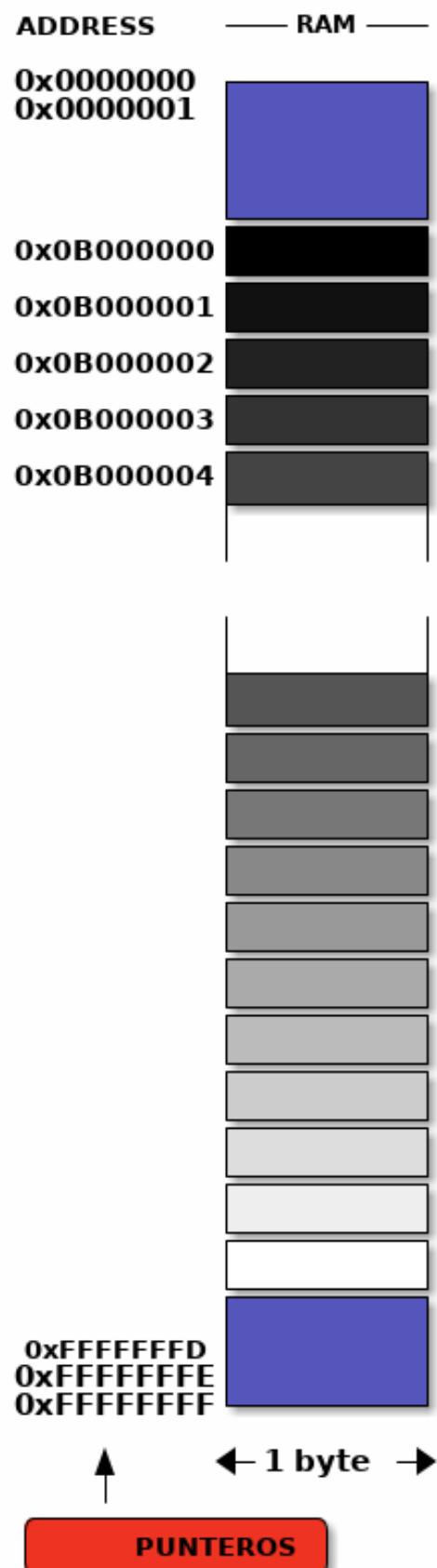
P.ej: un Bus de direcciones de 48 líneas podría direccionar $2^{48} = 2^8 \times 2^{40} = 256 \text{ TB}$

Un *objeto* es una región de memoria (múltiples bytes) asignada a un dato entero, dato carácter, array de datos float, bloque de instrucciones, etc. En este contexto de memoria el concepto objeto difiere del concepto objeto de programación orientada a objetos.

En la memoria RAM se implementan *objetos* que son referenciados por las direcciones de memoria donde se encuentran. La referencia es la dirección del primer byte donde se almacena el objeto de múltiples bytes.

Mapa de memoria:

+



H.3.3.2. Puntero

Un puntero equivale a una dirección de memoria

En cambio una VARIABLE PUNTERO:

- Es una variable que almacena un dato que representa una dirección de memoria.
- Las variables puntero almancenan punteros.
- Restringen sus valores a los valores de las direcciones de memoria. Nunca podrá ser un valor negativo o real, etc
- Apuntan a objetos
- Hacen referencia a objetos



atención

El libro de K.N.King distingue entre "variable puntero" y puntero. En la literatura en general cuando se habla de punteros se está hablando de variables puntero, en cuyo caso al contenido del puntero se le llama referencia o dirección al objeto referenciado.

Representación gráfica de la "variable puntero" *p*

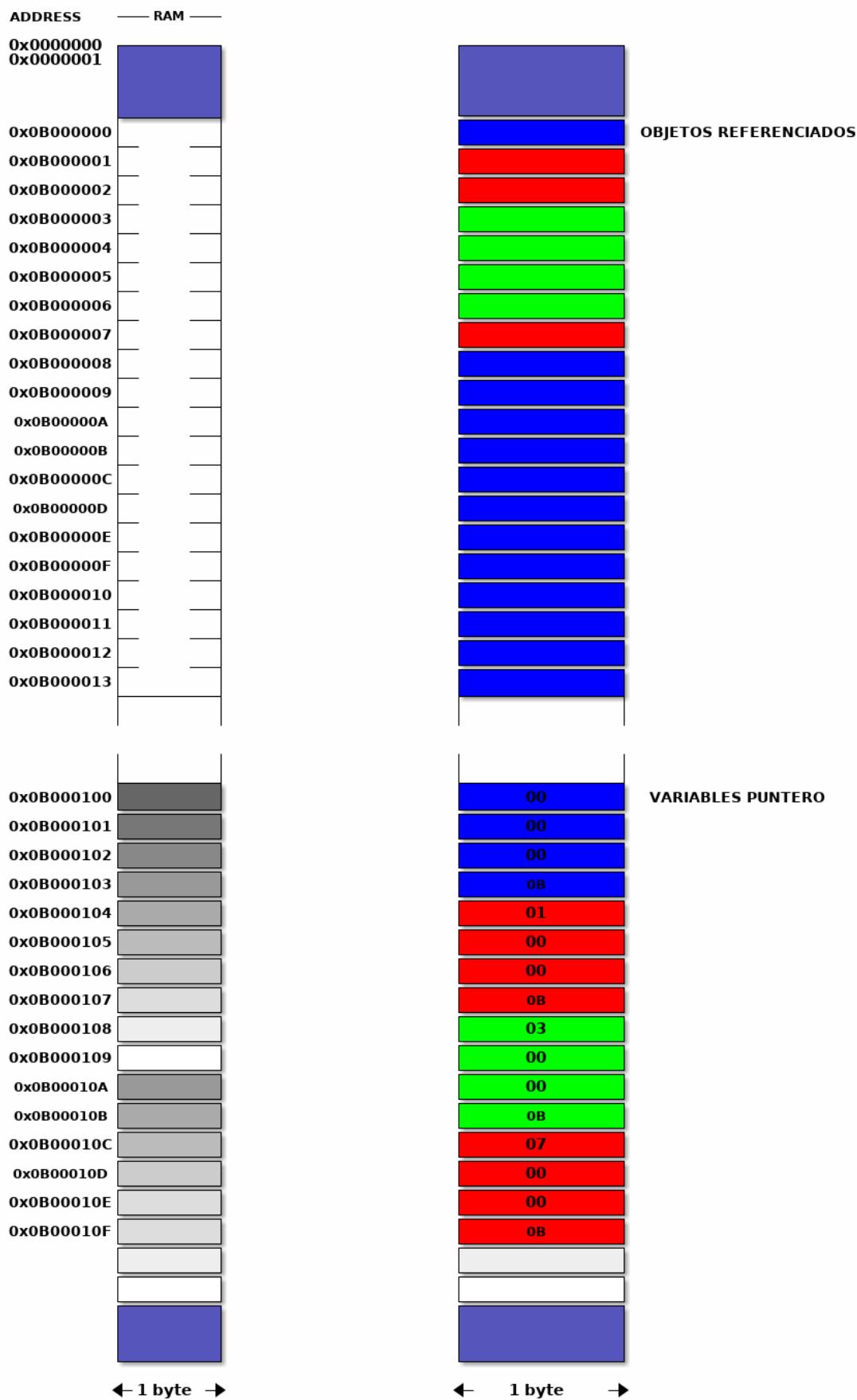


p : identificador de la variable puntero

x : identificador del objeto referenciado, por ejemplo una variable ordinaria.

flecha : *inicialización* de la variable puntero *p* apuntando al objeto *x*

Ejemplos de punteros, objetos y variables de punteros



- La variable puntero de la dirección 0x0B000100 (bytes +0,+1,+2,+3) contiene la dirección 0x0B000000 que apunta a un objeto de 1 byte.
- La variable puntero de la dirección 0x0B000104 (bytes +0,+1,+2,+3) contiene la dirección 0x0B000001 que apunta a un objeto de 2 bytes.
- La variable puntero de la dirección 0x0B000108 (bytes +0,+1,+2,+3) contiene la dirección 0x0B000003 que apunta a un objeto de 4 bytes.

H.3.3.3. LeftValue-RightValue

- Una variable ordinaria referenciada en un operador asignación (=) tiene diferente interpretación si está a la izquierda o derecha del operador asignación:
 - x=y
 - x : la variable ordinaria a la izda se interpreta como la dirección en memoria de x : leftvalue de x
 - y : la variable ordinaria a la derecha se interpreta como el contenido en memoria de y : rightvalue de y
- El contenido del objeto es el RightValue
- La referencia al objeto es el LeftValue
- El contenido de una variable puntero es el LeftValue del objeto referenciado.

H.3.4. Módulo Ilustrativo

```
/* Iniciación a los punteros.*/

#include <stdio.h>
#include <stdlib.h>

void main (void)
{
    /* Concepto */

    /*Operador Dirección*/

    int i, k, *p, *q;
    float x, y, *r, *s;
    char c, d, *u, *v;
    i = 10;
    k = 100;
    x = 3E-10f;
    y = 3.1416;
    c = 'A';
    d = '@';

    p = &i;
    q = &k;
    r = &x;
    s = &y;
    u = &c;
    v = &d;

    printf("Introducir un carácter \n");
    scanf("%c", &c);
```

```
printf("El carácter leído es el %c \n", c);

/*Operador Indirección*/

printf("El carácter leído es el %c \n", *u);
printf("El valor de la variable i es %d o también %d \n", i, *p);
printf("El valor de PI es %f o también %f \n", y, *s);

/*String Variable*/
/*Array*/
char cadena[]="Hola";

/*Puntero*/
char *saludo="Hola";
char **pt_saludo;

pt_saludo = &saludo;

exit (0);
}
```

H.3.5. Declaración

Syntaxis: type *pointer_variable

```
int i, k, *p, *q;
float x, y, *r, *s;
char c, d, *u, *v;
i = 10;
k = 100;
x = 3E-10f;
y = 3.1416;
c = 'A';
d = '@';
```

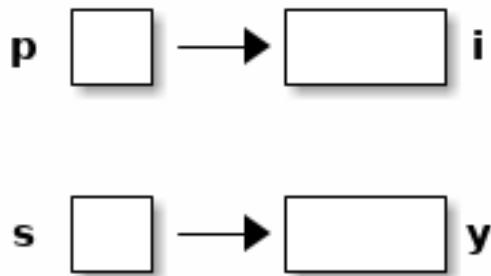
*p, *q, etc... son declaraciones de *variable puntero*. El asterisco NO realiza ninguna operación sobre la variable, únicamente es el prefijo para indicar el TIPO puntero.

H.3.6. Operador Dirección

Símbolo &

```
p = &i;
q = &k;
r = &x;
s = &y;
u = &c;
v = &d;
scanf(&c);
scanf(u);
```

El operador & obtiene el LeftValue de la variable y se utiliza para inicializar punteros.



H.3.7. Operador Indirección o Dereferencia

Símbolo *

Prefijo de una variable puntero: accede al objeto referenciado

```
printf("El valor de la variable i es %d o %d \n", i, *p);
printf("El valor de PI es %f o %f \n", y, *s);
```

H.3.8. Ejemplo

- Declarar objetos de distintos tipos: integer, float, char
- Declarar objetos de tipo puntero e inicializarlos con los objetos anteriores
- Representar gráficamente los punteros
 - Low Level: memoria RAM
 - High Level: diagramas con cajas que apuntan con flechas.

H.3.9. Aplicaciones de los punteros

- Array
 - Puntero Array
 - Aritmética de Punteros
- String Literal
- Puntero a Puntero
- Acceso a String
 - Nombre del array
 - Variable puntero
- Estructura de datos
 - Lista de Nombres (Array de punteros a strings)
- Funciones
 - Pase de argumentos por referencia
 - Retorno por referencia.
- Argumentos del comando en línea del shell de Linux.

H.3.9.1. Puntero Array

- Concepto

- Un array es un puntero y una lista de elementos. El puntero apunta al primer elemento de la lista.
- Cuando se crea un array se crean dos objetos
 - Los elementos del array cuya asignación de memoria es contigua
 - El puntero que apunta al primer elemento del array

- Ejemplo

- Array de Números : `data_items : 3, 67, 34, 222, 45, 75, 54, 34, 44, 33, 22, 11, 66, 0`
- Declarar e inicializar
- Lectura
- Escritura

- Puntero CONSTANTE

- NO SE PUEDE MODIFICAR EL VALOR DEL PUNTERO
- Modificar el puntero

- Ejemplo:

- Array de Caracteres: `cadena : H, o, l, a, \0`
- Declarar e inicializar `char cadena[] = {H, o, l, a, \0};`
- Lectura
- Escritura

H.3.9.2. Aritmética de Punteros

- Indexación: primer elemento MÁS la posición elemento i
 - $data_items + i$
- Modificar las expresiones de referencia a los elementos del array por expresiones aritmética de punteros

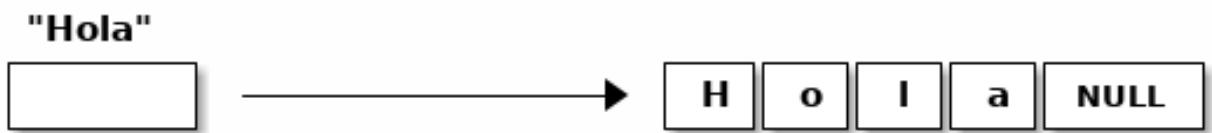
H.3.10. String Literal

- Concepto en dos fases

- Array de nombre "Hola" cuyos elementos son de tipo carácter.



- Inicializar Array con el String *Hola*



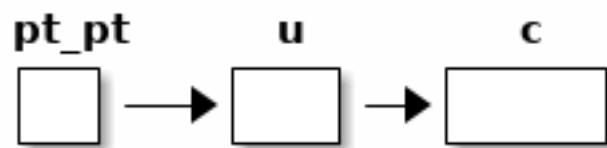
- Ejemplo

- Declarar un array tipo carácter e inicializarlo con un string literal "Hola"
 - `char cadena[]="Hola";`
- String literal:
 - Cadena de caracteres
 - Dobles comillas

- Arrays

- Acceder al array declarado : lectura y escritura
- Acceder al array de inicialización: lectura y escritura
- ¿ Copia de arrays mediante asignación `cadena1=cadena2` ?

H.3.11. Puntero a Puntero



- Ejemplo

- *u* apunta al carácter *c*
- *pt_pt* apunta a *u*

H.3.12. String Variable

H.3.12.1. Nombre del Array

- Declaro el array de caracteres `cadena` y lo inicializo con el string `Hola` : `char cadena[]="Hola";`

H.3.12.2. Variable Puntero

- Declaro la variable `saludo` y lo inicializo con el puntero `cadena`
 - `char **saludo`

H.3.13. Funciones

- Pase de argumentos por **Referencia**
 - Declarar los parámetros de la función como variables puntero.
- Retorno por **Referencia**.
 - Declarar el valor de retorno como puntero.

Apéndice I

Prácticas

I.1. Prácticas

I.1.1. Documentación: guiones, bibliografía, apuntes

- Disponible en miaulario:
 - Apuntes *eecc_book.pdf* que incluyen los guiones, hojas de referencia, apéndices, ejercicios de autoevaluación y teoría.
 - Los módulos con el código fuente **.s** (miaulario/Recursos/prácticas/codigo_fuente.zip) [link G1](#) utilizados en todas las prácticas están disponibles en el servidor de miaulario de la UPNA:*Recursos/prácticas*
 - El libro de texto en que se basan los guiones de prácticas en lenguaje ensamblador : [Programming from the Ground-Up](#).

I.1.2. Plataforma de Desarrollo

I.1.2.1. Herramientas

- Editores
 - **Editores:** gedit, emacs, vim, sublime, kate,
 - **Herramientas integradas de edición, compilación, depuración:** eclipse CDT, netbeans, code::blocks, codelite, Microsoft's Visual Studio Code Editor, jetbrains clion, jeany, ajunta , GNAT Programming Studio, emacs, kdevelop, codestudio, etc
- Denominaciones
 - **i386** : denominación de linux a la arquitectura x86-32
 - **amd64**: denominación de linux a la arquitectura x86-64
 - **IA32**: denominación de Intel para la arquitectura x86-32
 - **IA64**: denominación de Intel para la arquitectura x86-64
- Sistema Operativo GNU/linux: Distribución Ubuntu : cualquier versión posterior al año 2014: 14.04, 14.08,..,17.04, 17.08
 - **lsb_release -a**: distribución
 - **uname -o** : S.O.
 - **uname -r** : kernel
 - **uname -a** : procesador
- Librerías necesarias para que las herramientas *gcc*, *as*, *ld* sean operativas en la arquitectura **i386** de 32 bits.

- `dpkg -l gcc-multilib:`

```
Deseado=desconocido (U) / Instalar/eliminar/Purgar/retener (H)
|
Estado=No/Inst/ficheros-Conf/desempaquetado/medio-conF/medio-inst (H) / espera-disparo (W) / ←
    pendiente-disparo
| / Err?=(ninguno)/requiere-Reinst (Estado, Err: mayúsc.=malo)
|| / Nombre      Versión      Arquitectura Descripción
+++=-----+
ii  gcc-multilib   4:7.3.0-3ubu amd64          GNU C compiler (multilib files)
```

- Si en las dos primeras columnas "Deseado/Estado" no pone **ii** significa que no están instaladas las librerías.
 - Compruebo que están en el repositorio accesible a través de la red internet:
 - `apt-cache show gcc-multilib`: repositorio
 - `sudo apt-get install gcc-multilib`: descarga e instalación sólo en caso de tener derechos de administrador
- Toolchain
 - `as --version & ld --version & gcc --version`: anotar las versiones

I.1.2.2. Referencias

I.1.3. Documento Memoria: Contenido y Formato

I.1.3.1. Contenido

- Durante el desarrollo de la práctica :
 - a. Es necesario reeditar el código fuente de los programas desarrollados con *comentarios*.
 - b. Compilar el módulo fuente mediante *comandos en línea*
 - c. Analizar el código fuente y binario mediante el *depurador*: las operaciones a realizar con el depurador es necesario salvarlas en un fichero.
- Durante la realización de la práctica es necesario tener abierto un Editor de texto para ir realizando la memoria simultáneamente a la ejecución de la práctica.
- El Documento Memoria ha de contener:
 - Una portada con el título de la práctica y los datos personales.
 - La primera hoja con una tabla de contenidos a modo de índice, no es necesario indicar Nº de página.
 - Los módulos fuente comentados,
 - Los comandos de compilación y análisis.
 - El historial de comandos GDB y sus salidas, utilizados durante la práctica.
 - Un apartado de conclusiones con lo aprendido en la práctica.
 - Un apartado de dudas sin resolver.
 - Preguntas explícitas que aparecen a lo largo de la memoria, si las hay.
 - **OPCIONALMENTE** las preguntas y respuestas del cuestionario de Autoevaluación de Prácticas. Ver apartado Evaluación.
 - Todo tipo Informacion Personal Necesaria a modo de apuntes para utilizar en el exámen.

I.1.3.2. Formato

- La estructura interna de la memoria es libre.
- El formato de la memoria ha de ser **PDF**, y no microsoft word u otro formato diferente.
- El nombre del fichero memoria ha de ser **N-XXX-apellido1_apellido2.pdf**
 - el nombre del ficheero no contendrá sni acentos ni eñes ni espacios en blanco
 - XXX significa el grupo de prácticas:
 - G11(Miércoles 17:00-19:00), G12(Miércoles 19:00-21:00)
 - G21(Martes 17:00-19:00), G22(Martes 19:00-21:00)
 - N significa el número de la sesión de prácticas: 1,2,3,4 ó 5.

I.1.3.3. Entrega del Documento Memoria

- Entregar el Documento Memoria a través de la aplicación **Tareas** del Servidor Miaulario. El plazo será de **CINCO DÍAS** desde la realización de la sesión de prácticas. La entrega de memorias fuera de plazo significa tener que examinarse de dicha práctica en la convocatoria ordinaria.

I.1.4. Evaluación

- Se evaluará:
 - la entrega de la memoria por el canal establecido con una penalización de 1 punto por cada día de retraso.
 - la estructura y formato de la memoria con los datos personales, índice, introducción, desarrollo, conclusiones y formato pdf con el nombre apropiado.
 - los comentarios de alto nivel (pseudocódigo) especificados en el módulo fuente tanto a nivel de bloque de instrucciones como instrucciones complicadas de interpretar o que se consideren importantes en la comprensión del código.
 - el cuestionario opcional de **Autoevaluación de Prácticas**



importante

El profesor evaluará de forma continua la actitud y labor del estudiante en el laboratorio pudiendo liberar al alumno de la realización del examen si los conocimientos y tareas realizadas así lo demuestran.



importante

Las preguntas y respuestas del cuestionario de **Autoevaluación de Prácticas** localizable en el capítulo V de los apuntes de la asignatura se realizan fuera del horario de prácticas a título personal. Si no se realiza la autoevaluación la puntuación máxima de la memoria será de **6 puntos** y si se realiza la puntuación máxima será de **10 puntos**.

I.1.5. Programación

I.1.5.1. Metodología

- Leer el enunciado del programa a desarrollar.
- Editar la descripción del algoritmo como Pseudocódigo:
 - Desarrollar el algoritmo definiendo las estructuras de datos y estructuras de instrucciones.

- constantes, variables, arrays, punteros, inicializaciones, bucles, sentencias selección, funciones y parámetros, entrada y salida del programa, etc
- Dibujar el Organigrama de alto nivel
 - Para un lenguaje de alto nivel (Pascal, C, ...), basado en el pseudocódigo.
- Dibujar Organigrama de bajo nivel
 - Desarrollar el algoritmo en lenguaje **RTL** basándose en la arquitectura x86. Traducir el organigrama de alto nivel a bajo nivel. Traduciendo secciones, variables, arrays, punteros, inicializaciones, bucles, sentencias selección, subrutinas y parámetros, entrada y salida del programa etc.
- Convertir el código RTL en lenguaje ensamblador **AT&T** para la arquitectura x86.
- Compilación con **gcc** o mediante la cadena de herramientas (toolchain) : **as -ld**
 - Depurar errores de síntesis.
- Ejecución: depurar errores en modo paso a paso mediante el depurador **GDB**

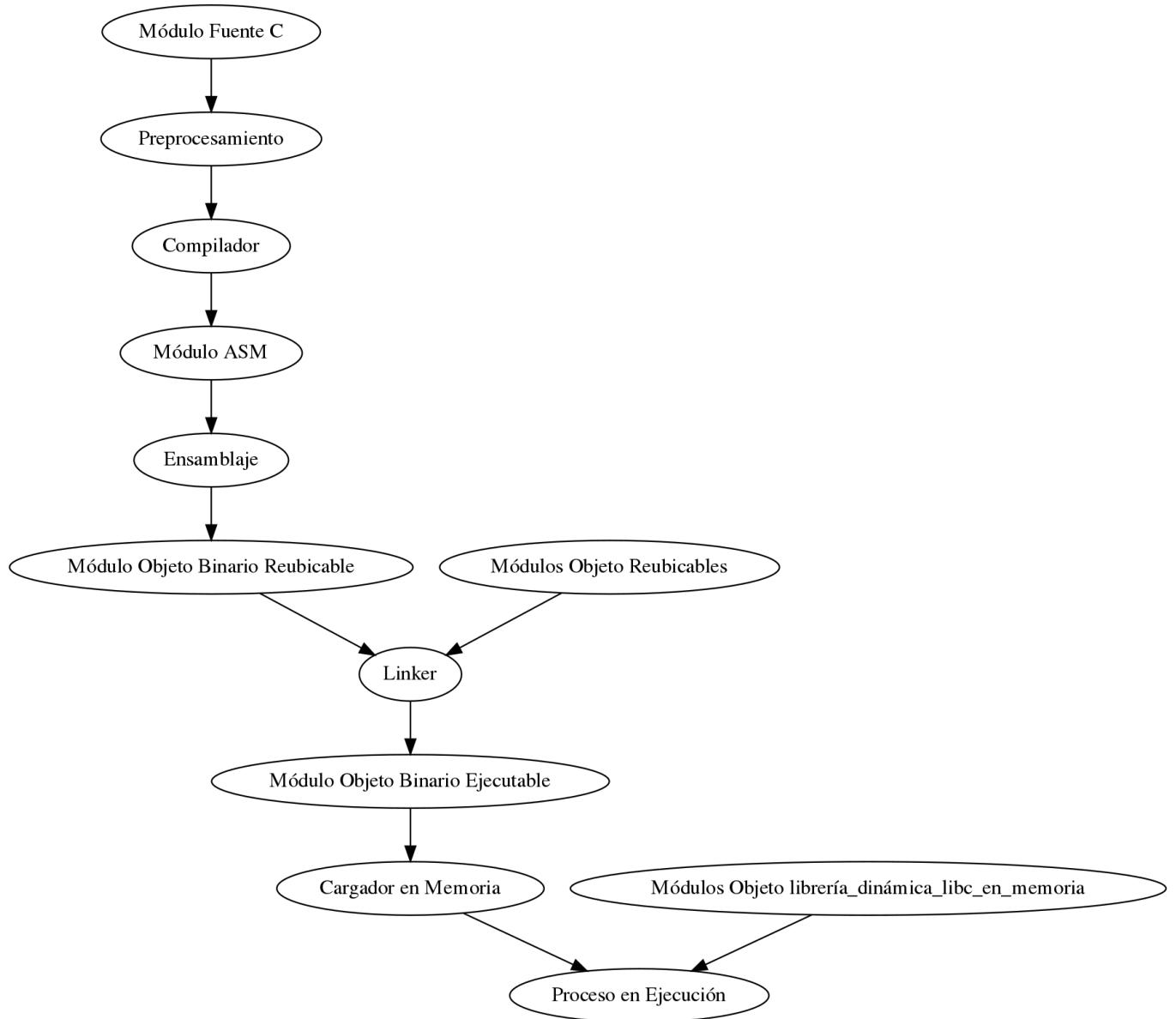
I.1.6. Compilación

I.1.6.1. Módulo fuente en lenguaje C

■ Compilación

- `gcc -m32 -o sumltoN sumltoN.c`
 - *m32* : 32 bits architecture machine
 - *sumltoN.c* : módulo fuente en lenguaje C
 - *-o* : output
 - *sumltoN* sin extensión: módulo objeto ejecutable aunque sería más preciso decir cargable en la memoria principal.
- carga en memoria principal
 - la hace automáticamente el S.O. al llamar al programa ejecutable desde un terminal o escritorio.
- `gcc -m32 -g -o sumltoN sumltoN.c`
 - *-g*: especifica que se genere la tabla de símbolos del programa fuente *sumltoN.c* para el debugger GDB y se inserte en el módulo ejecutable *sumltoN*. De esta manera se asocian el código binario, por ejemplo de una etiqueta, a su símbolo (lenguaje texto).

I.1.6.2. Fases de la compilación



- Parar la compilación en la 1^a fase: preprocessamiento: `gcc -E sumlton.c -o sumlton.i`
 - *.i:* Salida del preprocesador: elimina la información que no es código (comentarios,etc)
- Parar la compilación en la 2^a fase: traducir C a ensamblador: `gcc -S sumlton.c -o sumlton.s`
 - *.s: módulo en lenguaje fuente ensamblador .s*
- Parar la compilación en la 3^a fase: Generar el módulo objeto reubicable: `gcc -c sumlton.c -o sumlton.o`
 - *.o: módulo objeto reubicable :* código binario antes de ser enlazado mediante el linker con otros módulos objeto del sistema operativo, de la librería de C *libc* u otros módulos del programador.
- Realizar las 4 fases : Generar el módulo objeto ejecutable: `gcc -c sumlton.c -o sumlton`
 - fichero sin extensión: módulo objeto ejecutable: módulo binario configurado para ser cargado en la memoria principal y ejecutado por la CPU.
- `gcc -m32 --save-temp -o sumlton sumlton.c`

- `--save-temp`: gcc genera (save) los 3 ficheros parciales (temp) del proceso total de compilación `.i,.s,*.o` .
- Comprobar que en total disponemos de 5 ficheros: `.c,.i,.s,.o` y el ejecutable sin extensión.

I.1.6.3. Toolchain

- Cómo alternativa a realizar la compilación mediante un único comando con el driver `gcc` que ejecuta las distintas fases de compilación el proceso de compilación de puede realizar mediante el encadenamiento de herramientas que realizan cada una de ellas una de las distintas fases.
- Herramientas del toolchain:
 - Traducción de C a Ensamblador: no tiene una herramienta propia: `gcc -S sumltoN.c -o sumltoN.s`
 - **as**: Herramienta de Ensamblaje o ensamblador: `as --32 --gstabs -o sumltoN.o sumltoN.s`
 - `--32`: arquitectura de 32 bits
 - `--gstabs`: genera la tabla de símbolos
 - `-o` : fichero de salida : módulo binario reubicable `*.o`
 - **ld**: Herramienta de Enlazado ó Lincado: `ld -melf_i386 -o sumltoN sumltoN.o`
 - `-melf_i386` : arquitectura 32 bits
 - `-o`: fichero de salida : módulo binario ejecutable

I.1.6.4. módulo fuente en lenguaje ensamblador

- Comentar el programa fuente de manera abstracta funcional/operativa y no literal RTL

- Toolchain manual:

- `as --32 --gstabs -o sumltoN.o sumltoN.s :ensamblaje`
 - `*.s` : módulo fuente en lenguaje asm
 - `*.o` : módulo objeto reubicable
 - `--stabs`: generación de la tabla de símbolos e inserción en el módulo ejecutable.
 - `--32` : módulos fuente y objeto para la ISA de 32 bits
- `ld -melf_i386 -o sumltoN sumltoN.o`
 - `-melf_i386`: módulos objeto para la ISA de 32 bits

- Toolchain automático

- `gcc -m32 -nostartfiles -g -o sumltoN sumltoN.s`
 - `-m32`: módulos fuente y objeto para la arquitectura i386.
 - `-nostartfiles` : especifica que el punto de entrada no es main sino `_start`.

nota

Si el punto de entrada es **main** entonces es necesario informar al linker de que el punto de entrada (entry) es main: `gcc -e main -m32 -nostartfiles -g -o sumltoN sumltoN.s y ld -e main -melf_i386 -o sumltoN sumltoN.o`

- `g`: especifica que se genere la tabla de símbolos del programa fuente `sumltoN.s` para el debugger GDB y se inserte en el módulo ejecutable `sumltoN`

I.1.7. Errores Comunes

I.1.7.1. gcc

- En Ubuntu 18.0 si se compila para amd64 (gcc -nostartfiles -g -o sum1to64 sum1to64.s) la compilación se detiene con el mensaje de error:

```
/usr/bin/x86_64-linux-gnu-ld: /tmp/ccbhD6Vr.o: relocation R_X86_64_32S against `'.data'` can ←  
not be used when making a PIE object; recompile con -fPIC  
/usr/bin/x86_64-linux-gnu-ld: falló el enlace final: Sección no representable en la salida  
collect2: error: ld returned 1 exit status
```

- causa: está activada por defecto al opción -pie y hay que desactivarla
- solución: (gcc **-no-pie** -nostartfiles -g -o sum1to64 sum1to64.s)

I.1.7.2. gdb

- El logging histórico de los comandos gdb para salvarlos en un fichero se encuentra desactivado

I.2. Arquitectura amd64

I.2.1. Módulo fuente: sum1toN.s

```
#### Programa: sum1toN.s
### Descripción: realiza la suma de la serie 1,2,3,...N. La entrada se define en el ←
    propio programa y la salida se pasa al S.O.
### Lenguaje: Lenguaje ensamblador de GNU para la arquitectura AMD64
### gcc -no-pie -g -nostartfiles -o sum1toN sum1toN.s
### Ensamblaje as --gstabs sum1toN.s -o sum1toN.o
### linker -> ld -o sum1toN sum1toN.o
## Declaración de variables
## SECCION DE DATOS
.section .data

n:    .quad 5

.global _start

## Comienzo del código
## SECCION DE INSTRUCCIONES

.section .text
_start:
    movq $0, %rdi # RDI implementa la variable suma
    movq n, %rdx
bucle:
    add %rdx, %rdi
    sub $1, %rdx
    jnz bucle

## el argumento de salida al S.O. a través de RDI según convenio ABI AMD64
## salida
    mov $60, %rax # código de la llamada al sistema operativo: subrutina exit
    syscall # llamada al sistema operativo para que ejecute la subrutina según el ←
            # valor de RAX

.end
```

Apéndice J

Exámenes de Cursos Anteriores

J.1. Año 2018

J.1.1. Noviembre

1ª Prueba Parcial. 2018 Noviembre 10.

Grado de Informática 2º curso. Estructura de Computadores.

Universidad Pública de Navarra.

Duración: 90 minutos.

Apellidos:

Nombre:



importante

Puede utilizarse todo tipo de información escrita como memorias de prácticas, apuntes, hojas de referencia, etc. No puede utilizarse ningún dispositivo electrónico como calculadoras, teléfonos, ordenadores, etc ... Se han de incluir en la respuesta todo tipo de desarrollo necesario para llegar al resultado.

1. Computadora Institute Advanced Studies (IAS) de von Neumann:
 - a. (1 pto) Desarrollar un programa que realice la resta 0x00-0xFF y almacene el resultado en la variable denominada "resta". ¿Cuál será el contenido de la posición de memoria de la variable "resta"?
 - b. (1 pto) ¿Qué relación existe entre los tres componentes MAR, MBR y PC?
2. (1 pto) Cuál es el código digital del string de seis caracteres "Hola \n"
3. (1 pto) Los números 0123 y 0777 son números sin signo en base octal. Realizar la suma 0123+0777 directamente en base octal.
4. (1 pto) Los números 0xABCD y 0xEFED son números con signo en complemento a dos. Realizar la resta 0xABCD-0xEFED directamente. Calcular el valor del resultado.
5. (1 pto) Representar el número decimal 6.25 en formato IEEE-754 de doble precisión.
6. Formato de instrucciones:
 - Una computadora tiene una unidad de memoria de 256K palabras 32 bits cada una direccionable byte a byte. En una de las palabras de la memoria se almacena una instrucción. La instrucción tiene un formato de cuatro campos: un bit de dirección, un código de operación, un campo de operando para direccionar uno de los 64 registros y campo de operando que contiene direcciones de memoria.

- a. (2 pto) ¿Cuantos bits forman el campo de código de operación? Y del campo de registro? Y del campo de direcciones?
- b. (2 pto) ¿Cuantos bits forman parte del bus de direcciones y del bus de datos de la unidad de memoria?
7. (2 pto) En una subrutina indicar qué relación existe entre el puntero "frame pointer" del frame de la subrutina y la dirección de memoria donde se guarda la dirección de retorno.
8. (3 pto) Completar el código fuente del programa en lenguaje ensamblador adjunto teniendo en cuenta los comentarios que se adjuntan en el módulo fuente siguiente donde el algoritmo desarrollado realiza la conversión de un número decimal a código binario:

```
### Programa: convert_decbin.s
### Descripción: Convierte el número natural decimal 15 en binario mediante divisiones sucesivas por 2
### El código binario tiene un tamaño de 32 bits
### gcc -m32 -g -nostartfiles -o convert_decbin convert_decbin.s
### Ensamblaje as --32 --gstabs convert_decbin.s -o convert_decbin.o
### linker -r ld -melf_i386 -o convert_decbin convert_decbin.o

## MACROS

## DATOS

dec: .      15    # decimal (tamaño 4 bytes) a convertir en un código binario de 32 bits
      ## bin almacena el código en sentido inverso, bin[0] almacena el bit de menor peso.
bin:  .space 32    # array de 32 bytes: almacena en cada byte un bit del código binario de 32 bits.
divisor: .        # divisor (de tamaño 1 byte)

## INSTRUCCIONES

## inicializo ECX con el valor del divisor

## inicializo el índice del array bin

## Cargo el dividendo en EAX
      # eax <-x

## extiendo el bit de signo del dividendo en EDX
      # El dividendo siempre es positivo

## Divisiones sucesivas por 2 hasta que el cociente valga 0
bucle:
      ## idivl : [EDX:EAX] / Operando_fuente
      # EAX<-Cociente{x/y} , EDX<-Resto{x/y}
      # guardo el resto (de tamaño 1 byte) en el array bin
      ## extiendo el bit de signo en edx
      # El dividendo siempre es positivo

      ## actualizo el índice del array

## compruebo si el cociente ha llegado a cero para salir del bucle
```

```
## Devuelvo el número de bits del código binario en EBX  
  
## Código de la llamada al sistema operativo  
  
## Interrumpo la rutina y llamo al S.O.
```

- Mediante comandos del depurador GDB
 - a. (2 pto) imprimir el contenido del array "bin" con dos expresiones diferentes utilizando los comandos "examinar" y/o "imprimir".
 - b. (2 pto) imprimir el contenido del primer elemento del array bin
 - c. (2 pto) imprimir el contenido del último elemento del array bin
- 9. (2 pto) Llamadas al sistema
 - Completar el programa "convert_decbin.s" con el código necesario para imprimir en la pantalla un mensaje de bienvenida mediante la llamada directa write.

J.2. Año 2017

Prueba Parcial. 2017 Septiembre 22.
Grado de Informática 2º curso. Estructura de Computadores.
Universidad Pública de Navarra.
Duración: 30 minutos.
Apellidos:
Nombre:

1. En el modelo de Von Neumann cuál es la función de la Unidad de Control .
2. Cuáles son las distintas fases del ciclo de instrucción de la máquina de Von Neumann.
3. Convertir el número decimal 291 en base octal.
4. Realizar la operación -18-21 en complemento a 2.
5. En qué consiste el concepto de abstracción en al organización de una computadora.
6. Desarrollar el programa en lenguaje ensamblador sum.ias, de la máquina IAS, que implemente el algoritmo $s=1+2$.

Prueba Parcial. 2017 Octubre 10.
Grado de Informática 2º curso. Estructura de Computadores.
Universidad Pública de Navarra.
Duración: 30 minutos.
Apellidos:
Nombre:



importante

Puede utilizarse todo tipo de información escrita como memorias de prácticas, apuntes, hojas de referencia, etc

1. Completar el módulo fuente exa_2017.s en lenguaje ensamblador AT&T x86-32.(6 ptos)

```
### Estructura de Computadores curso 2017-18. Prueba evaluatoria 2017 Octubre 10
###
### Objetivos:
###          Manejar la codificación de datos enteros con signo
###          Estructuras de datos: puntero y array
###          Modos de direccionamientos indirectos e indexados
###          Lenguaje asm x86-32
### Algoritmo: El array lista contiene cinco números enteros negativos de tamaño dos bytes,
###              desde -5 hasta -1, siendo -5 el valor de la posición cero.
###          Copiar el contenido del array lista en el buffer.
###          Al buffer se accede indirectamente a través de la variable puntero EAX
###          El argumento de salida enviado al sistema operativo ha de ser
###          el primer valor del array lista.

## MACROS
.equ    SYS_EXIT, 1      # Código de la llamada al sistema operativo
.equ    LEN,      5      # Longitud del array y del buffer
## VARIABLES: lista y buffer
.data

lista: # Array inicializado con datos representados en HEXADECIMAL

-----  
buffer: # Reserva memoria para el buffer sin inicializar.

-----  
## INSTRUCCIONES
## Punto de entrada

-----  
_start:  
    ## inicializo el argumento de salida con el valor cero

-----  
    ## inicializo la variable puntero EAX

-----  
    ## inicializo el bucle con el número de iteraciones. Utilizar las macros.
    mov    , %esi
bucle:  
    -----  
    -----  
    -----  
    -----  
    dec   %esi
    jns   bucle
    ## salida

    mov   _ _ _ _, %eax

    int  _ _ _ -
.end
```

■ Cuestiones:

- Comando gdb para visualizar el contenido del buffer una vez finalizada la copia (2 pto):
 - .
 - (gdb)
- Si la etiqueta lista apunta a la dirección 0x00555438 indicar el contenido de las direcciones (2 pto):
 - .
 - 0x0055543C :
 - .
 - 0x0055543D :

Prueba Ordinaria. 2018 Diciembre 7.

Grado de Informática 2º curso. Estructura de Computadores.

Universidad Pública de Navarra.

Duración: 45 minutos.

1ª PARTE (10 ptos)**■ Duración: 20 minutos****■ Calificación:**

1. (3 ptos) Resta de números sin signo: 0x8000 - 0x7AFF → las operaciones han de realizarse en código HEXADECIMAL exclusivamente

2. (3 ptos) Resta de números con signo: 0x8000 - 0x7AFF → las operaciones han de realizarse en código HEXADECIMAL exclusivamente

3. (3 ptos) Relacionar en una sola frase los conceptos: contador de programa, ruta de datos, ciclo de instrucción, secuenciador, microordenes, unidad aritmético lógica, microarquitectura , captura de instrucción.

2^a PARTE (10 pts)

- Duración: 25 minutos
- Calificación:

1. (6 ptos) Desarrollar el módulo fuente *cadena_longitud.s* en lenguaje ensamblador AT&T x86-32.

```
/*  
  
Programa: calcular el tamaño de una cadena de caracteres inicializada en el propio ←  
programa fuente con la frase "Hola"  
Algoritmo: Implementar un bucle hasta encontrar el carácter fin de string : \0  
Etiquetas: La referencia al string se realizará mediante el símbolo cadena.  
Comentarios: Se ha de comentar el módulo fuente por bloques de código que tengan un ←  
sentido en lenguajes de alto nivel exclusivamente, no por líneas de código que ←  
describan una instrucción máquina.  
*/  
  
## Definición de MACROS  
.equ SUCCESS, 0  
.equ SYS_EXIT, 1  
.equ FIN_CAR, '\0'
```

■ Cuestiones: (4 ptos)

- Dos comando gdb para visualizar el contenido del objeto almacenado en la dirección cadena
 - (gdb)
 - (gdb)
- Comando gdb para visualizar exclusivamente el carácter fin de cadena.
 - (gdb)
- Indicar los dos comandos necesarios para compilar el programa fuente anterior mediante un toolchain manual, sin utilizar el front-end gcc.

GRUPO:

APELLIDOS:

NOMBRE:

Prueba Ordinaria. 2018 Diciembre 7.

Grado de Informática 2º curso. Estructura de Computadores.

Universidad Pública de Navarra.

Duración: 50 minutos.

3ª PARTE (10 ptos)

■ Duración: 50 minutos

■ Calificación:

1. (2 ptos) En una llamada a una subrutina con 6 argumentos y una variable local al finalizar el ciclo de instrucción de la instrucción **CALL subrutina** el stack pointer apunta a la dirección 0xFFFFA0C. Calcular:

- La dirección de memoria donde se guarda la dirección de retorno

- La dirección de memoria de la variable local

- La dirección de memoria del 1º argumento de la subrutina

1. (4 ptos) El diagrama de bloques de la microarquitectura de la cpu de una computadora con un tamaño de palabra de 16 bits se corresponde con el de la figura en la hoja adjunta. La ISA de dicha computadora dispone de un lenguaje ensamblador que se corresponde con los mnemónicos y la sintaxis AT&T x86-32 . En la memoria principal se carga el código máquina, correspondiente a la sección de instrucciones del módulo fuente, siguiente:

```
movw $0xF000, R0  
movw R0, R1  
addw R1, R0  
subw R1, R0
```

- Si el secuenciador de la unidad de control está diseñado como una máquina de 4 estados T0,T1,T2 y T3 , indicar en la tabla adjunta las microórdenes a ejecutar en cada estado del ciclo de instrucción para cada instrucción del programa.

| | T0 | T1 | T2 | T3 |
|------------------------|----|----|----|----|
| mov \$0xF000,R0 | | | | |
| movw R0,R1 | | | | |
| addw R1,R0 | | | | |
| subw R1,R0 | | | | |

1. (4 ptos) Organización de una memoria jerarquizada

- En el proceso de compilación de un programa, desde la fase inicial de edición hasta la carga del programa en un proceso en la memoria principal, la cadena de herramientas "toolchain" genera distintos espacios de memoria en los diferentes módulos del proceso de traducción de código. Rellenar la tabla adjunta con las características propias de cada espacio generado.

| Herramienta | Programa | Estructura del Espacio de Memoria y Direcciónamiento | Tipo de direcciones | Localización del código |
|-------------|---------------|--|---------------------|-----------------------------|
| Edición | Módulo Fuente | Secciones y Etiquetas | Virtual, No lineal | Mem. Secundaria: Disco duro |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

- Cómo estructura el controlador de memoria caché dentro de la jerarquía de memoria la memoria caché y la memoria RAM dinámica.

- Físicamente, en que consiste una celda de memoria RAM dinámica.

- Cómo sincroniza las transferencias de datos a través del bus del sistema, una memoria ram dinámica Double Data Rate DDR.

1. (3 ptos) Mecanismos de operaciones E/S

- Dibujar el diagrama de bloques del HW necesario entre una tecla del teclado y las unidades básicas de la arquitectura von Neumann de una computadora para realizar la transferencia de datos mediante el mecanismo de interrupciones.

- Dibujar el diagrama de bloques del SW necesario entre una tecla del teclado y las unidades básicas de la arquitectura von Neumann de una computadora para realizar la transferencia de datos mediante el mecanismo de interrupciones.

Apéndice K

Miaulario: Videoconferencia

K.1. Introducción

- Información
 - https://miaulario.unavarra.es/access/content/group/b15fc60b-3c66-452d-a7d9-42ec8cdab3a1/CSIE_WEB/site_csie/zoom-gida-zoom-gida_es.html
 - correo electrónico csie@unavarra.es

K.2. Instalación de Zoom

- El conferenciante necesita instalarse la aplicación ZOOM en su versión básica (gratuita)
- <https://zoom.us/>
- Es necesario registrarse
- En la versión Ubuntu 18.0 desde el navegador Firefox no se puede iniciar el cliente
- Descargar el paquete zoom_amd64.deb
- comando de instalación: `dpkg -i zoom_amd64.deb`
- Abrir el cliente: `./zoom`

K.3. Guía de usuario Zoom

K.3.1. Configuración

- Testear el audio

K.4. Sesión de videoconferencia

- Desde miaulario → login → asignatura → videoconferencia
- https://miaulario.unavarra.es/access/content/group/b15fc60b-3c66-452d-a7d9-42ec8cdab3a1/CSIE_WEB/site_csie/zoom-gida-zoom-gida_es.html

Colofón

Text at the end of a book describing facts about its production.