



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

86.41 - Sistemas Digitales

TP N°1 - Contador BCD de 4 dígitos con salida a display 7
segmentos

Nombre	Correo electrónico	Padrón
Álvaro Gaona	alvgaona@gmail.com	93394

Fecha de entrega: 25 de septiembre
2° cuatrimestre de 2014

1. Resumen

En este trabajo se pretende comenzar a hacer uso del lenguaje VHDL para una introducción básica de la programación de FPGA (Field Programming Gate Arrays) cuyo enfoque se hizo en la programación, simulación, sintetización e implementación de un contador BCD de 4 dígitos con salida a un display de 7 segmentos. Dicha implementación se llevó a cabo en el kit “*Spartan 3 Starter Board*” de la empresa Xilinx.

2. Desarrollo

El trabajo consistió de dos etapas básicamente. En primer lugar se programó el módulo de cuatro contadores BCD, junto al generador de enable para disminuir la frecuencia del clock, el cual posee una frecuencia de 50 MHz . Como segunda etapa, se llevó a cabo el driver del display de 7 segmentos, para luego unirlos en un mismo archivo. Ésto se ideó de tal manera que para un futuro se tenga a disposición dos módulos por separados por si en algún momento se necesitan para una próxima implementación.

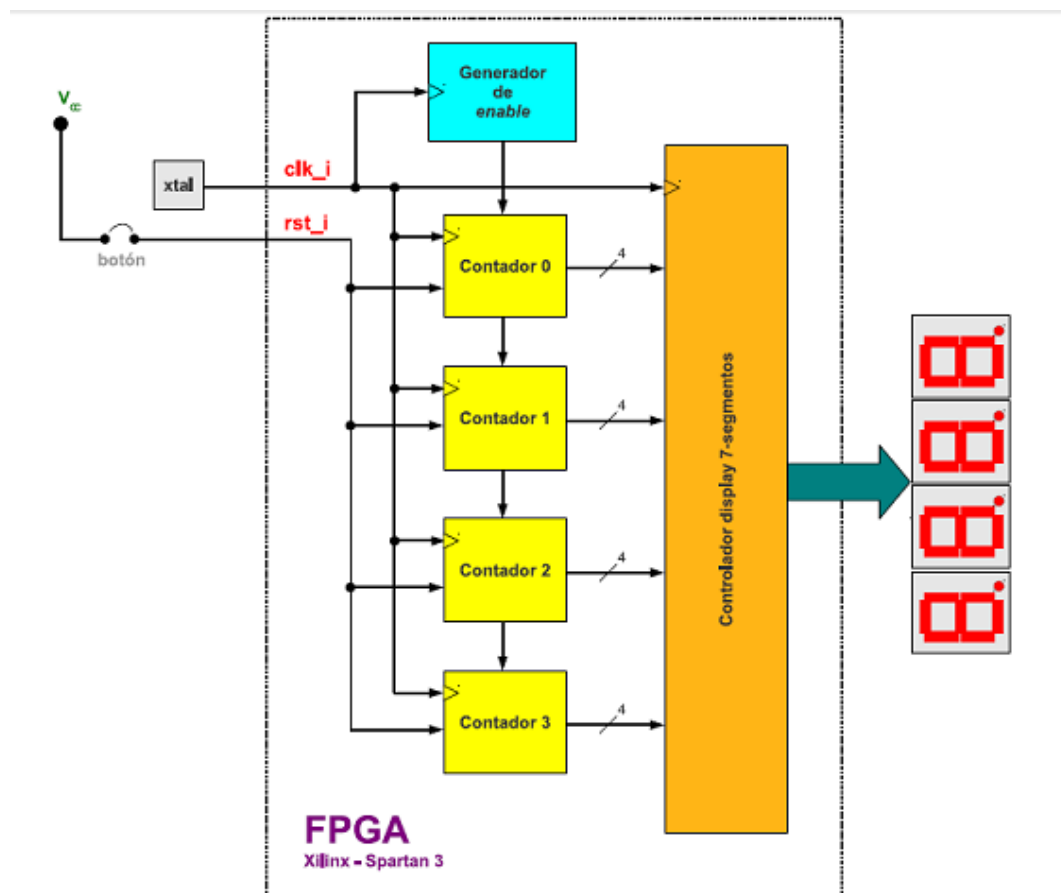


Figura 1: Contador BCD de 4 dígitos con salida a display de 7 segmentos

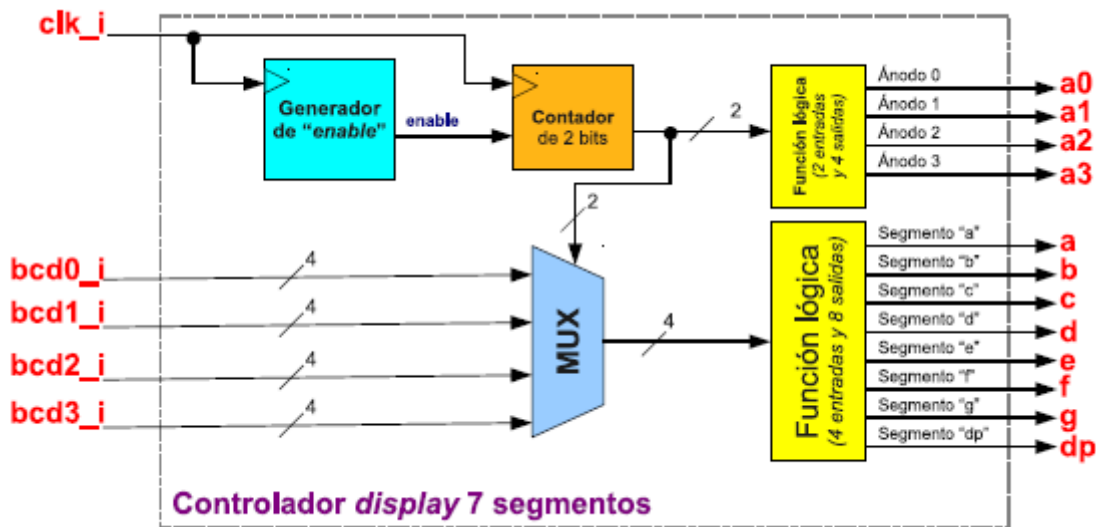


Figura 2: Driver del display de 7 segmentos

2.1. Contador de 4 bits

Los contadores BCD de 4 bits implementados en el módulo de contadores, son contadores hechos con Flip-Flops D. Cada uno de los flip-flops tienen una entrada en la cual el clock ingresa, para que los contadores sean sincrónicos. En la Figura 3 se puede observar la simulación de un contador BCD de 4 bits.

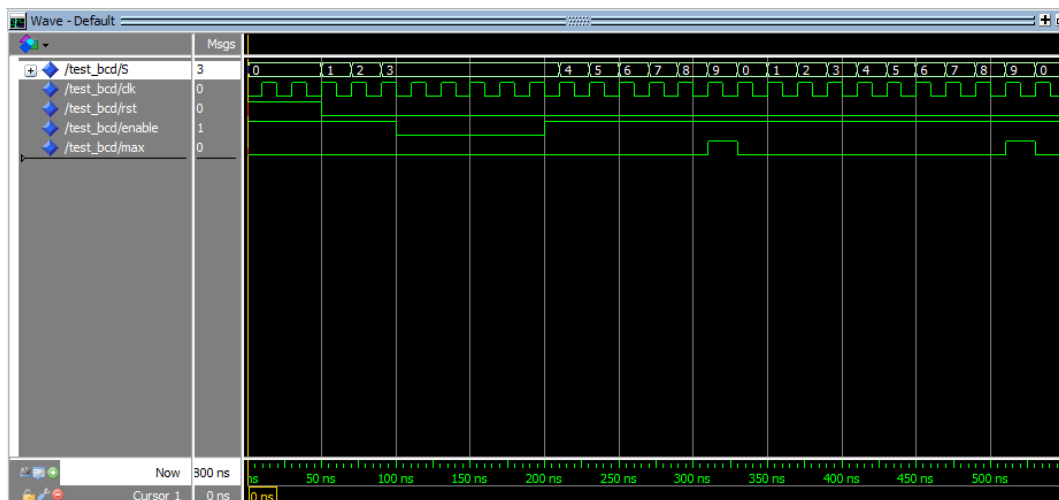


Figura 3: Simulación del contador BCD de 4 bits

2.2. Generadores de enable

Los generadores de enable, bloques desintados a dividir la frecuencia, se han implementado con el objetivo de establecer una velocidad de cuenta a los contadores. En este trabajo se han implementado dos de ellos: uno que indique al primer contador BCD contar cada 1 segundo y otro generador con una frecuencia de 200 Hz , a fin de multiplexar la salida de los cuatro contadores y encender el display, cuya velocidad es suficiente para poder engañar la visión y ver los 4 LEDs 7 segmentos encendidos a la vez. En las Figura se puede observar la simulación del generador de enable (la frecuencia se encuentra adaptada para poder visualizar en la simulación su correcto funcionamiento).

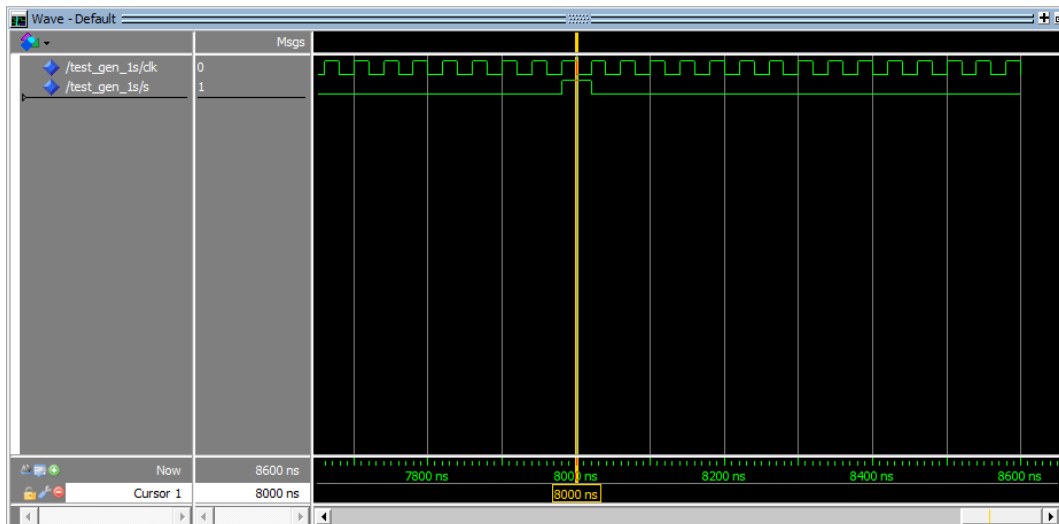


Figura 4: Simulación del generador de enable para una frecuencia simulable

2.3. Driver del display de 7 segmentos

En esta etapa como se ha mencionado en puntos anteriores, se implementaron distintos bloques, como han de ser: el multiplexor, el contador de 2 bits, dos decoders de 2 a 4 y 4 a 8 para los anódos y entradas del display respectivamente, como así también el generador de enable de 200 Hz mostrado con anterioridad.

- Multiplexor: este bloque se ha implementado mediante VHDL en un process, el cual posee dos entradas de control y cuatro entradas para multiplexar con una única salida.
- Decoders: estos dos decoders se implementaron mediante funciones lógicas, es decir, previamente se realizaron los respectivos mapas de Karnaugh. Sin embargo, implementados de esta manera el código sólo sirve para este caso particular de 2 a 4 y 4 a 8, es decir, no es reutilizable.
- Contador de 2 bit: este contador BCD fue implementado de la misma manera que los contadores BCD de 4 bits.

3. Funcionamiento

Por último, se puede observar en la Figura 6, la simulación de todos los módulos interconectados y corroborando así dicho objetivo que se propuso al principio de este trabajo.

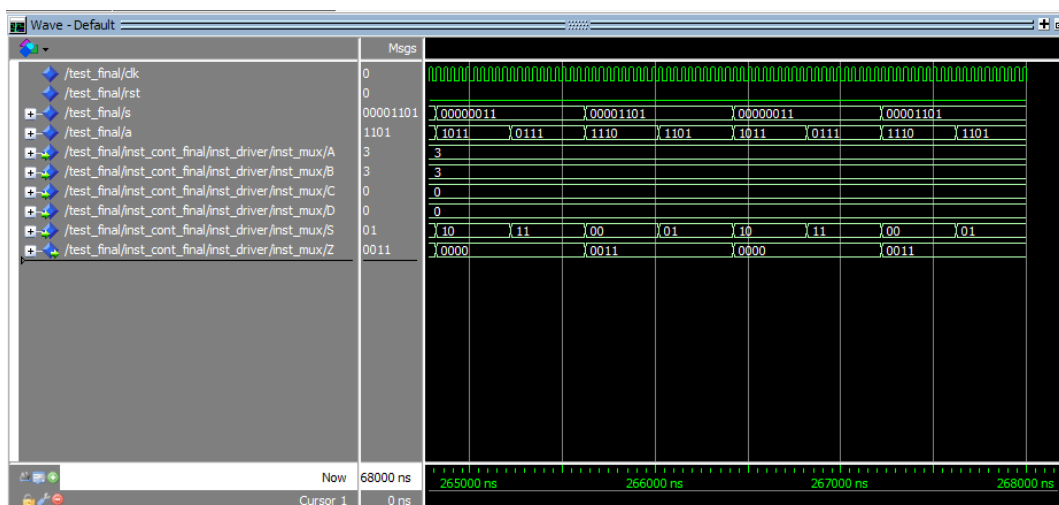


Figura 5: Simulación del contador de 4 cifras

4. Conclusiones

En este trabajo se lograron cumplir los objetivos propuestos. La programación, simulación y síntesis del contador BCD de 4 cifras a display 7 segmentos como así también una primera aproximación a la programación en código VHDL y las herramientas de simulación y síntesis, como son “*ModelSim/QuartaSim*” e “*ISE Design*”. Para luego abordar y seguir profundizando en otros proyectos.