

XC7K35T_GTP_USB_Core_LiteRevB.1

1、在RevB上小改动，完善

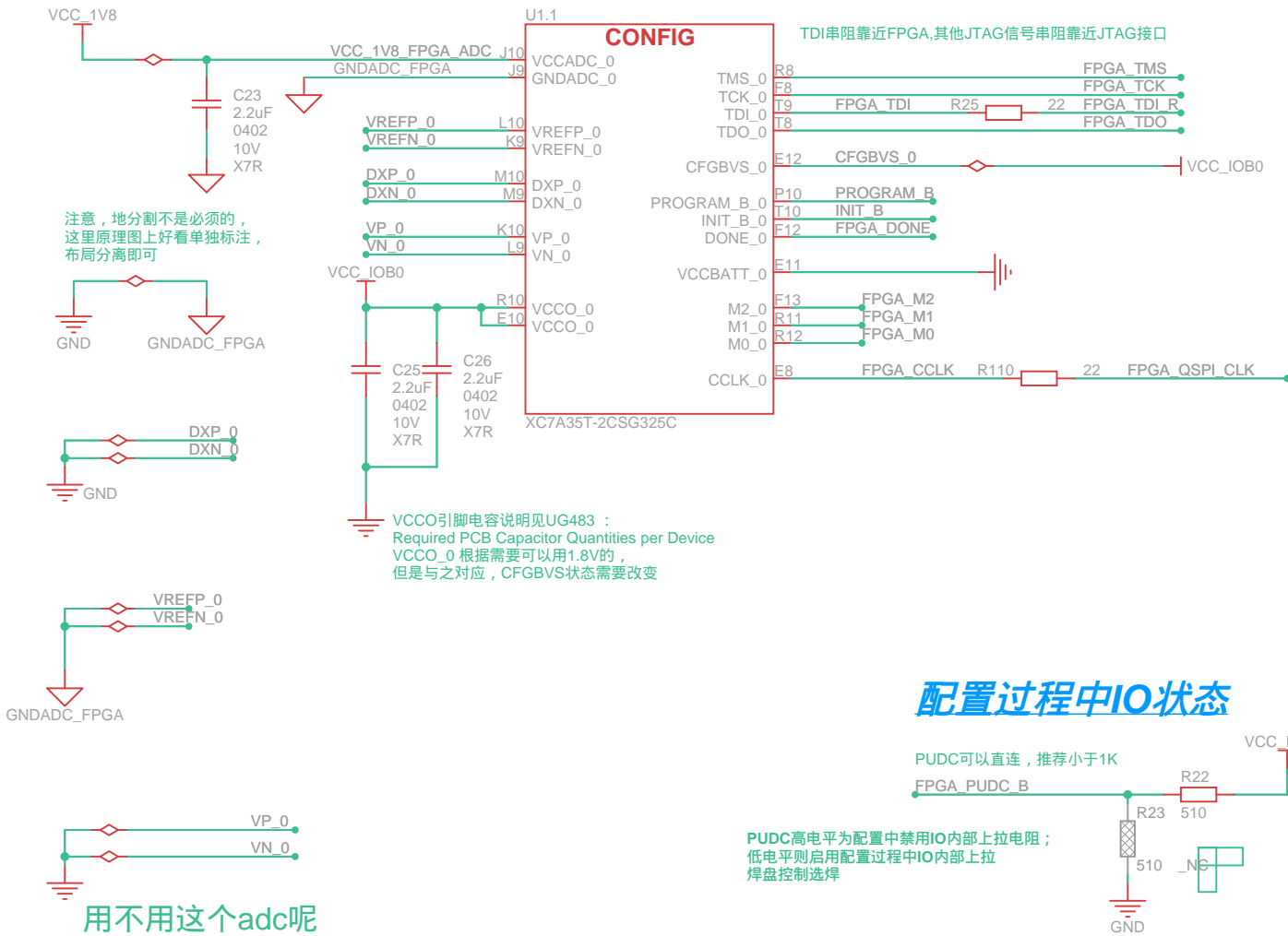
版本说明：这一版是无DDR版

原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-07
图页	封面			创建日期	2025-09-28
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	1 共 11
		Rev.A.0	A3	Xxx Studio	

FPGA 配置

1. DXP/N:接入热敏温度二极管
(Anode: DXP; Cathode:DXN)
-- UG475
这里不使用,接地
2. VREFP/N:接入1.25V VREF;
用于12Bit 1Msps ADC
或者全部接地使用内部VREF; --UG475 UG480
这里使用内部
3. VP/N_0:专用ADC差分输入;
单端下:电压范围0-1V;VN_0可承受范围0-0.5V;
双极性信号:依然是1V
软件配置需要修改为双极性,共模电压说明看手册
如果不用,接地 --UG480
- 注释:温度传感器也在ADC通道上,
见UG480 Page 24Temperature Sensor
4. ADC供电为1.8V,
磁珠滤波即可,
此脚必须供电
5. CFGBVS_0:
如果BANK 0、14或15的VCCO为2.5V/3.3V,则必须连接到VCCO_0;
如果BANK 0、14和15的VCCO小于或等于1.8V,则应连接到GND。
对于BANK0,CFGBVS一直有效,
对于BANK14、15,只在配置阶段有效,
具体参考UG470 ^Configuration Banks Voltage Select^
这里BANK14\15用3.3VBANK0使用3.3V,因此直接连接到3.3V
6. PROGRAM_B: 低电平复位配置并重新进入配置;
这里不考虑外部配置,直接使用不低于4.7K 的电阻上拉
INIT_B: 配置完成变成高电平,
也可以用于外部拉低保持不配置状态直到拉高;
这里不考虑外部配置,直接使用不低于4.7K 的电阻上拉
对于PROGRAM_B和INIT_B,参考UG470 Serial Configuration Mode

Config部分参考UG470,XMP277



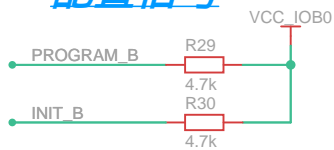
用不用这个adc呢

配置过程中IO状态

PUDC可以直连,推荐小于1K
FPGA_PUDC_B

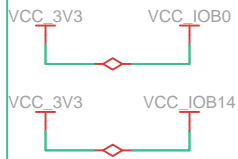
PUDC高电平为配置中禁用IO内部上拉电阻;
低电平则启用配置过程中IO内部上拉
焊盘控制选择

配置信号



这里使用3.3V FLASH是因为BANK14是用的3.3V
实际上BANK14和BANK0电压要一样

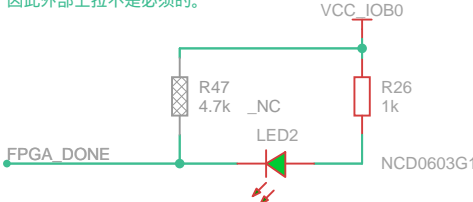
BANK电压



注意,这里使用了SPI FLASH,
需要BANK14和BANK0 IO电压一致

DONE 指示灯

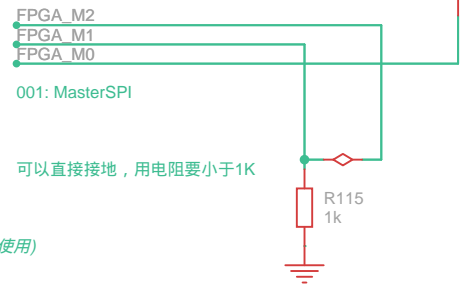
7系产品FPGA的DONE信号内置了大约10K的上拉信号,
因此外部上拉不是必须的。



FPGA_DONE加载之前为低电平,加载前亮灯,加载后灯灭

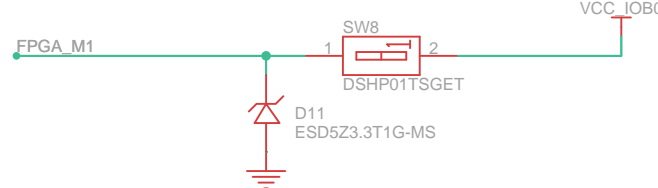
配置模式

配置模式引脚有内置上拉,默认是111



可以直接接地,用电阻要小于1K

JTAG only:101(不使用)
Master SPI: 00 1
Slave Serial:11 1
Slave SelectMAP:11 0 (不使用)



CONFIG FLASH

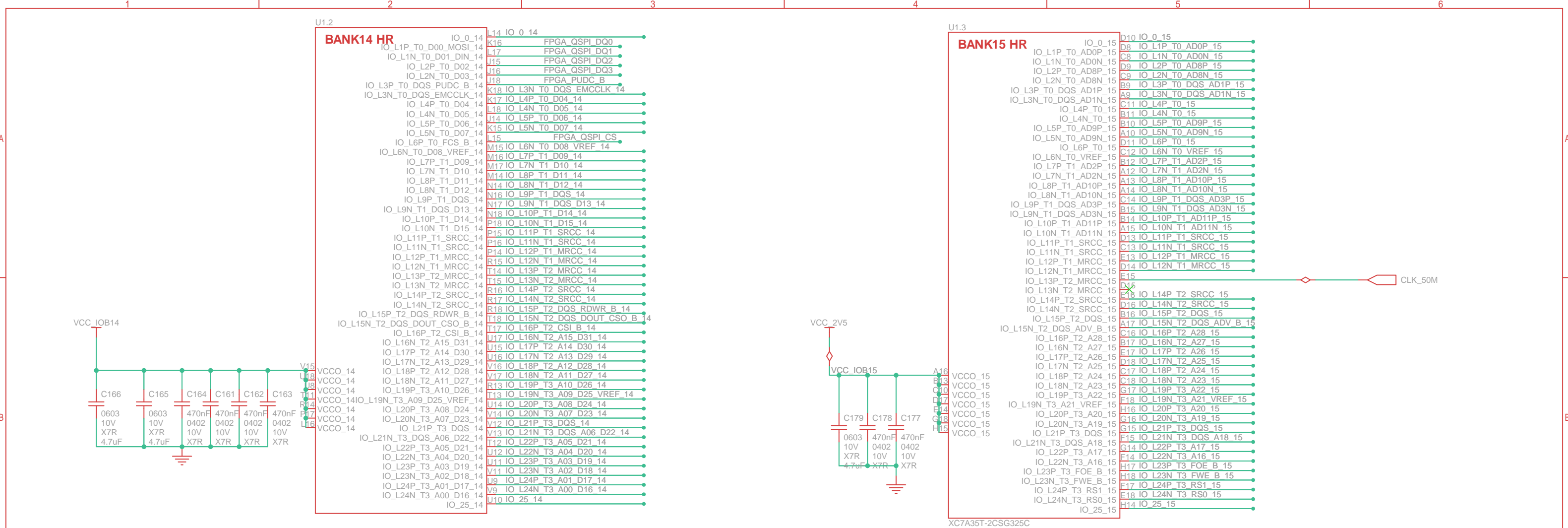


JV型号最低工作电压2.7V

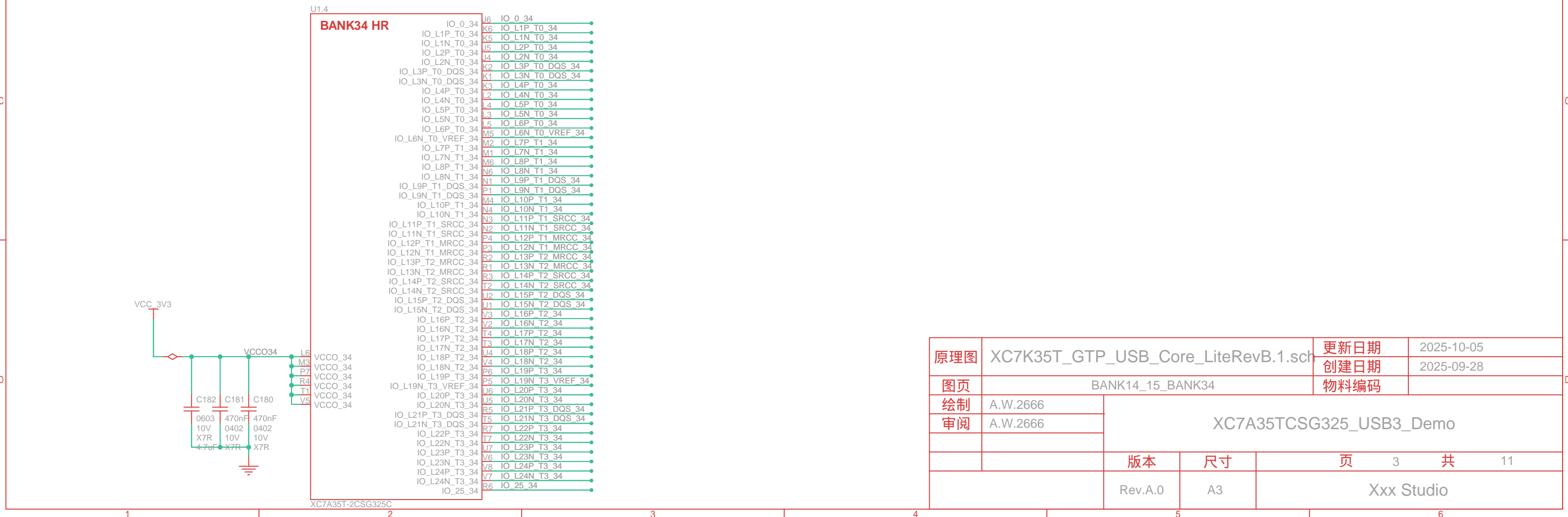
按照官方参考设计,这里用2.4K上拉FCS,4.7K上拉D02/D03

配置模式	Bank使用	配置I/O电压	Bank0 Vcco_0	Bank14 Vcco_14	Bank15 Vcco_15	CFGBVS
JTAG (only)	0	3.3V	3.3V	Any	Any	VCCO-0
		2.5V	2.5V	Any	Any	VCCO-0
		1.8V	1.8V	Any	Any	GND
		1.5V	1.5V	Any	Any	GND
Serial, SPI, or SelectMAP	0, 14	3.3V	3.3V	3.3V	Any	VCCO-0
		2.5V	2.5V	2.5V	Any	VCCO-0
		1.8V	1.8V	1.8V	Any	GND
		1.5V	1.5V	1.5V	Any	GND
BPI	0, 14, 15	3.3V	3.3V	3.3V	3.3V	VCCO-0
		2.5V	2.5V	2.5V	2.5V	VCCO-0
		1.8V	1.8V	1.8V	1.8V	GND
		1.5V	1.5V	1.5V	1.5V	GND

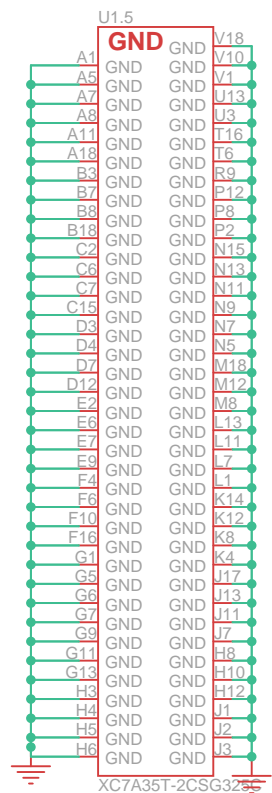
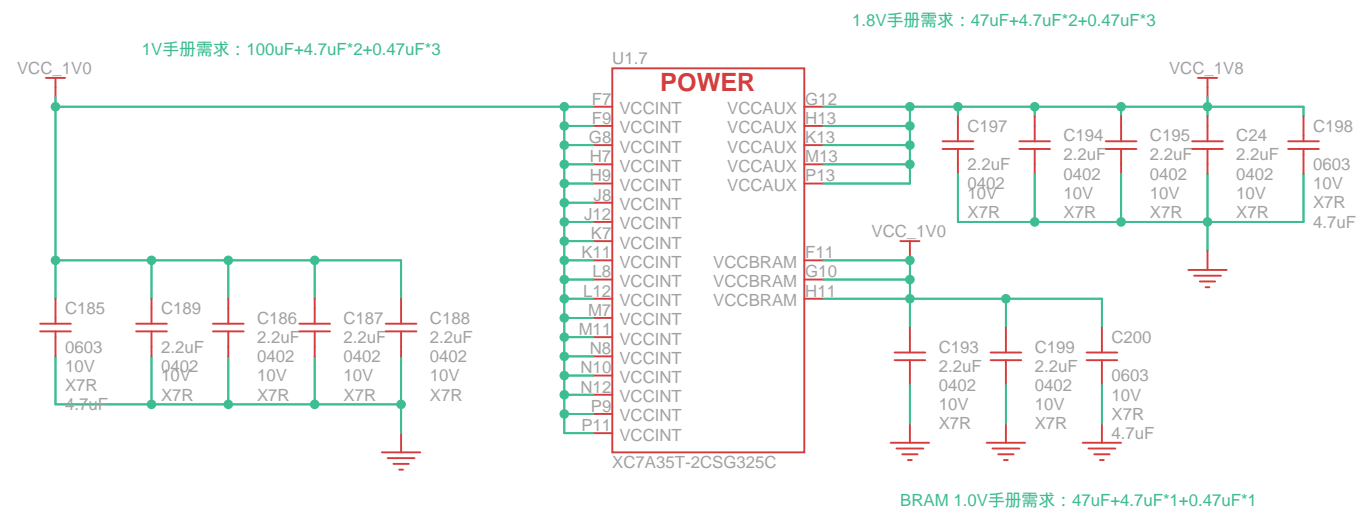
原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-05
				创建日期	2025-09-28
图页	FPGA CONFIG			物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	2 共 11
		Rev.A.0	A3	Xxx Studio	



注意，这里使用了SPI FLASH
需要BANK14和BANK0 IO电压一致

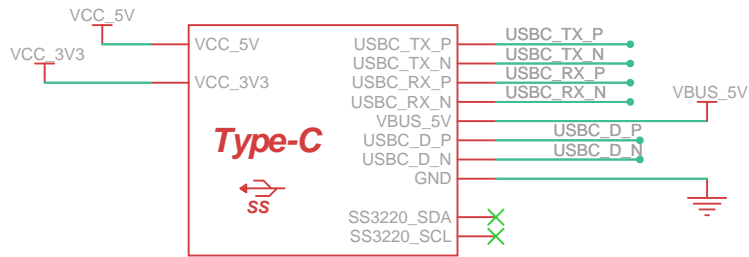


原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-05
				创建日期	2025-09-28
图页	BANK14_15_BANK34			物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	3 共 11
		Rev.A.0	A3	Xxx Studio	

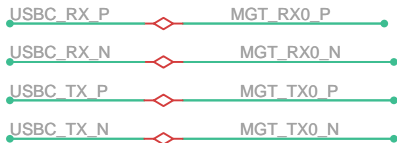


原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch		更新日期	2025-10-05
			创建日期	2025-09-28
图页	FPGA POWER		物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo		
审阅	A.W.2666			
		版本	尺寸	页 5 共 11
		Rev.A.0	A3	Xxx Studio

USB3和2都是差分90R



https://xillybus.com/sfp2usb-module 明确指出这个IP符合USB3规范支持极性翻转（这里没使用）



信号不经连接器，TX耦合电容靠近接收侧或者发送侧都行，经过连接器最好靠近TX侧，另外原则上来说，这里switch发送耦合电容应该在开关之前放置两对，不过实测放在开关之后放置一对也行，但是考虑对端接收端可能存在的抽象共模，还是应该放在switch前面

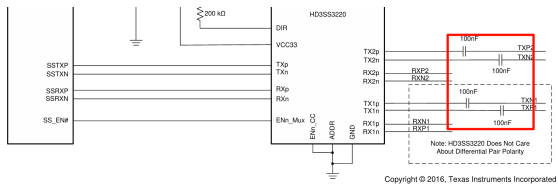
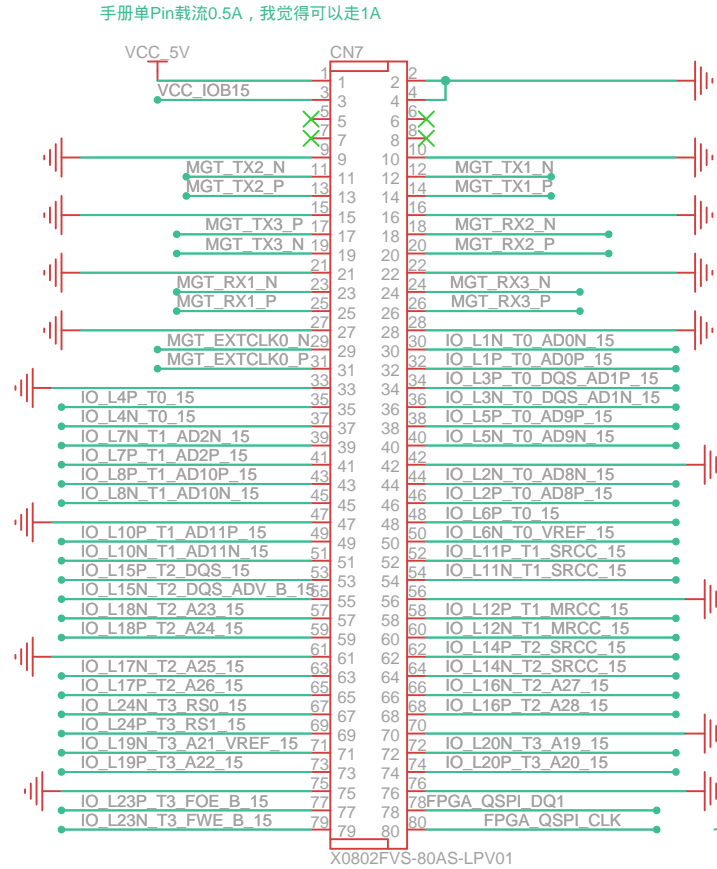


图 8-3. 使用 HD3SS3220DFP 的 UFP 应用

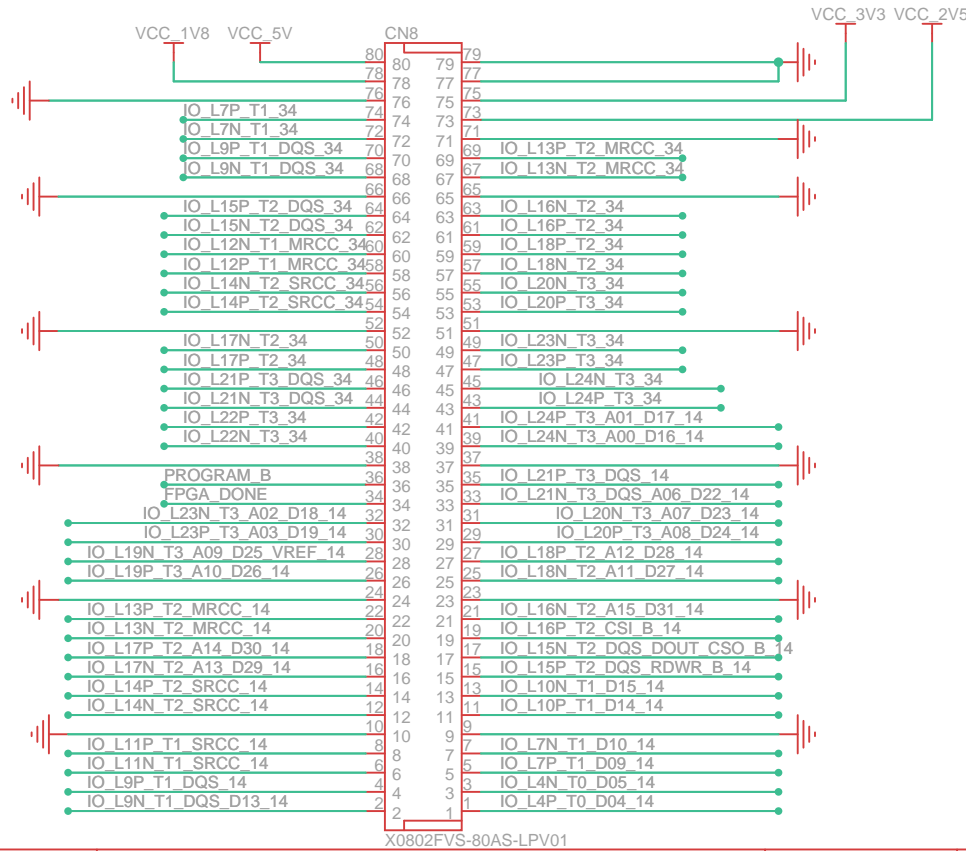
提供20对差分对



外部加载信号

FPGA->外部
外部->FPGA
init_b只是指示上升之后mode引脚采样，不用引出
要从并加载，至少d7-d0要引出
要从串加载，D01（DIN）引出即可

根据接触电阻保守估算，按照每个Pin温升10 可过电流0.689A

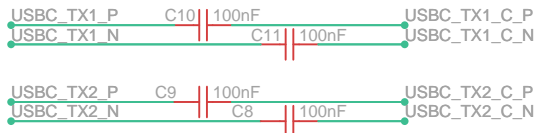
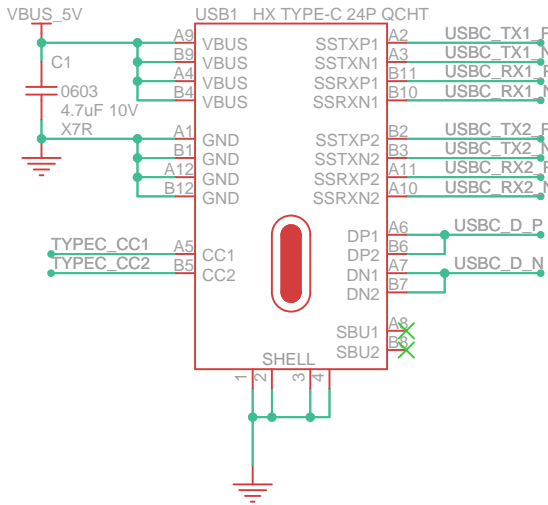


提供30对差分对

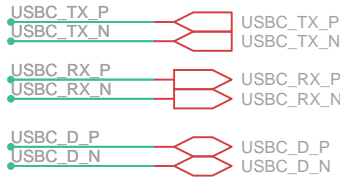
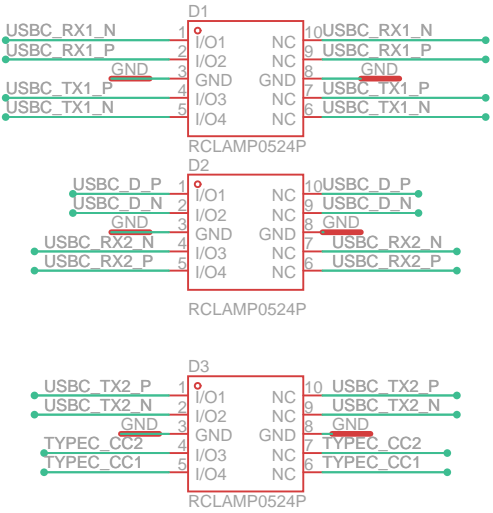
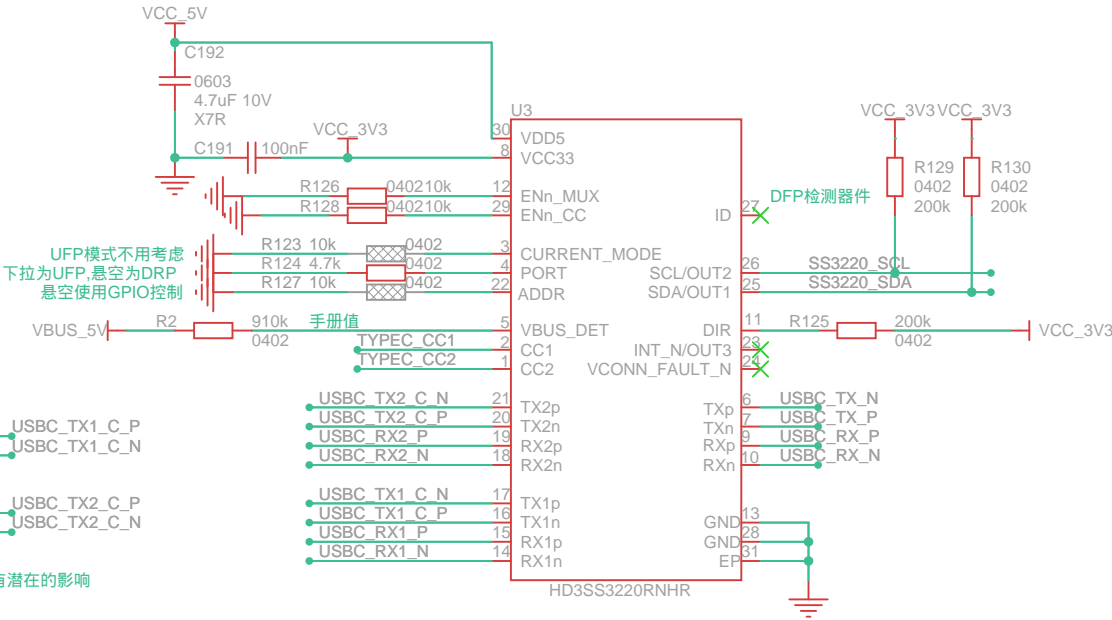
原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-08
				创建日期	2025-09-28
图页	USB&BTB			物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	6 共 11
		Rev.A.0	A3	Xxx Studio	

UFP 应用

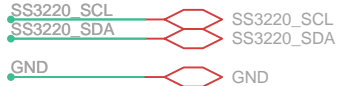
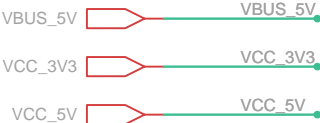
对于使用标准USB连接器的设计，USB规范要求线缆中交叉TX/RX，所以板子上不要交叉



电容在Switch之前，避免RX端的不规范共模对Switch有潜在的影响

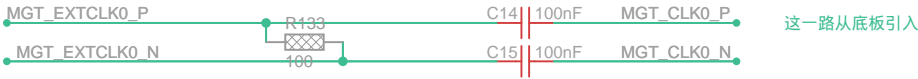
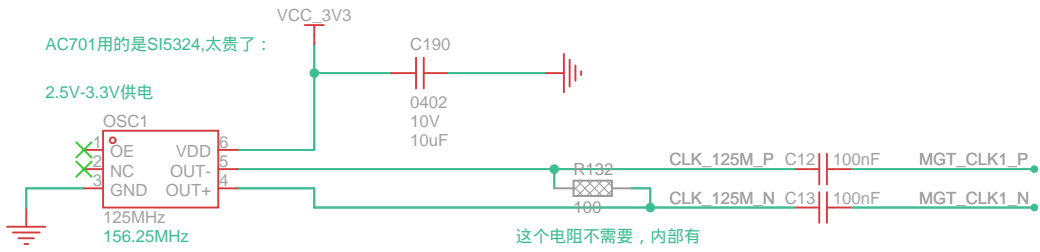


USB3规范要求支持极性翻转
对于使用标准USB连接器的设计，USB规范要求了线缆中交叉TX/RX，所以板子上不要交叉

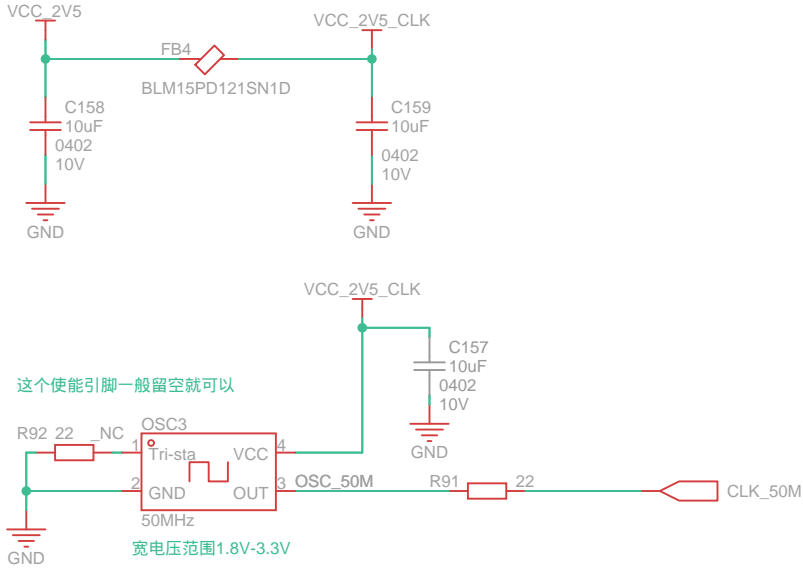


USB3和2都是差分90R

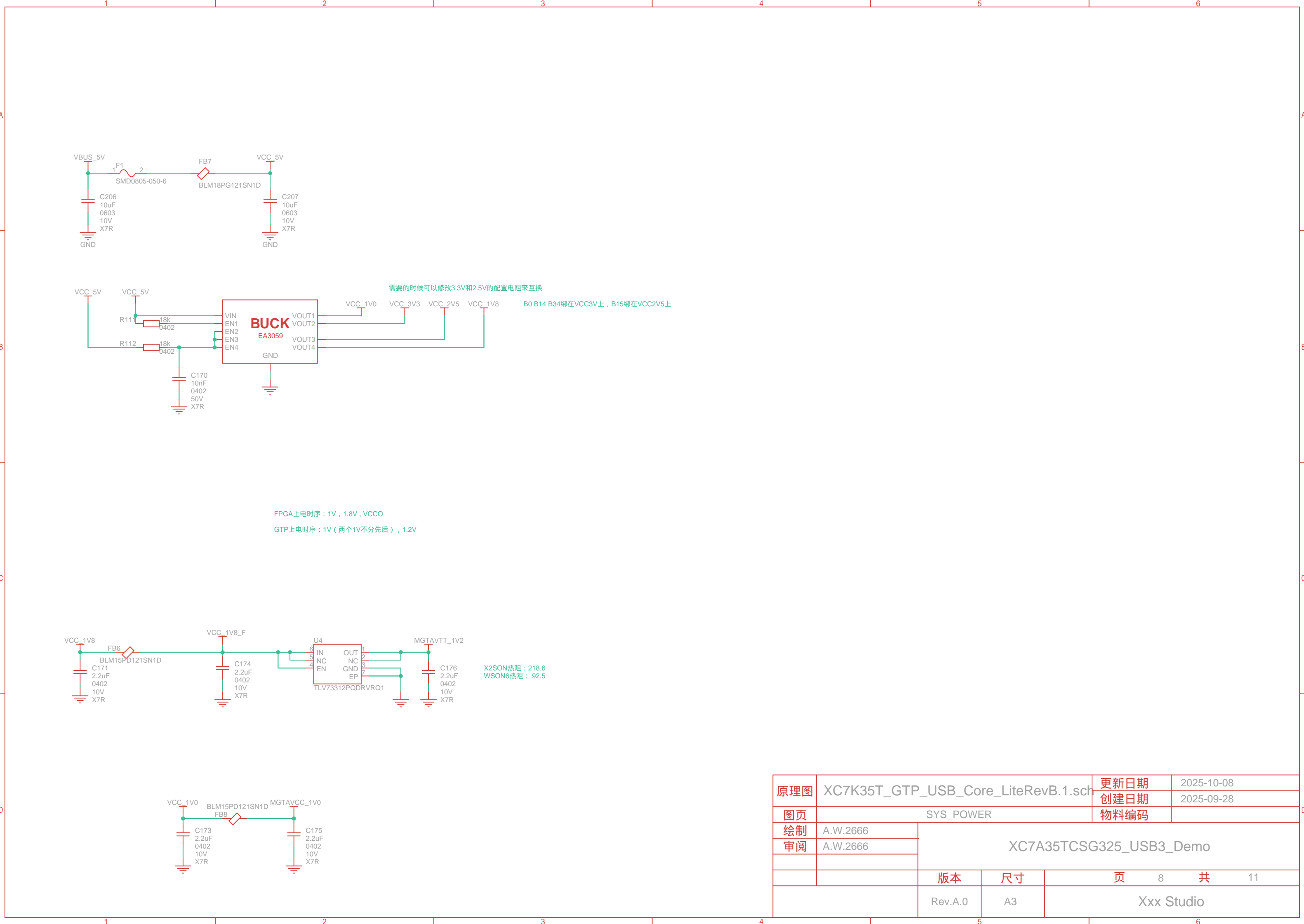
原理图	USB_INTERFACE_Type-C_24P_USB3.0_HD3SS3220		更新日期	2025-09-28
			创建日期	2025-08-26
图页	P1		物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo		
审阅	A.W.2666			
		版本	尺寸	页 1 共 1
		Rev.A.0	A3	Xxx Studio



因为接到了BANK15上所以按照BANK15的来



原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch		更新日期	2025-10-05
			创建日期	2025-09-28
图页	CLOCK		物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo		
审阅	A.W.2666			
		版本	尺寸	页 7 共 11
		Rev.A.0	A3	Xxx Studio



FPGA上电时序：1V，1.8V，VCCO
GTP上电时序：1V（两个1V不分先后），1.2V

X2SON热阻：218.6
WS0N6热阻：92.5

原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-08
				创建日期	2025-09-28
图页	SYS_POWER			物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	8 共 11
		Rev.A.0	A3	Xxx Studio	

GRM21BR61E226ME44L

输入电容可以用：
风华 0805X226M250NT 0.19yuan 25V X5R
村田 GRM21BR61E226ME44L 0.25yuan 25V X5R (CBB设计)
如果要用X7R：
村田GRM21BZ71A226ME15L 1yuan 10V X7R
或者换10uF：
GRM21BZ71E106KE15L 0.51yuan 25V X7R

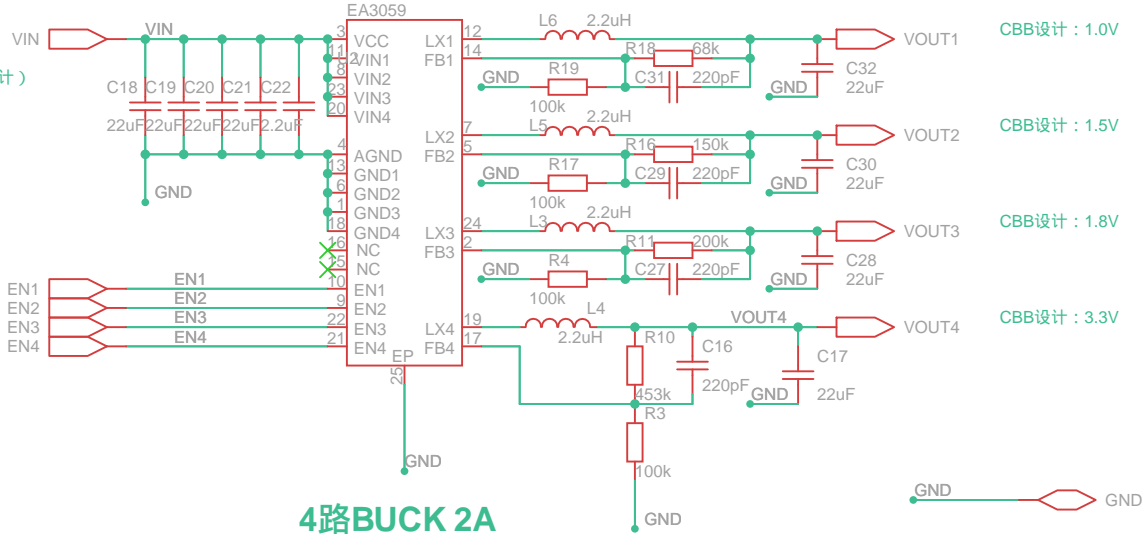
CBB使用要求：

- 1、输入范围2.7V to 5.5V，最大6.5V不损坏，输入最好添加一个22uF电容
 - 2、EN输入范围:ViL-0.4V,ViH-2.7V,范围2.7V-Vin
 - 3、EN不能悬空！
- 根据需要添加电阻，高电平启动
CBB内不配置

注意，更新CBB内电阻值用器件替换的方法修改参数，不然所有CBB会同步更新

电感可用：
FXLB252012-2R2-M (C3040393) 68m 3A (温升)/3.3A (饱和) ----0.41yuan 车规
FTC252012S2R2MBCA (C5832372) 55m 3A/3.8A ----0.24yuan
MTQH252012S2R2MBT (C17701218) 55m 3.8A(饱和) ----0.34yuan
为了减小纹波可以选用
MTQH252010S3R3 (C17701199) 86m 2.8A ----0.59yuan
为了提高响应可以选用：
1.5uH (手册推荐值) FTC252012S1R5MBCA (C5832371) 3.7A/4.5A 44m 0.22yuan
1uH MTQH252012S1R0MBTA (C17701215) 16m 6.5A ----0.34yuan
现在的封装已经是兼容封装

工作频率：1.5MHz



4路BUCK 2A

$$V_{out} = 0.6V(1 + R2/R1)$$

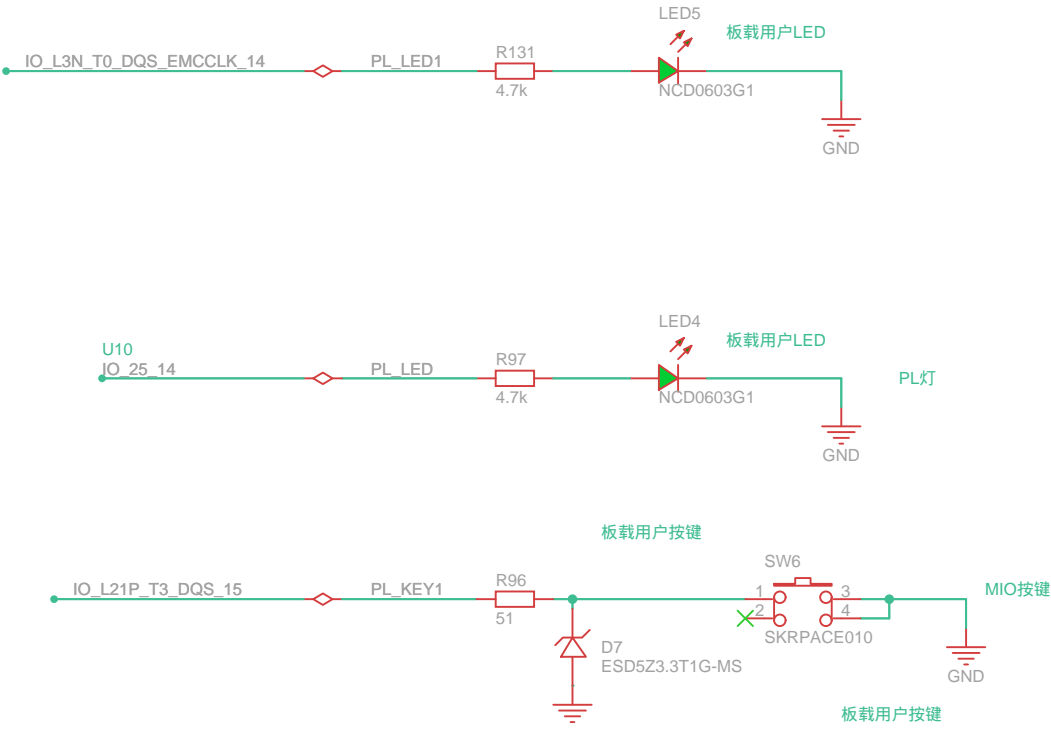
1.0V: 68K 100K 1.008V	TODO:1V手册没有，需要验证
1.5V: 150K 100K 1.5V	
1.8V: 200K 100K 1.8V	
2.5V:316K 100K 2.496V	
3.3V:453K 100K 3.318V	

四个通道共计不超过10W,单通道持续2A,瞬间4A

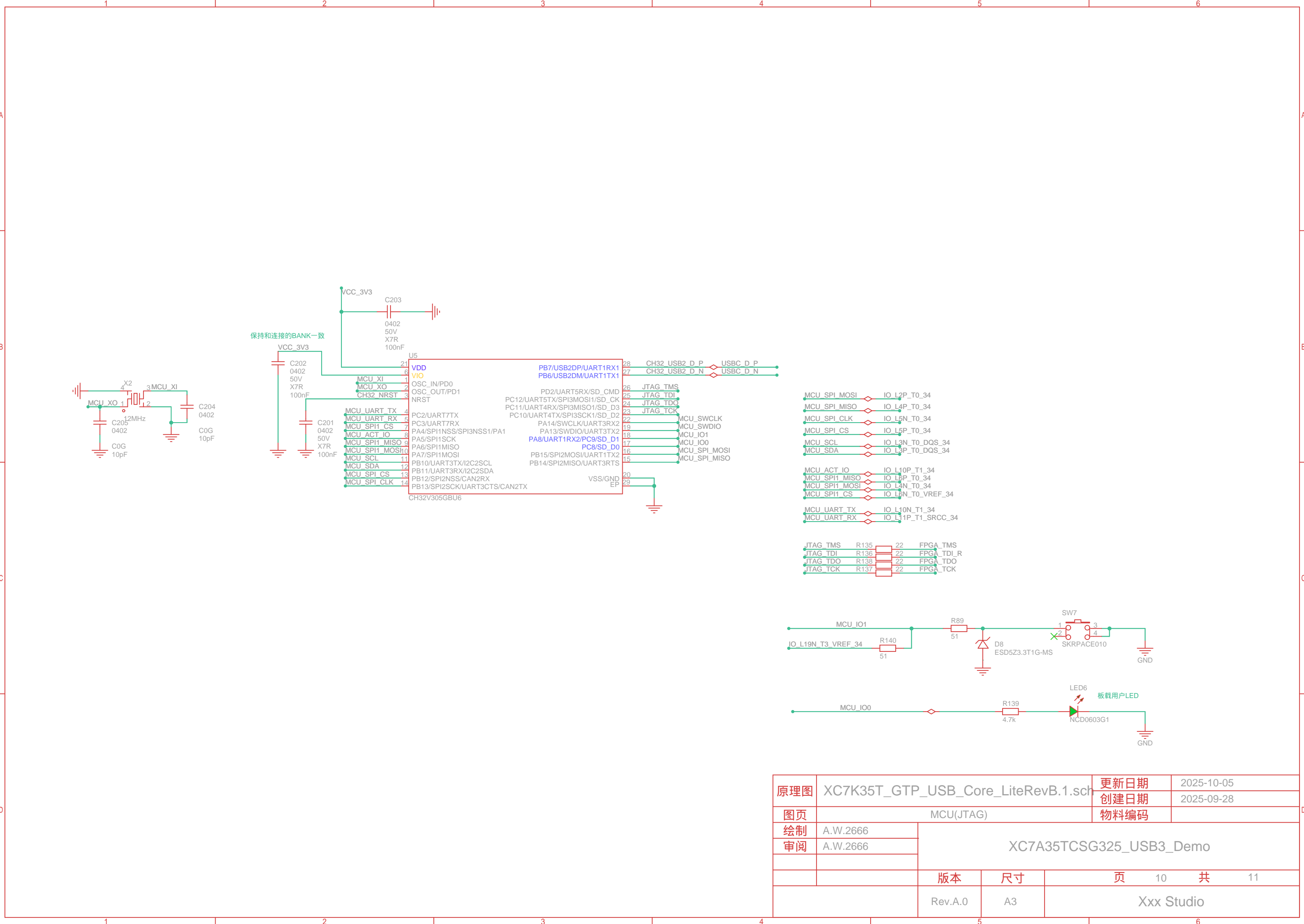
输出电流小于 150mA进入PFM模式

C5832372,C5832360,C5832374,C5832362,C5179446,C5832365,C5832358,C5832385,C5832332,C5832375 都可以考虑使用

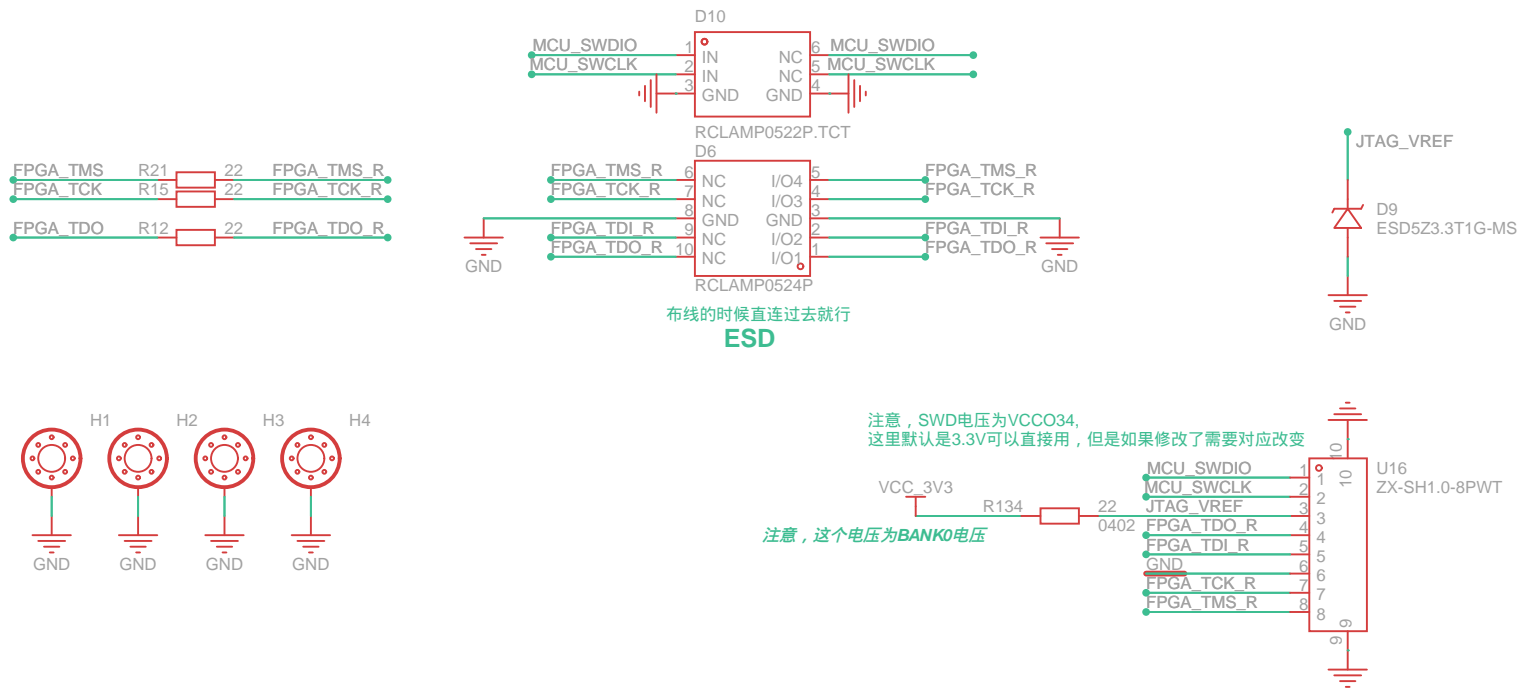
原理图	EA3059_4CH_BUCK_CBB		更新日期	2025-09-21
			创建日期	2025-05-20
图页	P1		物料编码	
绘制	Design By A.W.	XC7A35TCSG325_USB3_Demo		
审阅	Review By A.W.			
		版本	尺寸	页 1 共 1
嘉立创EDA		V1.0	A3	Design By A.W.



原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch			更新日期	2025-10-05
				创建日期	2025-09-28
图页	LED&BTN			物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo			
审阅	A.W.2666				
		版本	尺寸	页	9 共 11
		Rev.A.0	A3	Xxx Studio	



原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch		更新日期	2025-10-05
			创建日期	2025-09-28
图页	MCU(JTAG)		物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo		
审阅	A.W.2666			
		版本	尺寸	页 10 共 11
		Rev.A.0	A3	Xxx Studio



原理图	XC7K35T_GTP_USB_Core_LiteRevB.1.sch		更新日期	2025-10-08
			创建日期	2025-09-28
图页	Mech&Conn		物料编码	
绘制	A.W.2666	XC7A35TCSG325_USB3_Demo		
审阅	A.W.2666			
		版本	尺寸	页 11 共 11
		Rev.A.0	A3	Xxx Studio