

3. Laboratorijska vježba

CMOS INVERTOR

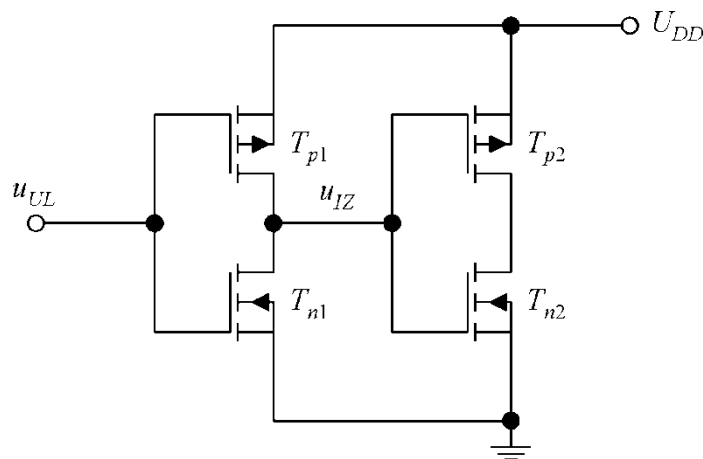
UVOD

Asistent na vježbi	
Pregledao (Priprema)	Pregledao (Rezultati)

Digitalni elektronički sklopovi i sustavi najčešće se realiziraju u formi integriranih sklopova, u kojima se svi elementi sklopa izvede i međusobno povezuju u pločici poluvodiča. Većina današnjih digitalnih integriranih sklopova su CMOS sklopovi čije se sklopovske funkcije ostvaruju isključivo primjenom parova komplementarnih n -kanalnih i p -kanalnih MOSFET-ova. Time se CMOS digitalni sklopovi odlikuju nizom korisnih svojstava od kojih je najznačajniji rad sklopa bez potrošnje snage u stacionarnim uvjetima. Zahvaljujući minijaturnim submikrometarskim dimenzijama pojedinih tranzistora, te maloj potrošnji snage, u CMOS tehnici realiziraju se i najsloženiji digitalni sustavi poput mikroprocesora s 10^9 MOS tranzistora na čipu (na silicijskoj pločici).

Tehnološka realizacija CMOS integriranih sklopova vrlo je složena i skupa, pa je broj tehnoloških tvrtki u kojima se procesiraju ovi sklopovi u svijetu relativno malen. S druge strane, zbog ogromnog broja primjena, CMOS sklopovi projektiraju se u velikom broju projektantskih tvrtki diljem svijeta. Projektiranje CMOS sklopova vrši se primjenom specijaliziranih računalnih programa, među kojima su i programi za električku analizu sklopova. Pri projektiranju koriste se modeli MOS tranzistora čiji parametri odgovaraju svojstvima tranzistora konkretnih CMOS tehnoloških procesa. Zahvaljujući složenim modelima MOS tranzistora, analiza sklopova uz pomoć računalnih programa vrlo je točna i vjerno opisuje ponašanje konačnog integriranog CMOS sklopa.

Svrha vježbe je upoznavanje i rad s jednim od specijaliziranih računalnih programa za analizu elektroničkih sklopova čiji je engleski naziv Advanced Design System (ADS). Program se može koristiti u analizi i projektiranju različitih sklopova: kako analognih tako i digitalnih, kako diskretnih tako i integriranih. Programom ADS analizirati će se rad CMOS invertora. U opisu MOS tranzistora koristiti će model BSIM3 (kratica od engleskog naziva "Berkeley Short-Channel IGFET Model") prilagođen svojstvima submikrometarskih tranzistora, čiji parametri odgovaraju 0,25 μm -skom CMOS procesu tehnologije TSMC (kratica od engleskog naziva "Taiwan Semiconductor Manufacturing Company").



Slika 1. CMOS invertor opterećen realnim opterećenjem

CMOS inverter je osnovni digitalni CMOS sklop. Iako je jednostavan sklop, njegovim se svojstvima u velikoj mjeri opisuju svojstva složenijih digitalnih CMOS sklopova koji se dobivaju njegovim proširenjem. CMOS inverter sastoji se od komplementarnog para n -kanalnog MOSFET-a T_{n1} i p -kanalnog MOSFET-a T_{p1} spojenih prema slici 1.

Električka svojstva CMOS sklopova podešavaju se dimenzijama kanala pojedinih MOS tranzistora. U vježbi se analizira utjecaj omjera širina kanala W_p/W_n pMOS i nMOS tranzistora na statička i dinamička svojstva CMOS invertora. Kod istosmjerne analize promatra se utjecaj W_p/W_n na napon praga okidanja i na granice smetnji, a u vremenskoj analizi utjecaj W_p/W_n na vremena kašnjenja pri prelasku izlaznog napona iz visoke u nisku razinu i obrnuto, te na ukupno vrijeme kašnjenja. Da bi se postigli realniji rezultati vremenske analize, analizirani CMOS inverter, s tranzistorima T_{n1} i T_{p1} , opterećen je prema slici 1 s istovrsnim invertorom s tranzistorima T_{n2} i T_{p2} .

PRIPREMA

1. Iz skripte "Elektronika 1" proučiti poglavlje 6.5. CMOS inverter.
2. CMOS inverter s dimenzijama kanala $L_n = L_p = 0,25 \text{ } \mu\text{m}$ i $W_n = 0,5 \text{ } \mu\text{m}$ radi s naponom napajanja $U_{DD} = 2,5 \text{ V}$. Parametri tranzistora su $K'_n = \mu_n C_{ox} = 150 \text{ } \mu\text{A/V}^2$, $K'_p = -\mu_p C_{ox} = -37,5 \text{ } \mu\text{A/V}^2$ i $U_{GS0n} = -U_{GS0p} = 0,5 \text{ V}$. Izračunati napon praga okidanja invertora U_{PO} za omjere širina kanala W_p/W_n pMOS i nMOS tranzistora od:
a) $W_p/W_n = 1$; b) $W_p/W_n = 3$ i c) $W_p/W_n = 9$.

Zanemariti porast struja odvoda tranzistora u području zasićenja.

Prostor za rješavanje:

RAD U LABORATORIJU

1. Programom ADS nacrtati električku shemu CMOS invertora prema slici 1. Invertor s tranzistorima T_{n1} i T_{p1} opterećen je jednakim invertorom s tranzistorima T_{n2} i T_{p2} . Drugi invertor predstavlja realno opterećenje prvog invertora, čija će se svojstva analizirati. Dužina kanala svih tranzistora je $L = 0,25 \mu\text{m}$. Širina kanala oba nMOS tranzistora je $W_n = 0,5 \mu\text{m}$. U analizi sklopa širine kanala oba pMOS tranzistora mijenjat će se tako da omjeri širina kanala pMOS i nMOS tranzistora budu W_p/W_n 1, 3 i 9. Pri crtanju sheme i pri analizi sklopa koristiti upute "Analiza elektroničkih sklopova pomoću računala korištenjem programskog sustava Agilent ADVANCED DESIGN SYSTEM 2005".

Napomena: Podloge oba nMOS tranzistora treba spojiti na masu, a podloge oba pMOS tranzistora na napona napajanja.

2. Programom ADS odrediti prijenosne karakteristike CMOS invertora s tranzistorima T_{n1} i T_{p1} . Napon napajanja invertora je 2,5 V.
 - Koliki su naponi logičkih razina 1 i 0 i da li ovise o omjerima širina kanala pMOS i nMOS tranzistora W_p/W_n ? Obrazložiti odgovor.

- Očitati napone praga okidanja U_{PO} , te maksimalnu struju sklopa za sve omjere širina kanala pMOS i nMOS tranzistora. Podatke unijeti u tablicu 1.

Tablica 1. Parametri prijenosne karakteristike CMOS invertora

W_p/W_n	U_{PO} [V]	$I_{D\text{max}}$ [μA]
1		
3		
9		

- Za koji omjer širina kanala napon praga okidanja U_{PO} je točno na sredini napona napajanja? Obrazložiti odgovor.

3. Programom ADS odrediti vremenske odzive CMOS invertora s tranzistorima T_{n1} i T_{p1} na impulsnu pobudu. Amplituda ulaznog simetričnog impulsnog napona je 2,5 V, a perioda 500 ps. Očitati vremena kašnjenja pojedinih prijelaza izlaznog napona prvog invertora za sve omjere širina kanala pMOS i nMOS tranzistora. Podatke unijeti u tablicu 2.

Tablica 2. Rezultati vremenskog odziva CMOS invertora na impulsnu pobudu

W_p/W_n	t_{dV_N} [ps]	t_{dV_V} [ps]	t_d [ps]
1			
3			
9			

- Za koji omjer širina kanala se dobiva najmanje vrijeme kašnjenja t_d ? Obrazložiti odgovor.