CMOS invertor je osnovni digitalni CMOS sklop. Iako je jednostavan sklop, njegovim se svojstvima u velikoj mjeri opisuju svojstva složenijih digitalnih CMOS sklopova koji se dobivaju njegovim proširenjem. CMOS invertor sastoji se od komplementarnog para n-kanalnog MOSFET-a  $T_{n1}$  i p-kanalnog MOSFET-a  $T_{p1}$  spojenih prema slici 1.

Električka svojstva CMOS sklopova podešavaju se dimenzijama kanala pojedinih MOS tranzistora. U vježbi se analizira utjecaj omjera širina kanala  $W_p/W_n$  pMOS i nMOS tranzistora na statička i dinamička svojstva CMOS invertora. Kod istosmjerne analize promatra se utjecaj  $W_p/W_n$  na napon praga okidanja i na granice smetnji, a u vremenskoj analizi utjecaj  $W_p/W_n$  na vremena kašnjenja pri prelasku izlaznog napona iz visoke u nisku razinu i obrnuto, te na ukupno vrijeme kašnjenja. Da bi se postigli realniji rezultati vremenske analize, analizirani CMOS invertor, s tranzistorima  $T_{n1}$  i  $T_{p1}$ , opterećen je prema slici 1 s istovrsnim invertorom s tranzistorima  $T_{n2}$  i  $T_{p2}$ .

## **PRIPREMA**

- 1. Iz skripte Elektronika 1, II dio, proučiti poglavlje CMOS invertor.
- 2. CMOS invertor s dimenzijama kanala  $L_n = L_p = 0.25~\mu m$  i  $W_n = 0.5~\mu m$  radi s naponom napajanja  $U_{DD} = 2.5~V$ . Parametri tranzistora su  $K'_n = \mu_n C_{ox} = 150~\mu A/V^2$ ,  $K'_p = -\mu_p C_{ox} = -37.5~\mu A/V^2$  i  $U_{GS0n} = -U_{GS0p} = 0.5~V$ . Izračunati napon praga okidanja invertora  $U_{PO}$  za omjere širina kanala  $W_p/W_n$  pMOS i nMOS tranzistora od:
  - a)  $W_p/W_n = 1$ ; b)  $W_p/W_n = 3$  i c)  $W_p/W_n = 9$ .

Zanemariti porast struja odvoda tranzistora u području zasićenja.

## Prostor za rješavanje: $L_{n}=L_{p}=6.25 \, \mu \, m=2.5.10^{-6} \, m$ $W_{n}=0.5 \, \mu \, m=2.5.10^{-6} \, m$ $W_{n}=0.5 \, \mu \, m=5.10^{-6} \, m$ $W_{n}=0.5 \, m=5.10^{-6} \, m$