

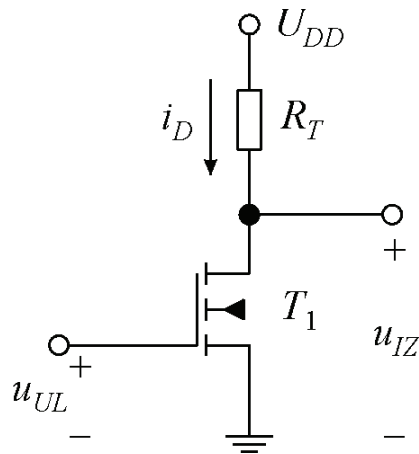
Fakultet elektrotehnike i računarstva  
Zavod za elektroniku, mikroelektroniku,  
računalne i inteligentne sustave

# **Elektronika 1**

Ž. Butković, J. Divković Pukšec, A. Barić

## **6. Sklopovi s unipolarnim tranzistorima**

# Osnovni sklop MOSFET-a



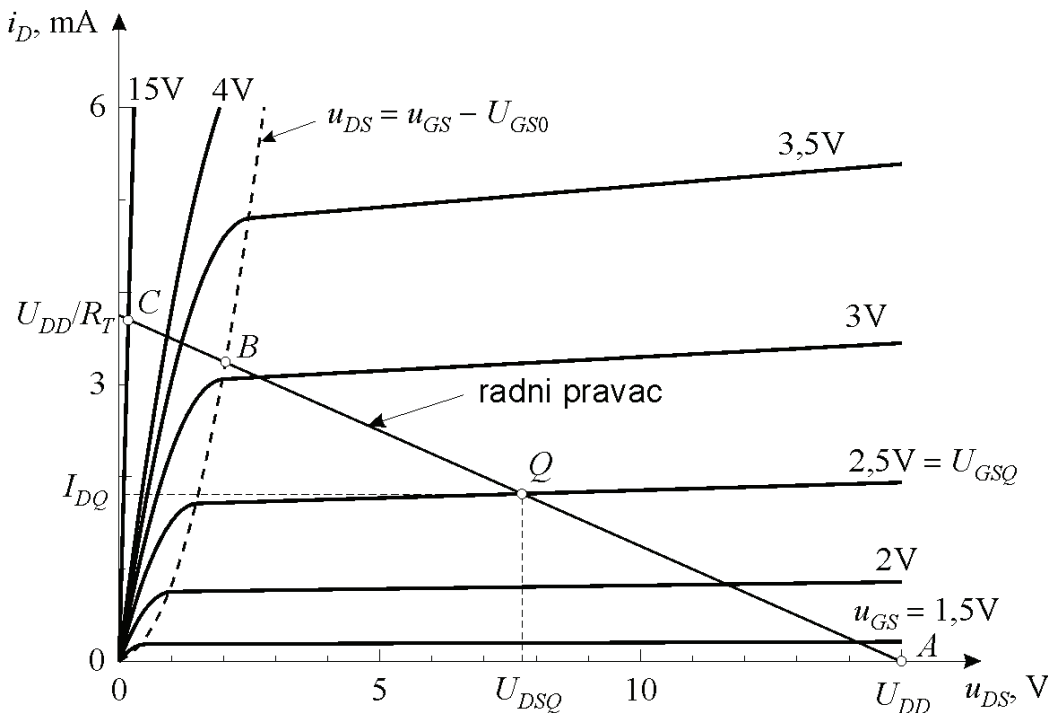
ulazni krug

$$u_{UL} = u_{GS}$$

izlazni krug

$$u_{IZ} = u_{DS} = U_{DD} - R_T i_D$$

# Polje izlaznih karakteristika



$Q$  – statička radna točka

primjer:

$$U_{DD} = 15 \text{ V}, R_T = 4 \text{ k}\Omega$$

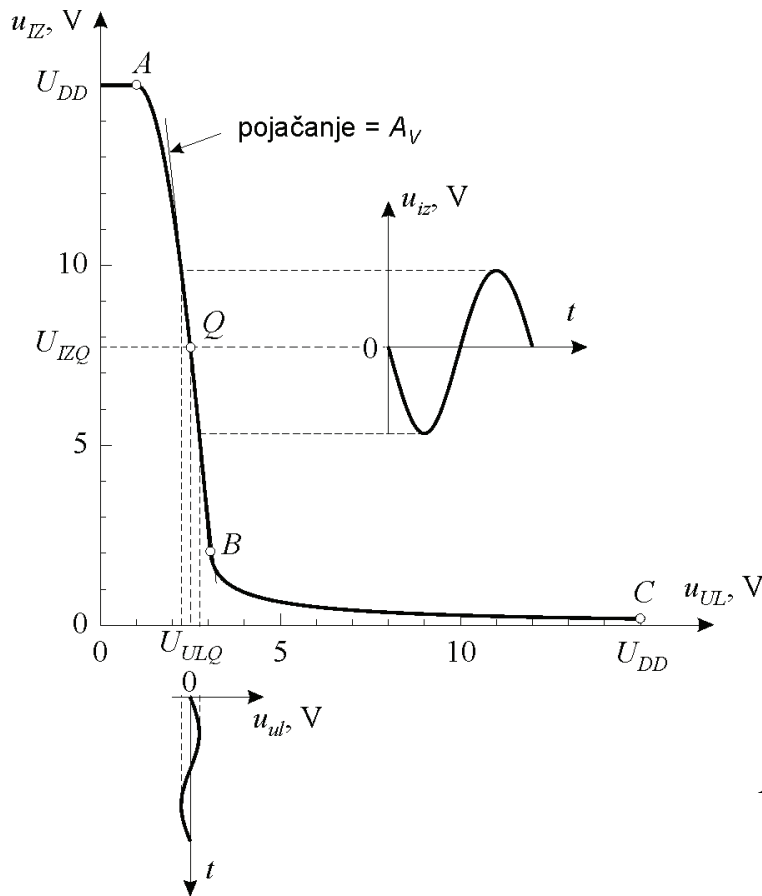
$$U_{GSQ} = 2,5 \text{ V},$$

$$I_{DQ} = 1,8 \text{ mA}, U_{DSQ} = 7,7 \text{ V}$$

između  $A$  i  $B$  – područje zasićenja

između  $B$  i  $C$  – triodno područje

# Prijenosna karakteristika



prijenosna karakteristika -  $u_{IZ} = f(u_{UL})$

za  $u_{UL} = u_{GS} < U_{GS0} \rightarrow$  MOSFET ne vodi;

$$i_D = 0, u_{IZ} = u_{DS} = U_{DD}$$

između A i B – područje zasićenja

između B i C – triodno područje

primjena:

□ oko točaka A i C  $\rightarrow$  sklopka

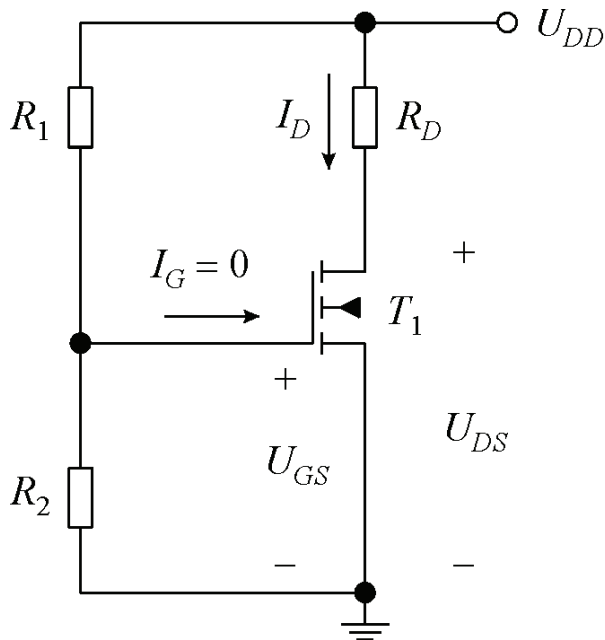
□ između točaka A i B  $\rightarrow$  pojačalo

primjer:  $U_{ULQ} = 2,5 \text{ V}$ ,  $U_{IZQ} = 7,7 \text{ V}$

pojačanje:

$$A_V = \frac{u_{iz}}{u_{ul}} = \frac{-U_{izm} \sin \omega t}{U_{ulm} \sin \omega t} = -\frac{U_{izm}}{U_{ul}} = -\frac{2,27}{0,25} = -9,1$$

# Podešavanje fiksnog napona $U_{GSQ}$



jednadžba ulaznog strujnog kruga

$$U_{GSQ} = \frac{R_2}{R_1 + R_2} U_{DD}$$

jednadžba MOSFET-a u zasićenju

$$I_{DQ} = \frac{K}{2} (U_{GSQ} - U_{GS0})^2$$

jednadžba izlaznog strujnog kruga

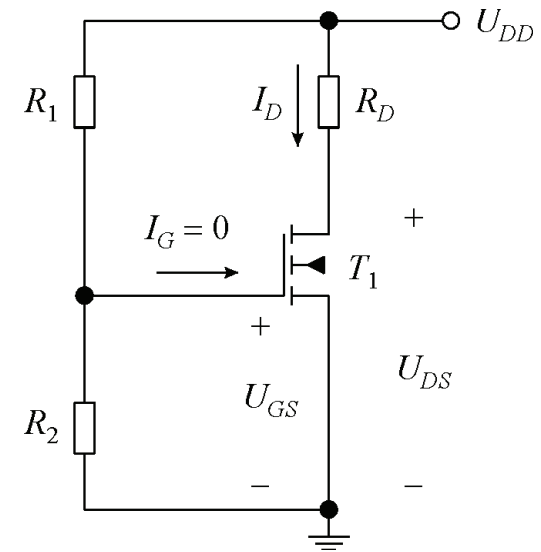
$$U_{DSQ} = U_{DD} - R_D I_{DQ}$$

uvjet za zasićenje

$$U_{DQ} \geq U_{GSQ} - U_{GS0}$$

## Primjer 6.1

U sklopu prema slici napon napajanja je  $U_{DD} = 15\text{ V}$ , a otpori su  $R_D = 4,5\text{ k}\Omega$  i  $R_2 = 1\text{ M}\Omega$ . Parametri  $n$ -kanalnog MOSFET-a su  $K = 1,5\text{ mA/V}^2$  i  $U_{GS0} = 1\text{ V}$ . Odrediti otpor otpornika  $R_1$  kojim će se podesiti statička struja MOSFET-a  $I_{DQ} = 2\text{ mA}$ . Provjeriti je li statička radna točka MOSFET-a u području zasićenja.



# Nedostaci sklopa za podešavanje fiksnog napona $U_{GSQ}$

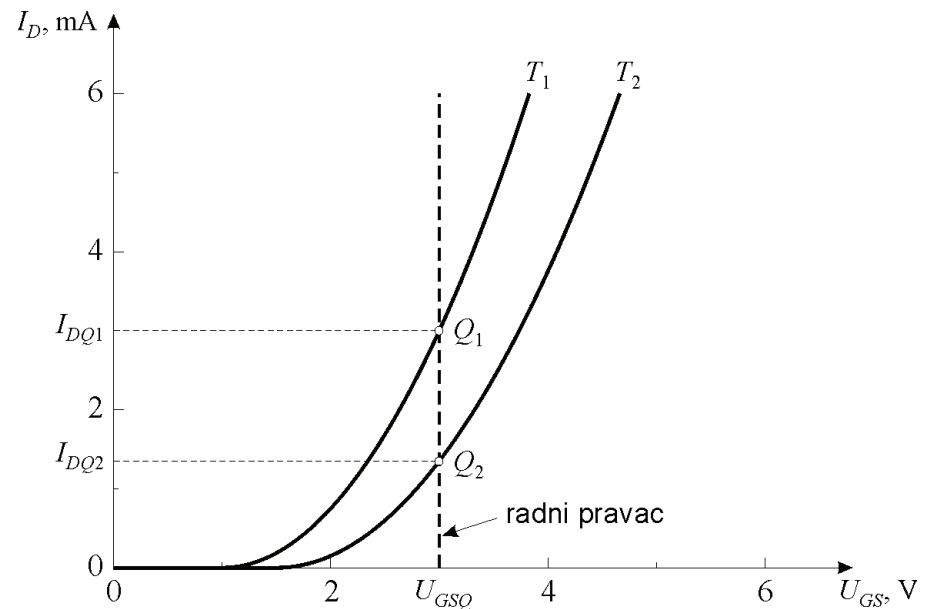
- ❑ Podešava samo napone  $U_{GSQ}$  i  $U_{DSQ}$  koji istog predznaka
- ❑ Osjetljivost na promjene parametra tranzistora

Primjer:

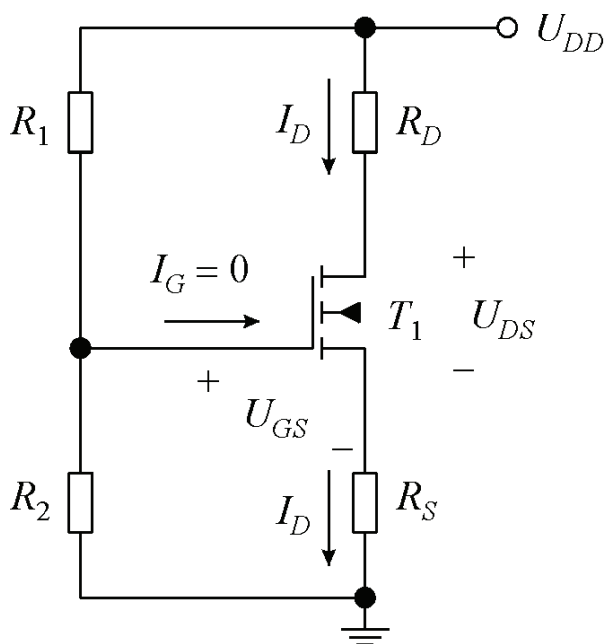
$$U_{GSQ} = 3 \text{ V},$$

$$I_{DQ1} = 3 \text{ mA},$$

$$I_{DQ2} = 1,35 \text{ mA}$$



# Podešavanje radne točke primjenom uvodske degeneracije



jednadžba ulaznog strujnog kruga

$$U_{GG} = \frac{R_2}{R_1 + R_2} U_{DD}$$

$$U_{GG} = U_{GS} + R_S I_D$$

jednadžba MOSFET-a u zasićenju

$$I_D = \frac{K}{2} (U_{GS} - U_{GS0})^2$$

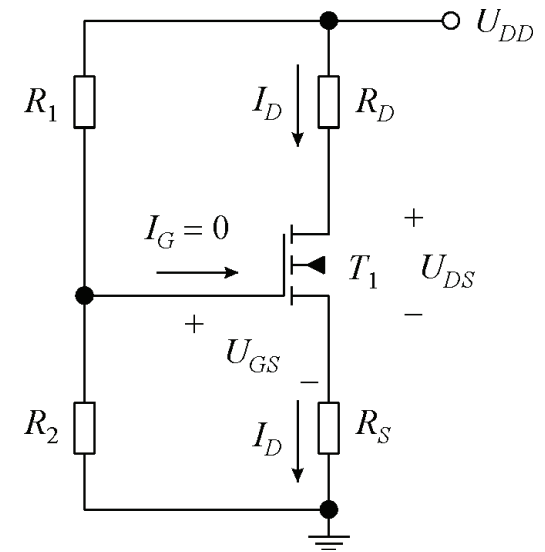
jednadžba izlaznog strujnog kruga

$$U_{DS} = U_{DD} - (R_D + R_S) I_D$$



## Primjer 6.2

U sklopu prema slici napon napajanja je  $U_{DD} = 15 \text{ V}$ , a otpori su  $R_D = 4 \text{ k}\Omega$ ,  $R_S = 400 \text{ }\Omega$ ,  $R_1 = 5,8 \text{ M}\Omega$  i  $R_2 = 1,7 \text{ M}\Omega$ . Parametri  $n$ -kanalnog MOSFET-a su  $K = 2 \text{ mA/V}^2$  i  $U_{GS0} = 1 \text{ V}$ . Odrediti struju  $I_{DQ}$  i napon  $U_{GSQ}$  MOSFET-a u statičkoj radnoj točki. Provjeriti da li je statička radna točka u području zasićenja.



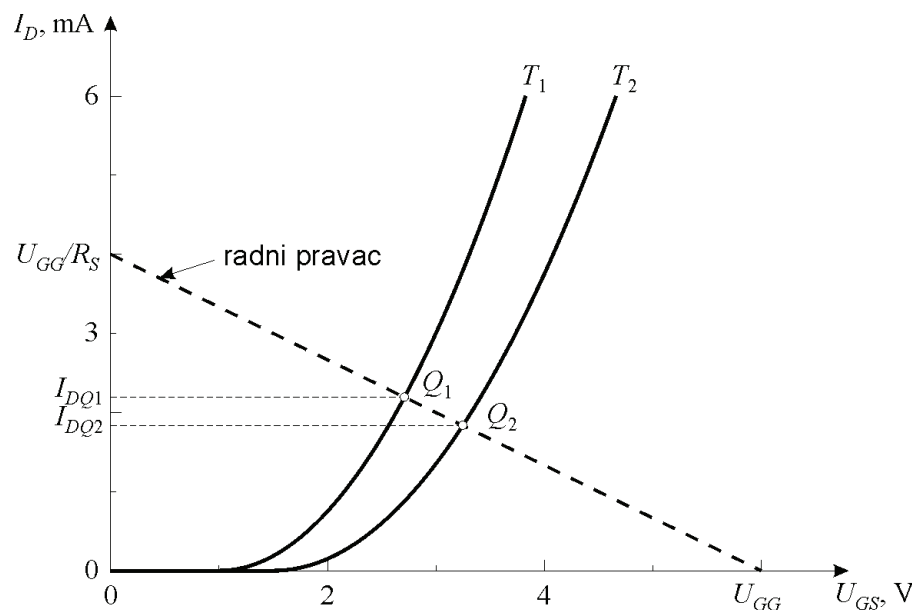
# Stabilizacija radne točke primjenom uvodske degeneracije

Primjer:

$$U_{GG} = 6 \text{ V}, R_S = 1,5 \text{ k}\Omega$$

$$I_{DQ1} = 2,20 \text{ mA},$$

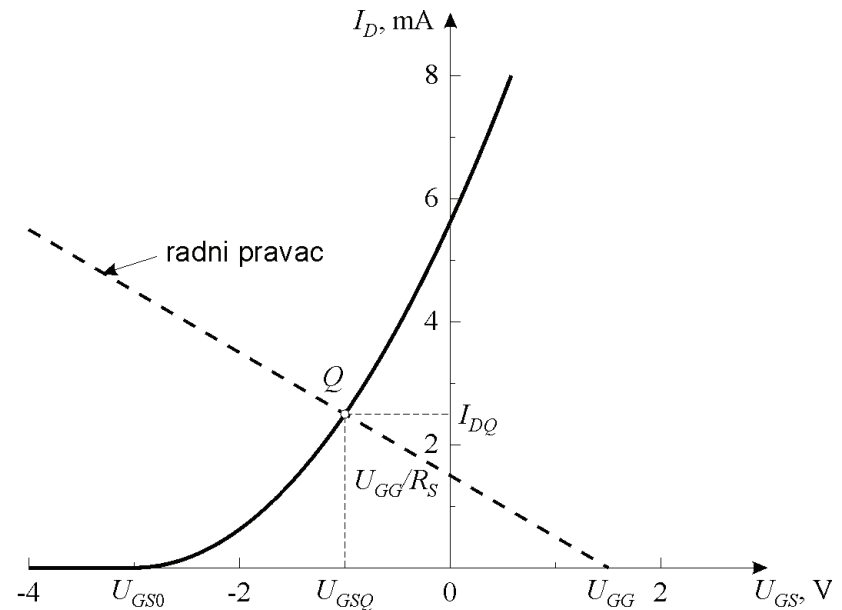
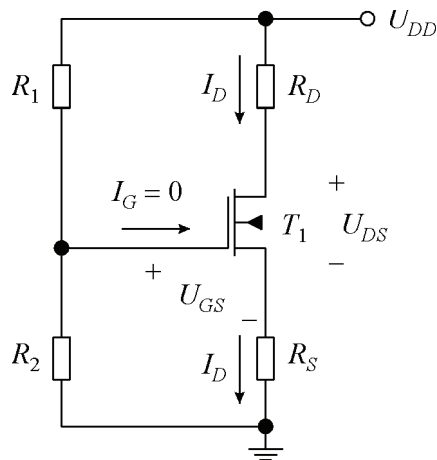
$$I_{DQ2} = 1,84 \text{ mA}$$



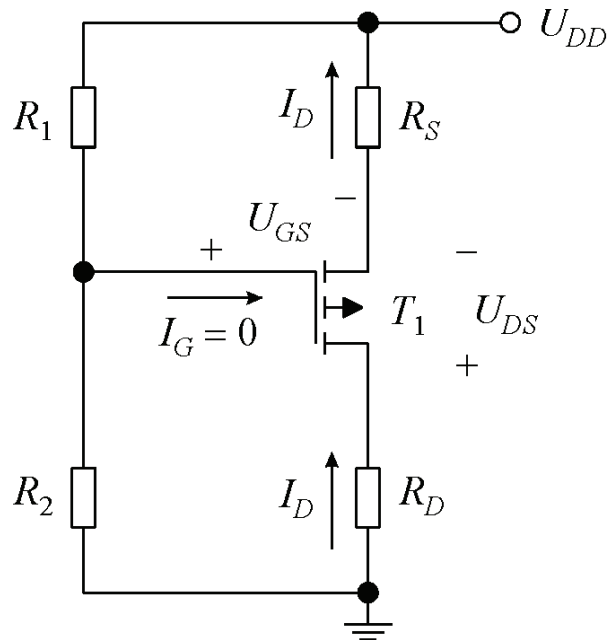
Omogućuje podešavanje radne točke obogaćenog i osiromašenog MOSFET-a uz oba polariteta napona  $U_{GSQ}$

## Primjer 6.3

U sklopu prema slici napon napajanja je  $U_{DD} = 15 \text{ V}$ , a otpori su  $R_D = 3 \text{ k}\Omega$ ,  $R_1 = 9 \text{ M}\Omega$  i  $R_2 = 1 \text{ M}\Omega$ . Parametri  $n$ -kanalnog MOSFET-a su  $K = 1,25 \text{ mA/V}^2$  i  $U_{GS0} = -3 \text{ V}$ . Odrediti otpor otpornika  $R_S$  tako da se u statičkoj radnoj točki postigne napon  $U_{GSQ} = -1 \text{ V}$ . Rezultat prikazati grafički u polju prijenosne karakteristike.



# Podešavanje radne točke pojačala s *p*-kanalnim MOSFET-om



jednadžba ulaznog strujnog kruga

$$U_{GG} = \frac{R_2}{R_1 + R_2} U_{DD}$$

$$U_{DD} - U_{GG} = -R_S I_D - U_{GS}$$

jednadžba MOSFET-a u zasićenju

$$I_D = \frac{K}{2} (U_{GS} - U_{GS0})^2$$

jednadžba izlaznog strujnog kruga

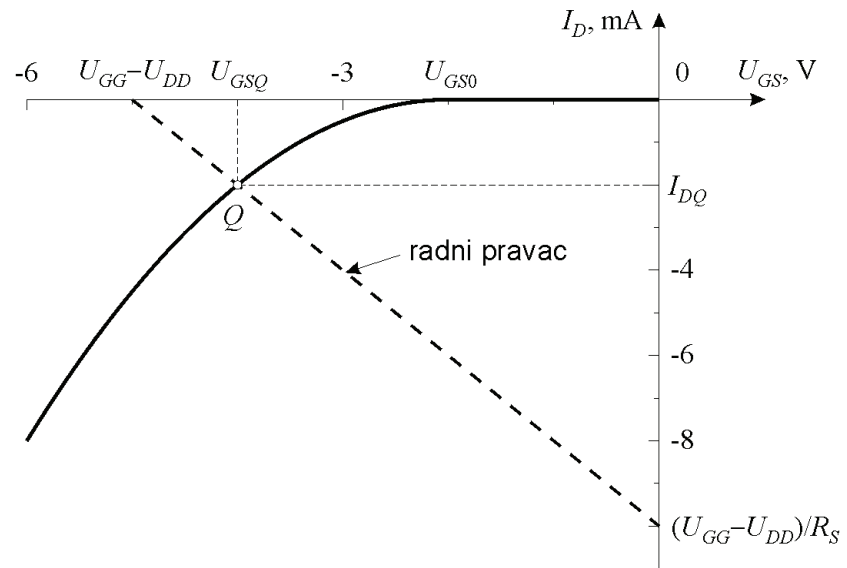
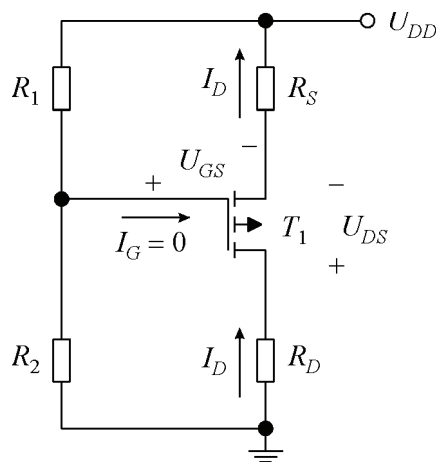
$$U_{DS} = -U_{DD} - (R_D + R_S) I_D$$

uvjet za zasićenje

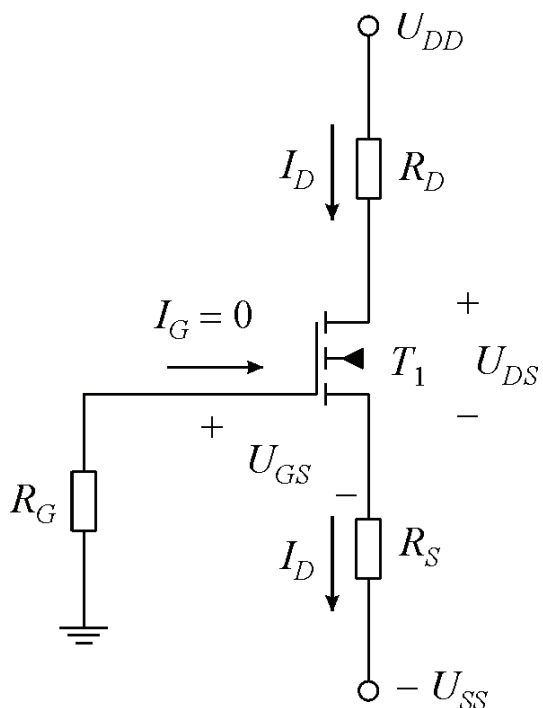
$$U_{DSQ} \leq U_{GSQ} - U_{GS0}$$

## Primjer 6.4

U sklopu prema slici napon napajanja je  $U_{DD} = 15 \text{ V}$ , a otpori su  $R_S = 500 \Omega$ ,  $R_D = 4 \text{ k}\Omega$  i  $R_2 = 4 \text{ M}\Omega$ . Parametri  $p$ -kanalnog MOSFET-a su  $K = -1 \text{ mA/V}^2$  i  $U_{GS0} = -2 \text{ V}$ . Odrediti otpor otpornika  $R_1$  tako da se u statičkoj radnoj točki postigne struja  $I_{DQ} = -2 \text{ mA}$ . Rezultat prikazati grafički u polju prijenosne karakteristike.



# Podešavanje radne točke s dva napona napajanja



jednadžba ulaznog strujnog kruga

$$U_{SS} = U_{GS} + R_S I_D$$

jednadžba MOSFET-a u zasićenju

$$I_D = \frac{K}{2} (U_{GS} - U_{GS0})^2$$

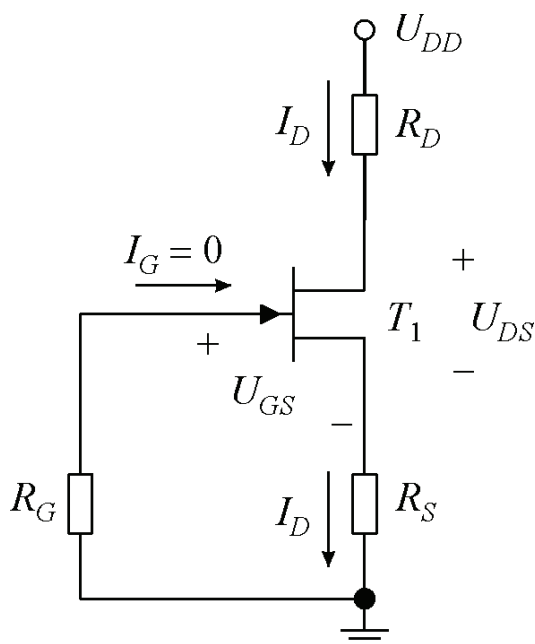
jednadžba izlaznog strujnog kruga

$$U_{DS} = U_{DD} + U_{SS} - (R_D + R_S) I_D$$

uvjet za zasićenje

$$U_{DSQ} \geq U_{GSQ} - U_{GS0}$$

# Podešavanje radne točke pojačala JFET-om (1)



jednadžba ulaznog strujnog kruga

$$0 = U_{GS} + R_S I_D$$

jednadžba JFET-a u zasićenju

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_P} \right)^2$$

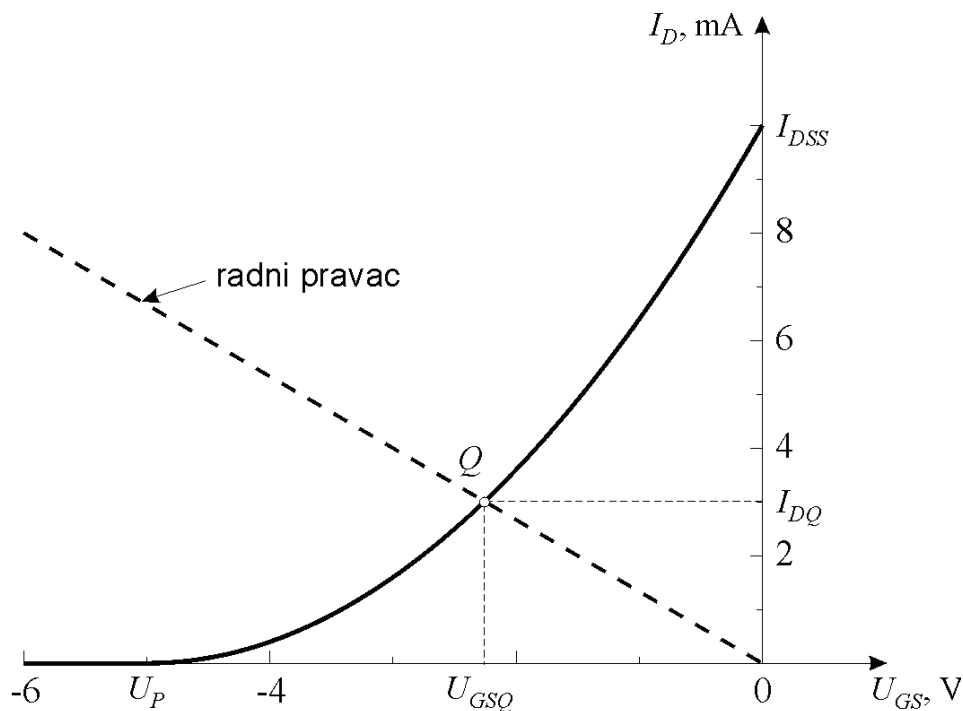
jednadžba izlaznog strujnog kruga

$$U_{DS} = U_{DD} - (R_D + R_S) I_D$$

uvjet za zasićenje

$$U_{DSQ} > U_{GSQ} - U_P$$

# Podešavanje radne točke pojačala JFET-om (2)



primjer:

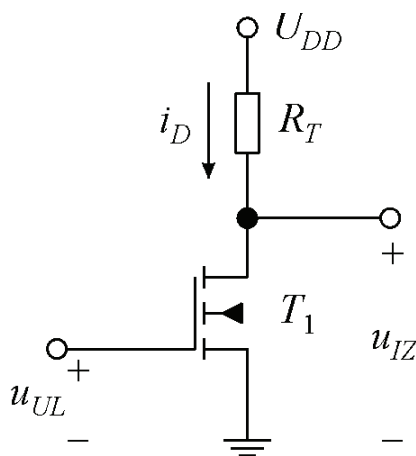
$$I_{DSS} = 10 \text{ mA}, U_P = -5 \text{ V},$$

$$R_S = 750 \Omega,$$

$$I_{DQ} = 3 \text{ mA}, U_{GSQ} = -2,55 \text{ V}$$



# Uvjeti rada pojačala s FET-om u režimu malog signala (1)



$$u_{UL} = U_{ULQ} + u_{ul} = u_{GS} = U_{GSQ} + u_{gs}$$

$$i_D = \frac{K}{2} (u_{GS} - U_{GS0})^2$$

Struja odvoda oko radne točke:

$$i_D = i_D|_Q + \left. \frac{di_D}{du_{GS}} \right|_Q (u_{GS} - U_{GSQ}) + \left. \frac{d^2 i_D}{du_{GS}^2} \right|_Q \frac{(u_{GS} - U_{GSQ})^2}{2!} + \dots$$

$$\left. \frac{di_D}{du_{GS}} \right|_Q = K (u_{GS} - U_{GS0})|_Q \qquad \left. \frac{d^2 i_D}{du_{GS}^2} \right|_Q = K$$

$$\text{uz } u_{GS} - U_{GSQ} = u_{gs} \quad i_D = I_{DQ} + K (U_{GSQ} - U_{GS0}) u_{gs} + \frac{K}{2} u_{gs}^2 = I_{DQ} + g_m u_{gs} + \frac{K}{2} u_{gs}^2$$

# Uvjeti rada pojačala s FET-om u režimu malog signala (2)

Uvjet za režim malog signala:  $u_{gs} \ll 2 (U_{GSQ} - U_{GS0})$

Za režim malog signala:

$$u_{DS} = U_{DSQ} + u_{ds} = U_{DD} - R_T i_D = U_{DD} - R_T (I_{DQ} + i_d)$$

Statika:

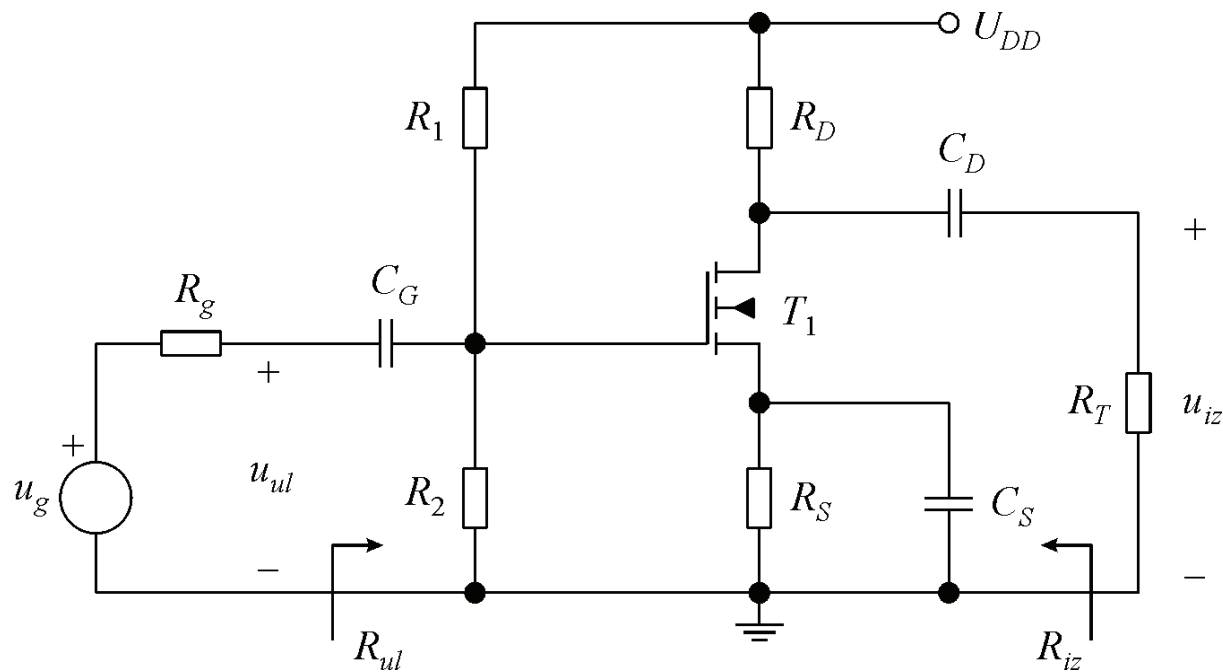
$$U_{DSQ} = U_{DD} - R_T I_{DQ}$$

Dinamika:

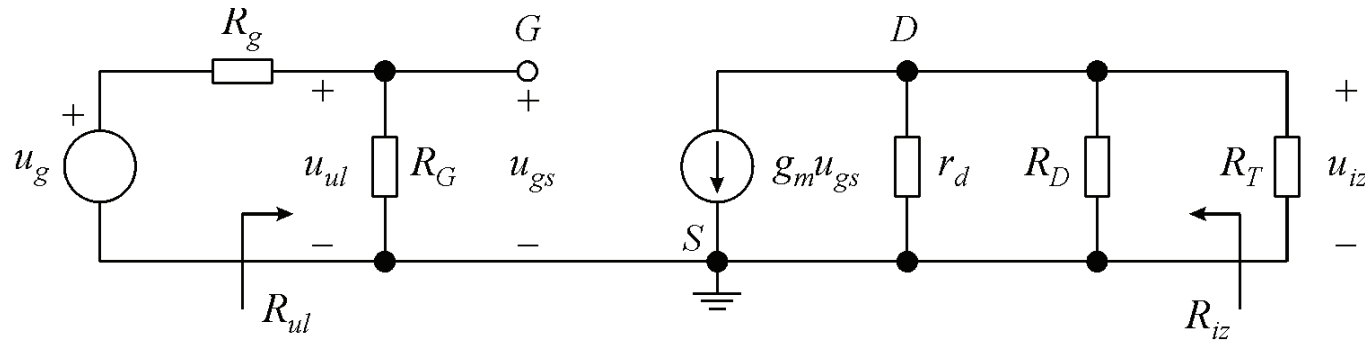
$$u_{ds} = - R_T i_d$$

$$A_V = \frac{u_{iz}}{u_{ul}} = \frac{u_{ds}}{u_{gs}} = - g_m R_T$$

# Pojačalo u spoju zajedničkog uvida



# Pojačalo u spoju zajedničkog uvoda – model za dinamičku analizu



$$R_G = R_1 \parallel R_2$$

$$u_{iz} = -g_m u_{gs} (r_d \parallel R_D \parallel R_T) \quad u_{ul} = u_{gs}$$

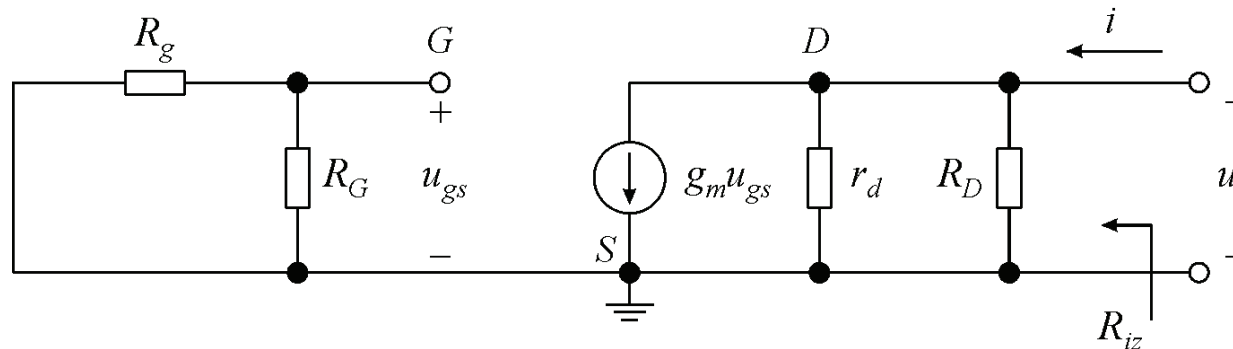
$$A_V = \frac{u_{iz}}{u_{ul}} = -g_m (r_d \parallel R_D \parallel R_T) \quad A_V \approx -g_m (R_D \parallel R_T)$$

$$A_{Vg} = \frac{u_{iz}}{u_g} = \frac{u_{iz}}{u_{ul}} \frac{u_{ul}}{u_g} = -g_m (r_d \parallel R_D \parallel R_T) \frac{R_G}{R_g + R_G}$$

# Pojačalo u spoju zajedničkog uvoda – ulazni i izlazni otpor

$$R_{ul} = R_G = R_1 \parallel R_2$$

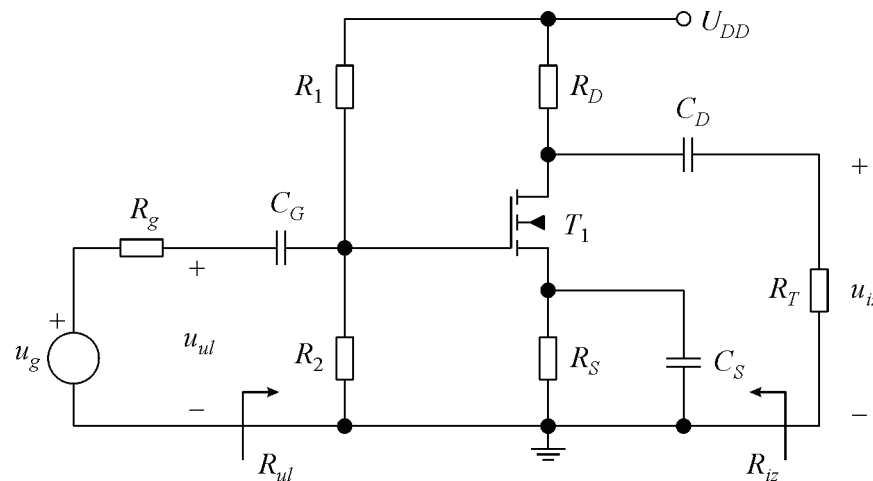
Shema za određivanje izlaznog otpora:



$$R_{iz} = r_d \parallel R_D$$

## Primjer 6.5

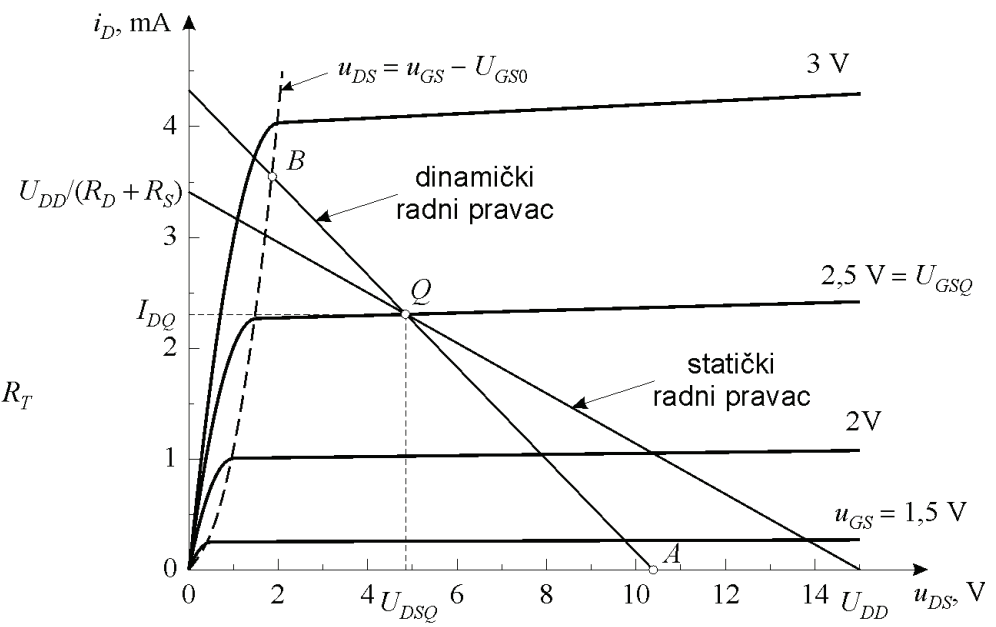
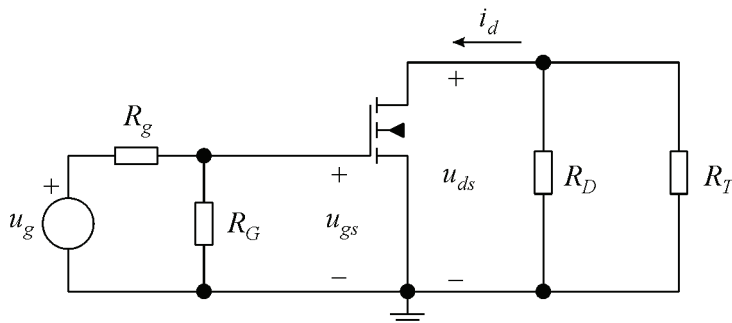
U pojačalu sa slike zadano je:  $U_{DD} = 15 \text{ V}$ ,  $R_g = 500 \Omega$ ,  $R_1 = 5,8 \text{ M}\Omega$ ,  $R_2 = 1,7 \text{ M}\Omega$ ,  $R_D = 4 \text{ k}\Omega$ ,  $R_T = 6 \text{ k}\Omega$  i  $R_S = 400 \Omega$ . Parametri  $n$ -kanalnog MOSFET-a su  $K = 2 \text{ mA/V}^2$ ,  $U_{GS0} = 1 \text{ V}$  i  $\lambda = 0,005 \text{ V}^{-1}$ . Odrediti naponska pojačanja  $A_V = u_{iz}/u_{ul}$  i  $A_{Vg} = u_{iz}/u_g$ , te ulazni i izlazni otpor pojačala.



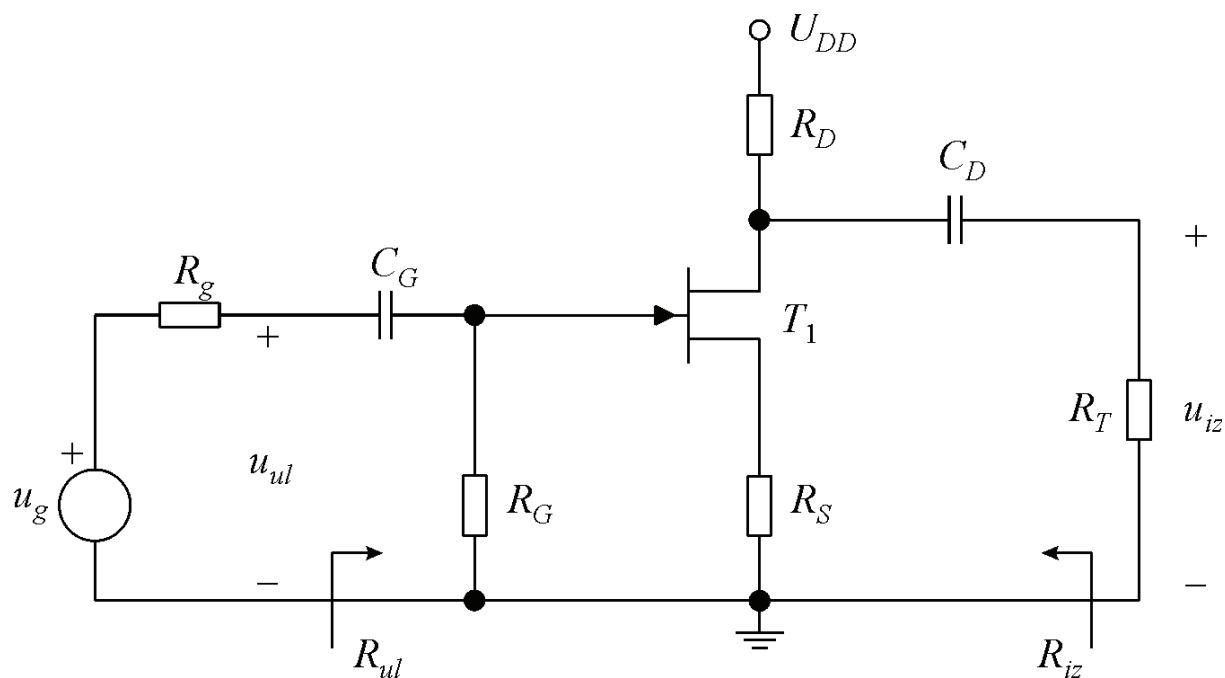
# Primjer 6.6

Za pojačalo iz primjera 6.5 ucrtati u polje izlaznih karakteristika MOSFET-a statički i dinamički radni pravac.

Pojačalo u dinamičkim prilikama:

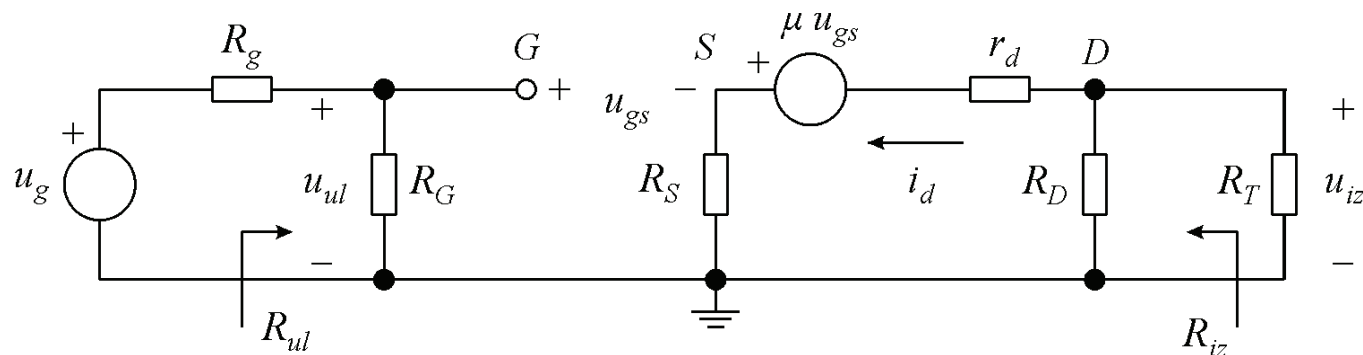


# Pojačalo u spoju zajedničkog uvoda s uvodskom degeneracijom





# Pojačalo s uvodskom degeneracijom – model za dinamičku analizu



$$\mu u_{gs} = (R_S + r_d + R_D \parallel R_T) i_d \quad u_{gs} = u_{ul} - R_S i_d$$

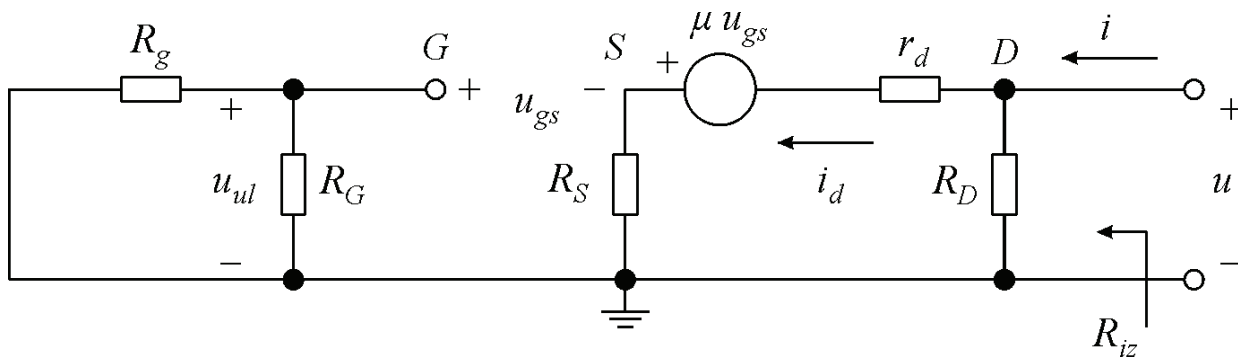
$$\mu u_{ul} = [(1 + \mu) R_S + r_d + R_D \parallel R_T] i_d \quad u_{iz} = -(R_D \parallel R_T) i_d$$

$$A_V = \frac{u_{iz}}{u_{ul}} = \frac{-\mu (R_D \parallel R_T)}{(1 + \mu) R_S + r_d + R_D \parallel R_T}$$

$$\text{Uz: } r_d \gg R_D \parallel R_T \text{ i } \mu = g_m r_d \rightarrow A_V \approx \frac{-g_m (R_D \parallel R_T)}{1 + g_m R_S}$$

# Pojačalo s uvodskom degeneracijom – izlazni otpor

Shema za određivanje izlaznog otpora:



$$i = \frac{u}{R_D} + i_d$$

$$u = (R_S + r_d)i_d - \mu u_{gs}$$

$$u_{gs} = -R_S i_d$$

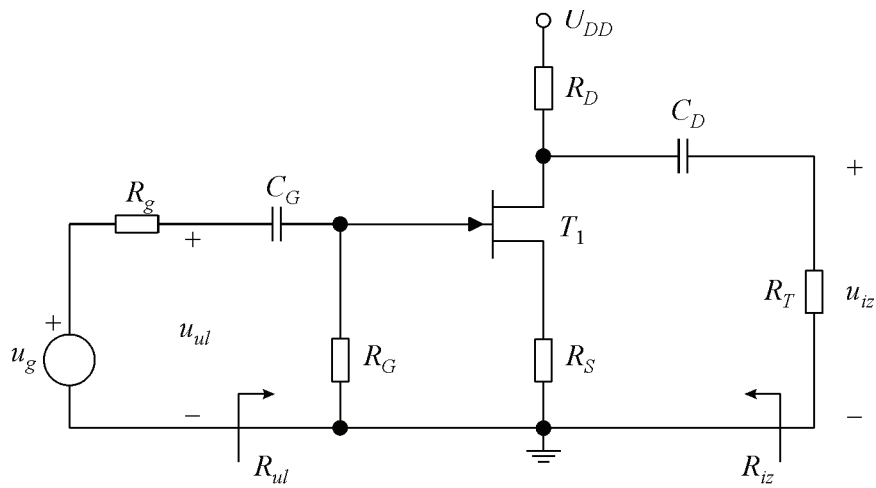
$$u = [(1 + \mu)R_S + r_d]i_d$$

$$i = \frac{u}{R_D} + \frac{u}{(1 + \mu)R_S + r_d}$$

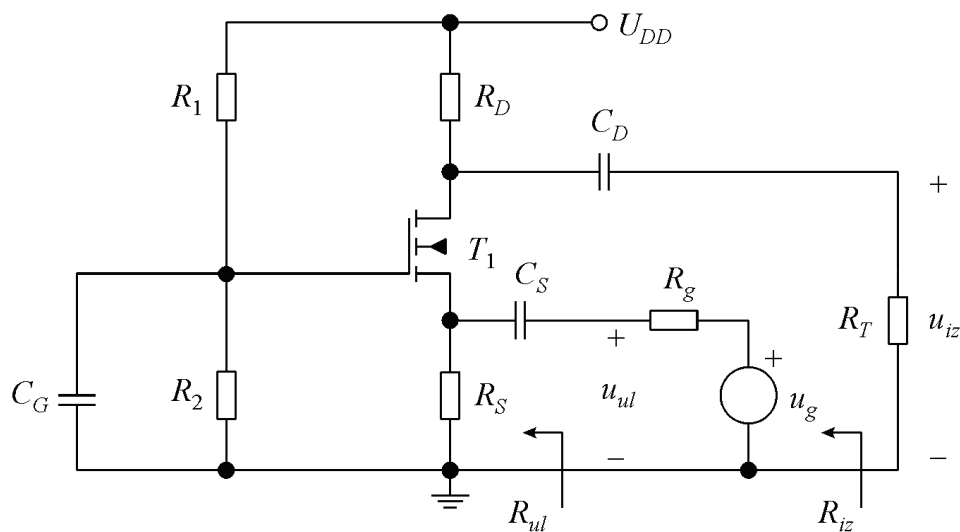
$$R_{iz} = \frac{u}{i} = R_D \parallel [(1 + \mu)R_S + r_d]$$

## Primjer 6.7

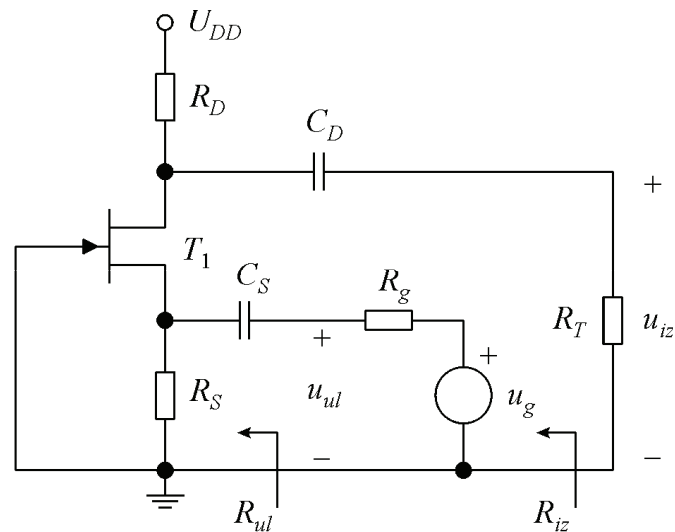
U pojačalu na slike zadano je:  $U_{DD} = 20 \text{ V}$ ,  $R_g = 1 \text{ k}\Omega$ ,  $R_G = 2 \text{ M}\Omega$ ,  $R_D = 5 \text{ k}\Omega$ ,  $R_S = 400 \text{ }\Omega$  i  $R_T = 7,5 \text{ k}\Omega$ . Parametri  $n$ -kanalnog spojnog FET-a su  $I_{DSS} = 10 \text{ mA}$ ,  $U_P = -2 \text{ V}$  i  $\lambda = 0,005 \text{ V}^{-1}$ . Odrediti statičku radnu točku sklopa, naponska pojačanja  $A_V = u_{iz}/u_{ul}$  i  $A_{Vg} = u_{iz}/u_g$ , te ulazni i izlazni otpor pojačala.



# Pojačalo u spoju zajedničke upravljačke elektrode

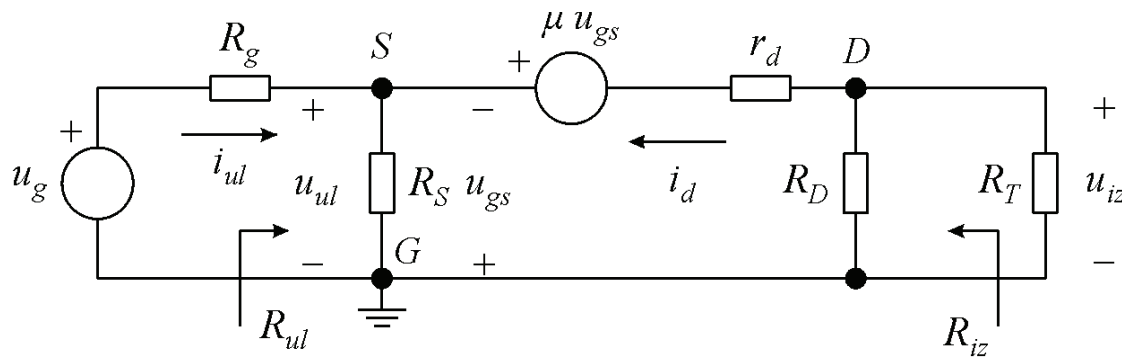


s MOSFET-om



s JFET-om

# Pojačalo sa zajedničkom upravljачkom elektrodom – model za dinamičku analizu

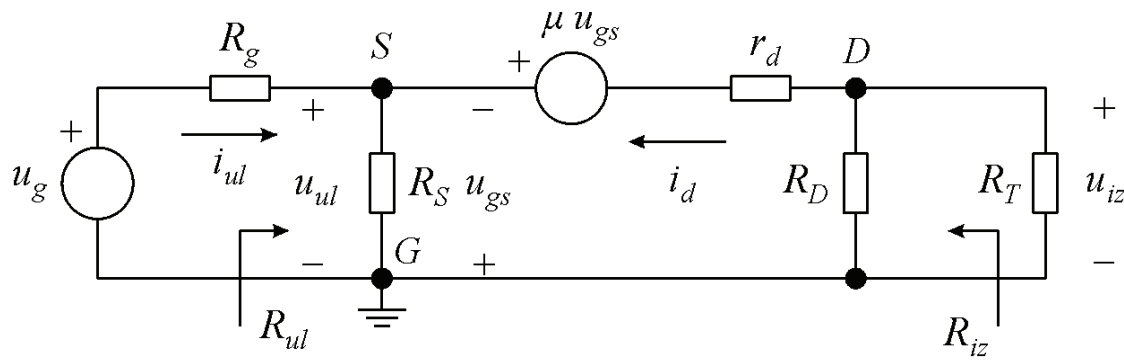


$$u_{gs} = -u_{ul} \quad (1 + \mu)u_{ul} = -(r_d + R_D \parallel R_T)i_d \quad u_{iz} = -(R_D \parallel R_T)i_d$$

$$A_V = \frac{u_{iz}}{u_{ul}} = \frac{(1 + \mu)(R_D \parallel R_T)}{r_d + R_D \parallel R_T}$$

$$\text{Uz: } \mu \gg 1 \text{ i } \mu = g_m r_d \rightarrow A_V \approx \frac{g_m r_d (R_D \parallel R_T)}{r_d + R_D \parallel R_T} = g_m (r_d \parallel R_D \parallel R_T)$$

# Pojačalo sa zajedničkom upravljačkom elektrodom – ulazni otpor



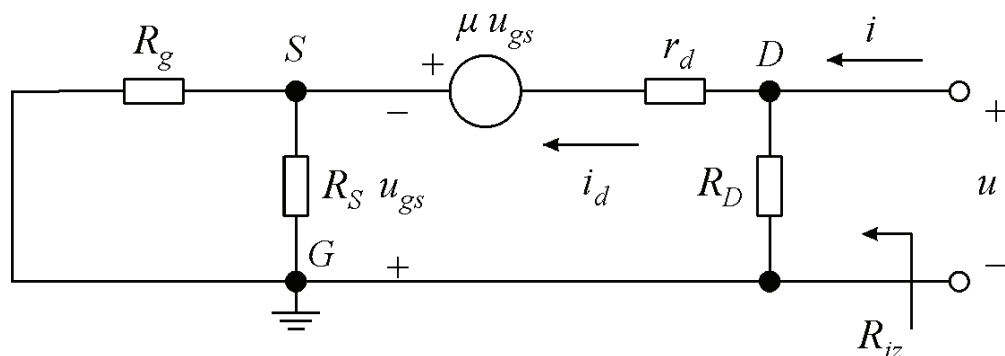
$$i_{ul} = \frac{u_{ul}}{R_S} - i_d = \frac{u_{ul}}{R_S} + \frac{u_{ul}}{(r_d + R_D \parallel R_T)/(1 + \mu)}$$

$$R_{ul} = \frac{u_{ul}}{i_{ul}} = R_S \parallel \frac{r_d + R_D \parallel R_T}{1 + \mu}$$

$$\text{Uz: } r_d \gg R_D \parallel R_T, \mu \gg 1 \text{ i } \mu = g_m r_d \rightarrow R_{ul} \approx R_S \parallel \frac{1}{g_m}$$

# Pojačalo sa zajedničkom upravljačkom elektrodom – izlazni otpor

Shema za određivanje izlaznog otpora:



$$i = \frac{u}{R_D} + i_d$$

$$u = (r_d + R_S \parallel R_g) i_d - \mu u_{gs}$$

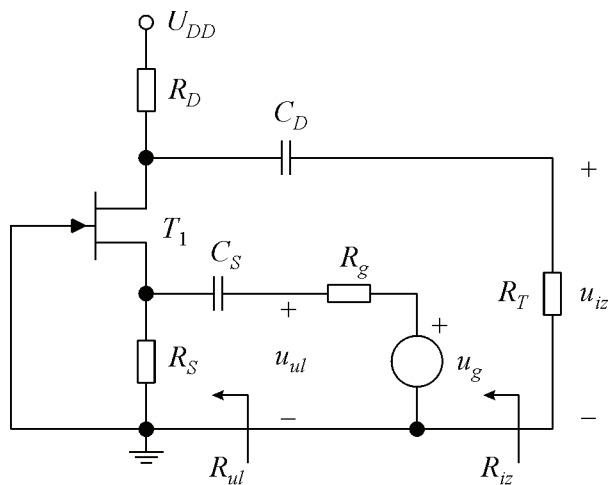
$$u_{gs} = -(R_S \parallel R_g) i_d$$

$$u = [r_d + (1 + \mu)(R_S \parallel R_g)] i_d$$

$$R_{iz} = \frac{u}{i} = R_D \parallel [r_d + (1 + \mu)(R_S \parallel R_g)]$$

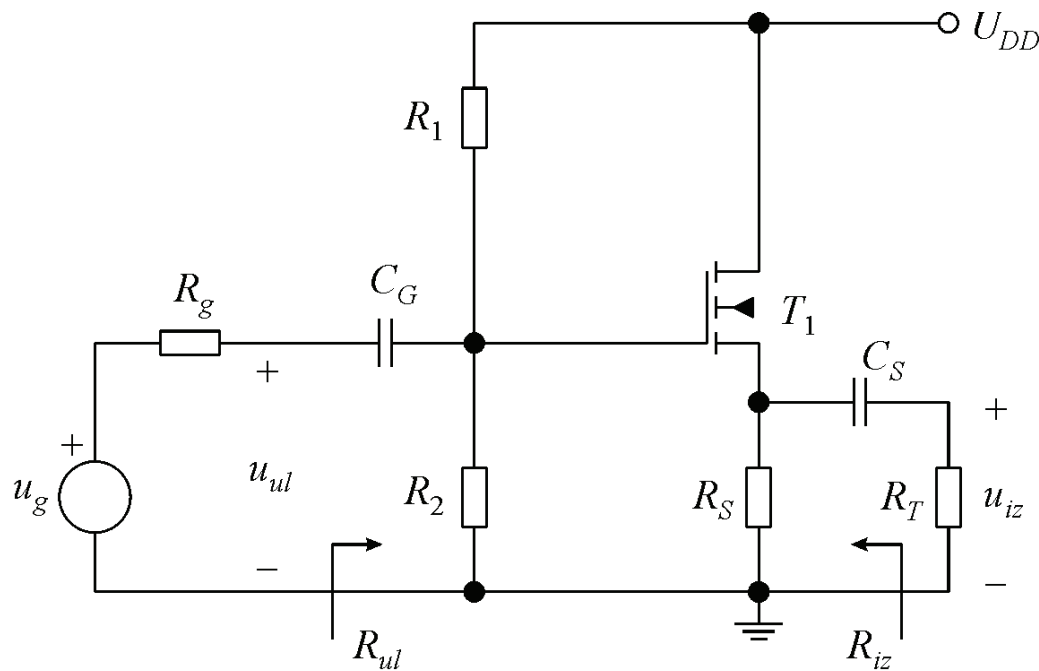
## Primjer 6.8

U pojačalu na slike zadano je:  $U_{DD} = 20 \text{ V}$ ,  $R_g = 500 \Omega$ ,  $R_D = 5 \text{ k}\Omega$ ,  $R_S = 400 \Omega$  i  $R_T = 7,5 \text{ k}\Omega$ . Parametri  $n$ -kanalnog spojnog FET-a su  $I_{DSS} = 10 \text{ mA}$ ,  $U_P = -2 \text{ V}$  i  $\lambda = 0,005 \text{ V}^{-1}$ . Odrediti naponska pojačanja  $A_V = u_{iz}/u_{ul}$  i  $A_{Vg} = u_{iz}/u_g$ , te ulazni i izlazni otpor pojačala.



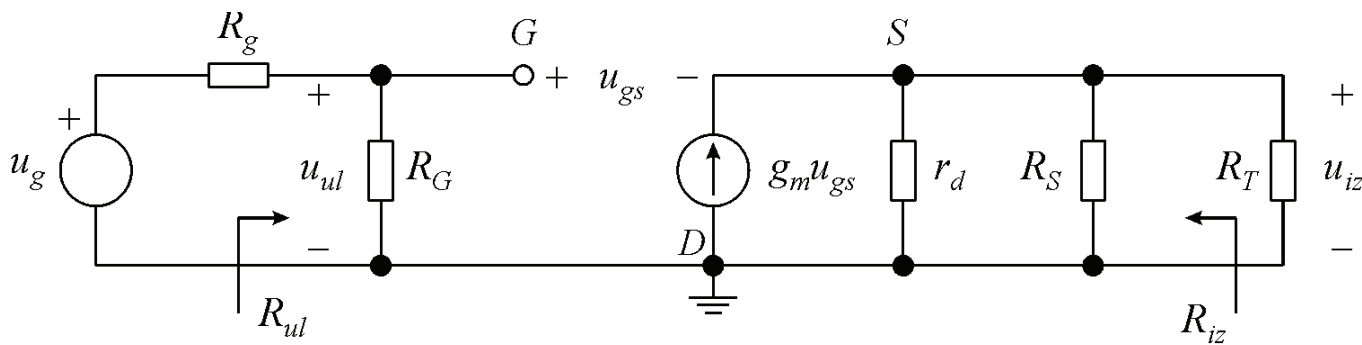


# Pojačalo u spoju zajedničkog odvoda – uvodsko sljedilo



U statici:  $U_{DS} = U_{DD} - R_S I_D$

# Uvodsko sljedilo – model za dinamičku analizu



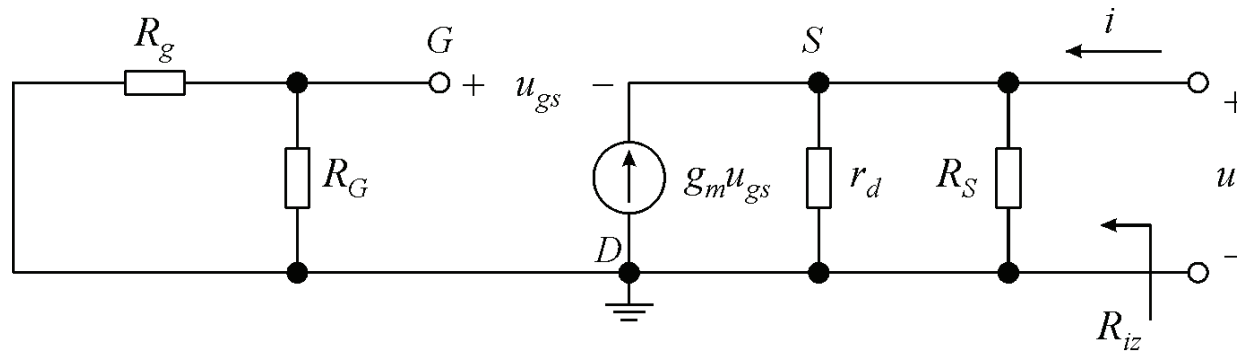
$$u_{iz} = g_m u_{gs} (r_d \parallel R_S \parallel R_T) \quad u_{gs} = u_{ul} - u_{iz}$$

$$A_V = \frac{u_{iz}}{u_{ul}} = \frac{g_m (r_d \parallel R_S \parallel R_T)}{1 + g_m (r_d \parallel R_S \parallel R_T)}$$

$$R_{ul} = R_G = R_1 \parallel R_2$$

# Uvodsko sljedilo – izlazni otpor

Shema za određivanje izlaznog otpora:



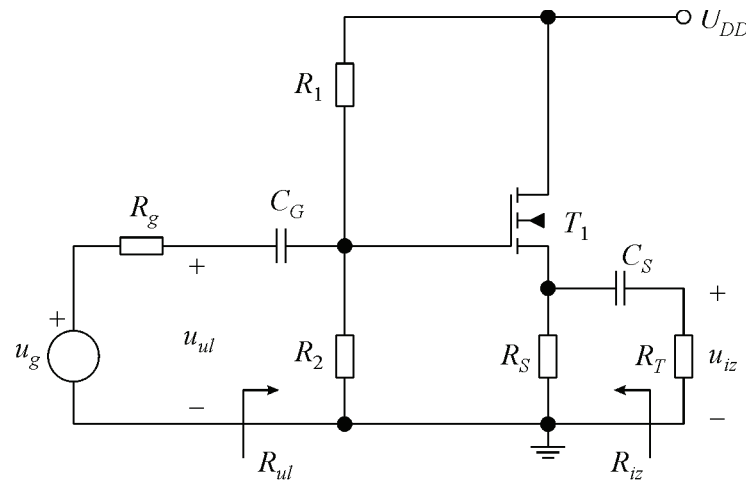
$$u_{gs} = -u \quad u = (r_d \parallel R_S)(i + g_m u_{gs}) = (r_d \parallel R_S)(i - g_m u)$$

$$R_{iz} = \frac{u}{i} = \frac{r_d \parallel R_S}{1 + g_m (r_d \parallel R_S)}$$

$$\text{Uz: } \mu = g_m r_d \rightarrow R_{iz} = R_S \parallel \frac{r_d}{1 + \mu} \approx R_S \parallel \frac{1}{g_m}$$

## Primjer 6.9

U pojačalu sa slike zadano je:  $U_{DD} = 15 \text{ V}$ ,  $R_g = 500 \Omega$ ,  $R_1 = 2 \text{ M}\Omega$ ,  $R_2 = 5 \text{ M}\Omega$ ,  $R_S = 4 \text{ k}\Omega$  i  $R_T = 5 \text{ k}\Omega$ . Parametri  $n$ -kanalnog MOSFET-a su  $K = 2 \text{ mA/V}^2$ ,  $U_{GS0} = 1 \text{ V}$  i  $\lambda = 0,005 \text{ V}^{-1}$ . Odrediti naponska pojačanja  $A_V = u_{iz}/u_{ul}$  i  $A_{Vg} = u_{iz}/u_g$ , te ulazni i izlazni otpor pojačala.

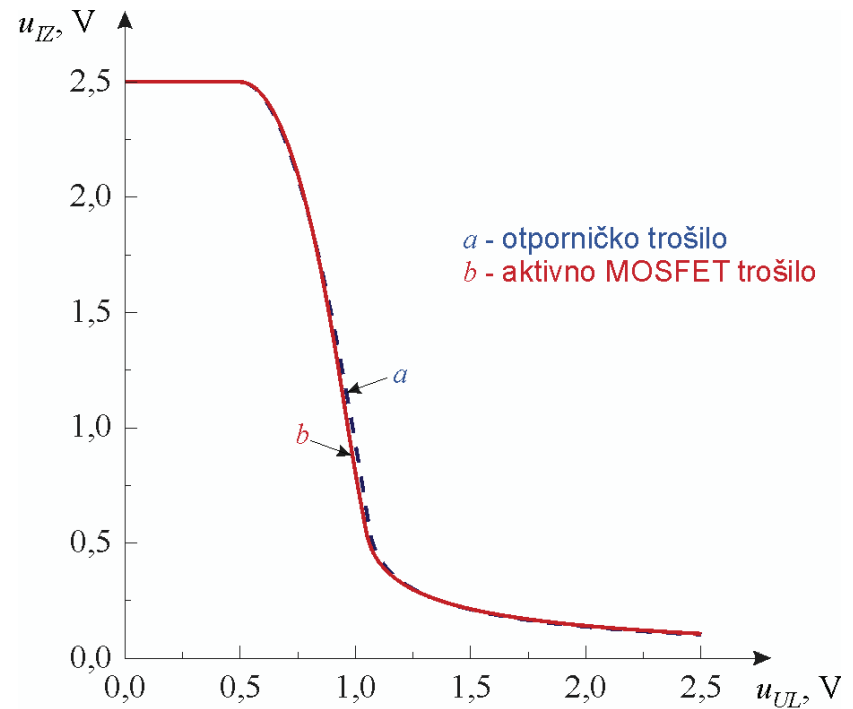
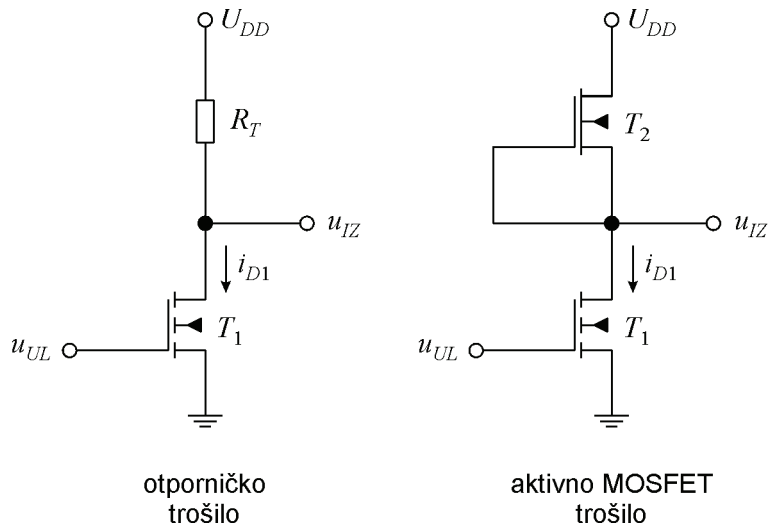


# Usporedba osnovnih spojeva pojačala s FET-ovima

Spoj pojačala	$A_v$	$R_{ul}$	$R_{iz}$
zajednički uvod	$-g_m (r_d \parallel R_D \parallel R_T)$	$R_G$	$R_D \parallel r_d$
zajednička upravljačka elektroda	$g_m (r_d \parallel R_D \parallel R_T)$	$R_S \parallel \frac{1}{g_m}$	$R_D \parallel [r_d + (1 + \mu)(R_S \parallel R_g)]$
zajednički odvod	$\frac{g_m (r_d \parallel R_S \parallel R_T)}{1 + g_m (r_d \parallel R_S \parallel R_T)}$	$R_G$	$R_S \parallel \frac{1}{g_m}$

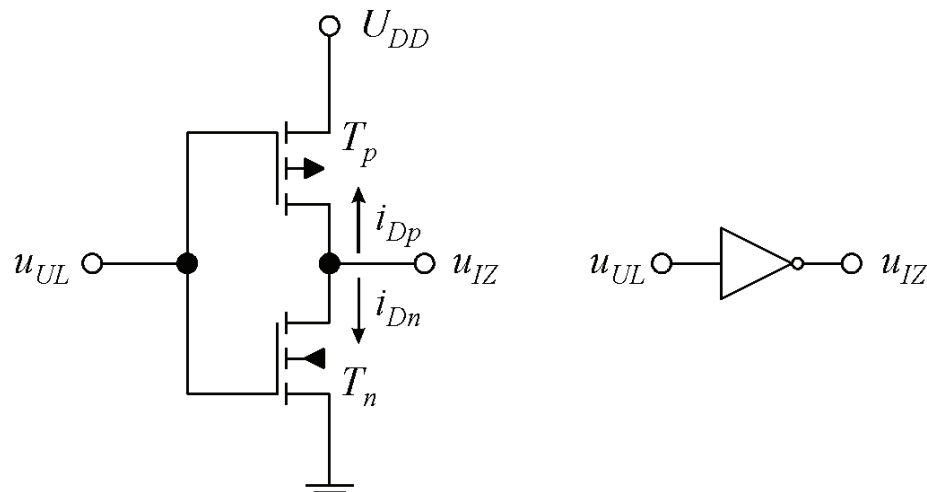
# MOS sklopka i MOS inverter

## MOSFET sklopke - invertori



inverter troši snagu uz visoku razinu ulaznog napona

# CMOS inverter



$$u_{GSn} = u_{UL}$$

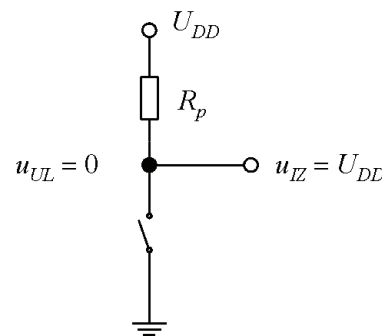
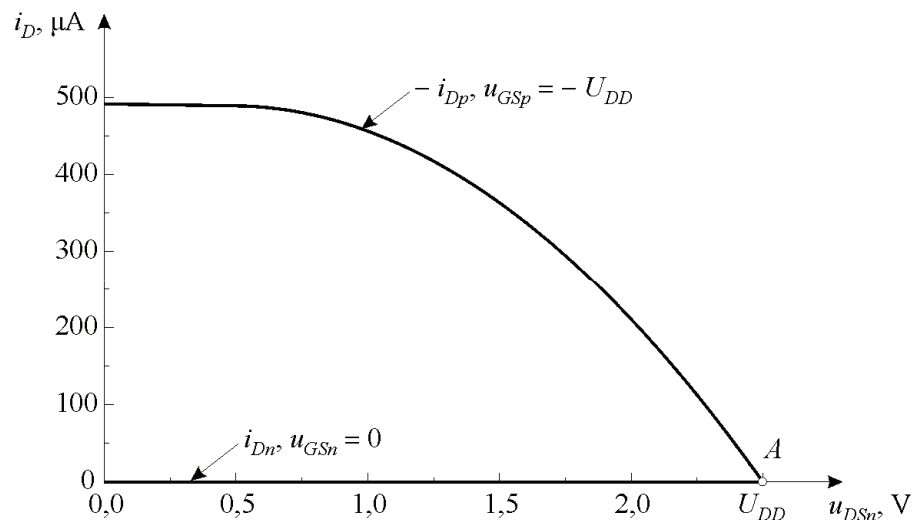
$$u_{GSp} = u_{UL} - U_{DD}$$

$$u_{DSn} = u_{IZ}$$

$$u_{DSp} = u_{IZ} - U_{DD}$$

$$i_{Dn} = -i_{Dp}$$

# Stacionarna stanja – ulazni napon niske razine



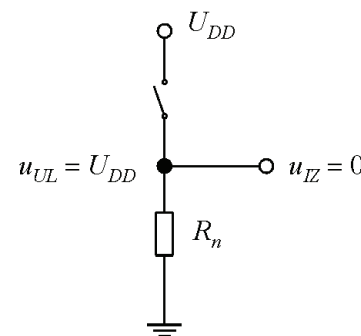
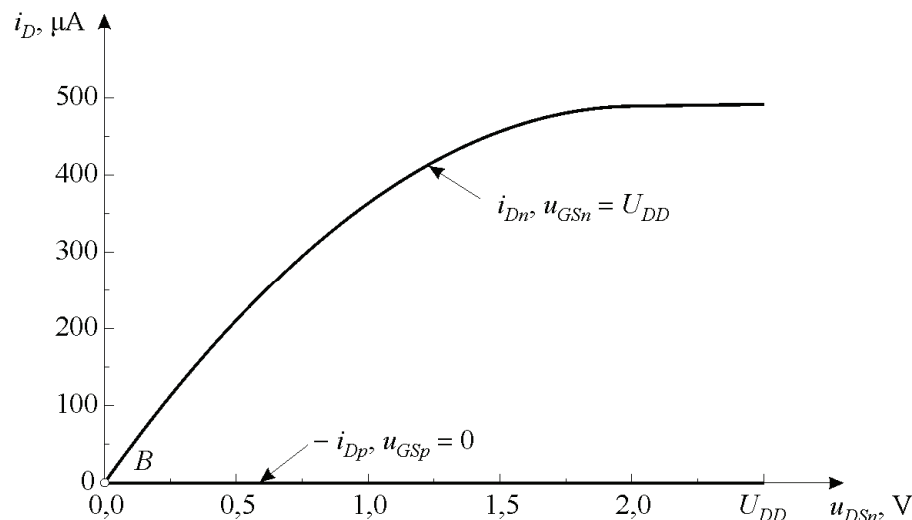
$T_n$  ne vodi,  $T_p$  vodi – u početku triodnog područja:

$$i_{Dp} = K_p (u_{GSp} - U_{GS0p}) u_{DSp} \quad R_p = \frac{u_{DSp}}{i_{Dp}} = \frac{1}{K_p (u_{GSp} - U_{GS0p})}$$

Izlazni napon visoke razine (napon logičke 1)  $\rightarrow U_1 = U_{DD}$



# Stacionarna stanja – ulazni napon visoke razine



$T_p$  ne vodi,  $T_n$  vodi – u početku triodnog područja:

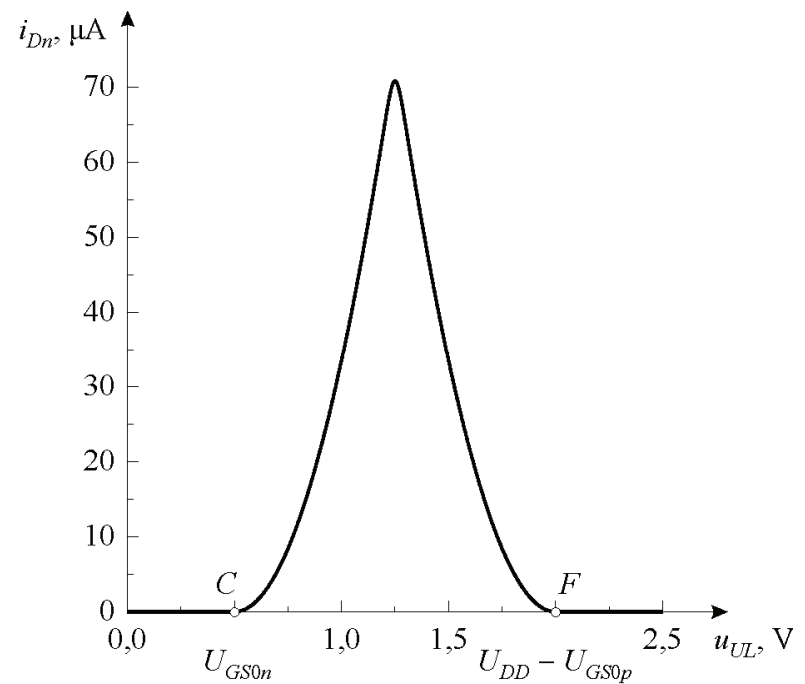
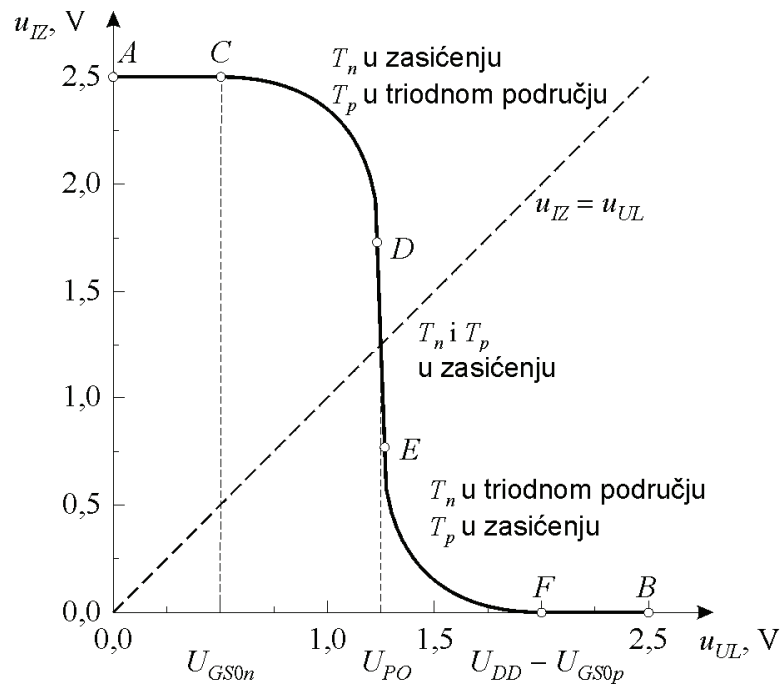
$$i_{Dn} = K_n (u_{GSn} - U_{GS0n}) u_{DSn} \quad R_n = \frac{u_{DSn}}{i_{Dn}} = \frac{1}{K_n (u_{GSn} - U_{GS0n})}$$

Izlazni napon niske razine (napon logičke 0)  $\rightarrow U_0 = 0$

# Svojstva CMOS invertora

- ❑ Sklop obavlja logičku funkciju invertora. Uz ulazni napon niske razine izlazni je napon na visokoj razini i obrnuto.
- ❑ Naponi logičkih razina 0 i 1 su  $U_0 = 0$  i  $U_1 = U_{DD}$ . Razlika naponskih razina odgovara cijelom naponu napajanja što je povoljno za ostvarenje većih granica smetnji.
- ❑ Naponi logičkih razina ne ovise o dimenzijama tranzistora.
- ❑ U statičkim stanjima izlaz je uvijek preko konačnog otpora spojen ili na masu ili na napon napajanja, pa je sklop manje osjetljiv na smetnje. Izlaz CMOS invertora je niskoomski. Otpori  $R_n$  i  $R_p$  su reda veličine  $k\Omega$ .
- ❑ Ulaz CMOS invertora je visokoomski, pa se sklop upravlja bez struje. To teoretski omogućuje beskonačno veliki faktor grananja izlaza.
- ❑ Ni u jednom od statičkih stanja ne postoji put struje između napajanja i mase što znači da sklop radi bez potrošnje.

# Prijenosna karakteristika



# Napon praga okidanja

prag okidanja  $\rightarrow$  točka u kojoj pravac  $u_{IZ} = u_{UL}$  siječe prijenosnu karakteristiku

za napon praga okidanja  $U_{PO} = u_{IZ} = u_{UL} \rightarrow$  tranzistori rade u zasićenju

$$i_{Dn} = -i_{Dp} \rightarrow K_n (U_{PO} - U_{GS0n})^2 = -K_p (U_{PO} - U_{DD} - U_{GS0p})^2$$

$$r = \sqrt{\frac{-K_p}{K_n}} = \pm \frac{U_{PO} - U_{GS0n}}{U_{PO} - U_{DD} - U_{GS0p}}$$

fizikalno rješenje s predznakom "-"  $\rightarrow r = \frac{U_{PO} - U_{GS0n}}{U_{DD} - U_{PO} + U_{GS0p}}$

$$U_{PO} = \frac{r(U_{DD} + U_{GS0p}) + U_{GS0n}}{1 + r}$$

podešava se strujnim konstantama  $K_n$  i  $K_p$

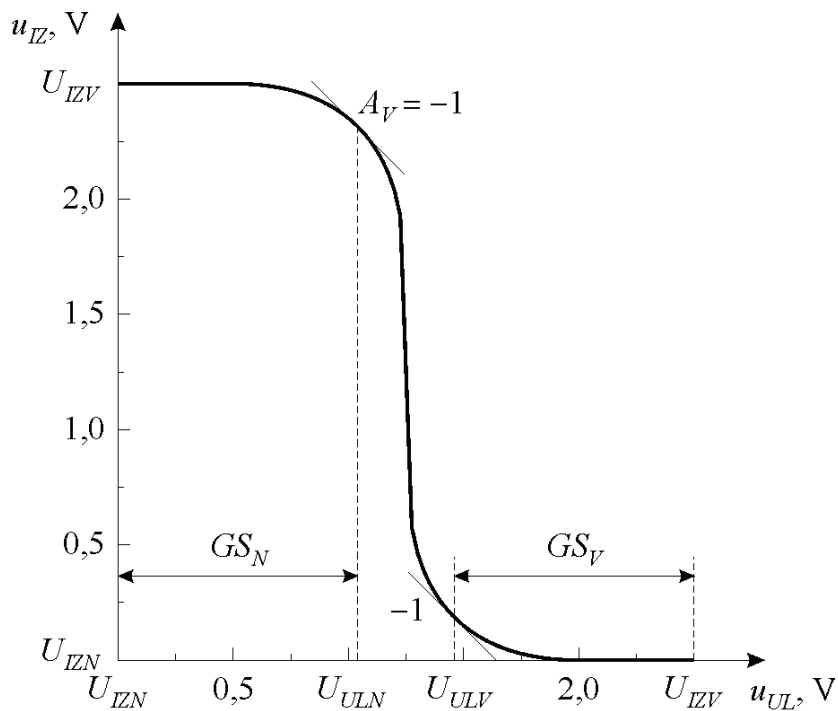
za  $r = 1$  i  $U_{GS0n} = -U_{GS0p} \rightarrow U_{PO} = U_{DD}/2$

## Primjer 6.10 (1)

Parametri tranzistora u CMOS invertoru su debljina oksida iznad kanala za oba tranzistora  $t_{ox} = 6 \text{ nm}$ , pokretljivosti nosilaca u kanalu  $\mu_n = 270 \text{ cm}^2/\text{Vs}$ ,  $\mu_p = 90 \text{ cm}^2/\text{Vs}$  i naponi pragova  $U_{GS0n} = -U_{GS0p} = 0,5 \text{ V}$ . Napon napajanja  $U_{DD} = 2,5 \text{ V}$ .

- Uz pretpostavku da su dužine kanala oba tranzistora jednake,  $L_n = L_p$  izračunati omjer širina kanala  $W_p/W_n$  tranzistora  $T_n$  i  $T_p$  uz koji će napon praga okidanja biti jednak polovici napona napajanja  $U_{PO} = U_{DD}/2 = 1,25 \text{ V}$ .
- Izračunati novu vrijednost napona praga okidanja  $U_{PO}$  ako se širina kanala tranzistora  $T_p$  u odnosu na širinu iz dijela a) utrostruči.

# Granice smetnji



$$GS_N = U_{ULN} - U_{IZN} = U_{ULN}$$

$$GS_V = U_{IZV} - U_{ULV} = U_{DD} - U_{ULV}$$

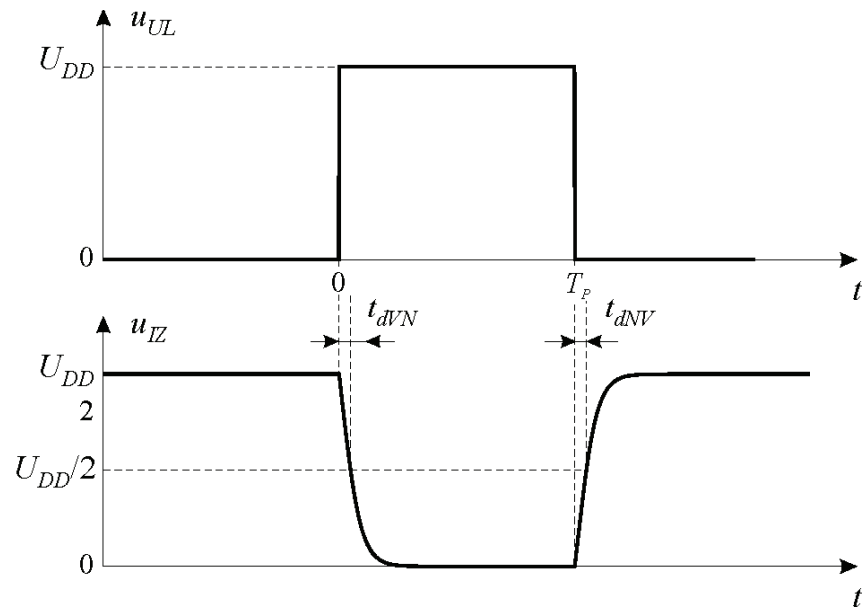
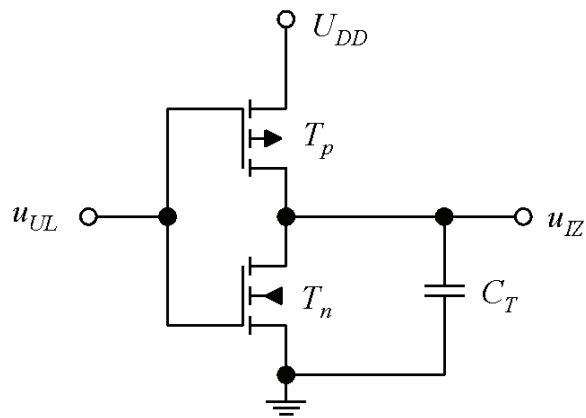
primjer:  $U_{DD} = 2,5 \text{ V}$

$$U_{ULN} = 1,04 \text{ V}, U_{ULV} = 1,46 \text{ V}$$

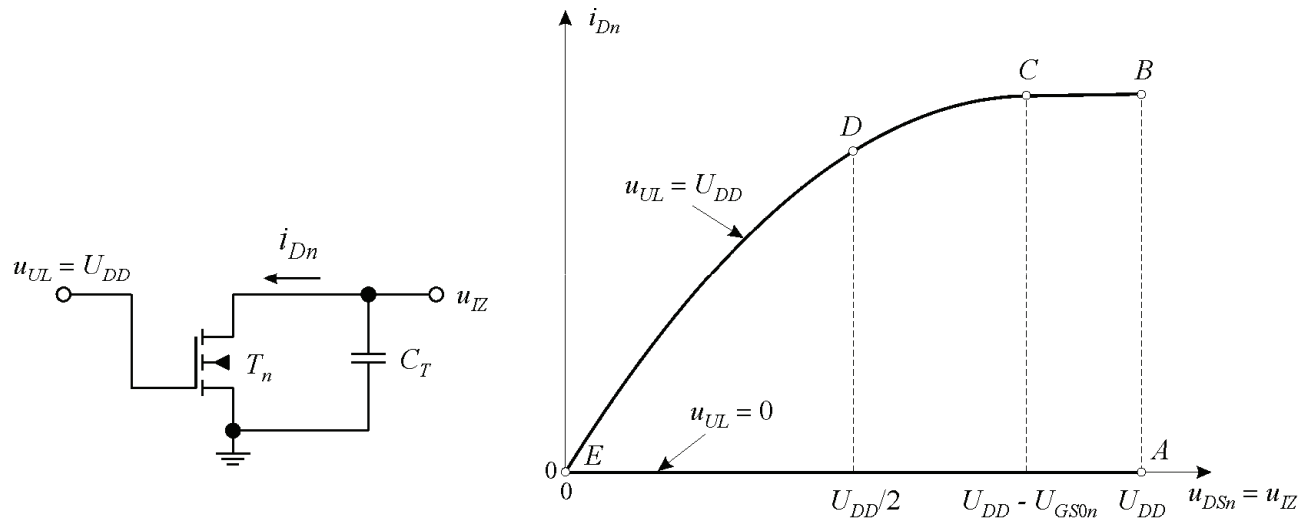
$$GS_N = U_{ULN} = 1,04 \text{ V}$$

$$GS_V = U_{DD} - U_{ULV} = \\ = 2,5 - 1,46 = 1,04 \text{ V}$$

# Vremenski odziv



# Vremena kašnjenja (1)



$$i_{Dn} dt = -C_T du_{IZ}$$

$$t_{dVN} = -C_T \int_{U_{DD}}^{U_{DD}/2} \frac{du_{IZ}}{i_{Dn}(u_{IZ})}$$



# Vremena kašnjenja (2)

između točaka  $B$  i  $C \rightarrow i_{Dn} = \frac{K_n}{2}(U_{DD} - U_{GS0n})^2$

između točaka  $C$  i  $D \rightarrow i_{Dn} = K_n(U_{DD} - U_{GS0n})u_{IZ} - \frac{K_n}{2}u_{IZ}^2$

pretpostavljajući da je između točaka  $B$  i  $D \rightarrow i_{Dn} = \frac{K_n}{2}(U_{DD} - U_{GS0n})^2$

$$t_{dVN} \approx \frac{C_T (U_{DD} - U_{DD}/2)}{K_n/2 (U_{DD} - U_{GS0n})^2} = \frac{C_T U_{DD}}{K_n (U_{DD} - U_{GS0n})^2}$$

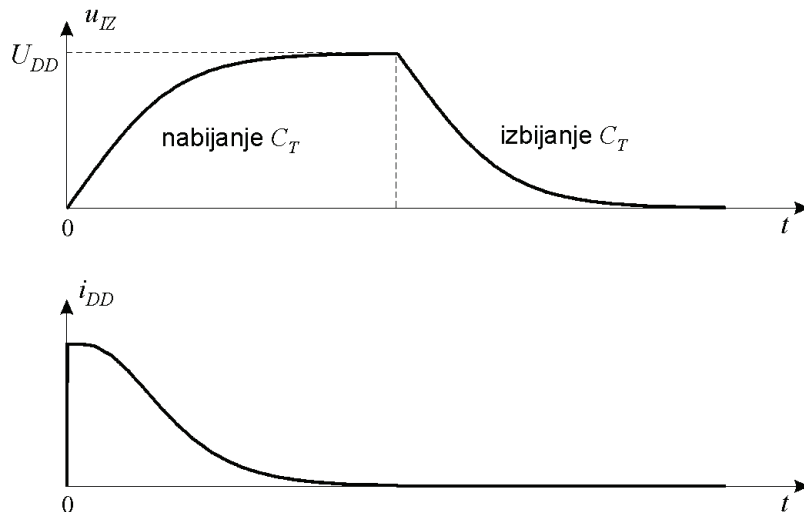
$$t_{dNV} \approx \frac{C_T U_{DD}}{-K_p (U_{DD} + U_{GS0p})^2}$$

## Primjer 6.11

---

Za CMOS invertor s parametrima iz primjera 6.10 odrediti vrijeme kašnjenja  $t_{dVN}$ . Kapacitet  $C_T$  je 10 fF, a dimenzije kanala tranzistora  $T_n$  su  $W_n = 2L_n = 0,50 \mu\text{m}$ . Kolika, uz  $L_n = L_p$ , mora biti širina kanala  $W_p$  tranzistora  $T_p$  da bi vrijeme kašnjenja  $t_{dNV}$  bilo jednako vremenu kašnjenja  $t_{dVN}$ ?

# Disipacija snage



$$P = C_T U_{DD}^2 f$$

$$E_{DD} = \int_0^{\infty} i_{DD} U_{DD} dt = U_{DD} \int_0^{\infty} C_T \frac{du_{IZ}}{dt} dt = C_T U_{DD} \int_0^{U_{DD}} du_{IZ} = C_T U_{DD}^2$$

$$E_C = \int_0^{\infty} i_{DD} u_{IZ} dt = \int_0^{\infty} C_T \frac{du_{IZ}}{dt} u_{IZ} dt = C_T \int_0^{U_{DD}} u_{IZ} du_{IZ} = \frac{C_T U_{DD}^2}{2}$$

## Primjer 6.12

---

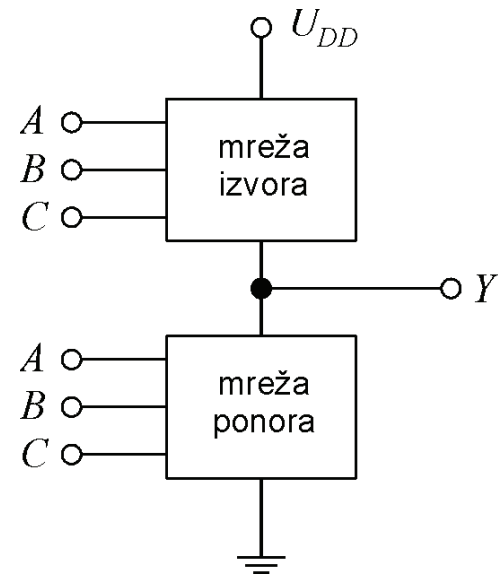
Kolika se energija izvora napajanja od 2,5 V troši pri svakoj periodi promjene izlaznog napona na CMOS invertoru opterećenom kapacitetom  $C_T = 10$  fF. Kolika je disipacija snage invertora uz frekvenciju rada od 1 GHz?

# Kombinacijski CMOS logički sklopovi

Kombinacijski logički sklopovi - nemaju svojstvo pamćenja; trenutni odzivi na izlazima posljedica su trenutanih ulaznih signala

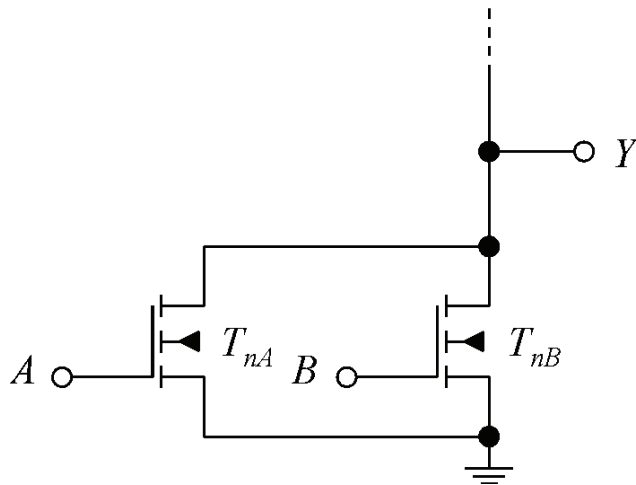
## CMOS logički sklopovi

- ❑ proširenje CMOS invertora
- ❑ dvije mreže:
  - mreža ponora (engl. pull-down network)
  - mreža izvora (engl. pull-up network)
- ❑ ulazi se priključuju na obje mreže
- ❑ mreže rade komplementarno – jedna vodi, druga ne vodi
- ❑ jedna od mreža spaja izlaz na masu ili napon napajanja
- ❑ u stacionarnom stanju nema potrošnje



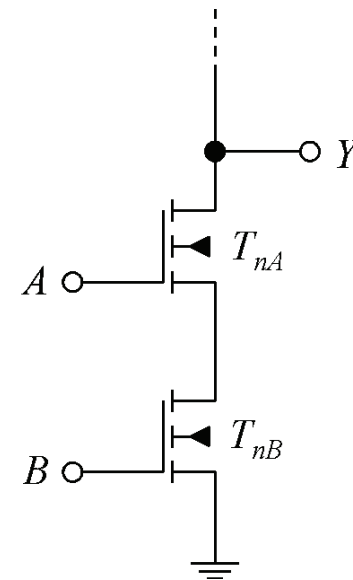
# Spajanje nMOS tranzistora u mreži ponora

*n*-kanalni MOSFET – vodi kada je na ulazu logička 1 i spaja izlaz na logičku 0



$$\bar{Y} = A + B \rightarrow Y = \overline{A + B}$$

NILI funkcija

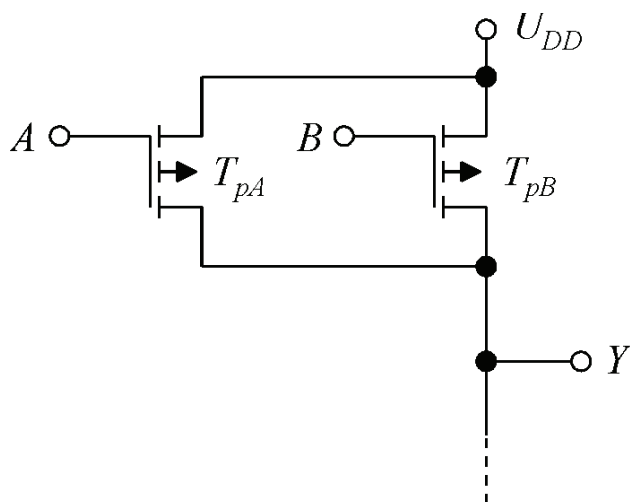


$$\bar{Y} = A \cdot B \rightarrow Y = \overline{A \cdot B}$$

NI funkcija

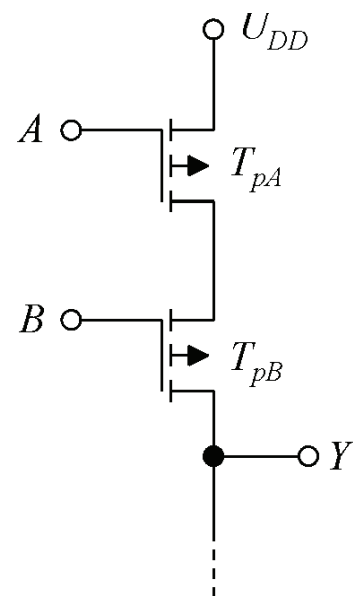
# Spajanje pMOS tranzistora u mreži izvora

p-kanalni MOSFET – vodi kada je na ulazu logička 0 i spaja izlaz na logičku 1



$$Y = \overline{A} + \overline{B} = \overline{A \cdot B}$$

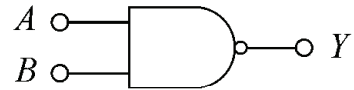
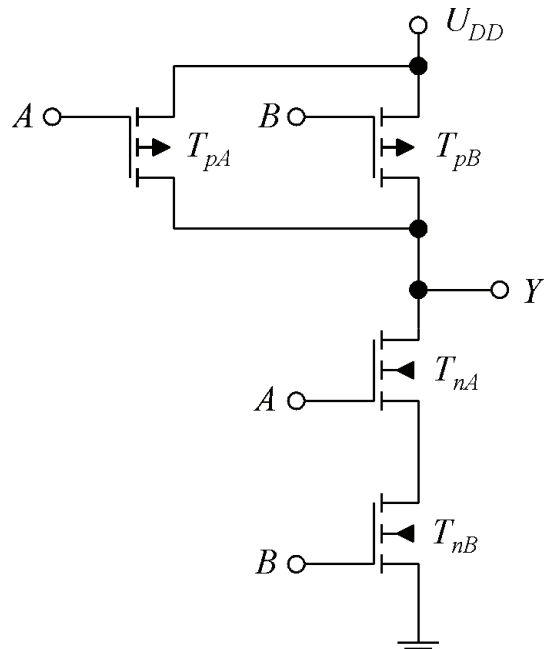
NI funkcija



$$Y = \overline{A} \cdot \overline{B} = \overline{A + B}$$

NILI funkcija

# Logički sklop NI



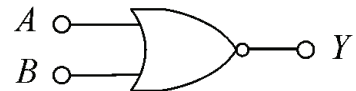
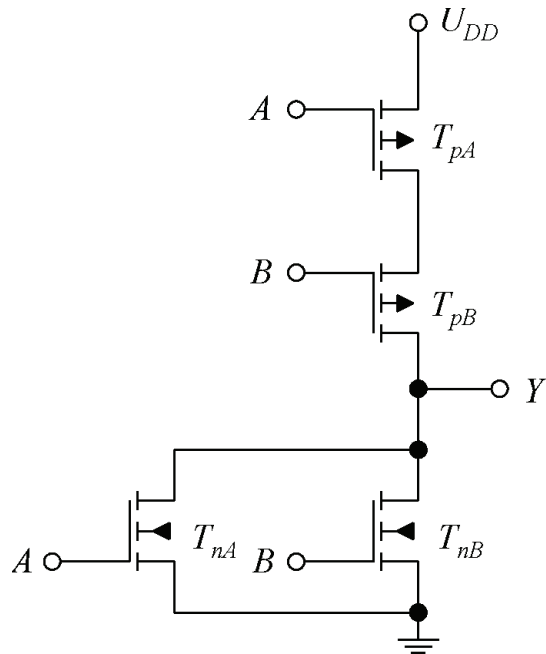
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$U_0 = 0$$

$$U_1 = U_{DD}$$



# Logički sklop NILI



$A$	$B$	$Y$
0	0	1
0	1	0
1	0	0
1	1	0

$$U_0 = 0$$

$$U_1 = U_{DD}$$

# Složene logičke funkcije

- ❑ AOI sklopovi (engl. and-or-invert)
- ❑ kombinacija serijskih i paralelnih spojeva tranzistora u obje mreže
- ❑ mreže moraju biti komplementarne

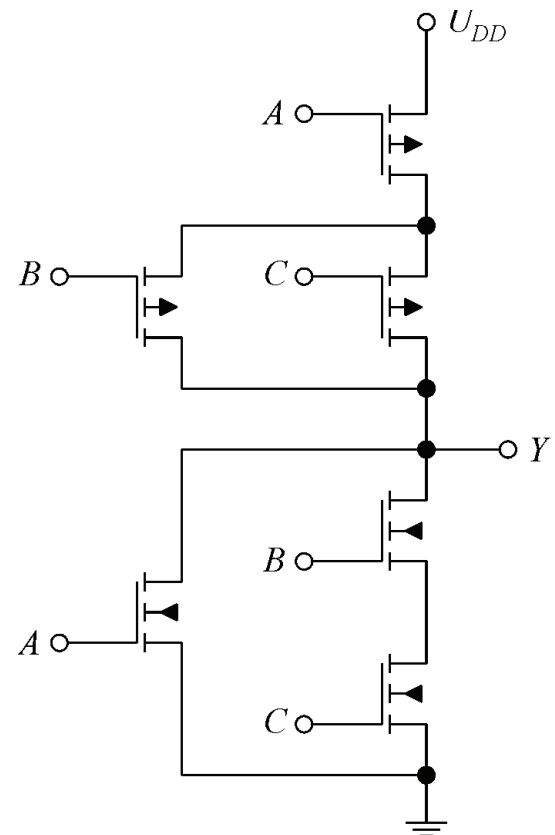
Primjer:

za mrežu ponora

$$\bar{Y} = A + B \cdot C \rightarrow Y = \overline{A + B \cdot C}$$

za mrežu izvora

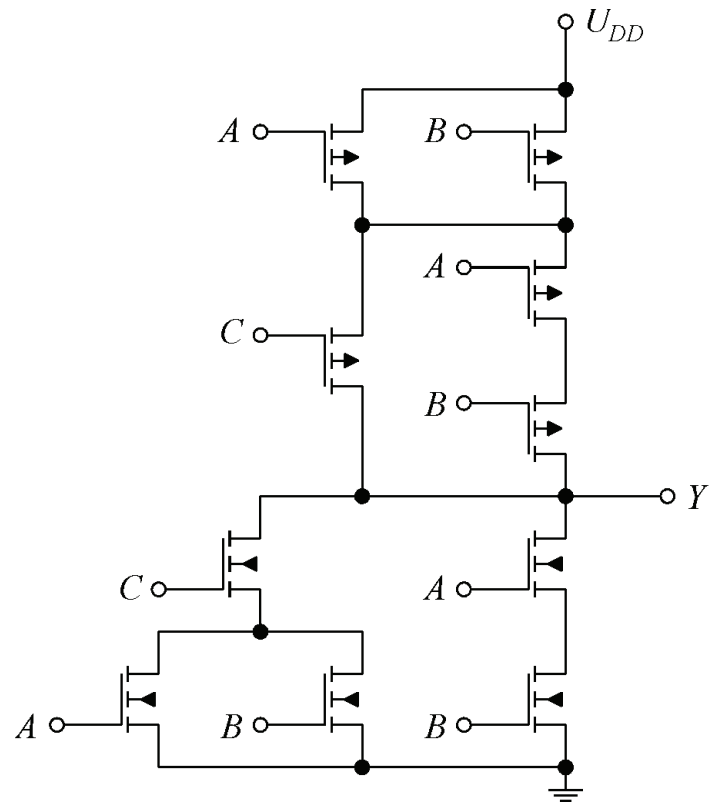
$$Y = \bar{A} \cdot (\bar{B} + \bar{C}) = \bar{A} \cdot \overline{B \cdot C} = \overline{A + B \cdot C}$$



# Primjer 6.13

Nacrtati komplementarni CMOS sklop kojim se ostvaruje logička funkcija

$$Y = \overline{AB + AC + BC}$$

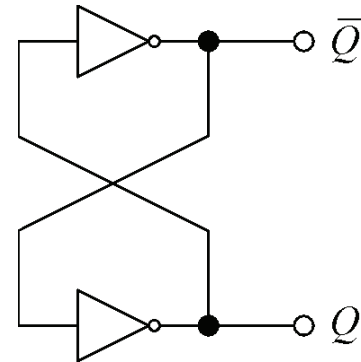


# Sekvencijski CMOS logički sklopovi

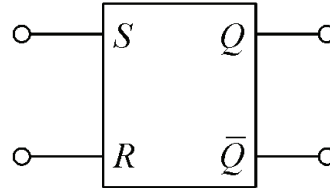
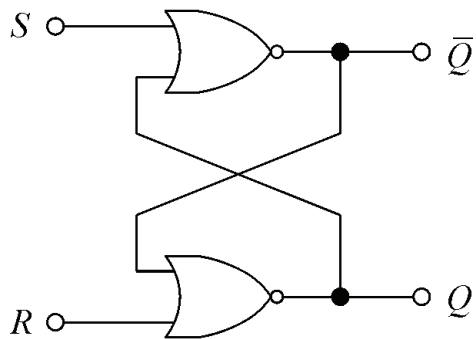
Sekvencijski (sljedni) logički sklopovi - odlikuju se svojstvom pamćenja; izlaz ovisi ne samo o kombinaciji trenutnih stanja na ulazima već i o prethodnom stanju

osnovni sekvencijski sklop – **bistabil**

- ❑ spoj dva unakrsno spojena invertora
- ❑ dva komplementarna izlaza  $Q$  i  $\bar{Q}$
- ❑ memorijski element
- ❑ za promjenu stanja – ulazi za okidanje



# SR-bistabil

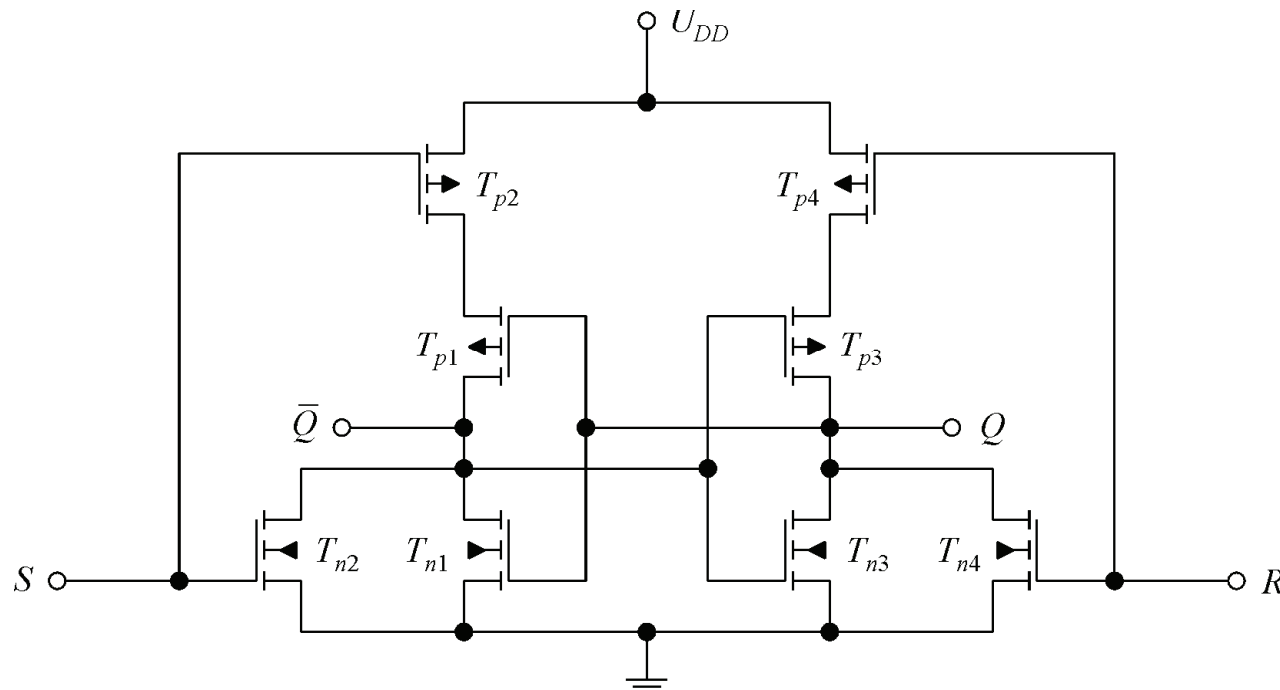


$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0
0	1	0	1
1	1	—	—

$S$  i  $R \rightarrow$  ulazi za okidanje

- ☐  $S \rightarrow$  postavljanje izlaza  $Q$  u logičku 1 (engl. set)
- ☐  $R \rightarrow$  vraćanje izlaza  $Q$  u logičku 0 (engl. reset)
- ☐ kombinacija ulaza 11 – nedozvoljeno stanje

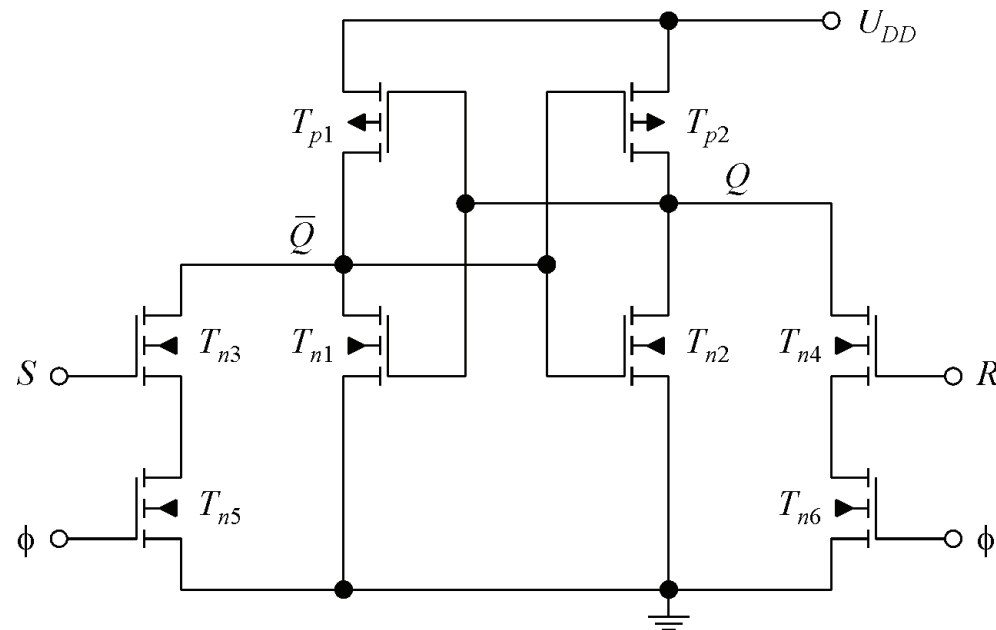
# CMOS SR-bistabil



$T_{n1}, T_{n2}, T_{p1}, T_{p2} \rightarrow$  prvi NILI sklop

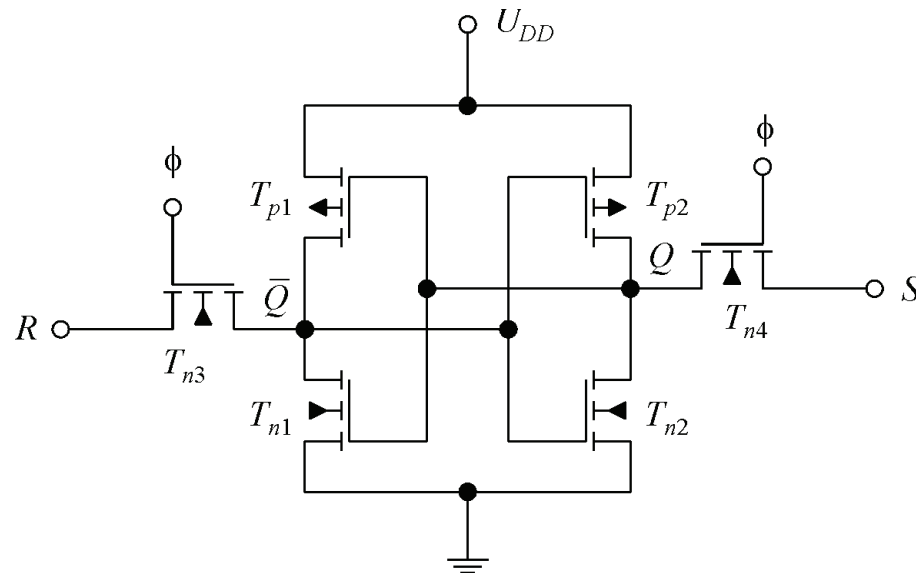
$T_{n3}, T_{n4}, T_{p3}, T_{p4} \rightarrow$  drugi NILI sklop

# Upravljeni CMOS SR-bistabil



upravljani (sinkroni) bistabil – upravljan je impulsima takta  $\phi$

# CMOS SR-bistabil za memorijske sklopove



- ❑ osnovna ćelija statičkog RAM-a
- ❑  $S$  i  $R$  moraju biti u različitim logičkim stanjima