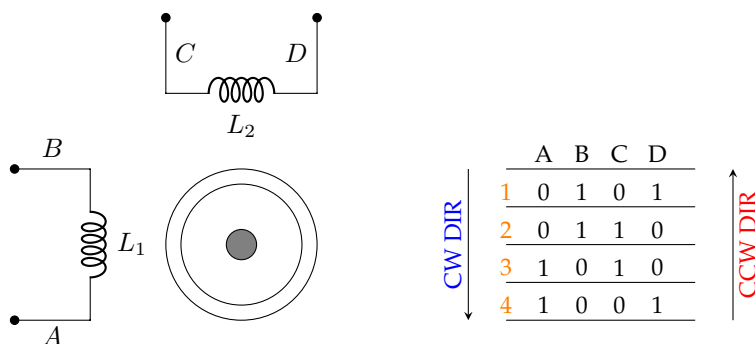


Projekat 20220719

1. [20 BOD] Razviti VHDL model kontrolera jednog step (koračnog) motora kao komponentu. Da bi se osigurala vrtnja step motora za jedan korak neophodno je generirati cijelu četverotaktnu sekvence prema slici 1. Jedan korak za CW smjer vrtnje, zahtjeva izvršenje faza 1,2,3,4 dok CCW 4,3,2,1 faza. U cilju zaštite FPGA čipa te osiguranja dovoljne energije motoru, izlazi (IO pinovi) su spojeni preko buffera (pojačala struje) na A,B,C,D pinove step motora. Kontroler implementira i indikator pozicije koji se pri svakom koraku inkrementira za slučaj CW vrtnje ili dekrementira za slučaj CCW vrtnje. Jedna puna rotacija rotora motora zahtjeva 360 koraka. Kada rotor motora dostigne poziciju 360 ista se resetuje na vrijednost 0.

VHDL komponenta ima sljedeći interface:

- *fclk* - FPGA clock,
- *io* - lista od 4 izlazna pina,
- *stpcnt* - broj koraka koji step motor mora napraviti,
- *dir* - smjer vrtnje: 0 - CW¹, 1 - CCW²,
- *speed* - brzina izvršenja jedne faze (1/4 koraka) izražena u *ns*,
- *pos* - indikator pozicije,
- *cflag* - statusni bit kojim komponenta indicira top modelu da je kontroler završio sa vrtnjom.



Slika 1: Funkcionalni dijagram step motora te četverotaktna sekvence jednog koraka u CW i CCW smjeru

Komponentu kontrolera step motora testirat na sljedeći način:

- pokrenuti step motor u CW smjeru 23 koraka i brzinom $1 \mu s$,
- napraviti pauzu od $10 \mu s$,
- pokrenuti step motor u CCW smjeru 10 koraka i brzinom od $200 ns$.

¹smjer vrtnje u smjeru kazaljke na satu

²smjer vrtnje u suprotnom smjeru od kazaljke na satu

2. [20 BOD] Unaprijediti VHDL model UART primopredajnika (sa predavanja) koji će komunicirati na 10 MBaud-a. UART primopredajnik će za svaki primljeni ASCII karakter primjenjivati sljedeće pravilo; ako je binarna kombinacija primljenog karaktera x_i u opsegu:

- $0x41 \leq x_i \leq 0x5A$ primljenom karakteru dodati vrijednost $0x20$ i modifikovani karakter emitovati,
- $0x61 \leq x_i \leq 0x7A$ primljenom karakteru oduzeti vrijednost $0x20$ i modifikovani karakter emitovati,
- za sve ostale vrijednosti karaktera x_i , isti emitovati ne modifikovan.

U osnovi model UART primopredajnika će da realizuje jednu vrstu echo-a.

NAPOMENA :

- Svi top modeli nazivaju se **top** i spremljeni su u *top.vhd* file osim ako to nije drugačije rečeno.
- Za svaki primjer napisati odgovarajući *testbench* program koji će testirati specifične slučajeve (date zadatkom) a koji je spremljen u *top_tb.vhd* file.
- Top model u testbench u se naziva **top_tb**.
- FPGA clock je 100 MHz.
- Prilikom izrade koristiti samo GHDL simulator i poslati odgovarajuće file-ove: Makefile, *.sav, *.ini

Sretno kodiranje!

Ukupan broj bodova koje student može osvojiti na projektu je **40**. Arhivirati sve zadatke u zadaći/projektu u formatu: *tk002_projekat20220719_prezime_ime.zip* (poslati samo *.vhd i GHDL *.sav, Makefile i *.ini file) u zasebnim folder-ima (zad1, zad2, zad3,...) i predati najdalje do 22:00:00 h **14.07.2022.** na email asmir.gogic@fet.ba