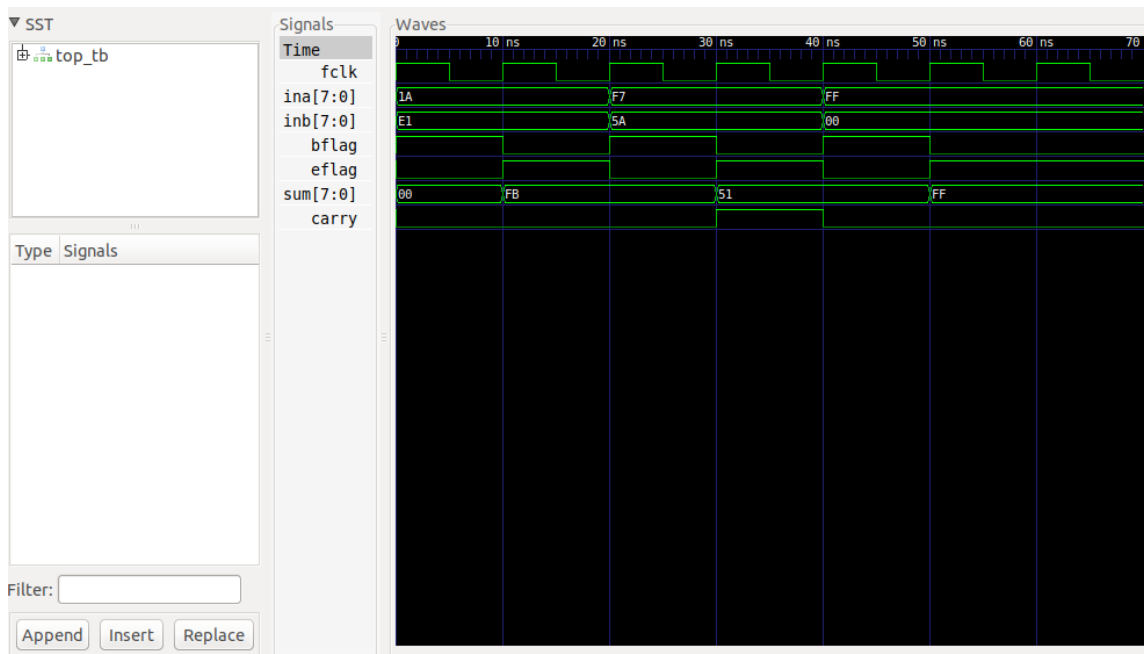


## Zadaća 2

1. [10 BOD] Razviti VHDL model sistema koji realizuje operaciju sabiranja dva 8-bitna broja. Specifikacija interface je:

- **ina** prvi 8-bitni ulaz tipa unsigned,
- **inb** drugi 8-bitni ulaz tipa unsigned,
- **sum** 8-bitni izlaz tipa unsigned,
- **carry** flag tipa out kojim se indicira prekoračenje,
- **bflag** flag tipa in kojim se inicira početak operacije sabiranja (postaviti na stanje 1) te nakon jednog fclk postaviti na stanje 0,
- **eflag** flag tipa out kojim se indicira završetak operacije sabiranja (stanje 1),
- **fclk** ulaz tipa *std\_logic* koji predstavlja FPGA clock.

Za razvijeni VHDL model napisati *testbench* program koji će odrediti izlaz sistema za sljedeće kombinacije ulaza (0x1A, 0xE1), (0xF7, 0x5A) i (0xFF, 0x00). U GTKwave prikazati sve signale interface-a ali sa stanovišta testbench-a kao prema slici 1. U privitku zadaće se nalazi testbench program koji treba koristiti za zadatak 1.



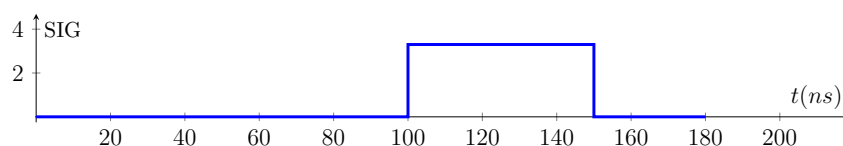
Slika 1: Rezultat simulacije za sve tri kombinacije ulaznih signala

2. [10 BOD] Razviti VHDL model timer-a koji mjeri koliko je dati signal bio u stanju 0 ili 1. Specifikacija interface je:

- **sig** ulazni signal čije je stanje potrebno pratiti tipa *std\_logic*,
- **level** nivo signala koji se prati; 0 - mjerimo koliko je signal bio u stanju 0 sve dok se ne promjeni stanje, 1 mjerimo koliko je signal bio u stanju 1,
- **time** 32-bitni izlaz tipa *unsigned* koji indicira vrijeme koliko je signal bio u stanju 1 ili 0,
- **bflag** flag tipa *in* kojim se inicira početak operacije (postaviti na stanje 1) te nakon jednog fclk postaviti na stanje 0,
- **eflag** flag tipa *out* kojim se indicira završetak operacije (stanje 1),
- **fclk** ulaz tipa *std\_logic* koji predstavlja FPGA clock.

Razvijeni VHDL model testirati sa signalom na slici 2, jednom za slučaj mjerenja stanja '0' (rezultat je 10) a drugi puta za stanje '1' (rezultat je 5).

**Napomena:** ukoliko je signal u stanju koje nije od značaja, model mora čekati na željeno stanje pa onda započeti mjerenje! Mjerenje traje sve dok se stanje signala ne promjeni.



Slika 2: Testni signal

3. [10 BOD] VHDL model UART predajnika sa predavanja unaprijediti tako da omogućuje generiranje parnog ili neparnog bita pariteta. U interface modela dodati jos jedan ulazni signal *par* tipa *unsigned* kojim ćemo indicirati 0 - nema bita pariteta, 1 - parni bit pariteta i 2 - neparni bit pariteta. Model testirati generirajući sekvencu 0x28 0x05 za sva tri slučaja ako je baudrate 20 Mbaud-a.

**NAPOMENA:**

- Svi top modeli nazivaju se **top** i spremljeni su u *top.vhd* file osim ako to nije drugačije rečeno.
- Za svaki primjer napisati odgovarajući *testbench* program koji će testirati specifične slučajeve (date zadatkom) a koji je spremljen u *top\_tb.vhd* file.
- Top model u testbench u se naziva **top\_tb**.
- FPGA clock je 100 MHz.
- Prilikom izrade koristiti samo GHDL simulator i poslati odgovarajuće file-ove: Makefile, \*.sav, \*.ini

*Sretno kodiranje!*

Ukupan broj bodova koje student može osvojiti na zadaći 2 je **30**. Arhivirati sve zadatke u zadaći/-projektu u formatu: *tk002\_zadaca2\_prezime\_ime.zip* (poslati samo \*.vhd i GHDL \*.sav, Makefile i \*.ini file) u zasebnim folder-ima (zad1, zad2, zad3) i predati najdalje do 22:28:05 h **28.05.2022.** na email [asmir.gogic@fet.ba](mailto:asmir.gogic@fet.ba)