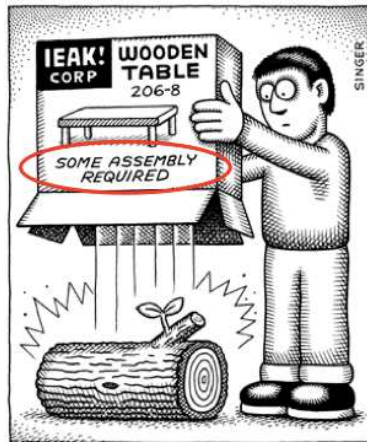


Agenda

- Introducción
- Presentación de la Familia Cortex M3
- Arquitectura de los Cortex M3
- Repertorio de Instrucciones y Ejemplos
- Sistema de Memoria
- **Excepciones, Interrupciones y el NVIC**
- La familia NXP LPC13xx

Excepciones e Interrupciones

¿Por qué excepciones?



Excepciones

- Es un concepto más amplio que las interrupciones pues no necesariamente se producen por acciones externas.
- Las interrupciones son un subgrupo de las excepciones y se procesan similarmente

Cortex-M3 Exception Handling

Reset : power-on or system reset

NMI : cannot be stopped or preempted by any exception other than reset

Faults

Hard Fault : default Fault or any fault unable to activate

Memory Manage : MPU violations

Bus Fault : prefetch and memory access violations

Usage Fault : undef instructions, divide by zero, etc.

SVCall : privileged OS requests

Debug Monitor : debug monitor program

PendSV : pending SVCalls

SysTick Interrupt : internal sys timer, i.e., used by RTOS to periodically check resources or peripherals

External Interrupt : i.e., external peripherals

Excepciones

- **Reset**
- **NMI**
- **Faults**
 - Hard Fault
 - Memory Manage
 - Bus Fault
 - Usage Fault
- **SVCall**
- **Debug Monitor**
- **PendSV**
- **SysTick Interrupt**
- **External Interrupt**

- **Hard Fault** : default Fault or any fault unable to activate
- **Memory Manage** : MPU violations
- **Bus Fault** : prefetch and memory access violations
- **Usage Fault** : undef instructions, divide by zero, etc.

Excepciones

Exception Number	Exception Type	Priority (Default to 0 if Programmable)	Description
0	NA	NA	No exception running
1	Reset	-3 (Highest)	Reset
2	NMI	-2	Nonmaskable interrupt (external NMI input)
3	Hard fault	-1	All fault conditions, if the corresponding fault handler is not enabled
4	MemManage fault	Programmable	Memory management fault; MPU violation or access to illegal locations
5	Bus fault	Programmable	Bus error (Prefetch Abort or Data Abort)
6	Usage fault	Programmable	Exceptions due to program error
7-10	Reserved	NA	Reserved
11	SVCall	Programmable	System service call
12	Debug monitor	Programmable	Debug monitor (break points, watchpoints, or external debug request)
13	Reserved	NA	Reserved
14	PendSV	Programmable	Pendable request for system device
15	SYSTICK	Programmable	System tick timer
16	IRQ #0	Programmable	External interrupt #0
17	IRQ #1	Programmable	External interrupt #1
...
255	IRQ #239	Programmable	External interrupt #239

Externas

Excepciones e interrupciones

7

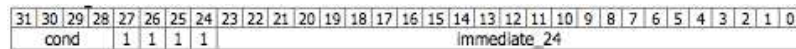
NVIC

- Se introduce un controlador de interrupciones vectorizadas y anidadas
- Permite el cambio dinámico de prioridades de interrupción.
- Reducción del tiempo de latencia de interrupción
- Enmascaramiento individual de interrupciones
- System Tick (Sys Tick), que es un contador descendente de 24 bits imaginado para trabajar con un RTOS u otras tareas similarmente planificadas

Excepciones e interrupciones

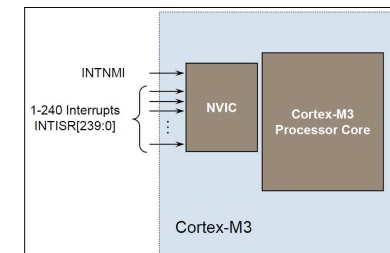
8

SVC



Teniendo en cuenta que los 24 bits menos significativos no son atendidos por el procesador. ¿Cómo puede el usuario thread pedir al handler su intervención para diversas acciones?

Interrupciones



- Una interrupción no enmascarable (INTNMI)
 - 1-240 interrupciones priorizables
 - Las interrupciones pueden ser enmascaradas
- Puede seleccionarse el número de interrupciones activas
- El controlador de interrupciones anidadas (NVIC) está fuertemente asociado al núcleo del procesador
- Las entradas de interrupción son activas ALTA

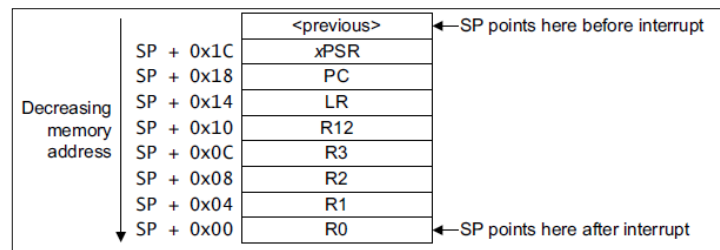
Terminología (a ser ampliada)

- **Determinístico:** Que es predecible. Dado un conjunto de entradas, siempre producirá las mismas salidas pasando por la misma secuencia de estados.
- **Prevaciado (preemption)** Habilidad de un sistema operativo o programa similar de detener la ejecución de una tarea programada a favor de una tarea de mayor prioridad.
- **Tail chaining:** Forma de encolar los retornos de interrupciones anidadas, de forma de optimizar el tiempo total de ejecución.
- **Latencia de interrupciones:** Demora experimentada desde que se genera una interrupción hasta que es atendida

Manejo de interrupciones microcodificado

- **Entrada:**
 - Se pushean automáticamente la pila o registros R0–R3, R12, LR, PSR, y el PC
 - En paralelo se hace la pre-fetch de la ISR en el bus de instrucciones.
 - ISR esta lista para comenzar tan pronto termine las operaciones de PUSH.
 - La llegada tardía de otra interrupción reiniciará el prefetch de la ISR pero no necesita repetir el salvado de registros.
- **Salida:**
 - El estado del procesador es recuperado automáticamente de la pila.
 - En paralelo, la instrucción interrumpida es prefetched, lista para reiniciar la ejecución apenas se completen los POPs de la pila.
 - Los POPs de la pila pueden ser interrumpidos, permitiendo nuevas ISR ser inmediatamente atendidas sin la sobrecarga temporal de guardar registros

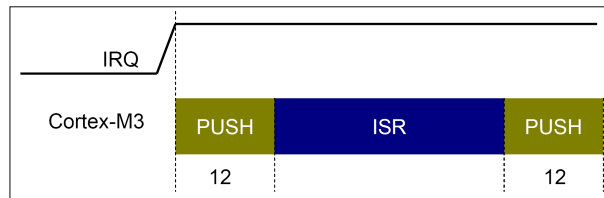
Las excepciones y el stack



Interrupciones

- Latencia de interrupciones determinística
- Características avanzadas
 - Prioridad de pre-vaciado
 - Tail chaining (encadenado de colas)

Latencia de Interrupciones del NVIC



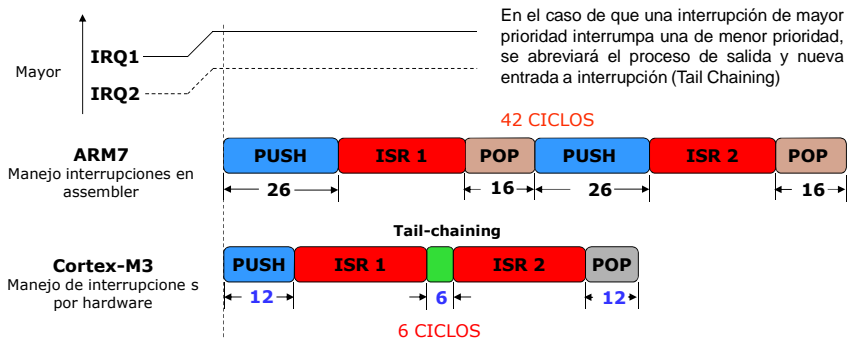
Latencia de interrupciones determinística

- Cortex-M3 tiene una latencia de interrupción de 12 ciclos y 12 ciclos para retornar de la ISR
- ARM7 tiene una latencia de interrupción entre 24 y 42 ciclos y 16 de retorno. NO ES DETERMINÍSTICO

Tail Chaining

- En el caso de que una interrupción de mayor prioridad interrumpa una de menor prioridad, se abreviará el proceso de salida y nueva entrada a interrupción (Tail Chaining)

Tail Chaining



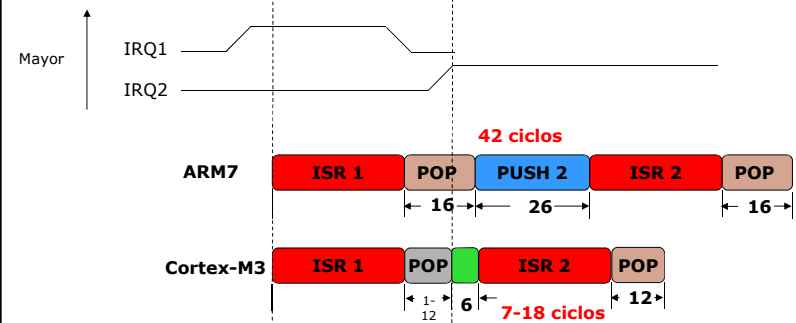
ARM7

- 26 Ciclos desde IRQ1 a la entrada de ISR1
- 42 ciclos si LSM
- 42 ciclos desde salida ISR1 a entrada ISR2
- 16 ciclos para retomar desde ISR2

Cortex-M3

- 12 ciclos desde IRQ1 a la entrada de ISR1
- 12 ciclos si LSM
- 6 ciclos desde salida ISR1 a entrada ISR2
- 12 ciclos para retomar desde ISR2

Latencia de interrupciones - Prevaciado



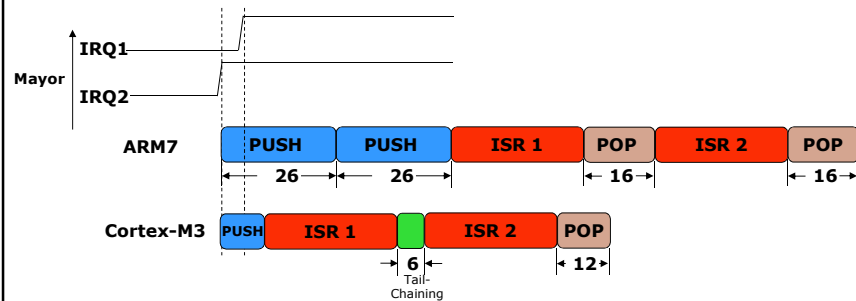
ARM7

- El procesador debe terminar con los POPs y luego relizar los PUSH

Cortex-M3

- POP puede ser abandonado tempranamente si llega otra interrupción
- Si POP es interrumpido, sólo toma 6 ciclos en entrar en ISR2 (equivalente al Tail chaining)

Latencia de interrupciones – Llegada tardía



ARM7

- 26 ciclos Para entrar a ISR2
- Inmediatamente pre-vaciado por IRQ1 y lleva 26 ciclos más entrar a ISR 1.
- ISR 1 se completa y lleva 16 ciclos Retornar a ISR 2.

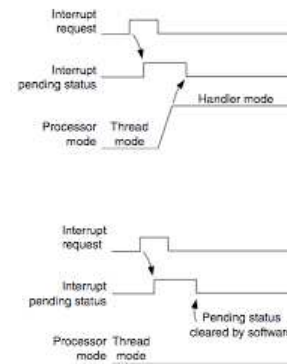
Cortex-M3

- Se interrumpen los push a ISR 2
- Stacking continúa pero la dirección del nuevo vector se busca en paralelo
- 6 ciclos más tarde entra ISR1.
- Tail-chain en ISR 2

Excepciones e interrupciones

19

Manipulación de interrupciones en NVIC



Interrupción pendiente

Interrupción limpiada previa a la Atención por el procesador

Excepciones e interrupciones

20

Tabla de vectores Inicial

Exception Type	Address Offset	Exception Vector
18-255	0x48-0x3FF	IRQ #2-239
17	0x44	IRQ #1
16	0x40	IRQ #0
15	0x3C	SYSTICK
14	0x38	PendSV
13	0x34	Reserved
12	0x30	Debug Monitor
11	0x2C	SVC
7-10	0x1C-0x28	Reserved
6	0x18	Usage fault
5	0x14	Bus fault
4	0x10	MemManage fault
3	0x0C	Hard fault
2	0x08	NMI
1	0x04	Reset
0	0x00	Starting value of the MSP

Excepciones e interrupciones

21

Tabla de vectores Inicial

Exception number	IRQ number	Offset	Vector
16+n	n	0x0040+4n	IRQn
.	.	.	.
.	.	.	.
.	.	.	.
18	2	0x004C	IRQ2
17	1	0x0048	IRQ1
16	0	0x0044	IRQ0
15	-1	0x0040	Systick
14	-2	0x003C	PendSV
13		0x0038	Reserved
12			Reserved for Debug
11	-5		SVCall
10		0x002C	
9			Reserved
8			
7			
6	-10	0x0018	Usage fault
5	-11	0x0014	Bus fault
4	-12	0x0010	Memory management fault
3	-13	0x000C	Hard fault
2	-14	0x0008	NMI
1		0x0004	Reset
		0x0000	Initial SP value

Excepciones e interrupciones

22

Regreso de excepción

EXC_RETURN	Description
0xFFFFFFFF1	Return to Handler mode. Exception return gets state from the main stack. Execution uses MSP after return.
0xFFFFFFFF9	Return to Thread mode. Exception Return get state from the main stack. Execution uses MSP after return.
0xFFFFFFF0D	Return to Thread mode. Exception return gets state from the process stack. Execution uses PSP after return.
All other values	Reserved.

Desde el Reset.....

