

**Diseño, Verificación y Validación de Sistemas Digitales**

Prof. Abisaí Ramírez

**Práctica 3: Acelerador de Hardware Matriz por Vector**

Autores:

José Andrés Hernández Hernández ie704453

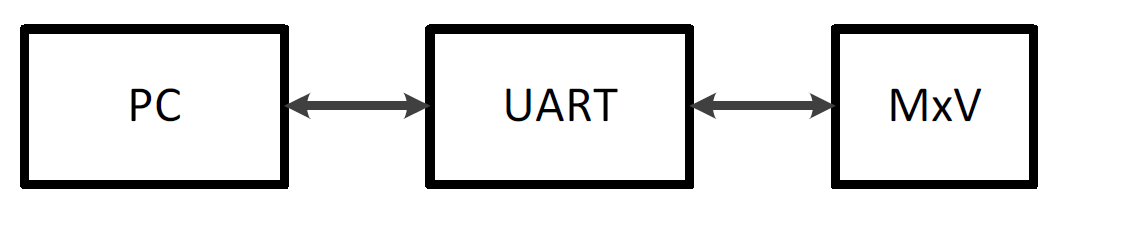
[ie704453@iteso.mx](mailto:ie704453@iteso.mx)

Carem Angélica Bernabe Acosta ie693242

[ie693242@iteso.mx](mailto:ie693242@iteso.mx)

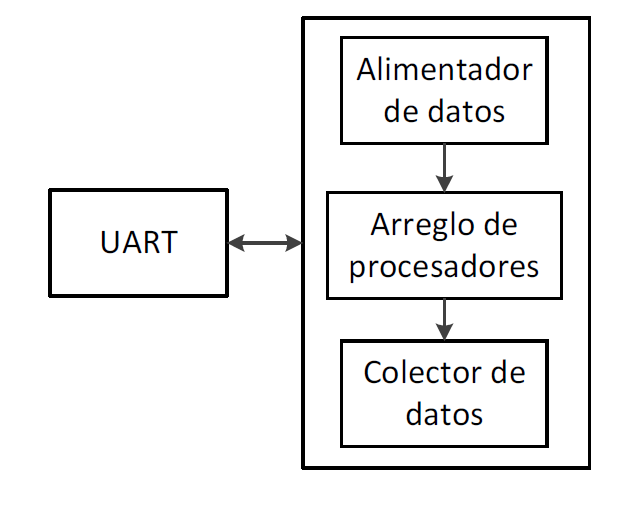
**Introducción**

Esta práctica tiene como objetivo el desarrollar un módulo acelerador en hardware para la operación matriz por vector.



**Planteamiento del problema**

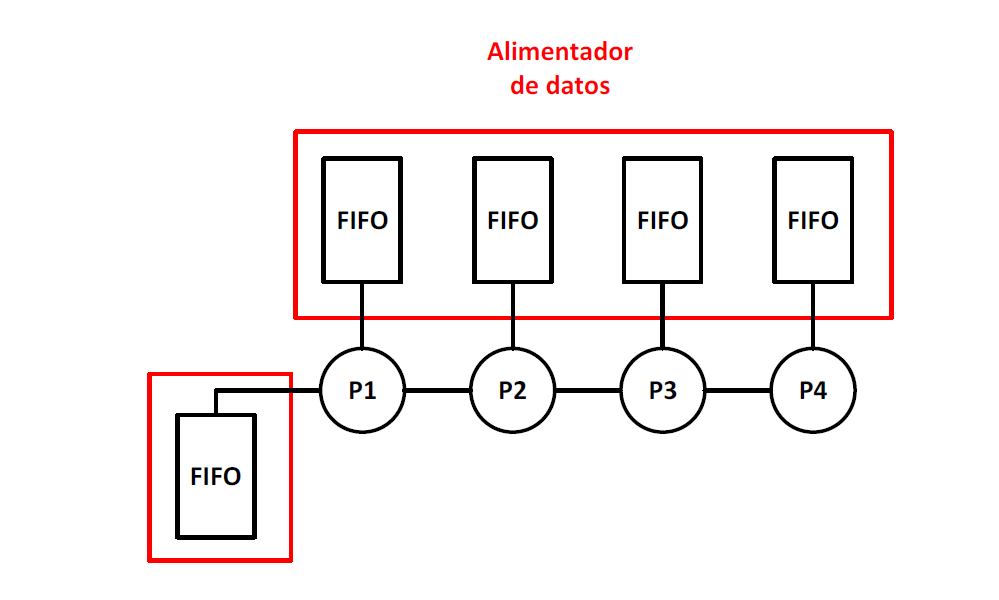
El módulo MxV debe ser capaz de realizar la multiplicación de un matriz de NxN y un vector de Nx1 de números enteros con signo. El MxV recibe los datos a procesar a través de un módulo UART. Internamente el MxV tiene los siguientes elementos:



**Alimentador de datos:**

Se encarga de ordenar los datos que se reciben por el módulo UART de tal manera que el arreglo de procesadores tenga la información a procesar ordenada. Internamente este módulo debe estar compuesto por una o varios FIFOs.

La idea es que cada procesador cuente con una memoria FIFO que funciona como alimentador de datos como se muestra en la siguiente figura:



La figura anterior solo ilustra la relación entre FIFOS y procesadores, sin embargo, no existe restricción al número de FIFOs a utilizar. Los integrantes del equipo deben proponer la organización de memoria para contener la matriz y vector que se hace llegar por el puerto serie. Noten que las FIFOs pueden actuar como caches para contener los resultados parciales.

**Arreglo de procesadores:**

Se encarga del procesamiento de datos que provee el alimentador de datos, este módulo es un arreglo de procesadores. Noten que los procesadores representados por Px en la figura en este caso realizan la operación de multiplicación y acumulación. Solo se puede contener 4 elementos procesadores.

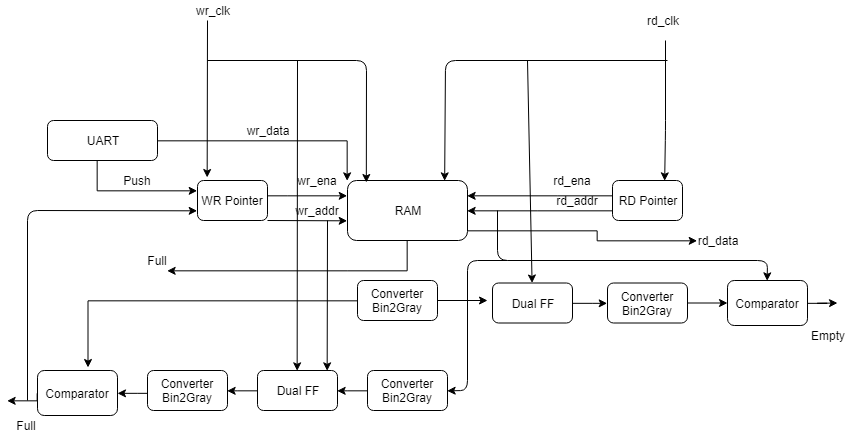
**Colector de datos:**

Se encarga de colectar los resultados y almacenarlos en una sola FIFO. De donde la UART toma los resultados y los envía a la PC.

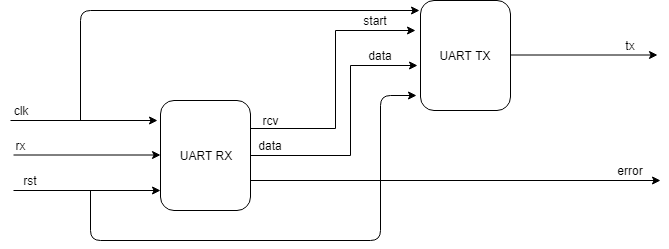
La manipulación del MxV se realizará a través de comandos 4 comandos los cuales se describen a continuación:

**Microarquitectura**

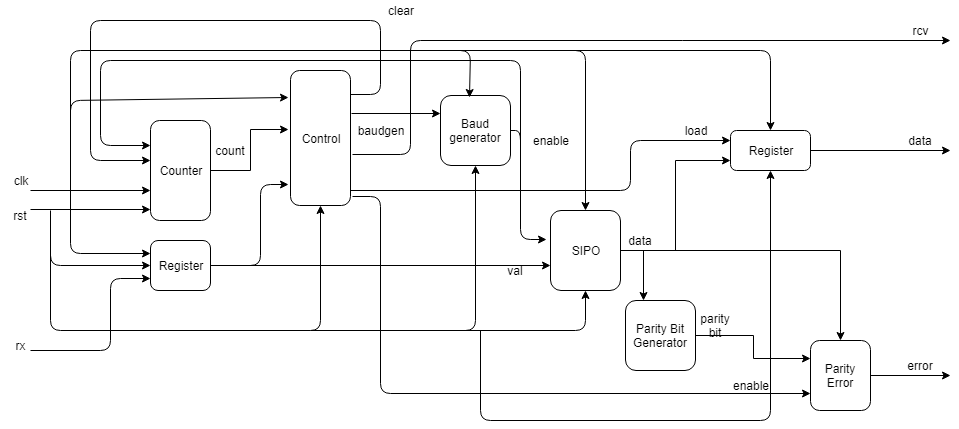
FIFO

****

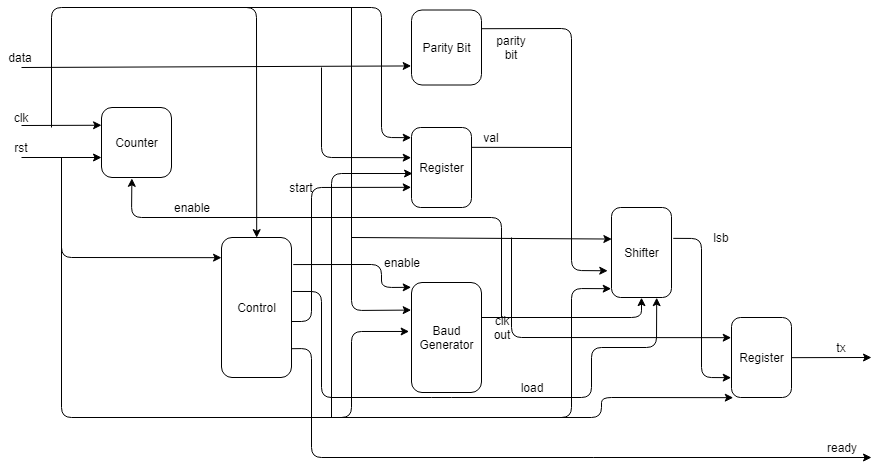
UART



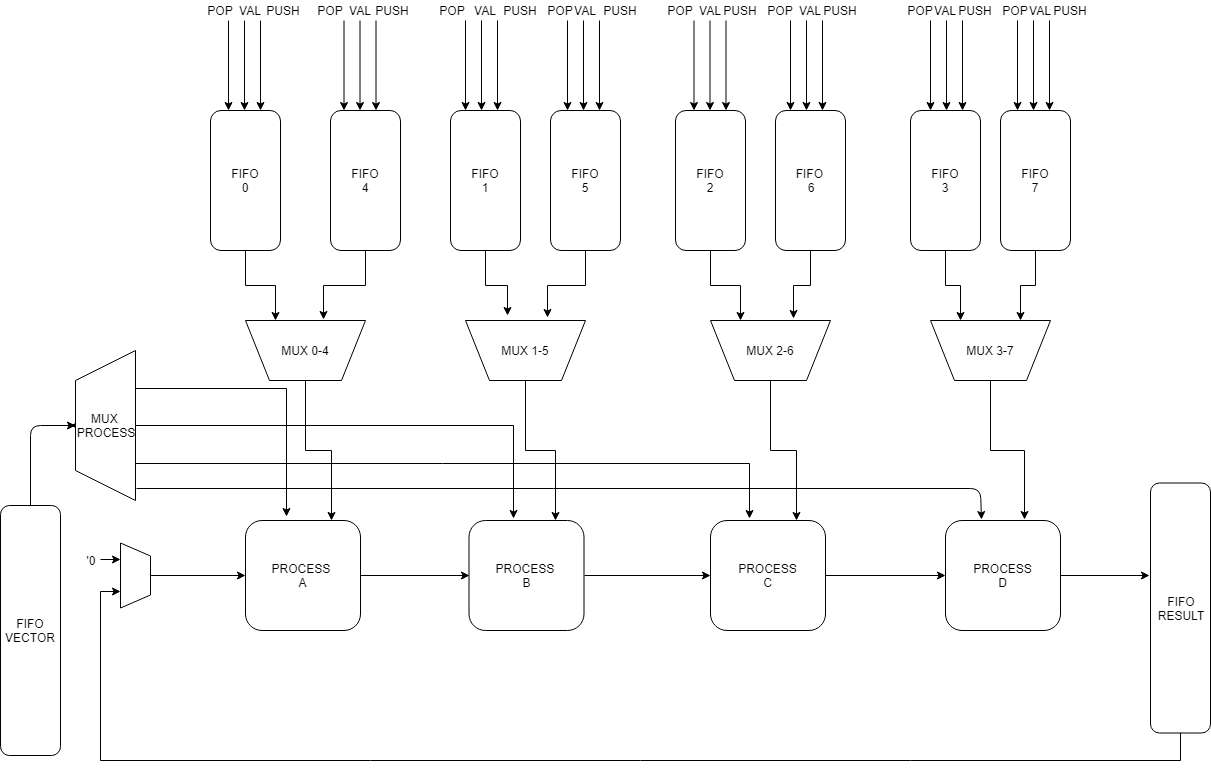
UART RX



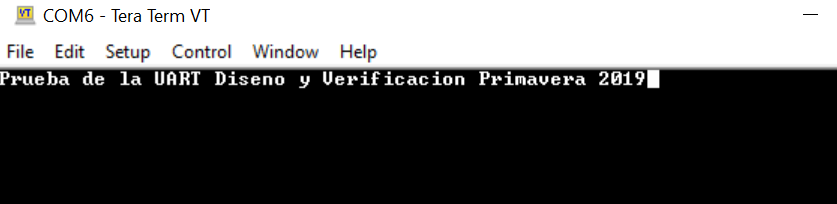
UART TX



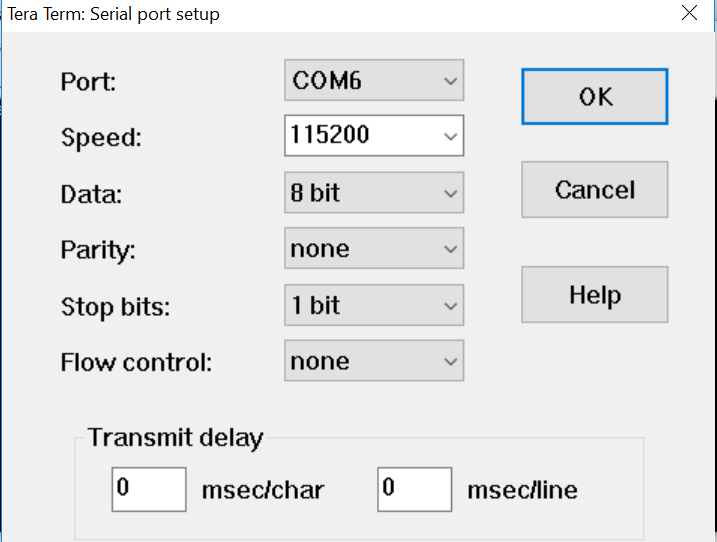
Bloque de mulitplicacion de MxV con 4 procesadores



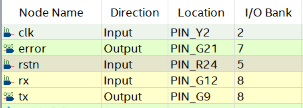
Prueba de funcionamiento de la UART

****

Configuración de la UART

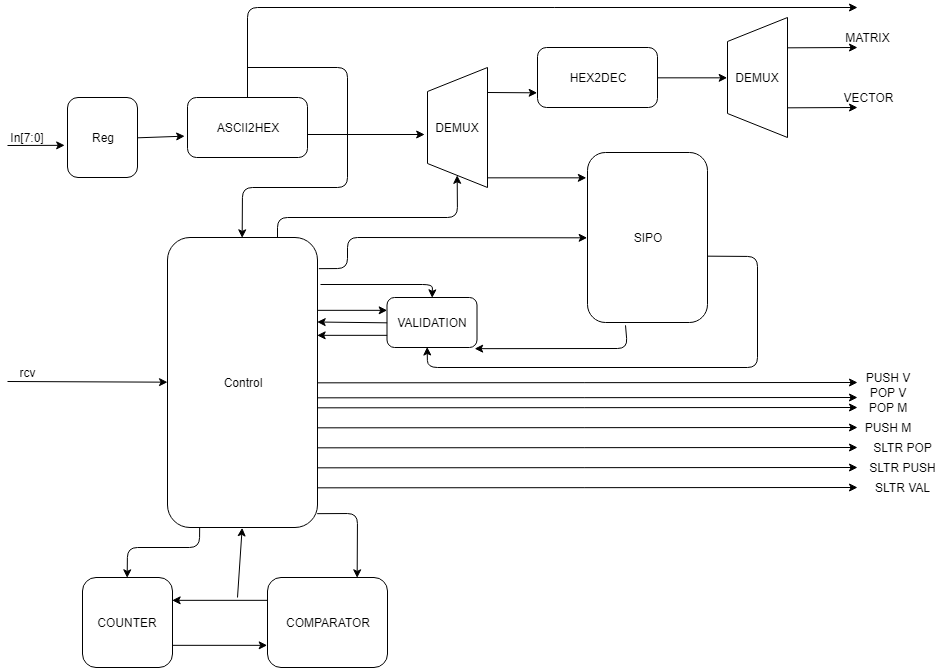
****

Pinout de la UART a la tarjeta D2-115

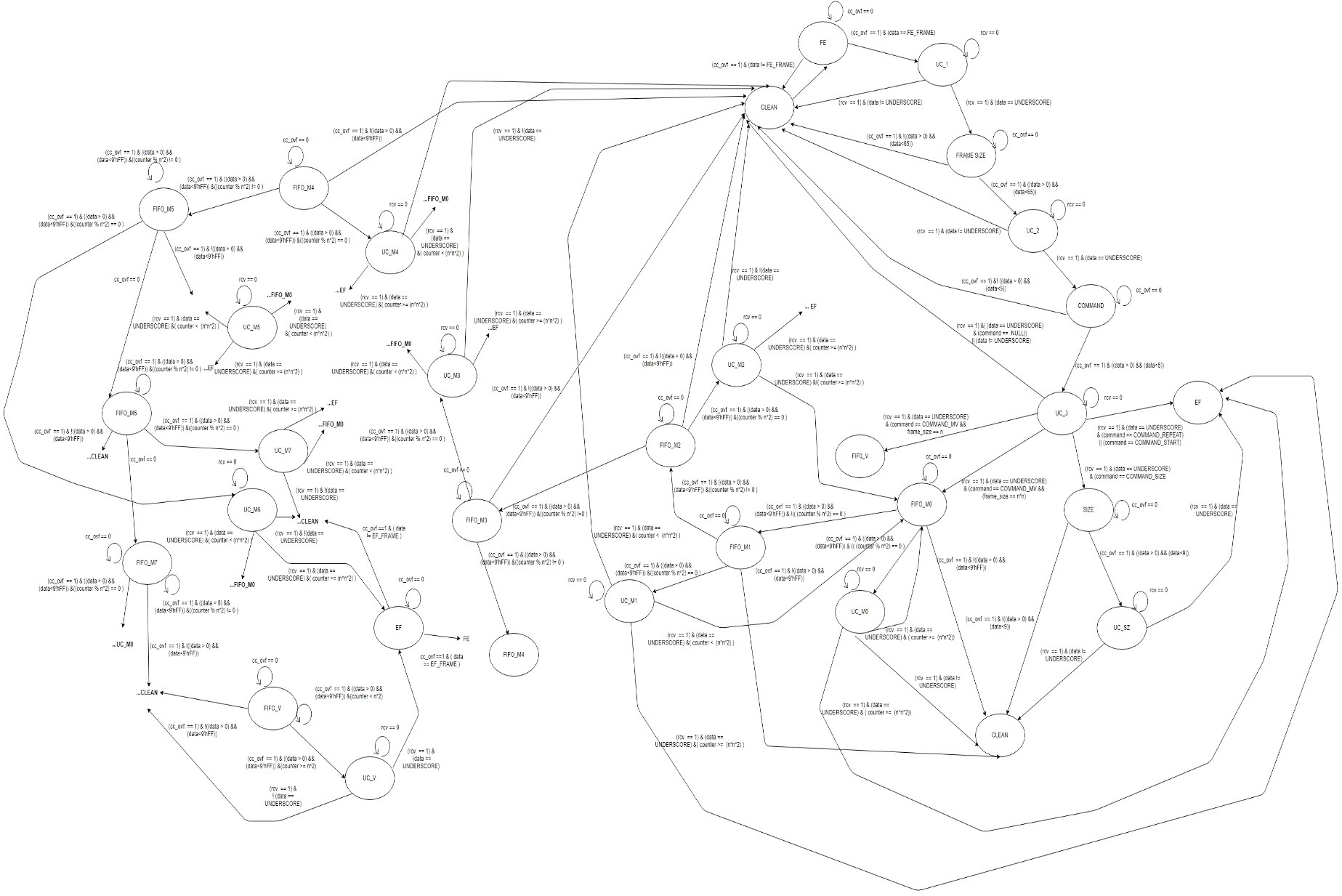


Video de funcionamiento: <https://youtu.be/FSHEDLJxzUw>

MICROARQUITECTURA ANTES DEL MxV

****

**Máquina de estados**

****