11주차 결과보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

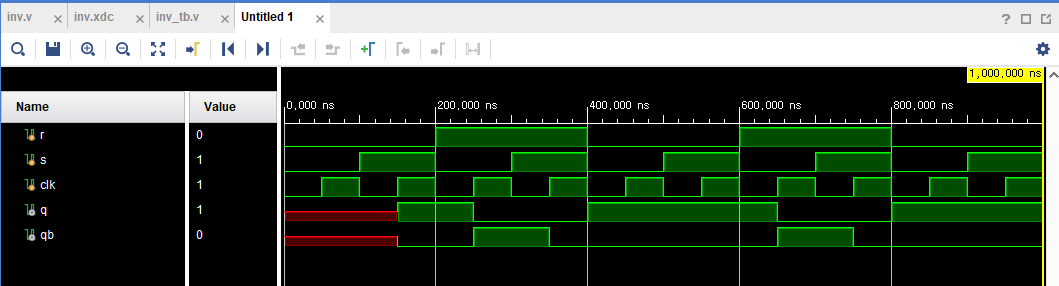
1. **RS Flip-Flop의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verilog source, simulation 출력 예시, table 등의 과정 상세히 적을것)**

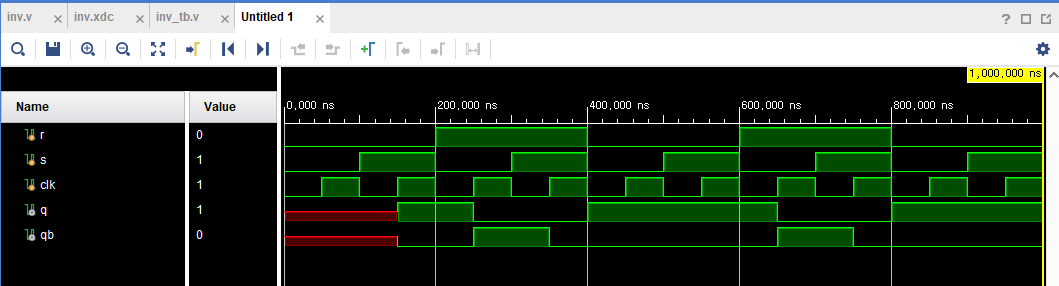
**※NAND로 구성된 RS Flip-Flop과 NOR로 구성된 RS Flip-Flop 2가지 모두 작성할 것**

**<NOR>**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  input r,  input s,  input clk,  output q,  output qb  );    assign q = ~(qb | (clk & r));  assign qb = ~(q | (clk & s));  endmodule |



|  |
| --- |
| `timescale 1ns / 1ps  module inv(  input r,  input s,  input clk,  output q,  output qb  );    assign q = ~(qb & ~(clk & r));  assign qb = ~(q & ~(clk & s));  endmodule |



NOR일때 NAND 각각으로 구현할 수 있다. CLK이 1일때만 작동하며 R과 S의 변화에 따라 output이 결정된다. 이때 서로가 서로의 이전을 참조하는 과정이 수반되기에 이전의 변화가 없는 곳에서는 q, qb는 결정되지 못한다.

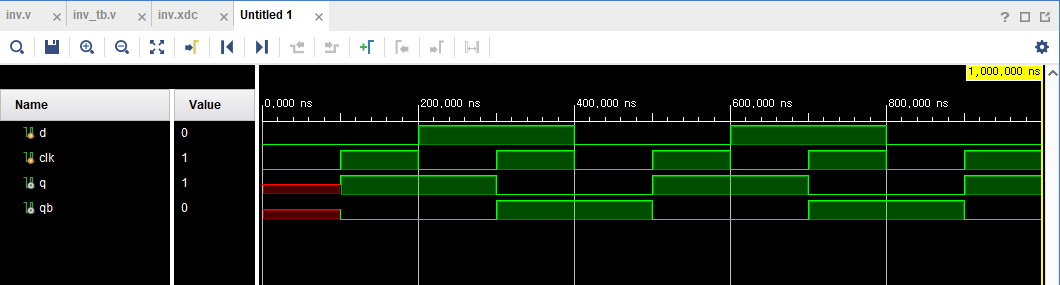
|  |  |  |  |
| --- | --- | --- | --- |
| **Set** | **Reset** | **Q(t+1)** | **설명** |
| 0 | 0 | Q(t) | 현 상태 유지 |
| 0 | 1 | 0 | Reset |
| 1 | 0 | 1 | Set |
| 1 | 1 | ? | 알 수 없음 |

또한, 위와 같은 table로 표현되며, (1,1)이 input일 때는 다음 상태가 결정되지 않는다.

1. D Flip-Flop 의 결과 및 Simulation 과정에 대해서 설명하시오.

(verilog source, simulation 출력 예시, table 등의 과정 상세히 적을것)

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  input d,  input clk,  output q,  output qb  );    assign q = ~(qb | (clk & d));  assign qb = ~(q | (clk & ~d));  endmodule |



D 플리플롭은 NOR gate로 구성했다. Clock의 엣지를 Q에 반영하게 되는데, edge가 없는 시간에는 Q를 유지하게 된다. 동일하게 CLK이 1일 때(상승 엣지)일 때만 동작하며 들어온 정보를 저장하게 된다. 이전에 들어온 정보가 없는 상태에서 CLK도 없다면 don’t care 상태가 된다.

|  |  |  |
| --- | --- | --- |
| Clock | D | Qnext |
| 상승 엣지 | 0 | 0 |
| 상승 엣지 | 1 | 1 |
| 엣지 없음 | X | Q |

table은 위 표와 같다.

1. **결과 검토 및 논의 사항.**

RS 플리플롭은 Set, Reset 상태에 따라서 Q, Q’에 대한 출력을 가진다. AND 2개와 NOR 2개 또는, NAND 2개로 구성할 수 있다. 의도 한대로 (0,1) 일 때 0, (1,0)일 때 1, (0,0)일 때 현상태 유지가 되었고 이는 CLK이 1일때만 작동했다. 마지막으로 (1,1)일 때는 dont care 상태가 된다.

D 플리플롭은 CLK이 들어와 있을 때 D 값에 따라 Qnext가 결정되고, CLK이 들어와있지 않다면 D값에 상관없이 Qnext는 이전의 Q로 유지되는 것을 볼 수 있었다.

1. **추가 이론 조사 및 작성.**

RS 플리플롭에서 Set, Reset이 모두 1일 때 Don’t care 상태가 되는데, 이를 보안하기 위해 JK 플리플롭이 있다. RS 플리플롭과 나머지는 동일하나 (1,1)인 상황에서 Q’(t)를 출력 즉 보수 형태를 출력하며 결정되지 않은 상태가 생기는 것을 방지한다.