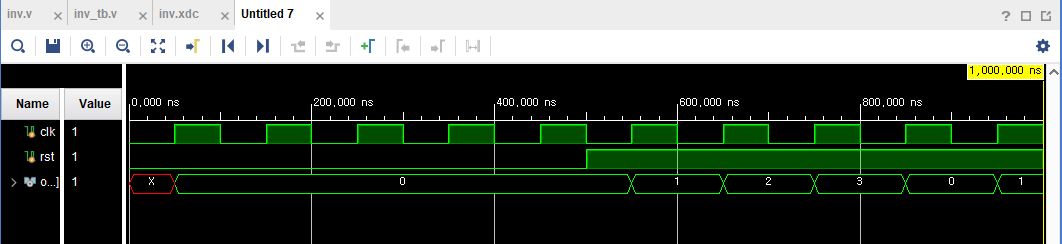
12주차 결과보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. **2-bit counter 의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verilog source, 출력 예시, 과정 상세히 적을것)**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out  );  output[1:0] out;  input clk,rst;  reg[1:0] out;  always @(posedge clk)  begin  if(!rst)  out <= 0;  else  out <= out + 1;  end    endmodule |

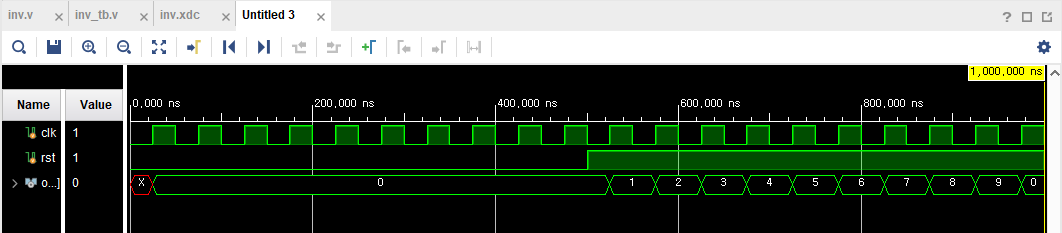


always @(posedge clk)로 클럭이 상승엣지에 이를때 아래의 행동이 반복되게 되는데, out[1:0]으로 2개의 bit를 받고, reset이 아닌 상황에서 out을 1씩 더해주게 된다. 또한, 최초의 clk이 0인 지점에서 out은 don’t care 상태가 된다. reset이 올라가게 되면 다음 상승 엣지에서 out의 값을 00으로 만든다.

1. **4-bit decade counter의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verilog source, 출력 예시, 과정 상세히 적을것)**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out  );  output[3:0] out;  input clk,rst;  reg[3:0] out;    always @(posedge clk)  begin  if(!rst)  begin  out <= 0;  end  else  begin  if(out == 9)  begin  out <= 0;  end  else  begin  out <= out + 1;  end  end  end    endmodule |

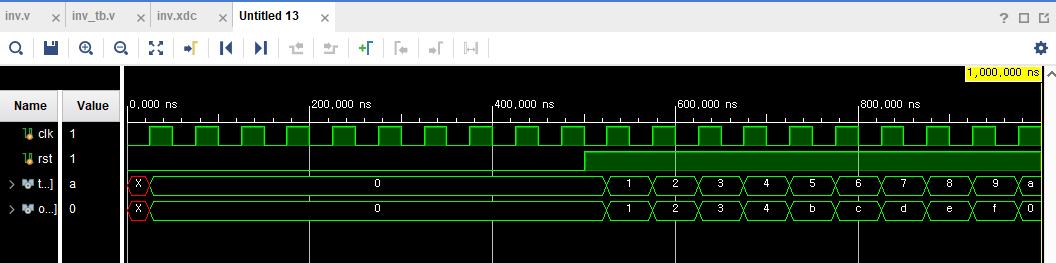


always @(posedge clk)로 클럭이 상승엣지에 이를때 아래의 행동이 반복되게 되는데, out[3:0]으로 총 4bit을 사용하게 되고, reset이 아닐 때 out을 +1씩 하게된다. decade기 때문에 1001까지만 사용하고 1010 -> 0000으로 바꾸기 위해 out이 9인걸 체크하고 만약 9라면 다음 엣지에서는 0으로 초기화한다. reset 신호가 들어오면 out을 0으로 초기화 한다.

1. **4-bit 2421 decade counter 의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verilog source, 출력 예시, 과정 상세히 적을것)**

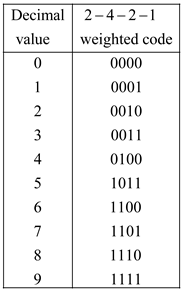
|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out,  tmp  );  output[3:0] out;  output[3:0] tmp;  input clk,rst;  reg[3:0] out;  reg[3:0] tmp;    always @(posedge clk)  begin  if(!rst)  begin  tmp <= 0;  out <= 0;  end  else  begin  if(tmp < 4)  begin  tmp <= tmp + 1;  out <= tmp + 1;  end  else if(tmp == 10)  begin  tmp <= 0;  out <= 0;  end  else  begin  tmp <= tmp + 1;  out <= ~(9 - (tmp + 1));  end  end  end    endmodule |



always @(posedge clk)로 클럭이 상승엣지에 이를때 아래의 행동이 반복되게 되는데, 실제로 counting이 이뤄질 4bit인 tmp[3:0]과 표현을 담당할 out[3:0]을 선언한다. tmp는 reset이 아닐 때 일반적인 decade counter와 동일하게 작동한다. tmp가 4이하 일 때는 output도 기존과 동일하다. tmp가 5이상일 때는 9-tmp의 보수형태로 표현되게 된다. 마찬가지로 decade기에 9까지의 숫자만 사용하며 10이되면 0으로 초기화하게 된다.

1. **결과 검토 및 논의 사항.**

2bit counter와 4bit decade counter는 단순히 상승엣지마다 1씩 상승시키고, reset이나 overflow 상황에서 0으로 초기화 시키기만 하면되는 상황이다. 하지만 4bit 2421 decade에서는 본인은 메모리를 2배로 늘려서 표현 array와 실질 counting array를 구분했는데 생각해보면 BCD Adder에서 10넘어가면 6을 더했던것 처럼 5가 넘는지만 판정하고 9와 subtractor에 넣어서 회로적으로 해결하는 방법도 있을 것 같다.



1. **추가 이론 조사 및 작성.**

이외에도 counter에는 여러 종류가 있으며 flip-flop으로 결합되어 결과가 결과를 feedback하는 경우 clk edge가 직렬로 연결되는 경우, 병렬로 연결되는 경우 등 종류에 따라서, 용도에 따라서 다양하게 나뉘어지게된다.