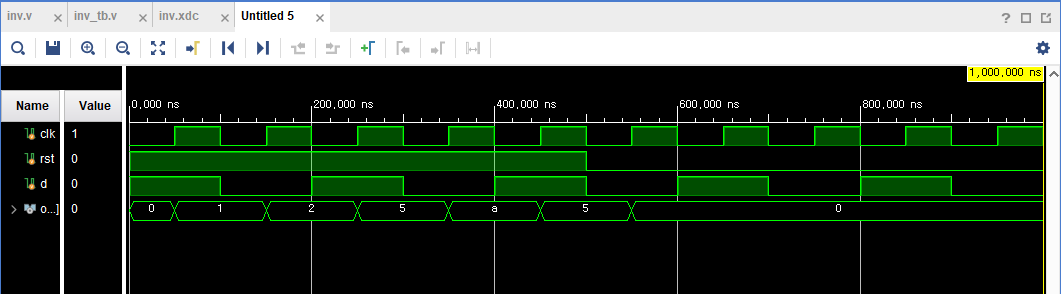
13주차 결과보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. **4-bit Shift Register의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verliog source, 출력 예시, 과정 상세히 적을것!)**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out,  d  );  output[3:0] out;  input clk,rst,d;  reg[3:0] out = 4'b0000;    always @(posedge clk)  begin  if(!rst)  out <= 0;  else  begin  out <= out << 1;  out[0] <= d;  end    end    endmodule |

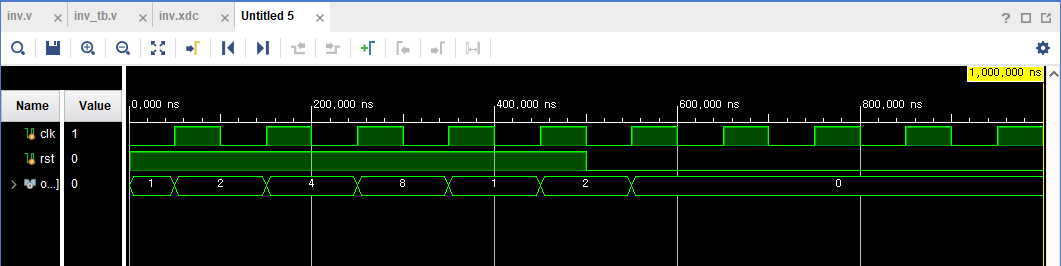


reset 상태가 아닐때 작동하게 되고, 최초의 0000에서 한 칸씩 shift연산을하고 LSB에는 d를 넣는다. 이때 d는 1또는 0이 될 수 있다. d가 계속 1일 때는 0000 -> 0001 -> 0011 -> 0111 -> 1111 이 되고, 중간에 d가 0인 상황에서 clk이 상승 edge라면 LSB자리에 0이 들어간다. reset 상태에서 clk이 edge 상태가 되면 모든 값이 0000으로 초기화된다.

1. **4-bit Ring counter의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verliog source, 출력 예시, 과정 상세히 적을것!)**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out  );  output[3:0] out;  input clk,rst;  reg[3:0] out = 4'b0001;    always @(posedge clk)  begin  if(!rst)  out <= 4'b0000;  else  begin  out <= out << 1;  out[0] <= out[3];  end  end    endmodule |

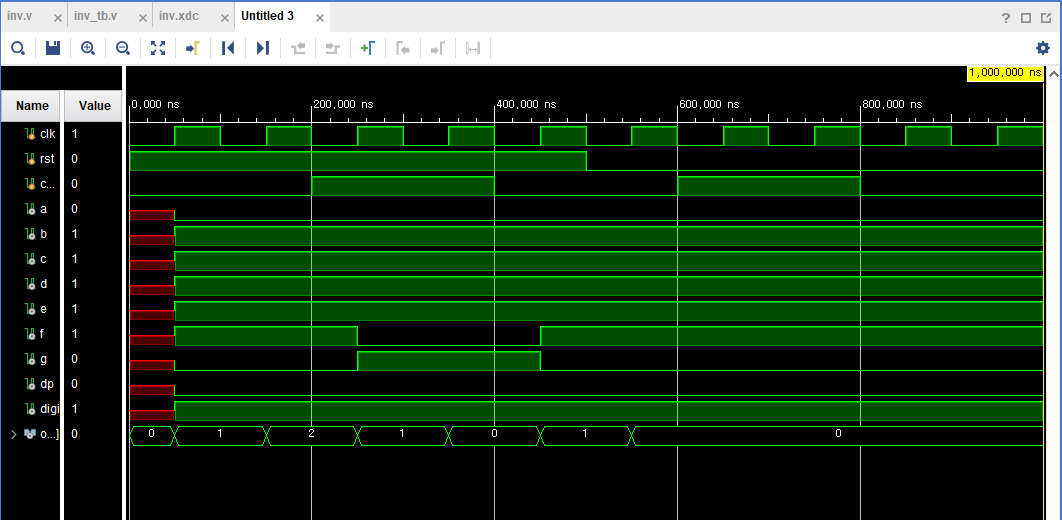


한번 reset 상태에서 clk edge가 올라가면 계속 0000인 상태가 된다. reset 상태가 아닐때는 최초의 0001상태에서 clk edge가 올라갈 때마다, 한칸씩 1이 shift하면서, decimal 기준 1,2,4,8이 반복되게 된다.

1. **4-bit Up/Down counter 의 결과 및 Simulation 과정에 대해서 설명하시오.**

**(verliog source, 출력 예시, 과정 상세히 적을것!)**

|  |
| --- |
| `timescale 1ns / 1ps  module inv(  clk,  rst,  out,  check,  a,b,c,d,e,f,g,dp,digit  );  output[3:0] out;  output a,b,c,d,e,f,g,dp,digit;  reg a,b,c,d,e,f,g,dp,digit;  input clk,rst,check;  reg[3:0] out = 4'b0000;    always @(posedge clk)  begin  if(!rst)  out <= 4'b0000;  else  begin  if(check)  begin  out <= out - 1;  a = 1'b0;  b = 1'b1;  c = 1'b1;  d = 1'b1;  e = 1'b1;  f = 1'b0;  g = 1'b1;  dp = 1'b0;  digit = a | b | c | d | e | f | g | dp;  end  else  begin  out <= out + 1;  a = 1'b0;  b = 1'b1;  c = 1'b1;  d = 1'b1;  e = 1'b1;  f = 1'b1;  g = 1'b0;  dp = 1'b0;  digit = a | b | c | d | e | f | g | dp;  end  end  end    endmodule |



0000~1111까지의 숫자를 사용하였고, up과 down 중 하나를 고르게 된다. up을 선택했을 때(check==0 일 때)는 7-segment에 U를 출력하고 clk이 edge 상태가 될 때마다. 1씩 숫자를 증가시킨다. down을 선택했을 때(check==1 일 때)는 d를 출력하고 clk이 edge 상태가 될 때마다. 1씩 숫자를 감소시킨다. reset 상태에서 clk이 올라가면 segment는 직전 상태를 유지하고, 4bit 출력은 0000으로 초기화 시킨다.

1. **결과 검토 및 논의 사항.**

counter는 숫자를 1씩 높이거나 낮추는 기능, shift하는 기능을 가지는 회로이다. 먼저 4bit shift register는 모든 숫자를 한칸씩 밀면서 LSB에 1또는0을 추가하게 되는데 이는 기존수에 x2+1 or x2+0을 하는 효과를 낸다.(overflow 상황이 아닐 때), ring counter의 경우 항상 x2를 하는 효과를 내고, up,down counter의 경우 +-를 선택하고, 이를 7-segment로 표현할 수 있었다. 3가지 종류모두 reset 상황에서는 0000으로 초기화 시키며 ring counter는 비가역적으로 회로를 종료시킨다.

1. **추가 이론 조사 및 작성**

4bit ring counter는 4개의 flip-flop으로 구성되며 총 4가지의 상태를 갖는다. 하지만 이의 확장버전으로 Johnson counter가 있다. 이는 마지막 MSB의 신호가 그대로 LSB로 돌아가는 ring counter와 달리, 보수를 취해서 LSB로 돌아가게 되고, 이로써 총 4\*2 = 8가지의 상태를 가질 수 있다. 적은 카운터의 갯수로 더 많은 상태 표시를 할 수 있기에 현업에서 더 많이 활용된다.