6주차 결과보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. **실험 목적**

감산기, 가산기에 대한 이해와, Verilog로 직접 구현, 카르노 맵으로 SOP, POS를 직접 구해보고 구현.

1. **Full Adder 및 Half Adder 의 simulation 결과 및 과정에 대해서 설명하시오.**

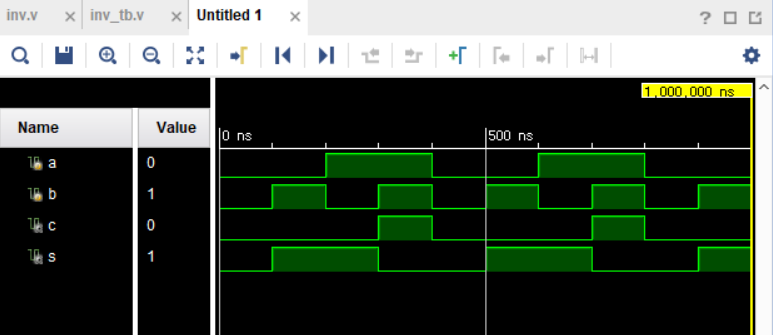
Full Adder :

텍스트, 모니터, 스크린샷이(가) 표시된 사진

자동 생성된 설명

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| In C | In B | In A | Out s | Out c |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Half Adder :



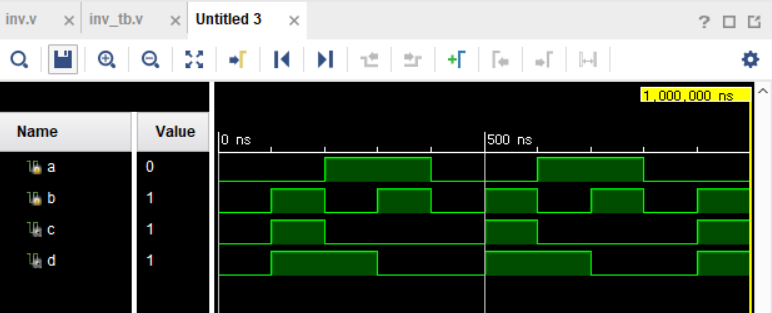
|  |  |  |  |
| --- | --- | --- | --- |
| In A | In B | Out s | Out c |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Full Adder는 s = a ^ b ^ c; c = c(a ^ b) + ab

Half Adder는 s = a ^ b; c = ab

1. **Full Subtracter 및 Half Subtracter 의 simulation 결과 및 과정에 대해서 설명하시오.**

Half Subtracter :



|  |  |  |  |
| --- | --- | --- | --- |
| In A | In B | Out b | Out d |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

Full Subtracter :

텍스트, 실내, 스크린샷이(가) 표시된 사진

자동 생성된 설명

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| In A | In B | In Borrow | Out b | Out d |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

HS는 d = a ^ b; b = a’b;로 표현할 수 있었고, FS는 b = (a ^ b)’t + a’b; d = a ^ b ^ t;로 표현할 수 있었다.

1. **8421(BCD)-2421 Code converter simulation 결과 및 과정에 대해서 설명하시오.**



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| In a | In b | In c | In d | Out A | Out B | Out C | Out D |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

텍스트이(가) 표시된 사진

자동 생성된 설명

텍스트이(가) 표시된 사진

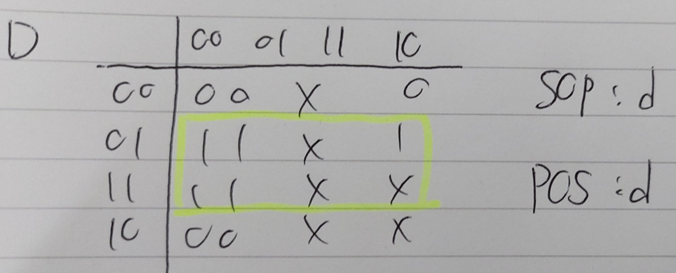
자동 생성된 설명텍스트이(가) 표시된 사진

자동 생성된 설명

텍스트이(가) 표시된 사진

자동 생성된 설명텍스트이(가) 표시된 사진

자동 생성된 설명



A : a+bd+bc

B : a+bc+bd’

C : a+b’c+bc’d

D : d

1. **결과 검토 및 논의사항.**

가산기와 감산기의 경우 같은 결과를 얻을 수 있었다. 또한 8421 to 2421 변환기의 경우, 0000~1001만 신경쓰면 되기 때문에 카르노맵을 이용해서 축약형을 구할 때 해당 범위만 신경써주고, 나머지는 X(Don’t Care)로 표기 가능한 것을 알 수 있었다.

1. **추가 이론 조사 및 작성.**

Overflow : Adder를 봤을 때 1bit끼리 더해서 2bit가 나올 수 있다. (1,1인 경우) 이런 경우에 출력이 1bit라면 10을 수용할 수 없기 때문에 이는 Overflow라고 한다. 이는 XOR 로 확인할 수 있는데 carry bit이 1이 되는 것으로 확인할 수 있다.