11주차 예비보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. RS 플립-플롭에 대해서 조사하시오.

RS flip-flop은 두가지의 상태를 가지는데, Reset, Set 두 input을 받고, Q, Q’가지 상태에 대한 출력을 가진다. 아래와 같은 출력 상태를 갖게 된다.

AND 2개와 NOR 2개로 구성된다.

|  |  |  |  |
| --- | --- | --- | --- |
| **Set** | **Reset** | **Q(t+1)** | **설명** |
| 0 | 0 | Q(t) | 현 상태 유지 |
| 0 | 1 | 0 | Reset |
| 1 | 0 | 1 | Set |
| 1 | 1 | ? | 알 수 없음 |

1. **JK 플립-플롭에 대해서 조사하시오.**

JK flip-flop은 RS 플립플롭의 보완품이다. Set, Reset이 둘다 1인 상황에서 RS 플리 플롭의 경우 알 수 없는(결정되지 않은) 상태가 된다. 동일하게 Reset, Set 두 input을 받고, Q, Q’가지 상태에 대한 출력을 가진다. JK flip-flop의 경우 둘 다 1이 들어왔을 때, 보수를 출력하게 된다.

|  |  |  |  |
| --- | --- | --- | --- |
| **Set** | **Reset** | **Q(t+1)** | **설명** |
| 0 | 0 | Q(t) | 현 상태 유지 |
| 0 | 1 | 0 | Reset |
| 1 | 0 | 1 | Set |
| 1 | 1 | Q’(t) | Complement |

1. **D 플립-플롭에 대해서 조사하시오.**

D flip-flop은 많은곳에 사용된다. Clock의 edge를 Q에 반영하게 된다. Edge가 없는 시간에 Q를 유지시켜주는 역할을 한다.

|  |  |  |
| --- | --- | --- |
| Clock | D | Qnext |
| 상승 엣지 | 0 | 0 |
| 상승 엣지 | 1 | 1 |
| 엣지 없음 | X | Q |

여기서 X는 don’t care를 의미하며 어떠한(H or L)것이 들어와도 상관없다는 의미이다.

1. **T 플립-플롭에 대해서 조사하시오.**

T flip-flop은 t가 H일 때 Q가 반대로 변환되는 flip-flop이다. 다음 Q는 T ^ Q로 정의되며, H로 유지될 때 Clock의 주기가 2배로 늘어나는 효과가 있다.

|  |  |  |  |
| --- | --- | --- | --- |
| T | Q | Qnext | 기능 |
| 0 | 0 | 0 | Hold |
| 0 | 1 | 1 | Hold |
| 1 | 0 | 1 | Toggle |
| 1 | 1 | 0 | Toggle |

1. **Latch의 기능에 대해서 조사하시오.**

Latch는 한 bit의 정보를 데이터가 바뀌기 전까지 유지하는 회로이다. 따라서 데이터의 변화가 없으면 0이 들어왔을 때 항상 반복적으로 내부에서 0이 돌면서 0을 출력하고, 1일 때도 같은 동작을 수행한다. 이는 입력 시기를 조절하여 반영할 필요가 있을 때 사용된다. 이때 액티브 신호가 없을 때는 항상 이전의 상태를 유지하다가 액티브 신호가 오면 변화값이 생기게 된다. NOR을 교차 시켜 간단하게 구성할 수 있다.

1. **Clock의 기능에 대해서 조사하시오.**

클럭 신호란 논리상태 High와 Low 즉 1,0이 반복되며 나타나는 파형을 의미한다. 클럭 신호에 맞추어 여러가지 신호의 동기 처리가 일어나게 된다. 이는 순차회로, flip-flop에서 필요하며, 논리회로가 커지면 클럭신호가 여러 개 필요한 경우도 있다.

FPGA같은 경우엔 별도의 클럭 입력이 결정되있고, 내부에 클럭 네트워크 전용선이 있다.

1. **Edge-Trigger의 특성에 대해 조사하시오.**

트리거는 이벤트를 감지하는 장치라고 생각하면 된다. 크게 레벨 트리거랑, 에지 트리거로 나뉘는데, 레벨 트리거는 상태가 1일 때 이벤트를 발생, 0일 때 발생시키지 않는 특성을 갖는다. 에지 트리거는 상태가 변하는 순간을 기준으로 삼는데 0~1로 넘어가는 순간을 체크하면서 즉 상승에지에서 검출하거나 반대의 경우 하강에지에서 검출할 수 있다.

1. **Master-Slave 의 개념에 대해 조사하시오.**

마스터 슬레이브란 장치가 하나 이상의 다른 장치를 통제하거나, hub 역할을 하는 모델을 의미한다. 장치 뿐만 아니라 프로세스에도 적용되는 개념이며 다른 모듈에 통제를 받는 것을 의미한다.

1. **기타 이론**

Latch는 기본적인 Set-Reset 래치 외에도 게이트 신호에 의한 조건 천이 latch도 있다. SR NOR래치, SR 레치, D 래치, JK 래치 등 신호가 있는것과 없는 것에 따라서 나뉘기도 한다. 신호가 없는 것은 입력 펄스의 시작부터 반영되지만, 신호가 있는 것은 최초의 것이 반영안되는 Don’t care가 되기도 한다.