2주차 예비보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. **HDL이 무엇인지 조사하고 Verilog이외의 HDL에 대하여 조사하시오**

HDL이란 Hardware Description Language의 약자로 회로 설계 언어를 의미한다. Verilog 외에 VHDL이라는 HDL이 있다. Verilog가 C언어를 기반으로 하는것에 반해 VHDL은 Ada와 Pascal언어를 기반으로 한다. VHDL이 Verilog보다 오래된 언어이다. 또한 Verilog와 달리 VHDL은 대소문자를 구별하지 않는다.

1. **Verilog의 역사와 발전 과정을 조사하시오.**

Verilog는 1983년 Prabhu Goel이 설립한 Gateway Design Automation 회사에서 공개되었다. 이후에 Cadence Design System사에 인수되어 1990년 Verilog HDL를 공개한다. IEEE에서 1995년도에 최초 표준화하였다. 현재 VHDL과 Verilog는 Accellera 단체가 유지, 관리하고 있다.

1. **Verilog의 기본적인 구조와 문법에 관하여 조사하시오.**

module half\_adder(a,b,sum,cout); // module이 기본 구성 단위

input a,b; // 파라미터 선언

output sum, cout;

wire cout\_bar; // 와이어 선언

// 회로 기능 표현

xor(sum,a,b);

…

endmodule // 한 단위의 module을 종료

대소문자를 구분하고, 형태가 C언어와 유사하다.