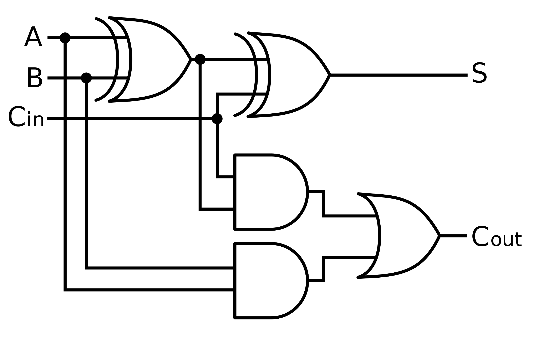
6주차 예비보고서

전공 : 컴퓨터공학과 학년 : 2학년 학번 : 20201597 이름 : 신동준

1. **전 가산기 및 반 가산기에 대해 조사하시오(예시 포함).**

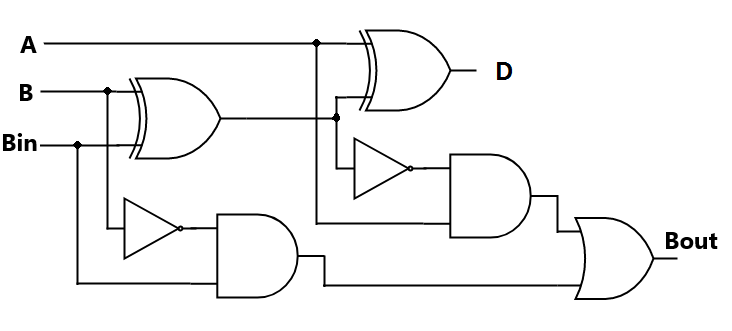
반가산기, Half Adder란 2개의 input A,B를 입력 받아서, 덧셈연산을 하고 출력 결과 S와 Carry bit(자리수올림)을 출력하는 가산기이다. 전가산기, Full Adder는 2개의 half adder와 OR gate로 구성할 수 있으며, 3개의 input A,B,Cin을 입력받아서 덧셈연산을 하고 출력 결과 S와 Carry bit을 출력하는 가산기이다. 다음과 같은 형태로 표현된다.



1. **전 감산기 및 반 감산기에 대해 조사하시오(예시 포함).**

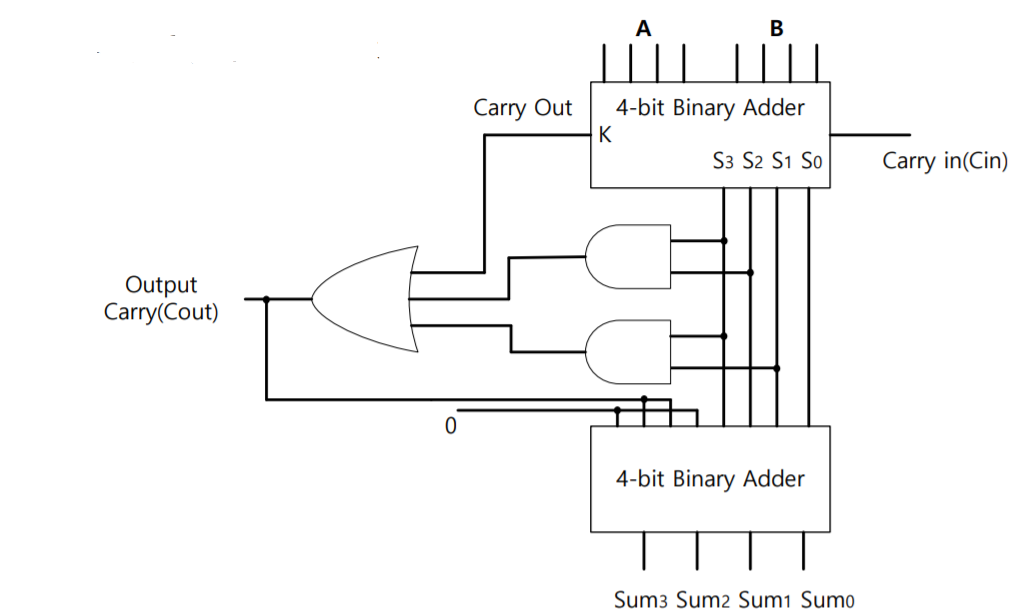
반감산기, Half Subtractor란 2개의 input A, B를 입력 받아서, 뺄셈연산을 하고 출력 결과 S와 Carry bit을 출력하는 가산기이다. 전감산기, Full Subtractor는 3개의 input A,B,Cin을 입력받아서 뺄셈연산을 하고 출력 결과 S와 Carry bit을 출력하는 가산기이다.

다음과 같은 형태로 표현된다.



1. **BCD 가산기에 대해 조사하시오.**

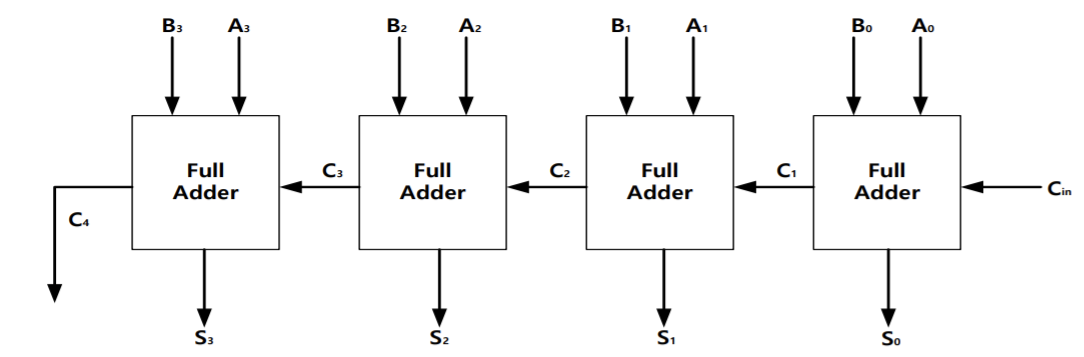
10진수의 덧셈을 위한 Adder로 BCD로 표현된 10진수 2개를 입력 받아서 더해서 결과를 BCD로 출력하는 circuit이다. 0~9까지 숫자를 활용하여 BCD기준 0000~1001까지 수를 활용해서 표현한다. 아래와 같은 형태로 4bit기준 4bit binary adder가 연산을 하고, 만약 값이 10이상인 경우에 6을 더해줘서 BCD 형태의 숫자로 나타나게 된다. 이때 Carry out은 십의 자리와 같은 역할을 하게된다.



1. **병렬 가감산기에 대해 조사하시오.**

4-Bit Binary Parallel Adder/Subtractor를 예로 들어 설명하자면, 하나의 칩에 두 개의 4bit binary number을 가감산하기 위해 설계된 회로로, 4개의 1bit full adder/subtractor가 병렬로 연결되어 있다. 아래와 같은 병렬 구조로 이전단계의 Carry out이 다음단계의 Carry in으로 들어가는 형태이다. 만약 4bit 상황에서 Cin이 0이라면 최대로 표현가능한 범위는

00000~11110(CoutS3S2S1S0)까지로 0~32까지이다.



1. **Carry Look-Ahead Adder을 Ripple Carry Adder 와 비교하여 설명하시오.**

Ripple Carry Adder는 지금껏 위에서 설명하였던 가산기의 종류이다. Full adder가 직렬로 연결되어 이전단계의 Cout이 다음단계의 Cin으로 들어가면서 Add를 수행하게 된다. 이때 회로는 단순해지지만, 직렬로 각각의 Adder가 더할 때까지 시간이 필요하기 때문에 delay가 길어지게 된다. Carry Look-Ahead Adder는 이와 달리 Carry에 집중해서 Carry를 예측하게 된다.

생성 Carry인 Cg와 전달 Carry인 Cp가 있다.

Cg = AB | Cp = A xor B

일 때 (i+1번째의 Carry) = Cgi + (Cpi \* (i번째의 Carry)) 와 같은 점화식으로 풀어지고

이는 그대로 전개가 가능하기에 앞쪽 부분이 계산되기 이전이라도, 병렬로 처리해서 delay를 줄일 수 있다.

1. **기타이론.**

2’s Complement Adder-Subtractor : 가감산을 하나에 표현하기 위해서 A,B중 하나의 수에 선택자 K와 XOR 연산을 걸어서 보수 형태를 덧셈해줘서 뺄셈을 만드는 즉, 가감산을 동시에 할 수 있는 아래와 같은 가감산기도 있다.

