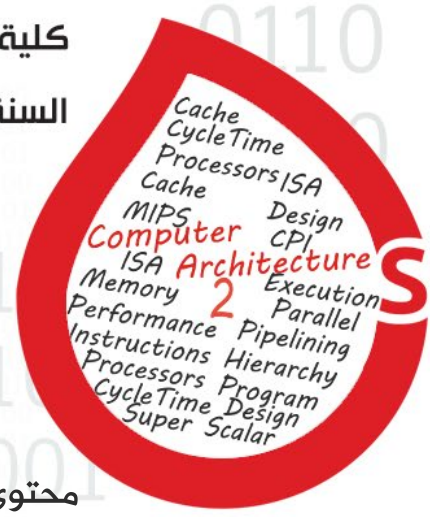


دورة أولى
(2021-2020)

محتوى مجاني غير مخصص للبيع التجاري

بنيان الحاسوب 2

اختر الإجابة الصحيحة

1. ALU performs arithmetic and bitwise processing:
a) true b) false
2. يعرف المعالج الصغري بأنه: عبارة عن شريحة سيليكونية تضم معالج وذاكرة ووحدات إدخال وإخراج حزمة واحدة:
a) true b) false
3. Pipelining makes it possible for processor to execute instructions in parallel:
a) true b) false
4. OS can run multiple programs at the same time although the processor do not support task switching:
a) true b) false
5. Page fault-issued by CPU when a page must be loaded from disk:
a) true b) false
6. A multicore processor can execute multiple instructions simultaneously which increases performance over a single core processor:
a) true b) false
7. The performance of a program depends on the algorithm, the language, the compiler, the architecture and the actual hardware:
a) true b) false
8. Execution time: The total time required for the accesses, computer to complete a task, I/O activities, operating system overhead, CPU execution time, and so on:
a) true b) false
9. Memory hierarchies works, because of locality, programs tend to access the data at level (k) more often than they access the data at level k+1:
a) true b) false

10. Temporal Locality: Recently referenced items are likely to be referenced again in the near future:

a) true

b) false

11. يتألف دخل وحدة التحكم من سجل التعليمات والرايات وإشارات التحكم الصادرة عن التجهيزات الخارجية مثل إشارات المقاطعة:

a) true

b) false

12. تتضمن العملية الصغرية عموماً عملية نقل بين السجلات، أو نقل بين سجل ومسرى خارجي، أو عملية بسيطة في وحدة الحساب والمنطق ALU:

a) true

b) false

13. Advantages of single cycle per instruction make logic and clock simple are: Better MIPS and smaller clock period (higher clock frequency):

a) true

b) false

14. يعرف نقيض التبعية بأنه قيد مشابه للتبعية الحقيقية للمعطيات ولكن بدلاً من أن تنتج التعليمات الأولى قيمة تستخدمها التعليمات الثانية فإن التعليمات الثانية تنتج القيمة التي تستخدمها التعليمات الأولى:

a) true

b) false

15. Virtual Memory uses RAM as cache to much larger storage pool, on slower devices:

a) true

b) false

16. whether there is a data dependence between two instruction depends on the machine the program is running on:

a) true

b) false

17. We can reduce cost of a control hazard by moving branch decision and calculation from Ex stage to ID stage.

a) true

b) false

18. لتعريف التنجيز المبني عتاديا لوحدة التحكم يلزم تحديد المنطق الداخلي لتلك الوحدة والذي يسمح بتوليد إشارات التحكم في خرجها كتوابع للإشارات الدخل ينبغي استنتاج تعبير بولياني لكل إشارة تحكم بدلالة المداخل

a) true

b) false

19. المعالج السلمي الفائق هو تستعمل فيه خطوط توارد متعددة مستقلة للتعليمات. ويتألف كل خط توارد من مراحل متعددة،

بحيث يستطيع كل خط توارد أن يتولى عدة تعليمات في آن معا. وتقدم خطوط التوارد المتعددة مستوى جديدا من الموازة مما يمكن من معالجة دفقات متعددة من التعليمات دفعة واحدة.

a) true

b) false

Pipelining: Want better Performance : want small MIPS (close to 1) with high CPI and short clock period (high clock frequency) :

a) true

b) false

اختر فيما يلي الإجابة الصحيحة وأحياناً الأصح (الإجابة حصراً خيار واحد ولو وجد ثان):

21. تقدم وحدة التحكم الوظائف التالية:

- (a) تقدم التزامن الضروري وإشارات التحكم لكل عمليات الحاسب.
- (b) تتحكم بتدفق البيانات بين المعالج والذاكرة والوحدات المحيطة.
- (c) تسمح إشارات التحكم باستقبال وإرسال البيانات من الذاكرة.
- (d) كل ما سبق صحيح.
- (e) الخيارين a و c فقط.

22. يعرف مسرى النظام بأنه:

- (a) ممر مكون من مجموعة من الأسلاك تربط المكونات الرئيسية للحاسب.
- (b) مسرى مصمم لتخفيض الكلفة وتحسين الأداء.
- (c) مسرى يضم مسرى المعطيات ومسرى العناوين فقط.
- (d) مسرى يضم مسرى المعطيات ومسرى العناوين فقط ومسرى التحكم.
- (e) فقط c خاطئ.

23. من أهم التقنيات المستخدمة في تصميم المعالجات لرفع سرعتها: (اختر الخاطئ):

- (a) التنبؤ بالتفرع (Branch Prediction).
- (b) تحليل انسياب المعطيات (Data Flow Analysis).
- (c) التنفيذ التخميني (speculative execution).
- (d) موازنة الأداء (Performance Balance).
- (e) إضافة عتاد (Additional Hardware).

24. تؤدي وحدة التحكم في المعالج مهمتين:

- (a) تسبب تنفيذ المعالج للعمليات الصغيرة وفق ترتيب مناسب يحدده المعالج.
- (b) معالجة البيانات وفق التعليمات المنفذة.
- (c) تولد إشارات التحكم التي تسبب تنفيذ العمليات الصغيرة.
- (d) الخيارين a و b.
- (e) الخيارين a و c.

25. Instruction Set Architecture (ISA):

- a) Abstract interface between hardware and the lowest level software.
- b) User portion of the instruction set plus the operating system interfaces used by Application programmers.
- c) the complete collection of instruction that are understand by a CPU.
- d) all of the above is true.
- e) Machine Code.

26. Multiple machine cycles are required when reading from memory, because it responds much more slowly than the CPU. The steps are (أي الخطوات خاطئ):

- a) address placed on address bus
- b) Read Line (RD) set low
- c) CPU waits one cycle for memory to respond
- d) Read Line (RD) goes to 1, indicating that the data is on the data bus
- e) Read Line (RD) set high

27. our favorite runs in 10 seconds on computer A, which has a 2 GHz clock, the clock rate is possible, but this increase will affect the rest of the CPU design, causing computer B to require 1.2 times as many clock cycle as computer A for this program. What clock rate should we tell the designer to target?

Answer: B must have the clock rate of A.

- a) same
- b) twice
- c) three mal
- d) four mal
- e) half

28. Clock:

- a) synchronizes all CPU and BUS operations.
- b) cycle measures time of a single operation.
- c) is used to trigger events.
- d) all of the above are right.
- e) only a and c right.

29. يصف Flynn (Types of Parallel Processor Systems) كالتالي: (أي الخيارات خاطئ):

- a) SISD
- b) SIMD
- c) SMPD
- d) MISD
- e) MIMD

30. The function of the is to perform arithmetic operations.

- a) Bus
- b) Serial port
- c) ALU
- d) Control unit
- e) CPU

31. When you compare the functions of a CPU and a microprocessor, _____.

- a) They are all the same.
- b) They are not the same.
- c) The CPU is faster than microprocessor.

- d) The microprocessor is faster than CPU.
- e) All of the above are wrong.

32. RISC processors use _____.

- a) complex instruction sets.
- b) Reduced instruction sets.
- c) a and b.
- d) All of the above.
- e) None of the above.

33. The CISC processor control unit is ...

- a) Hardware
- b) Microcode
- c) a and b
- d) none of the above
- e) a or b

34. Direct memory access allows for the transfer of blocks of data from memory to an I/O device (or vice versa) without using the _____.

- a) CPU
- b) Data Bus
- c) Control Bus
- d) DMA controller
- e) none of the above

We have the following program:

1. total = 0;
2. for (i = 0; j<n; i++)
3. n--;
4. total+ = s[i];
5. return total;

35. Which line of code exhibits good temporal locality?

- a) 1
- b) 2
- c) 3
- d) 4
- e) 5

36. Which line of code exhibits good spatial locality with the line after it?

- a) 1
- b) 2
- c) 3
- d) 4
- e) 5

- Processor A is a 1 GHz processor (1 cycle = 1 ns). There is an L1 cache with a 1 cycle access time and a 50% hit rate. There is an L2 cache with a 10 cycle access time and a 90% hit rate. It takes 100 ns to access memory.

37. What is the average memory access time of Processor A in ns?

- a) 5
- b) 7
- c) 9
- d) 11
- e) 13

- Proc. B attempts to improve upon Proc. A by making the L1 cache larger. The new hit rate is 90%. To maintain a 1 cycle access time, proc. B runs at 500 MHz (1 cycle = 2 ns).

38. What is the average memory access time of Processor B in ns?

- a) 5
- b) 7
- c) 9
- d) 11
- e) 13

39. Which processor should you buy?

- a) processor A.
- b) processor B
- c) They are equally good.
- d) as you like.
- e) we do not decide.

40. what does NOT happen when you increase the associativity of the cache?

(Assume that everything else stays the same such as the number of sets, etc)

- a) Conflict misses decrease.
- b) Tag overhead decreases.
- c) Hit time increases.
- d) Cache stays the same size.
- e) all of the above.

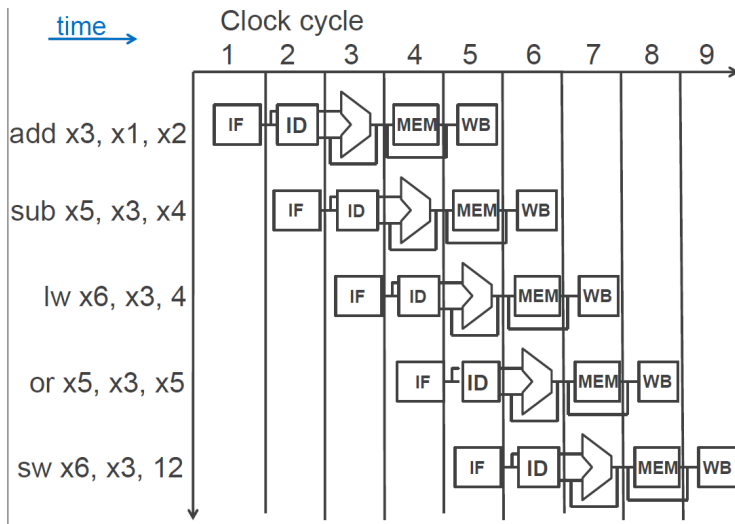
41. Cache performance is measured the average memory access time (AMAT), which depends:

- a) Cache architecture and size
- b) The access time for hit
- c) Miss penalty, hit rate
- d) All are right
- e) only a and c

42. What to do if data hazard detected?

- a) wait/stall
- b) Reorder in Software (SW)
- c) Forward/Bypass
- d) All the above
- e) None. we will use some other method.

43.



How many data hazards due to x3 only

- A) 1
- B) 2
- C) 3**
- D) 4
- E) 5

44. ما نوع التبعية الموجودة بالبرنامج :

(a) التبعية الحقيقية two data dependence

(b) تبعية الخرج output dependence

(c) تبعية الاجرائية

(d) all of the above.

(e) لا يوجد أي نوع من التبعية

45. how to run multiple processes?

- a) Time-multiplex a single CPU core (multi-tasking).
- b) Many cores per processor (multi-core).
- c) Many Processor (multi-processor).
- d) all of the above.
- e) only b and c.

46. How to service page fault?

- a) move page map into main memory
- b) go to page table to find the PA
- c) OS exception handler is invoked
- d) current process suspends and the data is transferred to the main memory by the OS
- e) all of the above are right

47. أي العبارات التالية خاطئة:

- a) each process has its own virtual address space
- b) mapping function scatters addresses through physical memory
- c) virtual page can be stored in different physical pages at same time
- d) page hit refers to VM word that is physical memory
- e) maps a virtual address generated by a CPU to a physical address used by main memory.

48. ما المقصود ب working set:

- a) set of computers resources
- b) set of bytes of RAM, which are busy
- c) set of active virtual pages
- d) All is false
- e) All (a and b and c)

49. transparency is one advantage of virtual memory; transparency means:

- a) different processes protected from each other
- b) Kernel data protected from user
- c) program can be given consistent view of memory, even though physical memory is scrambled and fragmented
- d) can map same physical page to multiple users
- e) All together

50. أي من الخيارات ليست من أقسام وحدة التحكم CU:

- (a) وحدة العنوان.
- (b) ذاكرة تحكم.
- (c) مسجل الحالة.
- (d) مفكك الترميز.

51. بالتعليمات الصغيرة الأفقية تكون صيغة التعليمات الصغيرة أو كلمة التحكم مقسمة على النحو الآتي:

- (a) يوجد بت لكل خط تحكم داخل المعالج وآخر في لكل خط تحكم في مسرى النظام.
- (b) حقل للشرط يشير للشرط الذي سيفحص قبل التفريع.
- (c) حقل يحوي عنوان التعليمة الصغيرة الواجب تنفيذها عند إجراء التفريع.
- (d) كل ما سبق صحيح.
- (e) فقط a and c.

Done 🙌❤❤