بسمه تعالی

درس ساختار کامپیوتر

استاد : دکتر موحدیان عطار

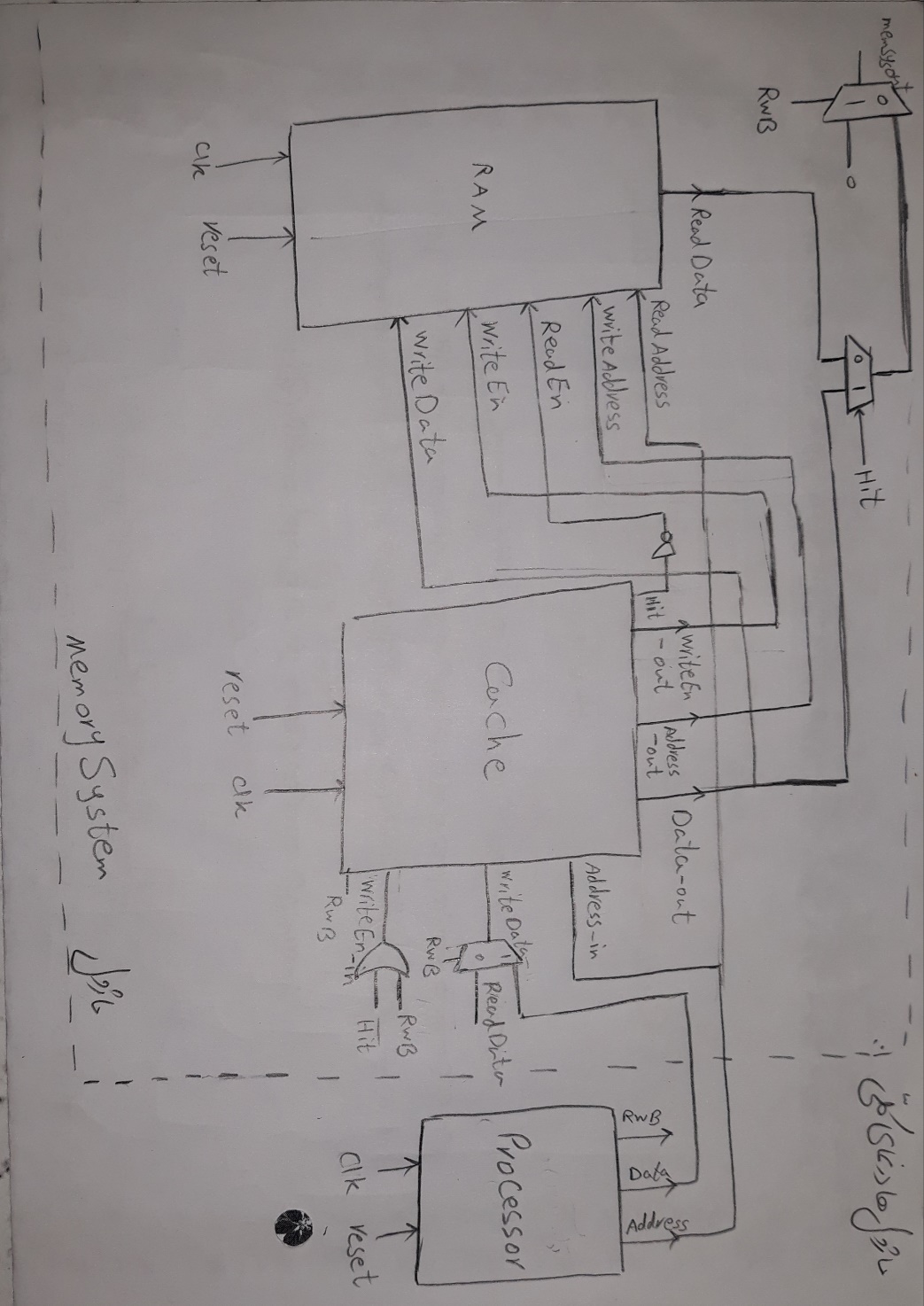
دانشکده مهندسی برق



گزارش فاز چهارم ( امتیازی ) امتیازی درس

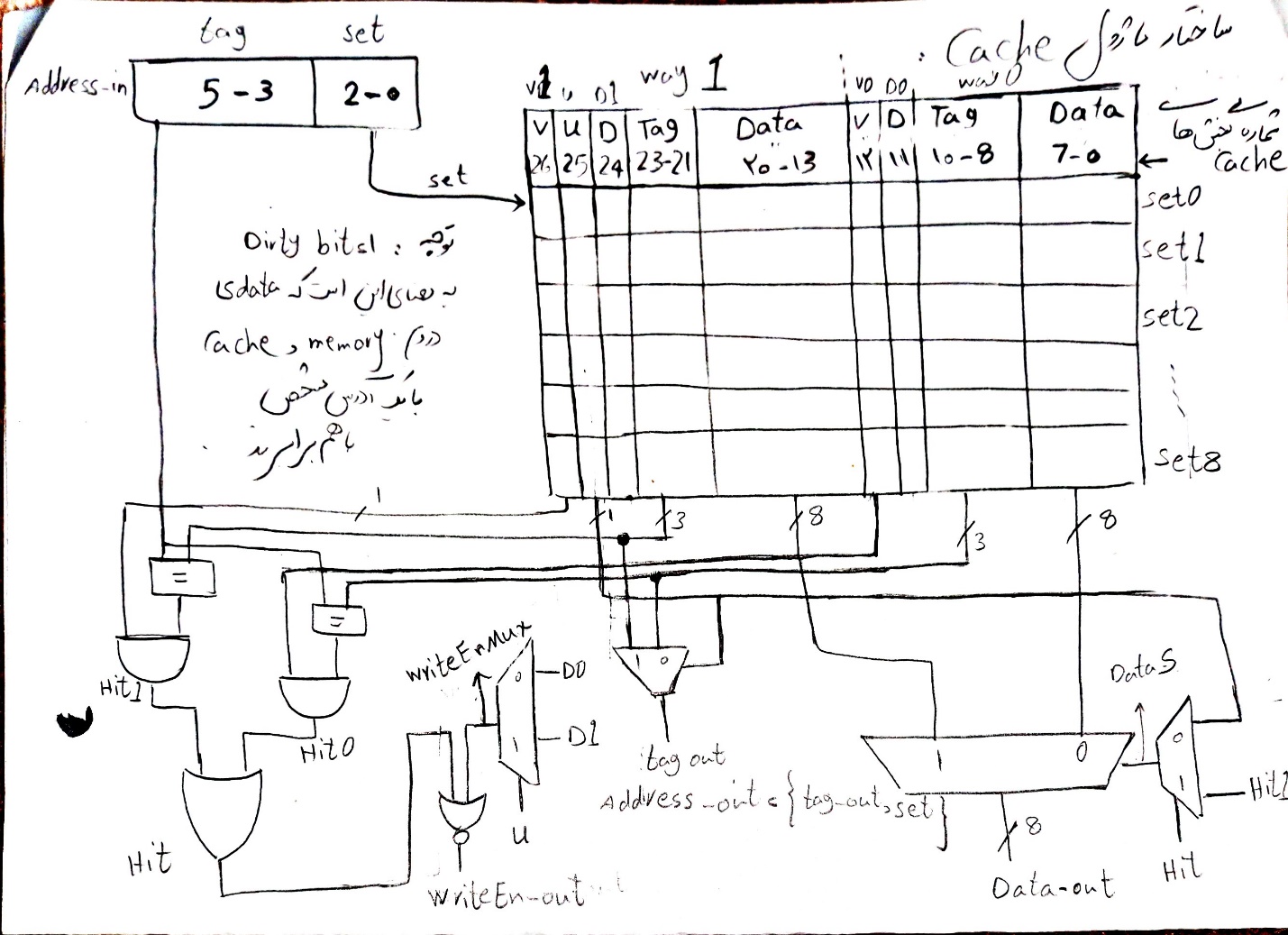
امیرحسین صفری

97101994

1 )

دو واحد Processor و MemorySystem مطابق با دستور پروژه و به شکل زیر به هم متصل شده اند ، هم چنین تعداد hit های این cache در زمان 1000 ns ، 28 عدد می باشد .

2)

ساختار cache نیز از روی مدار زیر طراحی شده است ، هم چنین می توان گفت که حافظه ی cache را یک آرایه ی دو بعدی 27\*8 در نظر گرفتم که در هر ست ، خانه ی 0 تا 12 مربوط به way0 آن ست و خانه ی 13 تا 26 مربوط به way1 می باشد . هم جنین از LRU بیت در این حافظه استفاده شده است که در خانه ی 25 هر ست قرار گرفته که نشان می دهد کدام way از دیگری قدیمی تر می باشد . و برای writeback نیز از dirty\_bit استفاده شده است که در صورت یک بودن آن نشان می دهد که data ی درون یک آدرس مشخص در cache با داده ای که در همان آدرس در ram قرار دارد ، برابر می باشد و نحوه ی استفاده از آن نیز در شکل مشخص می باشد .

3)

با توجه به اینکه با استفاده از data و address ای که در کلاک از پردازنده خارج می شود می توان address مورد استفاده ی بعدی را متوجه شد ، می توان cache را با همین اندازه ولی به جای 2 way به صورت بلوکی در نظر گرفته شود تا در هر کلاک علاوه بر داده ی آدرس فعلی ، داده ی آدرس بعدی نیز با هم و در یک بلوک آورده شوند .