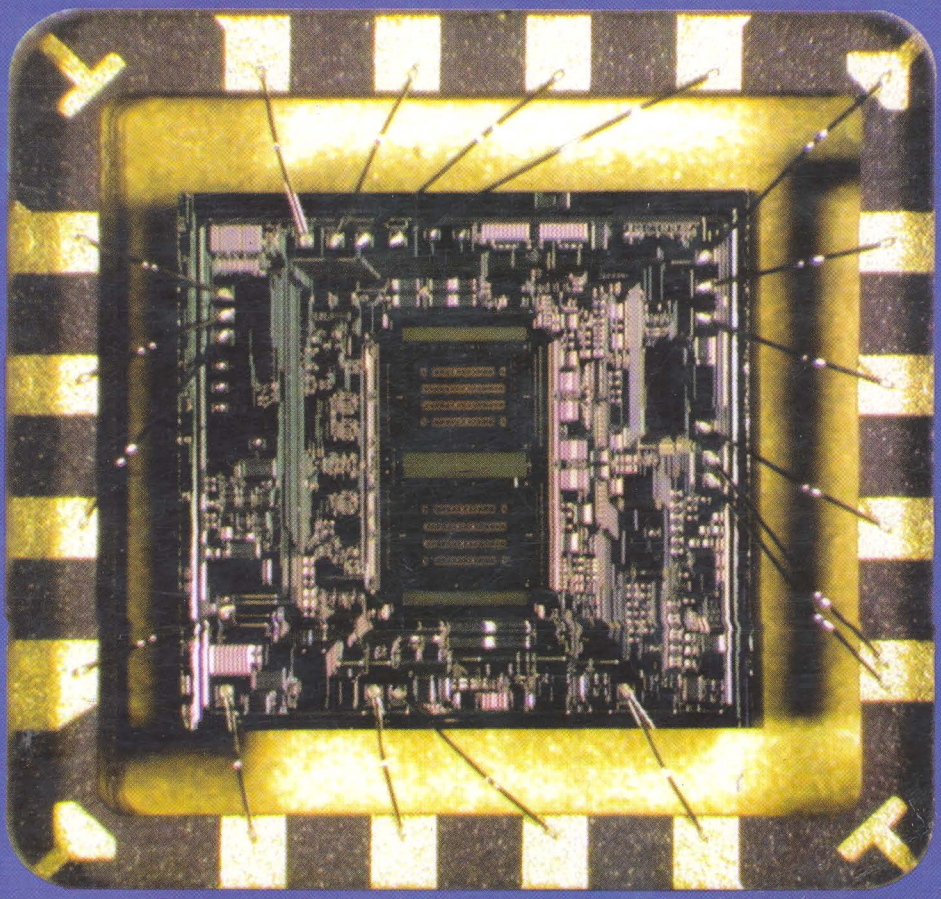
مدارهای میکروالکترونیک

ویرایش پنجم

سدرا ـ اسمیت



خلیل باغانی

حمیدرضا رضایی نیا

جدیدترین ویرایش

کتابفروشی ایران سازان
فنی - مهندسی - کامپیوتر
خیابان انقلاب روبروی دانشگاه تهران پاساژ فروزنده
پلاک ۲۰۵ تلفن: ۶۶۴۱۷۳۱۶

بسم الله الرحمن الرحیم

سدرا - اسمیت

مدارهای میکرو الکترونیک

خلیل باغانی - حمیدرضا رضایی‌نیا

سدرا، عادل
sedra, Adel S.
مدارهای میکروالکترونیک/ سدرا - اسمیت؛ [مترجمین] خلیل باغانی؛ حمیدرضا رضایی‌نیا.-
مشهد : انتشارات خراسان، ۱۳۸۱.
۷۳۷ ص.: مصور.
ISBN 964-6342-23-x :
فهرستنویسی بر اساس اطلاعات فیپا.
عنوان اصلی : Microelectronic circuits,
4th ed, 1998.
۱. مدارهای الکترونیکی. ۲. مدارهای مجتمع.
الف. اسمیت، کنث کارلس Smith, Keneth Carless
ب. باغانی، خلیل، ۱۳۳۸ -، مترجم. ج. رضایی نیا، حمیدرضا، ۱۳۴۵ -، مترجم .د.عنوان.
۴م۴ص/TK ۷۸۶۷ ۶۲۱/۳۸۱۵
۱۳۸۱
کتابخانه ملی ایران
۸۱-۱۵۵۷۰ م

انتشارات خراسان

مدارهای میکرو الکترونیک

نوشته : عادل.اس.سدرا ، کنث.سی.اسمیت
ترجمه : خلیل باغانی ، حمیدرضا رضایی‌نیا
چاپ ششم، ۲۰۰۰ نسخه، تابستان ۸۷ ، انتشارات خراسان
چاپخانه سروش
تهران: انقلاب - خیابان اردیبهشت (منیری جاوید) نرسیده به جمهوری
کوچه صابر - پلاک ۳ - تلفن: ۳۱-۳۰-۶۶۴۸۸۱۲۹
قیمت: ۹۰۰۰ تومان
شابک : X-۲۳-۶۳۴۲-۹۶۴

مقدمه

کتاب مدارهای میکروالکترونیک (ویرایش چهارم) با هدف آموزش و تحلیل و طراحی مدارهای الکترونیک به صورت آنالوگ و دیجیتال (در حالتهای مجزا و مجتمع) برای دانشجویان گروههای مهندسی برق و کامپیوتر عرضه شده است. علاوه بر این، کتاب حاضر منبع مناسبی است برای مهندسین و متخصصینی که مایلند دانش خود در این مباحث را نوسازی کنند.

به همراه اثر حاضر، کتاب **«رهیافت حل مسئله در الکترونیک»** نوشته کنث، سی.اسمیت شامل بیش از ۶۰۰ مسئله حل شده، توسط انتشارات خراسان و به قلم همین مترجمین و همزمان عرضه شده تا دانشجویان با انواع مسائل و شیوه حل آنها آشنا شوند و در امتحانات و نیز در مراحل طراحی از آن بهره گیرند.

فصل اول : مقدمه‌ای بر علم الکترونیک ۱

۱-۱ سیگنالها ۱
۱-۲ طیف فرکانسی سیگنالها ۲
۱-۳ سیگنالهای آنالوگ و دیجیتال ۳
۱-۴ تقویت‌کننده‌ها ۵
۱-۵ مدلهای مداری تقویت‌کننده ۱۱
۱-۶ پاسخ فرکانسی تقویت‌کننده‌ها ۱۵
۱-۷ وارونگر منطق دیجیتال ۲۰
خلاصه ۲۵
مسائل ۲۶

قسمت I : قطعات و مدارات اساسی

فصل دوم: تقویت کننده‌های عملیاتی ۳۳

۲-۱ پایانه‌های تقویت‌کننده عملیاتی ۳۳
۲-۲ تقویت‌کننده‌های عملیاتی ایده‌آل ۳۴
۲-۳ تحلیل مدارهای شامل op-amp ایده‌آل- پیکربندی وارونگر ۳۵
۲-۴ کاربردهای دیگر پیکربندی وارونگر ۳۹
۲-۵ پیکربندی ناوارونگر ۴۴
۲-۶ مثالهایی از مدارات op-amp ۴۶
۲-۷ تأثیر بهره محدود حلقه باز و پهنای باند بر عملکرد مدار ۵۰
۲-۸ عملکرد سیگنال بزرگ op-amp ها ۵۲
۲-۹ مشکلات DC ۵۴
خلاصه ۵۸
مسائل ۵۹

فصل سوم : دیودها ۶۹

۳-۱ دیود ایده‌آل ۶۹
۳-۲ مشخصات پایه‌های دیودهای پیوندی ۷۴
۳-۳ کار فیزیکی دیود - اصول اساسی نیمه‌هادی ۷۶
۳-۴ تحلیل‌های مدارهای دیودی ۸۵
۳-۵ مدل سیگنال کوچک و کاربردهای آن ۸۹
۳-۶ کار در ناحیهٔ شکست معکوس - دیودهای زنر ۹۳
۳-۷ مدارهای یکسوساز ۹۷
۳-۸ مدارهای محدودکننده و برش ۱۰۴
۳-۹ دیودهای خاص ۱۰۷
۳-۱۰ مدل دیودی SPICE و نمونه‌های شبیه سازی ۱۰۸
خلاصه ۱۱۱
مسائل ۱۱۲

فصل چهارم: ترانزیستورهای پیوندی دو قطبی (BJT)ها ۱۲۳

۴-۱ ساختمان فیزیکی و حالت کار ۱۲۴
۴-۲ کار ترانزیستور npn در حالت فعّال ۱۲۴

۴-۳ ترانزیستور pnp ۱۲۹
۴-۴ علامت‌های مداری و قراردادها ۱۳۰
۴-۵ نمایش ترسیمی مشخصه‌های ترانزیستور ۱۳۲
۴-۶ تحلیل DC مدارات ترانزیستوری ۱۳۴
۴-۷ ترانزیستور به عنوان تقویت‌کننده ۱۴۰
۴-۸ مدلهای مدار معادل سیگنال کوچک ۱۴۲
۴-۹ تحلیل ترسیمی ۱۴۹
۴-۱۰ بایاس BJT در طراحی مدار مجزا ۱۵۱
۴-۱۱ روشهای اساسی تقویت کننده BJT یک طبقه‌ای ۱۵۴
۴-۱۲ ترانزیستور به مثابه یک کلید- قطع و اشباع ۱۶۱
۴-۱۳ مدل عمومی سیگنال بزرگ برای BJT : مدل ابرزمول ۱۶۵
۴-۱۴ وارونگر منطقی با BJT ۱۶۸
۴-۱۵ مشخصه‌های استاتیک کامل ، ظرفیت‌های داخلی، و اثرات مرتبه دوم ۱۷۱
۴-۱۶ مدل BJT ی SPICE و مثالهای شبیه‌سازی ۱۷۶
خلاصه ۱۷۹
مسائل ۱۷۹
مسائل عمومی ۱۹۳

فصل پنجم : ترانزیستورهای اثر میدانی (FETها) ۱۹۵

۵-۱ ساختمان و کار فیزیکی MOSFET نوع افزایشی ۱۹۶
۵-۲ مشخصه‌های ولتاژ - جریان MOSFET افزایشی ۲۰۲
۵-۳ MOSFET نوع تهی ۲۰۷
۵-۴ مدارهای MOSFET در DC ۲۱۰
۵-۵ MOSFETبه عنوان تقویت کننده ۲۱۳
۵-۶ بایاس مدارهای تقویت کننده MOS ۲۱۹
۵-۸ وارونگر منطق دیجیتالی CMOS ۲۳۱
۵-۹ MOSFET به مثابه یک سوئیچ آنالوگ ۲۳۷
۵-۱۰ ظرفیت داخلی MOSFET و مدل فرکانس بالا ۲۴۰
۵-۱۱ ترانزیستور اثر میدانی پیوندی (JFET) ۲۴۳
۵-۱۲ قطعه‌های گالیوم-آرسناید (GaAS)-MESFET ۲۴۶
۵-۱۳ مدل MOSFET اسپایس و نمونه‌های شبیه سازی ۲۴۹
خلاصه ۲۵۳
مسائل ۲۵۴

قسمت II : مدارهای آنالوگ

فصل ششم: تقویت کننده‌های تفاضلی چند طبقه‌ای ۲۷۰

۶-۱ زوج تفاضلی BJT ۲۷۰
۶-۲ کار سیگنال کوچک تقویت‌کننده تفاضلی BJT ۲۷۳
۶-۳ مشخصه‌های غیرایده‌آل دیگر تقویت‌کننده تفاضلی ولتاژ افست ورودی ۲۷۹
۶-۴ تغذیه در مدارهای مجتمع BJT ۲۸۱
۶-۵ تقویت‌کننده تفاضلی BJT با بار فعال ۲۸۸
۶-۶ تقویت‌کننده‌های تفاضلی MOS ۲۹۰
۶-۷ تقویت‌کننده BiCMOS ۲۹۵
۶-۸ تقویت‌کننده‌های GaAs ۲۹۸
۶-۹ تقویت‌کننده‌های چندطبقه ۳۰۲
۶-۱۰ مثالی از شبیه‌سازی SPICE ۳۰۶
خلاصه ۳۰۸

مسائل ۳۱۰

فصل هفتم : پاسخ فرکانسی ۳۲۳

۷-۱ تحلیل حوزهٔ S : قطب‌ها، صفرها و نمودارهای بودی ۳۲۴
۷-۲ تابع انتقال تقویت‌کننده ۳۲۷
۷-۳ پاسخ فرکانس پایین تقویت‌کنندهٔ سورس مشترک و امیتر مشترک ۳۳۴
۷-۴ پاسخ فرکانس بالای تقویت‌کننده‌های سورس مشترک و امیترمشترک ۳۳۹
۷-۵ آرایشهای بیس مشترک، گیت مشترک و Cascode ۳۴۳
۷-۶ پاسخ فرکانسی امیتر پیرو و سورس پیرو ۳۴۷
۷-۷ تقویت‌کنندهٔ متوالی‌شدهٔ کلکتور مشترک - امیتر مشترک ۳۴۹
۷-۸ پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی ۳۵۱
۷-۹ مثال‌هایی از شبیه سازی SPICE ۳۵۷
خلاصه ۳۵۹
مسائل ۳۶۰
مسائل عمومی ۳۷۰

فصل هشتم : فیدبک ۳۷۱

۸-۱ ساختار کلی فیدبک ۳۷۲
۸-۲ برخی از خواص فیدبک منفی ۳۷۳
۸-۳ چهار شکل اصلی فیدبک ۳۷۵
۸-۴ تقویت‌کنندهٔ فیدبک سری - موازی ۳۷۷
۸-۵ تقویت‌کنندهٔ فیدبک سری - سری ۳۸۲
۸-۶ تقویت‌کننده‌های با فیدبک موازی-موازی و موازی - سری ۳۸۷
۸-۷ تعیین بهرهٔ حلقه ۳۹۳
۸-۸ مسألهٔ پایداری ۳۹۵
۸-۹ اثر فیدبک روی قطبهای تقویت‌کننده ۳۹۷
۸-۱۰ بررسی پایداری توسط نمودار بودی ۴۰۱
۸-۱۱ جبران‌سازی فرکانسی ۴۰۴
۸-۱۲ مثال‌هایی از شبیه‌سازی SPICE ۴۰۷
خلاصه ۴۱۰
مسائل ۴۱۰

فصل نهم : طبقات خروجی و تقویت‌کننده‌های توان ۴۱۸

۹-۱ طبقه‌بندی طبقات خروجی ۴۱۹
۹-۲ طبقه خروجی در کلاس A ۴۱۹
۹-۳ طبقه خروجی در کلاس B ۴۲۲
۹-۴ طبقه خروجی کلاس AB ۴۲۴
۹-۵ تغذیه مدار کلاس AB ۴۲۶
۹-۶ ترانزیستورهای توان BJT ۴۲۹
۹-۷ تغییرات پیکربندی کلاس AB ۴۳۲
۹-۸ تقویت‌کننده‌های توان بصورت IC ۴۳۵
۹-۹ ترانزیستورهای توان MOS ۴۳۹
۹-۱۰ مثالی از شبیه سازی SPICE ۴۴۱
خلاصه ۴۴۴
مسائل ۴۴۴

فصل دهم : مدارهای مجتمع آنالوگ ۴۵۰

۱-۱۰ مدار تقویت‌کننده عملیاتی 741 ..... ۴۵۰
۲-۱۰ تحلیل DC ی 741 ..... ۴۵۳
۳-۱۰ تحلیل سیگنال کوچک طبقه ورودی 741 ..... ۴۵۶
۴-۱۰ تحلیل سیگنال کوچک دومین طبقه 741 ..... ۴۵۹
۵-۱۰ تحلیل طبقه خروجی 741 ..... ۴۶۰
۶-۱۰ پاسخ فرکانسی و بهره 741 ..... ۴۶۲
۷-۱۰ تقویت‌کننده‌های عملیاتی CMOS ۴۶۵
۸-۱۰ پیکربندی‌های دیگر برای تقویت‌کننده‌های عملیاتی CMOS و BiCMOS ۴۷۰
۹-۱۰ مبدلهای داده، مقدمه ۴۷۳
۱۰-۱۰ مدارهای مبدل D/A ۴۷۵
۱۱-۱۰ مدارهای مبدل A/D ۴۷۷
۱۲-۱۰ مثالی از شبیه سازی SPICE ۴۸۰
خلاصه ۴۸۲
مسائل ۴۸۳

فصل یازدهم :فیلترهای و تقویت کننده‌های تنظیمی ۴۸۹

۱-۱۱ انتقال فیلتر، انواع، و مشخصات آن ۴۸۹
۲-۱۱ تابع انتقال فیلتر ۴۹۱
۳-۱۱ فیلترهای باترورث و چبی‌شف ۴۹۴
۴-۱۱ توابع فیلتر مرتبه اول و مرتبه دوم ۴۹۷
۵-۱۱ تشدیدکنندهٔ LCR مرتبهٔ دوم ۵۰۲
۶-۱۱ فیلترهای فعال مرتبه دوم بر اساس جایگزینی القاگر ۵۰۶
۷-۱۱ فیلترهای فعال مرتبه دوم بر اساس طرح حلقهٔ دو انتگرالگیر ۵۱۰
۸-۱۱ فیلترهای فعال تک تقویت‌کنندهٔ دو مجذوری ۵۱۳
۹-۱۱ حساسیت ..... [illegible]
۱۰-۱۱ فیلترهای سوئیچ خازنی ..... [illegible]
۱۱-۱۱ تقویت‌کننده‌های تنظیمی ..... [illegible]
۱۲-۱۱ مثال‌هایی از شبیه سازی SPICE ..... [illegible]
خلاصه ۵۳۱
مسائل ۵۳۲

فصل دوازدهم : مولدهای سیگنال و مدارهای فرم‌دهندهٔ شکل موج ۵۳۸

۱-۱۲ اصول پایهٔ نوسان‌کننده‌های سینوسی ۵۳۹
۲-۱۲ مدارهای نوسان‌کنندهٔ op−amp − RC ۵۴۱
۳-۱۲ نوسان‌کننده‌های LC و کریستالی ۵۴۶
۴-۱۲ مولتی ویبراتور با دو حالت پایدار ۵۴۹
۵-۱۲ تولید شکل موجهای مربعی و مثلثی با استفاده از مولتی ویبراتور ناپایدار ۵۵۳
۶-۱۲ تولید پالس استانداردشده - مولتی‌ویبراتور با یک حالت پایدار ۵۵۶
۷-۱۲ تایمرهای مدار مجتمع ۵۵۷
۸-۱۲ مدارهای سازندهٔ شکل موج غیرخطی ۵۶۰
۹-۱۲ مدارهای یکسوساز دقیق ۵۶۲
۱۰-۱۲ مثال‌هایی از شبیه‌سازی SPICE ۵۶۶
خلاصه ۵۶۹
مسائل ۵۶۹

قسمت III : مدارهای دیجیتال

فصل ۱۳ مدارهای دیجیتال MOS ۵۷۸

۱۳-۱ طراحی مدار دیجیتال: یک بررسی کلی ۵۷۸
۱۳-۲ طراحی و تحلیل عملکرد وارونگر *CMOS* ۵۸۱
۱۳-۳ مدارهای گیت منطقی *CMOS* ۵۸۶
۱۳-۴ مدارهای منطقی شبه *NMOS* ۵۹۲
۱۳-۵ مدارهای منطقی ترانزیستور عبوری ۵۹۷
۱۳-۶ مدارهای منطقی گذرا ۶۰۲
۱۳-۷ قفل‌ها و فلیپ فلاپ‌ها ۶۰۶
۱۳-۸ مدارهای مولتی ویبراتور ۶۱۰
۱۳-۹ حافظه‌های نیمه هادی : انواع و ساختارها ۶۱۴
۱۳-۱۰ سلول‌های حافظه با دستیابی تصادفی *(RAM)* ۶۱۶
۱۳-۱۱ تقویت کننده‌های حسی و رمزگشاهای آدرس ۶۲۰
۱۳-۱۲ حافظه فقط خواندنی *ROM* ۶۲۶
۱۳-۱۳ مثالی از شبیه سازی *SPICE* ۶۳۰
خلاصه ۶۳۳
مسائل ۶۳۴

فصل چهاردهم مدارهای دیجیتال تکنولوژی پیشرفته دوقطبی ۶۴۳

۱۴-۱ عملکرد گذرای سوئیچ BJT ۶۴۴
۱۴-۲ شکلهای نخستین مدارهای دیجیتال BJT ۶۴۵
۱۴-۳ منطق ترانزیستور ـ ترانزیستور (TTLیاT۲L) ۶۴۸
۱۴-۴ مشخصه‌های TTL استاندارد ۶۵۵
۱۴-۵ خانواده های TTL با عملکرد اصلاحی ۶۵۹
۱۴-۶ منطق تزویج امیتری (ECL) ۶۶۳
۱۴-۷ مدارهای دیجیتال BiCMOS ۶۷۲
۱۴-۸ مدارهای دیجیتال گالیم-آرسناید ۶۷۵
۱۴-۹ مثالی از شبیه‌سازی SPICE ۶۷۹
خلاصه ۶۸۳
مسائل ۶۸۴

ضمیمه الف : تکنولوژی ساخت VLSI ۶۸۹
ضمیمه ب : پارامترهای شبکه دودرگاهی ۶۹۸
ضمیمه پ : مقدمه‌ای بر SPICE ۷۰۲
ضمیمه ت : فهرست فایلهای ورودی SPICE برای مثالهای شبیه‌سازی ۷۰۶
ضمیمه ث : تعدادی از قضایای مفید شبکه ۷۲۰
ضمیمه ج : مدارهای ثابت زمانی منفرد ۷۲۴
ضمیمه چ : تعیین مقادیر پارامتر مدل هیبرید π برای BJT ۷۳۴
ضمیمه ح : مقادیر مقاومت استاندارد و پیشوندهای واحدها ۷۳۷

فصل ۱

مقدمه‌ای بر علم الکترونیک

۱-۱ سیگنالها
۱-۲ طیف فرکانسی سیگنالها
۱-۳ سیگنالهای آنالوگ و دیجیتال
۱-۴ تقویت کننده‌ها
۱-۵ مدلهای مداری تقویت کننده‌ها
۱-۶ پاسخ فرکانسی تقویت‌کننده‌ها
۱-۷ وارونگر منطق دیجیتال
خلاصه - مسائل - کتابشناسی

مقدمه

موضوع این کتاب الکترونیک مدرن است، مبحثی که به دانش میکروالکترونیک شهرت یافته است. دانش میکروالکترونیک دربارهٔ تکنولوژی مدار مجتمع (آی سی) بحث می‌کند که در زمان نگارش این کتاب، قادر به ساخت مدارهایی است که بیش از یک میلیون قطعه را بر جزء کوچکی از سیلیکون (موسوم به **تراشه سیلیکونی**) به مساحت تقریبی ۱۰۰ میلی‌متر مربع جای می‌دهد. برای مثال، چنین مداری یک کامپیوتر دیجیتال است که به میکروکامپیوتر یا به بیانی کلی‌تر، یک **میکروپروسسور** شهرت دارد.

در این کتاب، قطعات الکترونیک را مطالعه خواهیم کرد که می‌توانند به تنهایی (در طراحی **مدارهای مجزا**) و یا به مثابه اجزای یک **مدار مجتمع** مورد استفاده قرار گیرد. طراحی و تحلیل اتصالات درونی این قطعات را بررسی خواهیم کرد که مدارهای مجزا و مجتمع با پیچیدگی‌ها و کارایی‌های متنوع بوجود می‌آورند. همچنین دربارهٔ آی‌سی‌های متداول و کاربردشان در طراحی دستگاههای الکترونیک مطالبی خواهیم آموخت.

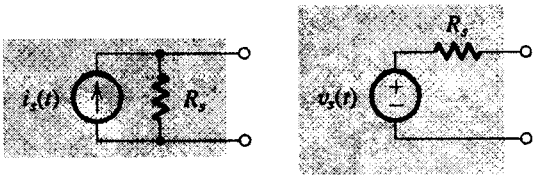
هدف فصل اول، ارائه برخی مفاهیم و اصطلاحات است. بویژه، درباره سیگنالها و یکی از مهمترین مدارهای الکترونیک در پردازش سیگنال، یعنی تقویت کنندگی سیگنال مطالبی خواهیم آموخت. سپس به انواع تقویت کننده‌های خطی نظر می‌کنیم. این مدلها در فصل‌های بعدی در مبحث طراحی و تحلیل مدارهای تقویت کننده واقعی مطرح خواهند شد. همانگونه که تقویت کننده عنصر اصلی مدارهای آنالوگ است، وارونگر منطقی عنصر اصلی در مدارهای دیجیتال می‌باشد. از اینرو در ابتدا وارونگر دیجیتال، کار آن، و مشخصه‌های مهم آنرا بررسی می کنیم.

این فصل، علاوه بر ایجاد انگیزه در مطالعه دانش الکترونیک به مثابه پلی بین مطالعه مدارهای خطی و موضوع کتاب یعنی طراحی و تحلیل مدارهای الکترونیک نقش خواهد داشت.

۱-۱ سیگنالها

سیگنالها شامل اطلاعاتی درباره فعالیتها و پدیده‌های گوناگون دنیای فیزیکی اطراف ما هستند. اطلاعاتی درباره آب و هوا سیگنالهایی را شامل می‌شوند که دما، فشار، سرعت باد و غیره را نشان می‌دهند. صدای اخبار در فرستنده که در برابر یک میکروفون خوانده می‌شود، به صورت سیگنالی درمی‌آید که شامل علائمی درباره وقایع اطراف ما است. برای مشاهده وضعیت یک راکتور هسته‌ای، وسایلی برای اندازه‌گیری پارامترهای مربوط به آن به کار می‌رود. هر وسیله یک سیگنال تولید می‌کند.

برای بدست آوردن اطلاعات لازم از مجموعه‌ای از سیگنالها، بطور مسلم، ناظر (انسان و یا ماشین) باید سیگنالها را به روشهای معینی **پردازش** کند. **پردازش سیگنال** اغلب با دستگاههای الکترونیک راحت‌تر انجام



(ب) (الف)

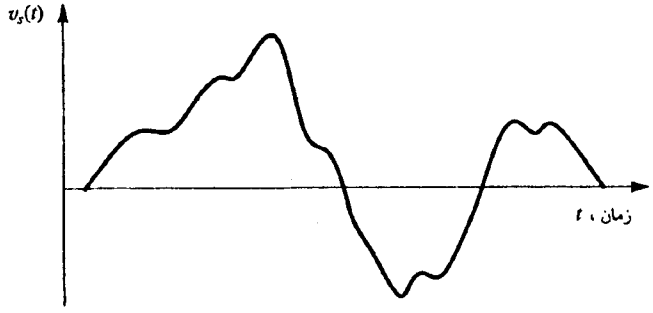
شکل ۱-۱. دو نمایش منبع سیگنال (الف) شکل تونن (ب) شکل نورتن

می‌گیرد. برای این منظور، ابتدا سیگنال به یک سیگنال الکتریکی یعنی یک ولتاژ، و یا یک جریان تبدیل می‌شود. ابزارهای پردازشگر را **مبدل** می‌نامند. مبدلها گوناگونند و هریک برای صورت خاصی از سیگنالهای فیزیکی مناسب هستند. بطور مثال، امواج صوتی که از دهان شخص برمیآید به کمک یک میکروفون به سیگنالهای الکتریکی تبدیل می‌شود، که در حقیقت یک مبدل فشار است. البته در اینجا منظور ما مطالعه مبدلها نیست بلکه خاطرنشان کردیم که سیگنالهای موردنظر ما نیز به صورت الکتریکی و به یکی از دو صورت شکل (۱-۱) وجود دارند. در شکل (الف ۱-۱) سیگنال به صورت منبع ولتاژ $v_s(t)$ با مقاومت منبع R_s دیده می‌شود. در نمایش دیگر در شکل (ب ۱-۱) سیگنال به صورت منبع جریان $i_s(t)$ دارای مقاومت منبع R_s نشان داده شده است. اگرچه هر دو نمایش یکسان هستند، اما وضعیت شکل (الف ۱-۱) "موسوم به شکل تونن" وقتی R_s کوچک است ترجیح داده می‌شود و وضعیت شکل (ب ۱-۱) "موسوم به شکل نورتون" هنگامی که R_s بزرگ است، بیشتر بکار می‌رود.

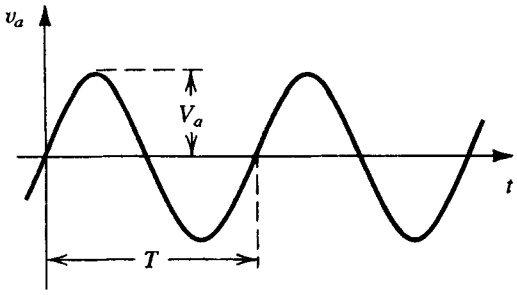
از مباحث بالا، چنین برمی‌آید که سیگنال کمیتی متغیر با زمان است که به صورت نموداری مانند شکل (۲-۱) می‌تواند نشان داده شود. در حقیقت، محتوی اطلاعات سیگنال به صورت تغییرات دامنه نشان داده می‌شود. چنین شکل موجهایی را به کمک ریاضی نمی‌توان تحلیل کرد. به عبارت دیگر، تشریح یک شکل موج مانند شکل (۲-۱) ساده نیست. بنابراین، برای این منظور مدارهای پردازش سیگنال طراحی می‌شود تا کارهای لازم را بر سیگنال موردنظر انجام دهد.

۱-۲ طیف فرکانسی سیگنالها

شاخصه بسیار مهم یک سیگنال، طیف فرکانسی آن است. بیان این شاخصه با ابزار ریاضی و به کمک **سریهای فوریه**، و **تبدیل فوریه** انجام



شکل ۲-۱. یک سیگنال ولتاژ دلخواه $V_s(t)$



شکل ۳-۱. سیگنال ولتاژ موج سینوسی با دامنه V_a و فرکانس $f = \frac{1}{T}$ Hz. فرکانس زاویه‌ای $\omega = 2\pi f$ rad/s می‌باشد.

می‌شود. برآن نیستیم تا جزئیات این تبدیلها را توضیح دهیم؛ کافی است بدانیم که به کمک این تبدیلها ولتاژ سیگنال $v_s(t)$ یا جریان سیگنال $i_s(t)$ به صورت مجموعه‌ای از سیگنالهای سینوسی شکل با فرکانس و دامنه متفاوت بدست می‌آید. به این ترتیب، موج سینوسی در تحلیل، طراحی، و آزمایش مدارهای الکترونیک، سیگنال با اهمیتی بشمار می‌رود. از اینرو خواص موج سینوسی را به اختصار مرور می‌کنیم:

شکل (۳-۱) سیگنال ولتاژ سینوسی شکل $v_a(t)$ را نشان می‌دهد:

$$v_a(t) = V_a \sin\omega t \qquad (۱-۱)$$

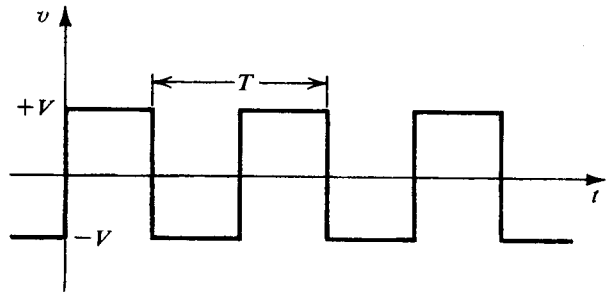
که در آن V_a علامت مقدار نوک یا دامنه برحسب ولت، و ω نمایش فرکانس زاویه‌ای برحسب رادیان بر ثانیه؛ یعنی $\omega=2\pi f$ rad/s است، که f فرکانس بر حسب هرتز، $f=1/T$ Hz، و T زمان تناوب بر حسب ثانیه است.

سیگنال سینوسی بطور کامل با مقدار نوک آن V_a، فرکانس آن ω، و فازش نسبت به یک زمان مرجع دلخواه، مشخص می‌گردد. در این وضعیت، زمان مبنا بگونه‌ای انتخاب می‌شود که زاویه فاز ۰ باشد. قابل ذکر است که دامنه یک سیگنال سینوسی معمولاً بر حسب مقدار مؤثر (rms) بیان می‌شود که برابر است با مقدار نوک تقسیم بر $\sqrt{2}$. به این ترتیب، مقدار مؤثر موج سینوسی $v_a(t)$ در شکل (۲-۱) برابر با $V_a/\sqrt{2}$ است. بطور مثال، وقتی ما از برق شهر صحبت می‌کنیم و آنرا ۲۲۰ ولت می‌گوییم منظور آن است که دارای مقدار نوک $220\sqrt{2}$ می‌باشد.

با مراجعه به نمایش سیگنالها به صورت مجموعه‌ای از امواج سینوسی، متوجه می‌شویم که سری فوریه برای انجام حالت ویژه‌ای از مجموعه سیگنالهای سینوسی کاربرد دارد و آن زمانی است که سیگنال تابعی تناوبی از زمان باشد. از سوی دیگر تبدیل فوریه کلی است و برای بدست آوردن طیف فرکانسی سیگنالهایی است که دارای تابعی دلخواه از زمان است.

سری‌های فوریه این امکان را می‌دهد که یک تابع پریودیک معین را به صورت مجموعه‌ای نامتناهی از سیگنالهای سینوسی درآوریم که فرکانسهایشان به صورت هارمونیک به یکدیگر مرتبط باشند. به طور مثال، سیگنال مربعی متقارن شکل (۴-۱) به صورت زیر بیان می‌گردد:

$$v(t) = \frac{4V}{\pi}\left(\sin \omega_0 t + \frac{1}{3}\sin 3\omega_0 t + \frac{1}{5}\sin 5\omega_0 t + \ldots\right) \qquad (۱-۲)$$



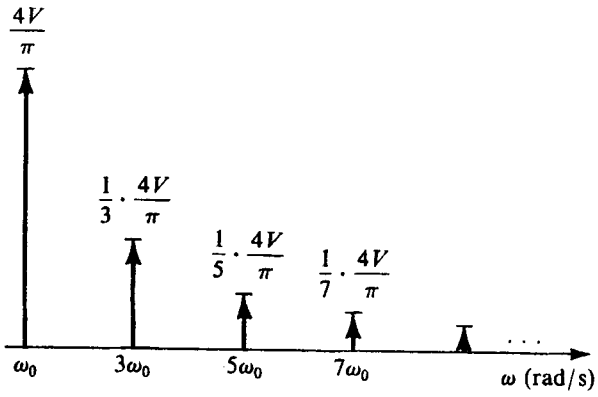
شکل ۴-۱. یک سیگنال موج مربعی متقارن با دامنه V

که درآن V دامنه موج مربعی، $\omega_0 = 2\pi/T$ (T پریود موج مربعی) **فرکانس مبنا** نامیده می‌شود. توجه شود که به دلیل کاهش دامنه هارمونیکهای متوالی، قسمت بالای آن برش خورده و شکل موج تقریباً مربعی بوجود می‌آید.

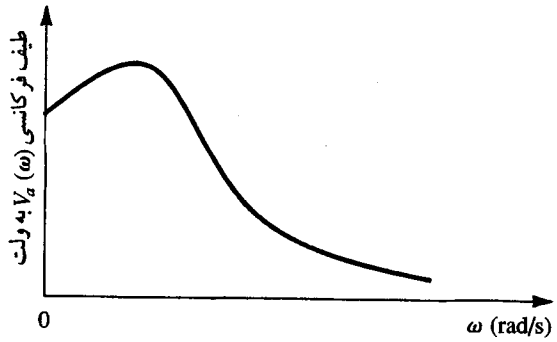
اجزای سینوسی سریهای معادله (۲-۱) شامل طیف فرکانسی سیگنال مربعی هستند. چنین طیفی از نظر ترسیمی با شکل (۵-۱) نمایش داده می‌شوند که در آن محور افقی نمایش فرکانس زاویه‌ای ω بر حسب رادیان بر ثانیه است.

تبدیل فوریه برای یک تابع غیرپریودیک مانند شکل (۲-۱) بکار می‌رود و مطابق شکل (۶-۱) تابعی پیوسته از فرکانس بدست می‌دهد. بر خلاف سیگنالهای پریودیک که طیف آنها شامل فرکانسهای منفصل (در ω_0 و هارمونیکهای آن) است، طیف سیگنال غیرپریودیک در مجموع همه فرکانسهای ممکن را شامل می‌شوند. با این وجود، قسمتهای اساسی طیف واقعی سیگنالها منحصر به قسمتهای بالنسبه کوچکی از محور فرکانس (ω) می‌شود. و این پدیده‌ای است که در پردازش چنین سیگنالهایی خیلی مفیدند. برای مثال، طیف اصوات شنوایی نظیر سخن و موسیقی بین ۲۰ Hz تا حدود ۲۰ KHz می‌باشد که این محدوده فرکانسی را به عنوان **باند صوتی** می‌شناسیم. در اینجا خاطرنشان می‌کنیم که اگرچه بسیاری از طنین‌های موسیقی فرکانسهای بالاتر از ۲۰ kHz دارند، گوش انسان قادر به شنیدن فرکانسهای بیش از ۲۰ kHz نیست.

مفهوم طیف فرکانسی سیگنالها در طراحی سیستمهای مخابراتی نظیر رادیو، تلویزیون، و تلفن بسیار مهم است.



شکل ۵-۱. طیف فرکانسی (که طیف خطی هم نامیده می‌شود) موج مربعی تناوبی شکل (۴-۱)



شکل ۶-۱. طیف فرکانسی یک شکل موج دلخواه مانند شکل (۲-۱)

از مباحث بالا چنین نتیجه می‌گیریم که یک سیگنال می‌تواند به دو صورت نشان داده شود: بصورت شکل موجی متغیر با زمان، مانند سیگنال ولتاژ $v_a(t)$ که در شکل (۲-۱) نشان داده شده و یا برحسب طیف فرکانسی شکل (۶-۱). این دو نمایش متفاوت به نمایش زمانی و نمایش فرکانسی موسومند. نمایش فرکانسی $v_a(t)$ به صورت $V_a(\omega)$ می‌باشد.

تمرینها

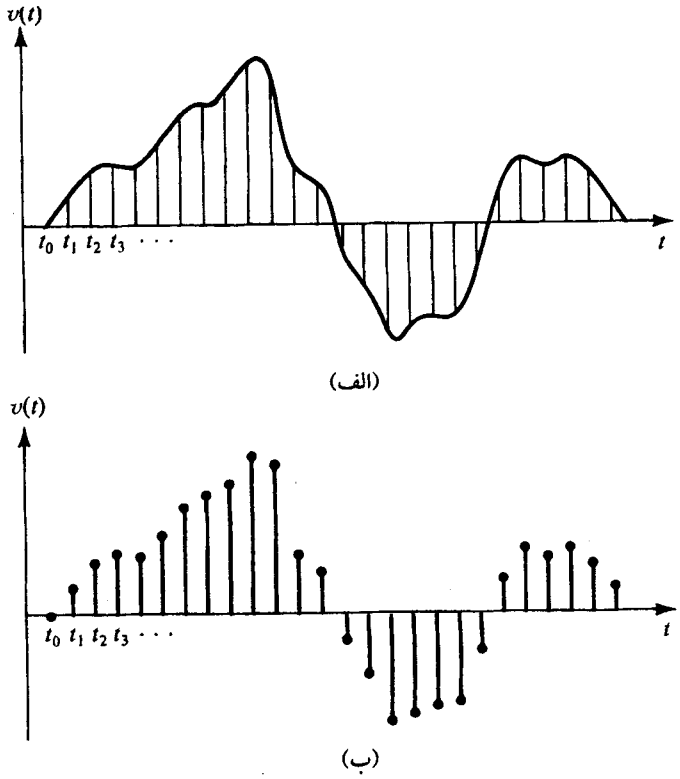
۱-۱ فرکانسهای f و ω ی یک موج سینوسی با پریود ۱ ms را پیدا کنید.
جواب. $f = 1000$ Hz، $\omega = 2\pi \times 10^3$ rad/s

۱-۲ پریود T یک موج سینوسی با فرکانس (الف) $f = 60$ Hz، (ب) $f = 10^{-3}$ Hz، (پ) $f = 1$ MHz را پیدا کنید.
جواب. ۱۶/۷ ms؛ ۱۰۰۰ s؛ ۱ μs.

۱-۳ وقتی سیگنال موج مربعی شکل (۴-۱) که سریهای فوریه آن در معادله (۲-۱) داده شده به یک مقاومت اعمال گردد، کل توان تلف شده ممکن است مستقیماً با استفاده از رابطه $P = 1/T\int_0^T (v^2/R)dt$ بدست آید، یا با جمع کردن قسمت‌های هر یک از اجزاء هارمونیک یعنی $P = P_1 + P_3 + P_5 + \ldots$، که ممکن است مستقیماً از مقادیر rms بدست آید. (راهنمایی: برای یک موج سینوسی $V_{rms} = V_{\text{نوک}}/\sqrt{2}$. درباره اینکه هر دو به یک نتیجه می‌رسند، تحقیق کنید. چه جزئی از انرژی یک موج مربعی، در فرکانس مبنای آن است؟ در اولین پنج هارمونیک آن؟ در اولین هفت هارمونیک آن؟ در اولین نه هارمونیک آن؟ در چه تعدادی از هارمونیکها ۹۰٪ انرژی وجود دارد؟ (توجه کنید که در شمار هارمونیکها، فرکانس مبنا در ω_0 اولین فرکانس آن است، فرکانس $2\omega_0$ دومین است و الی آخر).
جواب. ۰/۸۱؛ ۰/۹۳؛ ۰/۹۵؛ ۰/۹۶؛ ۳. ❑

۱-۳ سیگنالهای آنالوگ و دیجیتال

سیگنال نمایش داده شده در شکل (۲-۱) یک سیگنال **آنالوگ** نامیده می‌شود. این نام برآمده از این واقعیت است که چنین سیگنالی مشابه با سیگنال فیزیکی آن است. دامنه یک موج آنالوگ هر مقداری می‌تواند داشته باشد. به این معنی که دامنه یک سیگنال آنالوگ تغییرات ممتدی فراتر از محدوده عمل خود نشان می‌دهند. در دنیای اطراف ما، سیگنالها بیشتر از نوع آنالوگ هستند. در الکترونیک مدارهایی که چنین سیگنالهایی را

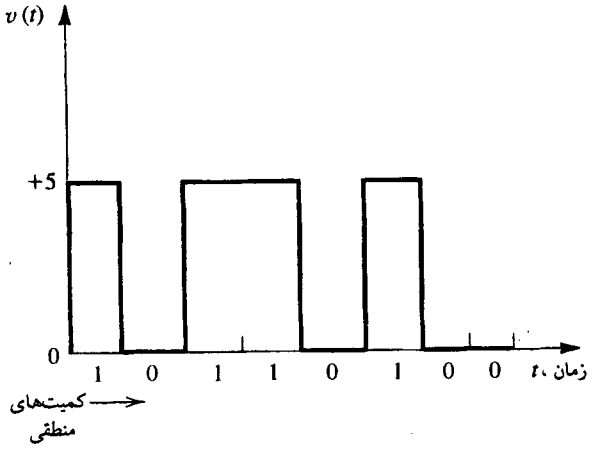


شکل ۷-۱. نمونه‌برداری سیگنال آنالوگ پیوسته با زمان (الف) منجر به سیگنال گسسته (ب) می‌شود.

پردازش می‌کنند، **مدارهای آنالوگ** نامیده می‌شوند. تعداد زیادی از مدارهای آنالوگ در کتاب شرح داده خواهد شد.

صورت دیگر سیگنال، حالتی است که از تعدادی سیگنال متوالی تشکیل می‌شود. هریک نمایانگر دامنه سیگنال در یک لحظه از زمان است. سیگنال بدست آمده را **سیگنال دیجیتال** می‌نامند. برای نمایش اینکه چگونه یک سیگنال می‌تواند به این صورت نمایش داده شود ـ یعنی، چگونه سیگنالها از صورت آنالوگ به دیجیتال در می‌آید، شکل (الف ۷ـ۱) را ملاحظه کنید. در اینجا منحنی سیگنالی را نشان می‌دهد که با سیگنال شکل (۲ـ۱) یکسان است. روی محور زمان فواصل مساوی را با t_0، t_1، t_2 و الی آخر علامت زده‌ایم. در هر یک از این فواصل زمانی، بزرگی سیگنال اندازه‌گیری شده است. این کار را نمونه‌برداری می‌نامند. شکل (ب ۷ـ۱) نمایشی از سیگنال شکل (الف۷ـ۱) را برحسب نمونه‌های آن، ارائه می‌کند. سیگنال شکل (ب۷ـ۱) فقط در فواصل نمونه مشخص شده‌اند. این سیگنال دیگر تابع پیوسته‌ای از زمان نیست، بلکه **سیگنالی ناپیوسته** است. البته چون اندازه هر سیگنال نمونه می‌تواند هر مقداری در یک گستره پیوسته داشته باشد، بنابراین سیگنال شکل (ب ۷ـ۱) هنوز یک سیگنال آنالوگ است.

اکنون چنانچه اندازه هر نمونه سیگنال در شکل (ب ۷ـ۱) را با عددی نشان دهیم که دارای تعداد محدودی از ارقام باشد، در آنصورت دامنه سیگنال دیگر پیوسته نخواهد بود. بلکه گفته می‌شود که این سیگنال **کوانتیزه، مجزا شده**، یا **دیجیتالی** (رقمی) شده است. در آنصورت سیگنال



شکل ۸-۱. تغییر یک سیگنال دودویی معین با زمان

دیجیتال بدست آمده بطور ساده ترتیبی از اعداد است که اندازه سیگنالهای متوالی نمونه را نشان می‌دهد. در مباحث بعدی این کتاب، مراحل نمونه‌گیری سیگنال بحث خواهد شد.

انتخاب سیستم عددی در نمایش نمونه سیگنال بر نوع سیگنال دیجیتالی بدست آمده اثر دارد و تأثیر قابل ملاحظه‌ای بر مدارهای دیجیتالی دارد که سیگنال‌ها را پردازش می‌کنند. به این معنی که سیستم عددی **دودویی** ساده‌ترین سیگنالها و مدارهای دیجیتالی را بدست می‌دهد. در سیستم دودویی، هر رقم تنها دو مقدار ۰ و ۱ را ممکن است داشته باشد. متناظر با آن، سیگنالهای دیجیتال در سیستم‌های دودویی تنها دو سطح ولتاژ ممکن است داشته باشند: پایین و بالا . به طور مثال، در مدارهای دیجیتالی این کتاب ، سطوح ولتاژ ۰V و ۵V+ می‌باشند. شکل ۸-۱ تغییر زمانی چنین سیگنال دیجیتالی را نشان می‌دهد. ملاحظه می‌کنید که شکل موج، قطاری از پالس با مقدار ۰V به نشانه سیگنال ۰ و منطق ۰ ، و مقدار ۵V+به نشانه منطق ۱ می‌باشد.

چنانچه هر نمونه سیگنال آنالوگ را با N رقم دودویی (بیت) نشان دهیم، مقدار نمونه دیجیتالی آن به صورت زیر بیان می‌شود.

$$D = b_0 2^0 + b_1 2^1 + b_2 2^2 + \dots + b_{N-1} 2^{N-1} \quad (۱-۳)$$

که در آن ، b_0، b_1، ... ، b_{N-1}، نشان دهنده Nبیت با مقادیر ۰ و ۱ می‌باشند. در اینجا b_0بیت دارای **کمترین ارزش** (LSB) ، و بیت b_{N-1}، بیت دارای **بیشترین ارزش** (MSB) است. بطور معمول، این عدد دودویی بصورت b_{N-1}، b_{N-2}، ... ، b_0 نوشته می‌شود. ملاحظه می‌کنیم که چنین نمایشی، نمونه آنالوگ را به یکی از سطوح 2^Nکوانتیزه می‌کند. بطور مسلم هر چه بیت‌ها بیشتر باشد (N بزرگتر باشد) ،کلمه دیجیتال D تقریب بهتری از نمونه آنالوگ است. یعنی افزایش تعداد بیت‌ها **خطای کوانتش** را کاهش و دقت تبدیل آنالوگ به دیجیتال را افزایش می‌دهد. البته این بهبود معمولاً با پیچیده‌تر کردن مدار و صرف هزینه زیادتر میسر می‌شود. در اینجا منظور بررسی عمیق‌تر این موضوع نیست بلکه می‌خواهیم به خواننده خاطر نشان کنیم که وضعیت سیگنالهای دیجیتال و آنالوگ را ارزیابی کند. با این وجود ، زمان مناسبی است که یک مدار بسیار مهم از دستگاههای الکترونیک جدید

شکل ۹-۱. نمودار کلی مبدل آنالوگ به دیجیتال (ADC)

یعنی **مبدل آنالوگ به دیجیتال** ADC (یا A/D) را معرفی کنیم. این مدار در شکل (۹-۱) به صورت یک بخش واحد نشان داده می‌شود. به ورودی ADC نمونه‌های سیگنال آنالوگ وارد می‌شود و به ازای هر نمونه ورودی مطابق شکل (۹-۱) در N پایانه خروجی، N بیت دیجیتالی ارائه می‌کند. به این ترتیب چنانچه ولتاژ ورودی ممکن است مثلاً ۶/۵۱V باشد، در هر پایانه خروجی (مثلاً، در پایانه iام) ولتاژ کم (۰V) یا زیاد (۵V) بدست خواهد آمد اگر b_i به ترتیب ۰ یا ۱ فرض شود. در فصل ۱۰ درباره ADC و مدار مبدل دیجیتال به آنالوگ (D/A یا DAC) بحث خواهیم کرد.

وقتی سیگنال به صورت دیجیتال است، بایستی با استفاده از مدارهای دیجیتال پردازش شود. البته مدارهای دیجیتال می‌توانند سیگنال‌هایی را نیز پردازش کنند که مبدأ آنالوگ ندارد مانند دستورات گوناگون یک کامپیوتر دیجیتال.

چون مدارهای دیجیتال منحصراً با سیگنال‌های دودویی کار می‌کنند، طراحی آنها ساده‌تر از مدارهای آنالوگ است. بعلاوه دستگاههای دیجیتال را می‌توان با بخش‌های مداری با تنوع کمتر طراحی کرد. البته، تعداد زیادی (صدها، هزارها و یا حتی میلیونها) بخش ممکن است لازم باشد. پس طراحی مدارهای دیجیتال مشکلات خاص خود را داراست، اما امکان ساخت قابل اعتماد و اقتصادی را فراهم کرده است که با مدارهای آنالوگ این کار انجام شدنی نمی‌باشد. در حال حاضر کار پردازش سیگنال تا جای ممکن بصورت دیجیتالی صورت می‌گیرد. نمونه‌های زیادی در اطراف ما وجود دارد: از ساعت مچی دیجیتال و ماشین حساب تا دستگاههای صوتی دیجیتال و به زودی تلویزیون دیجیتال. علاوه بر اینها بعضی از دستگاههای آنالوگ دیرپا مانند دستگاههای مخابرات تلفنی اکنون کاملاً دیجیتالی شده‌اند و از مهمترین دستگاه تمام دیجیتال، کامپیوتر دیجیتال، نباید فراموش کرد.

پایه‌ای‌ترین بخش در دستگاههای دیجیتال، مدارهای منطقی و مدارهای حافظه هستند. در این کتاب هر دو نوع آن را بررسی خواهیم کرد که در بخش ۷-۱ با پایه‌ای‌ترین مدار دیجیتال یعنی وارونگر دیجیتال شروع خواهیم کرد.

تذکر پایانی: اگر چه پردازش دیجیتالی سیگنالها در حال حاضر فراگیرند و سهم بیشتری دارند، امّا هنوز پردازشهایی وجود دارند که با مدارهای آنالوگ بهتر انجام می‌شود. به همین دلیل، بسیاری از دستگاههای الکترونیک شامل هر دو قسمت آنالوگ و دیجیتال هستند. با توجه به آنچه آمد، یک مهندس الکترونیک کارآمد بایستی در طراحی هر دو نوع مدار دیجیتال و آنالوگ مهارت کافی داشته باشد. با چنین هدفی مطالب کتاب ارائه می‌گردد.

تمرین

۴-۱ کلمه ۴ بیتی دیجیتالی $D = b_3 b_2 b_1 b$ (با توجه به معادله ۳-۱) را در نظر بگیرید که برای نمایش سیگنال آنالوگ v_A استفاده می‌شود. این سیگنال بین ۰ تا ±۵V تغییر می‌کند.

(الف) D را متناسب با ۱۵V، ۲V، ۱V، ۰V = v_A تعیین کنید.

(ب) چه تغییری در v_A موجب تغییر ۰ تا ۱ می‌شود در $b_0(i)$، $b_1(ii)$، $b_2(iii)$، $b_3(iv)$؟

(پ) اگر $v_A = 5/2$V باشد. D مورد انتظار چیست؟ خطای بدست آمده در نمایش چیست؟

جواب. (الف) ۰۰۰۰، ۰۰۰۱، ۰۰۱۰، ۱۱۱۱ (ب) ۱V+، ۲V+، ۴V+، ۸V+ (پ) ۰۱۰۱، ۴-% ❑

۴-۱ تقویت‌کننده‌ها

در این بخش یک کار اساسی در زمینه پردازش سیگنال را توضیح می‌دهیم که به شکلهای مختلف در یک سیستم الکترونیک انجام می‌شود. این کار عبارت از تقویت‌کنندگی است.

تقویت‌کنندگی سیگنال

در یک برخورد، عمل **تقویت‌کنندگی سیگنال** ساده‌ترین کار در پردازش سیگنال است. چون، مبدلها سیگنالهای ضعیفی بدست می‌دهند که انرژی کمی دارند و دامنه آنها حدود میکروولت (μV) یا میلی‌ولت (mV) است، بنابراین به تقویت نیاز دارند. چنین سیگنالهای کوچکی برای پردازش مناسب نیستند. چنانچه دامنه آنها بزرگتر شود، عمل پردازش آنها بسیار آسانتر صورت می‌گیرد. قسمتی که چنین کاری را انجام می‌دهد، **تقویت‌کننده سیگنال** نامیده می‌شود.

در اینجا در باره ضرورت **خطی بودن** تقویت‌کننده‌ها بحث می‌کنیم. هنگام تقویت یک سیگنال، باید توجه شود که اطلاعات سیگنال تغییر نکند و به آن نیز افزوده نگردد. مادامیکه سیگنال شبیه به آنچه در شکل (۲-۱) نشان داده شد به یک تقویت‌کننده اعمال گردد می‌خواهیم سیگنال خروجی تقویت‌کننده، نسخه‌ای دقیق از سیگنال ورودی ولی تقویت شده آن باشد. به عبارت دیگر، نوسانات شکل موج خروجی عیناً نوسانات شکل موج ورودی باشد. هر تغییری در شکل موج خروجی **اعوجاج** محسوب می‌شود و نامطلوب است.

تقویت‌کننده‌ای که جزئیات شکل موج سیگنال را به خوبی تقویت می‌کند با رابطه زیر مشخص می‌شود:

$$v_o(t) = Av_i(t) \qquad (۱-۴)$$

که در آن v_i و v_o سیگنالهای ورودی و خروجی و A ثابتی است که اندازه تقویت‌کنندگی را نشان می‌دهد و **بهره تقویت** نامیده می‌شود. معادله (۴-۱) یک معادله خطی است و تقویت‌کننده‌ای که با آن توصیف می‌شود

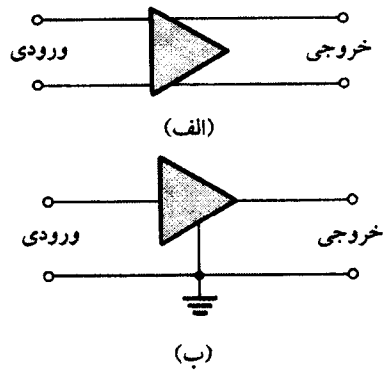
تقویت‌کننده خطی است. واضح است که اگر نسبت بین v_o و v_i شامل توانهای بالاتر v_i باشد، در آنصورت شکل موج v_o دیگر همانند v_i نخواهد بود. چنین تقویت‌کننده‌ای دارای **اعوجاج غیر خطی** می‌باشد.

تقویت‌کننده‌هایی که در باره آنها اشاره شد، در وهله نخست سیگنالهای کوچک ورودی را تقویت می‌کنند و منظور از بکارگیری آنها بزرگتر کردن دامنه سیگنال و بنابراین استفاده از تقویت کننده به مثابه **تقویت‌کننده ولتاژ** است. **تقویت‌کننده مقدماتی** در دستگاههای استریوی خانگی یک نمونه تقویت‌کننده ولتاژ است. البته این نوع تقویت‌کننده غیر از تقویت‌کنندگی ویژگیهای دیگری نیز دارد که در اینجا مورد بحث ما نمی‌باشد.

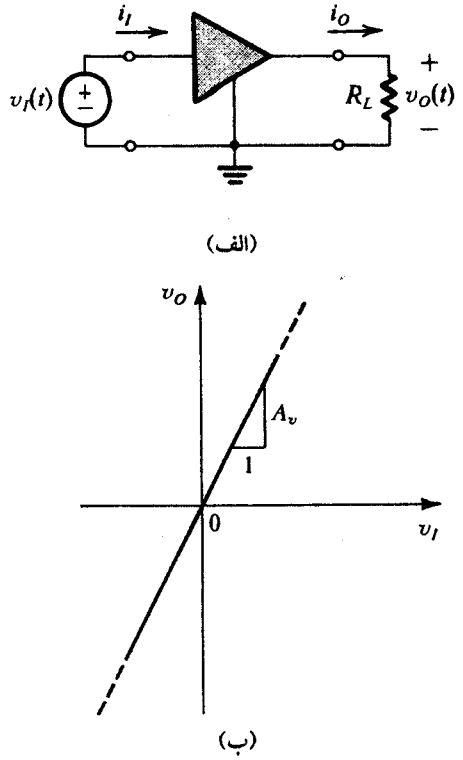
اکنون در باره نوع دیگری تقویت‌کننده موسوم به تقویت‌کننده توان سخن می‌گوییم. این تقویت‌کننده، بهره ولتاژ ناچیز اما بهره جریان قابل ملاحظه دارد. به این ترتیب، در حالیکه توان اندکی از منبع سیگنال ورودی (که اغلب یک تقویت‌کننده مقدماتی است) دریافت می‌کند، توان قابل ملاحظه‌ای به بار خروجی تحویل می‌دهد. تقویت‌کننده توان در دستگاههای استریوی خانگی یک نمونه از این گونه تقویت‌کننده است و توان لازم برای راه‌اندازی بلندگو را تهیه می‌کند. خاطرنشان می‌کنیم که بلندگو، مبدل‌نهایی در دستگاههای استریو است و سیگنال الکتریکی خروجی دستگاه را به یک سیگنال صوتی تبدیل می‌کند.

نماد مدار تقویت‌کننده

تقویت کننده سیگنال یک شبکه دودرگاهی است. کار آن بوسیله مدار شکل (الف ۱۰-۱) نمایش داده شده است. این مدار بوضوح درگاهی‌های ورودی و خروجی را متمایز کرده و جهت شارش جریان را نشان می‌دهد. بنابراین، در نمودارهای بعدی، لازم است که این دودرگاهی را "ورودی" و "خروجی" نامگذاری کنیم. عموماً تقویت کننده را با دو پایانه در ورودی و دو پایانه مجزا در خروجی نشان می‌دهیم. ولی وضعیت متداولتر آن در شکل (ب ۱۰-۱) نشان داده شده که دارای یک پایانه مشترک بین پایانه‌های ورودی و خروجی تقویت کننده‌ها است. این پایانه مشترک، نقطه مبنای مدار بوده و **زمین مدار** نامیده می‌شود.



شکل ۱۰-۱. (الف) نماد مداری تقویت‌کننده (ب) تقویت‌کننده با پایانه مشترک (زمین) بین نقاط ورودی و خروجی



شکل ۱۱-۱. (الف) یک تقویت کنندهٔ ولتاژ که سیگنال $v_I(t)$ به آن اعمال می‌شود و به بار R_L متصل شده است. (ب) مشخصه انتقالی تقویت کنندهٔ ولتاژ خطی با بهرهٔ ولتاژ A_v

بهره ولتاژ

یک تقویت‌کننده خطی، سیگنال ورودی $v_I(t)$ را دریافت می‌کند و در خروجی، در دو سر مقاومت بار R_L (شکل الف ۱۱-۱ را ملاحظه کنید)، سیگنال خروجی $v_O(t)$ را بدست می‌دهد که نسخه بزرگ شده‌ای از $v_I(t)$ است. **بهره ولتاژ** تقویت‌کننده با رابطه زیر تعیین می‌شود:

$$\text{بهره ولتاژ } (A_v) \equiv \frac{v_o}{v_I} \qquad (۱-۵)$$

شکل (ب ۱۱-۱) **مشخصه انتقال** یک تقویت‌کننده خطی را نشان می‌دهد. چنانچه به ورودی تقویت‌کننده یک ولتاژ سینوسی با دامنه $\hat{V}$ بدهیم، در خروجی ولتاژی سینوسی شکل با دامنه $A_v\hat{V}$ بدست می‌آوریم.

بهره توان و بهره جریان

یک تقویت‌کننده، توان سیگنال را نیز افزایش می‌دهد؛ و این مشخصه‌ای است که تفاوت بین تقویت‌کننده و ترانسفورمر را نمایان می‌کند. در یک ترانسفورمر، اگر چه ولتاژ تحویل شده به مقاومت بار می‌تواند بزرگتر از ولتاژ اعمال شده به ورودی آن (اولیه‌اش) باشد، اما توان تحویل شده به مقاومت بار کمتر یا حداکثر برابر با توان ورودی به اولیه آن است. در حالیکه، یک تقویت‌کننده، به مقاومت بار توانی می‌دهد، بزرگتر از آنچه دریافت داشته است، به این ترتیب، تقویت‌کننده‌های دارای بهره توان هستند. بهره توان تقویت‌کنندهٔ شکل (الف ۱۱-۱) با رابطه زیر معین

می‌شود:

$$\text{بهره توان}\,(A_p) \equiv \frac{\text{توان بار}\,(P_L)}{\text{توان ورودی}\,(P_I)} \qquad (۱-۶)$$

$$= \frac{v_O\, i_O}{v_I\, i_I} \qquad (۱-۷)$$

که در آن i_O جریان تحویلی به بار (R_L)، $i_O = v_O / R_L$ است و i_I جریانی است که تقویت‌کننده از منبع سیگنال دریافت می‌کند. بهره جریان تقویت‌کننده به صورت زیر تعیین می‌گردد.

$$\text{بهره جریان}\,(A_i) \equiv \frac{i_O}{i_I} \qquad (۱-۸)$$

از معادلات (۱-۵) تا (۱-۸) نتیجه می‌شود که

$$A_p = A_v A_i \qquad (۱-۹)$$

بیان بهره برحسب دسی بل

در بهره‌های تقویت‌کننده که در بالا توضیح داده شد، کمیت‌ها بدون بعد و مشابه هستند. از اینرو، با اعداد بدون بعد و یا حداکثر بصورت V/V برای بهره ولتاژ، A/A برای بهره جریان، و W/W برای بهره توان بیان می‌شوند. از سوی دیگر، بدلایل بسیاری، که برخی از آنها دلایل تاریخی‌اند، مهندسان الکترونیک بهره تقویت‌کنندها را با مقیاس لگاریتمی بیان می‌کنند. در این خصوص، بهره ولتاژ A_v به صورت زیر بیان می‌شود:

$$\text{بهره ولتاژ بر حسب دسی‌بل} = ۲۰ \log|A_v| \ \text{dB}$$

و بهره جریان A_i به این صورت بیان می‌گردد:

$$\text{بهره جریان بر حسب دسی‌بل} = ۲۰ \log|A_i| \ \text{dB}$$

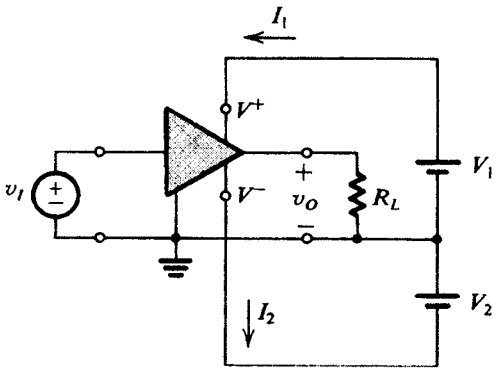
از آنجا که توان با مربع ولتاژ (یا جریان) نسبت دارد، بهرهٔ توان A_P برحسب دسی‌بل به صورت زیر بیان می‌شود:

$$\text{بهره توان بر حسب دسی‌بل} = ۱۰ \log A_P \ \text{dB}$$

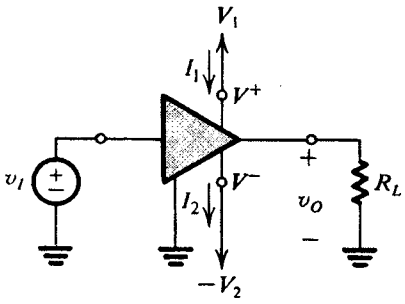
از قدر مطلق بهره‌های ولتاژ و جریان استفاده می‌شود زیرا در بسیاری موارد، A_v یا A_i ممکن است اعداد منفی باشند. بهره منفی A_v به طور ساده به مفهوم آن است که ۱۸۰ درجه اختلاف فاز بین سیگنالهای ورودی و خروجی وجود دارد؛ و این به معنی آن نیست که تقویت‌کننده سیگنال را تضعیف کرده است. از سوی دیگر، تقویت‌کننده‌ای که بهره ولتاژش مثلاً ۲۰- dB است، در حقیقت سیگنال ورودی را با ضریب ۱۰ (که در آن $A_v = ۰/۱$ V/V است)، تضعیف کرده است.

منابع تغذیه تقویت‌کننده

چون توانی که تقویت‌کننده به بار می‌دهد بیشتر از توانی است که از منبع سیگنال دریافت داشته است، از اینرو این پرسش مطرح می‌شود که سرچشمه توان اضافی کجاست، پاسخ آن زمانی دریافت می‌شود که در نظر بیاوریم که تقویت‌کننده‌ها برای کار خود به منابع ولتاژ dc نیاز دارند.



(الف)



(ب)

شکل ۱۲-۱. تقویت‌کننده‌ای که برای کار نیاز به دو منبع تغذیهٔ dc دارد.

منابع ولتاژ dc، توان اضافی تحویل شده به بار را تأمین می‌کند. علاوه براین، هر توانی که در مدار داخلی تقویت‌کننده تلف شود (نظیر توان تبدیل شده به گرما)، به وسیله همین منبع ولتاژ dc تأمین می‌شود. در شکل (الف ۱۱-۱) منبع dc تقویت‌کننده بوضوح نشان داده نشده است.

در شکل (الف ۱۲-۱) تقویت‌کننده‌ای ملاحظه می‌شود که دارای دو منبع dc است، یک منبع ولتاژ مثبت با مقدار V_1 و دیگری منبع ولتاژ منفی با مقدار V_2. این تقویت‌کننده دارای دو پایانه به نامهای V^+ و V^- است که به منابع dc متصل می‌شود. برای آنکه تقویت‌کننده کار کند، باید پایانه V^+ به قطب مثبت منبع dc ولتاژ V_1 وصل شود و در همانحال قطب منفی به زمین مدار متصل گردد. همچنین، پایانه V^- باید به قطب منفی منبع ولتاژ dc وصل شود و در همانحال قطب مثبت به زمین مدار متصل گردد. اکنون، اگر بنابر شکل (الف ۱۲-۱)، جریان کشیده شده از منبع مثبت با I_1 و جریان کشیده شده از منبع منفی، با I_2 مشخص شود، در اینصورت توان dc تحویلی به تقویت‌کننده از رابطه زیر بدست می‌آید:

$$P_{dc} = V_1 I_1 + V_2 I_2$$

اگر توان تلف شده در مدار تقویت‌کننده با "تلف شده P" نمایش داده شود، معادله توان موازنه برای تقویت‌کننده چنین است:

$$P_{dc} + P_I = P_L + P_{\text{تلف شده}}$$

چون توان دریافتی از منبع سیگنال معمولاً کوچک می‌باشد، **بازدهی** تقویت‌کننده به این صورت تعریف می‌شود

$$\eta \equiv \frac{P_L}{P_{dc}} \times ۱۰۰ \qquad (۱-۱۰)$$

بازدهی توان یکی از مهمترین شاخصه‌های تقویت‌کننده‌هایی است که توان زیادی به دست می‌دهند. چنین تقویت‌کننده‌هایی تقویت‌کننده‌های توان نامیده می‌شوند و بطور مثال، به عنوان تقویت‌کننده‌های خروجی در سیستمهای استریو استفاده می‌شود.

به منظور ساده کردن مدار تقویت‌کننده، علائم نمایشی داده شده در شکل (ب ۱۲-۱) را می‌پذیریم. در این شکل، پایانه V^+ به پیکانی وصل شده است که سوی بالا را نشان می‌دهد و پایانه V^- به پیکانی وصل گشته است که سوی پایین را نشان می‌دهد. در مجاورت هر پیکان، ولتاژ مربوطه مشخص شده است. توجه کنید که در موارد بسیار، ارتباط تقویت‌کننده، با منابع توان dc به وضوح نشان داده نمی‌شود. بعلاوه چنانکه خواهیم دید، بسیاری از تقویت‌کننده‌ها فقط دارای یک منبع تغذیه dc می‌باشند.

مثال ۱-۱

فرض کنید تقویت‌کننده‌ای با منابع تغذیه ± 10 V کار می‌کند. این تقویت‌کننده ولتاژی سینوسی با دامنهٔ ۱ V نوک دریافت می‌کند و در خروجی، ولتاژی برابر با ۹ V نوک به یک بار ۱ kΩ می‌دهد. تقویت‌کننده از منبع مثبت جریانی برابر با ۱ mA و از منبع منفی ۹/۵mA مصرف می‌کند. جریان ورودی تقویت‌کننده سینوسی‌شکل با مقدار نوک ۰/۱ mA است. بهره ولتاژ، بهره جریان، بهره توان دریافتی از منابع dc، توان تلف شده در تقویت‌کننده، و بازدهی تقویت را حساب کنید.

حل:

$$A_v = \frac{۹}{۱} = ۹ \text{ V/V}$$

یا

$$A_v = ۲۰\log ۹ \cong ۱۹/۱ \text{ dB}$$

$$\hat{I}_o = \frac{۹ \text{ V}}{۱ \text{ k}\Omega} = ۹ \text{ mA}$$

$$A_i = \frac{\hat{I}_o}{\hat{I}_i} = \frac{۹}{۰/۱} = ۹۰ \text{ A/A}$$

یا

$$A_i = ۲۰\log ۹۰ = ۳۹/۱ \text{ dB}$$

$$P_L = V_{\text{orms}} I_{\text{orms}}$$

$$= \frac{۹}{\sqrt{۲}} \frac{۹}{\sqrt{۲}} = ۴۰/۵ \text{ mW}$$

$$P_I = V_{\text{irms}} I_{\text{irms}} = \frac{۱}{\sqrt{۲}} \frac{۰/۱}{\sqrt{۲}} = ۰/۰۵ \text{ mW}$$

$$A_p = \frac{P_L}{P_I} = \frac{۴۰/۵}{۰/۰۵} = ۸۱۰ \text{ W/W}$$

یا

$$A_p = ۱۰\log ۸۱۰ = ۲۹/۱ \text{ dB}$$

$$P_{\text{dc}} = ۱۰ \times ۹/۵ + ۱۰ \times ۹/۵ = ۱۹۰ \text{ mW}$$

$$P_{\text{تلف شده}} = P_{\text{dc}} + P_I - P_L$$

$$= ۱۹۰ + ۰/۰۵ - ۴۰/۵ = ۱۴۹/۶ \text{ mW}$$

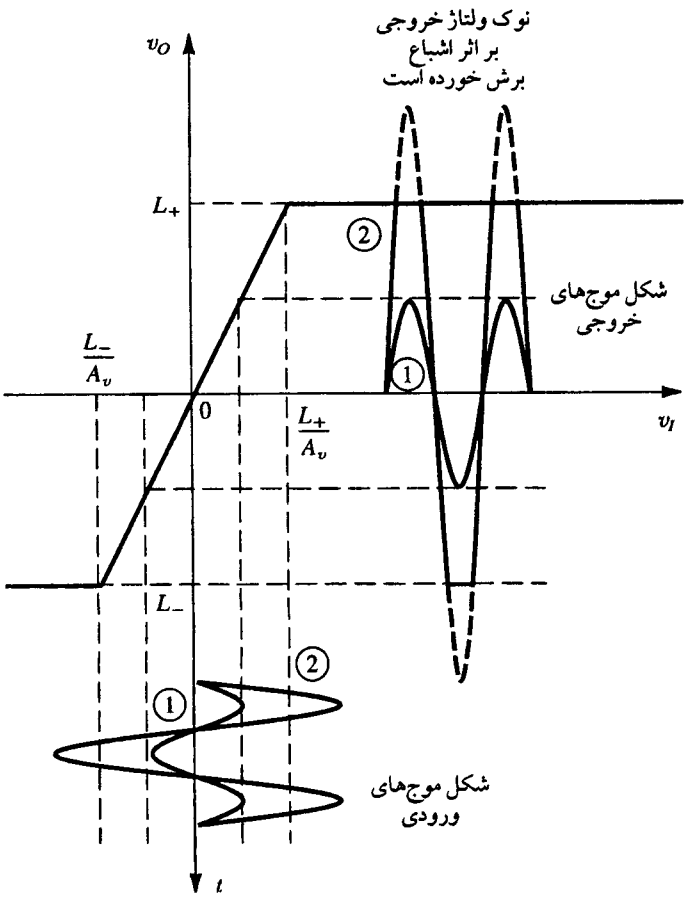
$$\eta = \frac{P_L}{P_{\text{dc}}} \times ۱۰۰ = ۲۱/۳\%$$

از مثال بالا در می‌یابیم که تقویت‌کننده بخشی از توان dc دریافتی از منبع تغذیه را به توان سیگنال تبدیل می‌کند که به بار تحویل می‌شود.

اشباع تقویت‌کننده

مشخصه انتقال تقویت‌کننده تنها در محدوده مشخصی از ولتاژهای ورودی و خروجی خطی می‌ماند. در تقویت‌کننده‌ای که با دو منبع تغذیه کار می‌کند، ولتاژ خروجی نمی‌تواند از مقدار مثبت معینی بیشتر و از مقدار منفی معینی کمتر شود. مشخصه انتقال بدست آمده در شکل (۱۳-۱) نشان داده شده است. سطح‌های مثبت و منفی اشباع، به ترتیب با L_- و L_+ نشان داده شده است. هر یک از دو سطح اشباع معمولاً بین ۱ یا ۲ ولت از ولتاژ منبع تغذیه مربوطه قرار دارد.

بطور مسلم، برای پیشگیری از بروز اعوجاج در شکل موج سیگنال خروجی، نوسان سیگنال ورودی بایستی در محدوده خطی کار



شکل ۱۳-۱. مشخصه انتقالی یک تقویت‌کننده که بغیر از اشباع خروجی در سایر نقاط خطی است.

تقویت‌کننده قرار داشته باشد.

$$\frac{L_-}{A_v} \le v_I \le \frac{L_+}{A_v}$$

شکل (۱۳-۱)، دو شکل موج ورودی و شکل موجهای خروجی مربوط به آنها را نشان می‌دهد. توجه کنید که نوکهای شکل موج بزرگتر به دلیل اشباع تقویت‌کننده برش خورده است.

مشخصه‌های انتقال غیرخطی و بایاس کردن آن

به غیر از آنچه در بارهٔ اشباع خروجی در بالا گفته شد، فرض بر این بوده است که مشخصهٔ انتقال کاملاً خطی است. مشخصه انتقال در تقویت‌کننده‌های عملی ممکن است مقادیر متفاوتی باشد، اما میزان غیرخطی بودن به کیفیت طرح مدار تقویت‌کننده و به تلاشی بستگی دارد که طراح برای خطی بودن کار تقویت‌کننده صرف می‌کند. بطور نمونه، مشخصه انتقال ترسیم شده در شکل (۱۴-۱) را ملاحظه کنید. چنین مشخصه‌ای بطور معمول مربوط است به تقویت‌کننده‌های ساده‌ای که فقط از یک منبع تغذیه (مثبت) استفاده می‌کنند. این مشخصه غیر خطی است و به علت کار با منبع تغذیه منفرد، حول مبدأ مرکزیت ندارد. خوشبختانه، روش ساده‌ای وجود دارد که به کمک آن از تقویت‌کننده‌ای با چنین مشخصهٔ غیر خطی، تقویت‌کننده‌ای خطی بوجود آید.

این روش، در وهله اول شامل **تغذیه** یا **بایاس** است تا در نقطه‌ای نزدیک به مرکز مشخصه انتقال عمل کند. این کار همانگونه که در شکل (۱۴-۱) ملاحظه می‌شود با اعمال ولتاژ dc (V_I) انجام می‌شود. نقطه کار با Q مشخص شده و ولتاژ dc متناسب با آن در خروجی V_O است. نقطه Q را **نقطه ساکن** (quiescent)، **نقطه بایاس** dc، یا بطور ساده **نقطه کار** می‌نامیم. همانگونه که در شکل (۱۴-۱) نشان داده شده است، سیگنال $v_i(t)$ که بایستی تقویت شود روی ولتاژ dc تغذیه V_I قرار گرفته است. در اینصورت مجموع ولتاژهای ورودی لحظه‌ای $v_I(t)$:

$$v_I(t) = V_I + v_i(t)$$

حول V_I تغییر می‌کند. نقطه کار لحظه‌ای، منحنی مشخصه را حول نقطه کار Q بالا و پایین می‌برد. به این ترتیب، می‌توان شکل موج مجموع ولتاژ خروجی لحظه‌ای $v_O(t)$ را تعیین کرد. ملاحظه می‌شود که با کوچک نگهداشتن دامنه $v_i(t)$ به قدر کافی، نقطه کار لحظه‌ای برای قسمت تقریباً خطی منحنی مشخصه با مرکزیت Q، محدود می‌گردد. این به نوبه خود باعث می‌شود تا قسمت متغیر خروجی با $v_i(t)$ متناسب باشد. یعنی

$$v_O(t) = V_O + v_o(t)$$

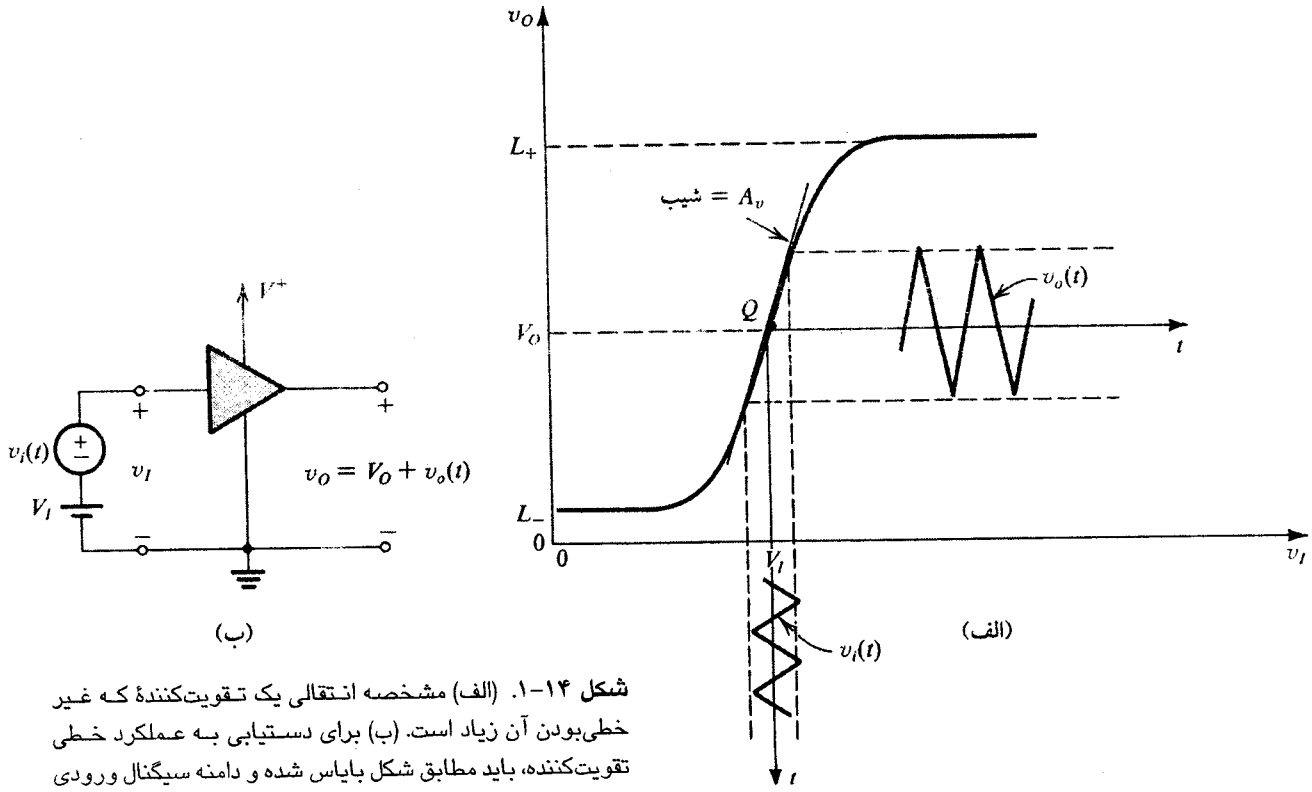
با

$$v_o(t) = A_v v_i(t)$$

که در آن A_v شیب تقریباً خطی منحنی مشخصه است؛ یعنی

$$A_v = \left.\frac{dv_O}{dv_I}\right|_{\text{در } Q}$$

به این صورت تقویت‌کنندگی انجام می‌شود. البته این محدودیت وجود دارد که: سیگنال ورودی باید به قدر کافی کوچک نگهداشته شود. افزایش دامنه سیگنال ورودی سبب می‌شود تا کار تقویت‌کننده از قسمت خطی منحنی انتقال فراتر برود. این به نوبه خود یک شکل موج دارای اعوجاج از سیگنال خروجی بدست می‌دهد. چنین اعوجاج غیرخطی‌ای مطلوب نیست: سیگنال خروجی شامل اطلاعات نادرست اضافی است که



شکل ۱۴-۱. (الف) مشخصه انتقالی یک تقویت‌کنندهٔ که غیر خطی‌بودن آن زیاد است. (ب) برای دستیابی به عملکرد خطی تقویت‌کننده، باید مطابق شکل بایاس شده و دامنه سیگنال ورودی کوچک نگهداشته شود.

جزئی از ورودی نمی‌باشد. از این روش تغذیه و نیز **تقریب سیگنال کوچک مرتبط با آن در طراحی** تقویت‌کننده‌های ترانزیستوری استفاده می‌کنیم.

مثال ۲-۱

منحنی مشخصه یک تقویت‌کننده ترانزیستوری بگونه‌ای است که:

$$v_O = ۱۰ - ۱۰^{-۱۱}\, e^{۴۰ v_I} \qquad (۱-۱۱)$$

که برای $v_I \geq ۰$ V و $v_O \geq ۰/۳$ V بکار می‌رود. حدود L_- و L_+ و مقادیر متناسب با v_I را بیابید. همچنین، اندازهٔ V_I، ولتاژ تغذیهٔ dc را که $V_O = ۵$ V را نتیجه می‌دهد و بهرهٔ ولتاژ را در نقطهٔ کار مربوطه پیدا کنید.

حل:

واضح است که حد L_-، ۰/۳ V می‌باشد. مقدار مناسب v_I با جانشینی $v_O = ۰/۳$ V در معادله (۱-۱۰) بدست می‌آید: یعنی

$$v_I = ۰/۶۹۰ \text{ V}$$

حد L_+ بوسیله $v_I = ۰$ تعیین می‌شود و بوسیله رابطهٔ زیر بدست می‌آید:

$$L_+ = ۱۰ - ۱۰^{-۱۱} \cong ۱۰ \text{ V}$$

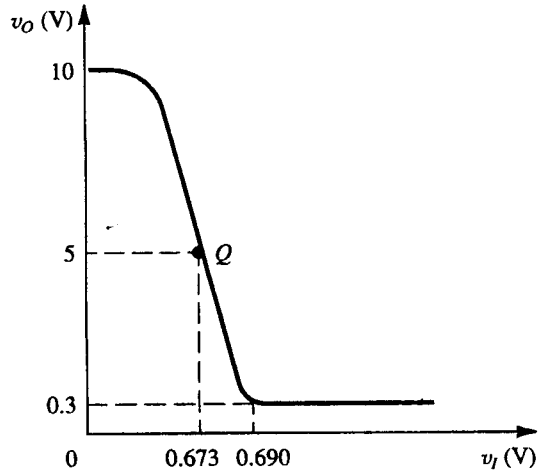
برای آنکه قطعه بایاس شود و $V_O = ۵$ V گردد به ولتاژ dc ورودی V_I نیاز است که از جانشینی $v_O = ۵$ V در معادله (۱-۱۳) به صورت زیر بدست می‌آید:

$$V_I = ۰/۶۷۳ \text{ V}$$

از محاسبه مشتق dv_O/dv_I در $v_I = ۰/۶۷۳$ V، بهره در نقطه کار بدست می‌آید. در نتیجه

$$A_v = -۲۰۰ \text{ V/V}$$

طرحی از مشخصه انتقال تقویت‌کننده (بدون مقیاس) در شکل (۱-۱۵) نشان داده شده است.

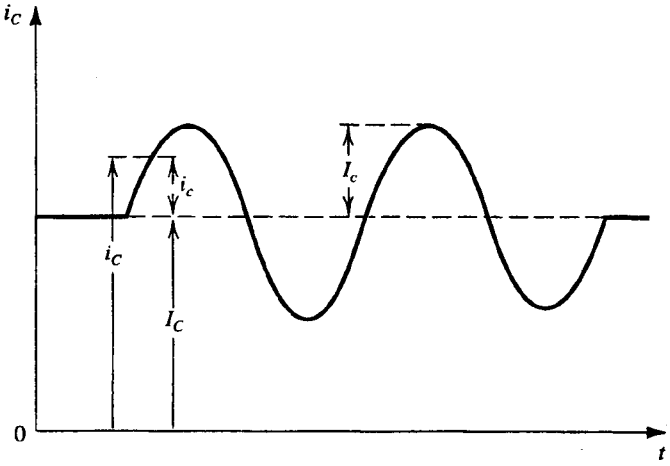


شکل ۱۵-۱. طرحی از مشخصه انتقال تقویت‌کننده مثال ۲-۱. توجه کنید که این تقویت کننده وارونگر است (یعنی دارای بهره منفی است).

وقتی یک تقویت‌کننده بطور صحیح بایاس می‌شود و سیگنال ورودی به قدر کافی کوچک نگهداشته می‌شود، تصور آن است که کار آن خطی خواهد بود. در آنصورت از روش‌های تحلیل خطی مدار برای تجزیه و تحلیل نحوه عمل مدار تقویت‌کننده استفاده می‌شود. باقیمانده این فصل، در باره تکنیکهای تحلیل و کاربرد آن بحث و مرور خواهد شد.

علائم قراردادی

اکنون درباره اصطلاحات و نمادهای استفاده شده در بالا توضیحاتی داده می‌شود. کمیت‌های لحظه‌ای با حروف کوچک و اندیس بزرگ مشخص می‌شوند مثل $i_A(t)$، $v_C(t)$. کمیتهای جریان مستقیم (dc) بوسیله یک حرف الفبای بزرگ و اندیس کوچک مشخص می‌گردد، مثل I_A و V_C. سرانجام کمیت‌های سیگنال افزایشی بایک حرف الفبای کوچک و اندیس کوچک مثال $i_a(t)$، $v_c(t)$ مشخص می‌شود. این علائم در شکل ۱۶-۱ نشان داده شده است



شکل ۱۶-۱. علائم قراردادی استفاده شده در این کتاب

تمرینها

۱-۵ تقویت‌کننده‌های دارای بهره ولتاژ ۱۰۰ V/V و بهره جریان ۱۰۰۰ A/A است، بهره ولتاژ و جریان را برحسب دسی بل بیان کنید و بهره توان را محاسبه کنید.

جواب. ۴۰dB ؛ ۶۰dB ؛ ۵۰dB .

۱-۶ تقویت‌کننده‌ای که با یک منبع تغذیه منفرد ۱۵ V کار می‌کند، سیگنالی با دامنه ۱۲ V نوک تا نوک را به یک بار ۱ kΩ می‌دهد و از منبع سیگنال جریان ناچیز و قابل اغماض را دریافت می‌کند. جریان dc دریافتی از منبع تغذیه ۱۵ V ، برابر با ۸ میلی‌آمپر است. توان تلف شده در تقویت‌کننده و بازده تقویت‌کننده چقدر است؟

جواب. ۱۰۲ mW ؛ ۱۵%

۱-۷ هدف از این تمرین بررسی محدودیت تقویت سیگنال کوچک است. تقویت‌کننده مثال ۲-۱ را با یک سیگنال ورودی و مثبت در نظر بگیرید که روی ولتاژ بایاس dc ، V_I قرار گرفته است، سیگنال مناسب را در

خروجی پیدا کنید.
(الف) فرض کنید تقویت‌کننده حول نقطه کار، خطی است. یعنی از مقدار بهره یاد شده در مثال ۲-۱ استفاده کنید.
(ب) از منحنی مشخصه تقویت‌کننده استفاده کنید. برای سیگنالهای ورودی ۵ mV و ۱۰ mV تکرار کنید.
جواب. ۰/۲V- ؛ ۰/۲۰۴V- ؛ ۱V- ؛ ۱/۱۰۷V- ؛ ۲ V- ؛ ۲/۴۵۹V- ❑

۵-۱ مدلهای مداری تقویت‌کننده

قسمت قابل توجهی از این کتاب به طراحی مدارات تقویت‌کننده اختصاص دارد که در آن از انواع مختلف ترانزیستور استفاده شده است. چنین مداراتی دارای پیچیدگی‌های متفاوتی خواهند بود از مدارات یک ترانزیستوری گرفته تا آن دسته که از ۲۰ قطعه یا بیشتر استفاده می‌کنند. برای آنکه بتوان مدار تقویت‌کننده حاصل شده را به مثابه یک آجر ساختمان در یک دستگاه در نظر گرفت، باید آن را مدل‌سازی کرده و رفتار پایانه‌هایش را مشخص کرد. در این بخش ، مدلهای ساده ولی موثر تقویت‌کننده بررسی می‌شوند. از این مدلها استفاده می‌شود بی‌آنکه پیچیدگیهای مدار داخلی آنها در نظر گرفته شود. مقادیر مشخصه‌های مدل می‌تواند با تحلیل مدار تقویت‌کننده یا انجام سنجشها در پایانه‌های تقویت‌کننده ملاحظه گردد.

تقویت‌کننده‌های ولتاژ

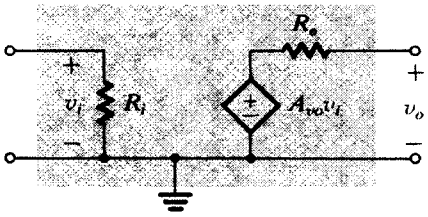
شکل (الف ۱۷-۱) یک مدل از مدار تقویت‌کننده نشان می‌دهد. این مدل شامل یک منبع ولتاژ (دارای کنترل) با ضریب بهره A_{vo}است، یک مقاومت ورودی R_i دارد با توجه به اینکه تقویت‌کننده یک جریان ورودی از منبع سیگنال دریافت می‌کند و نیز دارای یک مقاومت خروجی R_o با توجه به تغییر در ولتاژ خروجی است. تقویت‌کننده جریان خروجی را برای بار تهیه می‌کند. برای روشن شدن مطالب گفته شده شکل (ب ۱۴-۱) نشان داده شده است. مدل تقویت‌کننده بوسیله منبع ولتاژ سیگنال v_s با مقاومت R_s تغذیه شده است و به خروجی با مقاومت بار R_L اتصال دارد. مقاومت غیر صفر R_o موجب می‌شود تا تنها کسری از $A_{vo}v_i$ در دو سر خروجی ظاهر گردد. با استفاده از قانون تقسیم ولتاژ بدست می‌آوریم:

$$v_o = A_{vo}v_i \frac{R_L}{R_L+R_o}$$

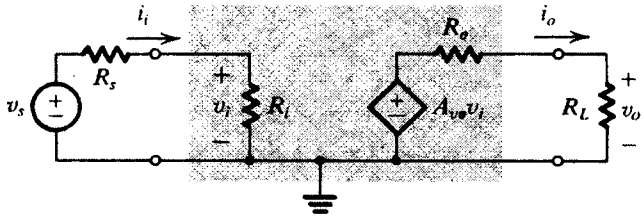
به این ترتیب، بهره ولتاژ با رابطه زیر بدست می‌آید.

$$A_v \equiv \frac{v_O}{v_i} = A_{vo} \frac{R_L}{R_L+R_o} \qquad (۱-۱۲)$$

از این رابطه نتیجه می‌شود که برای آنکه هنگام انتقال خروجی تقویت‌کننده به یک بار اتلاف بهره بوجود نیاید، مقاومت خروجی R_o باید خیلی کوچکتر از مقاومت بار R_L باشد. به بیان دیگر ، با یک مقاومت بار (R_L) معین، طراحی تقویت‌کننده باید طوری باشد که R_o خیلی کوچکتر از R_L گردد. در یک تقویت کننده ولتاژ آرمانی، $R_o = 0$ است. معادله



(الف)



(ب)

شکل ۱۷-۱. (الف) مدل مداری برای تقویت‌کنندهٔ ولتاژ
(ب) تقویت‌کنندهٔ ولتاژ با منبع سیگنال ورودی و مقاومت بار

(۱-۱۱) بیانگر آنست که وقتی $R_L = \infty$ باشد، $A_v=A_{vo}$ است. از اینرو A_{vo} بهره ولتاژ تقویت‌کننده بدون بار یا بهره ولتاژ مدار باز است. بعلاوه واضح است که به منظور تعیین بهره ولتاژ یک تقویت کننده، طراح بایستی مقدار مقاومت باری که با آن مقدار بهره را اندازه‌گیری یا محاسبه می‌شود، تعیین کند. چنانچه مقاومت بار تعیین نشده باشد، بطور معمول فرض می‌شود که بهره ولتاژ داده شده، بهره مدار باز یا A_{vo}است.

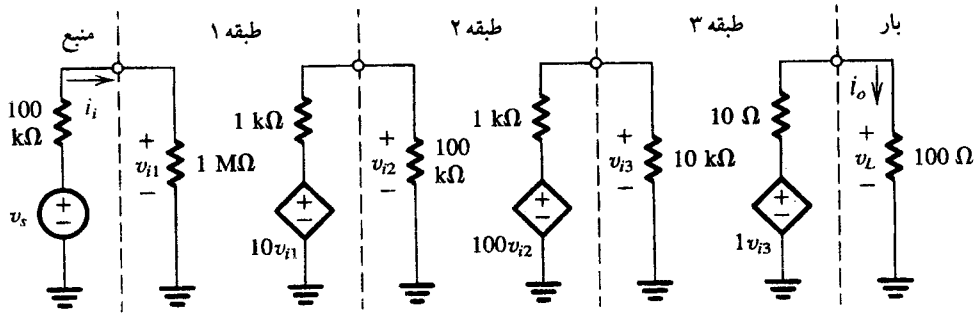
مقاومت ورودی معین R_i موجب تقسیم ولتاژ ورودی می‌شود که در نتیجه فقط کسری از سیگنال منبع v_s در عمل به پایانه‌های ورودی تقویت‌کننده می‌رسد ؛ یعنی

$$v_i = v_s \frac{R_i}{R_i+R_s} \qquad (۱-۱۳)$$

به این معنی که برای از دست ندادن قسمت اعظم سیگنال ورودی در هنگام جفت شدن منبع سیگنال با ورودی تقویت‌کننده، تقویت‌کننده بایستی دارای مقاومت ورودی R_iای باشد بسیار بزرگتر از مقاومت منبع سیگنال یعنی $R_i \gg R_s$. تقویت‌کننده ولتاژ آرمانی آنست که در آن $R_i = \infty$ باشد. در وضعیت آرمانی بهره جریان و بهره ولتاژ نامحدود می‌شود.
بهره ولتاژ کل (v_o/v_i) از ترکیب معادله‌های (۱-۱۲) و (۱-۱۳) به شرح زیر به دست می‌آید:

$$\frac{v_o}{v_s} = A_{vo} \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o}$$

شرایطی وجود دارد که در آن طراح به بهره ولتاژ نیاز ندارد اما به بهره توان کافی نیاز دارد.بطور مثال، سیگنال منبع می‌تواند دارای ولتاژ قابل ملاحظه و مقاومت منبع بسیار بزرگتر از مقاومت بار باشد. اتصال دادن مستقیم منبع به بار، سبب تضعیف بسیار زیاد سیگنال می‌گردد. در چنین حالتی، فرد به تقویت‌کننده‌ای نیاز دارد با مقاومت ورودی زیاد (بسیار



شکل ۱۸-۱. تقویت‌کننده سه طبقه مثال (۳-۱)

بزرگتر از مقاومت منبع) و مقاومت خروجی کم (خیلی کوچکتر از مقاومت بار) اما با بهره ولتاژ نسبتاً کم (یا حتی بهره واحد). این چنین تقویت‌کننده‌ای را **تقویت‌کننده میانگیر** می‌نامند. در سراسر این متن با تقویت‌کننده‌های میانگیر سروکار خواهیم داشت.

مثال ۳-۱

در شکل (۱۸-۱) تقویت‌کننده‌ای با سه طبقه پشت سر هم ترسیم شده است. تقویت‌کننده با یک منبع سیگنال تغذیه شده است که مقاومت آن ۱۰۰ kΩ می‌باشد و خروجی‌اش را به یک مقاومت بار Ω ۱۰۰ می‌دهد. اولین طبقه دارای ورودی نسبتاً زیاد و ضریب بهره نسبتاً کم و برابر ۱۰ می‌باشد. دومین طبقه دارای ضریب بهره زیادتر ولی مقاومت ورودی کمتر می‌باشد. و سرانجام، آخرین طبقه، دارای بهره واحد اما مقاومت خروجی کم است. می‌خواهیم بهره ولتاژ کل یعنی v_L/v_s، بهره جریان، و بهره توان را محاسبه کنیم.

حل:

کسری از سیگنال منبع که در پایانه‌های ورودی تقویت‌کننده ظاهر می‌شود با استفاده از قانون تقسیم ولتاژ در ورودی بدست می‌آید، به شرح زیر:

$$\frac{v_{i1}}{v_s} = \frac{1\ \text{M}\Omega}{1\ \text{M}\Omega + 100\ \text{k}\Omega} = 0.909\ \text{V/V}$$

بهره ولتاژ اولین طبقه با توجه به مقاومت ورودی دومین طبقه که بار اولین طبقه محسوب می‌شود بدست می‌آید بطوریکه

$$A_{v1} \equiv \frac{v_{i2}}{v_{i1}} = 10\,\frac{100\ \text{k}\Omega}{100\ \text{k}\Omega + 1\ \text{k}\Omega} = 9.9\ \text{V/V}$$

مشابه با آن، بهره ولتاژ طبقه دوم با توجه به مقاومت ورودی سومین طبقه که بار دومین طبقه خواهد بود، تعیین می‌شود.

$$A_{v2} \equiv \frac{v_{i3}}{v_{i2}} = 100\,\frac{10\ \text{k}\Omega}{10\ \text{k}\Omega + 1\ \text{k}\Omega} = 90.9\ \text{V/V}$$

سرانجام، بهره ولتاژ طبقه نهایی بصورت زیر بدست می‌آید:

$$A_{v3} \equiv \frac{v_L}{v_{i3}} = 1\,\frac{100\ \Omega}{100\ \Omega + 10\ \Omega} = 0.909\ \text{V/V}$$

مجموع بهره سه طبقه متوالی اکنون از رابطهٔ زیر بدست می‌آید.

$$A_v \equiv \frac{v_L}{v_{i1}} = A_{v1}A_{v2}A_{v3} = 818\ \text{V/V}$$

یا ۵۸/۳ dB.

برای محاسبه ولتاژ از منبع تا بار، A_v را در ضریب اتلاف بهره ورودی، ضرب می‌کنیم، یعنی؛

$$\frac{v_L}{v_s} = \frac{v_L}{v_{i1}}\,\frac{v_{i1}}{v_s} = A_v\frac{v_{i1}}{v_s} = 818 \times 0.909 = 743.6\ \text{V/V}$$

یا ۵۷/۴ dB.

بهره جریان به صورت زیر تعیین می‌شود:

$$A_i \equiv \frac{i_o}{i_i} = \frac{v_L/100\ \Omega}{v_{i1}/1\ \text{M}\Omega} = 10^4 \times A_v = 8.18 \times 10^6\ \text{A/A}$$

یا ۱۳۸/۳ dB.

بهره توان از رابطه زیر بدست می‌آید:

$$A_p \equiv \frac{P_L}{P_I} = \frac{v_L i_o}{v_{i1} i_i}$$

$$= A_v A_i = 818 \times 8.18 \times 10^6 = 66.9 \times 10^8\ \text{W/W}$$

یا ۹۸/۳ dB، توجه کنید که

$$A_p(\text{dB}) = \frac{1}{2}\,[A_v(\text{dB}) + A_i(\text{dB})]$$

تمرینها

۱-۸ یک مبدل با مشخصات ولتاژی برابر با ۱ Vrms و مقاومت ۱MΩ برای راه‌اندازی یک بار Ω ۱۰ در دسترس است. چنانچه بطور مستقیم وصل شود، چه ولتاژ و توانی در بلندگو بدست می‌آید؟ اگر یک تقویت‌کننده میانگیر با بهره واحد (یعنی $A_{vo} = 1$) که دارای ۱MΩ مقاومت ورودی و ۱۰Ω مقاومت خروجی بین منبع و بار قرار بگیرد، ولتاژ و توان چقدر خواهد شد؟ در ترتیب جدید، بهره ولتاژ را بین منبع تا بار و بهره توان را (برحسب دسی‌بل) بدست آورید:

جواب. ۴۴dB؛ -۱۲dB؛ ۶/۲۵mV؛ ۰/۲۵V؛ 10^{-11}W؛ ۱۰μV rms

۱-۹ در ولتاژ خروجی یک تقویت‌کننده ولتاژ وقتی به یک مقاومت بار ۱kΩ متصل می‌شود، به اندازه ۲۰٪ کاهش دیده می‌شود. مقاومت خروجی

تقویت‌کننده چقدر است؟

جواب. ۲۵۰ Ω.

۱۰ـ۱ از تقویت‌کننده‌ای با بهره ولتاژ ۴۰ dB+ ، از یک مقاومت ورودی ۱۰kΩ، و از یک مقاومت خروجی ۱ kΩ برای راه‌اندازی یک مقاومت ۱ kΩ استفاده می‌شود. مقدار A_{vo} چقدر است؟ مقدار بهره توان را برحسب dB پیدا کنید.

جواب. ۴۴ dB ؛ ۱۰۰ V/V. ❑

انواع دیگر تقویت‌کننده‌ها

در طراحی یک سیستم الکترونیک، علامت الکتریکی مورد نظر ـچه در ورودی سیستم، در طبقه میانی، و یا در خروجی یک سیستم ـمی‌تواند یک ولتاژ یا جریان باشد. به عنوان نمونه، بسیاری از مبدلها دارای مقاومت خروجی زیاد هستند و می‌توانند به مثابه منابع جریان به صورت اختصاصی‌تر مدل شوند. مشابه با آن، در بعضی از کاربردها جریان خروجی از ولتاژ خروجی بیشتر اهمیت دارد. از اینرو، اگر چه این طرح بسیار متداول است، تقویت‌کننده ولتاژی که در بالا بحث شد، بطور مسلم یکی از چهار نوع تقویت‌کننده است. سه نوع دیگر عبارتند از: تقویت‌کننده جریان، تقویت‌کننده ترارسانایی یا انتقال هدایتی، تقویت‌کننده ترامقاومتی یا انتقال مقاومتی.

ارتباط بین چهار مدل تقویت‌کننده

اگر چه برای یک تقویت‌کننده معین، بطور مشخص یکی از چهار مدل **بالا مرجح** است، هر یک از چهار نوع برای مدل‌سازی تقویت‌کننده می‌تواند استفاده شود. در حقیقت، مناسبات مختصری برای مرتبط کردن شاخصه‌های مدل‌های مختلف می‌تواند در نظر گرفته شود. بطور مثال، بهره ولتاژ مدار باز A_{vo} می‌تواند به بهره جریان مدار اتصال کوتاه A_{is} به این شرح مرتبط گردد: ولتاژ خروجی مدار باز که بوسیله مدل تقویت‌کننده ولتاژ شکل (جدول ۱-۱) داده شده، $A_{vo}v_i$ است. مدل تقویت‌کننده جریان در همان شکل ولتاژ خروجی مدار باز ($A_{is}i_iR_o$) را بدست می‌دهد. از برابر هم نهادن این دو مقدار و با توجه به اینکه $i_i=v_i/R_i$ است، بدست می‌آید:

$$A_{vo} = A_{is}\left(\frac{R_o}{R_i}\right) \qquad (۱\text{ـ}۱۴)$$

مشابه با آن می‌توان نشان داد که

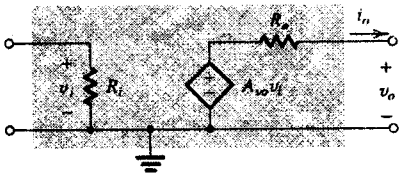
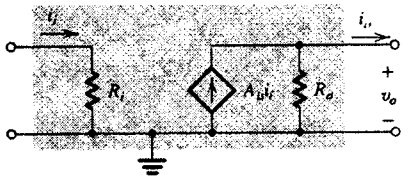
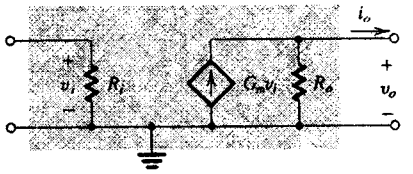
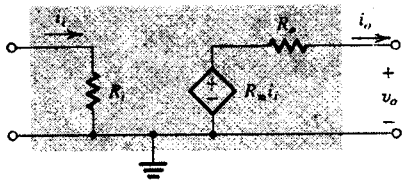
$$A_{vo} = G_mR_o \qquad (۱\text{ـ}۱۵)$$

و

$$A_{vo} = \frac{R_m}{R_i} \qquad (۱\text{ـ}۱۶)$$

عبارت‌های معادلات (۱-۱۴) تا (۱-۱۵) برای مرتبط ساختن هر دو شاخصه بهره، A_{vo}، A_{is}، G_m، R_m می‌تواند استفاده شود.

جدول ۱-۱. چهار نوع تقویت کننده

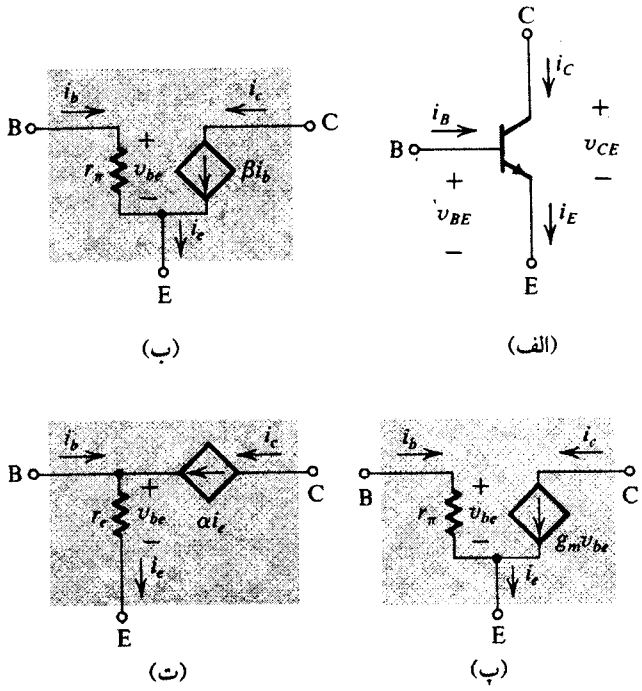
نوع	مدل مداری	شاخصه بهره	مشخصه‌های آرمانی
تقویت کننده ولتاژ		بهره ولتاژ مدار باز $A_{vo} \equiv \left.\frac{v_o}{v_i}\right\|_{i_o=0}$ (V/V)	$R_i = \infty$ $R_o = 0$
تقویت کننده جریان		بهره جریان مدار اتصال کوتاه $A_{is} \equiv \left.\frac{i_o}{i_i}\right\|_{v_o=0}$ (A/A)	$R_i = 0$ $R_o = \infty$
تقویت کننده تراهدایتی (هدایت انتقالی)		تراهدایتی (هدایت انتقالی) مدار اتصال کوتاه $G_m \equiv \left.\frac{i_o}{v_i}\right\|_{v_o=0}$ (A/V)	$R_i = \infty$ $R_o = \infty$
تقویت کننده ترامقاومتی (مقاومت انتقالی)		ترامقاومتی (مقاومت انتقالی) مدار باز $R_m \equiv \left.\frac{v_o}{i_i}\right\|_{i_o=0}$ (V/A)	$R_i = 0$ $R_o = 0$

از مدلهای مدار تقویت‌کننده شکلهای (جدول ۱-۱) ملاحظه می‌کنیم که مقاومت ورودی R_i تقویت‌کننده با اعمال ولتاژ ورودی v_i و اندازه‌گیری (یا محاسبه) جریان ورودی i_i می‌تواند تعیین گردد؛ به این معنی که $R_i = v_i/i_i$. مقاومت خروجی به صورت نسبت ولتاژ خروجی مدار باز به جریان خروجی مدار کوتاه محاسبه می‌گردد. از سوی دیگر با حذف منبع سیگنال ورودی (که در آنصورت i_i و v_i هر دو صفر خواهند بود) و اعمال یک سیگنال ولتاژ v_x به خروجی تقویت‌کننده، مقاومت خروجی بدست می‌آید. چنانچه فرض کنیم جریان کشیده شده از v_x به داخل پایانه‌های خروجی i_x باشد (دقت کنید که i_x مخالف جهت i_o است)، در آنصورت $R_o = v_x/i_x$ است. اگر چه این تکنیکها بطور فرضی صحیح هستند، اما در عمل از روشهای کاملاً اصلاح شده‌ای برای محاسبه و اندازه‌گیری R_i و R_o استفاده می‌شود.

مدلهای بحث شده در بالا یک جانبه هستند؛ زیرا شارش جریان در یک جهت است، از ورودی به خروجی. اغلب تقویت‌کننده‌های واقعی هدایت معکوسی را نشان می‌دهند که نامطلوب است و اما در مدل‌سازی مد نظر است. اکنون از این نظر موضوع را دنبال نمی‌کنیم اما خاطر نشان می‌کنیم که مدلهای پیچیده‌تر و کاملتر برای شبکه‌های دو درگاهی خطی در ضمیمه ب آورده شده است.

مثال ۴-۱

ترانزیستور پیوند قطبی (BJT) قطعه‌ای سه پایانه است و دارای نماد مداری نشان داده شده در شکل (الف ۱۹-۱) است. پایانه‌های آن **امیتر** (E)، **بیس** (B)، **کلکتور** (C) نامیده می‌شود. ترانزیستور اساساً،



شکل ۱۹-۱. (الف) نماد مداری ترانزیستور پیوندی دو قطبی (BJT)، توصیف مقادیر لحظه‌ای پایانه‌ها (ب، پ، ت) مدلهای مدار معادل سیگنال کوچک BJT در حالت عملکرد خطی

قطعه‌ای غیرخطی است؛ از اینرو ارتباط بین مجموع جریانها و ولتاژهای لحظه‌ای پایانه‌هایش غیرخطی می‌باشد. با این وجود، از روشهای خطی کردن که در بخش ۴-۱ بحث شد، برای خطی کردن آن در سیگنالهای کوچک که تغییرات نموی در جریانها و ولتاژها حول نقطه بایاس یا سکون دارند، می‌توان استفاده کرد. از اینرو، کمیتهای مجموع لحظه‌ای به مثابه مجموع کمیتهای بایاس یا dc و کمیتهای سیگنال بصورت زیر می‌توانند بیان شوند:

$$v_{BE} = V_{BE} + v_{be} \qquad i_B = I_B + i_b$$
$$v_{CE} = V_{CE} + v_{ce} \qquad i_C = I_C + i_c$$
$$i_E = I_E + i_e$$

در فصل ۴ نشان خواهیم داد که در تقریب سیگنال کوچک، ارتباط بین کمیتهای سیگنال خطی هستند و بنابراین ترانزیستور سه پایانه بوسیله یکی از مدلهای مدار معادل در شکل ب و پ و ت (۱۹-۱) می‌تواند نشان داده شود. اگر این مدلها برابر باشند، مایلیم ارتباط بین این پارامترها را پیدا کنیم.

حل:

در مدل شکل (ب ۱۹-۱) داریم:

$$i_b = \frac{v_{be}}{r_\pi} \qquad (۱-۱۷)$$

$$i_c = \beta i_b \qquad (۱-۱۸)$$

$$i_e = (\beta + ۱) i_b \qquad (۱-۱۹)$$

در مدل شکل (پ ۱۹-۱) داریم:

$$i_c = g_m v_{be} \qquad (۱-۲۰)$$

با استفاده از معادلات (۱-۱۷)، (۱-۱۸) و (۱-۲۰) داریم:

$$g_m = \frac{\beta}{r_\pi}$$

در مدل شکل (ت ۱۹-۱) داریم:

$$i_b = (۱ - \alpha) i_e \qquad (۱-۲۱)$$

$$i_c = \alpha i_e \qquad (۱-۲۲)$$

$$i_e = \frac{v_{be}}{r_e} \qquad (۱-۲۳)$$

با استفاده از معادلات (۱-۱۸) و (۱-۱۹) داریم:

$$\frac{i_c}{i_e} = \frac{\beta}{\beta + ۱}$$

از مقایسه این نتیجه با معادله (۱-۲۲)، بدست می‌آوریم:

$$\alpha = \frac{\beta}{\beta + ۱}$$

از ترکیب معادلات (۱-۱۷) و (۱-۱۹) با یکدیگر، نتیجه می‌شود که

$$i_e = \frac{\beta + ۱}{r_\pi} v_{be}$$

از مقایسه این نتیجه با معادله (۱-۲۳) بدست می‌آوریم:

$$r_e = \frac{r_\pi}{\beta + ۱}$$

به این ترتیب برای شاخصه‌های مدلهای شکل پ و ت (۱۹-۱)، برحسب شاخصه‌های مدل ب ۱۹-۱ ، معادلاتی بدست آمد.

تمرینها

۱۱-۱ یک تقویت کننده جریان مانند ردیف دوم جدول ۱-۱ در نظر بگیرید. فرض کنید تقویت کننده با منبع جریان i_s و دارای مقاومت R_s تغذیه شده باشد و فرض کنید خروجی به مقاومت بار R_L وصل شود. نشان دهید که بهره جریان کل از رابطه زیر بدست می‌آید:

$$\frac{i_o}{i_s} = A_{is} \frac{R_s}{R_s + R_i} \frac{R_o}{R_o + R_L}$$

۱۲-۱ یک تقویت کننده انتقال هدایتی مانند ردیف سوم جدول ۱-۱ در نظر بگیرید . فرض کنید که منبع سیگنال v_s با مقاومت R_s به ورودی آن و مقاومت بار R_L به خروجی آن وصل شده باشد. نشان دهید که بهره ولتاژ کل از رابطه زیر بدست می‌آید:

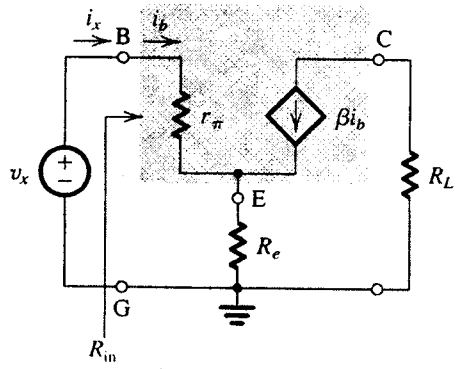
$$\frac{V_o}{V_s} = G_m \frac{R_i}{R_i + R_s} (R_o || R_L)$$

۱۳-۱ ترانزیستوری را در نظر بگیرید که دارای مدل شکل (ب ۱۹-۱) باشد و بین یک منبع ولتاژ با مقاومت منبع ۱ kΩ و مقاومت بار ۱kΩ متصل شده باشد. فرض کنید r_π = ۲kΩ و β = ۹۰ است. بهره ولتاژ v_o/v_s و بهره جریان (i_o/i_b) را پیدا کنید. همچنین بهره توان را برحسب دسی‌بل بدست آورید.

جواب. ۳۰- V/V ؛ ۹۰ A/A ؛ ۳۶/۱ dB.

۱۴-۱ مقاومت ورودی بین پایانه‌های B و G را در مدار شکل (۱۴-۱ت) پیدا کنید. ولتاژ v_x ، ولتاژ آزمون با مقاومت ورودی R_{in} است که به صورت $R_{in} \equiv v_x/i_x$ آمده است.

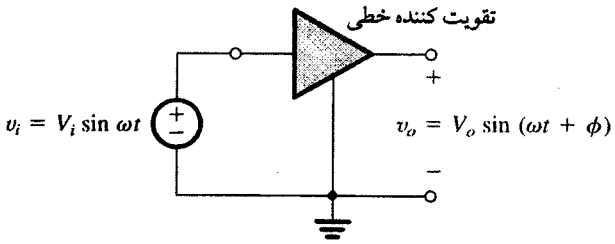
جواب. $R_{in} = r_\pi + (\beta + ۱) R_e$.



شکل (۱۴-۱ ت)

۶-۱ پاسخ فرکانسی تقویت‌کننده‌ها

از بخش ۲-۱ دانستیم که سیگنال ورودی تقویت‌کننده‌ها می‌تواند به صورت مجموعه فشرده‌ای از سیگنالهای سینوسی باشد. یعنی یک مشخصه مهم تقویت کننده پاسخ آن به سیگنالهای سینوسی با فرکانسهای



شکل ۲۰-۱. اندازه‌گیری پاسخ فرکانسی تقویت‌کنندهٔ خطی. در فرکانس آزمایشی ω ، بهرهٔ تقویت‌کننده با اندازه (V_o/V_i) و فاز ϕ آن مشخص می‌شود.

متفاوت می‌باشد. این مشخصه را پاسخ فرکانسی تقویت کننده می‌نامیم.

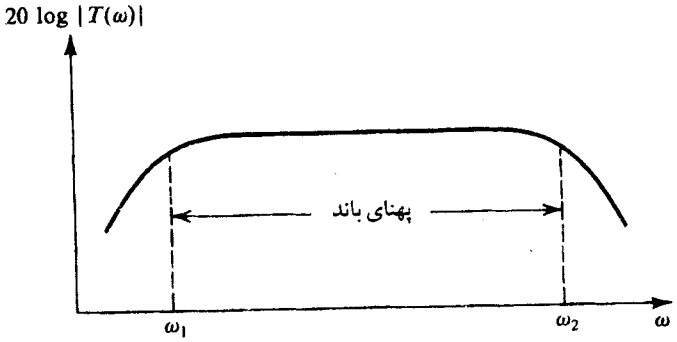
اندازه‌گیری پاسخ فرکانسی تقویت‌کننده

پاسخ فرکانسی تقویت‌کننده را با نمایش نحوه اندازه‌گیری آن توضیح خواهیم داد. شکل (۲۰-۱) یک تقویت کننده ولتاژ خطی را نشان می‌دهد که به ورودی‌اش یک سیگنال سینوسی با دامنه V_i و فرکانس ω اعمال شده است. همانگونه که شکل نشان می‌دهد، سیگنال اندازه‌گیری شده در خروجی تقویت‌کننده نیز همچنان سینوسی و با فرکانس ω می‌باشد. نکته قابل ذکر این است که: هرگاه یک سیگنال سینوسی به مداری خطی اعمال گردد، سیگنال خروجی بدست آمده نیز سیگنالی سینوسی و متناظر با ورودی می‌باشد. در حقیقت موج سینوسی تنها سیگنالی است که هنگام عبور از یک مدار خطی تغییر شکل نمی‌یابد. البته مشاهده می‌کنید که سیگنال سینوسی خروجی دارای دامنه‌ای متفاوت بوده و فاز آن نسبت به ورودی تغییر کرده‌است. نسبت دامنه سینوسی خروجی (V_o) به دامنه سینوسی ورودی (V_i) را اندازه بهره تقویت کننده یا انتقال در فرکانس آزمون ω می‌نامیم. همچنین زاویه ϕ فاز انتقال تقویت کننده در فرکانس آزمون ω می‌باشد. چنانچه **انتقال تقویت کننده**، یا **تابع انتقال** را چنانکه مرسوم است با $T(\omega)$ نمایش دهیم. در آنصورت:

$$|T(\omega)| = \frac{V_o}{V_i}$$

$$\angle T(\omega) = \phi$$

پاسخ تقویت کننده به سیگنال سینوسی با فرکانس ω به طور کامل با $|T(\omega)|$ و $\angle T(\omega)$ توصیف می‌شود. اکنون، برای بدست آوردن پاسخ فرکانسی کامل تقویت کننده به سادگی می‌توان فرکانس سیگنال سینوسی ورودی را تغییر داده و مقدار جدید را برای $|T|$ و $\angle T$ بدست آورد. نتیجه بدست آمده جدول یا نموداری از بهره دامنه $[|T(\omega)|]$ در مقابل فرکانس، و جدول و یا نموداری از زاویه فاز $[\angle T(\omega)]$ در مقابل فرکانس می‌باشد. این دو نمودار با یکدیگر پاسخ فرکانسی تقویت‌کننده را بوجود می‌آورند؛ اولی به عنوان پاسخ دامنه یا بزرگی و دومی را پاسخ فاز می‌شناسیم.



شکل ۲۱-۱. نمونه‌ای از پاسخ اندازه یک تقویت‌کننده. $T(\omega)$ تابع انتقال تقویت‌کننده است - یعنی نسبت خروجی $V_o(\omega)$ به ورودی $V_i(\omega)$.

پهنای باند تقویت‌کننده

شکل (۲۱-۱) پاسخ دامنه یک تقویت‌کننده را نشان می‌دهد. این شکل نشان می‌دهد که بهره در محدوده فرکانسی وسیعی، بین ω_1 و ω_2 تقریباً ثابت است. سیگنالهایی که فرکانسشان کمتر از ω_1 و بیشتر از ω_2 است دارای بهره کمتری هستند و بهره با دورشدن از ω_1 و ω_2 کاهش می‌یابد. باند فرکانسهایی که در آن بهره تقویت‌کننده ثابت است و دارای مقدار معینی دسی بل (معمولاً ۳دسی‌بل) می‌باشد، **پهنای باند تقویت‌کننده** نامیده می‌شود. معمولاً تقویت کننده به گونه‌ای طراحی می‌شود که پهنای باندش با طیف سیگنالی که باید تقویت شود، انطباق داشته باشد. چنانچه این وضع صورت نگیرد، طیف فرکانسی سیگنال ورودی دستخوش اعوجاج می‌شود و اجزاء مختلف سیگنال ورودی در اندازه‌های متفاوت تقویت می‌گردد.

بررسی پاسخ فرکانسی تقویت کننده

در بالا، درباره روشهای استفاده شده در اندازه‌گیری پاسخ فرکانسی یک تقویت کننده بحث شد. اکنون درباره روشی بحث می‌شود که بطور تحلیلی یک معادله پاسخ فرکانسی بدست می‌دهد. آنچه اکنون می‌خواهیم بگوییم، پیش درآمدی است از مطلب مهمی که شرح جزئیات آن در فصل ۷ خواهد آمد.

برای ارزیابی پاسخ فرکانسی یک تقویت کننده، بایستی با در نظر گرفتن کلیه اجزای غیرفعال، مدل مدار معادل تقویت کننده تحلیل گردد.[1] تحلیل مدار به روش معمول صورت می‌گیرد البته با اندوکتانس و کاپاسیتانس حاصل شده از راکتانسشان. اندوکتانس L دارای راکتانس یا امپدانس $j\omega L$ و کاپاسیتانس C دارای راکتانس یا امپدانس $1/j\omega C$، یا بطور معادل دارای سوسپتانس یا ادمیتانس $j\omega C$ می‌باشد. از اینرو در تحلیل یک حوزه فرکانسی با امپدانس /یا ادمیتانس سر و کار داریم. نتیجه تحلیل تابع انتقال تقویت کننده $T(\omega)$ است.

$$T(\omega) = \frac{V_o(\omega)}{V_i(\omega)}$$

که در آن $V_i(\omega)$ و $V_o(\omega)$ به ترتیب مشخص کننده موج سینوسی ورودی و خروجی است. $T(\omega)$ عموماً تابعی مرکب (مختلط) است که دامنه‌اش $|T(\omega)|$ دامنه انتقال یا پاسخ دامنه تقویت را بدست می‌دهد. فاز $T(\omega)$ پاسخ فاز تقویت را به ما می‌دهد.

در تحلیل یک مدار برای تعیین منحنی پاسخ، تجدید آرایش جبری با استفاده از **متغیر فرکانسی مختلط** s بسادگی انجام می‌گیرد. در عبارات دارای S، امپدانس یک القاگر L برابر با SL است و در یک ظرفیت C برابر $1/sC$ می‌باشد. با جانشینی عناصر غیرفعال با امپدانسشان و انجام تحلیل مدار، تابع انتقال را به این صورت بدست می‌آوریم.

$$T(s) \equiv \frac{V_o(s)}{V_i(s)}$$

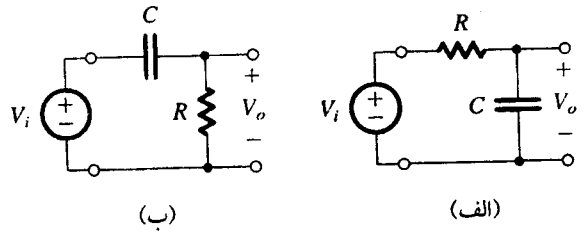
به همین ترتیب، با جانشین کردن s به جای $j\omega$، تابع انتقال شبکه را در **فرکانس‌های فیزیکی**، $T(j\omega)$، تعیین می‌کنیم. دقت شود که $T(j\omega)$ همان تابعی است که در بالا به صورت $T(\omega)$ از آن یاد شد. اضافه شدن j برای تاکید بر این نکته است که $T(j\omega)$ از $T(s)$ بدست آمده که در آن s با $j\omega$ جانشین شده است.

شبکه‌های ثابت زمانی منفرد

در تحلیل مدارهای تقویت کننده برای تعیین پاسخ فرکانسی آنها، دانستن مشخصه‌های پاسخ فرکانسی شبکه‌های ثابت زمانی منفرد (STC) کمک بزرگی است. یک شبکه STC شامل یک یا چند عنصر راکتیو (القاگر، یا خازن) و یک مقاومت است. مثالهایی در شکل (۲۲-۱) نشان داده شده است. شبکه STC از یک القاگر L و یک مقاومت R تشکیل شده و دارای ثابت زمانی $\tau = L/R$ می‌باشد. ثابت زمانی τ در یک شبکه STC شامل خازن C و مقاومت R است که با $\tau = CR$ بدست می‌آید.

ضمیمه ث شبکه STC و پاسخ آنرا به ورودیهای سینوسی، پله‌ای و پالسی توضیح می‌دهد. اطلاعاتی در این باره در اثنای مطالعه فصول نیاز است، و خواننده لازم است ابتدا به ضمیمه ث مراجعه کند. اینک به نکات ویژه‌ای درباره نتایج پاسخ فرکانسی نیاز است که به اختصار بحث می‌شود.

شبکه‌های STC به دو دسته تقسیم بندی می‌شوند: **پایین گذر** (یا به اختصار LP) و **بالاگذر** (یا HP)، هر یک از این دو پاسخ ویژه‌ای برای خود دارند. بطور مثال، شبکه STC نشان داده شده در شکل (الف ۲۲-۱) از نوع پایین گذر و شکل (ب۲۲-۱) از نوع بالاگذر است. برای بررسی علت این دسته بندی، ملاحظه کنید که تابع انتقال هر یک از این دو مدار می‌تواند



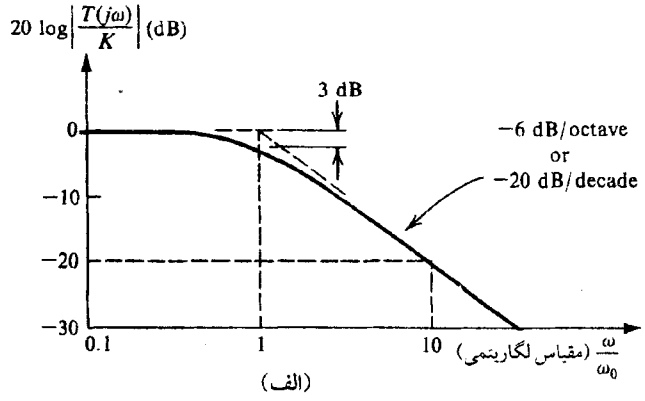
شکل ۲۲-۱. دو مثال از شبکه‌های STC
(الف)شبکه پایین‌گذر (ب) شبکه بالا گذر

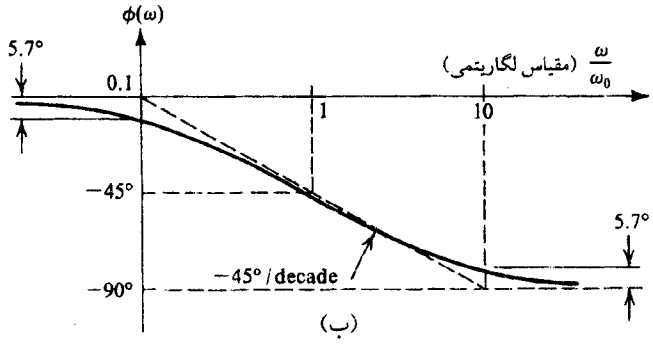
جدول ۲-۱. پاسخ فرکانسی شبکه‌های STD

	پایین گذر (LP)	بالاگذر (HP)
تابع انتقال $T(s)$	$\dfrac{K}{1+(s/\omega_0)}$	$\dfrac{Ks}{s+\omega_0}$
تابع انتقال برای فرکانس‌های فیزیکی $T(j\omega)$	$\dfrac{K}{1+j(\omega/\omega_0)}$	$\dfrac{K}{1-j(\omega_0/\omega)}$
پاسخ اندازه $\lvert T(j\omega)\rvert$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega/\omega_0)^2}}$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega_0/\omega)^2}}$
پاسخ فاز $\angle T(j\omega)$	$-\tan^{-1}(\omega/\omega_0)$	$\tan^{-1}(\omega_0/\omega)$
انتقال در $\omega = 0$ (dc)	K	0
انتقال در $\omega = \infty$	0	K
فرکانس ۳ dB	ثابت زمانی $\omega_0 = 1/\tau;\ \tau \equiv$ $\tau = CR$ or L/R	
نمودار بودی	شکل ۲۳-۱	شکل ۲۴-۱

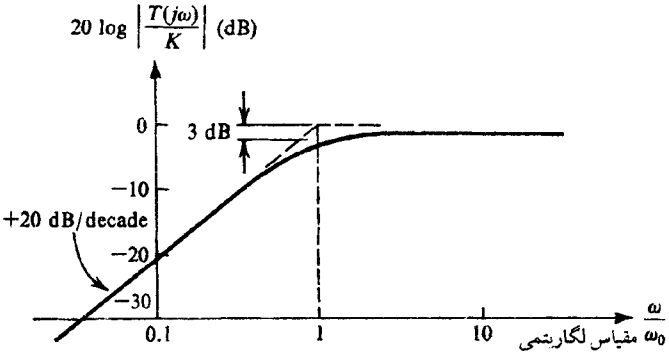
به صورت نسبت یک مقسم ولتاژ بیان شود که مقسم ولتاژ از یک مقاومت و یک خازن تشکیل شده است. اکنون با توجه به اینکه امپدانس با فرکانس ($Z = 1/j\omega C$) تغییر می‌کند، به سادگی ملاحظه می‌شود که انتقال مدار (الف ۲۲-۱) با فرکانس کاهش می‌یابد و با نزدیک شدن ω به ∞، به صفر نزدیک می‌شود. این مدار فرکانسهای پایین موج سینوسی ورودی را بدون هیچ شرطی عبور می‌دهد (در $\omega=0$، انتقال واحد است) و موج سینوسی فرکانس بالای ورودی را تضعیف می‌کند. شکل (ب ۲۲-۱) برعکس عمل می‌کند؛ انتقالش در $\omega=\infty$ برابر واحد است و با کاهش ω، کم می‌شود، در $\omega = 0$ به صفر می‌رسد. بنابراین، چنین مداری به صورت یک فیلتر بالاگذر کار می‌کند.

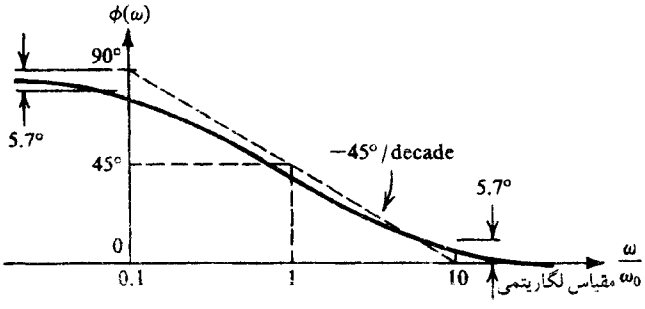
جدول ۲-۱ خلاصه‌ای از پاسخ فرکانسی بدست آمده از هر نوع شبکه STC را ارائه می‌کند. همچنین نمودارهایی از پاسخ‌های فاز و دامنه در شکل (۲۳-۱) و شکل (۲۴-۱) ترسیم شده است. این نمودارهای پاسخ فرکانسی با عنوان نمودارهای بود و فرکانس (ω_0) با ۳dB با عنوان فرکانس شکست یا فرکانس گوشه نامیده می‌شوند. برای آشنایی بیشتر خواننده با این‌گونه اطلاعات، در ضمیمه ث مطالبی آورده شده است.





شکل ۲۳-۱. (الف) پاسخ اندازهٔ و (ب) پاسخ فاز شبکه‌های STC نوع پایین‌گذر



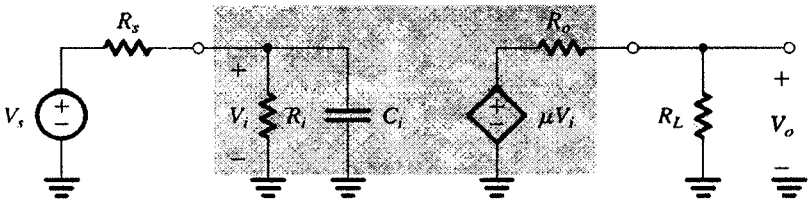


شکل ۲۴-۱. (الف) پاسخ اندازه (ب) پاسخ فاز شبکه‌های STC نوع بالاگذر

مثال ۵-۱

شکل (۲۵-۱) یک تقویت کننده ولتاژ نشان می‌دهد که دارای مقاومت ورودی R_i، خازن ورودی C_i، ضریب بهره μ، و مقاومت خروجی R_o است. این تقویت کننده با منبع ولتاژ V_s دارای مقاومت منبع R_s تغذیه می‌شود، و مقاومت بار R_L به خروجی وصل است.

(الف) برای بهره تقویت کننده، V_o/V_s، معادله‌ای بیابید که تابع فرکانس باشد. از این معادله، برای بهره dc و فرکانس ۳dB رابطه‌ای بدست آورید.



شکل ۲۵-۱. مدار مثال (۵-۱)

(ب) مطلوبست بهره dc، فرکانس ۳dB، و فرکانسی که در آن بهره ۰dB می‌شود (واحد) برای حالتی که $R_s = ۲۰k\Omega$، $R_i = ۱۰۰k\Omega$، $C_i = ۶۰PF$، $\mu = ۱۴۴V/V$، $R_o = ۲۰۰\Omega$ و $R_L = ۱k\Omega$ باشد.

(پ) به ازای ورودیهای زیر $v_o(t)$ را بدست آورید:

$v_i = ۰/۱Sin۱۰^۲t$,V (۱) $v_i = ۰/۱Sin۱۰^۵t$,V (۲)

$v_i = ۰/۱Sin۱۰^۶t$,V (۳) $v_i = ۰/۱Sin۱۰^۸t$,V (۴)

حل:

(الف) با استفاده از قانون مقسم ولتاژ، می‌توان V_i را بر حسب V_s به صورت زیربیان نمود:

$$V_i = V_s \frac{Z_i}{Z_i + R_s}$$

که در آن Z_i امپدانس ورودی تقویت کننده است. چون Z_i از دو عنصر موازی تشکیل شده، بطور مسلم ساده‌تر است که برحسب Y_i نوشته شود.

$$V_i = V_s \frac{۱}{۱+R_sY_i} = V_s \frac{۱}{۱ + R_s[(۱/R_i) + sC_i]}$$

بنابراین

$$\frac{V_i}{V_s} = \frac{۱}{۱ + (R_s/R_i) + sC_iR_s}$$

این رابطه برای شبکه پایین گذر STC می‌تواند به صورت استاندارد درآید (با ملاحظه بالای جدول ۲-۱) به شرط آنکه $[۱+(R_s/R_i)]$ از مخرج کسر خارج شود؛ به این ترتیب داریم:

$$\frac{V_i}{V_s} = \frac{۱}{۱ + (R_s/R_i)} \quad \frac{۱}{۱ + sC_i[(R_s R_i)/(R_s + R_i)]} \quad (۱-۲۴)$$

برای قسمت خروجی تقویت کننده می‌توانیم بنویسیم:

$$V_o = \mu V_i \frac{R_L}{R_L + R_o}$$

این معادله با معادله (۲۴-۱) می‌تواند تلفیق شود تا تابع انتقال تقویت کننده به صورت زیر بدست آید:

$$\frac{V_o}{V_s} = \frac{\mu ۱}{۱+(R_s/R_i)} \quad \frac{۱}{۱+(R_o/R_L)} \quad \frac{۱}{۱ + sC_i[(R_s R_L)/(R_s+ R_i)]}$$

(۲۵-۱)

ملاحظه می‌کنیم که فقط آخرین ضریب این معادله جدید است (در مقایسه با معادله بدست آمده در بخش قبل). این ضریب نتیجه ظرفیت خازنی C_i ورودی است، و ثابت زمانی آن می‌شود:

$$\tau = C_i \frac{R_sR_i}{R_s + R_i}$$

$$= C_i(R_s//R_i) \quad (۱-۲۶)$$

این نتیجه را با دقت نظر می‌توانیم بدست آوریم: از شکل (۲۵-۱) می‌بینیم که مدار ورودی یک شبکه STC است و با کاهش V_s به صفر می‌توان ثابت زمانی آنرا پیدا کرد. با این نتیجه که مقاومت مشاهده شده بوسیله C_i برابر R_i و به موازات R_s است. از معادله (۲۵-۱)، بهره dc به صورت زیر بدست می‌آید:

$$K \equiv \frac{V_o}{V_i}(s=۰) = \mu \frac{۱}{۱ + (R_s/R_i)} \quad \frac{۱}{۱ + (R_o/R_L)} \quad (۱-۲۷)$$

فرکانس ۳ دسی‌بل $\omega_۰$ از رابطه زیر بدست می‌آید:

$$\omega_۰ = \frac{۱}{\tau} = \frac{۱}{C_i(R_s \parallel R_i)} \quad (۱-۲۸)$$

چون پاسخ فرکانسی تقویت کننده از نوع STC پایین‌گذر است، نمودار بود بهره دامنهٔ فاز با توجه به صورت نشان داده شده در (۲۳-۱) بدست می‌آید که K از معادله (۲۷-۱) و $\omega_۰$ از معادله (۲۸-۱) بدست می‌آید.

(ب) از جایگزینی مقادیر عددی نوشته شده در معادله (۲۷-۱) نتیجه می‌شود که:

$$K = ۱۴۴ \times \frac{۱}{۱ + (۲۰:۱۰۰)} \times \frac{۱}{۱ + (۲۰۰:۱۰۰۰)} = ۱۰۰ \text{ V/V}$$

بنابراین بهره dc تقویت کننده ۴dB است. از جایگزینی مقادیر در معادله (۲۸-۱) فرکانس ۳dB بدست می‌آید:

$$\omega_۰ = \frac{۱}{۶۰pF \times (۲۰ k\Omega // ۱۰۰ k\Omega)}$$

$$= \frac{۱}{۶۰\times۱۰^{-۱۲} \times (۲۰\times۱۰۰:(۲۰+۱۰۰)) \times ۱۰^۳} = ۱۰^۶ \text{ rad/s}$$

در نتیجه

$$f_۰ = \frac{۱۰^۶}{۲\pi} = ۱۵۹/۲ \text{ kHz}$$

چون بهره در ۲۰dB/decade- افت می‌کند. با شروع در $\omega_۰$ (شکل

الف ۲۳-۱ را ملاحظه کنید) بهره در دو دهه به صفر دسی‌بل می‌رسد؛ بنابراین داریم:

فرکانس بهره واحد = 10^8 رادیان بر ثانیه یا 15/92MHz

(پ) برای پیداکردن $v_o(t)$ نیاز است بهره دامنه فاز در 10^2، 10^5، 10^6 و 10^8 رادیان برثانیه تعیین شود. این امر هم با استفاده از نمودار Bode در شکل (۲۳-۱) تقریباً امکان پذیر است، و هم با استفاده از معادله‌ای برای تابع انتقال تقویت‌کننده بطور دقیق مورد استفاده قرار می‌گیرد.

$$T(j\omega) \equiv \frac{V_o}{V_s}(j\omega) = \frac{100}{1 + j(\omega/10^6)}$$

هردو را انجام می‌دهیم.

۱) برای $\omega = 10^2$ rad/s، که $(\omega_0 / 10^4)$ است، نمودار Bode در شکل (۲۳-۱) نشان می‌دهد که $|T| \approx K = 100$ و $\phi = 0°$ است. از معادله تابع انتقال $|T| \cong 100$ و $\phi = -\tan^{-1} 10^{-4} \approx 0°$ بدست می‌آید. بنابراین

$$v_o(t) = 10 \sin 10^2 t, \text{ V}$$

۲) برای $\omega = 10^5$ rad/s، که $(\omega_0/10)$ است، نمودار Bode شکل (۲۳-۱) معلوم می‌دارد که $|T| \approx K = 100$ و $\phi = -5/7°$. از معادله تابع انتقال $|T| = 99/5$ و $\phi = -\tan^{-1} 0/1 = -5/7°$ بدست می‌آید.

بنابراین

$$v_o(t) = 9/95 \sin(10^5 t - 5/7°), \text{ V}$$

۳) برای $\omega = 10^6$ rad/s $= \omega_0$، $|T| = \frac{100}{\sqrt{2}} = 70/7$ V/V یا 37 dB و $\phi = -45°$. بنابراین تابع انتقال بدست می‌آید.

$$v_o(t) = 7/07 \sin(10^6 t - 45°), \text{ V}$$

۴) برای $\omega = 10^8$ rad/s که $(100\omega_0)$ است، نمودار Bode معلوم می‌دارد که $|T| = 1$ و $\phi = -90°$. از رابطه تابع انتقال بدست می‌آید

$$|T| \cong 1 \text{ و } \phi = -\tan^{-1} 100 = -89/4°$$

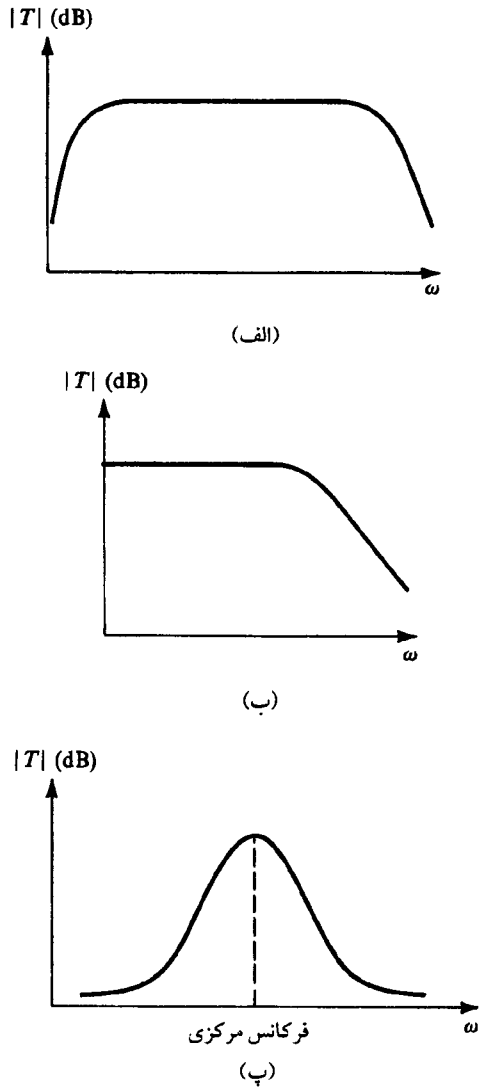
بنابراین

$$V_o(t) = 0/1 \sin(10^8 t - 89/4°) \text{ V}$$

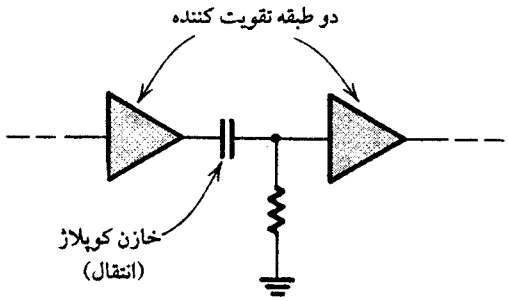
دسته‌بندی تقویت‌کننده‌ها بر اساس پاسخ فرکانسی

تقویت‌کننده‌ها را می‌توان بر اساس منحنی پاسخ دامنه‌شان دسته‌بندی کرد. شکل (۲۶-۱) چند نمونه منحنی پاسخ فرکانسی را برای انواع مختلف تقویت‌کننده نشان می‌دهد. در شکل (الف ۲۶-۱) بهره در گستره فرکانسی وسیعی ثابت می‌ماند اما در فرکانسهای پایین و بالا افت می‌کند. این نوع پاسخ فرکانسی در تقویت‌کننده‌های صوتی متداول است.

همانگونه که در فصل ۷ نشان داده خواهد شد، **ظرفیت خازنی داخلی** قطعه ترانزیستور در فرکانسهای بالا موجب کاهش بهره می‌شود. درست مانند C_i در مدار مثال ۵-۱. از سوی دیگر، افت بهره در فرکانسهای پایین معمولاً بوسیله **خازنهای انتقال** بوجود می‌آید که مطابق شکل (۲۷-۱) برای



شکل ۲۶-۱. پاسخ فرکانسی (الف) تقویت‌کنندهٔ اتصال خازنی (ب) تقویت‌کننده اتصال مستقیم و (پ) تقویت‌کنندهٔ تنظیمی یا میان‌گذر



شکل ۲۷-۱. استفاده از خازن برای اتصال طبقات تقویت‌کننده

ارتباط یک طبقه تقویت‌کننده به دیگری بکار می‌رود. این عمل معمولاً برای ساده‌کردن روند طراحی طبقات مختلف پذیرفته می‌شود. خازنهای انتقال معمولاً بسیار بزرگ انتخاب می‌شوند (کسری از میکروفاراد تا چند ده میکروفاراد) طوری که راکتانس آنها (امپدانس) در فرکانسهای موردنظر

کوچک باشد. در غیراینصورت، در فرکانسهای خیلی کوچک، راکتانس خازنهای انتقال به قدر کافی بزرگ می‌باشد و موجب می‌شود قسمتی از سیگنالی که باید انتقال یابد به صورت افت ولتاژ در دو سر خازن انتقال افت کند و بنابراین به طبقه بعدی راه نیابد. در اینصورت خازنهای انتقال در فرکانسهای پایین بهره را کاهش می‌دهند و در dc بهره را به صفر می‌رسانند.

موارد بسیاری وجود دارد که در آنها مهم است که بهره تقویت‌کننده در فرکانسهای پایین تا dc، همچنان وجود داشته باشد. بعلاوه در تکنولوژی مدار مجتمع (IC) امکان ساخت آی سی با خازنهای انتقال پر ظرفیت وجود ندارد. بنابراین، تقویت‌کننده‌های IC معمولاً به صورت **تزویج مستقیم** یا **تقویت‌کننده‌های** dc (در مقابل **تزویج خازنی** یا **تقویت‌کننده‌های** ac) طراحی می‌شوند. شکل (ب ۲۶-۱) پاسخ فرکانسی یک تقویت‌کننده dc را نشان می‌دهد. چنین پاسخ فرکانسی ای، دارای مشخصه‌ای موسوم به **تقویت‌کننده پایین‌گذر** است. اگر چه این نامگذاری دقیق نیست، اصطلاح تقویت‌کننده پایین‌گذر غالباً به تقویت‌کننده‌ای گفته می‌شود که پاسخ آن مطابق شکل (الف ۲۶-۱) باشد.

در مواردی، مانند طراحی رادیو و تلویزیون، نیاز به تقویت‌کننده‌هایی افزایش می‌یابد که پاسخ فرکانسی آن حول فرکانس معینی (که فرکانس مرکزی نامیده می‌شود) در ماکزیمم مقدار است و مطابق شکل (پ ۲۶-۱) مقدار آن در دو سمت این فرکانس افت می‌کند. تقویت‌کننده‌ها با چنین پاسخی را **تقویت‌کننده‌های تنظیمی** ، **تقویت‌کننده‌های میان‌گذر**، یا **فیلترهای میان‌گذر** می‌نامیم. یک تقویت‌کننده تنظیمی قسمت اصلی اولین بخش دریافت موج (تیونر) یک گیرنده مخابراتی است؛ با تنظیم فرکانس مرکزی آن در فرکانس دلخواه، سیگنال کانال ویژه‌ای می‌تواند دریافت شود و در همانحال فرکانسهای نامطلوب دیگر تضعیف شده یا فیلتر شوند.

تمرین‌ها

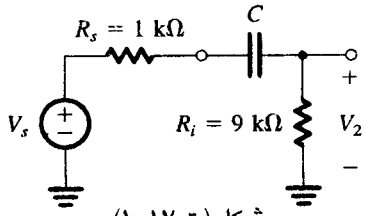
۱۵-۱ یک تقویت‌کننده ولتاژ درنظر بگیرید که دارای پاسخ فرکانسی ۱۰۰۰Hz با فیلتر پایین‌گذر از نوع STC و بهره dc ی ۶۰dB دارای ۳dB باشد، بهره را بر حسب دسی‌بل در فرکانسهای ۱۰ Hz ، ۱۰ kHz ، KHZ ۱۰۰، و ۱ MHz بدست آورید.

جواب. ۶۰ dB ؛ ۴۰ dB ؛ ۲۰ dB ؛ ۰ dB .

ط ۱۶-۱ یک تقویت‌کننده ترارسانا درنظر بگیرید که مدل آن مانند شکل (جدول ۱-۱) با $R_i = ۵\ k\Omega$ ، $R_o = ۵۰\ k\Omega$ و $G_m = ۱۰\ mA/V$ باشد. چنانچه بار تقویت‌کننده شامل یک مقاومت R_L به موازات یک خازن C_L باشد، با فرض اینکه تابع انتقال ولتاژ تحقق یافته، V_o/V_i از نوع STC پایین‌گذر باشد. پایین‌ترین مقداری که R_L می‌تواند داشته باشد وقتی حداقل بهره dc، ۴۰dB بدست آید. با این مقدار R_L متصل شده، بالاترین مقداری که C_L می‌تواند داشته باشد وقتی حداقل پهنای باند بدست آمده ۳ dB باشد را بدست آورید.

جواب. ۱۲/۵ kΩ ؛ ۱۵۹/۲ PF

۱۷-۱ وضعیت مدار شکل ۲۷-۱ را درنظر بگیرید. فرض کنید



شکل (ت ۱۷-۱)

مقاومت خروجی اولین تقویت‌کننده ولتاژ ۱ kΩ و مقاومت ورودی دومین تقویت‌کننده ولتاژ (شامل مقاومت نشان داده شده) برابر با ۹kΩ باشد. مدار معادل بدست آمده در شکل (ت ۱۷-۱) نشان داده شده است که در آن V_s ولتاژ خروجی و R_s مقاومت خروجی اولین تقویت‌کننده است، C خازن تزویج (انتقال)، و R_i مقاومت ورودی دومین تقویت‌کننده می‌باشد. مطمئن شوید که V^2/V_s یک تابع STC بالاگذر باشد. حداقل مقدار C چقدر است برای آنکه مطمئن باشیم فرکانس ۳ dB بزرگتر از ۱۰۰ Hz نمی‌باشد.

جواب. ۰/۱۶ μF ❑

۱-۷ وارونگر منطق دیجیتال

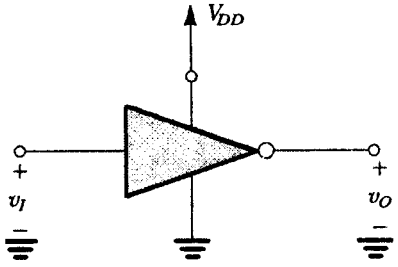
وارونگر منطق اصلی‌ترین عنصر در طراحی مدارهای دیجیتال است؛ و همان نقشی را دارد که تقویت‌کننده در مدارهای آنالوگ داراست . در این بخش، شرحی بر وارونگر منطق ارائه می‌شود.

کار وارونگر

چنانکه از نام وارونگر منطق بر می‌آید، مقدار منطق سیگنال ورودی را وارون می‌کند. یعنی ورودی ۰ را به ۱ تبدیل می‌کند و بر عکس شکل (۲۸-۱) نمای کلی یک وارونگر را نشان می‌دهد. ملاحظه می‌کنید که وقتی v_I کم (نزدیک به ۰V) است، خروجی v_o زیاد (نزدیک به V_{DD}) خواهد بود و بر عکس.

مشخصه انتقال ولتاژ (VTC)

برای بررسی کار وارونگر، از مشخصه انتقال ولتاژ (یا به اختصار VTC) آن استفاده می‌کنیم. ابتدا خواننده را به مثال ۲-۱ درباره تقویت کننده ارجاع می‌دهیم که مشخصه انتقال آن در شکل (۱۵-۱) ترسیم شده است. ملاحظه می‌کنیم که مشخصه انتقال آن گویای آن است که تقویت‌کننده وارونگر به عنوان یک وارونگر منطق می‌تواند استفاده شود. به طور خاص ، اگر ورودی زیاد (V_I>۰/۶۹۰V) باشد، V_o کم (۰/۳V) خواهد بود. از



شکل ۲۸-۱. یک وارونگر منطق که با منبع dc ی V_{DD} کار می‌کند

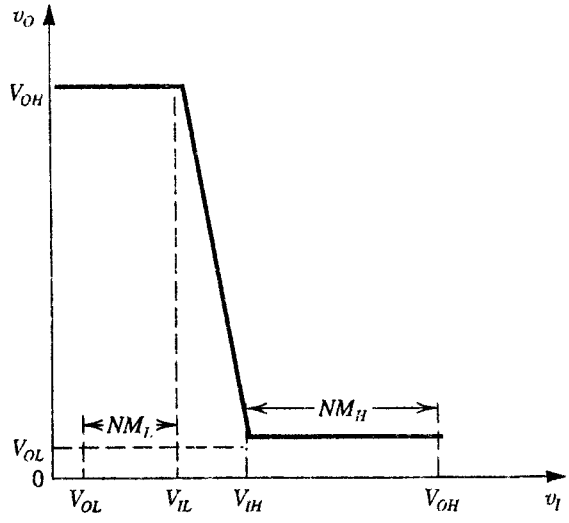
سوی دیگر، اگر ورودی کم (نزدیک به ۰V) باشد، خروجی زیاد (نزدیک به ۱۰V) خواهد بود. به این ترتیب برای آنکه از تقویت‌کننده به عنوان یک وارونگر منطق استفاده کنیم، از انتهای نواحی کار آن استفاده خواهیم کرد. این دقیقاً متفاوت با استفاده آن به عنوان یک تقویت‌کننده است که در مرکز مشخصه انتقال بایاس می‌شود و سیگنال به قدر کافی کوچک نگهداشته می‌شود تا عمل محدود شود و اجزای منحنی انتقال کوتاه و تقریباً خطی شود. از طرف دیگر، کاربردهای دیجیتال، استفاده از منحنی غیر خطی مشهود VTC را ممکن می‌سازد.

با در نظر گرفتن مطلب بالا، یک VTC شدنی برای یک وارونگر منطق را نشان می‌دهد. برای سهولت، سه خط مستقیم را برای تقریب VTC در نظر می‌گیریم که یک منحنی غیرخطی نظیر شکل (۲۹-۱) می‌شود. ملاحظه می‌کنیم که خروجی سطح بالا، که با V_{OH} نشان داده می‌شود، به مقدار واقعی v_I بستگی ندارد به شرطی که v_I از مقدار V_{IL} بیشتر نشود. امّا وقتی v_I از V_{IL} زیادتر شود، خروجی کاهش می‌یابد و وارونگر به ناحیه تقویت‌کننده‌گی می‌رسد که آنرا **ناحیه انتقال** می‌نامند. نتیجه می‌شود که V_{IL} شاخصه مهمی از VTC وارونگر است: ماکزیمم مقداری که v_I می‌تواند داشته باشد تا وارونگر به عنوان نمایانگر منطق 0 تفسیر شود.

مشابه با آن، ملاحظه می‌کنیم که سطح خروجی کم، که با V_{OL} نشان داده می‌شود، به مقدار واقعی v_I وابسته نیست تا وقتی که v_I به کمتر از V_{IH} افت نکند. به این ترتیب V_{IH} یک شاخصه مهم VTC است: این کمترین مقداری است که v_I می‌تواند داشته باشد تا وارونگر به مثابه نشان دهنده منطق 0 تفسیر شود.

لبه‌های نویز

حساس نبودن خروجی وارونگر به مقدار واقعی v_I در محدوده مجاز مزیت بزرگ مدارهای دیجیتال نسبت به مدارهای آنالوگ است. برای آنکه



شکل ۲۹-۱. مشخصه انتقال ولتاژ یک وارونگر، VTC با سه قطعه خط تقریب شده است. به چهار مشخصه VTC توجه کنید: V_{OH}، V_{OL}، V_{IL}، و V_{IH}، و به استفاده از آنها در تعیین لبه‌های نویز NM_H و NM_L دقت کنید.

این حساس نبودن به خوبی شرح شود، حالتی را در نظر بگیرید که غالباً در یک دستگاه دیجیتال اتفاق می‌افتد که یک وارونگر (با یک گیت منطقی که اساس مدار وارونگر را می‌سازد) وارونگر مشابه دیگری را راه‌اندازی می‌کند. اگر خروجی راه‌انداز وارونگر در V_{OH} زیاد باشد، ملاحظه می‌شود که یک "حاشیه ایمنی" برابر با اختلاف بین V_{OH} و V_{IH} خواهیم داشت (شکل ۲۹-۱ در نظر بگیرید). به بیان دیگر، چنانچه به هر دلیل، یک سیگنال مزاحم موسوم به نویز الکتریکی و یا به اختصار **نویز** بر خروجی راه‌انداز وارونگر قرار گیرد، وارونگر راه‌اندازی شده دچار مشکل نخواهد شد تا وقتی که این نویز ولتاژ ورودی را به پایین‌تر از V_{IH} کاهش ندهد. به این ترتیب، می‌توان گفت وارونگر دارای **لبه نویز ورودی زیاد** یعنی NM_H به شرح زیر است:

$$NM_H = V_{OH} - V_{IH} \qquad (۱-۲۹)$$

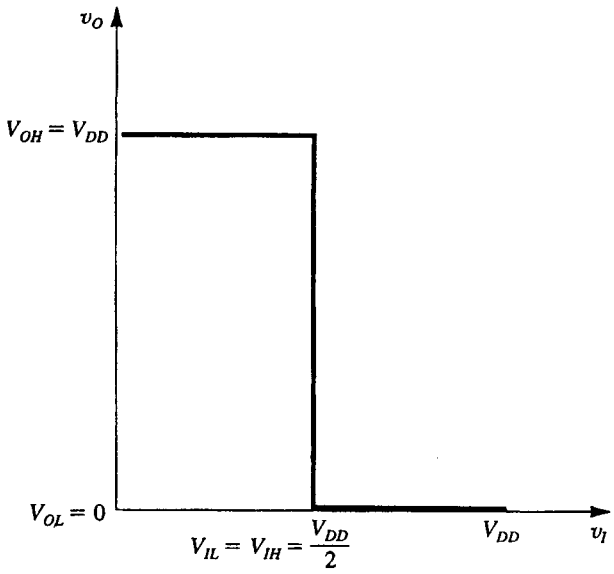
مشابه با آن اگر خروجی وارونگر راه‌انداز کمتر از V_{OL} باشد، وارونگر راه‌اندازی شده یک خروجی زیاد عرضه خواهد کرد. یعنی حتی اگر نویز، سبب گسیختگی مقدار V_{OL} در ورودی شود، خروجی تا حد V_{IL} افزایش خواهد یافت. از اینرو می‌توان چنین گفت: **وارونگر دارای لبه نویز پایین ورودی** است، یعنی NM_L آن به شرح زیر می‌باشد:

$$NM_L = V_{IL} - V_{OL} \qquad (۱-۳۰)$$

بر همین منوال، چهار پارامتر V_{OH}، V_{OL}، V_{IH}، V_{IL}، مقدار VTC یک وارونگر را و نیز لبه‌های نویز آن را مشخص می‌کنند. که این خود تعیین کننده قابلیت انعطاف در مقادیر سیگنال ورودی است. با توجه به این مطلب، ملاحظه می‌کنید که تغییرات در اندازه سیگنال ورودی در لبه نویز بوسیله وارونگر **دفع** می‌گردد. در نتیجه از انتشار بیشتر نویز به درون دستگاه جلوگیری می‌شود. علاوه بر این، راه انداز را به عنوان وسیله بازیافت اندازه‌های سیگنال به اندازه‌های استاندارد (V_{OH} و V_{OL}) می‌توان پنداشت حتی وقتی اندازه‌های سیگنال (در لبه‌های نویز) دچار اشکال شود.

VTC ایده‌آل

بطور معمول این پرسش مطرح می‌شود که چه چیز موجب می‌شود VTC ایده‌آل برای یک وارونگر بدست آید. پاسخ به طور مستقیم از مبحث پیش بدست می‌آید. یک VTC ایده‌آل، آن است که لبه‌های نویز را به حداکثر برساند و آنرا به تساوی بین مقادیر بالا و پایین ورودی تقسیم کند. چنین حالتی در VTC ایده‌آل شکل (۳۰-۱) نشان داده شده است که برای یک راه‌انداز بکار می‌رود که با منبع dc (V_{DD}) کار می‌کند. ملاحظه می‌کنید که سطح بالای خروجی (V_{OH}) در بالاترین مقدار ممکن از V_{DD} می‌باشد. و سطح پایین خروجی در پایین‌ترین مقدار ممکن یعنی ۰V است. و همچنین ملاحظه می‌کنید که ولتاژ آستانه V_{IL} و V_{IH} مساوی شده به اندازه نصف ولتاژ منبع تغذیه ($V_{DD}/۲$) می‌باشد. به این ترتیب عرض ناحیه انتقال بین نواحی بالا و پایین خروجی به صفر کاهش داده شده است. ناحیه انتقال، اگر چه بطور مسلم در عملکرد تقویت کننده‌ها موثر است. در مدارهای



شکل ۳۰-۱. VTC وارونگر ایده‌آل

دیجیتال موضوع مهمی نیست. شیب انتقال VTC ایده آل در ولتاژ آستانه $V_{DD}/۲$ چنان است که بهره ناحیه انتقال بی‌نهایت می‌شود.

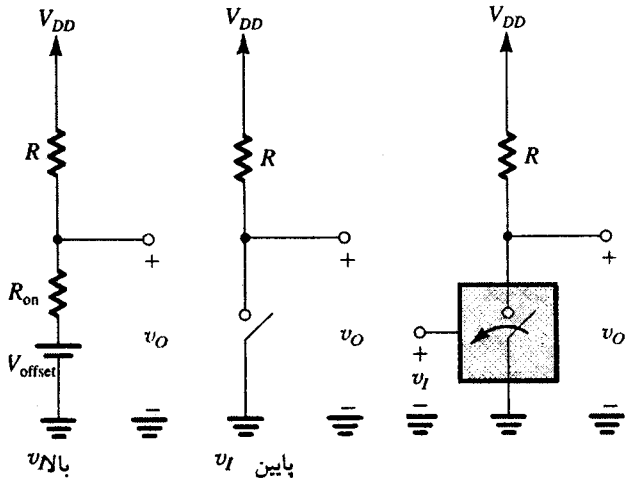
در اینصورت لبه‌های نویز مساوی هستند.

$$NM_H = NM_L = V_{DD}/۲ \qquad (۱-۳۱)$$

در فصل ۵ خواهیم دید که مدارهای وارونگر که با فناوری "نیمه هادی - اکسید فلز مکمل" (یا CMOS) طراحی شده‌اند به VTC ایده آل نزدیکند.

ساخت وارونگر

وارونگرهایی که در ساختمان آن‌ها ترانزیستور بکار می‌رود (چنانکه در فصل‌های ۴ و ۵ خواهیم دید)، به عنوان یک سویچ کنترل با ولتاژ استفاده می‌شود. ساده‌ترین روش ساخت وارونگر در شکل (۳۱-۱) نشان داده

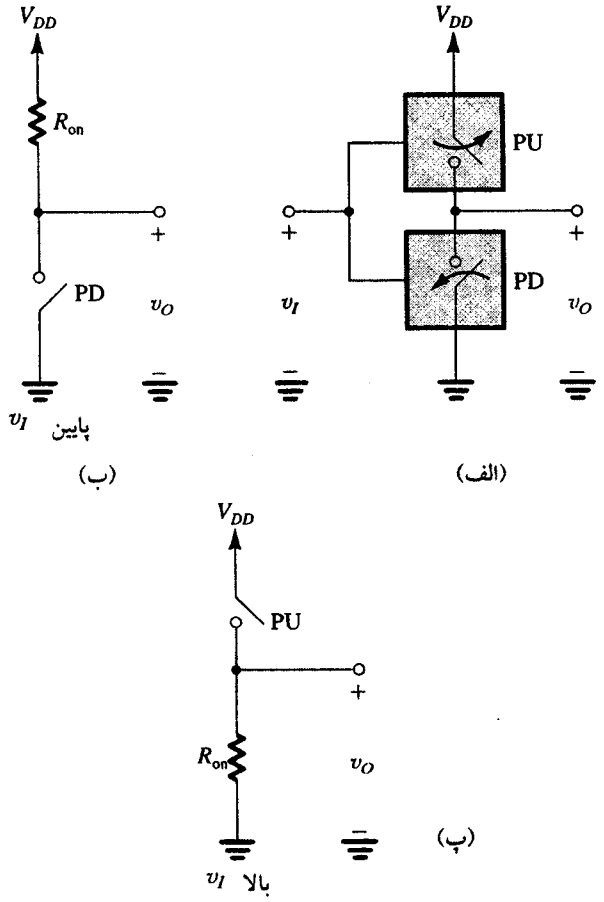


شکل ۳۱-۱. (الف) ساده‌ترین وارونگر منطقی به عنوان یک سویچ کنترل با ولتاژ (ب) مدار معادل وقتی v_I پایین است (پ) مدار معادل وقتی v_I بالا است. توجه کنید که سویچ بسته بنظر می‌رسد وقتی v_I بالا می‌باشد.

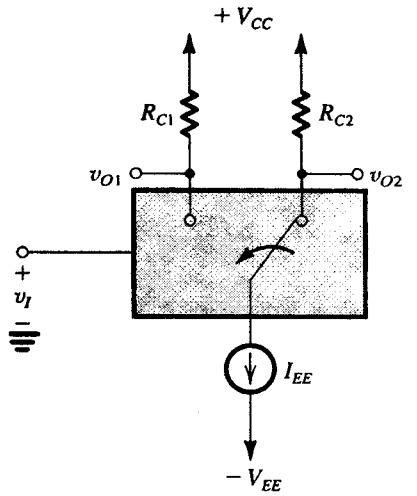
شده است. سویچ با v_I به ورودی وارونگر کنترل می‌گردد. وقتی v_I پایین (LOW) باشد، سویچ باز خواهد بود و $v_o = V_{DD}$ چون هیچ جریانی از R عبور نمی‌کند. مادامی که v_I بالا (high) باشد، سویچ بسته خواهد بود و سویچ ایده‌آل فرض خواهد شد و بنابراین $v_o = ۰$.

البته سویچ‌های ترانزیستوری چنانکه در فصل ۴ و ۵ خواهیم دید، بی عیب و ایراد نیستند. با وجود آنکه مقاومت ترانزیستورها در وضعیت خاموشی (off) آنها بسیار زیاد است و به این ترتیب یک سویچ باز تقریباً یک مدار باز است، اما سویچ در حالت روشن (on) دارای مقاومت کمی هست که آنرا مقاومت "روشنی" یا "on" می‌نامند و با R_{on} نشان داده می‌شود. بعلاوه برخی سویچ‌ها (که در آن‌ها از ترانزیستورهای دو قطبی استفاده می‌شود؛ فصل ۴) علاوه بر R_{on} دارای ولتاژ انسداد V_{offset} نیز هستند. نتیجه آن است که وقتی v_I بالا است، وارونگر دارای مدار معادل نشان داده شده در شکل (پ ۳۱-۱) است که از آن V_{OL} می‌تواند بدست آید.

وارونگر منطقی به طور استادانه‌تری طراحی می‌شود. دو نمونه از آن در شکل‌های (الف ۳۲-۱) و (الف ۳۳-۱) نشان داده شده است. مدار شکل (الف ۳۲-۱) از یک جفت سویچ مکمل استفاده شده است. سویچ بالاکش (PU) نقطه (گره) خروجی را به V_{DD} وصل می‌کند، و سویچ PD، خروجی را به زمین متصل می‌سازد. وقتی v_I پایین است، سویچ PU بسته و سویچ PD باز خواهد بود. در نتیجه مدار معادل شکل (ب ۳۲-۱) بدست



شکل ۳۲-۱. پیاده سازی ماهرانه‌ای از وارونگر منطقی با دو سویچ مکمل. این اساس وارونگر CMOS است که در بخش ۹-۵ بررسی شد.



شکل ۳۳-۱. وارونگر دیگری که با استفاده از سویچ دو راهه برای کشیدن جریان ثابت I_{EE} به R_{C1} (وقتی v_I بالا است) یا R_{C2} (وقتی v_I پایین است). این اساس منطق تزویج امیتر (E_{CL}) را نشان می‌دهد که در فصل ۶ و ۱۴ بررسی خواهد شد.

خواهد آمد. ملاحظه می‌کنید که در این حالت R_{on} سویچ PU خروجی را به V_{DD} وصل می‌کند. در نتیجه $V_{OH} = V_{DD}$ می‌شود و همچنین ملاحظه می‌کنید که هیچ جریانی نمی‌گذرد و بنابراین هیچ توانی در مدار تلف نمی‌شود. اکنون، اگر v_I به سطح منطقی ۱ افزایش یابد، سویچ PU باز و در همانحال سویچ PD بسته خواهد شد و مدار معادل شکل (پ ۳۲-۱) بدست خواهد آمد. در اینجا R_{on} در سویچ PD خروجی را به زمین وصل کرده و رابطه $V_{OL} = 0$ برقرار می‌شود. در اینجا باز هم جریانی راه نمی‌یابد، و توانی تلف نمی‌گردد. برتری این طرح به خوبی روشن است نسبت به طرحی که در آن از کلید منفرد PD و یک ترانزیستور (به عنوان یک مقاومت PU) استفاده می‌شود. این مدار بر اساس وارونگر CMOS بنیاد شده است که در بخش ۹-۵ درباره آن مطالعه خواهیم کرد. توجه کنید که در مدار معادل ولتاژهای انسداد را در نظر نگرفته‌ایم زیرا سویچهای CMOS ولتاژ انسداد به دست نمی‌دهد (فصل ۵).

در مرحله آخر، ساخت وارونگر شکل (۳۳-۱) را در نظر بگیرید. در اینجا برای هدایت جریان ثابت I_{EE} در یکی از دو مقاومت متصل به منبع مثبت V_{CC}، یک سویچ دو گذر استفاده شده است. از خواننده می‌خواهیم نشان دهد که اگر ولتاژ بالای v_I بدست آید، سویچ به R_{C1} وصل می‌شود و در آن صورت عمل وارد سازی منطقی در v_{o1} ملاحظه می‌شود. توجه کنید که ولتاژ خروجی مستقل از مقاومت سویچ است. آرایش منطقی **حالت جریان** یا **کشش جریان** اساس سریعترین مدارهای منطقی دیجیتال کنونی را شکل می‌دهند که به منطق تزویج - امیتر (ECL) شهرت دارند و در فصل ۶ و به تفصیل در فصل ۱۴ شرح داده خواهد شد.

اتلاف توان

دستگاههای دیجیتالی با استفاده از گیت‌های منطقی بسیاری ساخته شده‌اند. با توجه به ملاحظاتی نظیر جا و هزینه اقتصادی، مطلوب آن است که دستگاهها با آی‌سی‌های هر چه کمتری ساخته شود. این امر موجب شده است تا گیت‌های منطقی هر چه بیشتری روی یک تراشه آی‌سی قرار داده شود. در حال حاضر، ۱۰۰۰۰۰ گیت روی تراشه واحدی ساخته می‌شود و آنرا **مجتمع بسیار بزرگ مقیاس** یا به اختصار (VLSI) می‌نامند. برای آنکه توان تلف شده در تراشه به حد قابل قبولی از حیث گرمایی) برسد، اتلاف توان در گیت بایستی به حداقل مقدار برسد. در حقیقت، یک مشخصه مهم وارونگر منطقی اندازه اتلاف توان است.

وارونگر شکل (۳۱-۱) وقتی v_I پایین و سویچ باز است، بطور مسلم تلف کننده توان نمی‌باشد. در حالت دیگر، اتلاف توان تقریباً V_{DD}^2/R است و می‌تواند باشد. این اتلاف توان وجود خواهد داشت حتی اگر وارونگر سویچ نکند و از همین رو به عنوان **اتلاف توان استاتیک** موسوم است. وارونگر شکل (۳۲-۱) اتلاف توان ندارد که این خود مزیتی است. اگر چه متأسفانه وقتی ظرفیت خازنی بین نقطه (گره) خروجی وارونگر و زمین وجود دارد، اتلاف توان بوجود می‌آید. همواره موارد دیگری نیز وجود دارد. مانند عناصری که به عنوان سویچ بکار می‌روند، سیمهای اتصال خروی وارونگر به مدارهای دیگر، و ظرفیت ورودی هر مداری که وارونگر آنرا راه‌اندازی می‌کند. اکنون، وقتی وارونگر از یک حالت به حالت دیگری سویچ می‌کند، جریان می‌بایست از سویچ (یا سویچها) عبور کند و خازن بار را شارژ (یا دشارژ) کند. این جریان سبب مصرف توان در سویچ‌ها می‌شود که آنرا **توان دینامیک** می‌نامیم. در فصل ۵، اتلاف توان دینامیک را در وارونگر CMOS بررسی خواهیم کرد، و نشان خواهیم داد که یک وارونگر که در فرکانس fHz سویچ می‌کند، اتلاف توان آن چنین خواهد بود:

$$p_{\text{دینامیک}} = fCV_{DD}^2 \qquad (۱-۳۲)$$

که در آن C ظرفیت بین نقطه خروجی و زمین است، و V_{DD} ولتاژ منبع تغذیه است. از این نتیجه برای همه مدارهای وارونگر استفاده می‌شود.

تأخیر انتشار

رفتار دینامیک تقویت کننده‌ها بر حسب پاسخ فرکانسی آنها تعیین می‌گردد. وارونگرها بر حسب زمان تأخیر بین سویچ v_I (از پایین کم به زیاد یا برعکس) و تغییر متناسب با آن در خروجی مشخص می‌شوند. این زمان تأخیر را به دو دلیل **تأخیر انتشار** می‌نامند: ترانزیستورهایی که به عنوان سویچ بکار می‌روند دارای زمان سویچ محدود (غیر صفر است، و ظرفیت خازنی غیر قابل اجتناب بین گره خروجی وارونگر و زمین، به شارژ (یا دشارژ) نیاز دارد پیش از آنکه خروجی به سطح مطلوب V_{OH} یا V_{OL} برسد. زمان سویچ وارونگر را در فصل‌های بعد تحلیل خواهیم کرد. برای مطالعه آنها آشنایی کامل با پاسخ زمانی مدارهای ثابت زمانی منفرد (STC) لازم است. این مبحث در ضمیمه "ج" آورده شده است. در اینجا برای یادآوری معادله کلیدی را در تعیین پاسخ یک تابع پله‌ای ارائه می‌کنیم.

یک تابع پله‌ای در نظر بگیرید که به ورودی یک شبکه STC پایین‌گذر

(یا بالا گذر) اعمال شده است، و فرض کنید شبکه دارای ثابت زمانی τ می‌باشد. خروجی در هر لحظه t از رابطه زیر بدست می‌آید:

$$y(t) = y_\infty - (y_\infty - y_{0+})e^{-t/\tau} \qquad (۱-۳۳)$$

که در آن y_∞ مقدار نهایی، یعنی مقداری است که پاسخ در بالاترین سطح است و y_{0+} مقدار پاسخ بلافاصله پس از $t = 0$ است. این معادله بیانگر آن است که خروجی در هر زمان t برابر است با اختلاف بین مقدار نهایی y_∞ و فاصله‌ای که مقدار آغازین آن $y_\infty - y_{0+}$ است و بصورت نمایی جمع می‌شود (خم می‌خورد).

مثال ۶-۱

وارونگر شکل (الف ۳۱-۱) را در نظر بگیرید که در آن یک خازن $C = 10\text{PF}$ بین خروجی و زمین وصل شده است. فرض کنید $V_{DD} = 5\text{V}$، $R = 1\text{k}\Omega$، $R_{on} = 100\Omega$، و $V_{offset} = 0.1\text{V}$ باشد. اگر در $t = 0$، v_I کم شود و از زمان تأخیر سویچ صرفنظر گردد. یعنی فرض کنیم سویچ بلافاصله باز می‌شود، زمان رسیدن خروجی به $\frac{1}{2}(V_{OH}+V_{OL})$ را بدست آورید. زمان این نقطه ۵۰٪ را در شکل موج خروجی به عنوان تأخیر انتشار کم تا زیاد یا t_{PLH} می‌نامند.

حل:

ابتدا V_{OL} یعنی ولتاژ خروجی را مقدمتاً در $t = 0$ بدست می‌آوریم. در مدار معادل شکل (ب ۳۱-۱) بدست می‌آوریم:

$$V_{OL} = V_{offset} + \frac{V_{DD} - V_{offset}}{R + R_{on}} R_{on}$$
$$= 0.1 + \frac{5 - 0.1}{1.1} \times 0.1 = 0.55\text{V}$$

سپس، وقتی سویچ در $t = 0$ باز می‌شود، مدار به شکل (الف ۳۴-۱) در می‌آید، چون ولتاژ دو سر خازن بطور لحظه‌ای تغییر نمی‌کند، در $t = 0^+$ ولتاژ همچنان 0.55V خواهد بود. آنگاه خازن از طریق R شارژ می‌شود و v_o به طور نمایی به سوی V_{DD} افزایش می‌یابد. شکل موج خروجی به صورت نشان داده شده در شکل (ب ۳۴-۱) خواهد شد، و معادله آن با جایگزینی $v_o(\infty) = 5\text{V}$ و $v_o(0^+) = 0.55\text{V}$ بدست خواهد آمد در نتیجه

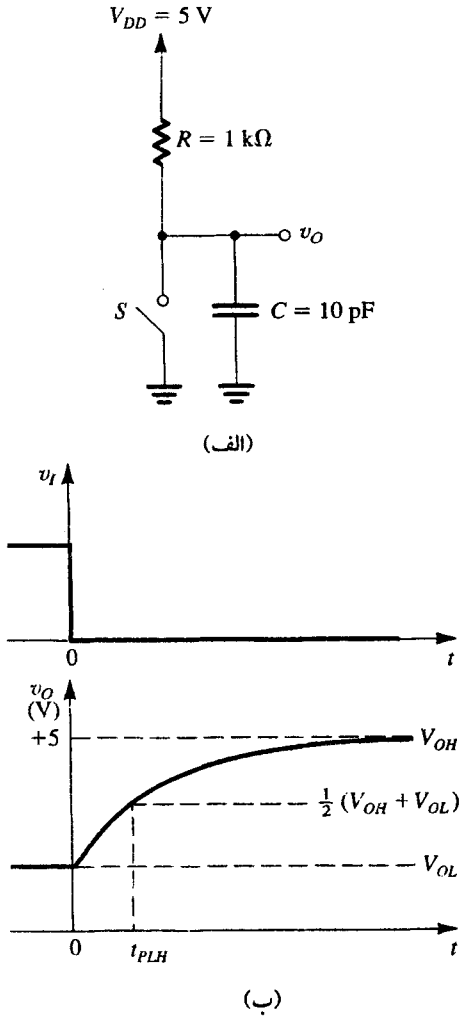
$$v_o(t) = 5 - (5 - 0.55)e^{-t/\tau}$$

که در آن $\tau = CR$ است. برای بدست آوردن t_{PLH}، جایگزین می‌کنیم:

$$v_o(t_{PLH}) = \frac{1}{2}(V_{OH} + V_{OL}) = \frac{1}{2}(5 + 0.55)$$

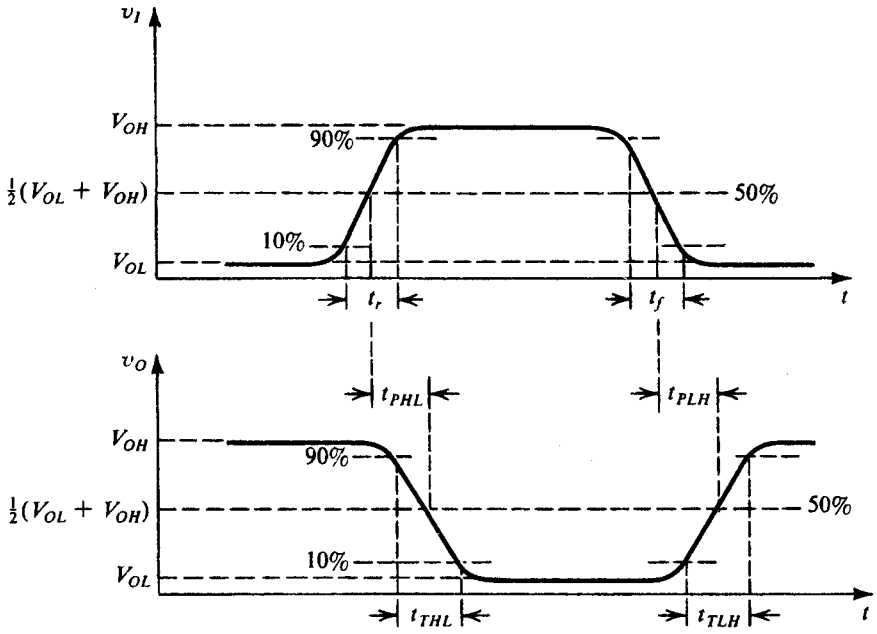
نتیجه آنکه

$$t_{PLH} = 0.69\tau$$
$$= 0.69RC$$
$$= 0.69 \times 10^3 \times 10^{-11}$$
$$= 6.9 \text{ ns}$$



شکل ۳۴-۱. مثال ۶-۱: (الف) مدار وارونگر پس از باز شدن سویچ مثلاً به ازای $t \geq 0^+$ (ب) شکل موج‌های V_I و V_O. مشاهده می‌کنید که فرض بر این است سویچ بلافاصله عمل می‌کند، V_O به طور نمایی افزایش می‌یابد، در V_{OL} شروع و در V_{OH} به انتها می‌رسد.

این بخش را با تعریف عمومی تأخیر انتشار وارونگر در شکل ۳۵-۱ به پایان می‌بریم. مطابق شکل، یک پالس ورودی با زمان صعود و افول ناچیز (غیر صفر) اعمال می‌شود. پالس وارونه شده در خروجی دارای زمان صعود و افول ناچیز (موسوم به t_{TLH} و t_{THL} که زیرنویس T به معنای گذرا و LH به معنی پایین تا بالا و HL به معنی نشان دهندهٔ بالا تا پایین) است. همچنین زمان تأخیری بین ورودی و خروجی وجود دارد. شیوه متداول تعیین زمان تأخیر انتشار آن است که متوسط بالا تا پایین زمان تأخیر انتشار یعنی t_{PHL}، و تأخیر انتشار پایین تا بالا، t_{PLH} است را بدست آوریم. همانگونه که نشان داده شده است، این زمان تأخیر بین نقاط ۵۰٪ شکل موج ورودی و خروجی بدست می‌آید. همچنین متوجه می‌شوید که زمان گذرا با استفاده از نقاط ۱۰٪ و ۹۰٪ خروجی $(V_{OH}-V_{OL})$ بدست می‌آید.



شکل ۳۵-۱. تعاریف زمان تأخیر انتشار و زمان گذار در وارونگر منطقی

تمرینها

۱۸-۱ در وارونگر شکل ۳۱-۱، فرض کنید $V_{DD}=5V$، $R=1k\Omega$، $R_{on}=100\Omega$، $V_{offset}=0/1V$، $V_{IL}=0/8V$، $V_{IH}=1/2V$. پیدا کنید V_{OH}، V_{OL}، NM_H، NM_L را. همچنین متوسط توان ایستایی را بدست آورید با فرض اینکه وارونگر نیمی از زمان را در هر دو حالت صرف می‌کند.

جواب. ۵V ؛ ۰/۵۵V ؛ ۳/۸V ؛ ۰/۲۵V ؛ ۱۱/۱mW

۱۹-۱ توان پویای تلف شده در یک وارونگر را بدست آورید که با یک منبع ۵V کار می‌کند. وارونگر دارای بار خازنی ۲PF است و در ۵۰MHz سویچ می‌کند.

جواب. ۲/۵mW ❑

خلاصه

- یک منبع سیگنال الکتریکی به صورت معادلهای تونن (یک منبع ولتاژ و امپدانس سری با آن) یا نورتن (یک منبع جریان و مقاومت موازی با آن) نمایش داده می‌شود.
- موج سینوسی بوسیلهٔ **مقدار نوک** آن (یا مقدار موثر که عبارت از $\frac{\text{مقدار نوک}}{\sqrt{2}}$ می‌باشد)، **فرکانس آن** (ω بر حسب رادیان برثانیه یا f بر حسب هرتز، با رابطه $\omega = 2\pi f$ و $f = 1/T$ که T پریود موج بر حسب ثانیه است)، و فاز آن نسبت به یک مبدأ زمان دلخواه بطور کامل مشخص می‌گردد.
- یک سیگنال بصورت شکل موج آن نسبت به زمان یا مجموع امواج سینوسی نمایش داده می‌شود که نوع اخیر طیف فرکانسی سیگنال نامیده می‌شود.
- سیگنالهای آنالوگ مقدار دامنه‌های گوناگونی دارند مدارات الکترونیکی پردازش کننده این سیگنالها مدارهای آنالوگ نامیده می‌شود. سیگنال دیجیتال نتیجه نمونه‌برداری از دامنه سیگنال آنالوگ در فواصل زمانی گسسته می‌باشد. مدارهای دیجیتال، سیگنالهای دیجیتال را پردازش می‌کنند.
- مشخصه انتقال یک تقویت کننده خطی، v_O نسبت به v_I، خط راستی است که شیب آن نشاندهندهٔ میزان بهره ولتاژ است.
- تقویت کننده، قدرت یک سیگنال را افزایش می‌دهد بنابراین به تغذیه dc نیاز دارد.
- تقویت کنندهایی که مشخصه‌های غیر خطی دارند، با استفاده از تغذیه dc و باکوچک نگهداشتن دامنه سیگنال ورودی می‌توانند تقویت خطی انجام دهند.
- بر اساس سیگنالی که باید تقویت شود (ولتاژ یا جریان) بسته به شکل سیگنال خروجی (ولتاژ یا جریان) چهار نوع تقویت کننده وجود دارد: تقویت کنندهٔ ولتاژ، جریان، هدایت انتقالی و مقاومت انتقالی.
- برای اندازه‌گیری پاسخ فرکانسی تقویت کننده‌ها از امواج سینوسی استفاده می‌شود.
- تابع انتقال یک تقویت کننده ولتاژ یعنی $T(s) = V_o(s)/V_i(s)$، از تحلیل مدار بدست می‌آید. با جایگزینی $s = j\omega$، $T(j\omega)$ بدست می‌آید که مقدار $|T(j\omega)|$ پاسخ دامنه و فاز آن $\phi(\omega)$ پاسخ فاز تقویت کننده می‌باشد.
- تقویت کننده‌ها بر اساس شکل پاسخ فرکانسی $|T(j\omega)|$ تقسیم بندی می‌شوند.
- شبکه های ثابت زمانی منفرد (STC) شبکه هایی هستند که از یک عنصر غیرفعال (C یا L) و یک مقاومت شکل گرفته‌اند. ثابت زمانی این شبکه‌ها، RC و یا L/R بوده و با حرف τ نمایش داده می‌شود.
- شبکه‌های STC به دوگروه اصلی تقسیم می‌شوند: پایین گذر (LP) که به سیگنالهای dc و فرکانس پایین اجازه عبور داده و فرکانسهای بالا را تضعیف می‌کند. بالاگذر (HP) که عکس عمل فوق را انجام می‌دهد.
- بهره یک مدار STC از نوع LP (HP) ۳ دسی‌بل زیر فرکانس صفر

(بی‌نهایت) نسبت به فرکانس قطع یعنی $\omega_0 = \frac{1}{\tau}$ افت می‌کند در فرکانسهای بالا (فرکانسهای پایین) بهره با نرخ ۶ $\frac{\text{دسی‌بل}}{\text{اکتاو}}$ یا ۲۰ $\frac{\text{دسی‌بل}}{\text{دهه}}$ نزول می‌کند.

- وارونگر منطق دیجیتال جزء اساسی از ساختمان مدارهای دیجیتال را تشکیل می‌دهد، مانند تقویت کننده که جزء اساسی در ساختمان مدارهای آنالوگ است.
- عملکرد ایستایی یک وارونگر با مشخصه انتقالش (VTC) تعیین می‌شود. محل شکست منحنی انتقال لبه‌های نویز وارونگر را تعیین می‌کنند (با توجه به شکل ۲۹-۱) . بویژه توجه کنید که $NM_H = V_{OH} - V_{IH}$ و $NM_L = V_{IL} - V_{OL}$.
- وارونگر با استفاده از ترانزیستورهایی ساخته می‌شود که به مثابه سویچهای کنترل ولتاژ کار می‌کنند. روشی که در آن دو سویچ به صورت مکمل کار می‌کنند یک وارونگر پرکاربرد می‌باشد.
- یک شاخصه کار مهم وارونگر مقدار توان تلف شده آن است. دو مؤلفه اتلاف توان وجود دارد: ایستا و پویا. مولفه اول نتیجه جریان در حالت ۰ یا ۱ می‌باشد. دومی مربوط به زمانی است که وارونگر سویچ می‌شود و دارای بار خازنی است. اتلاف توان پویا تقریباً از fCV_{DD}^2 بدست می‌آید.
- شاخصه مهم دیگر وارونگر تأخیر انتشار است (شکل ۳۵-۱ را ملاحظه کنید).

مسائل

بخش ۱-۱: سیگنالها

۱-۱ در منبع سیگنال نشان داده شده در شکل (الف ۱-۱) و (ب ۱-۱)، ولتاژهای خروجی مدار باز چقدر هستند؟ چنانکه در هر یک، پایانه‌های خروجی اتصال کوتاه شود، چه مقدار جریان خواهیم داشت؟ در مدار معادل، بین v_s، i_s و R_s چه رابطه‌ای وجود دارد؟

۱-۲ یک منبع سیگنال سینوسی دارای ولتاژ مدار بازِ ۱۰ میلی‌ولت و جریان اتصال کوتاه ۱۰ میکروآمپر است. مقدار مقاومت منبع چقدر است؟

بخش ۲-۱: طیف فرکانسی سیگنال

۱-۳ عباراتی برای موجهای سینوسی زیر بیان کنید:
الف) دامنه نوک ۱۰ ولت و فرکانس ۱۰ کیلوهرتز
ب) مقدار مؤثر ۱۲۰ ولت و فرکانس ۶۰ هرتز
پ) مقدار ۰/۲ ولت نوک به نوک و فرکانس ۱۰۰۰ rad/s
ت) مقدار نوک ۱۰۰ میلی‌ولت و پریود ۱ میلی‌ثانیه

۱-۴ اندازه‌های بدست آمده از یک سیگنال موج مربعی با استفاده از دستگاه ولتمتر فرکانس گزین (تحلیلگر طیف) دارای طیفی از اجزاء نزدیک به هم (خطوط طیفی) به ترتیب بافرکانسهای ۹۸kHz و ۱۲۶KHz با دامنه ۶۳mV و ۴۹mV است. در اندازه‌گیری مستقیم این سیگنال، فرکانس و دامنه چقدر است؟ مقدار rms سیگنال مبنا چقدر است؟ مقدار نوک تا نوک و زمان تناوب موج مربعی چقدر است؟

۱-۵ در یک سیگنال صوتی مربعی شکل با فرکانس ۱۰kHz، چه کسری از انرژی آن بوسیله یک شخص ۴۰ ساله دریافت می‌شود که فقط تا فرکانس‌های ۱۶kHz را دریافت کند.

۱-۶ چه کسری از انرژی یک موج مربعی با فرکانس f و دامنه نوک تانوک ۲V در هارمونیک فرکانس $9f$ موجود است؟

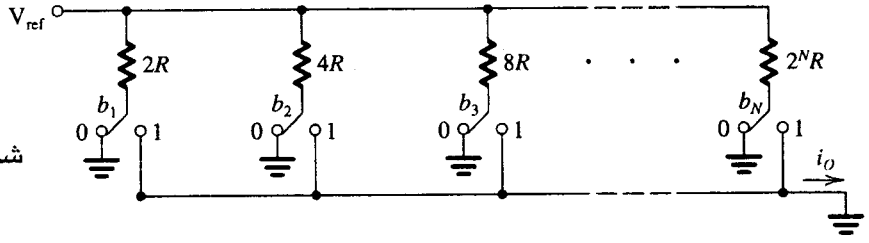
بخش ۳-۱: سیگنالهای آنالوگ و دیجیتال

ط ۱-۷ یک مهندس جوان در مراحل اولیه طراحی محصولی جدید، روشهای مختلف نمایش اطلاعات را بررسی می‌کند. یکی از نیازمندیهای این طراحی، نمایش مقداری است متناسب با تغییر مقدار ولتاژ داخلی نسبت به صفر . در بین روشهای انتخابی طراح، استفاده از نمایشگرهای LED یک رقمی یا دو رقمی وجود دارد. در هر دو حالت با مقدار صفر نشان داده نمی‌شود. در وضعیت دو رقمی، صفرهای آخر حذف می‌شوند. بیش از دو رقم گران در می‌آید، از فضای زیادی استفاده می‌شود. پرسشهای بسیاری به شرح زیر برایش مطرح می‌شوند: (الف) تا چه شماره‌ای از مقادیر را نشان می‌دهد (ب) بزرگترین عدد چیست؟ کوچکترین عدد چیست؟ گستره دینامیکی (یعنی نسبت بزرگترین مقدار به کوچکترین مقدار چقدر است؟ دقت آن را به درصد حساب کنید (یعنی نسبت کوچکترین مقدار نمایش شده به بزرگترین مقدار)؟

۱-۸ نمایش دودویی اعداد اعشاری ۰ ، ۷ ، ۱۲ ، ۳۳ ، ۵۷ را بدست آورید؟

۱-۹ یک مبدل آنالوگ به دیجیتال N بیتی در نظر بگیرید که ولتاژ ورودی آن بین ۰ تا V_{FS} تغییر کند (اندیس FS یعنی بیشتر مقدار مثبت).
(الف) نشان دهید که بیت با کمترین ارزش (LSB) با تغییر در سیگنال آنالوگ $V_{FS}/2^N - 1$ متناسب است) . این نسبت را دقت مبدل می‌نامند.
(ب) ثابت کنید که ماکزیمم خطای تبدیل (که خطای کوانتش نیز نامیده می‌شود)، نصف دقت یعنی $V_{FS}/2(2^N - 1)$ می‌شود.
(پ) وقتی $V_{FS} = 10V$، برای بدست آوردن دقت ۱۰mV یا بیشتر، چه مقدار بیت نیاز است؟ دقت واقعی بدست آمده چقدر است؟ خطای کوانتش چه مقدار است ؟

۱-۱۰ شکل (۱۰-۱م) مدار یک مبدل دیجیتال به آنالوگ N بیتی را نشان می‌دهد. هر N بیت دیجیتال یکی از سویچها را کنترل می‌کند. وقتی بیت ۰ است ، سویچ در وضعیت ۰ است؛ وقتی بیت ۱ است سویچ در وضعیت ۱ می‌باشد .



شکل (م ۱۰-۱)

خروجی آنالوگ جریان i_o است. V_{ref} ولتاژ ثابت مرجع است. نشان دهید که

$$i_o = \frac{V_{ref}}{R}\left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \ldots + \frac{b_N}{2^N}\right)$$

(ب) LSB و MSB چقدر است؟
(پ) به ازای $V_{ref}=5V$ و $R=5k\Omega$ و $N=4$، بیشترین مقدار i_o بدست آمده چقدر است؟ تغییر در i_o چقدر است وقتی LSB از ۰ تا ۱ تغییر کند.

بخش ۴-۱: تقویت‌کننده‌ها

۱۱-۱ یک تقویت‌کنندهٔ صوتی به ازای ورودی سینوسی با دامنهٔ Vrms ۱ خروجی سینوسی با دامنهٔ نوک ۰/۵ V تولید می‌کند. مقاومت ورودی تقویت‌کننده ۱۲۰ kΩ است. بار تقویت‌کننده بلندگویی با مقاومت معادل ۸Ω است. بهرهٔ ولتاژ، بهرهٔ جریان و بهرهٔ توان این سیستم چقدر است؟ این نسبت‌ها را به dB نیز بیان کنید.

۱۲-۱ یک تقویت‌کننده دارای بهره جریان ۸۰ دسی‌بل و بهره توان ۵۰ دسی‌بل است بهره ولتاژ آنرا پیدا کنید.

۱۳-۱ یک تقویت‌کننده که با دو منبع تغذیه ۱۵± ولت کار می‌کند مقدار ۲۰ ولت نوک به نوک را در خروجی به یک مقاومت بار ۲ کیلواهمی تحویل می‌دهد. تقویت‌کننده از هر منبع بطور متوسط ۱/۷ میلی‌آمپر جریان می‌کشد و جریان سیگنال ورودی قابل چشم‌پوشی است. توان تلف‌شده را محاسبه نمایید.

۱۴-۱ یک تقویت‌کننده که با دو منبع تغذیه ۱۵± ولت کار می‌کند دارای مشخصه انتقالی خطی تا دامنه خروجی ۱۳± ولت است. اگر بهره تقویت‌کننده V/V_i ۱۰۰ باشد. مقدار مؤثر بزرگترین موج سینوسی ورودی را در شرایطی که خروجی دچار برش نشود پیدا کنید.

ط*۱۵-۱ یک طرح تقویت‌کننده با استفاده از یک ترانزیستور نیمه هادی اکسید فلز (MOS) دارای مشخصه انتقالی $v_O = 10 - 5(v_I - 2)^2$ می‌باشد که v_I و v_O بر حسب ولت هستند. این مشخصه انتقالی در محدودهٔ $2 \le v_I \le v_o + 2$ و هنگامی که v_O مثبت است بکار می‌رود در مرز این ناحیه ترانزیستور به حالت اشباع می‌رود.
(الف) مشخصه انتقالی را رسم کرده و بطور واضح مشخص کنید. سطوح اشباع L_+ و L_1 و مقادیر v_I متناظر با آنها چقدر هستند؟
(ب) تقویت‌کننده را برای بدست آوردن ۵ ولت dc در خروجی بایاس کنید. در این حالت چند ولت ورودی dc موردنیاز است؟
(پ) بهره ولتاژ سیگنال - کوچک را در نقطه بایاس محاسبه کنید.
(ت) اگر بایاس dc ورودی یک موج سینوسی اضافه شود یعنی $v_I=V_I+V_i\cos\omega t$، v_O حاصل را پیدا کنید. با استفاده از رابطه مثلثاتی $\cos^2\theta = \frac{1}{2} + \frac{1}{2}\cos 2\theta$، v_O را بصورت مجموعه‌ای از یک مؤلفه dc، یک مؤلفه سینوسی با فرکانس ω و یک مؤلفه سینوسی با فرکانس 2ω مشخص کنید. به مؤلفه‌های بالاتر نیازی نیست چون آنها نتیجه مشخصهٔ غیرخطی تقویت‌کننده هستند اگر بخواهیم نسبت هارمونیک دوم به هارمونیک اصلی ۱% باشد (این نسبت اعوجاج هارمونیک دوم نامیده می‌شود) حد بالایی V_i چقدر است؟

ط ۱۶-۱ یک تقویت‌کننده ترانزیستوری دارای مشخصه انتقالی $v_O=17-10v_I$ در محدودهٔ $0.3V \le v_O \le 10V$ می‌باشد. در مرز این ناحیه ترانزیستور به حالت اشباع می‌رود. مشخصه انتقالی را رسم کرده و مقدار ولتاژ dc را برای V_I در صورتی که مقدار ولتاژ dc خروجی ۵ ولت باشد پیدا کنید. بهره ولتاژ تقویت‌کننده را در صورتی که سیگنال v_i به ولتاژ V_I بایاس افزوده شود بدست آورید. اگر v_i سینوسی باشد حداکثر دامنهٔ آنرا بصورتی که خروجی دچار برش نشود مشخص کنید.

بخش ۵-۱: مدلهای مداری برای تقویت‌کننده‌ها

۱۷-۱ مدل مداری تقویت‌کنندهٔ ولتاژ شکل (ب ۱۷-۱) را با $A_{vo} = 10$ V/V و مقاومتهای زیر در نظر بگیرید:
(الف) $R_i = 10R_s$، $R_L = 10R_o$
(ب) $R_i = R_s$، $R_L = R_o$
(پ) (الف) $R_i = R_s/10$، $R_L = R_o/10$
در هر حالت بهرهٔ ولتاژ v_o/v_s را به دست آورید و آن را برحسب dB نیز بیان کنید.

۱۸-۱ تقویت‌کننده‌ای با بهرهٔ ولتاژ مدار باز ۴۰dB، مقاومت ورودی ۱MΩ و مقاومت خروجی ۱۰Ω، به مقاومت بار ۱۰۰Ω وصل شده است. با اتصال بار بهرهٔ ولتاژ و بهرهٔ توان (برحسب dB) چقدر می‌شود؟ اگر ماکزیمم جریان خروجی این تقویت‌کننده ۱۰۰mA باشد، مقدار rms بزرگترین ورودی سینوسی که به ازای آن خروجی بدون اعوجاج حاصل می‌شود چقدر است؟ توان خروجی متناظر با این حالت چقدر است؟

۱۹-۱ یک طراح روشهای مختلف اتصال یک منبع سیگنال با مقاومت خروجی ۱۰۰ kΩ به یک مقاومت بار ۱۰۰-Ω را بررسی می‌کند. او دو نوع تقویت‌کننده دارد که بهرهٔ ولتاژ مدار باز هر دو ۱۰۰ V/V است. مقاومت ورودی و مقاومت خروجی تقویت‌کنندهٔ الف به ترتیب ۱۰ Ω و ۱ kΩ و در تقویت‌کنندهٔ ب به ترتیب ۱ kΩ و ۱۰ kΩ است. بهره را به ازای هر یک از این تقویت‌کننده‌ها حساب کنید. کدام یک موثرترند؟ با دو تقویت‌کننده از نوع موثرتر چه بهره‌ای حاصل می‌شود؟

ط ۲۰-۱ یک طراح تقویت‌کننده‌هایی با مشخصات مقاومت ورودی ۱۰kΩ، مقاومت خروجی ۱ kΩ و بهره ولتاژ مدار باز ۱۰ در اختیار دارد. مقاومت منبع سیگنال ۱۰ kΩ و میزان آن ۱۰ میلی‌ولت rms است. سیگنال خروجی با مقدار حداقل ۲ ولت برای تحویل به بار ۱ kΩ موردنیاز است. تعداد طبقات تقویت‌کننده و مقدار دقیق ولتاژ خروجی را بدست آورید.

ط*۲۱-۱ یک تقویت‌کننده که سیگنال خروجی به قدرت ۰/۵ وات را به یک مقاومت بار ۱۰۰Ω تحویل دهد طراحی کنید. مقدار ولتاژ خروجی منبع سیگنال ۳۰ میلی‌ولت rms و مقاومت آن ۰/۵ MΩ است. سه نوع تقویت‌کننده به صورت زیر موجود است.
۱) مقاومت ورودی بالا با مشخصات: $R_i=1M\Omega$، $A_{vo}=10$ و $R_o=10k\Omega$
۲) بهره زیاد با مشخصات: $R_i = 10\ M\Omega$، $A_{vo} = 100$ و $R_o=1k\Omega$
۳) مقاومت خروجی پایین با مشخصات: $R_i=10M\Omega$، $A_{vo}=1$، $R_o=20\Omega$
با ترکیب این سه طبقه، تقویت‌کننده مناسب را طراحی کنید. طراحی شما باید از حداقل طبقات استفاده کند ولتاژ بار و توان خروجی را محاسبه کنید.

ط ۱-۲۲ می‌خواهیم تقویت‌کنندهٔ ولتاژی برای اتصال یک منبع سیگنال با دامنهٔ نوک ۱۰ mV و مقاومت داخلی ۱۰ kΩ به بار ۱ kΩ طراحی کنیم، به نحوی که ولتاژ نوک روی بار ۳ V باشد.

(الف) بهره لازم از منبع به بار چقدر است؟

(ب) اگر حداکثر جریان قابل دسترسی از منبع ۰/۱ μA باشد، کوچکترین مقاومت ورودی مجاز چقدر است؟ به ازای این R_i بهرهٔ جریان و بهرهٔ توان چقدر است؟

(پ) اگر منبع تغذیهٔ تقویت‌کننده و ولتاژ مدار باز خروجی را به ۵V محدود کند، بزرگترین مقاومت خروجی مجاز چقدر است؟

(ت) به ازای R_i بند (ب) و R_o بند (پ) بهرهٔ ولتاژ مدار باز تقویت‌کننده (یعنی v_o / v_i به ازای $R_L = \infty$) چقدر باید باشد؟

(ث) اگر بتوانید R_i را به نزدیکترین مقدار $1 \times 10^n \Omega$ افزایش، و مقاومت خروجی را به نزدیکترین مقدار $1 \times 10^m \Omega$ کاهش دهید (i) مقاومت ورودی، (ii) مقاومت خروجی و (iii) بهرهٔ ولتاژ مدار باز لازم چقدر می‌شود؟

ط ۱-۲۳ تقویت‌کنندهٔ ولتاژی با مقاومت ورودی ۱۰ kΩ، مقاومت خروجی ۲۰۰Ω و بهرهٔ ۱۰۰۰ V/V بین منبعی با مقاومت خروجی ۱۰۰ kΩ و ولتاژ مدار باز ۱۰ mV و بار ۱۰۰Ω قرار دارد.

(الف) ولتاژ خروجی چقدر است؟

(ب) بهرهٔ ولتاژ از منبع به بار چقدر است؟

(پ) بهرهٔ ولتاژ از ورودی تقویت‌کننده به بار چقدر است؟

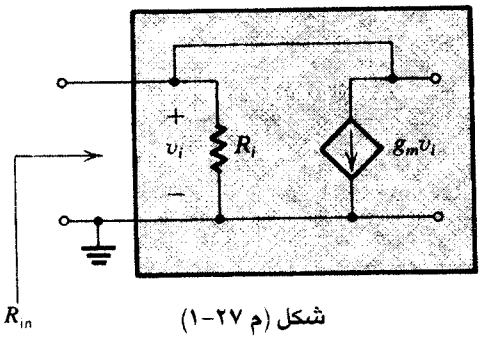
(ت) اگر ولتاژ روی بار دو برابر مقدار لازم باشد، محل و مقدار مقاومتی را که می‌تواند ولتاژ دلخواه را به دست بدهد تعیین کنید. محلی را برگزینید که کمترین قطعی مدار در حال کار را در پی داشته باشد. (راهنمایی: اتصال موازی را نیز در نظر بگیرید.)

۱-۲۴ تقویت‌کنندهٔ جریانی با $R_i = 1$ kΩ، $R_o = 10$ kΩ و $A_{is} = 100$ A/A بین منبعی با ولتاژ مدار باز ۱۰۰ mV و مقاومت خروجی ۱۰۰ kΩ و بار ۱-kΩ قرار می‌گیرد. مقادیر بهرهٔ جریان i_o / i_i و بهرهٔ ولتاژ v_o / v_s، و بهرهٔ توان را یافته آنها را برحسب dB نیز بیان کنید.

۱-۲۵ به ورودی یک تقویت‌کنندهٔ هدایت انتقالی با $R_i = 2$ kΩ، $G_m = 40$ mA/V، $R_o = 20$ kΩ منبع ولتاژی با مقاومت داخلی ۲ kΩ و به خروجی آن باری با مقاومت ۱ kΩ وصل است. بهرهٔ ولتاژ حاصل را بیابید.

ط* ۱-۲۶ طراحی می‌خواهد روی یک مقاومت بار ۱۰ kΩ حاصل جمع $v_o = 10 v_1 + 20 v_2$ را ایجاد کند، v_1، v_2 سیگنالهایی با مقاومتهای خروجی ۱۰ kΩ هستند. او تعدادی تقویت‌کنندهٔ رسانایی انتقالی با مقاومتهای ورودی و خروجی ۱۰ kΩ و بهرهٔ $G_m = 20$ mA/V و هر مقاومتی که بخواهد در اختیار دارد. مدار لازم را رسم کنید. (راهنمایی: ترتیبی دهید که جریانها با هم جمع شوند.)

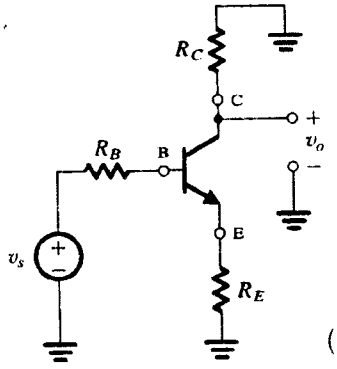
۱-۲۷ شکل (۱۷-۱ م) یک تقویت‌کنندهٔ هدایت انتقالی را که خروجی آن به ورودی برگشت داده شده نشان می‌دهد مقاومت ورودی، R_{in} این شبکهٔ تک‌قطبی را محاسبه کنید. (راهنمایی: ولتاژ آزمایشی v_x را در پایانه‌های ورودی اعمال کرده و جریان i_x حاصل را که از منبع کشیده می‌شود بدست آورید. در اینصورت $R_{in} \equiv \frac{v_x}{i_x}$ خواهد بود).



شکل (م ۲۷-۱)

۱-۲۸ به شکل (پ ۲۸-۱) مراجعه کنید. یک BJT بصورت امیتر مشترک بایاس شده است، در این ترکیب، امیتر زمین شده، منبع سیگنال v_s با مقاومت ورودی R_s به بیس متصل گشته و مقاومت بار، R_L بین کلکتور و زمین قرار می‌گیرد. عبارتی برای بهره ولتاژ، $\frac{v_o}{v_s}$ بدست آورید که در آن v_o ولتاژی است که روی R_L می‌افتد. بهره ولتاژ را برای حالت $R_s = 5$ kΩ، $r_\pi = 5$ kΩ، $g_m = 40 \frac{\text{mA}}{\text{V}}$ و $R_L = 5$ kΩ محاسبه کنید.

۱-۲۹ به جای ترانزیستور شکل م ۲۹-۱ مدار معادل سیگنال کوچک شکل ت ۱۹-۱ را قرار دهید و بهرهٔ ولتاژ v_o / v_s را برحسب α، r_e و مقاومتهای داده شده بیابید.

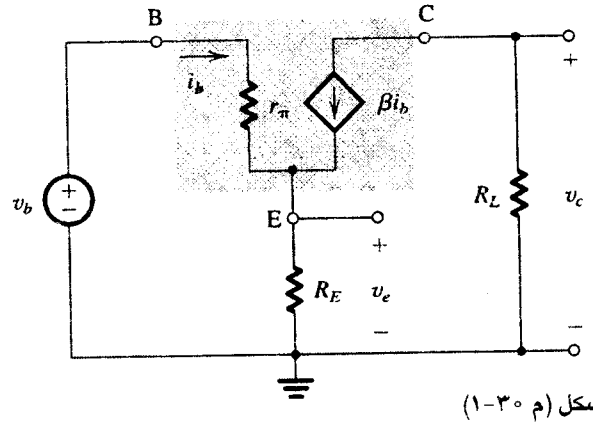


شکل (م ۲۹-۱)

۱-۳۰ برای مدار نشان داده شده در شکل (۳۰-۱ م) نشان دهید که روابط زیر برقرار می‌باشند.

$$\frac{v_c}{v_b} = \frac{-\beta R_L}{r_\pi + (\beta+1) R_E} \quad \text{و} \quad \frac{v_e}{v_b} = \frac{R_E}{R_E + [r_\pi / (\beta + 1)]}$$

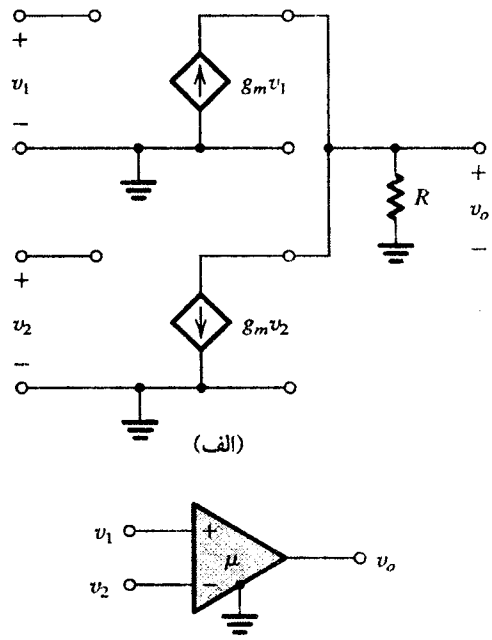
این بهره ولتاژها را برای مقادیر $\beta = 100$، $r_\pi = 2.5$ kΩ، $R_E = 1$ kΩ و $R_L = 10$ kΩ محاسبه کنید.



شکل (م ۳۰-۱)

۱-۳۱ به ورودی تقویت‌کننده‌ای با مقاومت ورودی ۱۰ kΩ، یک منبع جریان ۱ μA دارای مقاومت منبع ۱۰۰ kΩ متصل است. جریان اتصال کوتاه خروجی تقویت‌کننده ۱۰ mA و ولتاژ مدار باز آن ۱۰ V است. بهرهٔ ولتاژ، بهرهٔ جریان و بهرهٔ توان، هم به صورت نسبت و هم برحسب dB، تقویت‌کننده را به ازای مقاومت بار ۴ kΩ به دست آورید.

۱-۳۲ شکل (الف) ۳۲-۱ م) دو تقویت‌کننده هدایت انتقالی را در یک آزمایش ویژه نشان می‌دهد. v_o را بر حسب V_1 و V_2 پیدا کنید. با در نظر گرفتن $g_m = 100\ \frac{mA}{V}$ و $R = 5\ k\Omega$ اگر $V_1 = V_2 = 1$ باشد مقدار v_o را محاسبه کنید. همچنین برای حالت $v_1 = 1/01$ و $v_2 = 5/99$، v_o را بدست آورید. (توجه: نام این مدار تقویت‌کننده تفاضلی است و بصورت نماد (ب ۲۴-۱) نشان داده می‌شود) یک نوع ویژهٔ تقویت‌کننده تفاضلی تقویت‌کننده عملیاتی است که در فصل ۲ بررسی می‌شود.

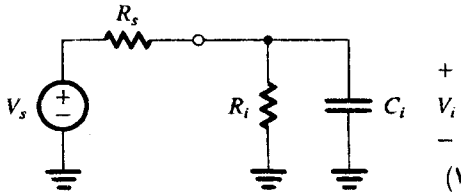


شکل (م ۳۲-۱)

بخش ۶-۱: پاسخ فرکانسی تقویت‌کننده‌ها

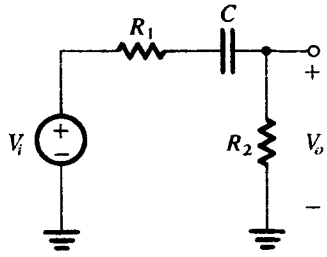
۱-۳۳ با استفاده از قانون تقسیم ولتاژ، تابع تبدیلِ مدارهای نشان داده شده در شکل ۲۲-۱، یعنی $T(s) \equiv \frac{V_o(s)}{V_i(s)}$ را بدست آورید و نشان دهید این تابع تبدیل‌ها به شکل جدول ۱-۲ می‌باشند.

۱-۳۴ شکل (۳۴-۱ م) یک منبع سیگنال متصل شده به تقویت‌کننده را نشان می‌دهد که در آن R_s مقاومت منبع، R_i و C_i، مقاومت و کاپاسیتانس (ظرفیت خازنی) ورودی تقویت‌کننده می‌باشد. عبارتی برای $\frac{V_i(s)}{V_s(s)}$ بدست آورده و نشان دهید این مدار از نوع STC پایین‌گذر می‌باشد. فرکانس ۳ دسی‌بل را برای حالت $R_s = 10\ k\Omega$، $R_i = 100\ k\Omega$ و $C_i = 10\ pF$ پیدا کنید.



شکل (م ۳۴-۱)

۱-۳۵ تابع انتقال $T(s) = V_o(s)/V_i(s)$ مدار شکل م ۳۵-۱ را بیابید. (جواب را به یکی از شکلهای استاندارد جدول ۲-۱ بیان کنید) این شبکه بالاگذرست یا پایین‌گذر؟ انتقال در فرکانسهای خیلی بزرگ چقدر است؟ [برای این کار عبارت $T(s)$ را به ازای $s \to \infty$ حساب کنید] فرکانس گوشه‌ای ω_o چقدر است؟ f_o را به ازای $R_1 = 10\ k\Omega$، $R_2 = 20\ k\Omega$، و $C = 1\ \mu F$ حساب کنید. $|T(j\omega_o)|$ چقدر است؟

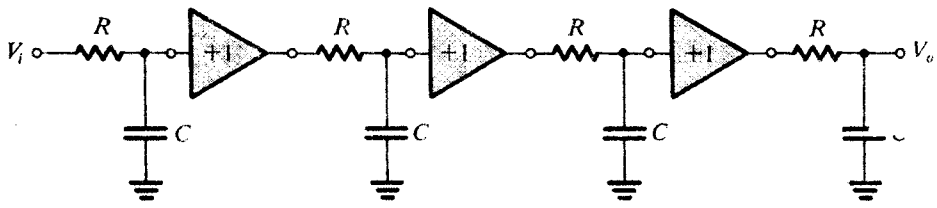


شکل (م ۳۵-۱)

ط ۳۶-۱ می‌خواهیم با خازن C منبع ولتاژ V_s دارای مقاومت منبع R_s را به بار R_L وصل کنیم. تابع تبدیل از منبع به بار (V_L/V_s) را بیابید و نشان دهید که از نوع STC بالاگذرست. به ازای $R_s = 10\ k\Omega$ و $R_L = 40\ k\Omega$ کوچکترین مقدار C را به نحوی تعیین کنید که فرکانس ۳dB از ۱۰ Hz بزرگتر نباشد.

۱-۳۷ تقویت‌کننده ولتاژ با بهرهٔ واحد، نشان داده شده در شکل (۳۷-۱م) دارای مقاومت ورودی نامحدود و مقاومت خروجی صفر می‌باشد و بعنوان یک میانگیر کامل عمل می‌کند. مطمئن شوید که بهره کلی یعنی V_o/V_i به اندازه ۳ دسی‌بل از مقدار dc در فرکانسی که بهرهٔ مدار RC، ۰/۷۵ دسی‌بل است افت می‌کند. این فرکانس چقدر است؟

۱-۳۸ در اثر خطای ساخت یک گرهٔ تقویت‌کنندهٔ فرکانس بالایی با یک خازن به زمین وصل شده است. مقاومت تونن این گره ۱۰۰ kΩ است. پهنای باند ۳ dB مدار که می‌بایست ۵ MHz باشد به ۱۰۰ kHz رسیده است. مقدار تقریبی ظرفیت خازن را بیابید. فرکانس قطع مدار اصلی نیز از وجود یک خازن ناخواسته بین همین گرهٔ سدار و زمین ناشی می‌شود. ظرفیت این خازن را چقدر تخمین می‌زنید؟



شکل (م ۳۷-۱)

ط *۱-۳۹ طراحی قصد دارد پاسخ فرکانس بالای یک منبع تقویت کنندهٔ سه طبقه را به ۱۰ kHz برساند، و به این منظور بین محل اتصال خروجی یک تقویت‌کننده و ورودی طبقهٔ بعد و زمین، خازن کوچکی قرار می‌دهد. او با قرار دادن خازن ۱ nF بین گرهٔ A و زمین و بین گرهٔ B و زمین فرکانس ۳ dB را از ۱ MHz به ترتیب به ۱۰۰ kHz و ۲۰ kHz می‌رساند. مقاومت ورودی هر طبقهٔ تقویت‌کننده ۱۰۰ kΩ است. مقاومت خروجی طبقهٔ قبل گرهٔ A و گرهٔ B چقدر بوده است؟ او چه خازنی و به کدام گره باید وصل کند تا به هدف مطلوب دست یابد و کوچکترین (و در نتیجه ارزانترین) خازن را به کار برده باشد؟

ط ۱-۴۰ می‌خواهیم تقویت‌کننده‌ای با مقاومت ورودی ۱۰۰ kΩ و مقاومت خروجی ۱ kΩ را به صورت خازنی به یک منبع با مقاومت ۲۰kΩ و یک بار ۲-kΩ تزویج کنیم. خازنهای قابل دسترس ظرفیتهایی به صورت 1×10^{-n}F دارند. کوچکترین خازنهایی که فرکانس گوشه‌ای ورودی و خروجی کوچکتر از ۱۰۰ Hz به دست می‌دهند چقدرند؟ فرکانس‌های گوشه‌ای چقدر می‌شود؟ اگر بهرهٔ ولتاژ مدار باز تقویت‌کننده (A_{uo}) برابر ۱۰۰ V/V باشد، $T(s) = V_o(S) / V_s(s)$ چقدر است؟

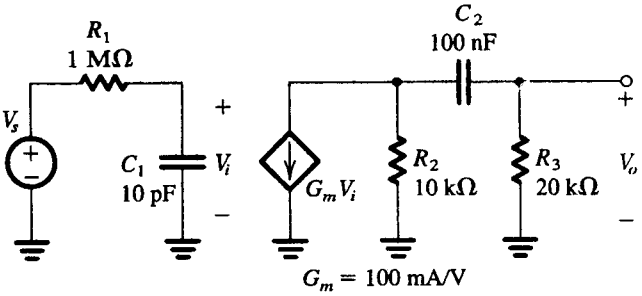
*۱-۴۱ بهرهٔ تقویت‌کننده‌ای در باند میانی، فرکانس ۵ kHz اندازه‌گیری شده و ۲۰ V/V به دست آمده است. اختلاف در ۵ kHz، ۵۰ Hz و ۵۰۰ kHz به ترتیب ۱۸۰°، ۱۳۵° و ۱۲۵° به دست آمده است. فرکانسهای ۳dB را بیابید. در چه گسترهٔ فرکانسی بهره از ۲۳dB بزرگترست؟ از ۰ dB بزرگترست؟ اگر خازنهایی که هر کدام در یک شبکهٔ STC قرار دارند دو برابر شوند، فرکانسهای ۳ dB چه می‌شود؟

۱-۴۲ یک تقویت‌کننده ولتاژ دارای تابع تبدیل

$$A_o = \frac{100}{(1 + j\frac{f}{10^4})(1 + \frac{10^2}{jf})}$$

می‌باشد با استفاده از نمودار بودی برای شبکه‌های بالاگذر و پایین‌گذر STC (شکل های ۱-۲۴ و ۱-۲۵) نمودار بودی را برای $|A_v|$ رسم کنید. مقادیر تقریبی برای اندازه بهره را در فرکانسهای 10^6 و 10^5 و 10^4 و 10^3 و 10^2 و $f = 10$ و $f = 10^7$ بدست آورید. پهنای باند تقویت‌کننده را (گستره‌ای از فرکانسها که در آن بهره در فرکانس ۳ دسی‌بل بیشترین مقدار را دارد) محاسبه کنید.

*۱-۴۳ برای مدار شکل م ۱-۴۳ $T_i(s) = V_i(s) / V_s(s)$ و فرکانس گوشه‌ای آن را بیابید. سپس $T_o(s) = V_o(s) / V_i(s)$ و فرکانس گوشه‌ای آن را بیابید. هر دو تابع تبدیل را به شکل استاندارد (جدول ۲-۱) درآورید و با ترکیب آنها $T(s) = T_i(s) \times T_o(s)$ را بیابید. نمودار بودی $|T(j\omega)|$ را رسم کنید. پهنای باند بین نقاط ۳ dB چقدر است؟



شکل (م ۱-۴۳)

ط **۱-۴۴ یک تقویت‌کنندهٔ هدایت انتقالی با مدار معادل نشان داده شده در جدول ۱-۱ در ورودی به منبع ولتاژ V_s با مقاومت منبع R_s، و در خروجی به باری متشکل از ترکیب موازی مقاومت R_L و خازن C_L وصل است. می‌خواهیم به ازای مقادیر R_s، R_o و C_L معلوم، R_i، G_m و R_L را به نحوی تعیین کنیم که شرایط زیر برآورده شود:

(۱) در تزویج سیگنال منبع به ورودی حداکثر x% سیگنال از دست برود؛ یعنی

$$V_i \geq [1 - (x / 100)]\, V_s$$

(۲) فرکانس ۳ dB تقویت‌کننده از یک مقدار داده شدهٔ f_{3dB} بزرگتر یا با آن برابر باشد.

(۳) بهرهٔ dc تقویت‌کننده، V_o / V_s از مقدار داده شدهٔ A_o بزرگتر باشد.

نشان دهید که با انتخابهای زیر می‌توان به شرایط خواسته شده رسید:

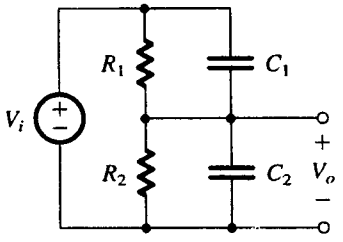
$$R_i \geq \left(\frac{100}{x} - 1\right) R_s$$

$$R_L \leq \frac{1}{2\pi f_{3dB} C_L - (1 / R_L)}$$

$$G_m \geq \frac{A_o / [1 - (x / 100)]}{(R_L \parallel R_o)}$$

R_i، R_o و G_m را به ازای $R_s = 10$ kΩ، $x = 20\%$، $A_o = 80$، $R_L = 10$kΩ، $C_L = 10$ pF و $f_{3dB} = 3$ MHz بیابید.

۱-۴۵ با استفاده از قانون تقسیم ولتاژ تابع تبدیل مدار نشان داده شده در شکل (۱-۴۵ م)، یعنی $V_o(s)/V_i(s)$ را بدست آورید نشان دهید اگر $R_1C_1 = R_2C_2$ باشد این تابع تبدیل مستقل از فرکانس است. با این شرط مدار فوق «**تضعیف‌کننده جبران‌سازی شده**» نامیده می‌شود. تابع انتقال را برحسب R_1 و R_2 پیدا کنید.

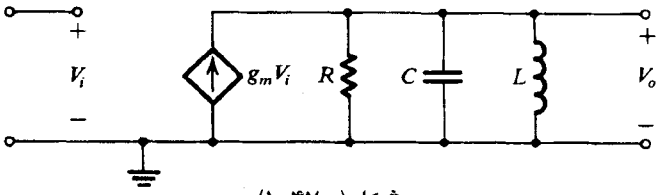


شکل (م ۱-۴۵)

*۱-۴۶ یک تقویت‌کننده دارای پاسخ فرکانسی از نوع نشان داده شده در شکل ۱-۲۱ بگونه‌ای طراحی شده که انتقال فاز آن از ۱۱/۴° در تمامی پهنای باندش که از ۱۰۰ Hz تا ۱kHz می‌باشد، بیشتر نیست، افت بهره آن در انتهای فرکانس پایین با پاسخ مدار بالاگذر STC و در انتهای فرکانس بالا با پاسخ مدار پایین‌گذر STC معین می‌گردد. انتظار شما از رفتار این دو مدار در فرکانس‌های انتهایی چیست؟ میزان افت بهره در دو فرکانسی که پهنای باند تقویت‌کننده را مشخص می‌کنند (نسبت به بهره ماکزیمم) بر حسب دسی‌بل چقدر است؟

فرکانسهایی که در آنها بهره ۳ دسی‌بل افت می‌کند چقدر است؟

۱-۴۷ شکل (۱-۳۴ م) یک تقویت‌کننده تنظیمی یا میان‌گذر را نشان می‌دهد تابع تبدیل یعنی $T(s) \equiv \frac{V_o(s)}{V_i(s)}$ را بدست آورده و $T(j\omega)$ و



شکل (م ۴۷-۱)

$|T(j\omega)|$ را پیدا کنید. میزان بهره در فرکانسهای $\omega = 0$ و $\omega = \infty$ چقدر است؟ در چه فرکانسی بهره بیشترین مقدار را دارد؟ بیشترین بهره چقدر است؟ دو فرکانسی را که بهره در آنها به میزان ۳ دسی‌بل کمتر از بیشترین مقدار افت می‌کند پیدا کنید. پهنای باند ۳ دسی‌بل تقویت‌کننده، اختلاف این دو فرکانس می‌باشد. این مقدار را بدست آورید (راهنمایی: بیشترین مقدار خروجی در فرکانسی است که مقاومت ظاهری ترکیب موازی L و C، بی‌نهایت شود).

بخش ۷-۱: وارونگر منطقی دیجیتال

۱-۴۸ برای یک وارونگر منطقی $V_{IL} = 1.5$ V، $V_{IH} = 2.7$ V، $V_{OL} = 0.6$ V. حاشیه‌های نویز NM_H و NM_L را بیابید.

۱-۴۹ مشخصهٔ انتقال ولتاژ یک وارونگر منطقی با سه پاره‌خط، به صورت شکل ۲۹-۱ مدل شده است. داریم $V_{IL} = 1.5$V، $V_{IH} = 2.5$V، $V_{OL} = 0.5$ V، $V_{OH} = 4$ V (الف) حاشیه‌های نویز، (ب) مقدار ورودی که به ازای آن $v_I = v_O$ (موسوم به آستانهٔ وارونگر)، و (پ) بهرهٔ ولتاژ در ناحیهٔ گذر را بیابید.

۱-۵۰ برای وارونگری که با یک منبع V_{DD} کار می‌کند، $V_{OL} = 0.1V_{DD}$، $V_{OH} = 0.8V_{DD}$، $V_{IL} = 0.4V_{DD}$ و $V_{IH} = 0.6V_{DD}$ حاشیه‌های نویز چقدر است؟ عرض ناحیهٔ گذر چقدر است؟ V_{DD} لازم برای این که مینیمم حاشیه فاز ۱ V باشد چقدر است؟

۱-۵۱ TTL یکی از خانواده‌های مرسوم مدار منطقی است که در فصل ۱۴ آن را مطالعه خواهیم کرد. دروازه‌های منطقی TTL در آی‌سی‌های SSI (مجتمع‌سازی با مقیاس کوچک) و MSI (مجتمع‌سازی با مقیاس متوسط) عرضه می‌شوند. این آی‌سی‌ها برای ساختن سیستمهای دیجیتال روی بوردهای مدار چاپی نصب می‌شوند. برگه‌های اطلاعات مشخصات زیر را برای وارونگر TTL (نوع SN7400) بیان می‌کنند:

ورودی ۱ منطقی لازم برای ایجاد ۰ منطقی در خروجی: MIN (مینیمم) ۲V ورودی ۰ منطقی لازم برای ایجاد ۰ منطقی در خروجی: MIN (ماکزیمم) ۰/۸ V

ولتاژ خروجی ۱ منطقی: ۲/۴ V MIN، TYP (مقدار نوعی) ۳/۳ V

ولتاژ خروجی ۰ منطقی: ۰/۲۲ V TYP، ۰/۴ V MAX

جریان تغذیه به ازای خروجی ۰ : ۳ mA TYP، ۵ mA MAX

جریان تغذیه به ازای خروجی ۱ : ۱ mA TYP، ۲ mA MAX

تاخیر انتشار از ۱ به ۰ (t_{PHL}) : ۷ ns TYP، ۱۵ ns MAX

تاخیر انتشار از ۰ به ۱ (t_{PLH}) : ۱۱ ns TYP، ۲۲ ns MAX

(الف) حاشیه‌های نویز در بدترین حالت چقدراست؟

(ب) فرض کنید وارونگر به طور متوسط نیمی از زمان در حالت ۰ و نیمی از زمان در حالت ۱ است. توان متوسط ایستای مدار نمونه چقدر است؟ منبع تغذیه ۵ V است.

(پ) فرض کنید ظرفیت بار وارونگر $C_L = 45$ pF و آهنگ تغییر خروجی ۱ MHz است. با استفاده از معادلهٔ ۳۲-۱ توان مصرفی دینامیکی را بیابید.

(ت) زمان تاخیر انتشار t_P را بیابید.

۱-۵۲ وارونگر شکل الف ۳۱-۱ را در نظر بگیرید. فرض کنید $V_{DD} = 5$ V، $R = 2$ kΩ، $V_{offset} = 0.1$ V، $R_{on} = 200\Omega$، $V_{IL} = 1$V و $V_{IH} = 2$ V.

(الف) V_{OL}، V_{OH}، NM_H و NM_L را بیابید.

(ب) خروجی این وارونگر به N وارونگر مشابه وصل است، و هر کدام هنگام بالا بودن ورودی ۰/۲ mA جریان می‌کشند، ولی در حالت پایین بودن ورودی جریان ورودی‌شان صفر است. توجه کنید که این جریانها باید از مقاومت R وارونگر بگذرند. V_{OH} و NM_H را به صورت تابعی از N بیابید. حداکثر N را برای این که NM_H حداقل با NM_L برابر باشد، بدست آورید.

(پ) توان مصرفی ایستای وارونگر را در این دو حالت بیابید: (i) خروجی پایین است؛ (ii) خروجی بالاست و تعداد وارونگرهای متصل به خروجی ماکزیمم N به دست آمده در بند (ب) است.

۱-۵۳ یک وارونگر به صورت شکل ۳۲-۱ ساخته شده است و برای کلیدهای آن $R_{on} = 1$ kΩ، $V_{DD} = 5$ V و $V_{IL} = V_{IH} = V_{DD}/2$.

(الف) V_{OL}، V_{OH}، NM_L و NM_H را بیابید.

(ب) v_s به طور ناگهانی از ۰ به ۵ V می‌رسد و کلیدها فوراً عمل می‌کنند: PU باز و PD بسته می‌شود، $v_o(t)$ را با فرض این که خازن C بین گرهٔ خروجی و زمین وصل است به دست آورید. تاخیر انتشار H به L (t_{PHL}) را به ازای $C = 1$ pF بیابید. t_{THL} را نیز باید (شکل ۳۵-۱ را ببینید).

(پ) بند (ب) را هنگامی که v_I از ۵ V به ۰ V می‌رسد تکرار کنید. با دوباره فرض کنید PD فوراً باز و PU فوراً بسته می‌شود. $v_o(t)$ را یافته، t_{PLH} و t_{TLH} را تعیین کنید.

۱-۵۴ برای وارونگر حالت جریان شکل ۳۳-۱ فرض کنید $V_{CC} = 5$V، $I_{EE} = 1$ mA و $R_{C1} = R_{C2} = 2$ kΩ. V_{OL} و V_{OH} را بیابید.

۱-۵۵ وارونگر منطقی شکل ۳۲-۱ را در نظر بگیرید. فرض کنید $V_{DD} = 5$ V و ظرفیت ۱۰ pF بین گرهٔ خروجی و زمین قرار دارد. به ازای آهنگ تغییر ۱۰۰ MHz توان مصرفی دینامیکی را به کمک معادلهٔ (۳۲-۱) بیابید. جریان متوسطی که از منبع تغذیه کشیده می‌شود چقدر است؟

ط۱-۵۶** می‌خواهیم طراحی وارونگری به صورت شکل الف ۳۱-۱ را بررسی کنیم. خصوصاً می‌خواهیم R را با توجه به دو مشخصهٔ تاخیر انتشار و توان مصرفی تعیین کنیم.

(الف) نشان دهید که اگر ورودی به طور لحظه‌ای از H به L برود و کلید فوراً باز شود داریم

$$v_o(t) = V_{OH} - (V_{OH} - V_{OL})\, e^{-t/\tau_1}$$

که در آن $\tau_2 = RC$ و C ظرفیت بار است. سپس نشان دهید که زمان لازم برای رسیدن $v_o(t)$ به نقطهٔ ۵۰٪، $\frac{1}{2}(V_{OH} + V_{OL})$، عبارت است از

$$t_{PLH} = 0.69\, CR$$

(ب) v_I از L به H می‌رود، کلید فوراً بسته می‌شود و مدار معادل شکل ۳۱-۱ به دست می‌آید. نشان دهید که خروجی به صورت نمایی زیر تغییر می‌کند.

$$v_o(t) = V_{OL} + (V_{OH} - V_{OL})\, e^{-t/\tau_۲}$$

که در آن $\tau_۲ = C\,(R \parallel R_{on})$ و به ازای $R_{on} \ll R$، $\tau_۲ = CR_{on}$. حال نشان دهید که زمان لازم برای رسیدن خروجی به نقطهٔ ۵۰٪ عبارت است از

$$t_{PHL} = ۰/۶۹\, CR_{on}$$

(پ) با استفاده از نتایج بندهای (ب) و (پ) زمان تاخیر انتشار را، که متوسط t_{PHL} و t_{PLH} است بیابید و نشان دهید که به ازای $R_{on} \ll R$ عبارت است از

$$t_P \approx ۰/۳۵\, CR$$

(ت) با فرض این که $V_{\text{offset}} \ll V_{DD}$، نشان دهید که اگر متوسط زمانهای ۱ بودن و ۰ بودن وارونگر برابر باشد، توان مصرفی ایستا عبارت است از

$$P = \frac{۱}{۲}\,\frac{V_{DD}^{۲}}{R}$$

(ث) حال نکاتی که باید در انتخاب R رعایت شود آشکار می‌گردد. نشان دهید که به ازای $V_{DD} = ۵$ V و $C = ۱۰$ pF برای داشتن زمان تاخیر انتشار کوچکتر از ۱۰ ns و توان مصرفی کمتر از ۱۰ mW باید R در گسترهٔ خاصی قرار گیرد. با توجه به این گستره مقدار مناسبی برای R برگزینید. مقادیر متناظر t_P و P را بیابید.

کتابشناسی

Scientific American, Special Issue on Microelectronics, Sept. 1977.

M. E. Van Valkenburg, *Network Analysis,* 3rd ed., Englewood Cliffs, N.J.: Prentice-Hall, 1974.

E. F. Angelo, Jr., *Electronics: BJTs, FETs, and Microcircuits,* New York: McGraw-Hill, 1969.

L. S. Bobrow, *Elementary Linear Circuit Analysis,* 2nd ed., New York: Holt, Rinehart and Winston, 1987.

W. H. Hayt and J. E. Kemmerly, *Engineering Circuit Analysis,* 3rd ed., New York: McGraw-Hill, 1978.

فصل ۲

تقویت‌کننده‌های عملیاتی

۲-۱ پایانه‌های تقویت کننده عملیاتی
۲-۲ تقویت کننده‌های عملیاتی ایده‌آل
۲-۳ تحلیل مدارهای شامل op-amp های ایده‌آل
۲-۴ کاربردهای دیگر پیکربندی وارونگر
۲-۵ پیکربندی ناوارونگر
۲-۶ مثالهایی از مدارات op-amp
۲-۷ اثر محدود بهره حلقه باز و پهنای باند بر عملکرد مدار
۲-۸ عملکرد سیگنال بزرگ op-ampها
۲-۹ مشکلات DC
خلاصه - مسائل - کتابشناسی

مقدمه

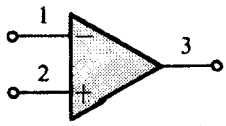
پس از فراگیری مفاهیم اساسی تقویت‌کننده‌ها، اکنون درباره یک مدار با ساختمان بسته و اهمیت فراگیر به اسم تقویت‌کننده‌های عملیاتی (op-amp) مطالعه را آغاز می‌کنیم. اگرچه از op-amp مدتهای مدیدی است که استفاده می‌شود، اما کاربردشان در دستگاهها و کامپیوترهای آنالوگ موضوع جدیدی است. در ابتدا op-amp ها از اجزای مجزا (ترانزیستورها و مقاومتها) ساخته میشدند، و هزینه آنها خیلی زیاد و غیراقتصادی (دهها دلار) بود. در اواسط دهه ۱۹۶۰ اولین آی سی op-amp ساخته شد. این آی سی (μA 709) از تعداد بالنسبه زیادی ترانزیستور و مقاومت روی تراشه سیلیکونی تشکیل شده است. اگرچه شاخصه آی سی یادشده نسبت به استانداردهای امروز بسیار ضعیف و قیمت آن بسیار گران بود، ساخته‌شدن آن آغاز مبحث جدیدی در طراحی مدارهای الکترونیک شد. مهندسین الکترونیک استفاده از op-amp ها را در مقیاس وسیعی آغاز کردند و این سبب کاهش عجیب قیمت آن گردید. بعلاوه آنها op-amp های با کیفیت بهتر می‌خواستند. سازندگان قطعات نیمه‌هادی به سرعت به نیاز آنها پاسخ دادند و در مدت کوتاهی op-amp با کیفیت عالی و با قیمت فوق‌العاده ارزان (چند ریال) در اختیار همه قرار دادند.

یکی از دلایل شهرت op-amp ها قابلیت استفاده گوناگون آن است. چنانکه به زودی ملاحظه خواهیم کرد، طراح می‌تواند هر کاری با آن انجام دهد. به این معنی که طراحی مدارها با استفاده از op-amp بسیار آسان است. بعلاوه، مدارهای op-amp به گونه‌ای کار می‌کنند که عملکرد آنها به تئوری از قبل طرح شده آنها نزدیک است. از همین فصل مطالعه op-amp ها را آغاز میکنیم. توقع آن است که در پایان این فصل خواننده بتواند با استفاده از op-amp ها، مدارهای مختلفی طراحی کند.

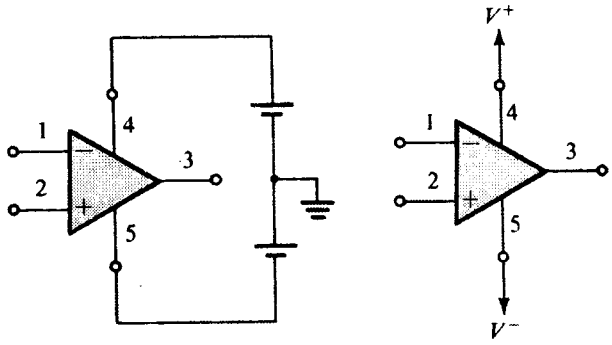
همانگونه که اشاره شد، یک آی سی op-amp از تعداد زیادی ترانزیستور، مقاومت، و گاهی (یک خازن) که به صورت نسبتاً پیچیده‌ای به یکدیگر وصل شده بوجود می‌آید. از آنجاکه مدارهای ترانزیستوری هنوز بررسی نشده است، مدار داخل op-amp در این فصل بحث نخواهد شد. بلکه از op-amp به مثابه یک ساختمان بسته استفاده کرده و مشخصه‌های پایانه و کاربردهای آن را مطالعه خواهیم کرد.

۲-۱ پایانه‌های تقویت‌کننده عملیاتی

از نظر سیگنال، تقویت‌کننده عملیاتی که پس از این به اختصار op-amp نامیده می‌شود، دارای سه پایانه است: دو پایانه ورودی و یک



شکل ۱-۲. نماد مداری op-amp



(الف) (ب)

شکل ۲-۲. op-amp و اتصال آن به منابع تغذیه

پایانه خروجی. شکل (۱-۲) نمادی را نشان می‌دهد که از آن برای نمایش op-amp می‌توانیم استفاده کنیم. پایانه ۱ و ۲ پایانه‌های ورودی‌اند و پایانه ۳، پایانه خروجی است. همانگونه که در بخش ۴-۱ توضیح داده شد، تقویت‌کننده‌ها برای آنکه بتوانند کار کنند به منابع ولتاژ dc نیاز دارند. بیشتر ICهای op-amp بنا بر شکل (۲-۲) به دو منبع تغذیه نیاز دارند. پایانه‌های ۴ و ۵ که در خارج محفظه op-amp در دسترسند به ترتیب به ولتاژ مثبت V^+ و ولتاژ منفی V^- متصل می‌شوند. در شکل (ب ۲-۲) دو منبع تغذیه مانند باطری را نشان می‌دهد که زمین مشترک دارند. جالب توجه است که نقطه زمین مرجع در مدارات op-amp در حقیقت پایانه مشترک دو منبع تغذیه است. به این معنی که هیچیک از پایانه‌های محفظه op-amp بطور فیزیکی به زمین وصل نمی‌شوند. در مداراتی که پس از این توضیح داده خواهد شد، منابع تغذیه مدارات op-amp به وضوح مشخص نخواهد بود.

علاوه بر سه پایانه سیگنال و دو پایانه منبع تغذیه، یک op-amp ممکن است پایانه‌های دیگری برای منظورهای خاصی داشته باشد. از این پایانه‌ها برای جبران فرکانس و حذف ولتاژ اُفست استفاده می‌شود. درباره این دو موضوع در فصلهای بعدی بحث خواهد شد.

تمرین

۱-۲ کمترین تعداد پایانه مورد نیاز در یک op-amp سیگنال چندتاست؟ کمترین تعداد پایه در یک مدار مجتمع شامل چهار op-amp (که به op-amp چهار تایی موسوم است) چند تاست؟

جواب. ۵ ؛ ۱۴ ❑

۲-۲ تقویت‌کننده‌های عملیاتی ایده‌آل

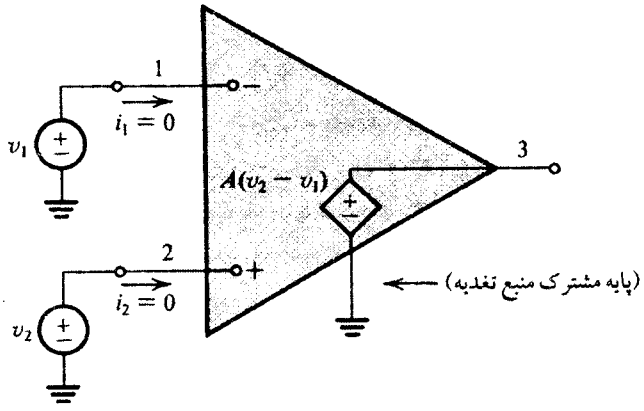
اکنون کار مدار op-amp را بررسی می‌کنیم. فرض بر این است که op-amp اختلاف بین سیگنالهای ولتاژ در پایانه ورودی‌اش (کمیت (v_2-v_1) را حس کرده، آنرا در عدد A ضرب نموده و موجب می‌شود تا ولتاژ $A(v_2-v_1)$ در پایانه ۳ خروجی ظاهر گردد. تاکید می‌شود که وقتی درباره ولتاژ یک پایانه سخن می‌گوییم، منظور ما ولتاژ بین آن پایانه و زمین است. به این ترتیب ولتاژ v_1 به معنی ولتاژ اعمال شده بین پایانه ۱ و زمین می‌باشد.

فرض بر این است که op-amp آرمانی در ورودی هیچ جریانی نمی‌کشد. یعنی سیگنال جریان وارده به پایانه ۱ و سیگنال جریان وارده به پایانه ۲ حدود صفرند. به عبارت دیگر، امپدانس ورودی هر op-amp آرمانی بی‌نهایت فرض می‌شود.

پایانه ۳ در خروجی چگونه است؟ فرض بر این است که این پایانه به مثابه پایانه خروجی یک منبع ولتاژ آرمانی عمل می‌کند. یعنی ولتاژ بین پایانه ۳ و زمین همواره برابر با $A(v_2-v_1)$ خواهد بود و مستقل از جریانی است که ممکن است از پایانه ۳ به درون امپدانس بار کشیده شود. به سخن دیگر، امپدانس خروجی یک op-amp آرمانی صفر فرض می‌شود.

با در کنار هم قراردادن آنچه در بالا گفته شد، به مدار معادلی دست می‌یابیم که در شکل ۳-۲ نشان داده شده است. دقت کنید که خروجی هم‌فاز (هم‌علامت) v_2 و با فاز مخالف (علامت مخالف) v_1 است. به این دلیل پایانه ۱، **پایانه ورودی وارونگر** نامیده می‌شود. و با علامت "−" متمایز می‌گردد. در حالیکه پایانه ۲، **پایانه ورودی ناوارونگر** نامیده می‌شود و با علامت "+" مشخص می‌شود.

همانگونه که از مباحث بالا برمی‌آید، op-amp فقط به **اختلاف** ولتاژ (v_2-v_1) پاسخ می‌دهد و بنابراین سیگنال **مشترک** هر دو ورودی را نادیده می‌انگارد. یعنی چنانچه $v_1 = v_2 = 1\ V$ در آنصورت خروجی − بطور ایده‌آل − صفر خواهد بود. این ویژگی را **حذف وجه مشترک** می‌نامیم. و نتیجه می‌گیریم که حذف وجه مشترک یک op-amp آرمانی بی‌نهایت است. در این‌باره باز هم بیشتر بحث خواهیم کرد. اکنون چنین فرض می‌کنیم که op-amp تقویت‌کننده‌ای است که دارای **ورودی‌های غیریکسان** و متفاوت و **خروجی تک‌سر** می‌باشد. خروجی تک‌سر به این دلیل گفته می‌شود که خروجی بین پایانه ۳ و زمین بوجود می‌آید. علاوه بر این، **بهره** A را بدلایلی روشن **بهره تفاضلی** می‌گویند. نام دیگری مثل **بهره حلقه باز** به



شکل ۳-۲. مدار معادل تقویت کننده op-amp ایده‌آل

A داده می‌شود که شاید دلیل روشنی برای آن وجود نداشته باشد. دلیل نامگذاری اخیر وقتی روشن می‌شود که پیرامون op-amp " حلقه‌ای بسته شود " و بهره دیگری به نام بهره حلقه بسته تعریف گردد.

یک مشخصه مهم op-amp آن است که آنها قطعات با کوپلاژ مستقیم یا تقویت‌کننده‌های dc هستند. کوپلاژ مستقیم یا dc معنای یکسانی دارند (از این جهت که تقویت‌کننده کوپلاژ مستقیم تقویت‌کننده‌ای است که سیگنال با فرکانس کم‌نظیر صفر را تقویت می‌کند). از op-amp ها به دلیل آنکه قطعات با کوپلاژ مستقیم هستند، در موارد مهم و بسیاری استفاده می‌شود. گرچه متأسفانه، خاصیت کوپلاژ مستقیم تقویت‌کننده‌های مورد بحث چنانکه خواهیم دید سبب مشکلات جدی می‌گردد.

درباره پهنای باند چطور؟ op-amp آرمانی دارای بهره A است که در فرکانس‌های پایین (صفر) و در فرکانس‌های بالا (بی‌نهایت) ثابت می‌ماند. یعنی، op-amp آرمانی همه سیگنالها را با هر فرکانسی به طور یکسان تقویت می‌کند.

بجز یک ویژگی مهم op-amp ها، همه ویژگیهای آنرا برشمردیم. و آن مربوط به مقدار Aاست. op-amp آرمانی می‌بایست دارای بهره A باشد که مقدار آن خیلی بزرگ و در حالت ایده‌آل بی‌نهایت باشد. در اینجا یکنفر ممکن است بپرسد که اگر بهره A بی‌نهایت باشد، چگونه از op-amp ها استفاده می‌شود؟ جواب بسیار ساده است: در اغلب موارد، از op-amp بصورت حلقه باز استفاده نمی‌شود. بلکه، چنانکه در بخش ۳-۲ به تفصیل نشان داده خواهد شد، از فیدبک برای بستن حلقه در پیرامون op-amp استفاده خواهیم کرد.

تمرینها

۲-۲ یک تقویت‌کننده op-amp را در نظر بگیرید که تقویت‌کننده‌ای آرمانی باشد، بجز آنکه بهره حلقه باز آن $A = 10^3$ باشد. op-amp در مدار فیدبک استفاده شده است و ولتاژهایی که در دو پایانه از سه پایانه آن ظاهر می‌گردد، اندازه‌گیری شده است. در هریک از موارد زیر، از مقادیر اندازه‌گیری شده برای پیداکردن اندازه ولتاژ موردنظر در پایانه سوم استفاده کنید.

(الف) $v_2 = 0$ V و $v_3 = 2$ V

(ب) $v_2 = +5$ V و $v_3 = -10$ V

(پ) $v_1 = 1.002$ V و $v_2 = 0.998$ V

(ت) $v_1 = -3.6$ V و $v_3 = -3.6$ V

جواب. (الف) $v_1 = -0.002$ V (ب) $v_1 = +5.01$ V

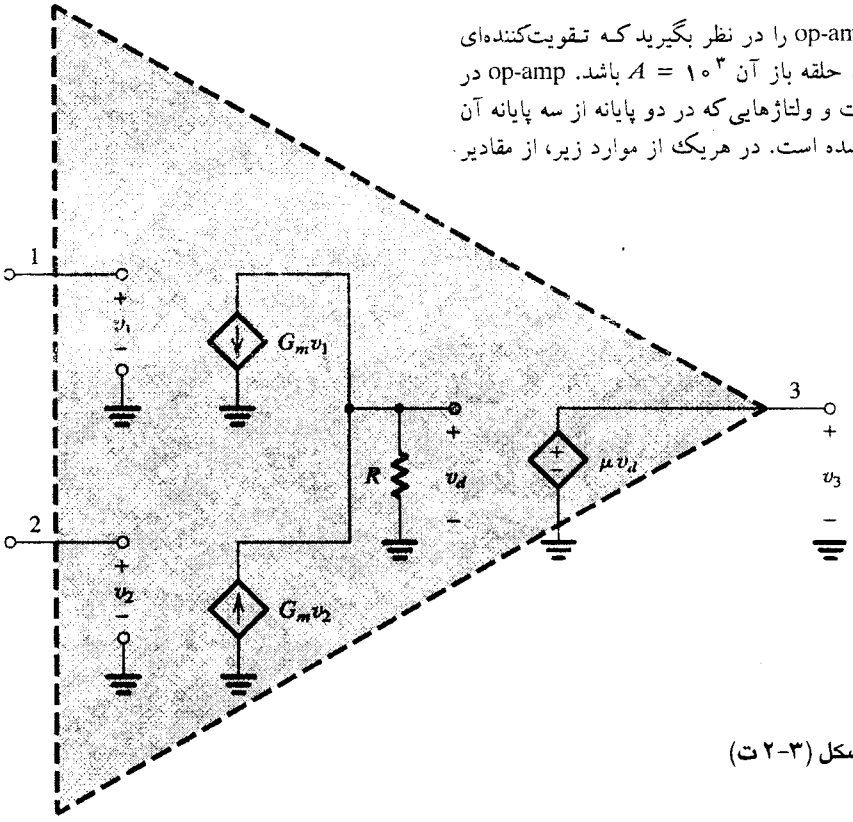
(پ) $v_3 = -4$ V (ت) $v_2 = -3.6036$ V

۳-۲ مدار داخل یک op-amp ویژه مانند شکل (۳-۲ ت)، بصورت مدل در می‌آید. v_3 را به صورت تابعی از v_1 و v_2 بیان کنید. در حالتی که $G_m = 10$ mA/V، $R = 10$ kΩ، و $\mu = 100$ باشد، مقدار بهره حلقه باز A را بیان کنید.

جواب. $v_3 = \mu G_m R(v_2 - v_1)$؛ $A = 10000$ V/V ❑

۳-۲ تحلیل مدارهای شامل op-amp ایده‌آل- پیکربندی وارونگر

مدار نشان داده شده در شکل (۴-۲) را در نظر بگیرید. این مدار شامل یک op-amp و دو مقاومت R_1 و R_2 می‌باشد. مقاومت R_2 از پایانه خروجی op-amp، یعنی پایانه ۳، به پایانه **ورودی وارونگر یا منفی** آن، پایانه ۱، **برگشت** داده شده است؛ در این حالت R_2 بعنوان فیدبک مثبت بکار رفته است. چنانچه R_2 بین پایانه‌های ۳ و ۲ وصل شود، آنرا **فیدبک مثبت** می‌نامیم. همچنین دقت کنید که R_2 حلقه پیرامون op-amp را می‌بندد. علاوه بر اضافه کردن R_2، پایانه ۲ را به زمین وصل کرده‌ایم و مقاومت R_1 را بین پایانه ۱ و یک منبع سیگنال با ولتاژ v_I متصل ساخته‌ایم.



شکل (۳-۲ ت)

خروجی مدار کامل از پایانه ۳ (یعنی بین پایانه ۳ و زمین) بدست می‌آید. البته، پایانه ۳ نقطه مناسبی است برای دریافت سیگنال، زیرا مقدار امپدانس در آن در حالت ایده‌آل صفر است. بنابراین، ولتاژ v_O مستقل از اندازه جریانی است که ممکن است برای امپدانس بار متصل بین پایانه ۳ و زمین بکار رود.

بهره حلقه بسته

اکنون می‌خواهیم مدار شکل (۴-۲) را تحلیل کنیم تا بهره حلقه بسته G که به صورت زیر تعریف شده، بدست آید:

$$G \equiv \frac{v_O}{v_I}$$

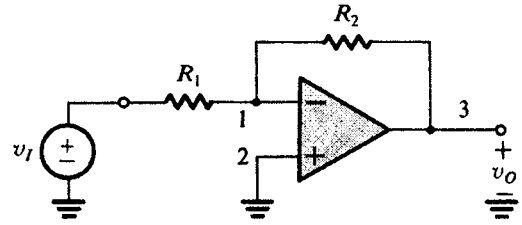
op-amp را آرمانی فرض می‌کنیم. شکل (الف ۵-۲) مدار معادل آنرا نشان می‌دهد، و تحلیل به این ترتیب صورت می‌گیرد: بهره A خیلی بزرگ (در حالت آرمانی بی‌نهایت) است. چنانچه فرض شود که مدار "کار می‌کند" و ولتاژ خروجی محدودی در پایانه ۳ تولید می‌کند، در آنصورت ولتاژ بین پایانه‌های ورودی op-amp بطور قابل اغماضی کوچک می‌باشد. اگر ولتاژ خروجی را v_O بنامیم، در آنصورت از تعریف

$$v_2 - v_1 = \frac{v_O}{A} \cong 0$$

نتیجه می‌شود که ولتاژ در پایانه ورودی وارونگر (v_1) از رابطه $v_1 \cong v_2$ بدست می‌آید. یعنی، چون بهره A به بی‌نهایت نزدیک می‌شود، ولتاژ v_1 به v_2 نزدیک می‌گردد. بنابراین می‌گوییم که دو پایانه ورودی از نظر پتانسیل "رد پای یکدیگر را دنبال می‌کنند." همچنین از اتصال کوتاه مجازی " صحبت می‌کنیم که بین دوپایانه ورودی وجود دارد، تأکید می‌کنیم، هنگام تحلیل مدار نباید بطور فیزیکی بین پایانه‌های ۱ و ۲ اتصال کوتاه شود. **اتصال کوتاه مجازی** به این معنی است که هر ولتاژی در پایانه ۲ وجود دارد، همان ولتاژ بطور خودکار در پایانه ۱ ظاهر می‌شود زیرا بهره A آن بی‌نهایت است، اما پایه ۲ به زمین متصل می‌شود؛ بنابراین $v_2 = 0$ و $v_1 \cong 0$، پایانه ۱ زمین مجازی است - یعنی، دارای ولتاژ صفر می‌باشد با اینکه بطور فیزیکی به زمین متصل نشده است.

حال که v_1 بدست آمده، در وضعیتی هستیم که می‌توانیم از قانون اهم برای بدست آوردن جریان i_1 در مقاومت R_1 (مطابق شکل ۵-۲)، از رابطه زیر استفاده کنیم:

$$i_1 = \frac{v_I - v_1}{R_1} \cong \frac{v_1}{R_1}$$



شکل ۴-۲. پیکربندی حلقه بسته وارونگر

این جریان چه خواهد شد؟ این جریان نمی‌تواند وارد op-amp بشود، زیرا op-amp دارای امپدانس ورودی بی‌نهایت است و بنابراین جریان دریافتی آن صفر است. این امر موجب می‌شود تا i_1 به اجبار از طریق مقاومت R_2 در امپدانس کم‌پایانه ۳ جاری شود. در این صورت می‌توانیم برای مقاومت R_2 قانون اهم را بکار ببریم و v_O را تعیین کنیم؛ یعنی

$$v_O = v_1 - i_1 R_2 = 0 - \frac{v_I}{R_1} R_2$$

بنابراین

$$\frac{v_O}{v_I} = -\frac{R_2}{R_1}$$

که مقدار بدست آمده بهره حلقه بسته مورد نیاز است. شکل (ب ۵-۲) چند مرحله از این تحلیل را نشان می‌دهد.

در نتیجه ملاحظه می‌کنیم که بهره حلقه بسته بطور ساده نسبت دو مقاومت R_2 و R_1 است. علامت منها به معنی آن است که تقویت‌کننده با حلقه بسته، سیگنال وارونه بدست می‌دهد. از اینرو چنانچه $R_2/R_1 = 10$ باشد و به ورودی (v_I) سیگنالی سینوسی با دامنه ۱ ولت نوک تا نوک اعمال کنیم، در آنصورت، خروجی v_O موجی سینوسی با دامنه ۱۰ V نوک تا نوک خواهد بود که فاز آن نسبت به موج سینوسی ورودی، ۱۸۰ درجه تغییر خواهد داشت. به علت علامت منفی بهره حلقه بسته، این نوع پیکربندی را **پیکربندی وارونگر** می‌نامیم.

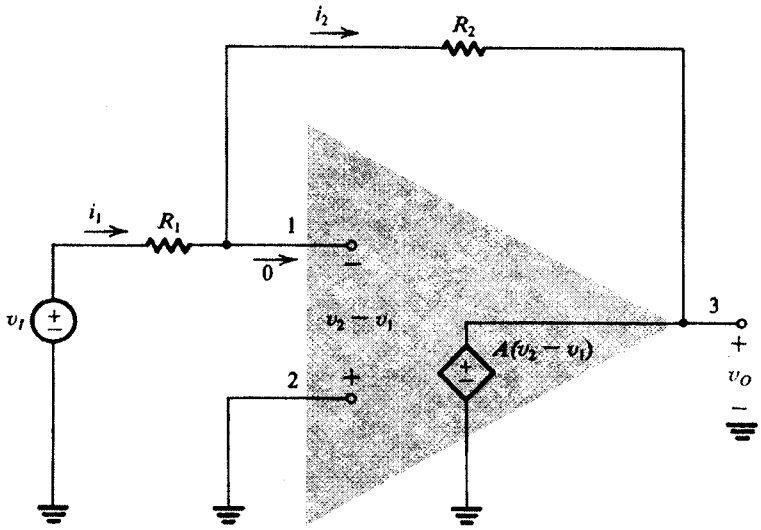
این واقعیت که بهره حلقه بسته بطور کامل به اجزای غیرفعال خارجی (مقاومتهای R_1 و R_2) بستگی دارد، مطلبی قابل توجه است. به این معنی که دقت بهره حلقه به طور کامل به دقت انتخاب اجزاء غیرفعال وابسته است. نیز به این معنی است که بهره حلقه بسته (بطور آرمانی) مستقل از بهره op-amp است. این نمایشی دراماتیک از فیدبک منفی است: تقویت‌کننده‌ای را بررسی کردیم که دارای بهره خیلی زیاد A است و با اعمال فیدبک منفی بهره حلقه بسته R_2 / R_1 را بدست آوردیم که خیلی کوچکتر از A است اما ثابت و قابل پیش‌بینی می‌باشد. به این ترتیب بهره را با دقت معاوضه کردیم.

تأثیر بهره محدود حلقه باز

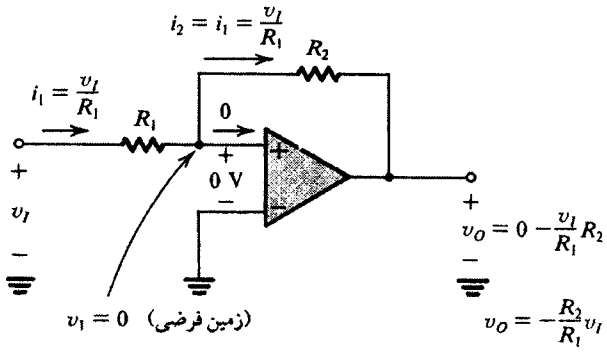
نکاتی که تاکنون بدست آمده وقتی بطور واضحتر نمایش داده می‌شود که رابطه‌ای برای بهره حلقه بسته بدست آید با این فرض که بهره A در حلقه باز op-amp محدود باشد. شکل (۶-۲) این تحلیل را نشان می‌دهد. چنانچه ولتاژ خروجی v_O را در نظر بگیریم، در آنصورت ولتاژ بین دو پایانه ورودی op-amp برابر با v_O/A خواهد بود. چون پایانه ورودی مثبت به زمین وصل شده، ولتاژ پایانه ورودی منفی بایستی $-v_O/A$ باشد. جریان i_1 در R_1 از رابطه زیر بدست می‌آید:

$$i_1 = \frac{v_I - (-v_O/A)}{R_1} = \frac{v_I + v_O/A}{R_1}$$

امپدانس ورودی بی‌نهایت op-amp سبب می‌شود تا جریان i_1 بطور کامل



(الف)



(ب)

شکل ۵-۲. تحلیل پیکربندی وارونگر

در مقاومت $R_۲$ جاری شود. به این ترتیب ولتاژ خروجی v_O ، می‌تواند از رابطه زیر بدست آید:

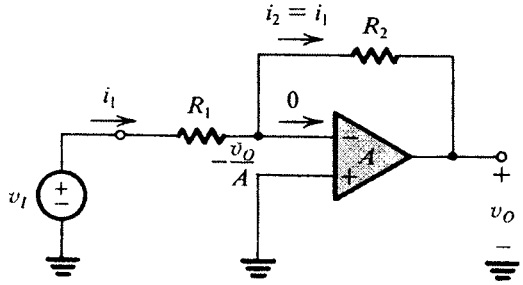
$$v_O = -\frac{v_O}{A} - i_۱ R_۲$$
$$= -\frac{v_O}{A} - \left(\frac{v_I + v_O/A}{R_۱}\right) R_۲$$

از عبارت فوق، بهره حلقه بسته G به صورت زیر بدست می‌آید:

$$G \equiv \frac{v_O}{v_I} = \frac{-R_۲/R_۱}{۱ + (۱ + R_۲/R_۱)/A} \qquad (۲-۱)$$

ملاحظه می‌کنیم که وقتی A به ∞ نزدیک می‌شود، G به مقدار آرمانی $-R_۲/R_۱$ نزدیک می‌گردد. همچنین از شکل ۶-۲ درمی‌یابیم که A به ∞ نزدیک می‌شود، ولتاژ پایانه ورودی وارونگر به صفر نزدیک می‌گردد. این همان زمین مجازی ای است که در تحلیلهای قبلی از آن استفاده کردیم هنگامی که op-amp آرمانی فرض شده بود. در پایان، دقت کنید که معادله (۱-۲) در حقیقت نشان دهنده آن است که برای به حداقل رساندن وابستگی بهره حلقه بسته G به اندازه بهره حلقه باز A ، می‌بایست چنین رابطه‌ای داشته باشیم،

$$۱ + \frac{R_۲}{R_۱} << A$$



شکل ۶-۲. تحلیل پیکربندی وارونگر با به حساب آوردن بهره محدود حلقه باز op-amp

مثال ۱-۲

پیکربندی وارونگر با $R_1 = 1\ k\Omega$ و $R_2 = 100\ k\Omega$ در نظر بگیرید.
(الف) بهره حلقه بسته را برای حالاتی که $A = 10^3$، 10^4، و 10^5 است بدست آورید. در هر حالت، درصد خطای اندازه G را نسبت به مقدار آرمانی R_2/R_1 (بدست آمده با $A = \infty$) محاسبه کنید. همچنین وقتی $v_I = 0.1\ V$ است ولتاژ v_1 را که در پایانه ورودی وارونگر ظاهر می‌شود، محاسبه کنید.
(ب) چنانچه بهره حلقه باز A از ۱۰۰,۰۰۰ به ۵۰,۰۰۰ تغییر کند، درصد تغییر متناسب در اندازه بهره حلقهٔ بسته G چقدر است؟

حل:

(الف) با جایگزین‌کردن مقادیر داده شده در معادله (۱-۲)، مقادیر داده شده در جدول زیر را بدست می‌آوریم که در آن درصد خطای ε به صورت زیر تعریف می‌شود:

$$\varepsilon \equiv \frac{|G| - (R_2/R_1)}{(R_2/R_1)} \times 100$$

مقادیر v_1 از $v_1 = -v_O/A = Gv_I/A$ با $v_I = 0.1V$ بدست می‌آید:

A	$\lvert G\rvert$	ε	v_1
10^3	90.83	%−9.17	−9.08mV
10^4	99.00	%−1.00	−0.99mV
10^5	99.90	%−0.10	−0.10mV

(ب) با استفاده از معادله (۱-۲) برای $A = 50000$ بهره را برابر با $|G| = 99.80$ بدست می‌آوریم. بنابراین با نصف‌کردن بهره حلقه باز، %0.1− تغییر در بهره حلقه بسته بدست می‌آوریم.

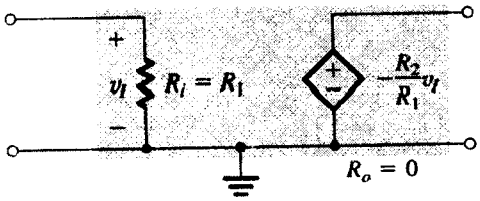
مقاومت ورودی و خروجی

مقاومت ورودی تقویت‌کننده وارونگر حلقه بسته در شکل ۴-۲ برابر با R_1 است. از شکل ۵-۲ ملاحظه می‌شود که

$$R_{in} \equiv \frac{v_I}{i_1} = \frac{v_I}{v_I/R_1} = R_1$$

بنابراین برای زیادکردن R_{in}، می‌بایست برای R_1 یک مقدار زیاد انتخاب کنیم. البته چنانچه بهره موردنیاز R_2/R_1 نیز بزرگ باشد، در آنصورت R_2 بطرزی غیر عملی و ناممکن بزرگ می‌گردد. ممکن است چنین نتیجه بگیریم که پیکربندی وارونگر دارای مقاومت ورودی پایین است. راه حلی برای این مسئله در مثال ۲-۲ مورد بررسی قرار گرفته است. یادآوری این نکته لازم است که بهرهٔ محدود حلقه بسته A اثر قابل اغماضی بر مقدار مقاومت ورودی تقویت‌کننده وارونگر دارد. (مسئله ۱۷-۲ را ملاحظه کنید).

از آنجا که خروجی آرایش وارونگر از پایانه‌های منبع ولتاژ ایده‌آل



شکل ۷-۲. مدل مدار معادل برای آرایش تقویت‌کننده وارونگر شکل ۴-۲ (با فرض ایده‌آل بودن op−amp)

$A(v_2 - v_1)$ بدست می‌آید، (شکل الف ۵-۲ را ببینید) نتیجه می‌گیریم مقاومت خروجی تقویت‌کنندهٔ حلقه بسته صفر است.

از جمع‌بندی مطالب فوق مدار شکل ۷-۲، بعنوان مدل مداری معادل آرایش تقویت‌کنندهٔ وارونگر شکل ۴-۲، بدست می‌آید (با فرض اینکه op−amp ایده‌آل است)

مثال ۲-۲

با فرض آرمانی‌بودن op-amp، رابطه‌ای برای بهره حلقه بسته v_I / v_O مدار شکل ۸-۲ بیابید. از این مدار برای طراحی یک تقویت کننده وارونگر با بهره ۱۰۰ و مقاومت ورودی $1\ M\Omega$ استفاده کنید. بدلایل عملی فرض کنید مقاومتهای مورد استفاده نباید از $1\ M\Omega$ بیشتر باشند طراحی خود را با اصول آرایش وارونگر مقایسه کنید.

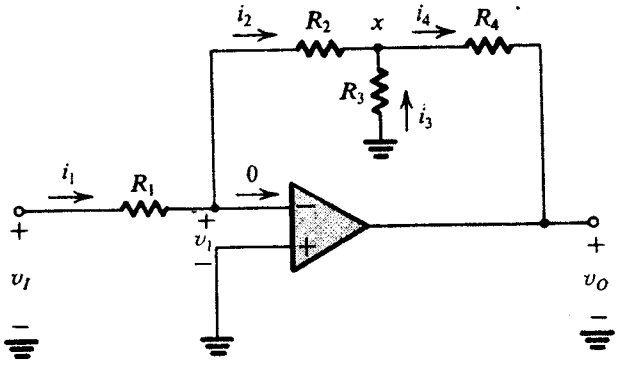
حل:

تحلیل از پایانه ورودی وارونگر op-amp شروع می‌شود که در آن‌ولتاژ مطابق رابطه زیر است:

$$v_1 = \frac{-v_O}{A} = \frac{-v_O}{\infty} = 0$$

در اینجا فرض کرده‌ایم که مدار "در حال کار" است و ولتاژ خروجی v_O محدودی بوجود می‌آید. با دانستن v_1 می‌توانیم جریان i_1 را به صورت زیر تعیین کنیم:

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$



شکل ۸-۲. مدار مثال ۲-۲

از آنجا که جریان پایانه ورودی وارونگر صفر است، همه i_1 در R_2 جاری خواهد شد و بنابراین:

$$i_2 = i_1 = \frac{v_I}{R_1}$$

اکنون می‌توانیم ولتاژ را در گره X تعیین کنیم:

$$v_x = v_1 - i_2 R_2 = 0 - \frac{v_I}{R_1} R_2 = -\frac{R_2}{R_1} v_I$$

این به نوبه خود ما را قادر می‌سازد تا جریان i_3 را پیدا کنیم.

$$i_3 = \frac{0 - v_x}{R_3} = \frac{R_2}{R_1 R_3} v_I$$

سپس معادله گره در x، i_4 را به صورت زیر بدست می‌دهد:

$$i_4 = i_2 + i_3 = \frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I$$

سرانجام، می‌توانیم v_O را از رابطه زیر تعیین کنیم:

$$v_O = v_x - i_4 R_4$$

$$= -\frac{R_2}{R_1} v_I - \left(\frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I\right) R_4$$

بنابراین، بهره ولتاژ از رابطه زیر بدست می‌آید:

$$\frac{v_O}{v_I} = -\left[\frac{R_2}{R_1} + \frac{R_4}{R_1}\left(1 + \frac{R_2}{R_3}\right)\right]$$

رابطه فوق را می‌توان به شکل زیر نوشت

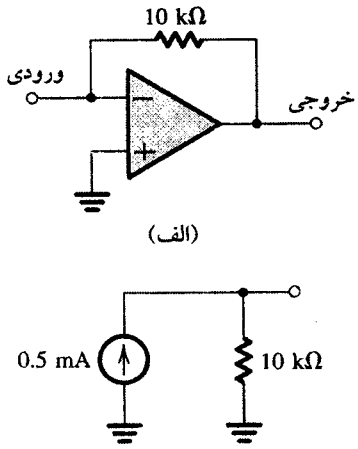
$$\frac{v_O}{v_I} = -\frac{R_2}{R_1}\left(1 + \frac{R_4}{R_2} + \frac{R_4}{R_3}\right)$$

اکنون بدلیل اینکه مقاومت ورودی $1\ M\Omega$ مورد نیاز است ما مقدار R_1 را $1\ M\Omega$ انتخاب می‌کنیم. اما بدلیل محدودیت استفاده از مقاومتهای بالاتر از $1\ M\Omega$، با انتخاب $R_2 = 1\ M\Omega$، اولین ضریب در رابطهٔ بهره، عدد ۱ خواهد شد. برای بدست آوردن بهره -100، R_3 و R_4 بایستی طوری انتخاب شوند که ضریب دوم در عبارت بهره، عدد ۱۰۰ شود، اگر بیشترین مقدار مجاز $1\ M\Omega$ را برای R_4 درنظر بگیریم، مقدار R_3 پس از محاسبه $10.2\ k\Omega$ خواهد شد. بدین ترتیب در مدار از سه مقاومت $1\ M\Omega$ و یک مقاومت $10.2k\Omega$ استفاده می‌شود. بعنوان مقایسه اگر می‌خواستیم از آرایش وارونگر استفاده کنیم برای داشتن $R_1 = 1\ M\Omega$ بایستی از مقاومت فیدبک $100\ M\Omega$ استفاده می‌کردیم که یک مقدار بزرگ غیرعملی می‌باشد!

تمرینها

ط ۴-۲ با استفاده از مدار شکل (۴-۲) یک تقویت‌کننده وارونگر طراحی کنید که بهره آن -10 و مقاومت ورودی آن $100\ k\Omega$ باشد. مقادیر R_1 و R_2 را بدست آورید:

جواب. $R_2 = 1\ M\Omega$ ؛ $R_1 = 100\ k\Omega$



شکل (۵-۲ ت)

۵-۲ با استفاده از مدار شکل (الف ۵-۲ ت) می‌توان یک تقویت‌کننده مقاومت انتقالی بوجود آورد (بخش ۵-۱ را ملاحظه کنید). مقدار مقاومت ورودی R_i، مقاومت انتقالی R_m، و مقاومت خروجی R_o تقویت‌کننده مقاومت انتقالی را پیدا کنید. چنانچه منبع سیگنال شکل (ب ۵-۲ ت) به ورودی تقویت‌کننده مقاومت انتقالی وصل شود، ولتاژ خروجی آن را پیدا کنید.

جواب. $R_i = 0$ ؛ $R_m = -10\ k\Omega$ ؛ $R_o = 0$ ؛ $v_o = -5\ V$ ❑

۴-۲ کاربردهای دیگر پیکربندی وارونگر

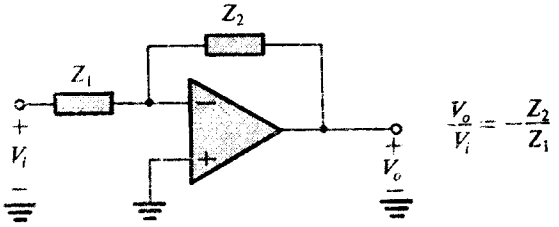
در این بخش، مدارهای مهم در پیکربندی وارونگر را بررسی می‌کنیم

۴-۱-۲ پیکربندی وارونگر با امپدانس کل Z_1 و Z_2

به جای استفاده از دو مقاومت R_1 و R_2 به ترتیب از $Z_1(s)$ و $Z_2(s)$ می‌توانیم استفاده کنیم. مدار بدست آمده مطابق شکل (۹-۲) خواهد بود و بهره حلقه بسته و یا به طور دقیقتر، تابع انتقال حلقه بسته از رابطه زیر بدست می‌آید:

$$\frac{V_o(s)}{V_i(s)} = -\frac{Z_2(s)}{Z_1(s)} \qquad (۲-۲)$$

چنانکه در بخش ۶-۱ شرح داده شد، با جایگزینی s با $j\omega$ تابع انتقال برای فرکانسهای فیزیکی ω به دست می‌آید.



شکل ۹-۲. پیکربندی وارونگر با امپدانس کلی در فیدبک و در ورودی

مثال ۳-۲

در مدار شکل (۱۰-۲) رابطه‌ای برای تابع انتقال $V_o(s)/V_i(s)$ بیابید. نشان دهید که تابع انتقال از نوع مدار STC است. با بیان تابع انتقال به صورت استاندارد جدول ۲-۱، بهره dc و فرکانس ۳dB را بیابید. مدار را طوری طراحی کنید که بهره dc آن ۴۰dB، ۳dB در فرکانس ۱kHz و مقاومت ۱kΩ بدست آید. در چه فرکانسی، اندازه تابع انتقال یک می‌شود؟ زاویه فاز در این فرکانس چقدر است ؟

حل:

برای بدست آوردن تابع انتقال مدار شکل (۱۰-۲)، در معادله (۲-۲)، $Z_1 = R_1$ و $Z_2 = R_2||(1/SC_2)$ را جایگزین می‌کنیم. چون Z_2 با دو عنصر موازی است، بهتر است با عبارت Y_2 کار شود. یعنی، مانند زیر تابع انتقال را به صورت دیگری می‌نویسیم:

$$\frac{V_o(s)}{V_i(s)} = \frac{1}{Z_1(s)Y_2(s)}$$

و با جایگزینی $Z_1 = R_1$ و $Y_2(s) = \frac{1}{R_2} + s(C_2)$ رابطه زیر بدست می‌آید:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{(R_1/R_2)+sC_2R_1}$$

این تابع از نوع مرتبه اول است و بهره dc ی آن در $s = 0$ برابر با $\frac{V_o(s)}{V_i(s)} = -\frac{R_2}{R_1}$ می‌باشد و بهره آن در فرکانس بی‌نهایت صفر است. به این ترتیب، تابع انتقال از نوع STC پایین گذر است و به شکل استاندارد جدول ۲-۱ به صورت زیر بیان می‌شود:

$$\frac{V_o(s)}{V_i(s)} = \frac{-(R_2/R_1)}{1 + sC_2R_2}$$

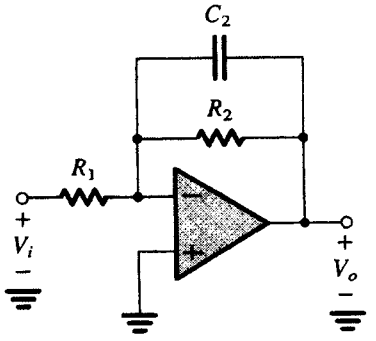
که از آن k، بهره dc چنین بدست می‌آید:

$$K = -\frac{R_2}{R_1}$$

و ω_0 فرکانس ۳dB به صورت زیر می‌شود:

$$\omega_0 = \frac{1}{C_2R_2}$$

آنچه را گفته شد می‌توان در شکل ۱۰-۲ ملاحظه کرد. به ویژه توجه داشته باشید که خازن در ولتاژهای dc مانند مدار باز عمل می‌کند،



شکل ۱۰-۲. مدار مثال ۳-۲

یعنی، بهره در جریانهای dc، بطور خلاصه $(-R_2/R_1)$ است. بعلاوه چون در پایانه ورودی وارونگر یک زمین مجازی وجود دارد، مقاومتی که خازن ارائه می‌کند R_2 است و در نتیجه ثابت زمانی شبکه STC برابر با C_2R_2 می‌باشد.

اکنون برای بدست آوردن ۴۰dB بهره dc، یعنی ۱۰۰V/V، $(R_2/R_1)=100$ انتخاب شود. در مقاومت ورودی ۱kΩ، $R_1=1k\Omega$ و بنابراین $R_2 = 100k\Omega$ انتخاب می‌شود. سرانجام، در فرکانس ۳dB $f_o = 1kHz$ انتخاب می‌شود و C_2 را از رابطه زیر بدست می‌آوریم:

$$2\pi\times1\times10^3 = \frac{1}{C_2\times100\times10^3}$$

که از آن $C_2 = 1/59nF$ بدست می‌آید.

مدار دارای بهره و نمودار بودی فاز استاندارد است مطابق شکل (۲۳-۱). با افت بهره با آهنگ ۲۰dB/decade پس از دو دهه، یعنی در $f = 100f_0=100kHz$ به ۰dB می‌رسد. چنانکه در شکل (ب ۲۳-۱) نشان داده شده است، در فرکانسهای بسیار بالاتر از f_0، فاز تقریباً ۹۰°- است. به این فاز باید، ۱۸۰ درجه افزایش فاز حاصل از طبیعت کار تقویت کنندگی (یعنی علامت منفی به معادله تابع تبدیل) افزود بنابراین در ۱۰۰kHz، کل تغییر فاز ۲۷۰°- یا ۹۰°+ خواهد بود.

۲-۴-۲ انتگرال وارونگر

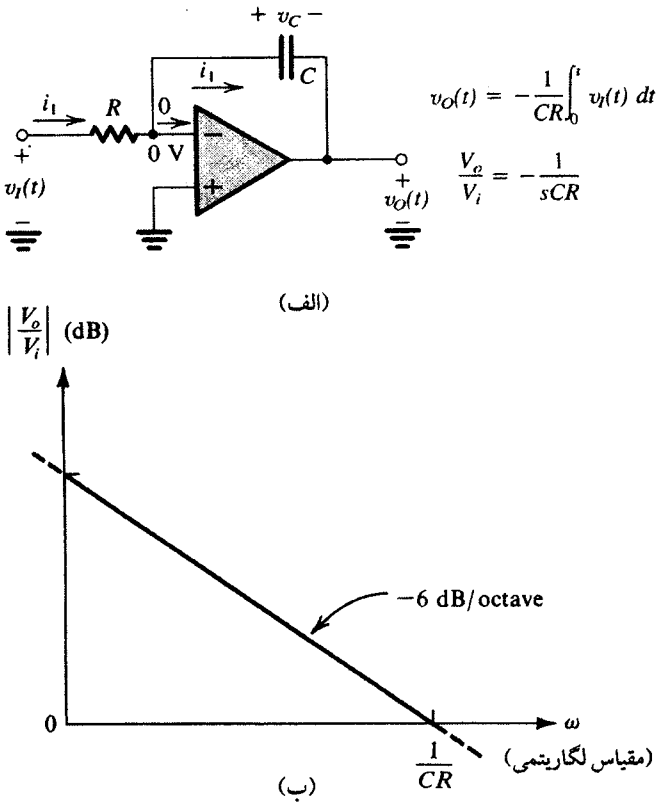
با گذاشتن خازن در مسیر فیدبک (مثلاً به جای Z_2 در شکل ۲-۹) و یک مقاومت در ورودی (به جای Z_1)، مدار شکل (الف ۱۱-۲) بدست می‌آید. اکنون نشان می‌دهیم که این مدار عمل ریاضی انتگرال‌گیری را انجام می‌دهد. ورودی را تابع متغیر با زمان $v_I(t)$ در نظر بگیرید. زمین مجازی پایانه وارونگر op-amp باعث می‌شود $v_I(t)$ در دو سر R ظاهر شود و به این ترتیب جریان $i_1(t)$ برابر با $v_I(t)/R$ خواهد بود. این جریان از خازن C می‌گذرد و بر روی آن ذخیره می‌شود. چنانچه فرض شود که مدار در زمان $t = 0$ آغاز به کار می‌کند، در اینصورت در زمان دلخواه t، جریان $i_1(t)$ بر خازن C شارژی معادل $\int_0^t i_1(t)dt$ خواهد داشت. به این ترتیب ولتاژ خازن $v_c(t)$ با $\frac{1}{C}\int_0^t i_1(t)dt$ تغییر خواهد کرد. در صورتیکه ولتاژ اولیه C (در $t = 0$) با V_C نشان داده شود آنگاه :

$$v_c(t) = V_c + \frac{1}{C}\int_0^t i_1(t)dt$$

اکنون، ولتاژ خروجی $v_o(t) = -v_c(t)$ خواهد داشت. بنابراین

$$v_o(t) = -\frac{1}{CR}\int_0^t v_I(t)dt - V_c \qquad (۲-۳)$$

در اینصورت مدار در خروجی ولتاژی بدست خواهد داد متناسب با انتگرال زمانی ورودی، V_c شرط اولیه انتگرال‌گیری و CR ثابت زمانی انتگرال‌گیری است. توجه کنید که همانگونه که انتظار می‌رفت یک علامت منفی به ولتاژ خروجی داده شده به این معنی است که مدار انتگرال گیرنده یک انتگرال‌گیر وارونگر است. این مدار با کمی کار بر آن، **انتگراگیر میلر** نامیده می‌شود.



شکل ۱۱-۲. (الف) انتگرال‌گیر میلر یا انتگرال‌گیر وارونگر
(ب) پاسخ فرکانسی یک انتگرال‌گیر ایده‌آل با ثابت زمانی CR

کار مدار انتگرال‌گیر را در حوزه فرکانس و به گونه‌ای دیگر می‌توان بیان کرد. با جایگزینی $Z_1(s) = R$ و $Z_2(s) = 1/SC$ در معادله (۲-۲)، تابع انتقال به صورت زیر بدست می‌آید:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{sCR} \qquad (۲-۴)$$

در فرکانسهای فیزیکی $s = j\omega$ و

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -\frac{1}{j\omega CR} \qquad (\text{الف } ۴-۲)$$

به این ترتیب اندازه تابع انتقال خواهد شد:

$$\left|\frac{V_o}{V_i}\right| = \frac{1}{\omega CR} \qquad (\text{ب } ۴-۲)$$

و فاز آن خواهد بود:

$$\phi = +۹۰^\circ \qquad (\text{پ } ۴-۲)$$

نمودار بودی برای پاسخ اندازه انتگرال‌گیر با در نظر گرفتن معادله (ب ۴-۲) بدست می‌آید. این طور که با دو برابر شدن ω (افزایش یک اکتاو)، اندازه نصف می‌شود (به اندازه ۶dB کاهش می‌یابد). در نتیجه نمودار بود آن خط راستی با شیب ۶dB/octave− (یا معادل ۲۰dB/decade−) است. این خط (که در شکل ب ۱۱-۲ نشان داده شده) خط ۰dB را در فرکانسی قطع می‌کند که در آن $\left|\frac{V_o}{V_i}\right| = ۱$ است. و از معادله (ب ۴-۲) بدست می‌آید

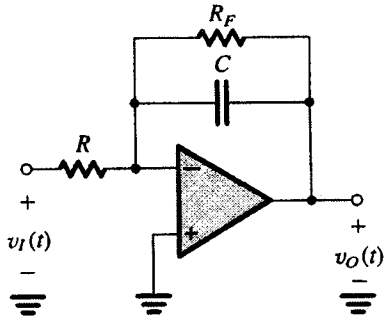
$$\omega_{int} = \frac{۱}{CR}$$

ω_{int} را **فرکانس انتگرال‌گیر** می‌نامیم و بطور خلاصه، معکوس ثابت زمانی انتگرال‌گیر است.

مقایسه پاسخ فرکانسی انتگرال‌گیر با یک شبکه STC پایین‌گذر نشان می‌دهد که انتگرال‌گیر مانند یک فیلتر پایین‌گذر با فرکانس گوشه صفر عمل می‌کند. همچنین ملاحظه می‌شود که در $\omega = ۰$، اندازه تابع انتقال انتگرال‌گیر بی‌نهایت است. این نشان می‌دهد که op-amp در dc با حلقه باز عمل می‌کند. انتگرال‌گیر نیز همین را نشان می‌دهد؛ با مراجعه به شکل (الف ۱۱-۲) ملاحظه می‌کنید که عنصر فیدبک یک خازن است، و بنابراین در dc که خازن به مثابه یک مدار باز عمل می‌کند، فیدبک منفی وجود ندارد. این مطلب بسیار مهمی است و نشان می‌دهد که مدار انتگرال‌گیر مشکلات زیادی دارد: هر جزء dc کوچک در ورودی سیگنال از لحاظ نظری خروجی بی‌نهایت ایجاد می‌کند. البته در عمل ولتاژ خروجی بی‌نهایت نیست؛ بلکه خروجی تقویت کننده با توجه به پلاریته سیگنال dc ورودی در ولتاژی نزدیک به ولتاژ منفی یا مثبت op-amp اشباع می‌شود.

اشباع شدن op-amp تعجب ندارد. اگر چه هنوز درباره اشباع op-amp سخن نگفته‌ایم، ولی درباره اشباع تقویت‌کننده‌ها در بخش ۴-۱ به طور اجمال بحث کرده‌ایم (شکل ۱۳-۱ را ملاحظه کنید).

مشکل بهره dc بزرگ و یا بی‌نهایت انتگرال‌گیر (که با بهره حلقه باز op-amp برابر است) با اتصال مقاومت R_F به موازات خازن C، مطابق شکل (۱۲-۲) بر طرف می‌گردد. مقاومت R_F حلقه فیدبک را در dc می‌بندد و انتگرالگیری بوجود می‌آورد که بهره dc آن محدود و $-\frac{R_F}{R}$ باشد. اگر چه متأسفانه، انتگرال بدست آمده دیگر ایده‌آل نیست. خواننده می‌تواند نشان دهد که R_F تابع انتقال انتگرالگیر را در فرکانس ۳dB برابر با $1/R_FC$ قرار می‌دهد (با ملاحظه مثال ۳-۲)، اکنون به این ترتیب، انتگرالگیر در این وضعیت درست مانند یک STC پایین گذر کار می‌کند (با توجه به مثال ۳-۲). برای کاهش ایراد تابع انتگرال‌گیر که در اثر R_F بوجود آمد، باید R_F را تا حد ممکن بزرگ انتخاب کنیم. مثال زیر تأثیر R_F را بر عملکرد حوزه زمانی انتگرال‌گیر نشان می‌دهد. در بخش ۹-۲ درباره R_F بیشتر گفته خواهد شد.



شکل ۱۲-۲. انتگرال گیر میلر با مقاومت بزرگ R_F که به طور موازی با C متصل شده تا فیدبک منفی در dc تهیه شود.

مثال ۴-۲

خروجی انتگرال‌گیر میلر را در پاسخ یک پالس ورودی ۱V و عرض ۱ms بیابید. (شکل الف ۱۳-۲). فرض کنید $R=10k\Omega$ و $C = 10nF$ باشد. اگر خازن انتگرال‌گیر با مقاومت ۱MΩ موازی شود، پاسخ چقدر تغییر خواهد داشت؟

حل:

در پاسخ به یک پالس ورودی ۱V، با عرض ۱ms، خروجی انتگرال‌گیر چنین خواهد بود.

$$v_o(t) = -\frac{1}{CR}\int_0^t 1dt \quad 0 \le t \le 1ms$$

که در آن ولتاژ اولیه خازن انتگرال‌گیر، صفر فرض شده است. به ازای $C = 10nF$ و $R = 10k\Omega$، $CR = 0.1ms$ و

$$v_o(t) = -10t \quad \text{و} \quad 0 \le t \le 1ms$$

که شیب خطی شکل ب ۱۳-۲ است. این شیب در $t=1ms$ به $-10V$ می‌رسد و سپس ثابت می‌ماند. شیب خطی خروجی نیز بدیهی است زیرا پالس ۱V ورودی در خازن جریان ثابت $1V/10k\Omega=0.1mA$ ایجاد می‌کند.

این جریان ثابت $I = 0.1mA$، شارژ It خازن را تأمین می‌کند و به این ترتیب ولتاژ خازن بصورت خطی تا (It/C) تغییر می‌کند، و $v_o=-\frac{1}{C}t$ را بدست می‌دهد. خوب است به خاطر داشته باشید که شارژ یک خازن با جریان ثابت سبب ایجاد ولتاژی خطی در دو سر آن می‌شود. اکنون موقعیتی را در نظر بگیرید که مقاومت $R_F = 1M\Omega$ به دو سر خازن C متصل شده است. همچون گذشته، پالس ۱V جریان ثابت $I = 0.1mA$ ایجاد می‌کند. اما اکنون این جریان به یک شبکه STC متشکل از R_F به موازات C اعمال شده است. برای بدست آوردن ولتاژ خروجی، از معادله (۳۳-۱) استفاده می‌کنیم که به صورت زیر معمولاً آورده می‌شود:

$$v_o(t) = v_o(\infty) - [v_o(\infty) - v_o(0+)]e^{-t/CR_F}$$

که در آن $v_o(\infty)$ مقدار نهایی بدست آمده به صورت زیر است:

$$v_o(\infty) = -IR_F = -0.1\times10^{-3}\times1\times10^{6} = -100V$$

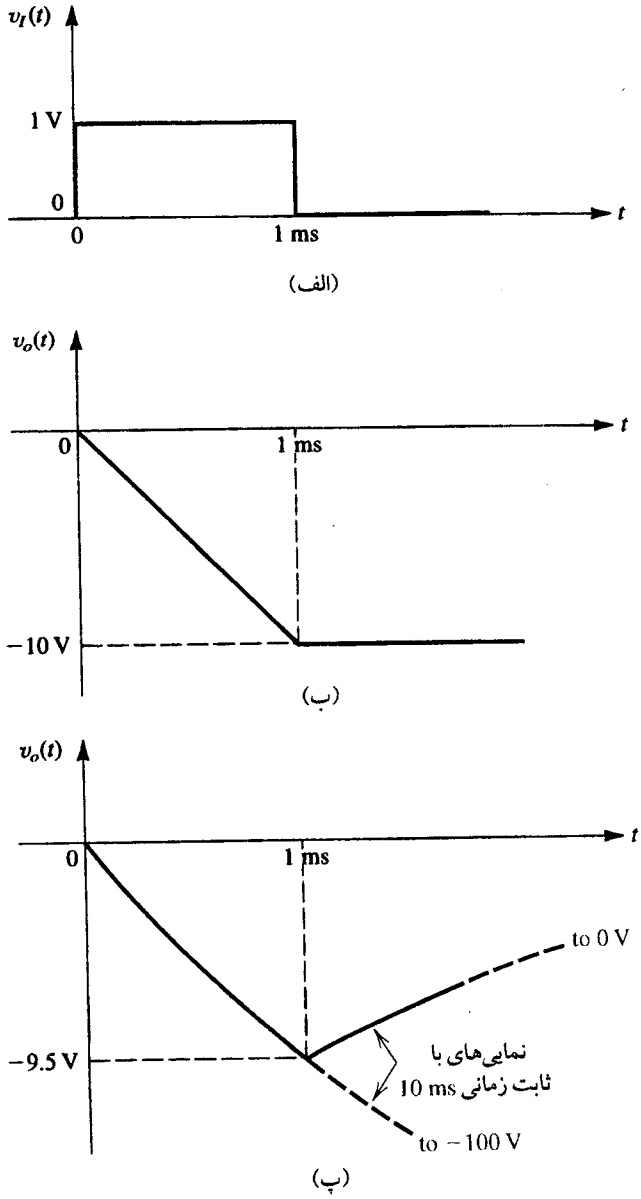
و $v_o(0+)$ مقدار اولیه و برابر با صفر است. یعنی، خروجی یک نمایی به سمت $-100V$ با ثابت زمانی $CR_F=10\times10^{-9}\times1\times10^{6}=10ms$ است.

$$v_o(t) = -100(1 - e^{-t/10}) \quad , 0 \le t \le 1ms$$

البته، تابع نمایی در انتهای پالس یعنی در $t = 1ms$ قطع می‌شود، و خروجی به مقدار زیر خواهد رسید:

$$v_o(1ms) = -100(1 - e^{-1/100}) = -9.5V$$

شکل موج خروجی در شکل (پ ۱۳-۲) نشان داده شده است. که در آن می‌بینیم که بودن R_F موجب می‌شود با رسیدن خروجی به $-9.5V$ منحنی نمایی صاف شود، یعنی $0.5V$ کمتر از مقدار $10V$ آرمانی. بعلاوه، به ازای $t>1ms$، خازن از طریق R_F دشارژ می‌گردد با ثابت زمانی نسبتاً طولانی $10ms$.

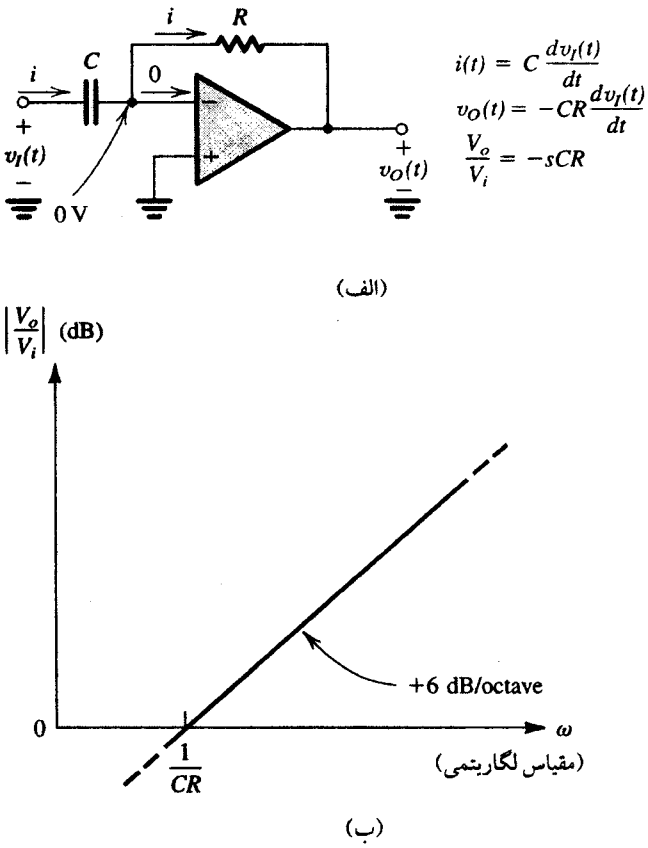


شکل ۱۳-۲. شکل موجهای مثال ۴-۲: (الف) پالس ورودی. (ب) شیب خطی خروجی انتگرال‌گیر ایده‌آل با ثابت زمانی ۰/۱ms. (پ) شیب خروجی نمایی با مقاومت R_F که به دو سر خازن انتگرال‌گیر متصل است.

مثال قبل به یک کاربرد مهم انتگرال، یعنی استفاده از آنها در ایجاد شکل موجهای مثلثی در پاسخ به ورودی‌های موج مربعی، اشاره دارد. این کار در تمرین ۶-۲ ارائه خواهد شد. انتگرال‌گیرها کاربردهای دیگر از جمله کاربرد در طراحی فیلترها نیز دارند (فصل ۱۱).

۳-۴-۲ op-amp مشتق‌گیر

با جابجایی خازن و مقاومت انتگرال‌گیر مدار شکل الف ۱۴-۲ بدست می‌آید که عمل ریاضی مشتق‌گیری را انجام می‌دهد. برای ملاحظه چگونگی آن، فرض کنید ورودی تابعی متغیر با زمان $v_I(t)$ باشد و در نظر بگیرید که زمین مجازی پایانه ورودی وارونگر op-amp موجب می‌شود $v_I(t)$ در دو سر خازن C بدست آید. و این جریان که از طریق مقاومت



شکل ۱۴-۲. (الف) مشتق‌گیر. (ب) پاسخ فرکانسی یک مشتق‌گیر با ثابت زمانی CR

فیدبک R جاری می‌شود در خروجی op-amp ولتاژ $v_o(t)$ را بدست می‌دهد:

$$v_o(t) = -CR\frac{dv_I(t)}{dt} \qquad (۲-۶)$$

تابع انتقال حوزه فرکانسی مدار مشتق‌گیر از جایگزینی $Z_1(s) = 1/sC$ و $Z_2(s) = R$ در معادله (۲-۲) بدست می‌آید:

$$\frac{V_o(s)}{V_i(s)} = -sCR \qquad (۲-۷)$$

که برای فرکانسهای فیزیکی $s = j\omega$ بدست می‌آید:

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -j\omega CR \qquad (\text{الف-۲-۷})$$

بنابراین اندازه تابع انتقال می‌شود:

$$\left|\frac{V_o}{V_i}\right| = \omega CR \qquad (\text{ب-۲-۷})$$

و فاز آن

$$\phi = -۹۰^\circ \qquad (\text{پ-۲-۷})$$

نمودار بود (Bode) اندازه پاسخ از معادله (ب ۷-۲) بدست می‌آید. توجه کنید که به ازای هر اکتاو افزایش در ω، اندازه دو برابر می‌شود (۶dB افزایش می‌یابد). پس نمودار به طور خلاصه، خط راستی با شیب ۶dB/octave (یا معادل آن، ۲۰dB/decade) است. که خط ۰dB را (جایی که ۱ = V_o/V_i) در $\omega = 1/CR$ قطع می‌کند. که در آن CR **ثابت زمانی مشتق‌گیر** است (شکل ب ۱۴-۲ را ملاحظه کنید).

پاسخ فرکانسی مشتق‌گیر مانند فیلتر STC بالاگذری است که فرکانس گوشه آن در بی‌نهایت است (به شکل ۲۴-۱ مراجعه کنید). سرانجام، می‌بایست توجه کرد که مدار مشتق‌گیر مانند یک "بزرگنمای نویز" عمل می‌کند. زیرا هرگاه تغییر شدیدی در $v_I(t)$ روی دهد، پالس‌های سوزنی شکل در خروجی خواهیم داشت. بدین ترتیب هر تغییری می‌تواند موجب تداخل پالس‌های سوزنی باشد. به این دلیل و به علت مشکل بی ثباتی آنها (فصل ۸)، در عمل از مدارهای مشتق‌گیر استفاده نمی‌شود. هنگامی که مدار شکل (الف ۱۴-۲) استفاده می‌شود معمولاً لازم است یک مقاومت کوچک به صورت سری با خازن متصل شود. این اصلاح، متأسفانه مدار را به یک مشتق‌گیر غیر ایده‌آل تبدیل می‌کند.

۴-۴-۲ جمع‌کننده وزنی

به عنوان آخرین کاربرد پیکربندی وارونگر، مدار نشان داده شده در شکل (۱۵-۲) را در نظر بگیرید. در مسیر فیدبک منفی یک مقاومت R_f وجود دارد اما چند سیگنال ورودی v_1، v_2، ...، v_n وجود دارد که هریک به مقاومت مربوط به خود یعنی R_1، R_2، ...، R_n اعمال شده است. مقاومت‌های مزبور به پایانه وارونگر op-amp متصل شده است. از بحث قبلی متوجه شدیم که op-amp آرمانی یک زمین مجازی خواهد داشت که در پایانه ورودی منفی‌اش ظاهر خواهد شد. در آنصورت قانون اهم بیان می‌کند که جریان i_1، i_1، ...، i_n از رابطه زیر بدست می‌آید:

$$i_1 = \frac{v_1}{R_1}, \quad i_2 = \frac{v_2}{R_2}, \quad \ldots, \quad i_n = \frac{v_n}{R_n}$$

همه این جریان با یکدیگر جمع می‌شوند تا جریان i تولید شود؛ یعنی:

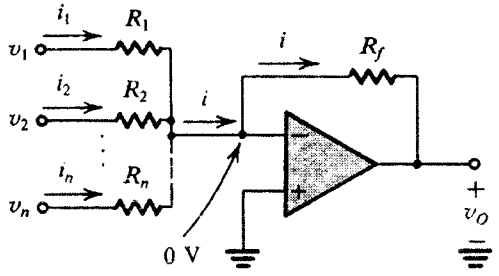
$$i = i_1 + i_2 + \ldots + i_n \qquad (۲-۸)$$

به اجبار در R_f جریان خواهد یافت (زیرا هیچ جریانی در پایانه ورودی یک op-amp آرمانی شارش نمی‌یابد). اکنون، ولتاژ خروجی v_O ممکن است با کاربردهای دیگری از قانون اهم محاسبه شود.

$$v_O = 0 - iR_f = -iR_f$$

بنابراین

$$v_O = -\left(\frac{R_f}{R_1}v_1 + \frac{R_f}{R_2}v_2 + \ldots + \frac{R_f}{R_n}v_n\right) \qquad (۲-۹)$$



$$v_O = -\left(\frac{R_f}{R_1}v_1 + \frac{R_f}{R_2}v_2 + \cdots + \frac{R_f}{R_n}v_n\right)$$

شکل ۱۵-۲. جمع‌کننده وزنی

یعنی، ولتاژ خروجی جمع وزنی سیگنالهای ورودی v_1، v_2،...، v_n است. از اینرو چنین مداری را **جمع‌کننده وزنی** می‌نامند.

توجه کنید که هر یک از ثابتهای جمع شونده را می‌توان با تنظیم مقاومت متناظر با آن (R_1 تا R_n) بطور مستقل تنظیم کرد. این خاصیت جالب که تنظیم مدار را بسیار ساده می‌کند، نتیجهٔ مستقیم وجود زمین مجازی در پایانهٔ وارونگر op−amp است. زمین‌های مجازی ابزاری بسیار ارزشمند هستند که بزودی به ارزش آنها پی خواهیم برد.

تا کنون دیده‌ایم که با op−amp ها می‌توان سیگنالی را در یک عدد ثابت ضرب کرد، از آن انتگرال گرفت، مشتق گرفت و تعدادی از سیگنالها را با وزن مشخص جمع کرد. به سبب انجام این عملیات ریاضی، op−amp نام تقویت‌کننده عملیاتی بخود گرفته است. در حقیقت مدارهای فوق قسمت‌های تشکیل دهندهٔ عملیاتی لازم برای محاسبات آنالوگ هستند. اما op−amp ها کاربردهای بسیار زیاد دیگری نیز دارند. در این فصل نمونه‌هایی از این فراگیری را بررسی کرده کاربردهای دیگر را در فصل‌های آتی نشان خواهیم داد.

تمرینها

۲−۶ یک موج مربعی متقارن با دامنه ۲۰ ولت نوک تا نوک، متوسط صفر، و دوره تناوب ۲ ms به انتگرال‌گیر میلر اعمال شده است. مقدار ثابت زمانی CR را طوری بدست آورید که موج مثلثی خروجی، دامنه‌اش ۲۰-V نوک تا نوک باشد.

جواب. ۰/۵ ms

ط ۲−۷ با استفاده از یک op-amp آرمانی، یک انتگرال‌گیر وارونگر با مقاومت ورودی ۱۰ kΩ و ثابت زمانی انتگرال‌گیری 10^{-3} s، طراحی کنید. بزرگی بهره و زاویه فاز مدار را در ۱۰ rad/s و ۱rad/s حساب کنید. در چه فرکانسی اندازه بهره، ۱ می‌باشد؟

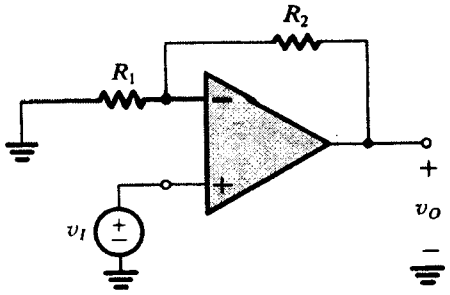
جواب. $R = 10\ k\Omega$ ، $C = 0/1\ \mu F$ ؛ در $\omega = 10$ rad/s :
$|V_o/V_i| = 100$ V/V و $\phi = +90°$ ؛ در $\omega = 1$ rad/s :
$|V_o/V_i| = 1000$ V/V و $\phi = +90°$ ؛ 1000 rad/s

ط ۲−۸ یک مشتق‌گیر طراحی کنید که دارای ثابت زمانی 10^{-2}s و ظرفیت ورودی $0/01\ \mu F$ باشد. اندازه بهره و فاز این مدار را در ۱۰rad/s و در 10^3 rad/s محاسبه کنید. برای محدودکردن بهره فرکانس بالای مدار مشتق‌گیر در ۱۰۰، یک مقاومت بطور سری به خازن اضافه شده، مقدار مقاومت را حساب کنید.

جواب. $C = 0/01\ \mu F$ ؛ $R = 1\ M\Omega$ ؛ در $\omega = 10$ rad/s :
$|V_o/V_i| = 0/1$ V/V و $\phi = -90°$ ؛در $\omega = 1000$rad/s :
$|V_o/V_i| = 10$ و $\phi = -90°$ ؛ 10kΩ

ط ۲−۹ یک مدار op-amp وارونگر طراحی کنید طوری که در آن مجموع وزنی v_O از دو ورودی v_1 و v_2 بدست آید. لازم است که $v_O = -(v_1 + 5v_2)$ باشد. مقادیر R_1، R_2 و R_f را طوری طراحی کنید که برای ماکزیمم ولتاژ خروجی ۱۰ V، جریان در مقاومت فیدبک از ۱ mA تجاوز نکند.

جواب. گزینش ممکن: $R_1 = 10\ k\Omega$ ، $R_2 = 2k\Omega$ ، $R_f = 10\ k\Omega$ ❑



شکل ۱۶−۲. پیکربندی ناوارونگر

۲−۵ پیکربندی ناوارونگر

دومین پیکربندی که مورد مطالعه قرار خواهد گرفت در شکل ۱۶−۲ نشان داده شده است. در این مدار، سیگنال ورودی V_I به‌طور مستقیم به پایانه ورودی مثبت op-amp اعمال می‌شود و یک سر مقاومت R_1 به زمین متصل گشته است.

بهره حلقه بسته

تحلیل مدار ناوارونگر برای تعیین بهره حلقه بسته آن (v_o/v_I) در شکل ۱۷−۲ با رسم شکل نشان داده شده است. با فرض اینکه op−amp با بهره بی‌نهایت، آرمانی باشد، یک مدار اتصال کوتاه مجازی بین دو پایانه ورودی وجود دارد. اختلاف بین دو سیگنال ورودی می‌شود:

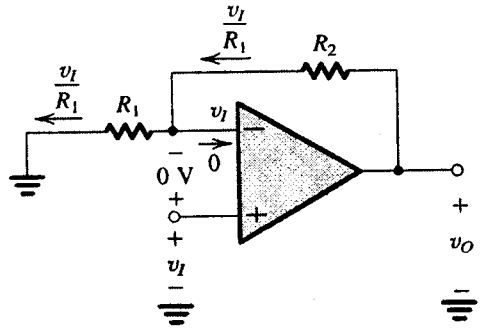
$$v_2 - v_1 = \frac{v_O}{A} = 0 \text{ برای } A = \infty$$

بنابراین، ولتاژ پایانه ورودی وارونگر با ولتاژ پایانه ورودی ناوارونگر (یعنی ولتاژ v_I اعمال شده) برابر خواهد بود. جریان در R_1 می‌تواند بصورت v_I/R_1 بدست آید. به علت امپدانس ورودی نامحدود op−amp ، این جریان مطابق شکل ۱۷−۲ در R_2 جاری خواهد شد. اکنون ولتاژ خروجی از رابطه زیر می‌تواند بدست آید:

$$v_O = v_I + \left(\frac{v_I}{R_1}\right) R_2$$

که نتیجه می‌دهد

$$\frac{v_O}{v_I} = 1 + \frac{R_2}{R_1} \qquad (۲-۱۰)$$



$$v_O = v_I + \frac{v_I}{R_1} R_2 = v_I\left(1 + \frac{R_2}{R_1}\right)$$

شکل ۱۷−۲. تحلیل مدار ناوارونگر

با درنظر گرفتن آنچه در زیر می‌آید، اطلاع بیشتری از عملکرد پیکربندی ناوارونگر بدست می‌آید: مقسم ولتاژ در مسیر فیدبک منفی باعث می‌شود قسمتی از ولتاژ خروجی در پایانه ورودی وارونگر ظاهر گردد؛ یعنی:

$$v_1 = v_O\left(\frac{R_1}{R_1 + R_2}\right)$$

بنابراین، بهره بی‌نهایت op-amp و مدار کوتاه مجازی نتیجه شده بین دو پایانه ورودی op-amp موجب می‌شود تا این ولتاژ به ولتاژی که به پایانه ورودی مثبت اعمال می‌گردد، برابر شود؛ یعنی

$$v_O\left(\frac{R_1}{R_1 + R_2}\right) = v_I$$

که رابطهٔ بهره داده شده در معادله (۱۰-۲) را بدست می‌دهد.

مدل مدار معادل

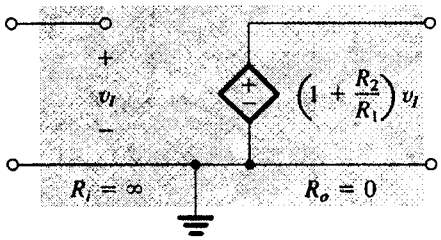
بهره پیکربندی ناوارونگر (با توجه به وجه نامگذاری ناوارونگر) مثبت می‌باشد. امپدانس ورودی این تقویت‌کننده حلقه بسته در حالت آرمانی، بی‌نهایت است زیرا هیچ جریانی در پایانه ورودی مثبت op-amp شارش نمی‌یابد. خروجی تقویت‌کننده ناوارونگر از پایانه‌های یک منبع ولتاژ ایده‌آل $A(v_2 - v_1)$ گرفته می‌شود (مدار معادل op-amp شکل ۳-۲ را ببینید) بنابراین مقاومت خروجی آرایش ناوارونگر صفر است. با جمع‌بندی این خواص، مدل مداری معادل، برای آرایش تقویت‌کنندهٔ ناوارونگر، شکل (۱۸-۲) نشان داده شده است. در این مدل op-amp ایده‌آل فرض شده است.

تأثیر محدود بهره حلقه باز

همانگونه که برای پیکربندی وارونگر انجام شد، اکنون اثر محدود op-amp حلقه باز را بر بهره پیکربندی ناوارونگر بررسی می‌کنیم. فرض کنید op-amp بجز اینکه بهره A حلقه باز در آن محدود باشد، آرمانی در نظر گرفته شود. می‌توان نشان داد که بهره حلقه بسته تقویت کننده ناوارونگر شکل ۱۶-۲ از رابطه زیر بدست می‌آید:

$$G \equiv \frac{v_O}{v_I} = \frac{1 + (R_2/R_1)}{1 + \dfrac{1 + (R_2/R_1)}{A}} \qquad (۱۱-۲)$$

ملاحظه می‌کنید که مخرج همان است که در پیکربندی وارونگر بود. اتفاقی



شکل ۱۸-۲. مدل مداری معادل برای آرایش تقویت‌کننده ناوارونگر شکل ۱۶-۲ (با فرض ایده‌آل بودن op-amp)

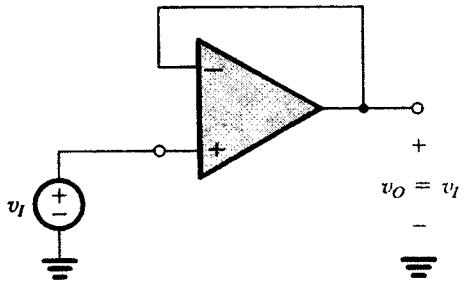
نیست؛ این نتیجه برآمده از این حقیقت است که پیکربندی‌های وارونگر و ناوارونگر هر دو دارای حلقه فیدبک یکسانی هستند. در فصل ۸ مبحث فیدبک را مطالعه خواهیم کرد. صورتها متفاوت هستند، صورت معادله بهره پیکربندی وارونگر $-\frac{R_2}{R_1}$ بهره آرمانی و $1+\frac{R_2}{R_1}$ در معادله بالا بهره حلقه بسته پیکربندی ناوارونگر است. در پایان، با اطمینان خاطر نشان می‌کنیم که رابطه بهره در معادله (۱۱-۲) مقدار آرمانی به ازای $A = \infty$ کاهش می‌دهد. در حقیقت، مقدار آرمانی را به ازای

$$A >> 1 + \frac{R_2}{R_1} \qquad (۱۲-۲)$$

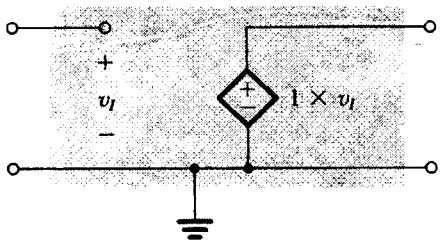
تقریب می‌کند. این شرط همان است که برای پیکربندی وارونگر بود. در اینجا کمیت سمت راست بهره حلقه بسته است.

ولتاژ پیرو

امپدانس ورودی زیاد یک خصیصه مطلوب در پیکربندی ناوارونگر است. این خاصیت به ما امکان می‌دهد تا از این مدار به مثابه تقویت‌کننده میانگیر برای برقراری ارتباط بین یک منبع دارای امپدانس زیاد با یک بار امپدانس پایین، استفاده کنیم. درباره نیاز به تقویت‌کننده‌های میانگیر یا واسطه قبلاً در فصل ۱ بحث شده است. در بسیاری از موارد، تقویت‌کننده میانگیر برای تهیه بهره ولتاژ مورد نیاز نیست؛ بلکه از آن به مثابه یک مبدل امپدانس یا تقویت‌کننده توان استفاده می‌شود. در چنین مواردی مطابق شکل (الف ۱۹-۲) برای ساختن تقویت‌کننده‌ای با بهره واحد می‌توان از $R_2 = 0$ و $R_1 = \infty$ استفاده کرد. این مدار را معمولاً **ولتاژ فالوئر** یا **ولتاژ پیرو** می‌نامند زیرا خروجی از ورودی پیروی می‌کند. در حالت آرمانی $v_O = v_I$، $R_{in} = \infty$، و $R_{out} = 0$ است.



(الف)



(ب)

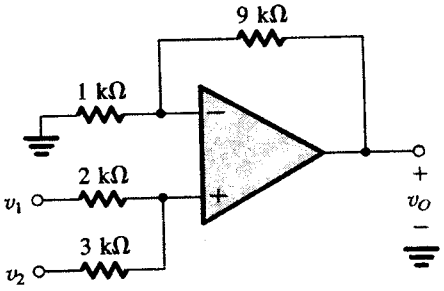
شکل ۱۹-۲. (الف) میانگیر (بافر) با بهره واحد یا تقویت‌کننده امیتر پیرو (ب) مدل مدار معادل آن

چون پیکربندی ناوارونگر بسته به انتخاب R_2/R_1 دارای بهره‌ای بزرگتر یا مساوی واحد است، برخی ترجیحاً آنرا "پیروی‌کنندهٔ با بهره" می‌نامند.

تمرینها

۲-۱۰ از اصل جمع آثار برای پیداکردن ولتاژ خروجی مدار شکل (۲-۱۰ ت) استفاده کنید.

جواب. $v_O = ۶v_1 + ۴v_2$



شکل (۲-۱۰ ت)

۲-۱۱ چنانچه در مدار شکل (۲-۱۰ ت)، مقاومت ۱ kΩ از زمین باز شود و به سومین منبع سیگنال v_3 وصل شود، با استفاده از اصل جمع آثار، v_O را بر حسب v_1، v_2، و v_3 تعیین کنید.

جواب. $v_O = ۶v_1 + ۴v_2 - ۹v_3$

ط ۲-۱۲ یک تقویت‌کننده ناوارونگر با بهره ۲ طوری طراحی کنید که بیشترین ولتاژ خروجی آن ۱۰ V و جریان در مقسم ولتاژ ۱۰ μA باشد.

جواب. $R_1 = R_2 = ۰/۵\ \text{M}\Omega$

۲-۱۳ (الف) نشان دهید که op-amp در مدار شکل (۳-۱۴) دارای بهره حلقه‌باز محدود A باشد، در آنصورت بهره حلقه بسته از رابطه زیر بدست می‌آید:

$$G \equiv \frac{v_O}{v_I} = \frac{۱ + R_2/R_1}{۱ + (۱ + R_2/R_1)/A}$$

(ب) برای $R_1 = ۱\ \text{k}\Omega$ و $R_2 = ۹\ \text{K}\Omega$، در حالاتی که $A = ۱۰^۳$، $۱۰^۴$، و $۱۰^۵$ است، درصد انحراف ε را در بهره حلقه بسته از مقدار آرمانی $(۱+R_2/R_1)$ پیداکنید. با فرض $v_I = ۱\ \text{V}$ در هر حالت ولتاژ بین دو پایانه ورودی op-amp را پیداکنید.

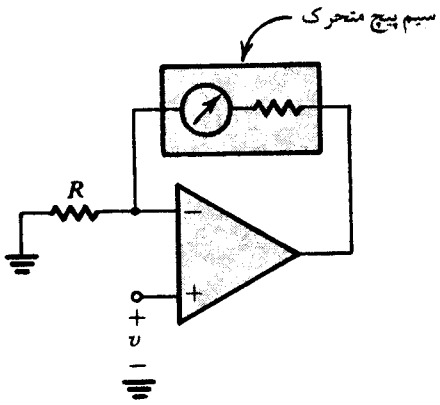
جواب. $\varepsilon = -۱\%$؛ $-۰/۱\%$، $-۰/۰۱\%$، $v_2 - v_1 = ۹/۹\text{mV}$، $۱\ \text{mV}$، $۰/۱\ \text{mV}$ ❑

۲-۶ مثالهایی از مدارات op-amp

حال که دو پیکربندی حلقه بسته op-amp را بررسی کردیم، چند مثال طرح می‌کنیم. هدف ما: اول تواناساختن خواننده در بدست آوردن تجربه برای تحلیل مداراتی که شامل op-amp هستند. دوم معرفی برخی از کاربردهای بسیار جالب op-amp ها می‌باشد.

مثال ۲-۵: یک ولتمتر آنالوگ ساده

شکل (۲-۲۰) مدار یک ولتمتر آنالوگ با امپدانس ورودی زیاد را نشان



شکل ۲-۲۰. یک ولتمتر آنالوگ با امپدانس ورودی زیاد

می‌دهد که در آن از یک سیم‌پیچ متحرک ارزان قیمت استفاده شده است. چنانکه ملاحظه می‌شود، سیم‌پیچ متحرک سنجش آن در مسیر فیدبک منفی op-amp وصل شده است. ولتمتر ولتاژ v که بین پایانه ورودی مثبت و زمین وصل شده است را اندازه‌گیری می‌کند. فرض کنید در جریان ۱۰۰ μA، سیم‌پیچ متحرک انحراف کامل داشته باشد؛ می‌خواهیم مدار R را به گونه‌ای بیابیم که اگر v برابر با ۱۰V+ باشد انحراف کامل صورت گیرد.

حل:

به علت اتصال کوتاه مجازی بین ورودی op-amp و امپدانس ورودی نامحدود op-amp، جریان سیم پیچ متحرک، v/R می‌باشد. از اینرو مجبوریم R را طوری انتخاب کنیم که

$$\frac{۱۰}{R} = ۱۰۰\ \mu\text{A}$$

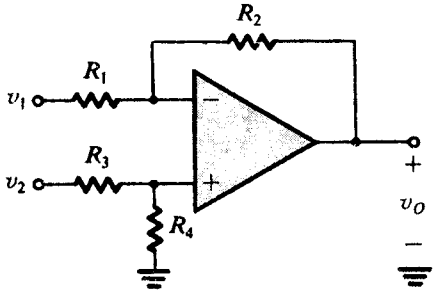
بنابراین

$$R = ۱۰۰\ \text{k}\Omega$$

توجه کنید که ولتمتر بدست آمده درجه‌ای را نشان می‌دهد که با مقدار v تناسب مستقیم دارد، صرفنظر از اینکه مقدار مقاومت داخلی سیم‌پیچ متحرک چقدر باشد که این خصیصهٔ مهمی برای یک ولتمتر است.

مثال ۲-۶: یک تقویت کننده تفاضلی

با توجه به مدار شکل (۲-۲۱) معادله‌ای بر حسب ولتاژهای ورودی v_1 و v_2 پیداکنید.



شکل ۲-۲۱. یک تقویت‌کننده تفاضل

حل:

راههای متعددی برای حل این مسئله وجود دارد؛ ساده‌ترین آن استفاده ازاصل جمع آثار است. چون شبکه خطی است، از اصل جمع آثار می‌توان استفاده نمود. برای استفاده از اصل جمع آثار،ابتدا v_2 را به صفر کاهش می‌دهیم یعنی پایانه‌ای را که v_2 به آن داده شده است را به زمین وصل می‌کنیم - و سپس ولتاژ خروجی متناسب با آنرا پیدا می‌کنیم که کاملاً به v_1 ربط خواهد داشت. ولتاژ خروجی را v_{O1} می‌نامیم. این مقادیر را از شکل (الف ۲۲-۲) می‌توان بدست آورد که آنرا به عنوان پیکربندی وارونگر می‌شناسیم. وجود R_3 و R_4 بر معادله بهره تأثیری ندارد، چون جریانی از آنها عبور نمی‌کند. به این ترتیب

$$v_{O1} = -\frac{R_2}{R_1} v_1$$

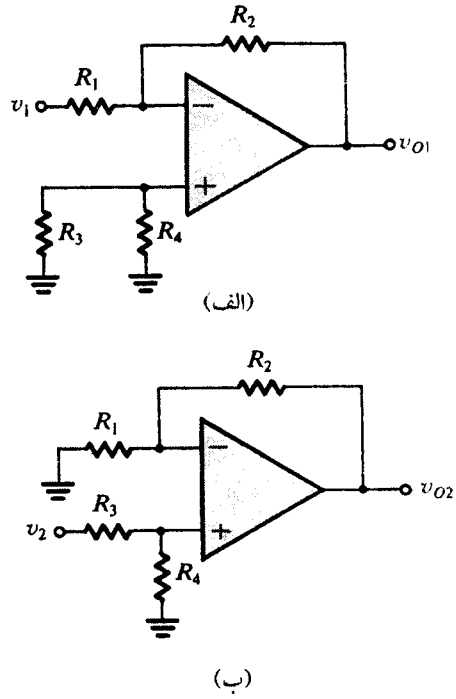
سپس v_1 را صفر کرده و ولتاژ خروجی متناسب با آن را ارزیابی می‌کنیم. اکنون مدار به شکل (ب ۲۲-۲) درخواهد آمد که آنرا به عنوان پیکربندی ناوارونگر می‌شناسیم که دارای یک مقسم ولتاژ اضافی مشتمل بر R_3 و R_4 است که در مسیر ولتاژ ورودی v_2 قرار گرفته است. بنابراین ولتاژ خروجی v_{O2} از رابطه زیر بدست می‌آید:

$$v_{O2} = v_2 \frac{R_4}{R_3 + R_4}\left(1 + \frac{R_2}{R_1}\right)$$

اصل جمع آثار به ما می‌گوید که ولتاژ خروجی v_O با مجموع v_{O1} و v_{O2} برابر است. بنابراین داریم:

$$v_O = -\frac{R_2}{R_1} v_1 + \frac{1 + R_2/R_1}{1 + R_3/R_4} v_2 \qquad (۲-۱۳)$$

به این ترتیب تحلیل مدار شکل (۲۱-۲) کامل می‌شود. البته به علت اهمیت عملی این مدار، در استفاده از آن راغبتریم. اکنون سؤال



شکل ۲۲-۲. کاربرد جمع آثار در تحلیل مدار شکل ۲۱-۲

این است که در چه شرایطی این مدار به مثابه یک تقویت‌کننده تفاضلی عمل می‌کند؟ به بیان دیگر، می‌خواهیم مدار در خروجی ولتاژی متناسب با اختلاف ولتاژ $(v_2 - v_1)$ تولید کند و سیگنالهای حالت مشترک را از بین ببرد (یعنی خروجی صفر باشد وقتی $(v_1 = v_2)$ شود.) جواب این از معادلهٔ (۱۳-۲) بدست می‌آید. فرض می‌کنیم $v_2 = v_1$ شود و موجب شود تا $v_O = 0$ باشد، به سهولت می‌توان فهمید که این مرحله به شرایط زیر منجر می‌گردد:

$$\frac{R_2}{R_1} = \frac{R_4}{R_3}$$

از جایگزینی در معادله (۱۳-۲)، ولتاژ خروجی به صورت زیر بدست می‌آید:

$$v_O = \frac{R_2}{R_1}(v_2 - v_1)$$

که بطور واضح مربوط به یک تقویت‌کننده تفاضلی است با بهره R_2/R_1.

سپس درباره مقاومت ورودی بین دو پایانه ورودی بررسی می‌کنیم. این مدار در شکل (۲۳-۲) دوباره ترسیم شده است که در آن $R_2/R_1 = R_4/R_3$. در حقیقت، برای سهولت در امر محاسبه و ملاحظات عملی دیگر، به گونه‌ای انتخاب می‌کنیم تا $R_3 = R_1$ و $R_4 = R_2$ باشد. اکنون مقاومت ورودی تفاضلی R_{in} را به صورت زیر تعیین می‌کنیم:

$$R_{in} \equiv \frac{v_2 - v_1}{i}$$

چون دو پایانه ورودی op-amp از نظر پتانسیل ردپای هم را دنبال می‌کنند، می‌توانیم معادله حلقه‌ای را بنویسیم و بدست آوریم:

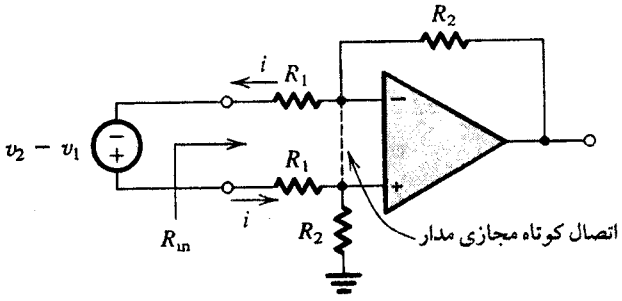
$$v_2 - v_1 = R_1 i + 0 + R_1 i$$

بنابراین

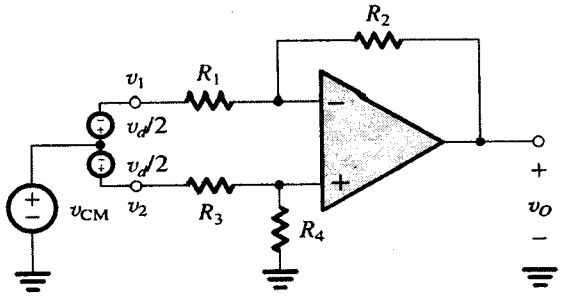
$$R_{in} = 2R_1$$

توجه کنید که چنانچه نیاز باشد تقویت‌کننده بهره تفاضلی بزرگی داشته باشد، در آنصورت R_1 بنا به ضرورت، نسبتاً کوچک خواهد بود و مقاومت ورودی به نسبت کوچک خواهد شد و این مشکلی برای مدار مورد بحث خواهد بود.

تقویت‌کننده‌های تفاضلی موارد کاربرد بسیاری دارند، از آن جمله در طراحی دستگاههای اندازه‌گیری از این نوع تقویت‌کننده استفاده می‌شود. به عنوان یک مثال، مبدلی (یک ترانسدیوسر) را درنظر بگیرید که بین دو پایانه خروجی‌اش سیگنال نسبتاً کوچکی، مثلاً ۱ V، تولید



شکل ۲۳-۲. پیدا کردن مقاومت ورودی تقویت‌کننده تفاضل



شکل ۲۴-۲. نمایش حالت مشترک و اجزای تفاضلی سیگنال ورودی به یک تقویت کننده تفاضلی، توجه کنید که $v_I = v_{CM} - v_d/2$ و $v_2 = v_{CM} + v_d/2$

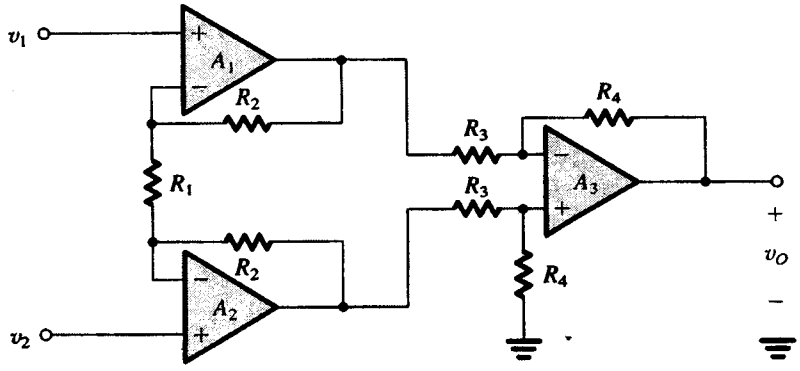
کند. البته، بین هریک از دو سیم (که مبدل را به دستگاه اندازه‌گیری وصل می‌کند) و زمین ممکن است تداخل منظمی، مثلاً ۱ V، وجود داشته باشد. تقویت‌کننده موردنظر که **تقویت‌کننده اندازه‌گیری** نامیده می‌شود، بایستی بتواند این سیگنال تداخلی بزرگ را که بین دو سیم مشترک است (و سیگنال با وجه مشترک محسوب می‌شود) دفع کند، و سیگنال تفاضلی کوچک را تقویت نماید.

این حالت در شکل ۲۴-۲ مورد بررسی قرار گرفته است، در اینجا v_{CM} بیانگر سیگنال حالت مشترک و v_d بیانگر سیگنال تفاضلی می‌باشد.

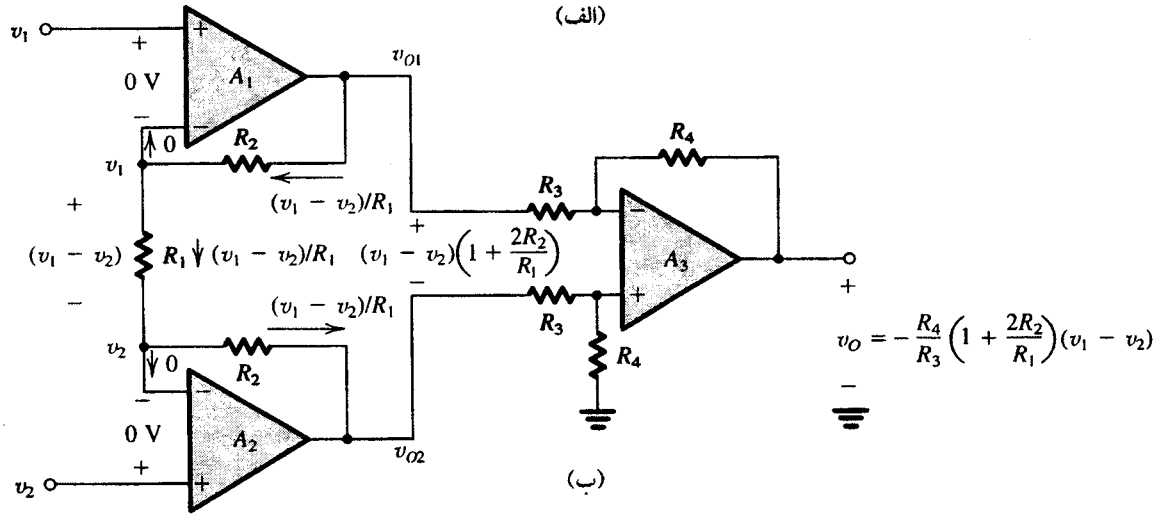
مثال ۷-۲

یک تقویت‌کننده اندازه‌گیری

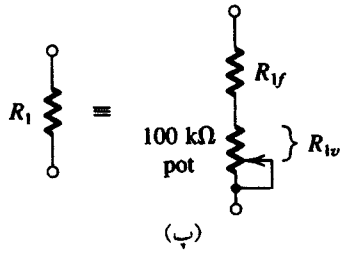
تقویت‌کننده تفاضلی که در مثال قبل مورد بررسی قرار گرفت. بعنوان تقویت‌کننده اندازه‌گیری، به نحو رضایت‌بخشی عمل نمی‌کند. از عمده‌ترین اشکالات آن مقاومت ورودی پایین و مشکل بودن تغییر بهره آن می‌باشد. یک تقویت‌کننده اندازه‌گیری کارآمدتر در شکل (الف ۲۵-۲) نشان داده شده است. با تحلیل مدار v_O را بصورت تابعی از v_2 و v_1 بیان کنید و بهرهٔ تفاضلی را بدست آورید. راهی برای متغیرکردن بهره پیشنهاد کنید. مقاومت ورودی را هم بدست آورید. مدار را بصورتی طراحی کنید که بهره در گسترهٔ ۲ تا ۱۰۰۰ با استفاده از یک پتانسیومتر قابل تغییر باشد؟



(الف)



(ب)



(پ)

شکل ۲۵-۲ (الف) مدار متداول یک تقویت‌کننده اندازه‌گیری (ب) تحلیل مدار (الف) با فرض ایده‌آل‌بودن op-ampها (پ) برای متغیرکردن بهره، R_1 از ترکیب یک مقاومت ثابت R_{1f} و یک مقاومت متغیر R_{1v}، بدست می‌آید. مقاومت R_{1f} این اطمینان را می‌دهد که حداکثر بهرهٔ در دسترس، محدود شده است.

حل:

مدار مشتمل بر دو طبقه است: طبقه اول از دو op-amp، A_1 و A_2 و مقاومتهای مربوطه، و طبقه دوم از یک op-amp، A_3 با چهار مقاومت تشکیل شده است. طبقه دوم به عنوان تقویت‌کننده تفاضل که در مثال ۶-۲ مطالعه شد شناخته می‌شود.

تحلیل این مدار، با فرض ایده‌آل بودن op-amp ها، همانگونه که در شکل (ب ۲۵-۲) مورد بررسی قرار گرفته، به آسانی صورت می‌گیرد. نکته کلیدی این است که اتصال کوتاه مجازی بین ورودیهای op-amp های A_1 و A_2 باعث می‌شود که ولتاژهای v_1 و v_2 ورودی در دو سر مقاومت R_1، ظاهر شوند بنابراین ولتاژ ورودی تفاضلی (v_1-v_2) بر روی R_1 ظاهر شده و باعث می‌شود جریان $i = (v_1 - v_2) / R_1$ در مقاومت R_1 و دو مقاومت R_2 برقرار شود. این جریان بنوبهٔ خود باعث تولید تفاضل ولتاژ بین پایانه‌های خروجی A_1 و A_2 می‌شود که بصورت زیر نمایش داده شده است:

$$v_{O1} - v_{O2} = (1 + \frac{2R_2}{R_1})(v_1 - v_2) \qquad (۲-۱۴)$$

تقویت‌کنندهٔ تفاضل شکل‌گرفته توسط op-amo A_3 این اختلاف ولتاژ $(v_{O1}-v_{O2})$ راحس کرده و ولتاژ خروجی متناسب را بصورت زیر تولید می‌کند.

$$v_O = -\frac{R_4}{R_3}(v_{O1} - v_{O2}) \qquad (۲-۱۵)$$

با ترکیب معادلات (۲-۱۴) و (۲-۱۵) به نتیجهٔ زیر می‌رسیم

$$v_O = \frac{R_4}{R_3}(1 + \frac{2R_2}{R_1})(v_2 - v_1)$$

بنابراین تقویت‌کنندهٔ اندازه‌گیری دارای بهره ولتاژ تفاضلی زیر است

$$A_d \equiv \frac{v_O}{v_2 - v_1} = (1 + \frac{2R_2}{R_1})\frac{R_4}{R_3} \qquad (۲-۱۶)$$

می‌توان به آسانی نشان داد که سیگنال حالت مشترک v_{CM} (اعمال شده به دو پایانهٔ ورودی: شکل ۲۴-۲ را ببینید) در مسیر اولین طبقه بصورت $v_{O1} = v_{O2} = v_{CM}$ خود را نشان می‌دهد. (با فرض اینکه $v_d=0$ باشد) بنابراین اگر دومین طبقه تقویت‌کننده تفاضل بخوبی تنظیم شود در جواب v_{CM} ولتاژ صفر را در خروجی تولید می‌کند. یعنی مقدار بهره حالت مشترک تقویت‌کننده اندازه‌گیری در حالت ایده‌آل صفر است.

با نگاهی به عبارت بهره تفاضلی در معادله (۲-۱۶) درمی‌یابیم که مقدار بهره، با تغییر مقاومت R_1، تغییر می‌کند. یک روش دیگر تغییر همزمان دو مقاومت است.

از آنجا که هر دو op-amp طبقه ورودی در آرایش ناوارونگر هستند امپدانس ورودی دیده شده توسط v_1 و v_2 در حالت ایده‌آل بی‌نهایت است. این نکته مزیت عمدهٔ تقویت‌کننده اندازه‌گیری می‌باشد.

اکنون ما به مسئله طراحی عملی بازمی‌گردیم، معمولاً راغبتریم که بهره کلی را در همان طبقه اول بدست آوریم، طبقه دوم وظیفه ایجاد اختلاف بین سیگنالهای خروجی طبقه اول و حذف سیگنال حالت مشترک را برعهده دارد. بعبارت دیگر طبقه دوم معمولاً با بهره واحد طراحی می‌شود، بر اساس این تقریب همهٔ مقاومتهای طبقه دوم مساوی بوده و دارای مقادیر عملی که براحتی در دسترس هستند می‌باشد مثل ۱۰KΩ. مرحله بعد، طراحی طبقه اول برای تحقق قابلیت تنظیم بهره در گستره ۲ تا ۱۰۰۰ می‌باشد. با انتخاب R_1 بصورت یک مقاومت ثابت R_{1f} و یک مقاومت متغیر R_{1v} که یک پتانسیومتر ۱۰۰ kΩ است (شکل پ ۲۵-۲ را ببینید) می‌توانیم رابطه زیر را بنویسیم:

$$1 + \frac{2R_2}{R_{1f} + R_{1v}} = 2 \text{ تا } 1000$$

بنابراین،

$$1 + \frac{2R_2}{R_{1f}} = 1000$$

و

$$1 + \frac{2R_2}{R_{1f} + 100\ \text{k}\Omega} = 2$$

از دو معادله فوق نتیجه می‌گیریم $R_{1f}=100/2\Omega$ و $R_2=50/050\text{k}\Omega$ از مقاومتهای عملی استفاده می‌کنیم مثلاً $R_{1f} = 100\Omega$ و $R_2=49/9\text{k}\Omega$ (هر دو مقدار بصورت استاندارد با درصد خطای ۱% و از نوع مقاومت ورقه فلزی در دسترس هستند. ضمیمهٔ ج را ببینید)

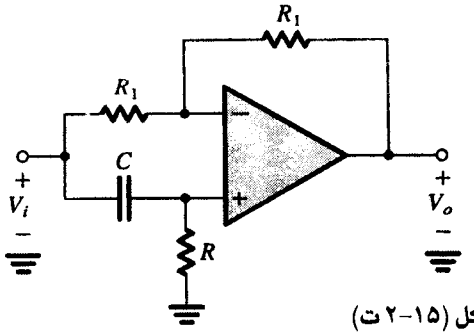
تمرینها

۲-۱۴ مقادیر مقاومتهای مدار شکل (۲۱-۲) را به گونه‌ای بیابید که مدار به مثابه یک تقویت‌کننده تفاضلی با مقاومت ورودی ۲۰ kΩ و بهره ۱۰۰، کار کند.

جواب. $R_1 = R_3 = 10\ \text{k}\Omega\ ;\ R_2 = R_4 = 1\ \text{M}\Omega$

۲-۱۵ برای مدار شکل (۲-۱۵ ت)، رابطه‌ای برای تابع انتقال V_o/V_i بدست آورید. عبارتی نیز برای دامنه و فاز پاسخ پیدا کنید. توجه: این مدار بعنوان تغییردهنده فاز عمل می‌کند. همچنین از آن بعنوان فیلتر تمام گذر مرتبهٔ اول نام برده می‌شود.

جواب. $|V_o/V_i| = 1\ ;\ \phi = 180° - 2\text{tg}^{-1}(\omega CR)\ ;$
$V_o/V_i = (s - 1/CR)/(s + 1/CR)$



شکل (۲-۱۵ ت)

۲-۱۶ مدار تقویت‌کننده تفاضل شکل ۲۱-۲ را درنظر بگیرید. R_2 و R_4 را با دو خازن مساوی C عوض کنید و درنظر بگیرید $R_1=R_3=R$ باشد. با استفاده از قانون جمع آثار نشان دهید مدار تبدیل به انتگرالگیر تفاضلی با $V_o = (V_2 - V_1)/sCR$ می‌شود. ❑

۲-۷ تأثیر بهره محدود حلقه باز و پهنای باند بر عملکرد مدار

در بالا op-amp آرمانی را تعریف کردیم و چند کاربرد از op-ampها را نشان دادیم. در تحلیل مدارها، op-amp ها آرمانی فرض شده بود. اگرچه در موارد بسیاری چنین فرضی بد نیست، لیکن یک طراح مدار بایستی با مشخصه‌های op-amp های عملی و تأثیر این مشخصه‌ها بر عملکرد مدارات op-amp آشنایی کامل داشته باشد. در اینصورت فقط طراح بایستی با دقت بیشتری از op-amp استفاده کند، بخصوص وقتی که بخواهیم از آن در مداری پیچیده استفاده کنیم. البته خواص غیرآرمانی op-amp گسترهٔ کار مداراتی که در مثالهای قبل تحلیل شد را محدود می‌سازد.

در بخش‌های آینده، خواص غیرآرمانی op-amp را بررسی خواهیم کرد. برای این کار هر پارامتر را در یک زمان در نظر خواهیم گرفت. این بخش را با دو خاصیت غیرآرمانی جدی یعنی بهره و پهنای باند محدود آغاز می‌کنیم. بهره حلقه باز تفاضلی یک op-amp نامحدود نیست. بلکه محدود است و با فرکانس کاهش می‌یابد. شکل (۲-۲۶) نمودار بهره را برای یک op-amp مشهور (نظیر نوع 741 که به وسیله اکثر کارخانه‌های سازنده قطعات نیمه‌هادی ساخته می‌شود و مدار داخلی آن در فصل ۱۰ بررسی خواهد شد) نشان می‌دهد.

توجه کنید که اگرچه در فرکانسهای پایین و dc بهره بسیار زیاد است، در فرکانس بالنسبه پایین (۱۰ Hz در مثال ما) بهره شروع به پایین‌آمدن می‌کند. بهره یکنواخت کاهش‌یابنده ۲۰ dB/decade - نمونه‌ای از **جبران داخلی** op-amp هاست. این‌ها واحدهایی هستند در همان آی سی، دارای یک شبکه‌اند (معمولاً یک خازن منفرد) و موجب می‌شوند تا مطابق شکل پاسخ ثابت زمانی منفرد پایین‌گذر داشته باشد. این فرآیند تغییر بهره حلقه باز، **جبران فرکانس** نامیده میشود و منظور از آن اطمینان از پایداری مدارهای op-amp (و مخالفت با نوسانسازی آنها) است. درباره ثبات مدارهای op-amp یا کلی‌تر، تقویت‌کننده‌های فیدبک در فصل ۸ شرح داده خواهد شد.

در مقایسه با پاسخ مدارات پایین‌گذر STC (بخش ۶-۱ و ضمیمهٔ ث)، بهره A(S) یک op-amp دارای جبران داخلی به صورت زیر می‌تواند بیان گردد:

$$A(s) = \frac{A_\circ}{1 + s/\omega_b} \qquad (۲-۱۷)$$

که برای فرکانسهای فیزیکی، $s = j\omega$ می‌شود:

$$A(j\omega) = \frac{A_\circ}{1 + j\omega/\omega_b} \qquad (۲-۱۸)$$

در رابطه بالا، $A_\circ$ نشان دهنده بهره dc است و ω_b برابر با فرکانس ۳-dB (یا فرکانس "شکست") می‌باشد. برای مثال نشان داده شده در شکل (۲-۲۶)، $A_\circ = 10^5$ و $\omega_b = 2\pi \times 10$ rad/s است. برای فرکانسهای $\omega \gg \omega_b$ (حدود ۱۰ برابر و بیشتر) معادله (۲-۱۸) ممکن است به صورت زیر تقریب گردد:

$$A(j\omega) \cong \frac{(A_\circ \omega_b)}{j\omega} \qquad (۲-۱۹)$$

که از رابطه بالا معلوم می‌گردد که بهره $|A|$ در فرکانس ω_t به واحد (۰dB) می‌رسد و به صورت زیر داده می‌شود:

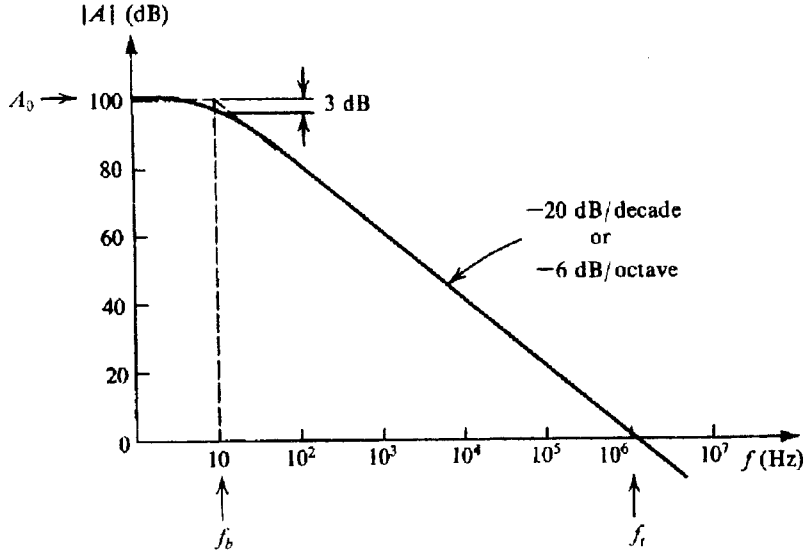
$$\omega_t = A_\circ \omega_b \qquad (۲-۲۰)$$

از جایگزینی در معادله (۲-۱۹) بدست می‌آید:

$$A\ (j\omega) \cong \frac{\omega_t}{j\omega} \qquad (۲-۲۱)$$

که ω_t **پهنای باند بهره واحد** نامیده می‌شود. پهنای باند بهره واحد $f_t = \omega_t/2\pi$ معمولاً در کتابچه‌های راهنمای op-amp ها مشخص می‌شود. همچنین توجه کنید که برای $\omega \gg \omega_b$ بهره حلقه باز در معادله (۲-۱۷) می‌شود:

$$A(s) \cong \frac{\omega_t}{s} \qquad (۲-۲۲)$$



شکل ۲-۲۶. بهره حلقه باز op-amp در یک نمونهٔ همه منظوره دارای جبران داخلی

به این ترتیب، op−amp به عنوان یک انتگرال‌گیر با ثابت زمانی $\tau = 1/\omega_t$ عمل می‌کند.

اندازه بهره از رابطه (۲-۲۶) به صورت زیر بدست می‌آید:

$$|A(j\omega)| \cong \frac{\omega_t}{\omega} = \frac{f_t}{f} \qquad (۲-۲۳)$$

بنابراین اگر f_t معلوم باشد (در مثال ما 10^1 Hz است) به سهولت می‌توان مقدار بهره op−amp را در فرکانس مشخص f تخمین زد. بعنوان اهمیت عملی این بحث، یادآوری می‌کنیم که گستردگی موجود در مقدار ω_t ی op−amp هایی از یک نوع بسیار کمتر از مقادیر مشاهده شده برای A_0 و ω_b است. به این دلیل، ω_t (یا $f_t = \omega_t/2\pi$) بعنوان یک مشخصه، تعیین می‌گردد. نهایتاً متذکر می‌شویم یک op−amp که دارای افت بهره یکنواخت ۶− dB/octave است مدل "تک قطبی" نامیده می‌شود همچنین از آنجا که این قطب منفرد پاسخ فرکانسی تقویت کننده را تعیین می‌کند **قطب غالب** نامیده می‌شود. دربارهٔ صفرها و قطبها مطالب بیشتری در فصل ۷ خواهیم گفت.

پاسخ فرکانسی تقویت‌کننده‌های با حلقه بسته

اکنون تأثیر پهنای باند و بهره op−amp محدود را بر توابع انتقال حلقه بسته دو آرایش اصلی بررسی می‌کنیم؛ این دو آرایش عبارتند از: مدار وارونگر شکل (۴-۲) و مدار ناوارونگر شکل (۱۶-۲). بهره حلقه بسته تقویت‌کننده وارونگر، با فرض محدودبودن A، بهره حلقه باز op−amp، در بخش ۳-۲ و به صورت معادله (۱-۲) بدست آمد که در زیر آنرا دوباره تکرار می‌کنیم:

$$\frac{V_o}{V_i} = \frac{-R_2/R_1}{1 + (1 + R_2/R_1)/A} \qquad (۲-۲۴)$$

از جایگزینی A از معادله (۱۷-۲) بدست می‌آید:

$$\frac{V_o(s)}{V_i(s)} = \frac{-R_2/R_1}{1 + \frac{1}{A_0}\left(1 + \frac{R_2}{R_1}\right) + \frac{s}{\omega_t/(1 + R_2/R_1)}} \qquad (۲-۲۵)$$

برای $A_0 \gg 1 + R_2/R_1$ که معمولاً به این حالت است:

$$\frac{V_o(s)}{V_i(s)} \cong \frac{-R_2/R_1}{1 + \frac{s}{\omega_t/(1 + R_2/R_1)}} \qquad (۲-۲۶)$$

که همانند شبکه پایین‌گذر STC است (جدول ۲-۱ را ببینید). بنابراین، تقویت‌کنندهٔ وارونگر دارای پاسخ یک STC پایین گذر با بهرهٔ dc به اندازهٔ R_2/R_1 است. بهرهٔ حلقه بسته در شیب یکنواخت ۲۰− dB/decade با فرکانس گوشه (فرکانس 3 − dB) شروع به کاهش می‌کند که با رابطهٔ زیر بدست می‌آید:

$$\omega_{3dB} = \frac{\omega_t}{1 + R_2/R_1} \qquad (۲-۲۷)$$

متناظراً، با این فرض که A، بهره حلقه باز محدود است، از تحلیل تقویت‌کننده ناوارونگر شکل (۱۶-۲) تابع انتقال حلقه بسته نتیجه می‌شود:

$$\frac{V_o}{V_i} \cong \frac{1 + R_2/R_1}{1 + (1 + R_2/R_1)/A} \qquad (۲-۲۸)$$

از جایگزینی معادل A از معادله (۱۷-۲) و تقریب $A_0 \gg 1 + R_2/R_2$ نتیجه می‌شود:

$$\frac{V_o(s)}{V_i(s)} \cong \frac{1 + R_2/R_1}{1 + \frac{s}{\omega_t/(1 + R_2/R_1)}} \qquad (۲-۲۹)$$

به این ترتیب، تقویت‌کننده ناوارونگر دارای پاسخ یک STC پایین‌گذر با بهره dc $(1 + R_2/R_1)$ و فرکانس 3 − dB می‌باشد که از معادله (۲۷-۲) نیز بدست می‌آید.

مثال ۸-۲

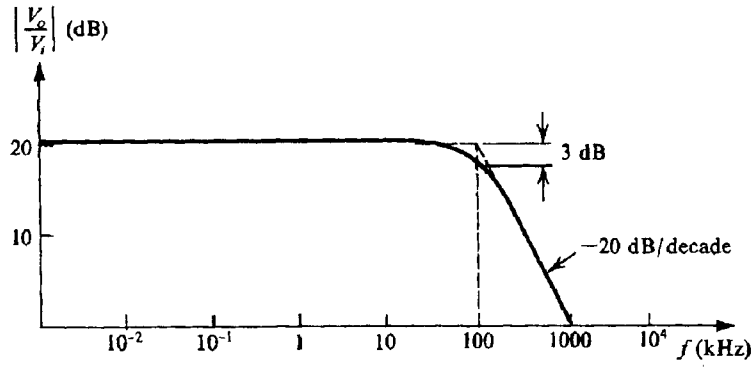
یک op−amp با $f_t = 1$ MHz درنظر بگیرید. فرکانس 3 dB تقویت‌کننده‌های حلقه بسته را با بهره‌نامی ۱۰۰۰+، ۱۰۰+، ۱۰+، ۱+، ۱−، ۱۰−، ۱۰۰−، و ۱۰۰۰− بیابید. اندازه پاسخ فرکانس را برای تقویت‌کننده‌هایی با بهره حلقه بسته ۱۰+ و ۱۰− ترسیم کنید.

حل:

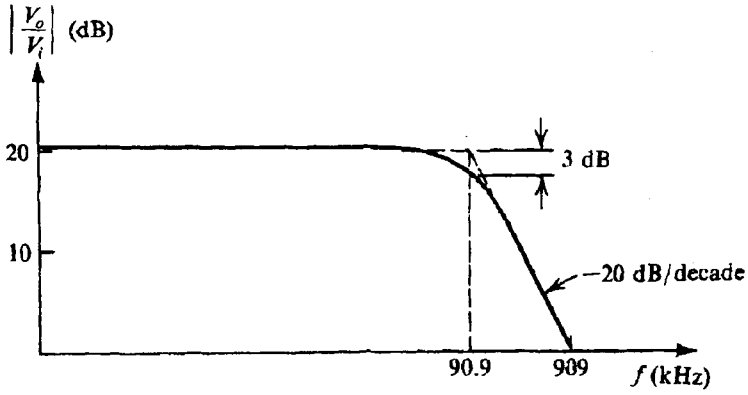
با استفاده از معادله (۲۷-۲) نتایج بصورت جدول زیر بدست می‌آید.

بهره حلقه بسته	R_2/R_1	$f_{3dB} = f_t/(1 + R_2/R_t)$
+۱/۰۰۰	۹۹۹	۱ kHz
+۱۰۰	۹۹	۱۰ kHz
+۱۰	۹	۱۰۰ kHz
+۱	۰	۱ kHz
−۱	۱	۰/۵ kHz
−۱۰	۱۰	۹۰/۹ kHz
−۱۰۰	۱۰۰	۹/۹ kHz
−۱/۰۰۰	۱/۰۰۰	≅ ۱ kHz

شکل (۲۷-۲) پاسخ فرکانسی تقویت‌کننده‌ای را نشان می‌دهد که بهره dc نامی آن ۱۰+ است، و شکل (۲۸-۲) پاسخ فرکانسی آنرا برای حالتی که بهره نامی آن ۱۰− است نشان می‌دهد. یک نمود جالب از جدول بالا اینست: تقویت‌کنندهٔ وارونگر با بهرهٔ واحد دارای فرکانس 3dB در $f_t/2$ با f_t در تقویت‌کننده ناوارونگر دارای بهره واحد مقایسه می‌شود. مثال ۸-۲ به وضوح تبادل بین بهره و پهنای باند را نشان می‌دهد. برای مثال، پیکربندی ناوارونگر **حاصلضرب پهنای باند − بهره** ثابت را نشان می‌دهد. یک تعبیر از این نتایج درباره اصطلاح تئوری فیدبک در فصل ۸ ارائه خواهد شد.



شکل ۲۷-۲. پاسخ فرکانسی یک تقویت‌کننده با بهره نامی ۱۰V/V+



شکل ۲۸-۲. پاسخ فرکانسی یک تقویت‌کننده با بهره نامی ۱۰V/V−

تمرینها

۲-۱۷ یک op-amp با امکان جبران داخلی دارای بهره dc حلقه باز 10^6V/V و بهره ac حلقه باز ۴۰dB در ۱۰KHz است. فرکانس ۳dB آنرا، فرکانس بهره - واحد، حاصلضرب بهره - پهنای باند، و بهره را در ۱KHz تخمین بزنید.

جواب. ۱Hz ؛ ۱MH ؛ ۱MHz ؛ ۶۰dB

۲-۱۸ یک op-amp درنظر بگیرید که دارای بهره ۱۰۶ dB در ولتاژ dc و پاسخ فرکانسی تک قطبی f_t = ۲ MHz باشد. اندازه بهره را در f = ۱kHz و ۱۰ kHz و ۱۰۰ kHz بیابید.

جواب. ۲۰۰۰۰V/V ، ۲۰۰V/V ، ۲۰V/V

۲-۱۹ چنانچه op − amp تمرین ۱۸-۲ برای طراحی یک تقویت‌کننده ناوارونگر با بهره dc نامی ۱۰۰ استفاده شود، فرکانس − dB ۳ بهره حلقه بسته را بیابید.

جواب. ۲۰ kHz ❑

۲-۸ عملکرد سیگنال بزرگ op − amp ها

در این بخش، محدودیت‌هایی عملکرد مدارهای op−amp را وقتی که در خروجی سیگنال بزرگ بدست می‌آید، مطالعه می‌کنیم.

اشباع خروجی

مانند همه تقویت‌کننده‌های دیگر، op−amp ها در محدوده مشخصی از ولتاژ خروجی به صورت خطی کار می‌کنند. بویژه، خروجی op−amp به همان صورتی که در شکل (۱۳-۱) نشان داده شد با +L و −L به ترتیب بین ۱ تا ۳ ولت مثبت و منفی منبع تغذیه به حالت اشباع درمی‌آید. به این ترتیب، یک op−amp که با یک منبع تغذیه ۱۵ V± تغذیه می‌شود وقتی به اشباع می‌رسد که ولتاژ خروجی به حدود ۱۳V+ در جهت مثبت و ۱۳V− در جهت منفی برسد. بنابراین گفته می‌شود که این op−amp ، ولتاژ خروجی **مقرر شده** ۱۳V± است. برای جلوگیری از برش نوکهای شکل موج خروجی، و در نتیجه اعوجاج شکل موج، سیگنال ورودی بایستی متناسب با آن کوچک نگهداشته شود.

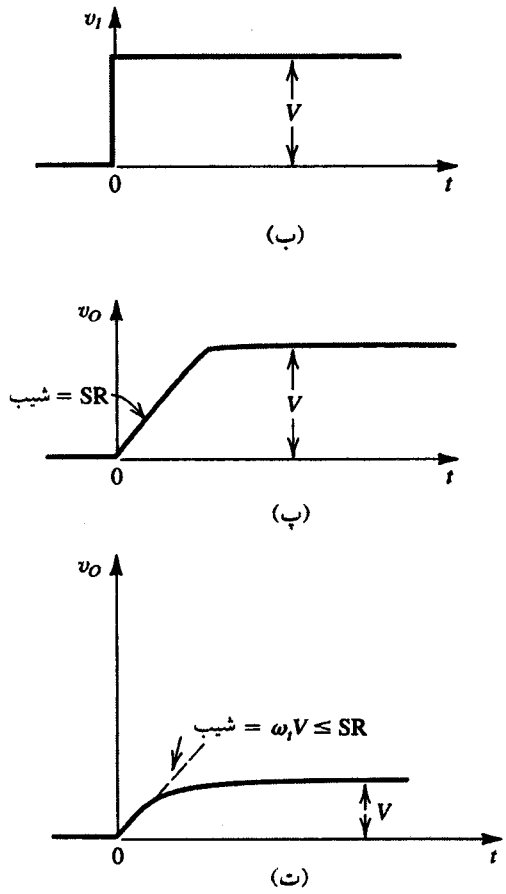
تمرین

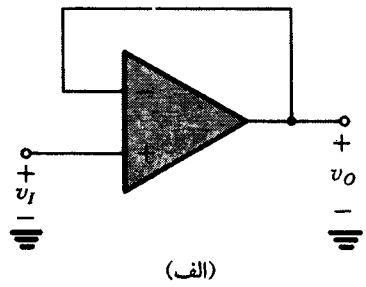
۲-۲۰ ولتاژ مقرر در یک op−amp برابر با ۱۰ V ± است. چنانچه از یک op−amp برای طراحی یک تقویت‌کننده ناوارونگر با بهره ۲۰۰ استفاده شود، بزرگترین شکل موج سینوسی ورودی که به ازای آن خروجی بدون برش بدست می‌آید چقدر است؟

جواب. ۰/۱ V نوک تا نوک ❑

سرعت واکنش

پدیده دیگری که هنگام ورود یک سیگنال بزرگ به تقویت‌کننده موجب اعوجاج غیر خطی میگردد عبارت از محدویت در سرعت واکنش تقویت‌کننده است. در این‌جا ابتدا محدودیت سرعت واکنش را توضیح





شکل ۲۹-۲. (الف) پیرو با بهره واحد (ب) شکل موج پله‌ای ورودی (پ) شکل موج خروجی خطی بالارونده وقتی V بزرگ است (در اینجا تقویت‌کننده دارای سرعت واکنش محدود است.)
(ت) شکل موج نمایی خروجی وقتی V بسیار کوچک است طوری که شیب اولیه ($\omega_t V$)کوچکتر یا برابر با SR است.

می‌دهیم و سپس به ذکر علل وقوع آن می‌پردازیم. سرعت واکنش (یا به اختصار SR)، ماکزیمم درجه تغییر ممکن در ولتاژ خروجی op-amp است:

$$\mathrm{SR} = \left.\frac{dv_O}{dt}\right|_{\max} \qquad (۲-۳۰)$$

این مشخصه، معمولاً در اوراق اطلاعات op-amp بصورت V/μs نشان داده شده است. در نتیجه op-amp شکل (الف ۲۹-۲) با سیگنالی (با دامنه V) شروع به واکنش می‌کند که شیب اولیه سراشیب صعودی نمایی، V/τ، از سرعت واکنش op-amp تجاوز کند.

مداری مانند شکل (الف ۲۹-۲) را در نظر بگیرید که دارای بهره واحد در خروجی باشد. فرض کنید ولتاژ ورودی v_I، مطابق شکل (ب۲۹-۲)، ولتاژی پله‌ای با ارتفاع V باشد. در این صورت بهره حلقه بسته تقویت‌کننده با $R_2 = 0$ و $R_1 = \infty$ از معادله (۲-۲۰) بدست می‌آید: یعنی

$$\frac{V_o}{V_i} = \frac{1}{1 + s/\omega_t} \qquad (۲-۳۱)$$

که یک پاسخ STC پایین‌گذر است. به این ترتیب از ورودی پله‌ای، شکل موج خروجی

$$v_O(t) = V(1 - e^{-\omega_t t}) \qquad (۲-۳۲)$$

ایجاد می‌گردد. (برای مرور پاسخ پلهٔ شبکه‌های STC ضمیمه ث را ببینید). در رابطه بالا $\tau = 1/\omega_t$ است. شکل (ت ۲۹-۲) نموداری را از این شکل موج صعودی نمایی نشان می‌دهد.

در عمل، تنها وقتی چنین پاسخی بدست می‌آید که اندازه ولتاژ پله‌ای V "کوچک" باشد. بزودی تعبیر دقیقتری از "کوچک" خواهد آمد. برای ورودی‌های بزرگ پله‌ای (۵ V برای مثال)، شکل موج خروجی مطابق شکل (ت ۲۹-۲) سیگنال خطی شیبداری خواهد بود. قابل توجه است که شیب شکل موج شیبدار خطی (آنگونه که در شکل (ب ۲۹-۲) نشان داده شده) از شیب اولیه (در $t = 0$) شکل موج صعودی نمایی با همان دامنه V یعنی V/τ کوچکتر است. پاسخ شیبدار خطی نشان داده شده در شکل (ت ۲۹-۲) نشان دهنده آن است که خروجی op-amp با همان درجه‌ای که در معادله (۲-۳۲) تعیین شده نمی‌تواند افزایش یابد. هرگاه این اتفاق بیفتد، گفته می‌شود که op-amp از نظر سرعت واکنش محدود شده است، و شیب سراشیب خطی خروجی را سرعت واکنش می‌نامند.

تمرین

۲-۲۱ یک op-amp که دارای سرعت واکنش ۱ V/μs است و پهنای باند با بهره واحد f_t آن ۱ MHz می‌باشد؛ به شکل ولتاژ پیرو با بهرهٔ واحد مورد استفاده قرار گرفته است؛ بیشترین ولتاژ پله‌ای ورودی ممکن را پیدا کنید وقتی شکل موج خروجی با شیب نمایی معادله (۲-۳۱) داده شده باشد. برای این ولتاژ ورودی، ۱۰ % تا ۹۰ % زمان صعود شکل موج خروجی چقدر است؟ چنانچه ولتاژ پله‌ای ورودی ۱۰ بار بزرگتر شود، ۱۰ % تا ۹۰ % زمان صعود شکل موج خروجی چقدر خواهد بود.

جواب. ۰/۱۶V ؛ ۰/۳۵ μs ؛ ۱/۲۸ μs ❑

پهنای باند تمام توان

محدودیت سرعت واکنش op–amp در شکل موجهای سینوسی سبب اعوجاج غیرخطی می‌گردد. بار دیگر یک تقویت‌کننده باخروجی بهره واحد در نظر بگیرید که شکل موج سینوسی ورودی به آن به صورت زیر باشد:

$$v_I = \hat{V}_i \sin \omega t$$

سرعت تغییر این شکل موج از رابطه زیر بدست می‌آید:

$$\frac{dv_I}{dt} = \omega \hat{V}_i \cos \omega t$$

و دارای مقدار ماکزیمم $\omega \hat{V}_i$ است. این مقدار ماکزیمم در تقاطع صفر سیگنال سینوسی ورودی بوجود می‌آید. اکنون چنانچه $\omega \hat{V}_i$ از سرعت واکنش op–amp افزونتر شود، شکل موج خروجی به همان صورتی که در شکل ۳۰-۲ نشان داده شده دچار اعوجاج خواهد شد.

کتابچه‌های اطلاعات op–amp معمولاً فرکانس f_M را به عنوان **پهنای باند تمام توان** معرفی می‌کنند. این فرکانس، فرکانسی است که در یک سیگنال سینوسی خروجی با دامنه‌ای معادل با ولتاژ خروجی مقرر، بنابر محدودیت سرعت واکنش شروع به اعوجاج می‌کند. چنانچه ولتاژ خروجی مقرر را با $V_{o\max}$ نشان دهیم، در آنصورت f_M به صورت زیر با SR رابطه دارد:

$$\omega_M V_{o\max} = \text{SR}$$

بنابراین

$$f_M = \frac{\text{SR}}{2\pi V_{o\max}} \qquad (۲-۳۳)$$

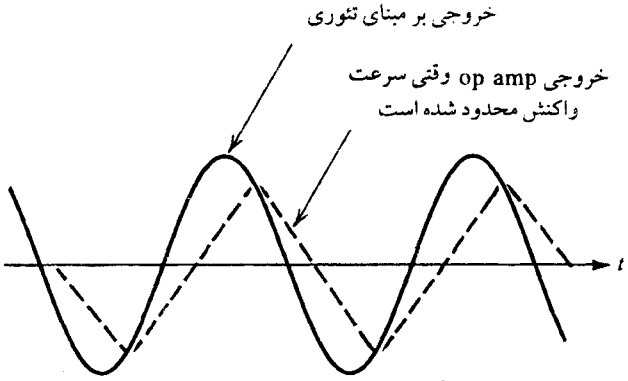
واضح است که سیگنال سینوسی خروجی با دامنه‌ای کوچکتر از $V_{o\max}$ در فرکانسهای بزرگتر از ω_M اعوجاج سرعت واکنش نشان خواهد داد. در حقیقت، بیشترین دامنه سیگنال سینوسی بی‌اعوجاج خروجی با فرکانس ω از رابطه زیر بدست می‌آید:

$$V_o = V_{o\max}\left(\frac{\omega_M}{\omega}\right) \qquad (۲-۳۴)$$

تمرین

۲-۲۲ یک op–amp دارای ولتاژ خروجی مقرر ۱۰ V ± و سرعت واکنش ۱ V/μs است. پهنای باند تمام توان آن چقدر است؟ چنانکه یک سیگنال سینوسی با فرکانس $f = 5 f_M$ به ورودی یک تقویت‌کننده با بهره خروجی واحد (که از همین op–amp استفاده کرده) اعمال شود، ماکزیمم دامنه ممکن سیگنال خروجی چقدر است بدون آنکه اعوجاج محدودیت واکنش وجود داشته باشد.

جواب. ۱۵/۹ kHz ؛ (نوک) ۲ V ❑



شکل ۳۰-۲. تأثیر محدودیت سرعت واکنش بر شکل موجهای سینوسی خروجی

۲-۹ مشکلات DC

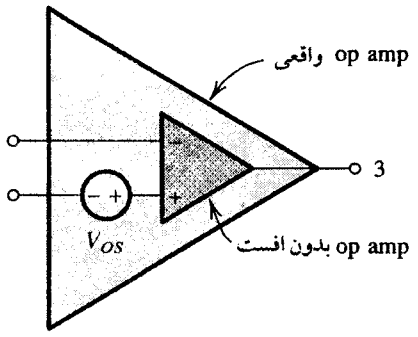
ولتاژ انحراف از میزان یا ولتاژ اُفست

به علت آنکه op–amp ها قطعاتی هستند که با بهرهٔ زیاد در ولتاژ dc بطور مستقیم متصل می‌شوند، از این جهت مستعد مشکلات dc هستند. اولین مشکل، مشکل ولتاژ انحراف از میزان است. برای فهمیدن این مشکل آزمایش **ذهنی** را درنظر بگیرید: اگر دو پایانهٔ ورودی op–amp بیکدیگر بسته شده و به زمین متصل شوند در خروجی ولتاژ dc محدودی بوجود می‌آید. در حقیقت اگر op–amp دارای بهرهٔ dc زیادی باشد خروجی به اشباع مثبت و یا منفی خواهد رفت. با اعمال یک منبع ولتاژ dc با قطبیت و مقدار مناسب بین دو پایانه ورودی op–amp می‌توان ولتاژ خروجی را به حالت ایده‌آل صفر بازگرداند.

این منبع خارجی ولتاژ انحراف از میزان ورودی op–amp را صفر می‌کند. **ولتاژ افست ورودی** (V_{OS}) بایستی مساوی و با قطبیت معکوس نسبت به ولتاژی باشد که از خارج اعمال می‌شود.

ولتاژ افست ورودی، نتیجهٔ عدم تطبیق اجتناب‌ناپذیر موجود در طبقه تفاضلی ورودی داخل op–amp می‌باشد. در فصل‌های آینده جزئیات این مبحث مورد بررسی قرار می‌گیرد. اما در اینجا تمرکز ما بر روی مطالعه اثر V_{OS} بر عملکرد مدارهای op–amp حلقه بسته است. op–amp های همه منظوره دارای V_{OS} در محدودهٔ ۱ تا ۵ میلی‌ولت می‌باشند. مقدار V_{OS} به درجه حرارت نیز بستگی دارد. کتابچه‌های اطلاعات op–amp معمولاً مقادیر و نمونه حداکثر را برای V_{OS} در دمای اتاق با ضریب حرارتی V_{OS} را (بر حسب μV/°c) مشخص می‌کنند. اما قطبیت V_{OS} مشخص نمی‌شود به علت اینکه عدم تطبیقهایی که باعث ایجاد V_{OS} می‌شوند **از قبل** شناخته شده نیستند. آی‌سی‌های مختلف از یک نوع op–amp ممکن است V_{OS} مثبت یا منفی داشته باشند.

برای تحلیل اثر V_{OS} بر عملکرد مدارهای op–amp نیاز به یک مدل مداری op–amp با ولتاژ افست ورودی داریم این مدل در شکل (۲-۳۱) نمایش داده شده است. این مدل شامل یک منبع dc با مقدار V_{OS} است که



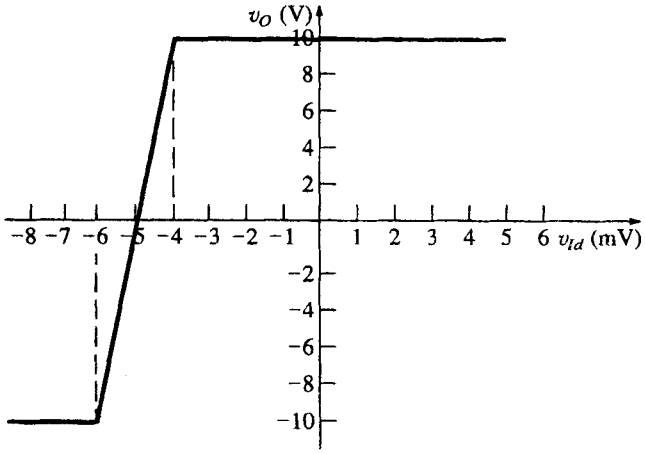
شکل ۳۱-۲. مدل مداری برای یک op–amp با ولتاژ افست ورودی V_{os}

بصورت سری به ورودی مثبت یک op-amp بدون افست متصل شده است. مطالب گفته شده در بالا این مدل را توجیه می‌کند.

تمرین

۲-۲۳ با استفاده از مدل شکل (۲-۳۱) مشخصه انتقالی v_O را برحسب v_{Id}، ($v_{Id} \equiv v_2 - v_1$ و $v_O \equiv v_3$) رسم کنید مشخصات op-amp عبارتند از $A_o = 10^4$، سطوح اشباع خروجی ± 10V و $V_{OS} = 5$ mV.

جواب. شکل (۲-۲۳ ت) را ببینید ❑

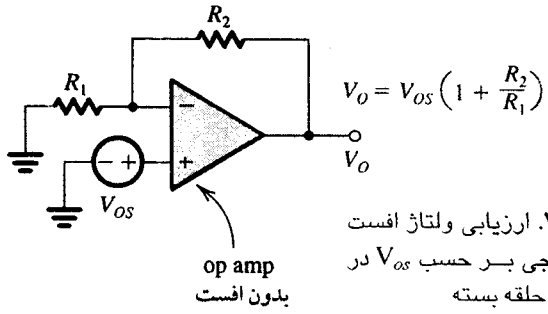


شکل ۲-۲۳ ت. مشخصهٔ انتقالی یک op-amp با $V_{os} = 5$ mV

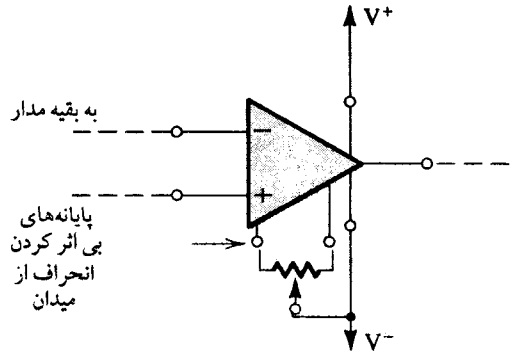
تحلیل مدارهای op-amp برای تعیین اثر V_{OS} بر نحوه کار آنها آسان است: منبع سیگنال ولتاژ ورودی اتصال کوتاه شده و op-amp با مدل شکل (۲-۳۱) جایگزین می‌شود. (حذف سیگنال ورودی برای آسان‌کردن مسئله و بر اساس قانون جمع آثار است.) در طی این مرحله درمی‌یابید که آرایش‌های تقویت‌کننده وارونگر و ناوارونگر دارای نتایج یکسان می‌باشند که در شکل ۲-۳۲ به نمایش درآمده است. از آنجا که ولتاژ dc خروجی بر حسب V_{OS} با رابطه

$$V_O = V_{OS}\left[1 + \frac{R_2}{R_1}\right] \qquad (۲-۳۵)$$

بیان می‌شود، این ولتاژ dc ی خروجی می‌تواند مقدار زیادی داشته باشد. برای مثال یک تقویت‌کننده ناوارونگر با بهره حلقه بسته ۱۰۰۰، هنگامی که از یک op-amp با ولتاژ افست ورودی ۵ mV تشکیل شده است، دارای



شکل ۲-۳۲. ارزیابی ولتاژ افست dc خروجی بر حسب V_{os} در تقویت‌کننده حلقه بسته



شکل ۲-۳۳. ولتاژ افست خروجی op-amp را با بستن دو سر ثابت یک پتانسیومتر به پایانه‌های حذف افست می‌توان به صفر نزدیک کرد. سر وسط (لغزان) پتانسیومتر به منبع تغذیه منفی op-amp وصل می‌شود.

ولتاژ خروجی dc ی ۵V+ یا ۵V− می‌باشد (بسته به قطبیت V_{OS}) اکنون اگر سیگنالی در ورودی اعمال شود، سیگنال خروجی حاصل، به ۵Vdc اضافه می‌گردد این امر بوضوح دامنه نوسان سیگنال خروجی را کاهش می‌دهد. حتی بدتر از این اگر سیگنال اعمال شده، dc باشد ما نمی‌دانیم که خروجی، نتیجه سیگنال اعمال شده است یا بعلت وجود V_{OS} می‌باشد!

برخی از op-amp ها دارای دو پایانهٔ اضافی هستند که یک مدار خارجی می‌تواند برای صفرکردن V_{OS} به آنها متصل شود. مشکلی که باقی می‌ماند تغییر V_{OS} با درجه حرارت است.

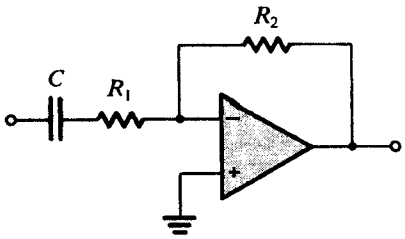
شکل (۲-۳۳) چنین ترتیبی را نشان می‌دهد که از آن به عنوان op-ampهای همه منظوره استفاده می‌شود. یک پتانسیومتر بین پایانه‌های حذف افست بسته شده و سر وسط (پایه لغزان) آن به منبع تغذیه op-amp متصل است. با تغییر پتانسیومتر عدم موازنه‌ای ایجاد می‌شود که بر تقارن موجود در مدارد اخلی op-amp اثر می‌گذارد و V_{os} را افزایش می‌دهد. مدار داخلی op-amp را بار دیگر در فصل ۱۰ بررسی خواهیم کرد. اگر چه، باید توجه داشته باشید که حتی هنگامی که ولتاژ خروجی *offset* به صفر نزدیک می‌شود، مشکل تغییر V_{os} در اثر دما به جای خود باقی است.

تمرین

۲-۲۴ یک تقویت‌کننده وارونگر با بهره اسمی ۱۰۰۰ از یک op-amp با ولتاژ افست ۳ mV و سطوح اشباع خروجی ± 10 V تشکیل شده است. (الف) مقدار تقریبی نوک دامنهٔ سیگنال سینوسی ورودی که می‌تواند بدون برش در خروجی اعمال شود چقدر است؟ (ب) اگر از اثر V_{OS} در دمای اتاق (۲۵°C) صرفنظر کنیم. حداکثر مقدار ورودی در حالات زیر چقدر است؟ (۱) مدار در همان دمای ثابت کار کند. (۲) مدار در دمای صفر تا ۷۵ °C کار کند و ثابت حرارتی V_{OS} مقدار ۱۰ μV/°C باشد.

جواب. ۷ mV (ب) ۱۰ mV و ۹/۵ mV ❑

یکی از شیوه‌های غلبه بر مشکل ولتاژ افست dc استفاده از کوپلاژ (انتقال) خازنی است. البته این کار فقط زمانی امکان‌پذیر است که از



شکل ۳۴-۲. یک تقویت‌کنندهٔ وارونگر با کوپلاژ خازنی

تقویت‌کننده حلقه بسته برای تقویت dc یا فرکانسهای خیلی کم استفاده نشود. شکل ۳۴-۲ یک تقویت‌کنندهٔ وارونگر با کوپلاژ خازنی را نشان می‌دهد. خازن کوپلاژ باعث می‌شود که بهره در ولتاژ dc صفر شود. در حقیقت مدار دارای پاسخ STC بالاگذر با فرکانس ۳ dB ، $\omega_0 = 1/CR_1$ بوده و بهره آن مقدار $(-R_2/R_1)$ برای فرکانسهای $\omega \gg \omega_0$ می‌باشد. مزیت این روش این است که V_{OS} تقویت نمی‌شود بنابراین ولتاژ dc خروجی بجای اینکه به مقدار $V_{OS}(1 + R_2/R_1)$ افزایش پیدا کند (در صورت نبودن خازن کوپلاژ) در همان حد V_{OS} باقی می‌ماند.

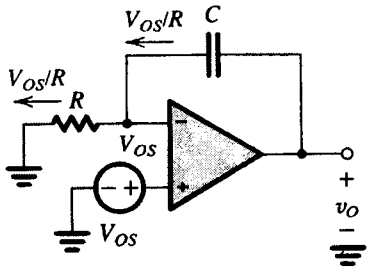
از آنجا که خازن در dc بصورت مدار باز عمل می‌کند. از شکل ۳۴-۲ به آسانی درمی‌یابیم که مولد V_{OS} در واقع یک ولتاژ پیرو با بهرهٔ واحد را در مقابل خود می‌بیند.

مدار op-amp دیگری که از ولتاژ افست ورودی op-amp به شدت تأثیر می‌پذیرد انتگرالگیر میلر می‌باشد. شکل ۳۵-۲ مدار انتگرالگیر با ورودیهای صفرشده و استفاده از مدل شکل ۳۱-۲، به جای آن را نشان می‌دهد. تحلیل مدار آسان بوده و در شکل ۳۵-۲ نشان داده شده است. با فرض اینکه در زمان $t = 0$ ولتاژ اولیه خازن صفر است. ولتاژ خروجی بر حسب زمان از رابطه زیر بدست می‌آید:

$$v_O = V_{OS} + \frac{V_{OS}}{CR}t \qquad (۲-۳۶)$$

v_O با زمان بصورت خطی افزایش می‌یابد تا op-amp اشباع شود - که بوضوح یک حالت غیرقابل قبول است !

این مشکل با اتصال مقاومت R_F بصورت موازی با خازن C بهبود می‌یابد. این مقاومت یک مسیر dc برای جریان dc ی (V_{OS}/R) فراهم می‌کند. در این صورت ولتاژ خروجی v_O دارای مؤلفهٔ dc ی $V_{OS}[1+(R_F/R)]$ می‌باشد (بجای اینکه بطور خطی افزایش پیدا کند) برای کوچک نگهداشتن افست dc ، بایستی از مقاومت R_F کوچک استفاده کرد اما متأسفانه با انتخاب مقادیر کوچک R_F، از میزان ایده‌آل بودن انتگرالگیر کاسته می‌شود. این مثال یکی دیگر از تبادلهایی است که طراح مجبور است در مورد استفاده از عناصر غیردقیق در طراحی مدارات عملی آن را بکار بندد.



$$v_O = V_{OS} + \frac{1}{C}\int_0^t \frac{V_{OS}}{R}dt = V_{OS} + \frac{V_{OS}}{CR}t$$

شکل ۳۵-۲. محاسبه اثر ولتاژ افست ورودی V_{OS} بر مدار انتگرالگیر میلر. دقت کنید از آنجا که خروجی با زمان افزایش می‌یابد op-amp دفعتاً به اشباع می‌رود.

تمرین

ط ۲-۲۵ یک انتگرالگیر میلر با ثابت زمانی ۱ms و مقاومت ورودی ۱۰kΩ درنظر بگیرید. op-amp این مدار دارای V_{OS}=۲mV بوده و ولتاژهای اشباع آن ۱۲ V± است (الف) با فرض اینکه هنگام روشن‌کردن منبع تغذیه ولتاژ خازن صفر است. چه زمانی طول می‌کشد که تقویت‌کننده اشباع شود؟ (ب) بزرگترین مقدار ممکن مقاومت فیدبک R_F را طوری پیدا کنید که دامنه نوسان سیگنال خروجی حداقل ۱۰ V± باشد. فرکانس شکست شبکه STC حاصل چقدر است؟

جواب. (الف) ۶ Sec (ب) ۱۰ MΩ، ۰/۱۶ Hz ❑

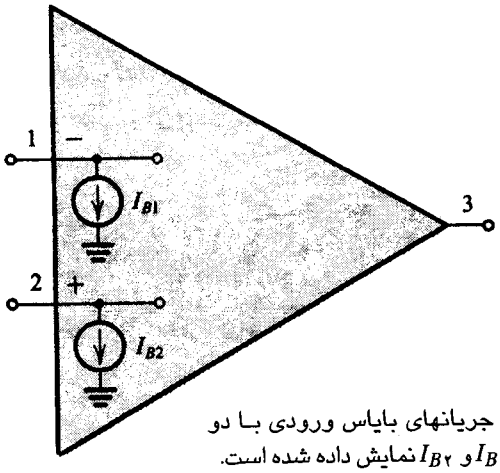
جریانهای بایاس ورودی

دومین مشکل dc در op-amp ها در شکل ۳۶-۲ نشان داده شده است. برای آنکه op-amp کار کند، بایستی دو پایانه ورودی‌اش بوسیله جریانهای dc معینی موسوم به **جریانهای بایاس ورودی** تغذیه شود. در شکل (۳۶-۲)، این دو جریان بوسیله دو منبع جریان I_{B1} و I_{B2} که به دو پایانه ورودی وصلند، نشان داده شده‌اند. باید تأکید شود که جریانهای بایاس ورودی مستقل از این واقعیت هستند که op-amp دارای مقاومت ورودی محدود است (که در شکل ۳۶-۲ نشان داده نشده). سازنده op-amp معمولاً مقدار متوسط I_{B1} و I_{B2} را علاوه بر اختلاف مورد انتظار آنها تعیین می‌کند. مقدار متوسط I_B، **جریان بایاس ورودی** نامیده می‌شود.

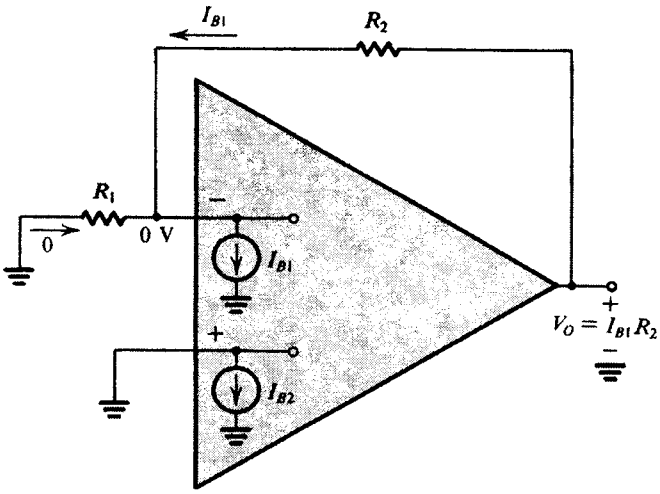
$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

در حالیکه اختلاف آنها، **جریان اُفست ورودی** نامیده می‌شود و از رابطه زیر بدست می‌آید:

$$I_{OS} = |I_{B1} - I_{B2}|$$



شکل ۳۶-۲. جریانهای بایاس ورودی با دو منبع جریان I_{B1} و I_{B2} نمایش داده شده است.



شکل ۳۷-۲. تحلیل تقویت‌کننده حلقه بسته با در نظر گرفتن جریانهای بایاس ورودی

در op–amp های همه منظوره که از آنها از ترانزیستورهای قطبی استفاده می‌شود، معمولاً دارای I_B=۱۰۰nA و I_{OS}=۱۰nA هستند. در op–amp هایی که از ترانزیستورهای اثر میدان در طبقه ورودی استفاده می‌کنند، جریان بایاس ورودی خیلی کوچکتر (حدود چند آمپر) است.

اکنون می‌خواهیم ولتاژ dc خروجی تقویت‌کننده حلقه بسته را با توجه به جریانهای بایاس ورودی پیدا کنیم. برای این کار، منبع سیگنال را به زمین وصل کرده و مدار موردنظر را در شکل (۳۷-۲) برای پیکربندیهای وارونگر و ناوارونگر بدست می‌آوریم. مطابق شکل (۳۷-۲)، ولتاژ dc خروجی از رابطهٔ زیر بدست می‌آید:

$$V_O = I_{B1}R_2 \cong I_B R_2 \qquad (۲-۳۷)$$

این به وضوح محدودیت بیشتری برای مقدار R_2 مطرح می‌کند. البته، خوشبختانه، برای کاهش مقدار ولتاژ dc خروجی در اثر جریانهای بایاس ورودی، روشی وجود دارد. این روش مطابق شکل (۳۸-۲)، شامل اضافه کردن مقاومت R_3 بطور سری با پایه ناوارونگر ورودی است. از نقطه نظر سیگنال، R_3 دارای اثر ناچیز است. مقدار دقیق R_3 از تحلیل مدار شکل ۳۸-۲ بدست می‌آید، که در آن جزئیات تحلیل، نشان داده شده و ولتاژ خروجی از رابطه زیر بدست می‌آید:

$$V_O = -I_{B2}R_3 + R_2\,(I_{B1} - I_{B2}R_3/R_1) \qquad (۲-۳۸)$$

نخست حالت $I_{B1} = I_{B2} = I_B$ را درنظر می‌گیریم:

$$V_O = I_B\,[R_2 - R_3(1 + R_2/R_1)]$$

به این ترتیب ممکن است با انتخاب R_3 به صورت زیر، V_O به صفر کاهش داده شود.

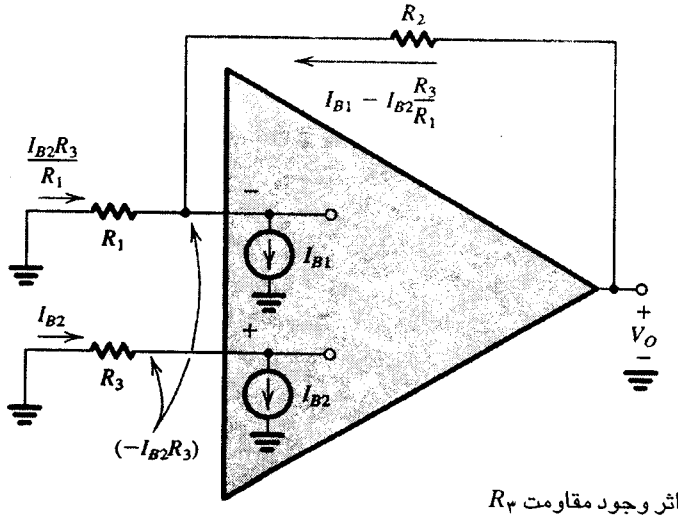
$$R_3 = \frac{R_2}{1 + R_2/R_1} = \frac{R_1R_2}{R_1 + R_2} \qquad (۲-۳۹)$$

یعنی، R_3 می‌تواند برابر با معادل موازی R_1 و R_2 باشد.

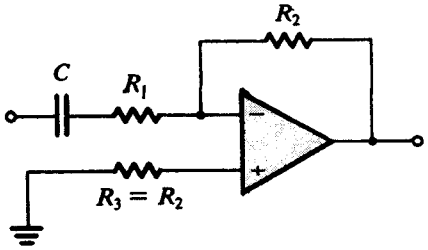
با انتخاب R_3 به صورت بالا، اثر یک ولتاژ اُفست محدود I_{OS} را ارزیابی می‌کنیم. چنانچه $I_{B1} = I_B + I_{OS}/2$ و $I_{B2} = I_B - I_{OS}/2$ باشد، با قراردادن آن در معادله (۵۲-۲) نتیجه می‌شود که:

$$V_o = I_{OS}R_2 \qquad (۲-۴۰)$$

که از نظر مقدار تا حدی کوچکتر از مقدار بدست آمده بدون R_3 [در معادله (۳۷-۲)] می‌باشد. نتیجه می‌گیریم که برای به حداقل رساندن تأثیر



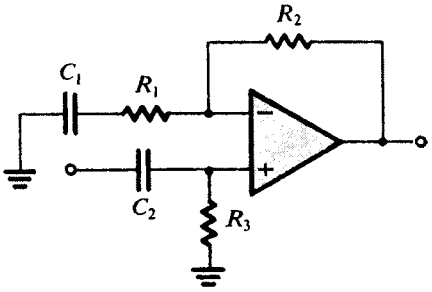
شکل ۳۸-۲. کاهش تأثیر جریانهای بایاس ورودی در اثر وجود مقاومت R_3



شکل ۳۹-۲. در یک تقویت‌کننده با کوپلاژ ac، مقاومت dc نشان داده شده در پایانه وارونگر R_2 است؛ بنابراین R_3 برابر با R_2 انتخاب شده است

جریانهای بایاس ورودی، بایستی یک مقاومت در پایه مثبت گذاشته شود که با مقاومت dc مشاهده شده در پایانه وارونگر برابر باشد. بر کلمه dc در جمله اخیر تکیه می‌کنیم. توجه کنید که اگر تقویت‌کننده دارای کوپلاژ ac باشد، مطابق شکل (۳۹-۲)، انتخاب می‌تواند $R_3 = R_2$ باشد.

مادامیکه تقویت‌کننده‌های دارای کوپلاژ ac مورد بحث هستند، می‌بایست توجه کنیم که همواره یک مسیر دائمی dc بین هریک از پایانه‌های ورودی op−amp و زمین ایجاد کنیم. به این دلیل، تقویت‌کننده ناوارونگر دارای کوپلاژ ac در شکل (۴۰-۲)، بدون مقاومت R_3 متصل به زمین نمی‌تواند کار کند. متأسفانه، با وجود R_3، مقاومت ورودی تقویت‌کننده حلقه بسته بطور قابل ملاحظه کاهش می‌یابد.



شکل ۴۰-۲. نمایش نیاز یک مسیر dc ممتد برای پایانه‌های ورودی op−amp بویژه توجه کنید که تقویت‌کننده بدون مقاومت R_3 کار نمی‌کند.

تمرین

۲-۲۶ مدار یک انتگرالگیر میلر با مقاومت ورودی R و خازن انتگرالگیر C و مقاومت R متصل شده بین پایانه ورودی مثبت op−amp و زمین را درنظر بگیرید. پایانه‌های ورودی انتگرالگیر را زمین کنید و بجای op−amp مدار معادل آن را از شکل ۳۶-۲ قرار دهید با شرط

$$I_{B1} = I_B + I_{OS}/2 \quad \text{و} \quad I_{B2} = I_B - I_{OS}/2$$

(الف) نشان دهید اگر ولتاژ خازن در لحظه $t = 0$ صفر باشد آنگاه رابطه زیر برقرار است

$$v_O = -[I_B - \frac{I_{OS}}{2}]R + \frac{I_{OS}}{C}t$$

(ب) با یک مقاومت R_F که بصورت موازی با C قرار می‌گیرد و فرض $R_F >> R$، نشان دهید که v_O از رابطهٔ $v_O \cong I_{OS}R_F$ بدست می‌آید. ❑

خلاصه

- آی سی op−amp، یک مدار مجتمع با استفاده‌های گوناگون می‌باشد. بکارگیری آن آسان است و کارآیی مدارات op−amp با پیش‌بینی‌های نظری آن در تطابق نزدیک است.
- پایه‌های op−amp عبارتند از پایه ورودی وارونگر (۱)، پایه ورودی ناوارونگر (۲)، پایه‌خروجی (۳)، پایه مثبت منبع (V^+) که باید به مثبت منبع تغذیه متصل شود، پایه منفی منبع (V^-) که باید به منفی منبع تغذیه وصل شود پایه مشترک دو منبع، مدار زمین است.
- یک op−amp ایده‌آل فقط به اندازه اختلاف دو سیگنال ورودی یعنی $A(v_2 - v_1)$ را بدست می‌دهد. که A بهره حلقه باز است و مقدار آن بزرگ (10^4 تا 10^6) و در حالت ایده‌آل بی‌نهایت می‌باشد؛ دارای مقاومت ورودی بینهایت و مقاومت خروجی صفر است.
- فیدبک منفی با اتصال یک عنصر غیرفعال بین پایه خروجی و پایه ورودی وارونگر (منفی) بوجود می‌آید. فیدبک منفی موجب می‌شود تا ولتاژ بین دو پایه ورودی خیلی کوچک و در حالت ایده‌آل صفر شود. متناظر با آن، یک مدار اتصال کوتاه مجازی بین دو پایانه ورودی وجود دارد. اگر پایه مثبت ورودی به زمین وصل شود، یک زمین مجازی در پایه ورودی منفی بوجود می‌آید.
- در تحلیل مدارهای op−amp، چنانچه op−amp ایده‌آل فرض شود، یک اتصال کوتاه مجازی بین دو پایانه ورودی روی می‌دهد. این مطلب که جریانهای صفر در پایانه‌های ورودی یک op−amp ایده‌آل جاری می‌شوند، تحلیل آن را در حد قابل ملاحظه‌ای ساده می‌کند.
- با اعمال فیدبک منفی و حلقه بسته، بهره حلقه بسته، تقریباً با عناصر خارجی تعیین می‌شود: در پیکربندی وارونگر $V_o / V_i = -R_2/R_1$ است؛ و در پیکربندی ناوارونگر $V_o / V_i = 1 + R_2/R_1$ است.
- پیکربندی حلقه بسته ناوارونگر دارای مشخصه مقاومت ورودی زیاد است. یک حالت ویژه آن، تقویت‌کننده باخروجی بهره واحد است که همواره به مثابه یک طبقه میانگیر (بافر) برای ارتباط یک منبع مقاومت زیاد به یک مقاومت بارکم بکار می‌رود.
- برای بیشتر op−amp هایی که از داخل جبران شده‌اند، بهره حلقه باز با فرکانس به میزان درجه ۲۰ dB/decadc − افت می‌کند، در فرکانس f_t به واحد می‌رسد (پهنای باند بهره واحد). فرکانس f_t همچنین حاصلضرب بهره پهنای باند op-amp نامیده می‌شود: $f_t = A_o f_b$، که در آن A_o بهره dc و f_b فرکانس ۳dB بهره حلقه باز است. در فرکانس f $(f>>f_b)$، بهرهٔ op-amp برابر است با $|A| = f_1/f$.
- برای پیکربندیهای حلقه بسته وارونگر و ناوارونگر، فرکانس − ۳ dB برابر با $f_t/(1 + R_2/R_1)$ است.
- ماکزیمم سرعتی که ولتاژ خروجی op−amp می‌تواند تغییر کند، سرعت واکنش نامیده می‌شود. واکنش op−amp موجب اعوجاج غیرخطی شکل موجهای سیگنال خروجی می‌گردد.
- پهنای باند تمام توان، f_M، ماکزیمم فرکانسی است که در آن یک خروجی سینوسی با دامنه‌ای معادل ولتاژ خروجی مقرر op − amp بدون اعوجاج می‌تواند بوجود آید؛ $f_M = SR/2\pi V_{omax}$
- ولتاژ اُفست ورودی، V_{OS}، مقدار ولتاژ dc است که وقتی با پلاریته درست به پایانه‌های ورودی op−amp اعمال می‌گردد، ولتاژ dc اُفست در خروجی به صفر کاهش پیدا می‌کند.
- هنگام تحلیل، تأثیر V_{OS} بر عملکرد op−amp با داشتن یک منبع dc ی V_{OS} بطور سری با پایه مثبت op−amp می‌تواند ارزیابی شود.
- کوپلاژ خازنی یک opa−mp ولتاژ dc اُفست را در خروجی بطور قابل ملاحظه‌ای کاهش می‌دهد.

- مقدار متوسط دو جریان dc ی I_{B1} و I_{B2}، که در پایانه‌های ورودی op–amp جریان می‌یابد، جریان بایاس ورودی، I_B، نامیده می‌شود. در یک تقویت‌کننده حلقه بسته، I_B به ولتاژ dc اُفست در خروجی با بزرگی I_BR_2 منجر می‌شود. با اتصال یک مقاومت بطور سری با پایانه مثبت ورودی، معادل با مقاومت dc کل، این ولتاژ به $I_{OS}R_2$ کاهش می‌یابد. I_{OS} جریان اُفست ورودی است؛ یعنی $I_{OS} = |I_{B1} - I_{B2}|$.
- با اتصال یک مقاومت بزرگ بطور موازی با خازن انتگرال‌گیر op–amp از اشباع op–amp جلوگیری می‌شود (بدلیل اثر V_{OS} و I_B).

مسائل

بخش ۱–۲: پایانه‌های Op–Amp

۲–۱ مهندس جوانی می‌کوشد تکنیکهای به کار گرفته شده در یک وسیله را کشف کند، این را مهندسی معکوس می‌نامند. او یک آی سی هشت پایه می‌یابد که تصور می‌کند دارای چند op–amp است. احتمالاً چند op–amp در این آی‌سی وجود دارد؟ حداکثر چند op–amp می‌تواند وجود داشته باشد؟ او باید چه پایه‌هایی را تشخیص دهد؟

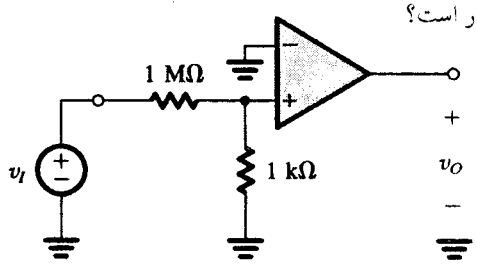
بخش ۲–۲: Op–Amp

۲–۲ op–amp مدار شکل (م ۲–۲) ایده‌آل فرض شده اما دارای ضریب بهره محدود A می‌باشد. با اندازه‌گیری‌های انجام شده اگر v_I=۳/۵V باشد v_o = ۳/۵ V خواهد بود. ضریب بهره op–amp، A چقدر است؟

۲–۳ یک سری آزمایش بر روی op–amp ایده‌آل (اما با بهره محدود A) انجام شده و نتایج آن در جدول زیر نوشته شده است. آیا این نتایج با هم سازگارند؟ اگر چنین نیست، آیا در صورت وجود خطای آزمایش چنین نتایجی منطقی است. با توجه به این نتایج بهره چقدر است؟ با استفاده از این مقدار مکانهای خالی را در جدول پر کنید.

آزمایش	v_1	v_2	v_o
۱	۰/۰۰	۰/۰۰	۰/۰۰
۲	۱/۰۰	۱/۰۰	۰/۰۰
۳		۱/۰۰	۱/۰۰
۴	۱/۰۰	۱/۱۰	۱۰/۱
۵	۲/۰۱	۲/۰۰	-۰/۹۹
۶	۱/۹۹	۲/۰۰	۱/۰۰
۷	۵/۱۰		-۵/۱۰

۲–۴ به شکل ۲–۲ مراجعه کنید. این مسئله یک ساختمان دیگر را برای op–amp نشان می‌دهد. ما می‌خواهیم ساختمان داخلی op–amp عملی را با استفاده از دو تقویت‌کننده هدایت انتقالی و یک تقویت‌کننده مقاومت انتقالی مدل‌سازی کنیم. یک طرح مناسب بدین منظور پیشنهاد کنید. اگر هدایت انتقالی، G_m و مقاومت انتقالی، R_m مساوی باشند عبارتی برای ضریب بهرهٔ حلقه باز بدست آورید. اگر G_m = ۵۰ mA/V و R_m=۱۰^۶Ω باشد مقدار A چقدر است؟



شکل (م ۲–۲)

۲–۵ در مدار شکل ت ۳–۲ خطای ساخت باعث شده G_m های مربوط به v_1 و v_2 متفاوت باشند. اگر C_m مربوط به v_1 ده درصد بزرگتر از G_m مربوط به v_2 باشد، و بهرهٔ ولتاژ مربوط به v_2، ۱۰۰۰ V/V باشد، به ازای v_1 = ۱۰۱ mV و v_2 = ۱۰۳ mV، v_O چقدر است؟ اگر G_{m1} و G_{m2} برابر بودند ولتاژ خروجی چه می‌شد؟ سیگنالی اضافی را خطای حالت مشترک می‌نامند.

بخش ۳–۲: تحلیل مدارهای شامل op–amp ایده‌آل – آرایش وارونگر

۲–۶ یک مدار وارونگر با op–amp ایده‌آل و دو مقاومت ۱۰ – kΩ ساخته شده است. بهرهٔ حلقه بسته چقدر است؟ اگر به ورودی ۳۰۰ V dc+ اعمال شود، خروجی چقدر می‌شود؟ اگر مقاومتهای ۱۰–kΩ از نوع ۵% باشند (یعنی مقدارشان در گسترهٔ ۰/۰۵±۱ مقدار نامی قرار داشته باشد) به ازای ورودی دقیقاً ۳V خروجی در چه گسترده‌ای می‌تواند باشد؟

۲–۷ یک op–amp ایده‌آل و سه مقاومت ۱۰kΩ در اختیار دارید. با ترکیبهای سری و موازی مقاومتها چند آرایش وارونگر مختلف می‌توانید بسازید؟ بزرگترین و کوچکترین بهرهٔ ولتاژ (غیر بی‌نهایت و غیرصفر) چقدر است؟ در این دو حالت مقاومت ورودی چقدر است؟

۲–۸ با فرض ایده‌آل بودن op–amp ها در شکل (م ۸–۲)، بهره ولتاژ، v_o/v_i و مقاومت ورودی R_{in} را برای هر مدار بدست آورید.

ط ۲–۹ یک مدار op–amp وارونگر با بهره ۴V/V– و مجموع مقاومت ۱۰۰KΩ طراحی کنید.

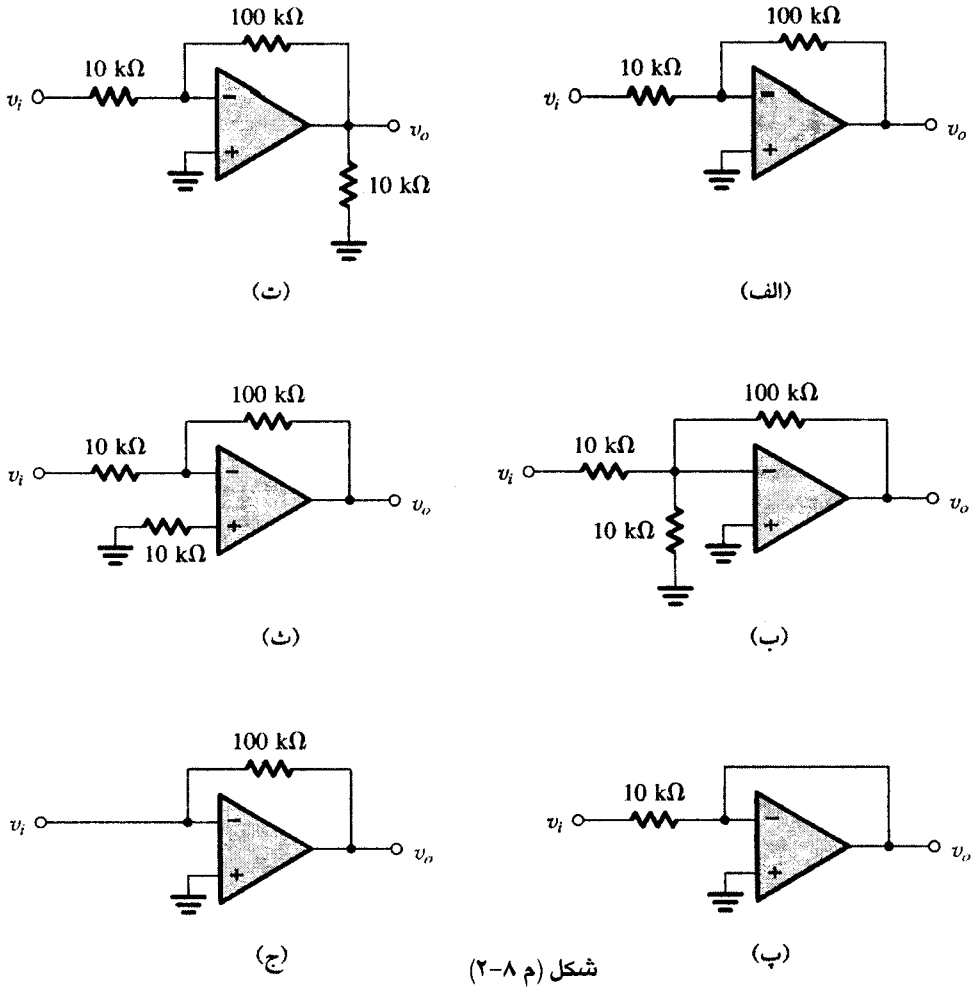
ط ۲–۱۰ با استفاده از مدار شکل ۴–۲ و با فرض ایده‌آل بودن op–amp یک تقویت‌کننده با بهره ۵۰V/V – و بزرگترین مقدار مقاومت ورودی طراحی کنید. از مقاومتهای کمتر از ۱۰ MΩ استفاده کنید. مقاومت ورودی طرح شما چقدر است؟

۲–۱۱ یک مدار op–amp وارونگر از مقاومتهای R_1 و R_2 تشکیل شده است که دارای خطای x% هستند (یعنی مقدار مقاومتها از مقدار اسمی آن x%± انحراف دارد) درصد خطا در بهره حلقه بسته چقدر است؟ op–amp را ایده‌آل فرض کنید. اگر بهره اسمی حلقه بسته ۱۰۰V/V – و x = ۵ باشد، گسترهٔ مقدار بهره چقدر است؟

۲–۱۲ با یک op–amp و مقاومتهای دارای مقدار نامی ۱۵kΩ و ۲/۷ kΩ مداری با بهرهٔ ۵/۴۲ V/V– ساخته‌ایم. اندازه‌گیری دقیق مقاومتها مقدار آنها را ۱۵/۳ kΩ و ۲/۵۹ kΩ تعیین کرده است. بهرهٔ حلقه باز op–amp چقدر بوده است؟

۲–۱۳ می‌خواهیم با مقاومتهای کوچکتر یا مساوی ۱۰۰kΩ و op–amp ایده‌آل مدار وارونگری با بهرهٔ ۱۰۰V/V– بسازیم. مدار را با دو مقاومت طراحی کنید.

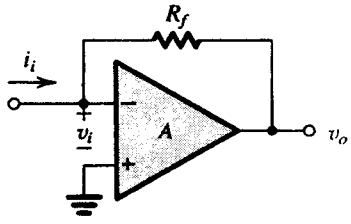
۲–۱۴ اگر بخواهیم مدار مسئلهٔ ۱۳–۲ را چهار مقاومت (به صورت شکل ۸–۲) بسازیم و سه مقاومت بزرگترین مقدار ممکن را داشته باشند، مقاومت ورودی چقدر می‌شود؟ کوچکترین مقاومت چه مقداری دارد؟



شکل (م ۸-۲)

۲-۱۵ یک op-amp با بهره حلقه باز ۱۰۰۰V/V در یک آرایش وارونگر بکار رفته است. اگر گسترهٔ ولتاژ خروجی از ۱۰- تا ۱۰ ولت باشد بیشترین میزان انحراف ولتاژ از مقدار ایده‌آل به سبب «کره زمین مجازی» چقدر است؟

۲-۱۶ مدار شکل م ۱۶-۲ برای ایجاد ولتاژ خروجی v_o متناسب با سیگنال ورودی جریان i_i به کار می‌رود. عبارتی برای مقاومت انتقالی $R_m \equiv v_o/i_i$ و مقاومت ورودی $R_i \equiv v_i/i_i$ این مدار را در دو زیر حالت بیابید.
(الف) A بی‌نهایت است.
(ب) A محدود است.



شکل (م ۱۶-۲)

۲-۱۷* عبارتی برای مقاومت ورودی تقویت‌کننده وارونگر شکل ۴-۲، با فرض محدودبودن بهره حلقه باز op-amp بدست آورید.

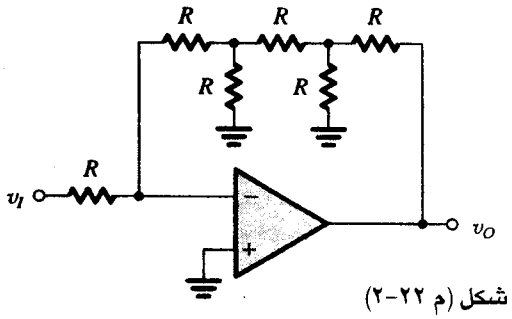
۲-۱۸ یک تقویت کنندهٔ op-amp وارونگر با بهرهٔ حلقه باز A و بهرهٔ حلقه بستهٔ نامی R_2/R_1 در نظر بگیرید. A باید چه مقداری (برحسب R_2/R_1) باشد تا خطای بهره ۰/۱٪، و ۱۰٪ شود؟ در هر مورد مقاومت R_{1a} که می‌توان با R_1 موازی کرد تا به بهرهٔ نامی دست یافت چقدر است؟

۲-۱۹* معادله (۱-۲) را برای بدست آوردن بهره حلقه باز مورد نیاز تقویت کننده (A)، به منظور تحقق شرایط بهرهٔ حلقه بسته مشخص شده ($G_{\text{اسمی}} = -R_2/R_1$) و خطای بهره $\varepsilon \equiv \left|\frac{G-G_{\text{اسمی}}}{G_{\text{اسمی}}}\right|$ مجدداً بازنویسی کنید.
اگر بهره حلقه بسته ۱۰۰- و خطای بهره مساوی و یا کمتر از ۱۰٪ باشد کمترین مقدار بهرهٔ لازم (A) چقدر است؟

۲-۲۰* با استفاده از معادله (۱-۲) مقدار A را هنگامی که به علت کاهش $|G|$ به میزان (x/k)٪، دچار کاهشی به اندازه x٪ می‌شود بدست آورید. اگر بهره حلقه بسته اسمی ۱۰۰، x = ۵۰ و k = ۱۰۰ باشد مقدار A را محاسبه کنید.

۲-۲۱ مدار شکل (۸-۲) را با مقاومتهای $R_1 = R_4 = R_2 = 1\ \text{M}\Omega$ درنظر بگیرید. مقادیر R_3 را برای بدست آوردن بهره‌های زیر پیدا کنید:
(الف) ۱۰V/V -
(ب) ۱۰۰V/V -
(پ) ۲V/V -
op-amp را ایده‌آل فرض کنید.

۲-۲۲ اگر در مدار شکل (۸-۲) همه مقاومتها مساوی باشند بهره چقدر است؟ شکل گسترش‌یافته این مدار در شکل (م ۲۲-۲) نشان داده شده است بهره آنرا بدست آورید.



شکل (م ۲۲-۲)

ط* ۲-۲۳ (الف) با درنظرگرفتن بهره حلقه باز محدود A در شکل (۸-۲) نشان دهید رابطه زیر برقرار است:

$$\frac{v_o}{v_I} = \frac{-G_o}{1 + [1 + G_o + (R_4/R_3)]/A}$$

که در آن G_o مقدار اسمی بهره حلقه بسته است (مثال ۲-۲ را ببینید)

$$G_o = \frac{R_2}{R_1}[1 + \frac{R_4}{R_2} + \frac{R_4}{R_3}]$$

(ب) اگر $G_o=100$، $A=1000$ و $R_4=R_2=R_1$ باشد v_o/v_I را پیدا کنید.
(پ) قسمت «ب» را برای همان مقادیر G_o و A، اما با شرط $R_4=R_2=10R_1$ تکرار کنید.
(ت) برای مقایسه، v_o/v_i را برای آرایش وارونگر با همان مقادیر G_o و A، بدست آورید.
توجه: عبارت داده شده برای v_o/v_I به شما پیشنهاد می‌کند که اثرات محدود بودن A تقریباً با انتخاب $R_4 << R_3$ در آرایش وارونگر ایجاد می‌شود. اما این انتخاب باعث محدودیت استفاده از شبکه T در فیدبک می‌شود. چرا؟ (شما باید فرآیند طراحی در مثال ۲-۲ را بررسی کنید تا بتوانید به این سوال پاسخ دهید)

بخش ۲-۴: کاربردهای دیگر آرایش وارونگر

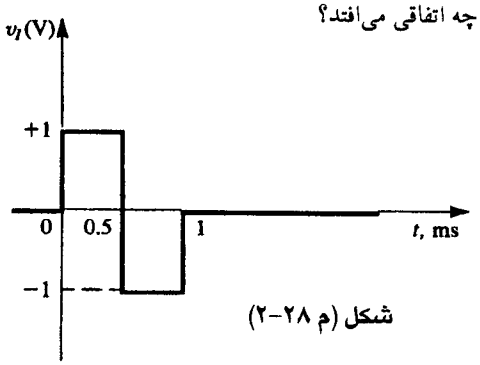
۲-۲۴ یک انتگرالگیر میلر از op-amp ایده‌آل، مقاومت R=100K و خازن $C = 0.1\,\mu F$ تشکیل شده است. یک سیگنال سینوسی به ورودی آن اعمال می‌شود.
(الف) در چه فرکانسی (بر حسب هرتز) سیگنالهای ورودی و خروجی از لحاظ اندازهٔ دامنه مساوی هستند؟
(ب) در همان فرکانس، فاز خروجی نسبت به ورودی چگونه است؟
(پ) اگر فرکانس، از مقدار بدست آمده در قسمت (الف) با ضریب ۱۰ کاهش یابد ولتاژ خروجی با چه ضریبی و در چه جهتی تغییر می‌کند (کاهش یا افزایش)
(ت) رابطهٔ فازی بین خروجی و ورودی در حالت (پ) چیست؟

ط ۲-۲۵ یک انتگرالگیر میلر با ثابت زمانی 1s و مقاومت ورودی 100kΩ طرح کنید. اگر در $t = 0$ ولتاژ 1 V dc− به ورودی اعمال شود، و در آن زمان $v_o = -10$ V باشد، چقدر طول می‌کشد تا ورودی به 0V و 10V برسد؟

۲-۲۶ بهرهٔ یک انتگرالگیر وارونگر op-amp در 100Hz برابر 100V/V− است. در چه فرکانسی بهره به 1V/V− می‌رسد ثابت زمانی انتگرالگیر چقدر است؟

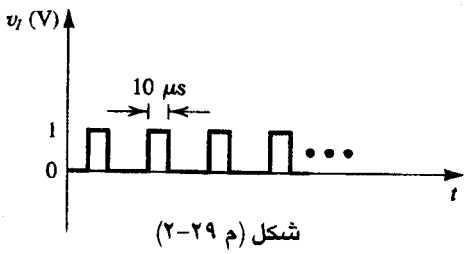
ط ۲-۲۷ یک انتگرالگیر میلر با فرکانس بهرهٔ واحد 1 krad/s و مقاومت ورودی 100 kΩ طرح کنید. یک پالس 2 V − 2 ms به ورودی اعمال میشود و مقدار اولیهٔ خروجی 0V است. خروجی را رسم کنید. خروجی را به ازای ورودی سینوسی $2\sin 100t$ بیابید.

۲-۲۸ به یک انتگرالگیر میلر که ورودی و خروجی آن در ابتدا صفر بوده و ثابت زمانی آن ۱ میلی‌ثانیه است، سیگنال نشان داده شده در شکل (م ۲۸-۲) اعمال می‌شود شکل موج خروجی را رسم کنید. اگر سطوح سیگنال ورودی ±2V شود، با همان ثابت زمانی (۱ میلی‌ثانیه) و با ثابت زمانی ۲ میلی‌ثانیه چه اتفاقی می‌افتد؟



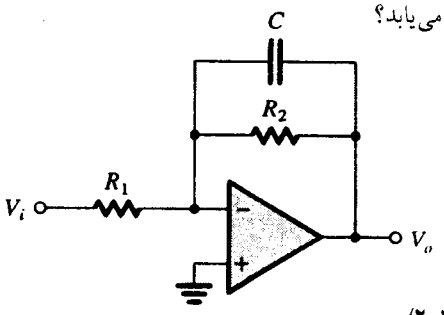
شکل (م ۲۸-۲)

۲-۲۹ به یک انتگرالگیر میلر، با ثابت زمانی ۱ میلی‌ثانیه و خروجی اولیه صفر، یک قطار پالس، با دورهٔ ۱۰ میلی‌ثانیه و دامنه ۱ ولت اعمال می‌شود (شکل م ۲۹-۲ را ببینید) شکل موج خروجی را رسم کنید. برای رسیدن خروجی به ۱ ولت به چند پالس نیاز است؟



شکل (م ۲۹-۲)

ط ۲-۳۰ مدار شکل (م ۳۰-۲) کار یک STC پایین‌گذر را انجام می‌دهد. این مدار بعنوان فیلتر فعال پایین‌گذر مرتبه اول شناخته می‌شود. تابع انتقال آنرا بدست آورده، نشان دهید بهره dc آن مقدار $(-R_2/R_1)$ و فرکانس 3dB آن، $\omega_o = 1/CR_2$ می‌باشد. مدار را برای بدست آوردن مقاومت ورودی 1 KΩ، بهره dc به میزان 40 dB و فرکانس 3 dB− به میزان 4 KHz، طراحی کنید. در چه فرکانسی اندازه تابع تبدیل به مقدار واحد کاهش می‌یابد؟

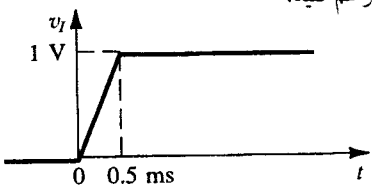


شکل (م ۳۰-۲)

۲-۳۱ به منظور محدودکردن بهرهٔ فرکانس پایین انتگرالگیر میلر، معمولاً یک مقاومت با خازن انتگرالگیر موازی می‌شود. فرض کنید مقاومت ورودی ۱۰۰ KΩ، خازن ۰/۱ μF و مقاومت موازی ۱۰ MΩ باشد:
(الف) نمودار بودی را برای پاسخ اندازه رسم کنید و آنرا با حالت انتگرالگیر ایده‌آل (یعنی بدون مقاومت موازی) مقایسه کنید در چه فرکانسی مدار رفتاری کمتر از یک انتگرالگیر و بیش از یک تقویت‌کننده دارد؟
(ب) اگر یک پالس با دامنه ۰/۱ ولت و دورهٔ ۱ ms به ورودی اعمال شود شکل موج خروجی را رسم کنید. دو حالت درنظر بگیرید. با مقاومت موازی و بدون آن (توجه: پاسخ پالس شبکه STC در ضمیمه (ث) مورد بررسی قرار گرفته است.)

۲-۳۲ یک مشتق‌گیر از یک op-amp ایده‌آل، مقاومت ۱۰ KΩ و خازن ۰/۰۱ μF شکل گرفته است. فرکانس f_o که در آن سیگنالهای سینوسی ورودی و خروجی دامنهٔ مساوی دارند چند هرتز است؟ اگر موج ورودی یک سیگنال سینوسی دارای ولتاژ نوک به نوک ۱ V و فرکانس $10 f_o$ باشد سیگنال خروجی چگونه است؟

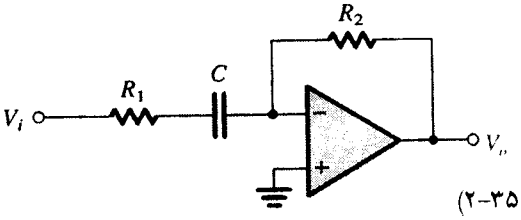
۲-۳۳ به ورودی یک مشتق‌گیر با ثابت زمانی ۱ ms سیگنال پلهٔ کنترل شدهٔ شکل (م ۳۳-۲) اعمال می‌گردد. با فرض اینکه V_o در ابتدا صفر باشد. شکل موج خروجی را رسم کنید.



شکل (م ۳۳-۲)

۲-۳۴ یک مشتقگیر op-amp مانند شکل (الف ۱۴-۲) با $R=10\,k\Omega$ و $C=0/1\,\mu F$ ساخته شده است. وقتی یک موج مثلثی با دامنه ±۱V در فرکانس 1kHz به ورودی اعمال شود، خروجی چقدر خواهد بود؟ فرکانس آن چقدر است؟ دامنه نوک آن چقدر است؟ مقدار متوسط آن چقدر است؟ R چقدر باشد تا دامنه خروجی ۱۰V نوک بدست آید؟ به سه روش حساب کنید:
اول: با استفاده از فرمول دوم در شکل الف ۱۴-۲ بطور مستقیم؛ دوم: با استفاده از فرمول سوم در شکل الف ۱۴-۲ ؛ سوم: با استفاده از شیب ماکزیمم موج سینوسی ورودی در هر حالت ، محل و مقدار ولتاژ ماکزیمم (نوک) خروجی را برقرار کنید.

ط ۲-۳۵ شکل (م ۳۵-۲) نشان دهندهٔ مداری است که کار STC بالاگذر را انجام می‌دهد. این مدار بعنوان فیلتر فعال بالاگذر مرتبه اول شناخته می‌شود تابع انتقال آنرا بدست آورده، نشان دهید بهره فرکانس بالای آن‌مقدار $(-R_2/R_1)$ و فرکانس ۳-dB آن، $\omega_o = 1/CR_1$ می‌باشد. مدار را برای بدست آوردن مقاومت ورودی فرکانس بالای ۱ KΩ، بهره فرکانس بالای ۴۰ dB و فرکانس ۳ - dB به میزان ۱۰۰ Hz طراحی کنید. در چه فرکانسی اندازه تابع تبدیل به مقدار واحد کاهش می‌یابد.

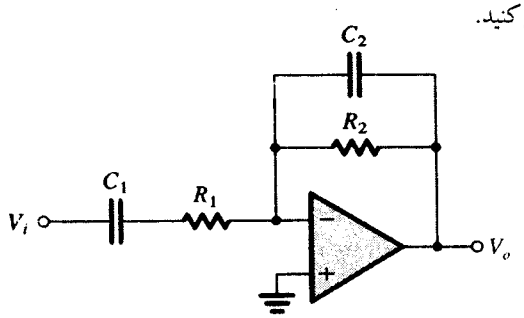


شکل (م ۳۵-۲)

ط ۲-۳۶ تابع تبدیل مدار شکل (م ۳۶-۲) را (برای op-amp ایده‌آل) بدست آورده، نشان دهید بصورت زیر است:

$$\frac{V_o}{V_i} = \frac{-R_2/R_1}{[1+(\omega_1/j\omega)][1+j(\omega/\omega_2)]}$$

در رابطه فوق $\omega_1 = 1/C_1R_1$ و $\omega_2 = 1/C_2R_2$ می‌باشد: با فرض $\omega_2 \gg \omega_1$ عبارات تقریبی برای تابع انتقال در حالات زیر بدست آورید:
(الف) $\omega \gg \omega_1$
(ب) $\omega_1 \gg \omega \gg \omega_2$
(پ) $\omega \gg \omega_2$
با استفاده از این تقریبها نمودار بودی را برای اندازه دامنه رسم کنید دقت کنید که مدار نمایشگر تقویت‌کننده‌ای است که رفتار بهره آن در انتهای فرکانس پایین، مانند STC بالاگذر و در انتهای فرکانس بالا مانند STC پایین‌گذر می‌باشد. مدار را برای بدست آوردن بهره ۴۰dB در "گستره فرکانسهای میانی"، نقطه dB - ۳ فرکانس پایین ۱۰ Hz ، نقطه ۳-dB فرکانس بالای ۱۰ KHz و مقاومت ورودی (در حالت $\omega \gg \omega_1$) ۵ KΩ طراحی کنید.



شکل (م ۳۶-۲)

۲-۳۷ یک مدار جمع‌کنندهٔ وزنی از یک op-amp ایده‌آل که سه مقاومت ورودی ۱۰۰ KΩ و مقاومت فیدبک ۵۰ KΩ دارد شکل گرفته است سیگنال V_1 به دو ورودی و سیگنال V_2 به ورودی سوم اعمال می‌شود. V_o را بر حسب V_1 و V_2 بدست آورید اگر $V_1 = 3$ V و $V_2 = -3$ V باشد V_o چقدر است؟

۲-۳۸ می‌خواهیم در مورد اثر محدودبودن بهره حلقه باز A بر روی نحوهٔ عمل جمع‌کننده وزنی تحقیقی انجام دهیم. ابتدا یک جمع‌کنندهٔ دو ورودی با ورودیهای V_a و V_b که به ترتیب با مقاومت R_{1a} و R_{2b} و مقاومت فیدبک R_2 به جمع‌کننده متصل شده‌اند، درنظر بگیرید. با استفاده از قانون جمع آثار و معادله (۱-۲) نشان دهید رابطه زیر برقرار است:

$$v_o = \frac{-1}{1+\dfrac{(1+R_2/R_{\text{موازی}})}{A}}\left[v_a\frac{R_2}{R_{1a}} + v_b\frac{R_2}{R_{1b}}\right]$$

در رابطه فوق $R_{\text{موازی}}$ مقاومت معادل حاصل از موازی‌کردن دو مقاومت ورودی است. این نتیجه را برای تعداد دلخواه ورودی بسط دهید.

ط ۲-۳۹ یک مدار op-amp طراحی کنید که خروجی آن $v_o = -[3v_1 + (v_2/2)]$ باشد. مقادیر مقاومتها را بنحوی انتخاب کنید که برای سیگنال‌های ورودی ۲ ولت جریان ورودی از ۰/۱ mA بیشتر نشود.

۲-۴۰ با استفاده از طرح شکل ۱۵-۲ مداری برای ساختن خروجی

$v_o = -(2v_1 + 4v_2 + 8v_3)$ طرح کنید. نباید از مقاومتهای کوچکتر از ۱ kΩ استفاده کنید.

ط* ۲-۴۱ در یک سیستم اندازه‌گیری نیاز است که تفاضلی بین دو سیگنالِ

$$v_1 = 3\sin(2\pi \times 60t) + 0.01\sin(2\pi \times 10000t)$$

و

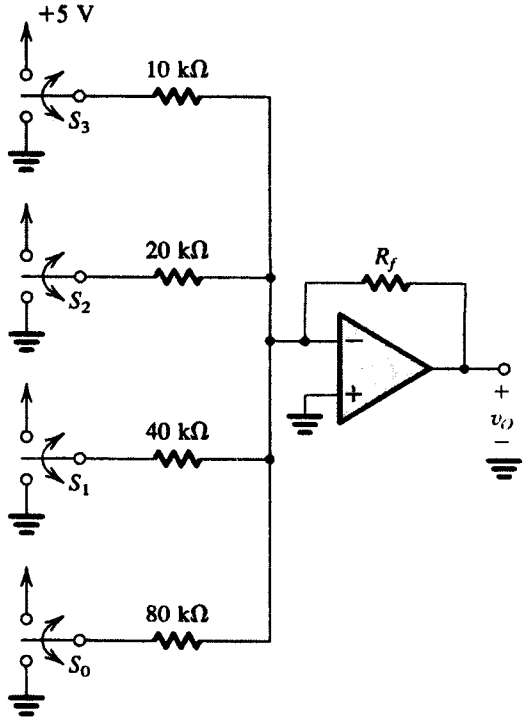
$$v_2 = 3\sin(2\pi \times 60t) - 0.01(\sin 2\pi \times 10000t)$$

ایجاد شود. با استفاده از دو op-amp و مقاومتهای ۱۰ KΩ مداری طرح کنید که تفاضل لازم را ایجاد کند. چون می‌خواهیم مؤلفه ۱۰۰۰ هرتز در این فرآیند تقویت شود مدار را طوری طرح کنید که بهره کلی به میزان ۱۰، بخوبی بدست آید. op-amp ها تا زمانی که ولتاژ خروجی در محدود V ۱۰± باشد ایده‌آل هستند.

* ۲-۴۲ شکل (م ۴۲-۲) مدارِ مبدل دیجیتال به آنالوگ (DAC) را نشان می‌دهد. مدار یک کلمه ۴ بیتی یعنی $a_3a_2a_1a_0$ را که ۰ یا ۱ هستند دریافت کرده و ولتاژ خروجی V_o متناسب با مقدار ورودی دیجیتال را تولید می‌کند. هریک از بیتهای کلمه ورودی کلید ورودی مخصوص به خود را کنترل می‌کند. برای مثال اگر a_2، صفر باشد کلید S_2 مقاومت ۲۰ KΩ را به زمین، و اگر a_2، ۱ باشد کلید S_2 مقاومت ۲۰ KΩ را به منبع تغذیه ۵ V متصل می‌کند. نشان دهید V_o از رابطه

$$v_o = \frac{-R_f}{16}[2^0 a_0 + 2^1 a_1 + 2^2 a_2 + 2^3 a_3]$$

بدست می‌آید که در آن R_f برحسب kΩ است مقاومت R_f را بگونه‌ای بدست آورید که گستره ولتاژ خروجی از صفر تا ۱۲V باشد.



شکل (م ۴۲-۲)

بخش ۵-۲: پیکربندی ناوارونگر

۲-۴۳ مداری بر اساس تقویت کننده ناوارونگر بسازید تا بهره +۱/۵V/V بدست آید، فقط از مقاومتهای ۱۰kΩ استفاده کنید. توجه کنید که دو امکان وجود دارد. کدامیک براحتی تبدیل می‌شود تا بهره +۱۰V/V یا +۲V/V با اتصال کوتاه یک مقاومت در هر حالت بوجود آید؟

ط ۲-۴۴ (الف) با استفاده از قانون جمع آثار نشان دهید خروجی مدار شکل (م ۲۳-۲) از رابطه زیر بدست می‌آید:

$$v_o = -\left[\frac{R_f}{R_{N1}}v_{N1} + \frac{R_f}{R_{N2}}v_{N2} + \dots + \frac{R_f}{R_{Nn}}v_{Nn}\right]$$

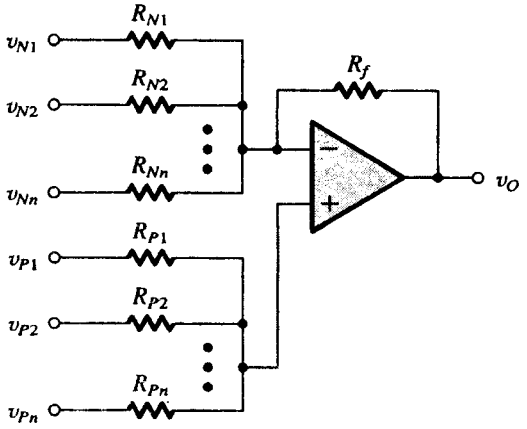
$$+\left[1+\frac{R_f}{R_N}\right]\left[\frac{R_p}{R_{p1}}v_{p1} + \frac{R_p}{R_{p2}}v_{p2} + \dots + \frac{R_p}{R_{pn}}v_{pn}\right]$$

در رابطه فوق

$$R_p = R_{p1} \parallel R_{p2} \parallel \dots \parallel R_{pn} \text{ و } R_N = R_{N1} \parallel R_{N2} \parallel \dots \parallel R_{Nn}$$

می‌باشد.

(ب) مداری طرح کنید که در آن $v_o = -2v_{N1} + v_{P1} + 2v_{P2}$ باشد. کوچکترین مقاومتها بایستی ۱۰ KΩ باشند.



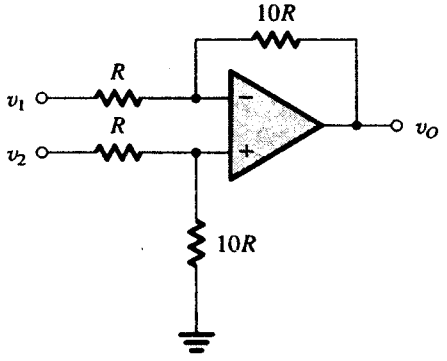
شکل (م ۴۴-۲)

۲-۴۵ برای مدار شکل (م ۴۵-۲) با استفاده از قانون جمع آثار، V_o را بر حسب ولتاژهای ورودی V_1 و V_2 بدست آورید. op-amp ها را ایده‌آل فرض کنید. برای

$$v_1 = 10\,\text{Sin}(2\pi \times 60t) - 0.1\,\text{Sin}(2\pi \times 10000t)$$

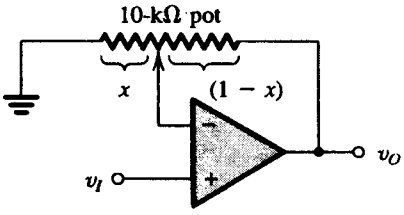
$$v_2 = 10\,\text{Sin}(2\pi \times 60t) + 0.1\,\text{Sin}(2\pi \times 10000t)$$

V_o را پیدا کنید.



شکل (م ۴۵-۲)

ط ۲-۴۶ در مدار شکل (م ۲-۴۶) از یک پتانسیومتر برای تحقق یک تقویت‌کننده با قابلیت تنظیم بهره استفاده شده است. عبارتی برای بهره بصورت تابعی از مکان x پتانسیومتر بدست آورید. op-amp را ایده‌آل فرض کنید. گسترهٔ بهره چقدر است؟ نشان دهید که چگونه می‌توان با افزودن یک مقاومت ثابت بهره را در گستره ۱ تا ۱۱V/V قرار داد. مقدار مقاومت چقدر باید باشد؟



شکل (م ۲-۴۶)

ط ۲-۴۷ با استفاده از آرایش پیشنهادی تمرین ۲-۱۱ مداری برای ایجاد تابع $v_o = v_1 + v_2 - v_3$ بسازید. از مقاومتهای ۱۰kΩ استفاده کنید.

ط ۲-۴۸ تنها با استفاده از مقاومتهای ۱kΩ و ۱۰kΩ مداری براساس آرایش ناوارونگر، با بهرهٔ ۱۰V/V+ ، بسازید.

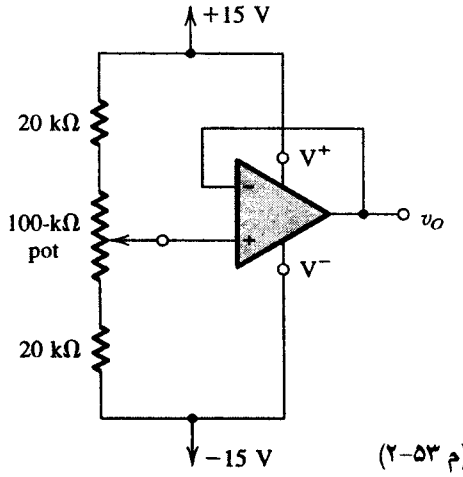
۲-۴۹ می‌خواهیم یک منبع ۱۰ ولتی را با مقاومت منبع ۱۰۰ KΩ به یک بار ۱ KΩ متصل کنیم. ولتاژ ظاهر شده روی بار را در حالات زیر پیدا کنید.
(الف) منبع مستقیماً به بار متصل شود.
(ب) یک op-amp با بهره واحد بعنوان میانگیر بین بار و منبع قرار گیرد.
در هر حالت جریان بار و جریان تغذیه را بدست آورید. در حالت (ب) جریان بار از کجا تأمین می‌شود؟

۲-۵۰ با فرض ایده‌آل بودن op-amp اما با بهره محدود A ، عبارتی برای بهرهٔ مدار ولتاژ پیرو در شکل (۲-۱۹) بدست آورید. بهره حلقه بسته را برای A = ۱۰۰۰ ، A = ۱۰۰ و A = ۱۰ محاسبه کنید. درهر حالت درصد خطا از مقدار اسمی واحد را پیدا کنید.

ط ۲-۵۱ یک مدار op-amp ناوارونگر با بهرهٔ نامی ۱۰V/V ساخته شده است. در این مدار بهره حلقه باز op-amp ۵۰V/V و کوچکترین مقاومت ۱۰Ω است. مقدار بهرهٔ حاصل چقدر است؟ چه مقاومتی با کدام یک از مقاومتها موازی شود تا بهرهٔ نامی به دست آید؟ اگر در مدار اصلی و مدار جدید op-amp با بهرهٔ حلقهٔ باز ۱۰۰V/V قرار گیرد، بهرهٔ حلقه بسته چقدر می‌شود؟

۲-۵۲ با استفاده از معادلهٔ (۲-۱۱) نشان دهید که اگر بخواهیم بهرهٔ حلقه بستهٔ G از مقدار نامی $G_o = 1 + \frac{R_2}{R_1}$ کمتر از x درصد G_o تفاوت داشته باشد، بهرهٔ حلقه باز op-amp باید حداقل با ضریب $F = \frac{100}{x} - 1 \approx \frac{100}{x}$ از G_o بزرگتر باشد. F را به ازای $x = 0.01$ ، $x = 0.1$ ، $x = 1$ ، و $x = 10$ حساب کنید. به ازای هر یک از این مقادیر x حداقل بهره حلقه باز برای دستیابی به بهره حلقه بستهٔ ۱ ، ۱۰ ، 10^2 ، 10^3 ، 10^4 چقدر است؟

۲-۵۳ در مدار شکل (م ۲-۵۳) مقدار ولتاژ خروجی V_o با چرخش محور پتانسیومتر ۱۰۰ KΩ تغییر می‌کند. اگر پتانسیومتر "۲۰ دور" باشد تغییرات ولتاژ خروجی را برای هر دور چرخش پتانسیومتر بدست آورید.

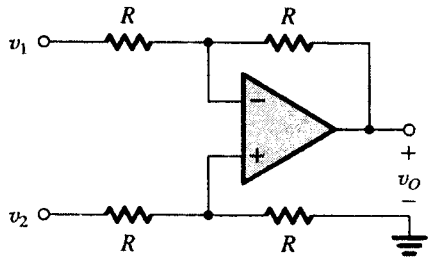


شکل (م ۲-۵۳)

بخش ۲-۶: مثالهایی از مدارهای op-amp

ط ۲-۵۴ شکل (۲-۱۸) که مدار یک سنجشگر با مقاومت ورودی بالاست، از یک سنجشگر ۱ میلی‌آمپری استفاده شده است. مقاومت R را بگونه‌ای بدست آورید که بیشترین میزان انحراف عقربه در $V_I = 2.5$ V اتفاق بیفتد اگر مقاومت سنجشگر ۵۰ Ω باشد ولتاژ خروجی op-amp در حالت انحراف عقربه تا نیمه سنجشگر، چقدر است؟

۲-۵۵ برای مدار شکل (م ۲-۵۵) v_o را بر حسب v_1 و v_2 بیان کنید. مقاومت ورودی دیده شده توسط v_1 چقدر است؟ توسط v_2 چقدر است؟ توسط منبع که همزمان بین دو ورودی متصل شده است چقدر است؟



شکل (م ۲-۵۵)

۲-۵۶ تقویت‌کنندهٔ تفریق‌کنندهٔ شکل ۲-۲۱ را در حالتی که دو ورودی به هم و به منبع سیگنال ورودی حالت مشترک متصل‌اند در نظر بگیرید. نشان دهید که به ازای $R_2/R_1 = R_4/R_3$ مقاومت ورودی حالت مشترک $(R_4 + R_3)||(R_2 + R_1)$ است.

۲-۵۷ مدار شکل ۲-۲۴ را در حالتی که مقاومت خروجی هر یک از منابع سیگنال تفاضلی R_s است در نظر بگیرید. برای این که تقویت‌کننده به صورت تقویت‌کنندهٔ تفاضلی ایده‌آل عمل کند، چه شرطی باید عملی شود؟

*۲-۵۸ مقاومتهای تقویت‌کنندهٔ تفاضلی شکل م ۲-۵۵ را

$x\%$ ± ۱۰۰kΩ فرض کنید. بهرهٔ حالت مشترک در بدترین شرایط چقدر است؟ این مقدار را به ازای $x = ۰/۱$، $x = ۱$ و $x = ۵$ حساب کنید.

۲-۵۹ تمرین ۲-۱۵ را برای حالتی که جای R و C مدار شکل ت ۲-۱۵ عوض شده است، تکرار کنید.

ط ۲-۶۰* تقویت‌کننده تفاضلی شکل (۲-۲۲) را درنظر بگیرید. معمولاً ولتاژ خروجی به شکل $v_o = G_d v_d + G_{cm} v_{CM}$ بیان می‌شود که در آن G_d بهره تفاضلی و G_{cm} بهره حالت مشترک است. با استفاده از v_o داده شده در معادله (۲-۱۳) عباراتی برای G_d و G_{cm} بدست آورده و نشان دهید که نسبت حذف حالت مشترک (CMRR) تقویت‌کننده حلقه بسته با عبارت زیر بیان می‌شود

$$\text{CMRR} \equiv ۲۰\log\frac{|G_d|}{|G_{cm}|} = ۲۰\log\frac{۱+\frac{۱}{۲}\left[\frac{R_۱}{R_۲}+\frac{R_۳}{R_۴}\right]}{\left|\frac{R_۱}{R_۲}-\frac{R_۳}{R_۴}\right|}$$

در حالت ایده‌آل مدار با شرط $R_۱/R_۲ = R_۳/R_۴$ طراحی می‌شود که حاصل آن نامحدود شدن CMRR است. اما بعلت درصد خطای موجود در اندازه مقاومتها CMRR محدود است. اگر درصد خطای هر مقاومت $\varepsilon\%$ ±۱۰۰ باشد نشان دهید که در بدترین حالت، CMRR با رابطه زیر بیان می‌شود

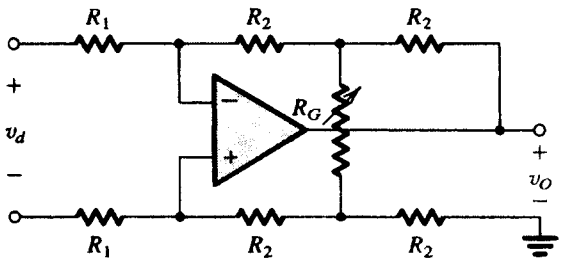
$$\text{CMRR} \equiv ۲۰\log\left[\frac{k+۱}{۴\varepsilon}\right]$$

در رابطه فوق K مقدار ایده‌آل نسبت $(R_۲/R_۱)$ و $(R_۴/R_۳)$ می‌باشد. مقدار CMRR در بدترین حالت را برای تقویت‌کننده طرح شده برای داشتن بهره تفاضلی ۱۰۰ بدست آورید، با فرض اینکه op–amp ایده‌آل بوده و درصد خطای مقاومتهای استفاده شده ۱% باشد.

۲-۶۱* شکل (م ۲-۶۱) مدار اصلاح‌شدهٔ تقویت‌کننده تفاضلی را نشان می‌دهد که در مثال (۲-۴) بررسی شد. مدار اصلاح شده دارای مقاومت R_G است که می‌تواند برای تغییر بهره مورد استفاده قرار گیرد. نشان دهید که بهرهٔ ولتاژ تفاضلی با رابطه زیر بیان می‌شود.

$$\frac{v_o}{v_d} = -۲\frac{R_۲}{R_۱}\left[۱+\frac{R_۲}{R_G}\right]$$

راهنمایی: اتصال کوتاه مجازی در ورودی op–amp باعث می‌شود که جریان مقاومتهای $R_۱$، مقدار $v_d/۲R_۱$ شود.



شکل (م ۲-۶۱)

۲-۶۲ تقویت‌کنندهٔ اندازه‌گیری برای (الف ۲-۲۵) را با ورودی مشترک ۵ V(dc) و سیگنال تفاضلی ورودی، که یک موج سینوسی با نوک ۱۰ میلی‌ولت است در نظر بگیرید. اگر $R_۱ = ۱\ k\Omega$، $R_۲ = ۰/۵\ M\Omega$ و $R_۳ = R_۴ = ۱۰k\Omega$ باشد ولتاژ را در هر گره مدار محاسبه کنید.

۲-۶۳* طراحی برای تقویت‌کنندهٔ ابزار دقیق شکل الف ۲-۱۵ مقاومتهای $R_۲ = R_۳ = R_۴ = ۱۰۰k\Omega$، و $R_۱ = ۱۰k\Omega$ را پیشنهاد کرده است. به ازای مقادیر نامی عناصر، بهرهٔ تفاضلی، بهرهٔ حالت مشترک و CMRR چقدر است؟ اگر مقاومتها از نوع ۱% باشند، این مقادیر در بدترین شرایط چقدرند؟ بند پیش را به ازای $R_۱ = ۱\ k\Omega$ تکرار کنید. در مورد اهمیت بهره‌های تفاضلی نسبی دو طبقهٔ اول و دوم چه نتیجه‌ای می‌گیرید؟

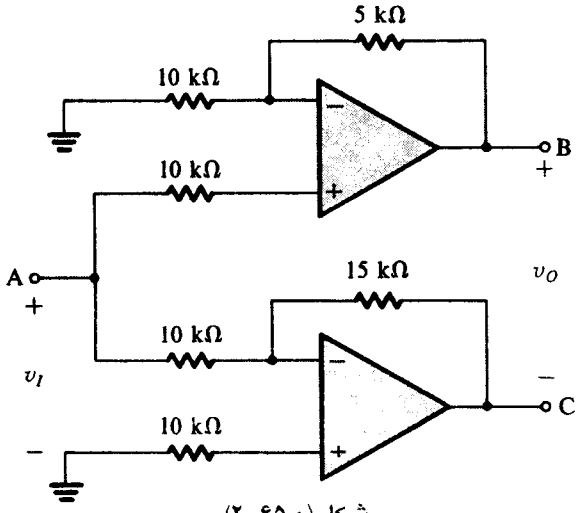
ط ۲-۶۴ تقویت‌کنندهٔ اندازه‌گیری مدار شکل (الف ۲-۲۳) را برای بدست آوردن بهرهٔ دیفرانسیلی متغیر بین ۱ تا ۱۰۰، با استفاده از پتانسیومتر ۱۰۰KΩ طراحی کنید (راهنمایی: طبقه دوم را با بهرهٔ ۰/۵ طراحی کنید)

۲-۶۵* مدار شکل (م ۲-۶۵) برای تغذیه جریانی بارهای شناور (بارهایی که هر دو پایانهٔ آن زمین نشده‌اند) بکار می‌رود که بیشترین امکان استفاده از منبع تغذیه را فراهم می‌کند.

(الف) با فرض ایده‌آل بودن op–amp ها، شکل موج خروجی در نقاط B و C را هنگامی که یک سیگنال سینوسی با ولتاژ نوک به نوک ۱ V به نقطه A اعمال شود رسم کنید. شکل موج ولتاژ v_o را هم رسم کنید.

(ب) بهرهٔ ولتاژ، v_o/v_I چقدر است؟

(ت) با فرض اینکه منبع تغذیه op–amp ها ۱۵ V± بوده و خروجی op–amp ها در ۱۴ V± به اشباع می‌رود (بصورت شکل ۱-۱۱) بزرگترین موج سینوسی در خروجی چه مقداری دارد؟ به دو صورت نوک به نوک و مقدار مؤثر آنرا مشخص کنید.



شکل (م ۲-۶۵)

بخش ۲-۷: اثر بهره حلقه باز محدود و پهنای باند بر عملکرد مدار

۲-۶۶ مقادیر جدول زیر در مورد op–amp های جبران‌سازی شدهٔ داخلی بکار می‌رود. جاهای خالی را در جدول پر کنید.

A_o	f_b(Hz)	f_t(Hz)
$۱۰^۶$	۱	
$۱۰^۶$		$۱۰^۶$
	$۱۰^۶$	$۱۰^۸$
	$۱۰^{-۱}$	$۱۰^۶$
۲×۱۰^۵	۱۰	

۲ـ۶۷ اندازه‌گیری انجام شده نشان می‌دهد که بهره حلقه باز یک op−amp جبران‌سازی شده داخلی که در فرکانسهای خیلی پایین بایستی $۴/۲\times۱۰^{۴}$V/V باشد. در فرکانس ۱۰۰ KHz، ۷۶V/V است مقادیر A_o، f_b و f_t را تخمین بزنید.

۲ـ۶۸ اندازه‌گیری‌های انجام شده نشان می‌دهد بهره حلقه باز یک op−amp جبران‌سازی شده برای فرکانسهای بالا، در فرکانس ۱۰۰KHz، مقدار $۵/۱\times۱۰^{۳}$ و در فرکانس ۱۰ KHz، مقدار $۸/۳\times۱۰^{۳}$ می‌باشد. فرکانس ۳−dB، فرکانس بهره واحد و بهره dc آن را تخمین بزنید.

۲ـ۶۹ در یک تقویت‌کنندهٔ وارونگر با بهرهٔ اسمی ۲۰V/V− از یک op−amp با بهره dc ی $۱۰^{۴}$ و فرکانس بهرهٔ واحد $۱۰^{۶}$ Hz استفاده شده است. فرکانس ۳−dB تقویت‌کننده حلقه بسته $f_{۳dB}$ چقدر است؟ بهره در فرکانس $۰/۱f_{۳dB}$ و $۱۰f_{۳dB}$ چقدر است؟

۲−۷۰ op−amp با حاصلضرب بهره - پهنای باند ۳۰MHz با بهرهٔ حلقه بسته ۱۰۰V/V+ کار می‌کند. پهنای باند ۳dB چقدر است؟ در چه فرکانسی تغییر فاز تقویت‌کنندهٔ حلقه بسته °۶− و °۸۴− می‌شود؟

۲−۷۱ فرکانس ۳dB تقویت‌کنندهٔ op−amp ناوارونگری با بهرهٔ ۱۰۰V/V، ۸kHz است. پهنای باند سیگنال ورودی ۲۰kHz است. بالاترین بهره‌ای که باید انتظار داشت چقدر است؟

۲ـ۷۲ در یک ولتاژ پیرو، با بهرهٔ واحد از یک op−amp جبران‌سازی شدهٔ داخلی با f_t = ۱ MHz استفاده شده است. فرکانس ۳−dB این مدار چقدر است؟ در چه فرکانسی بهره، ۱% کمتر از مقدار فرکانس پایین آن است؟ اگر ورودی یک پله ۱ V باشد زمان صعود ۱۰% تا ۹۰% ولتاژ خروجی را پیدا کنید. (توجه: پاسخ پله شبکه STC پایین‌گذر در ضمیمهٔ ث مورد بررسی قرار گرفت)

ط * **۲−۷۳** این مسئله نحوه استفاده از چند تقویت‌کننده حلقه بسته پشت سرهم را به منظور بدست آوردن بهره کلی بزرگتر از بهره تقویت‌کننده منفرد، شرح می‌دهد.
(الف) نشان دهید توالی دو تقویت‌کننده یکسان که هرکدام دارای پاسخ فرکانسی STC پایین‌گذر با فرکانس ۳ dB f_1 هستند منجر به یک تقویت‌کننده با فرکانس ۳dB می‌شود.

$$f_{۳dB} = \sqrt{\sqrt{۲} - ۱}\, f_1$$

(ب) طراحی یک تقویت‌کننده ناوارونگر با بهرهٔ dc ی ۴۰ dB با استفاده از op−amp جبران‌سازی شده داخلی با f_t =۱MHz موردنظر است. فرکانس ۳dB بدست آمده چقدر است؟
(پ) تقویت‌کننده قسمت (ب) را با استفاده از توالی دو تقویت‌کنندهٔ ناوارونگر یکسان که هریک دارای بهرهٔ dc ی ۲۰ dB می‌باشد طراحی کنید. فرکانس ۳ dB تقویت‌کنندهٔ حاصل چقدر است؟ این مقدار را با مقدار بدست آمده در قسمت (ب) مقایسه کنید.

ط ** **۲−۷۴** طراحی برای دستیابی به بهرهٔ پایدار ۱۰۰V/V در ۵MHz به دنبال آرایشی مناسب انجام می‌گردد. فرکانس بهرهٔ واحد op−amp مناسب چقدر باید باشد؟ f_t بهترین op−amp موجود متأسفانه ۴۰MHz است. او باید چند طبقهٔ مشابه را دنبال هم ببندد تا به خواسته‌اش برسد؟ فرکانس ۳dB هر طبقهٔ چقدر است؟ فرکانس ۳dB کل چقدر است؟

۲ـ۷۵ از یک op−amp با فرکانس بهره واحد f_t در تحقق مدارهای زیر استفاده کنید.
(الف) یک تقویت‌کننده وارونگر با بهره dc، به مقدار K.
(ب) یک تقویت‌کننده ناوارونگر با بهره dc، به مقدار K.
در هر حالت فرکانس ۳ dB و حاصلضرب بهره در پهنای باند

$$(\text{GBP} \equiv |\text{بهره}| \times f_{۳dB})$$

را بدست آورید نتایج را توضیح دهید.

۲ـ۷۶ یک جمع‌کننده وارونگر، با دو ورودی V_1 و V_2 و رابطه $V_o = -(V_1 + V_2)$ درنظر بگیرید. فرکانس ۳ dB هریک از توابع بهره V_o/V_1 و V_o/V_2 را بر حسب f_t مربوط به op−amp بدست آورید.
(راهنمایی: در هر حالت ورودی دیگر جمع‌کننده بایستی به ولتاژ صفر منتقل شود. استفاده از قانون جمع آثار)

* **۲−۷۷** (الف) نشان دهید تابع انتقال انتگرالگیر میلر که در آن از یک op−amp جبران‌سازی شده داخلی با فرکانس بهرهٔ واحد ω_t استفاده شده با رابطه تقریبی زیر بیان می‌شود.

$$\frac{V_o}{V_i} \cong -\frac{۱}{j\omega CR}\frac{۱}{۱ + j(\omega/\omega_t)}$$

که در آن فرض شده که ω_t بسیار بزرگتر از فرکانس مشتقگیر، یعنی ω_o $(\omega_o = ۱/CR)$ می‌باشد.
(ب) «فاز اضافه» که مشتقگیر بعلت ω_t مربوط به op−amp دارد در فرکانس $\omega = \omega_t/۱۰۰$ چقدر است؟ این فاز اضافه از نوع پس فاز است یا پیش‌فاز؟

بخش ۸−۲: عملکرد سیگنال − بزرگ op−amp ها

۲−۷۸ یک op−amp خاص که از تغذیه ۱۵ V± استفاده می‌کند برای خروجی‌هایی که در گستره ۱۳ V− تا ۱۳ V هستند رفتار خطی دارد. اگر این op−amp در آرایش تقویت‌کننده وارونگر با بهره ۱۰۰۰− بکارگیری شود، مقدار مؤثر بزرگترین موج سینوسی ورودی که خروجی را دچار برش نکند چقدر است؟

۲−۷۹ یک op−amp که در گستره ۱۱ V± خروجی خطی دارد در مدار یک مشتقگیر با ثابت زمانی ۱ ms، بکار رفته است. بیشترین سرعت صعود قابل پذیرش در سیگنالهای ورودی چقدر است؟

۲−۸۰ از یک op−amp که سرعت واکنش آن ۱۰ V/μS است در آرایش ولتاژ پیرو با بهره واحد، استفاده شده است ورودی، پالسهایی با دامنه متغیر بین ۰ و ۵ ولت می‌باشد. کوچکترین پالسی که موجب تولید خروجی با دامنه کامل شود چقدر است؟ برای این پالس، نتیجه خروجی را توضیح دهید.

* **۲−۸۱** برای کارکردن با پالسهای خروجی ۱۰ V، با این شرط که مجموع زمان صعود و نزول پالسها بایستی ۲۰% عرض پالس باشد (در نصف دامنه) سرعت واکنش لازم op−amp بمنظور بدست‌آوردن پالسهایی با پهنای ۱ μS، چقدر است؟ (توجه: زمان صعود و نزول پالسها در ۱۰% و ۹۰% ارتفاع پالس اندازه‌گیری می‌شود)

۲-۸۲ حداکثر فرکانس یک موج مثلثی با دامنه $20V_{p-p}$ در خروجی op-amp با $SR = 10V/\mu s$ چقدر است؟ یک موج سینوسی با همین فرکانس حداکثر چه دامنه‌ای می‌تواند داشته باشد تا در آن اعوجاجی بروز نکند؟

۲-۸۳ در یک تقویت‌کننده با سرعت واکنش $10\ V/\mu S$، بیشترین فرکانسی که یک سیگنال خروجی با ولتاژ نوک به نوک ۲۰ V، می‌تواند داشته باشد چقدر است؟

ط* ۲-۸۴ در طراحی با op-amp ها، شخص طراح بایستی محدودیت گستره‌های فرکانس و ولتاژ در عملکرد تقویت‌کننده حلقه بسته را آزمایش کند. این محدودیت‌ها بعلت پهنای باند محدود (f_t)، سرعت واکنش (SR) و اشباع خروجی (V_{omax}) به op-amp تحمیل می‌شود. این مسئله با استفاده از یک op-amp با مشخصات $SR=1V/\mu S, f_t=2MHz$ و $V_{omax}=10\ V$ در طراحی تقویت‌کنندهٔ ناوارونگر با بهره اسمی ۱۰ نکته فوق را تشریح می‌کند. ورودی را یک موج سینوسی با دامنه V_i درنظر بگیرید.
(الف) اگر $V_i = 0.5\ V$ باشد بیشترین فرکانس قبل از اینکه خروجی دچار اعوجاج شود چقدر است؟
(ب) اگر $f = 20\ kHz$ باشد بیشترین مقدار V_i قبل از اینکه خروجی دچار اعوجاج شود چقدر است؟
(پ) اگر $V_i = 50\ mV$ باشد، گستره مفید فرکانس عملکرد تقویت‌کننده چقدر است؟
(ت) اگر $f = 5\ kHz$ باشد گستره مفید ولتاژ ورودی چقدر است؟

بخش ۹-۲: جنبه‌های غیرایده‌آل DC

۲-۸۵ یک op-amp در آرایش وارونگر، با ورودی زمین شده قرار دارد، $R_2 = 100k\Omega$ و $R_1 = 1k\Omega$ است، و ولتاژ dc خروجی‌اش $-0.5V$ است. اگر بدانیم که جریان بایاس ورودی بسیار کوچک است؟ ولتاژ انسداد ورودی چقدر است؟

۲-۸۶ تقویت‌کنندهٔ ناوارونگرای با بهرهٔ ۱۰۰، با op-amp که ولتاژ انسداد ورودی‌اش $\pm 2\ mV$ است، ساخته شده است. خروجی را به ازای ورودی $0.01\ sin\ \omega t\ V$ بیابید.

۲-۸۷ یک تقویت‌کنندهٔ ناوارونگر با بهرهٔ ۱۰۰ با استفاده از op-amp با ولتاژ انسداد ورودی $4mV$ و سطح اشباع خروجی $\pm 12V$ ساخته شده است. ماکزیمم دامنهٔ موج سینوسی ورودی اعمال شده به این تقویت‌کننده چه می‌تواند باشد، بدون این که خروجی اشباع شود؟ اگر تقویت‌کننده به صورت نشان داده شده در شکل ۴۰-۲ دارای تزویج خازنی باشد، جواب سؤال بالا چه تغییری می‌کند؟

۲-۸۸ یک op-amp در آرایش حلقهٔ بسته ناوارونگری قرار دارد که بهرهٔ آن $1000V/V$ است و در آن مقاومتهای نسبتاً کوچک به کار رفته است. ولتاژ dc انسداد خروجی $-1.4V$ اندازه‌گیری شده است. ولتاژ انسداد ورودی چقدر است؟ یک منبع ولتاژ انسداد به صورت شکل ۳۱-۲ به کار برید. به علامت منبع توجه کنید.

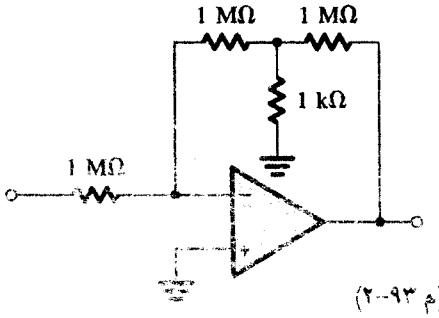
ط ۲-۸۹ طراحی می‌خواهد اثرهای ولتاژ انسداد ورودی یک انتگرالگیر میلر (به صورت شکل ۳۵-۲) را جبران کند. یک طرح مناسب با استفاده از مقاومت و منبع تغذیهٔ مناسب پیشنهاد کنید. اگر ولتاژ انسداد $1mV$ (با قطبیت نشان داده شده در شکل ۳۵-۲) باشد، $R = 1k\Omega$ و منابع تغذیه $\pm 10V$ باشند، چه مقاومتی لازم است؟ باید آن را کجا بکار برد؟

ط* ۲-۹۰ مقاومت فیدبک یک تقویت‌کنندهٔ ناوارونگر با بهرهٔ $+10V/V$، $100k\Omega$ است و منبع سیگنالی دارای مقاومت داخلی $5k\Omega$ به آن متصل است. اگر ولتاژ انسداد $0mV$، جریان بایاس $1\mu A$ و جریان انسداد $0.1\mu A$ باشد، ولتاژ خروجی در چه گستره‌ای قرار دارد؟ برای جبران جریانهای بایاس چه مقاومتی و در کجا باید قرار گیرد؟ در این صورت ولتاژ خروجی در چه گستره‌ای قرار دارد؟ اگر مقاومت منبع سیگنال $15k\Omega$ باشد، مقاومت جبران‌ساز باید چه اندازه‌ای باشد و در کجا قرار گیرد؟

ط ۲-۹۱ می‌خواهیم مدار شکل ۴۰-۲ را برای ساختن یک تقویت کنندهٔ ناوارونگر دارای تزویج ac با بهرهٔ $100V/V$ به کار بریم، مقدار مقاومتها نباید از $100k\Omega$ بیشتر باشد. R_1، R_2، و R_3 را تعیین کنید. C_1 و C_2 باید چه باشد تا فرکانسهای گوشه‌ای متناظر با C_1 و C_2 به ترتیب $100Hz$ و $10Hz$ باشند؟

***۲-۹۲** تقویت‌کنندهٔ تفاضلی شکل ۲۱-۲ را در نظر بگیرید. فرض کنید $R_1 = R_3 = 10k\Omega$ و $R_2 = R_4 = 1M\Omega$. بزرگترین ولتاژ dc (انسداد) خروجی به ازای $V_{OS} = 3mV$، $I_B = 0.2\mu A$، $I_{OS} = 50nA$ چقدر است؟

***۲-۹۳** در مدار شکل م ۹۳-۲ یک op-amp با ولتاژ انسداد ورودی $\pm 5mV$ به کار رفته است. ولتاژ انسداد خروجی چقدر است؟ اگر ورودی صورت خازنی تزویج شود، ولتاژ انسداد خروجی چه خواهد شد؟ اگر به جای استفاده از خازن در ورودی، مقاومت $1\ k\Omega$ با خازن به زمین وصل شود، ولتاژ انسداد خروجی چه خواهد شد؟



شکل (م ۹۳-۲)

۲-۹۴ با استفاده از شبکهٔ صفر کنندهٔ انسداد، تقویت کنندهٔ حلقه بسته‌ای با بهرهٔ $+1000$ را در دمای $25°C$ تنظیم کرده‌ایم تا هنگام اتصال ورودی به زمین، ولتاژ خروجی‌اش صفر باشد. اگر لغزش ولتاژ انسداد ورودی op-amp، $10\mu V/°C$ باشد، خروجی در $0°C$ و $75°C$ چقدر است؟ با این که درباره قطبیت ولتاژ انسداد در $0°C$ و $75°C$ چیزی نمی‌دانیم، در مورد علامت نسبی این دو ولتاژ چه می‌توانیم بگوییم؟

۲-۹۵ یک op-amp در حلقهٔ بسته‌ای با بهرهٔ $+100$، و مقاومت فیدبک $1\ M\Omega$ قرار دارد.
(الف) اگر جریان بایاس ورودی $100\ nA$ باشد، ولتاژ خروجی هنگام زمین شدن ورودی چقدر است؟

(ب) اگر علاوه بر جریان بایاس (الف)، ولتاژ انسداد ورودی ۱mA± نیز وجود داشته باشد، بزرگترین خروجی ممکن، در هنگام زمین بودن ورودی، چقدر است؟

(پ) برای جبران‌سازی جریان بایاس چه مقاومتی باید به‌کار برد؟ اگر جریان انسداد از یک دهم جریان انسداد بیشتر نباشد، ولتاژ انسداد خروجی (ناشی از جریان انسداد تنها) چه خواهد بود؟

(ت) با جبران‌سازی جریان بایاس بخش (پ) بزرگترین خروجی ممکن ناشی از اثر ولتاژ انسداد و جریان انسداد، چقدر است؟

کتابشناسی

G. B. Clayton, *Experimenting with Operational Amplifiers,* London: Macmillan, 1975.

G. B. Clayton, *Operational Amplifiers,* 2nd ed., London: Newnes-Butterworths, 1979.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits,* New York: McGraw-Hill, 1988.

J. G. Graeme, G. E. Tobey, and L. P. Huelsman, *Operational Amplifiers: Design and Applications,* New York: McGraw-Hill, 1971.

W. Jung, *IC Op Amp Cookbook,* Indianapolis: Howard Sams, 1974.

E. J. Kennedy, *Operational Amplifier Circuits: Theory and Applications,* New York: Holt, Rinehart and Winston, 1988.

J. K. Roberge, *Operational Amplifiers: Theory and Practice,* New York: Wiley, 1975.

J. I. Smith, *Modern Operational Circuit Design,* New York: Wiley-Interscience, 1971.

J. E. Solomon, "The monolithic op amp: A tutorial study," *IEEE Journal of Solid-State Circuits,* vol. SC-9, no. 6, pp. 314–322, Dec. 1974.

J. V. Wait, L. P. Huelsman, and G. A. Korn, *Introduction to Operational Amplifier Theory and Applications,* New York: McGraw-Hill, 1975.

فصل ۳

دیودها

۳-۱ دیود ایده‌آل
۳-۲ مشخصهٔ پایه‌های دیود پیوندی
۳-۳ کار فیزیکی دیود
۳-۴ تحلیل‌های مدارهای دیودی
۳-۵ مدل سیگنال کوچک و کاربردهای آن
۳-۶ کار در ناحیه شکست معکوس - دیودهای زنر
۳-۷ مدارهای یکسوساز
۳-۸ مدارهای برش و محدودکننده
۳-۹ انواع مخصوص دیود
۳-۱۰ مدل دیودی SPICE و نمونه‌های مشابه سازی
خلاصه-مسائل-کتابشناسی

مقدمه

در بخشهای قبلی با مدارهای خطی برخورد داشتیم. هر اثر غیرخطی، مانند آنچه که در اشباع خروجی تقویت‌کننده دیده می‌شود، مسئله‌ای است که باید توسط طراح رفع شود. بهرحال، بسیاری از توابع پردازش سیگنال تنها توسط مدارهای غیرخطی قابل پیاده‌سازی هستند. از این قبیل می‌توان به ایجاد ولتاژ dc از یک منبع تغذیه ac و تولید سیگنال با شکل موجهای گوناگون اشاره کرد (مثل سینوسی، موج مربعی، پالس و غیره). همچنین مدارهای منطقی و حافظه‌ها خانوادهٔ خاصی از مدارهای غیرخطی هستند.

ساده‌ترین و اساسی‌ترین عنصر غیرخطی دیود است. همانند مقاومت، دیود دارای دو سر است؛ ولی بر خلاف مقاومت، که رابطه‌ای خطی بین جریان عبوری از آن و ولتاژ دو سرش برقرار است (خط راست)، دیود دارای مشخصه‌ای غیرخطی است.

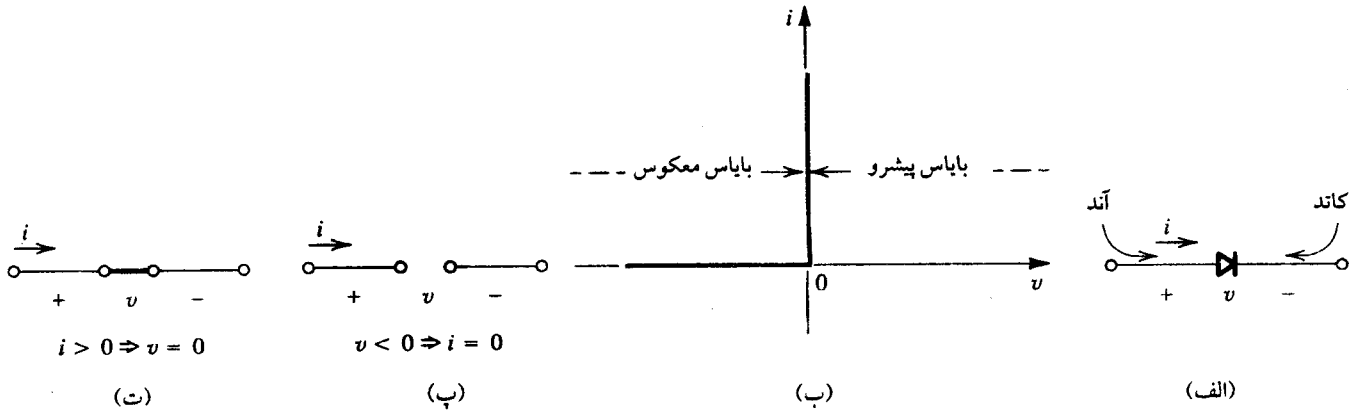
در این فصل بررسی دیود موردنظر است. برای اینکه اساس کار دیود را درک کنیم، با یک عنصر غیرواقعی، بنام دیود ایده‌آل کار را شروع می‌کنیم. سپس دیود سیلیکون را بررسی کرده، مشخصهٔ سرهای آنرا توضیح می‌دهیم و روشی برای تحلیل مدارهای دیودی ارائه خواهیم کرد. آخرین مرحله مهمترین مبحث مدلسازی عنصر است.

کاربرد دیود در یکسوکننده‌ها، معمول‌ترین کاربرد دیود است (که ac را به dc تبدیل می‌کند). بنابراین، باید مدارهای یکسوکننده را دقیق‌تر بررسی کنیم و سپس نگاهی گذرا به برخی از کاربردهای دیود داشته باشیم. سایر مدارهای غیرخطی که از دیود استفاده می‌کنند در ادامهٔ متن و بویژه در فصل ۱۲ خواهند آمد.

این فصل مقدمه‌ای از کار فیزیکی پیوند pn را ارائه می‌دهد. علاوه بر دیود بودن، پیوند pn پایهٔ اغلب عناصر الکترونیکی، مثل ترانزیستورهای با پیوند دو قطبی است که در فصل بعد بررسی می‌شوند. بنابراین درک پیوند pn یکی از پایه‌های مطالعه الکترونیک نوین است. گرچه تعریفی که در اینجا ارائه می‌شود، ساده است ولی زمینهٔ مناسبی برای موارد استفادهٔ این عناصر (دیود و ترانزیستور) در طراحی مدارهای الکترونیکی است. جزئیات بیشتر در رابطه با پیوند pn را می‌توانید در متونی که بر فیزیک عناصر تکیه دارند بیابید.

۳-۱ دیود ایده‌آل

می‌توان دیود ایده‌آل را اساسی‌ترین عنصر غیرخطی فرض کرد. این قطعه دوسر دارای علامت مداری شکل (الف ۱-۳) و مشخصه $i-v$ داده شده در شکل (ب ۱-۳) می‌باشد. مشخصهٔ پایه‌های یک دیود ایده‌آل را می‌توان به صورت زیر ذکر کرد:

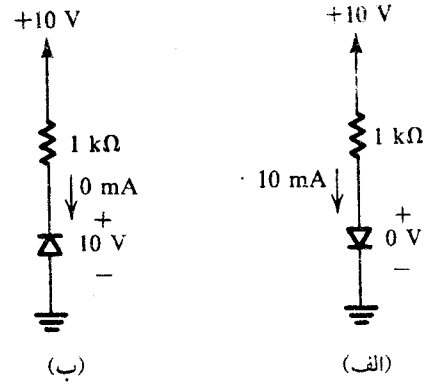


شکل ۱-۳. دیود ایده‌آل (الف) نماد مداری دیود (ب) مشخصه i−v (پ) مدار معادل در جهت معکوس (ت) مدار معادل در جهت مستقیم

اگر یک ولتاژ منفی (نسبت به جهت منبع نشان داده شده در شکل (الف ۱-۳) به دیود اعمال شود، جریانی از دیود عبور نمی‌کند و رفتار دیود شبیه یک مدار اتصال باز است (شکل پ ۱-۳). دیودهایی را که در این حالت کار می‌کنند اصطلاحاً **بایاس معکوس** می‌گویند، و دیود در جهت معکوس بکار گرفته شده است. دیود ایده‌آل هنگامی که در جهت معکوس بایاس می‌شود دارای جریان صفر است و **قطع** گفته می‌شود.

از طرف دیگر، اگر یک جریان مثبت (نسبت به جهت منبع نشان داده شده در شکل (الف ۱-۳) به دیود ایده‌آل اعمال گردد، افت ولتاژ روی دیود برابر صفر خواهد بود. به عبارت دیگر، دیود ایده‌آل در **جهت مستقیم** به صورت یک مدار اتصال کوتاه عمل می‌کند. (شکل ت ۱-۳) یعنی هر جریانی با افت ولتاژ صفر عبور می‌کند. دیود در حال هدایت مستقیم را **روشن** یا **وصل** می‌گویند.

از تعاریف بالا به این نکته می‌رسیم که برای محدودکردن جریان مستقیم در حال هدایت دیود و ولتاژ معکوس در حالت قطع دیود، به یک مقدار از پیش تعیین شده، باید یک مدار خارجی طراحی شود. در شکل (۲-۳) دو نمونه از این حالات را می‌بینید. در شکل (الف ۲-۳) دیود در حال هدایت است. بنابراین افت ولتاژ روی آن صفر است و جریان عبوری از آن را منبع ۱۰ V+ و مقاومت ۱ kΩ تعیین می‌کنند که برابر ۱۰ mA



شکل ۲-۳. دو حالت کار دیودهای ایده‌آل و استفاده از مدار خارجی برای محدودکردن جریان مستقیم و ولتاژ معکوس

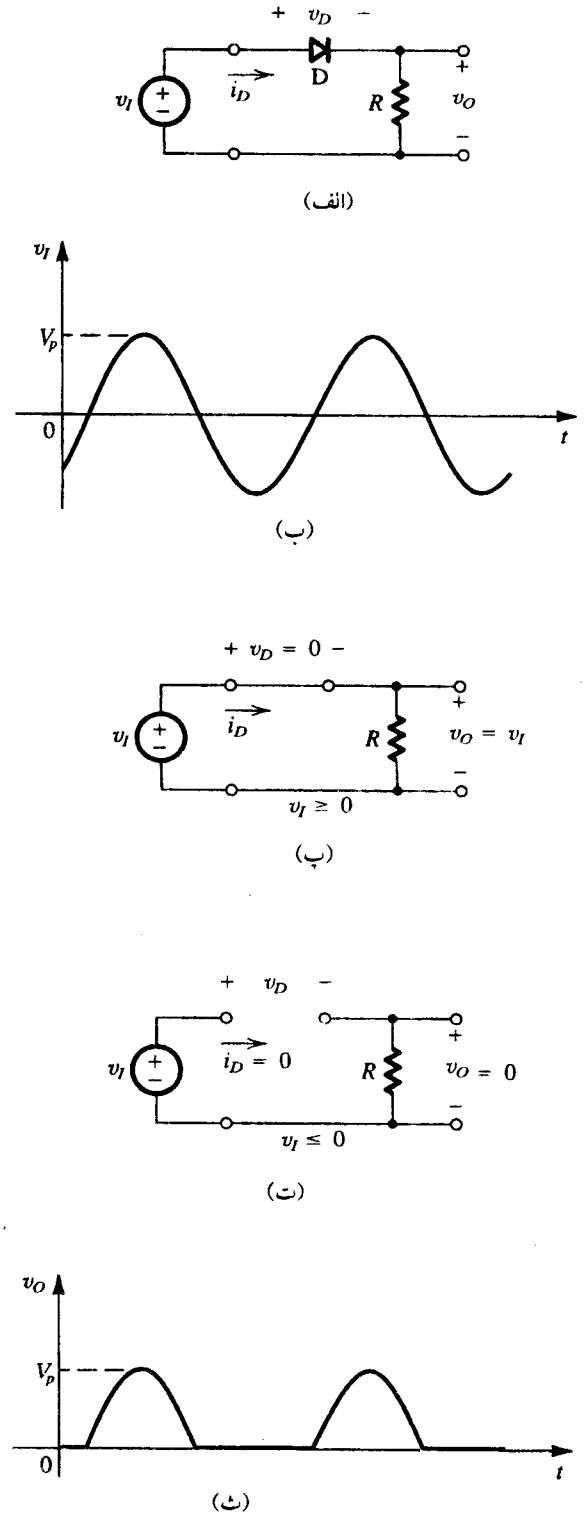
می‌باشد. دیود نشان داده شده در شکل (ب ۲-۳) قطع است و جریان آن صفر است، این بدان معناست که ولتاژ ۱۰ V منبع به عنوان بایاس معکوس روی دیود ظاهر می‌شود.

پایه مثبت دیود را آنود و پایهٔ منفی آن را کاتود گویند که یادگاری از دوران لامپهای خلاء است. می‌توان علامت مداری دیود را با توجه به مشخصهٔ $i-v$ دیود ایده‌آل (هدایت در یک جهت) بدست آورد.

همچنانکه در تعاریف فوق نیز دیده می‌شود، مشخصه $i-v$ دیود ایده‌آل بسیار غیرخطی است. این مشخصه شامل دو خط راست عمود بر هم می‌باشد. یک منحنی غیر خطی را که شامل اجزای خطی باشد، نمودار **خطی جزیی** گویند. اگر ابزاری دارای مشخصهٔ خطی جزیی باشد، برای کاربردهای خاصی می‌توان عنصر را در هر یک از بخشهای خطی مشخصه به صورت یک عنصر خطی در نظر گرفت. به عبارت دیگر، اگر سیگنال موردنظر از یک نقطهٔ شکست بخشهای خطی عبور کند و به بخش دیگر مشخصه برود، تحلیل خطی قبلی عنصر بی‌ارزش است.

یک کاربرد ساده: یکسوکننده

یکی از کاربردهای اساسی دیود، که کاملاً منطبق بر مشخصهٔ $i-v$ غیرخطی آن است، مدار یکسوکنندهٔ نشان داده شده در شکل (الف ۳-۳) است. مدار شامل اتصال سری یک دیود D و مقاومت R است. فرض کنید ولتاژ ورودی v_I به صورت سینوسی نشان داده شده در شکل (ب ۳-۳) باشد و دیود را ایده‌آل درنظر بگیرید. حین نیم سیکل مثبتِ سینوسیِ ورودی، v_I مثبت سبب عبور جریان مستقیم از دیود می‌شود. می‌بینیم که ولتاژ روی دیود v_D بسیار اندک است - صفر در حالت ایده‌آل. بنابراین مدار معادل شکل (پ ۳-۳) را خواهیم داشت و ولتاژ خروجی v_O برابر ولتاژ ورودی v_I است. از طرف دیگر، حین نیم‌سیکل منفیِ v_I، دیود هدایت نخواهد کرد. بنابراین مدار معادل شکل (ت ۳-۳) بدست خواهد آمد و v_O صفر خواهد بود. در نتیجه، ولتاژ خروجی صورت نشان داده شده در شکل (ث ۳-۳) را خواهد داشت. توجه کنید در حالی که v_I پلاریتهٔ متغیر دارد و مقدار متوسط آن صفر است، v_O یکطرفه و دارای مؤلفهٔ dc یا مقدار

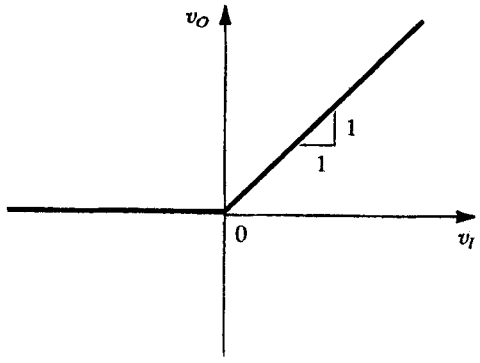


شکل ۳-۳. (الف) مدار یکسوساز (ب) شکل موج ورودی (پ) مدار معادل در حالت $v_I \geq 0$ (ت) مدار معادل در حالت $v_I \leq 0$ (ث) شکل موج خروجی

متوسط محدود است. بنابراین مدار شکل (الف ۳-۳) سیگنال را **یکسو** می‌کند و در نتیجه آنرا **یکسوکننده** می‌خوانند. می‌توان از آن برای تولید سیگنال dc از ac استفاده کرد. جزئیات مدار یکسوکننده را در بخش ۷-۳ بررسی خواهیم کرد.

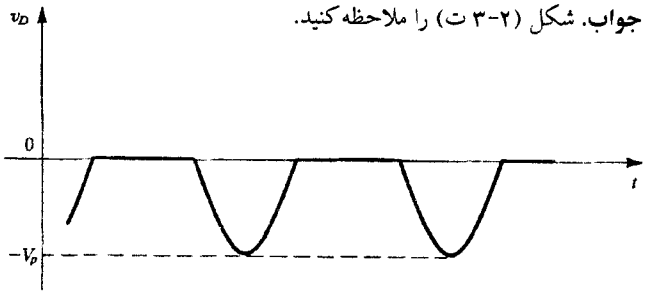
تمرینها

۱-۳ در مدار شکل (الف ۳-۳) مشخصه انتقالی v_O نسبت به v_I را رسم کنید.
جواب. شکل (۱-۳ ت) را ملاحظه کنید.



شکل (۱-۳ ت)

۲-۳ در مدار شکل (الف ۳-۳) شکل موج v_D را رسم کنید.
جواب. شکل (۲-۳ ت) را ملاحظه کنید.



شکل (۲-۳ ت)

۳-۳ در مدار شکل (الف ۳-۳) فرض کنید مقدار نوک v_I، ۱۰V و R=۱kΩ باشد. مقدار نوک i_D و مولفهٔ dc ی v_O را بدست آورید.
جواب. ۱۰mA، ۳/۱۸V. ❑

مثال ۱-۳

شکل (الف ۴-۳) مداری را نشان می‌دهد که برای شارژ باتری ۱۲ V بکار می‌رود. اگر منبع v_S یک منبع سینوسی با حداکثر دامنهٔ ۲۴ V باشد، کسری از هر سیکل را که دیود در حال هدایت است تعیین کنید. همچنین حداکثر مقدار جریان دیود و حداکثر ولتاژ بایاس معکوسی را که روی دیود آشکار می‌شود بدست آورید.

حل:

همچنانکه در شکل (ب ۴-۳) دیده می‌شود هنگامی که v_S بزرگتر از

۱۲ V باشد، دیود هدایت می‌کند. زاویه هدایت در این حالت برابر 2θ می‌باشد که مقدار θ توسط رابطهٔ

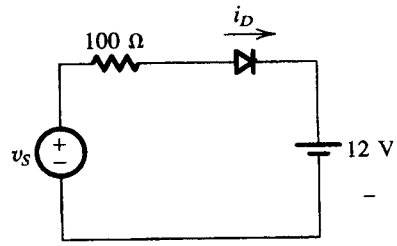
$$24\cos\theta = 12$$

تعیین می‌شود. بنابراین $\theta = 60^\circ$ و زاویهٔ هدایت برای این مدار 120° یا یک سوم سیکل است.

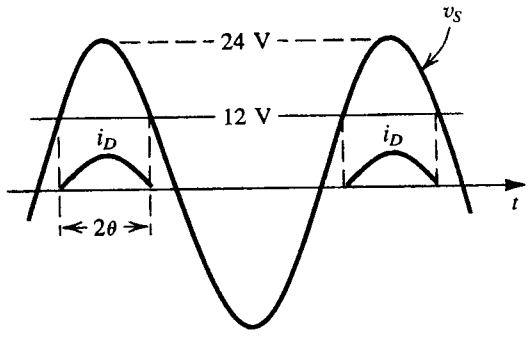
حداکثر مقدار جریان دیود برابر است با:

$$I_d = \frac{24 - 12}{100} = 0/12\ \text{A}$$

حداکثر ولتاژ معکوس روی دیود هنگامی ظاهر می‌شود که v_S در نوک دامنهٔ منفی باشد و در این صورت این مقدار برابر $24+12=36V$ خواهد بود.



(الف)

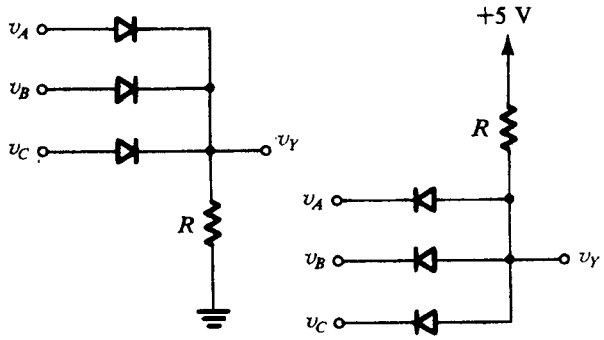


(ب)

شکل ۴-۳. مدار و شکل موجهای مثال ۱-۲

یک کاربرد دیگر: گیتهای منطقی با دیود

از دیود و مقاومت برای پیاده‌سازی توابع منطقی استفاده می‌شود. شکل ۵-۳ دو نوع گیت منطقی با دیود را نمایش می‌دهد. برای توضیح چگونگی کار مدار یک سیستم منطقی مثبت را درنظر بگیرید که در آن مقادیر ولتاژ نزدیک به ۰ V، ۰ منطقی (یا Low) و ولتاژهای نزدیک به ۵+ V، ۱ منطقی (یا High) نامیده می‌شوند. مدار شکل (الف ۵-۳) دارای سه ورودی، v_A، v_B و v_C است. به راحتی می‌توان دید دیودهایی که ورودیهای آنها به ۵+ V متصل است، هدایت خواهند کرد، بنابراین خروجی v_Y به مقدار معادل ۵+ V پرش خواهد کرد. این ولتاژ مثبت در خروجی سرهای ورودی دیودهایی را که قطع هستند در ولتاژ پایین (حدود ۰ V) نگه خواهد داشت. بنابراین خروجی بالاست اگر یکی یا چند



(ب) (الف)

شکل ۵-۳. گیتهای منطقی دیودی (الف) گیت OR (ب) گیت AND (در سیستم منطق مثبت)

تا از ورودیها بالا باشد. بنابراین مدار تابع گیت منطقی OR را پیاده‌سازی می‌کند، که فرم نمایش بولی زیر را داراست:

$$Y = A + B + C$$

بطریق مشابه، خواننده به راحتی می‌تواند نشان دهد، که با استفاده از روش فوق، مدار شکل (ب ۵-۳) تابع منطقی AND را پیاده‌سازی می‌کند.

$$Y = A \,.\, B \,.\, C$$

مثال ۲-۳

فرض کنید دیودها ایده‌آل هستند. در مدارهای شکل (۶-۳)، I و V را بدست آورید.

حل:

در اینگونه مدارها نظر خاصی روی وصل‌بودن یک یا هردو یا هیچ کدام از دیودها نداریم. در این موارد یک پیش‌فرض در نظر می‌گیریم و تحلیل را بر مبنای آن انجام می‌دهیم و سپس درستی فرض خود را بررسی می‌کنیم. در مدار شکل (الف ۶-۳) فرض می‌کنیم که هر دو دیود در حال‌هدایت باشند. پس داریم: $V_B = 0$ و $V = 0$. حال می‌توان جریان D_2 را از رابطهٔ زیر بدست آورد:

$$I_{D2} = \frac{10 - 0}{10} = 1\ \text{mA}$$

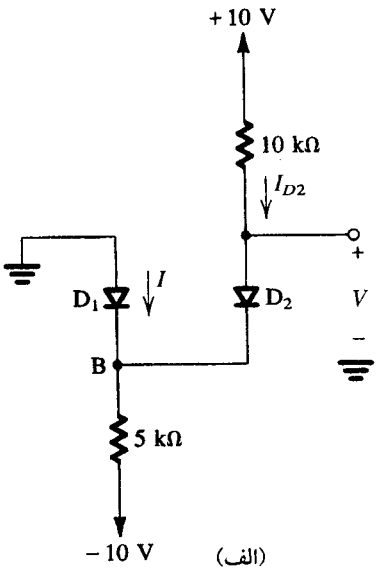
حال معادلات گره را در گره B می‌نویسیم،

$$I + 1 = \frac{0 - (-10)}{5}$$

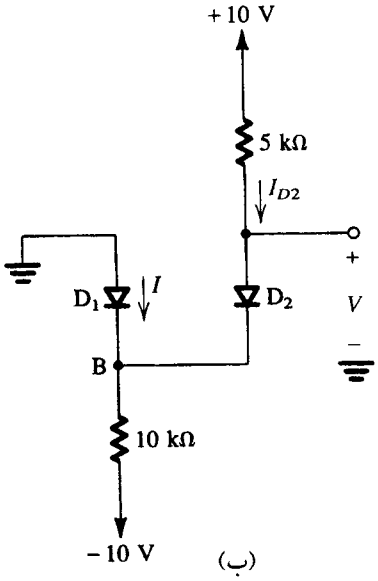
و داریم $I = 1\ \text{mA}$. بنابراین D_1 همانند پیش‌فرض درنظر گرفته شده هادی است و جریان ۱ mA از آن عبور می‌کند و $V = 0$.

برای مدار شکل (ب ۶-۳)، اگر فرض کنیم که هر دو دیود در حال هدایت باشند، آنگاه $V_B=0$ و $V = 0\ \text{V}$. جریان D_2 چنین بدست می‌آید:

$$I_{D2} = \frac{10 - 0}{5} = 2\ \text{mA}$$



(الف)



(ب)

شکل ۶-۳. مدارهای مثال ۲-۳

معادلهٔ گره در گره B:

$$I + ۲ = \frac{۰ - (-۱۰)}{۱۰}$$

که مقدار $I = -۱$ mA را می‌دهد. این حالت ممکن است، پس فرض ابتدای ما نادرست است. حل را با فرض اینکه $D_۱$ قطع و $D_۲$ وصل باشد شروع می‌کنیم. جریان $I_{D۲}$ برابر است با:

$$I_{D۲} = \frac{۱۰ - (-۱۰)}{۱۵} = ۱/۳۳ \text{ mA}$$

و ولتاژ در گره B برابر:

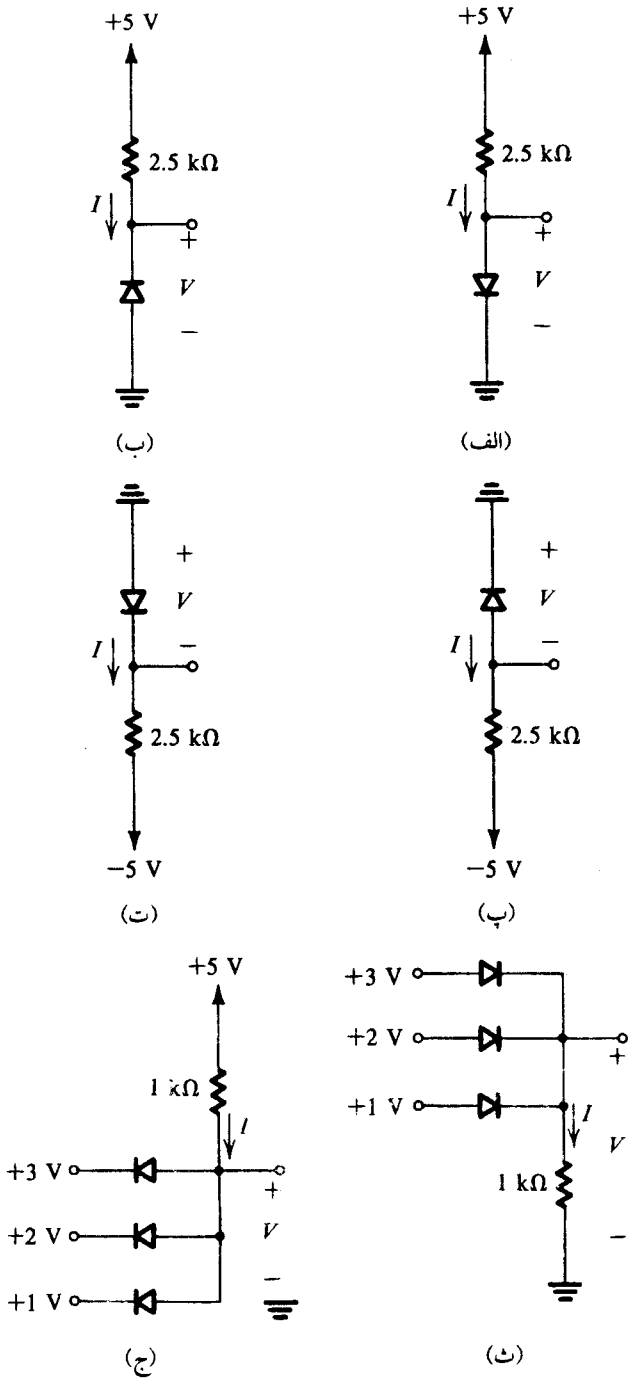
$$V_B = -۱۰ + ۱۰ \times ۱/۳۳ = +۳/۳ \text{ V}$$

بنابراین $D_۱$ بایاس معکوس است و $I = ۰$ و $V = ۳/۳$ می‌باشد.

تمرینها

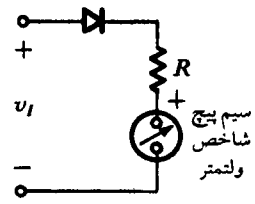
۳-۴ مقادیر I و V را برای مدارهای شکل (۳-۴ ت) تعیین کنید.

جواب. (الف) ۲ mA , ۰ V (ب) ۰ mA , ۵ V
(پ) ۰ mA , ۵ A (ت) ۲ mA , ۰ V
(ث) ۳ mA , +۳ V (ج) ۴mA , ۱ V



شکل (۳-۴ ت)

۳-۵ شکل (۳-۵ ت) مداری برای یک ولتمتر ac را نشان می‌دهد. مقدار متوسط جریان عبوری از سیم‌پیچ متحرک عقربه برای بحرکت درآوردن آن تا انتها ۱ mA است. مقاومت سیم‌پیچ عقربه ۵۰ Ω است. اگر موج سینوسی v_I با دامنهٔ ۱۰ V به مدار اعمال شود، مقدار R را برای حرکت عقربه به



شکل (۵-۳ ت)

انتهای درجه‌بندی ولتمتر تعیین کنید. (راهنمایی: مقدار متوسط یک موج سینوسی برابر V_p/π می‌باشد.)

جواب. ۳/۱۳۳ kΩ ❑

۳-۲ مشخصات پایه‌های دیودهای پیوندی

در این بخش مشخصات دیودهای حقیقی را بررسی می‌کنیم- بخصوص، دیودهای پیوند نیمه‌هادی سیلیکون. مراحل فیزیکی که ما را به مشخصه پایه‌های دیود و نام **دیود پیوندی** می‌رساند در پایان این فصل ذکر شده است.

شکل (۷-۳) مشخصه $i - v$ دیود پیوند سیلیکون را نشان می‌دهد. همین نمودار را در شکل (۸-۳) می‌بینید که قسمتهایی از آن گسترده و قسمتهایی از آن فشرده شده است تا جزئیات بهتر مشاهده شوند. توجه کنید که تغییر تقسیم‌بندی سبب ایجاد ناپیوستگی در مبدأ می‌شود.

همچنانکه دیده می‌شود، نمودار مشخصه دارای سه ناحیهٔ مجزا می‌باشد:

۱) ناحیهٔ بایاس مستقیم، که توسط $v>0$ مشخص می‌شود.

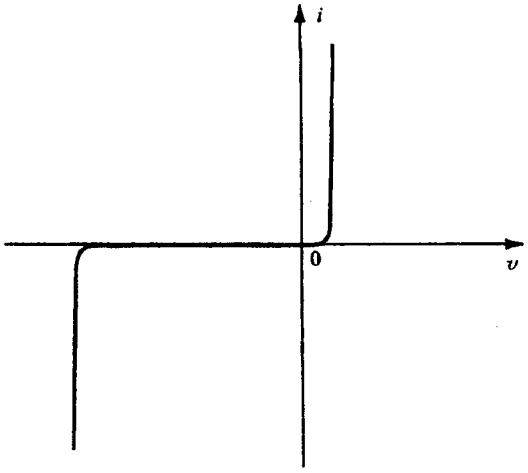
۲) ناحیهٔ بایاس معکوس، که توسط $v<0$ مشخص می‌شود.

۳) ناحیهٔ شکست، که توسط $v<-V_{ZK}$ مشخص می‌شود.

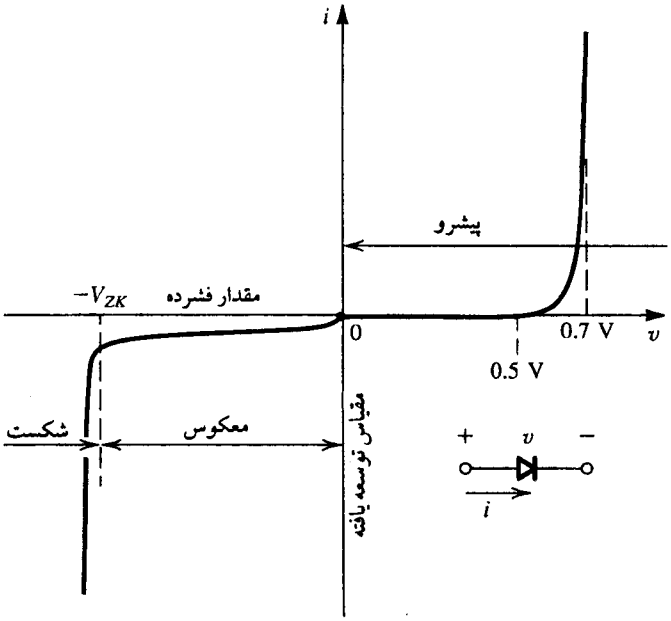
این سه ناحیه کار در سه قسمت زیر تعریف شده است.

ناحیهٔ بایاس مستقیم

هنگامی در ناحیهٔ بایاس مستقیم - یا بطور اختصار مستقیم- کار هستیم که ولتاژ پایانه، v مثبت باشد. در ناحیهٔ مستقیم رابطهٔ $i-v$ را می‌توان با رابطهٔ



شکل ۷-۳. مشخصه i−v دیود پیوندی سیلیکونی



شکل ۸-۳. رابطهٔ i−v با مقیاس گسترش یافته و فشرده شده به منظور نمایش جزئیات

زیر تقریب کرد:

$$i = I_S(e^{v/nV_T} - 1) \qquad (۳-۱)$$

در این معادله I_S یک مقدار ثابت در دمای معین است. جریان I_S را **جریان اشباع** می‌گویند (به دلیلی که در قسمت بعد مشخص می‌شود). نام بهتری که می‌توان برای I_S بکار برد، جریان سطح‌بندی است. این نام از این حقیقت گرفته شده است که I_S با سطح مقطع دیود نسبت مستقیم دارد. بنابراین دو برابر شدن سطح پیوند سبب دو برابرشدن I_S در دیود می‌شود و با توجه به معادلهٔ جریان دیود، مقدار جریان i نیز به ازای ولتاژ معین v در ناحیهٔ مستقیم دو برابر خواهد شد. برای دیودهای **سیگنال کوچک**، که دیودهای کوچکی برای کاربرد در توانهای اندک می‌باشند، I_S از درجهٔ 10^{-15} A است. بعلاوه مقدار I_S بشدت تابع دماست. بنابر نتیجهٔ عملی به ازای هر ۵ °C افزایش دما، I_S دوبرابر می‌شود.

ولتاژ V_T در معادلهٔ (۱-۳) ثابتی است که بنام ولتاژ حرارتی موسوم است و با رابطهٔ

$$V_T = \frac{kT}{q} \qquad (۳-۲)$$

مشخص می‌شود که:

k = ثابت بولتزمن = 1.38×10^{-23} jul/k

T = دمای مطلق بر حسب کلوین = دما بر حسب °C + ۲۷۳

q = مقدار بار الکترون = 1.60×10^{-19} C

در دمای اتاق (۲۰ °C) مقدار V_T برابر ۲۵/۲ mV است. در محاسبات تقریبی مقدار V_T را در دمای اتاق تقریباً برابر ۲۵ mV فرض می‌کنیم.

در معادلهٔ دیود، ثابت n بسته به نوع ماده و روش ساخت دیود مقداری بین ۱ و ۲ دارد. برای دیودهایی که به روش استاندارد و اصلی مدارهای مجتمع ساخته میشوند، هنگامی که تحت شرایط عادی کار کنند، مقدار n

برابر ۱ است. برای دیودهای موجود که بصورت عناصر گسسته و دوسر هستند، $n = ۲$ می‌باشد.

برای جریانهای قابل قبول i در جهت مستقیم، بخصوص برای $i >> I_S$ معادلهٔ (۱-۳) را می‌توان به رابطهٔ نمایی زیر تقریب کرد:

$$i \cong I_S e^{v/nV_T} \qquad (۳-۳)$$

می‌توان این رابطه را به صورت لگاریتمی زیر نمایش داد:

$$v = nV_T \ln\frac{i}{I_S} \qquad (۳-۴)$$

که ln نمایانگر لگاریتم طبیعی (پایه e) می‌باشد.

رابطهٔ نمایی جریان i با ولتاژ v تا چند ده برابرشدن جریان برقرار است (تقریباً بیشتر از هفت بار ده برابرشدن -که مضربی از $۱۰^۷$ است). این یکی ازخواص قابل توجه دیودهای پیوندی است، که در ترانزیستورهای دو قطبی و بسیاری کاربردهای مفید دیگر می‌توان از آنها بهره جست.

ناحیهٔ مستقیم رابطهٔ (۳-۳) را در نظر می‌گیریم و مقدار جریان $I_۱$ را بر حسب ولتار $V_۱$ دیود تعیین می‌کنیم:

$$I_۱ = I_S e^{V_۱/nV_T}$$

بطریق مشابه، اگر ولتاژ $V_۲$ باشد، جریان $I_۲$ دیود برابر خواهد بود با

$$I_۲ = I_S e^{V_۲/nV_T}$$

می‌توان این دو معادله را ترکیب کرد تا به رابطهٔ زیر رسید:

$$\frac{I_۲}{I_۱} = e^{(V_۲ - V_۱)/nV_T}$$

که می‌توان آن را به صورت:

$$V_۲ - V_۱ = nV_T \ln\frac{I_۲}{I_۱}$$

نوشت یا لگاریتم مبنای ده این رابطه برابر است با:

$$V_۲ - V_۱ = ۲/۳ nV_T \log\frac{I_۲}{I_۱} \qquad (۳-۵)$$

با توجه به این معادله بسادگی مشخص می‌شود که به ازای هر ده برابر شدن جریان افت ولتاژ دیود به اندازهٔ $۲/۳ nV_T$ تغییر می‌کند، که برای $n=۱$ این مقدار ۶۰ mV و برای $n = ۲$ این مقدار ۱۲۰ mV است. همچنین پیشنهاد می‌کنیم که مشخصهٔ $i - v$ یادشده را در کاغذ لگاریتمی رسم کنید. اگر از محور خطی عمودی برای v و از محور لگاریتمی افقی برای i استفاده کنید، یک خط راست با شیب $۲/۳ nV_T$ به ازای هر ده برابر شدن جریان خواهید داشت. نهایتاً باید ذکر کنیم که مقدار دقیق n مشخص نیست، (که می‌توان توسط یک آزمایش ساده آن را بدست آورد)، طراحان مدارها از تقریب مناسب ۰/۱ V/decade برای شیب مشخصهٔ لگاریتمی دیود استفاده می‌کنند.

با یک نگاه مختصر به مشخصهٔ $i - v$ در ناحیهٔ مستقیم (شکل ۸-۳) دیده می‌شود که برای ولتاژهای v کمتر از ۰/۵ V مقدار جریان قابل صرفنظر کردن است. به این مقدار معمولاً **ولتاژ آستانهٔ وصل** می‌گویند. باید در اینجا تأکید کنیم که آشکارشدن این مقدار آستانه در نتیجهٔ رابطهٔ نمایی است. یکی دیگر از نتایج این رابطه سرعت افزایش جریان i است. به هر حال برای کل بازهٔ هدایت دیود افت ولتاژ دیود در بازه‌ای کوچک، بین ۰/۶ تا ۰/۸ V قرار دارد. این ما را به یک **مدل** ساده برای دیود می‌رساند که بر اساس آن به هنگام هدایت یک افت ۰/۷ V روی آن قرار می‌گیرد. دیودهایی که دارای محدوده‌های جریان متفاوت هستند (یعنی دارای سطح موثر متفاوت و در نتیجه I_S متفاوت می‌باشند) در جریانهای متفاوتی دارای افت ۰/۷ V خواهند بود. به عنوان مثال، دیودهای سیگنال کوچک ممکن است در جریان $i = ۱$ mA دارای افت ۰/۷ V باشند، حال آنکه دیودهای با توان بالاتر ممکن است این افت ۰/۷V را در $i = ۱$ A داشته باشند. حال به تحلیل مدارهای دیودی می‌پردازیم و مدل دیود را در بخش ۳-۳ می‌بینیم.

مثال ۳-۳

گفته می‌شود که دیود سیلیکون ۱ mA، ولتاژ مستقیمی برابر ۰/۷ V در حد $i = ۱$ mA بروز می‌دهد. به ازای مقادیر $n = ۱$ یا $n = ۲$، ثابت طبقه‌بندی I_S را بدست آورید. برای یک دیود ۱ A با همین شیوهٔ ساخت که در ۰/۷ V، ۱ A جریان عبور می‌دهد این مقدار ثابت را بدست آورید.

حل:

چون: $i = I_S e^{v/nV_T}$

آنگاه $I_S = ie^{-v/nV_T}$

برای دیود ۱ mA:

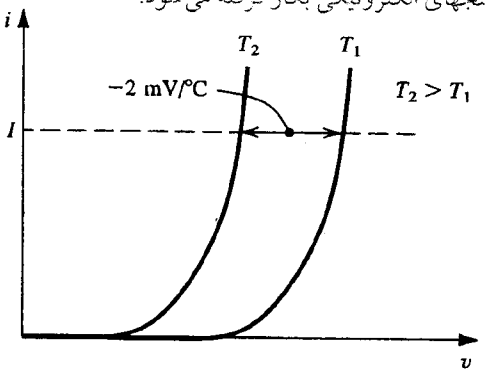
اگر $n=۱$: $I_S = ۱۰^{-۳} e^{-۷۰۰/۲۵} = ۶/۹ \times ۱۰^{-۱۶}$ A $\cong ۱۰^{-۱۵}$ A

اگر $n = ۲$: $I_S = ۱۰^{-۳} e^{-۷۰۰/۵۰} = ۸/۳ \times ۱۰^{-۱۰}$ A $\cong ۱۰^{-۹}$ A

دیودی که در ۰/۷ V، ۱ A عبور میدهد، معادل اتصال موازی ۱۰۰۰ دیود ۱ mA است که در کل دارای سطح موثری ۱۰۰۰ بار بزرگتر هستند. بنابراین I_S نیز ۱۰۰۰ مرتبه بزرگتر خواهد شد، و بترتیب ۱ pA و ۱ μA برای $n=۱$ و $n = ۲$ بدست خواهند آمد.

با توجه به این مثال دیده می‌شود که مقدار n بکاررفته بسیار مهم است.

از آنجا که I_S و V_T تابع دما هستند، مشخصهٔ $i-v$ مستقیم، همچنانکه در شکل ۹-۳ نشان داده شده با دما تغییر خواهد کرد. در یک جریان دیود ثابت، افت ولتاژ روی دیود به ازاء هر ۱ °C افزایش دما، ۲mv کاهش خواهد یافت. تغییر ولتاژ دیود با حرارت در طراحی دماسنجهای الکترونیکی بکار گرفته می‌شود.



شکل ۹-۳. تشریح وابستگی حرارتی مشخصه دیود در بایاس مستقیم. در یک جریان ثابت، ولتاژ افت کرده روی دیود تقریباً ۲ mv به ازای ۱ °C افزایش حرارت کاهش می‌یابد.

تمرینها

۳-۶ یک دیود سیلیکونی با $n = ۱/۵$ را در نظر بگیرید. تغییرات ولتاژ را به ازای تغییرات جریان از ۰/۱ mA تا ۱۰ mA بدست آورید.
جواب. ۱۷۲/۵ mV

۳-۷ یک دیود پیوند سیلیکون با $n = ۱$ دارای افت ولتاژ $v = ۰/۷$ V در $i = ۱$ mA است. افت ولتاژ در جریانهای $i = ۰/۱$ mA و $i = ۱۰$mA را تعیین کنید.
جواب. ۰/۶۴ V، ۰/۷۶ V

۳-۸ با توجه به اینکه برای یک دیود سیلیکون در دمای ۲۵°C، $I_S = ۱۰^{-۱۴}$A است و I_S به ازای هر درجه سانتیگراد افزایش حرارت با نسبت ۱۵ % افزایش می‌یابد، مقدار I_S را در ۱۲۵ °C بدست آورید.
جواب. $۱/۱۷ \times ۱۰^{-۸}$ A ❑

ناحیهٔ بایاس معکوس

هنگامی به ناحیهٔ کار معکوس وارد می‌شویم که ولتاژ v دیود منفی باشد. در معادلهٔ (۱-۳) اگر v منفی و خیلی بزرگتر از V_T (۲۵ mV) باشد، جملهٔ نمایی در مقایسه با واحد بسیار کوچک و قابل صرفنظرکردن خواهد شد و جریان دیود برابر است با:

$$i \cong -I_S$$

یعنی جریان در جهت معکوس مقداری ثابت و برابر I_S است. این دلیلی بر جملهٔ **جریان اشباع** است. دیودهای واقعی در حالت معکوس جریانی را عبور می‌دهند که، گرچه کوچک است، بسیار بزرگتر از I_S است. بعنوان مثال، دیود سیگنال کوچک یا دیود ۱ میلی‌آمپر که مقدار I_S آن در حدود $۱۰^{-۱۴}$ تا $۱۰^{-۱۵}$ A است، می‌تواند جریانی در حدود ۱ nA را عبور دهد. جریان معکوس دیود گاهگاهی با افزایش ولتاژ معکوس افزایش می‌یابد. توجه کنید که به علت کوچک‌بودن مقدار جریان، این مقادیر در مشخصهٔ i-v شکل ۸-۳ به نمایش درنیامده‌اند.

بخشی از جریان معکوس حاصل جریان نشتی است. این جریان نشتی شبیه I_S، متناسب با سطح پیوند است. نهایتاً، باید یادآوری کنیم که جریان معکوس بشدت تابع دماست، و از نظر عملی به ازای هر ۱۰ °C افزایش دما، این جریان دو برابر می‌شود.

ناحیهٔ شکست

سومین ناحیهٔ کار دیود به ناحیهٔ شکست موسوم است، که به راحتی در مشخصهٔ $i - v$ دیود در شکل (۸-۳) دیده می‌شود.

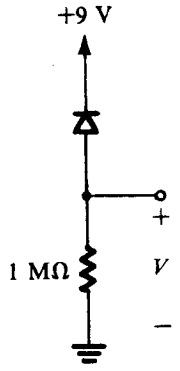
هنگامی به ناحیهٔ شکست وارد می‌شویم که مقدار ولتاژ معکوس از یک مقدار آستانه برای دیود بیشتر شود و به آن **ولتاژ شکست** می‌گویند. این ولتاژ در خم منحنی $i - v$ شکل (۸-۳) قرار دارد و با V_{ZK} مشخص می‌شود، که زیرنویس Z نمایندهٔ زنر است (که بزودی تشریح می‌شود) و K نمایانگر خم منحنی است.

همچنانکه در شکل (۸-۳) دیده می‌شود، در ناحیهٔ شکست جریان معکوس با افزایش اندک ولتاژ معکوس به سرعت افزایش می‌یابد. شکست دیود به طور معمول تحت کنترل نیست. بنابراین برای محدودکردن توان تلف‌شدهٔ دیود باید از یک مدار خارجی تا رسیدن به حد مجاز استفاده کرد. این مقدار اطمینان را معمولاً در کتابهای اطلاعات (*data book*) میتوان بدست آورد. بنابراین بهتر است که جریان معکوس در ناحیهٔ شکست را به یک مقدار قابل قبول توان تلف‌شده محدود کرد.

این حقیقت که مشخصهٔ $i-v$ در ناحیه شکست خطی تقریباً عمودی است، می‌توان از آن در تثبیت‌کنندهٔ ولتاژ استفاده کرد. این مبحث را در بخش ۶-۳ بررسی خواهیم کرد.

تمرین

۳-۹ دیود مدار شکل (۹-۳ ت) یک قطعه با جریان بالاست که جریان نشتی معکوس آن مستقل از ولتاژ است. اگر در قطعه ۲۰ °C مقدار $V = ۱$ V باشد، مقدار V را در ۴۰ °C و ۰ °C تعیین کنید.
جواب. ۴ V، ۰/۲۵ V



شکل (۹-۳ ت)

❑

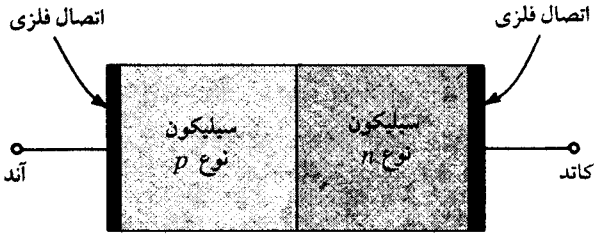
۳-۳. کار فیزیکی دیود - اصول اساسی نیمه‌هادی

با دانستن مشخصهٔ پایانه‌های دیود پیوندی، به بررسی روشی که ما را به این مشخصات می‌رساند، می‌پردازیم. گرچه در بحث زیر از نقطه نظر کیفی به این مسئله توجه می‌کنیم، با اینحال، این قسمت می‌تواند زمینهٔ مناسبی در طراحی دیودها و مدارات نیمه‌هادی ایجاد کند.

۳-۳-۱. مفاهیم بنیادی نیمه هادی

پیوند pn. دیود نیمه‌هادی اساساً یک پیوند pn است که در شکل ۱۰-۳ نمایش داده شده است. همچنانکه دیده می‌شود، پیوند pn شامل نیمه‌هادی نوع p است (مثل سیلیکون) که در تماس نزدیک با نیمه‌هادی نوع n (سیلیکون) قرار گرفته است. در عمل هر دو ناحیهٔ p و n جزئی از یک قطعه سیلیکون هستند. یعنی پیوند pn روی یک کریستال سیلیکون توسط تغییر ناخالصی ایجاد می‌شود.

ضمیمهٔ الف شامل توصیف کاملی از چرخهٔ تولید پیوند pn است.



شکل ۱۰-۳. یک مدار دیودی ساده

همچنانکه در شکل ۱۰-۳ دیده می‌شود، اتصالات خارجی به نواحی p و n (که پایه‌های دیود هستند) توسط یک فلز (مثل آلومینیوم) برقرار می‌شود.

علاوه بر خاصیت دیودی، پیوند pn پایه و اساس ترانزیستورهای اثر میدان (FETs) و ترانزیستورهای دو قطبی (BJTs) می‌باشد. بنابراین درک عمل فیزیکی پیوند pn، برای فهمیدن طرز کار و مشخصهٔ پایه‌های دیودها و ترانزیستورها، لازم می‌باشد.

سیلیکون خالص . اگرچه می‌توان از سیلیکون یا ژرمانیوم در ساختن عناصر نیمه‌هادی استفاده کرد - در گذشته دیودها و ترانزیستورها از ژرمانیوم ساخته می‌شدند - تکنولوژی مدارات مجتمع امروزه بر پایهٔ استفاده از سیلیکون است. به همین دلیل در این کتاب توضیحات لازم را در مورد عناصر سیلیکونی ارائه می‌دهیم.

یک کریستال خالص سیلیکون دارای ساختار شبکه‌ای می‌باشد که در آن اتمها توسط نیرویی در محل خود قرار گرفته‌اند و به آن **پیوند اشتراکی** (کئووالانت) می‌گویند که توسط اشتراک ۴ الکترون هر اتم سیلیکون ایجاد می‌شود. در دماهای بحد کافی پایین همهٔ پیوندهای اشتراکی برقرار هستند و **الکترون آزاد** که بتواند جریان الکتریکی را عبور دهد وجود ندارد (یا خیلی کم است). بهرحال در دمای اتاق بعضی از پیوندها در اثر یونیزاسیون حرارتی شکسته شده و تعدادی الکترون آزاد می‌شود. هنگامی که پیوند اشتراکی شکسته می‌شود الکترون اتم خود را ترک می‌کند، بنابراین بار مثبتی، برابر با مقدار بار الکترون، روی اتم اصلی باقی می‌ماند. یک الکترون از اتم همسایه ممکن است جذب این بار مثبت شود و اتم خود را ترک کند. این عمل سبب پرشدن حفره‌های موجود در اتم یونیزه می‌شود ولی سبب ایجاد یک حفره در اتم دیگر می‌گردد. این پدیده می‌تواند تکرار شود و در نتیجه ما دارای حاملهای بار مثبت، یا حفره، خواهیم بود که درون کریستال سیلیکون حرکت می‌کنند و قادر به هدایت جریان الکتریکی هستند. مقدار بار یک حفره برابر مقدار بار یک الکترون است.

یونیزاسیون حرارتی سبب می‌شود که تعداد الکترونها و حفره‌های تولیدشده مساوی باشند و تراکم مساوی داشته باشیم. الکترونهای آزاد و حفره‌ها می‌توانند به صورت اتفاقی در کریستال سیلیکون حرکت کنند و در طی این عمل بعضی از الکترونها برخی از حفره‌ها را پر نمایند. این عمل را، **بازترکیب** می‌گویند و حاصل آن از بین رفتن الکترونها و حفره‌های آزاد است. میزان باز ترکیب بستگی به تعداد الکترونها و حفره‌های آزاد دارد، که توسط درجهٔ یونیزاسیون مشخص می‌شوند. درجهٔ یونیزاسیون به شدت تابع دماست. در حالت تعادل حرارتی میزان باز ترکیب برابر میزان تولید یا یونیزاسیون حرارت است و بدینوسیله می‌توان تراکم الکترونهای آزاد n را که برابر تراکم حفره‌ها، p، است، بدست آورد:

$$n = p = n_i$$

که n_i نمایانگر تراکم الکترونها یا حفره‌های آزاد در سیلیکون خالص و در یک دمای معین است.

با مطالعه فیزیک نیمه‌هادیها آشکار می‌شود که در دمای مطلق T (بر حسب کلوین)، تمرکز ذاتی n_i (یعنی تعداد الکترونها و حفره‌ها در سانتیمتر مکعب) از رابطه زیر بدست می‌آید:

$$n_i^2 = BT^3 e^{-E_G/kT} \qquad (۳-۶)$$

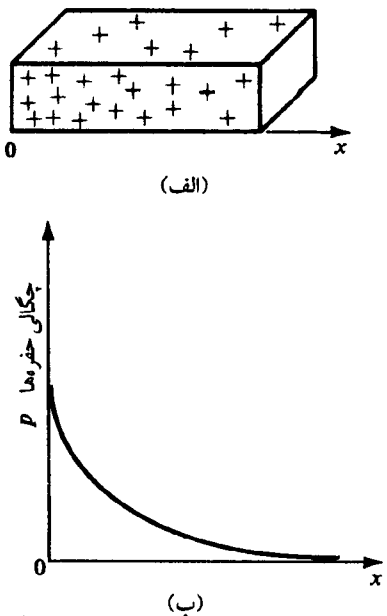
که در آن B پارامتر وابسته به ماده = $5/4\times10^{31}$ برای سیلیکون، E_G پارامتری موسوم به انرژی شکاف باند = ۱/۱۲ الکترون ولت (eV) برای سیلیکون، و k ثابت بولتزمن = $8/62\times10^{-5}$eV/k است. اگر چه در اینجا از انرژی شکاف باند سخنی نمی‌گوییم اما جالب است توجه کنید که E_G کمترین انرژی مورد نیاز برای شکستن یک باند کووالانت است و بنابراین یک جفت الکترون حفره ایجاد می‌کند. از جایگزینی مقدار پارامترها در معادله (۶-۳)، برای سیلیکون در دمای اتاق (T=۳۰۰K)، $n_i=1/5\times10^{10}$ بدست می‌آید. برای جای دادن این عدد در نمودار، توجه کنید که کریستال سیلیکون دارای 5×10^{22} اتم در سانتی‌متر مربع باشد. به این ترتیب در دمای اتاق، فقط یک اتم از هر بیلیون اتم یونیزه می‌شود.

نهایتاً، باید توضیح دهیم که دلیل **نیمه‌هادی** خواندن سیلیکون این است که هدایت آن، که توسط تعداد حاملهای باری که قادر به هدایت جریان الکتریکی هستند تعریف می‌شود، بین هدایت هادیها (مثل فلزات) و هدایت عایقها (مثل شیشه) می‌باشد.

رانش و انتشار . دو شیوه برای حرکت الکترونها و حفره‌ها درون کریستال سیلیکون وجود دارد - **رانش و انتشار.** انتشار در رابطه با حرکت اتفاقی در اثر عدم تعادل حرارتی مطرح می‌شود. در یک قطعه سیلیکون با تراکم یکنواخت الکترون و حفره‌های آزاد این حرکات اتفاقی سبب حرکت بارها نمی‌شود (یعنی جریان نداریم). از طرف دیگر، اگر به روشی تراکم الکترونهای آزاد در یک قسمت از سیلیکون را بیشتر از نقاط دیگر متراکم کنیم، در این صورت الکترونها از ناحیهٔ با تراکم بالا به ناحیهٔ با تراکم پایین منتشر خواهند شد. این عمل انتشار بار، سبب برقراری جریان انتشار خواهد شد. به عنوان مثال به تیغهٔ سیلیکونی نشان داده شده در شکل (الف ۱۱-۳) توجه کنید، که تراکم حفره‌های آن را در شکل (ب ۱۱-۳) می‌بینید و محور x در آن یک مکانیزم نامشخص تولید حفره است. وجود اینچنین نمودار تراکمی سبب انتشار جریان حفره‌ها در جهت محور xها می‌شود، و دامنهٔ جریان در هر نقطه متناسب با شیب منحنی تراکم یا گرادیان تراکم در آن نقطه است. یعنی

$$J_p = -qD_p\frac{dp}{dx} \qquad (۳-۷)$$

که در آن J_p شدت جریان (جریان در واحد سطح صفحه عمود بر محور x) بر حسب A/cm۲، و q اندازه بار الکتریکی = $1/6\times10^{19}$C، و D_p ثابتی موسوم به ثابت انتشار یا نشر حفره‌ها است. توجه کنید که شیب (dp/dx)



شکل ۱۱-۳. یک قطعه سیلیکین خالص (الف) مقطع طولی تجمع حفره‌ها (ب) که روی محور x با یک فرآیند نامعین تولید شده‌اند.

منفی است، در نتیجه جریانی مثبت در محور x چنانکه پیش‌بینی می‌شد، بدست می‌آید.

در حالتی که انتشار الکترون از شیب تمرکز یک الکترون بدست می‌آید، رابطه مشابهی بدست می‌آید و چگالی جریان الکترون از رابطه زیر بدست می‌آید

$$J_n = qD_n \frac{dn}{dx} \qquad (۳-۸)$$

که در آن D_n انتشار الکترونها است. ملاحظه می‌کنید که dn/dx منفی، موجب جریان منفی می‌شود، زیرا جهت مثبت جریان برآمده از شارش بار مثبت (و مخالف با آن در اثر شارش بار منفی) است. مقادیر ثابت انتشار برای حفره‌ها و الکترونهای سیلیکون خالص عبارت است از:

$D_p = ۱۲\text{cm}^۲/\text{s}$ و $D_n = ۳۴\text{cm}^۲/\text{s}$.

مکانیزم دیگر برای حرکت حاملها در یک نیمه‌هادی، رانش است. رانش حاملها در یک نیمه‌هادی هنگامی ظاهر می‌شود که میدانی از خارج بر آن قطعه نیمه‌هادی اعمال شود. الکترون و حفره‌های آزاد توسط میدان الکتریکی شتاب می‌گیرند و دارای یک مؤلفهٔ سرعت می‌گردند (که با سرعت حرکت حرارتی آنها جمع می‌شود) که به آن **سرعت رانش** می‌گویند. اگر میدان الکتریکی E (بر حسب V/cm) باشد. حفره‌های بار مثبت در مسیر E رانش خواهد داشت و سرعتی (v_{drift}) خواهد داشت که از رابطه زیر بدست می‌آید:

$$v_{drift} = \mu_p E \qquad (۳-۹)$$

که در آن μ_p ثابتی موسوم به جابجایی حفره‌ها است و واحد آن $\text{cm}^۲/\text{Vs}$ می‌باشد. در سیلیکون خالص، μ_p معمولاً $۴۸۰\text{cm}^۲/\text{Vs}$ است. بارهای با بار منفی در مسیری مخالف با میدان الکتریکی رانده خواهد شد، و سرعت آنها از معادله‌ای مشابه معادله (۹-۳) بدست می‌آید با این تفاوت که μ_p به جای μ_n قرار می‌گیرد. در سیلیکون خالص μ_n بطور معمول $۱۳۵۰\text{cm}^۲/\text{Vs}$ و حدود ۲/۵ برابر بزرگتر از جابجایی حفره‌ها است.

اکنون یک کریستال سیلیکونی در نظر بگیرید که دارای غلظت حفره‌ای p و غلظت الکترون آزاد n در میدان الکتریکی E باشد. حفره‌ها در همان مسیر E (موسوم به مسیر x) با سرعت $\mu_p E$ رانش خواهند یافت. به این ترتیب، یک بار مثبت با چگالی qp (کولمب/$\text{cm}^۳$) خواهیم داشت که با سرعت $\mu_p E$ (cm/s) در مسیر x حرکت می‌کند. به این معنی که در ۱ ثانیه بار $qp\mu_p EA$ (کولمب) از صفحه‌ای با سطح ($\text{cm}^۲\text{A}$) عمود بر محور x خواهد گذشت. این مولفه جریان بر اثر رانش حفره بوجود می‌آید. از تقسیم بر سطح A غلظت جریان بدست می‌آید:

$$J_{p-drift} = qp\,\mu_p E \qquad (\text{الف } ۱۰-۳)$$

الکترونهای آزاد در مسیری مخالف E رانش خواهند یافت. از اینرو باری خواهیم داشت با غلظت (9n−) که در مسیر x منفی حرکت می‌کند، و در نتیجه دارای سرعت منفی ($-\mu_n E$) می‌باشد. در نتیجه یک مولفهٔ جریان مثبت بدست می‌آید که غلظت آن از رابطه زیر بدست می‌آید:

$$J_{n-drift} = qn\mu_p E \qquad (\text{ب } ۱۰-۳)$$

غلظت کل جریان رانش از تلفیق معادله‌های (الف ۱۰-۳) و (ب ۱۰-۳) بدست می‌آید:

$$J_{drift} = q(p\mu_p + n\mu_n)E \qquad (\text{پ } ۱۰-۳)$$

توجه داشته باشید که یکی از شکلهای نمایش قانونی اهم با **مقاومت** ρ (بر حسب Ω) از رابطه زیر بدست می‌آید

$$\rho = ۱/[q(p\mu_p + n\mu_n) \qquad (۳-۱۱)$$

در پایان، لازم به یادآوری است که یک رابطه ساده، موسوم به رابطه اینشتین، بین انتشار حامل و جابجایی آنها وجود دارد:

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = V_T \qquad (۳-۱۲)$$

که در آن V_T ولتاژ حرارتی است که پیش از این در رابطه i-v دیود با آن سروکار داشتیم معادله ۱-۳ را ملاحظه کنید). بیاد داشته باشید که در دمای اتاق $V_T \approx ۲۵\text{mV}$ است. خواننده به سهولت می‌تواند با جایگزینی مقادیر داده شده برای سیلیکون خالص، معتبر بودن معادله (۱۲-۳) را بیازماید.

نیمه‌هادی ناخالص‌شده

کریستال سیلیکون خالص که در بالا شرح آن رفت دارای تراکم الکترون و حفرهٔ یکسان در اثر یونیزاسیون حرارتی است. این تراکم، n_i، به شدت وابسته به دماست. نیمه‌هادیهای ناخالص‌شده موادی هستند که در آنها یکی از حاملها دارای اکثریت است (الکترون یا حفره). سیلیکون ناخالص شده را که در آن حاملهای اکثریت الکترونهای با بار منفی هستند، **نوع n** می‌گویند، در حالی که سیلیکون ناخالص شده را که در آن حاملهای اکثریت حفره‌های بار مثبت هستند **نوع p** می‌نامند.

ناخالص‌کردن کریستال سیلیکون و تبدیل آن به نوع p یا نوع n توسط افزودن تعدادی اتم به آن انجام می‌شود. به عنوان مثال، افزودن اتمهایی از گروه پنج (جدول تناوبی) مثل فسفر سبب تولید سیلیکون نوع n می‌شود زیرا اتمهای فسفر که جایگزین بعضی از اتمهای سیلیکون در شبکهٔ

کریستال می‌شوند، دارای پنج الکترون ظرفیت هستند که چهار الکترون از آنها با اتمهای سیلیکون همسایه تشکیل پیوند می‌دهند و پنجمین الکترون به عنوان یک الکترون آزاد باقی می‌ماند. بنابراین هر اتم فسفر یک الکترون آزاد به کریستال سیلیکون خواهد افزود و به این فسفر، **ناخالصی‌دهنده** می‌گویند. باید در اینجا متذکر شویم که تحت این عمل هیچ حفره‌ای تولید نخواهد شد. در حالی که حاملهای بار اکثریت در فسفر افزوده شده به سیلیکون، الکترون خواهند بود. در حقیقت اگر تراکم اتمهای ناخالصی‌دهنده (فسفر) برابر N_D باشد، در تعادل حرارتی تراکم الکترونهای آزاد در سیلیکون نوع n، $n_{n\circ}$، برابر:

$$n_{n\circ} \cong N_D \qquad (۳-۱۳)$$

که اندیس صفر نمایانگر تعادل حرارتی است. از فیزیک نیمه‌هادی‌ها، چنین برمی‌آید که در تعادل حرارتی، حاصلضرب تراکم حفره و الکترون ثابت است یعنی

$$n_{n\circ}p_{n\circ} = n_i^۲ \qquad (۳-۱۴)$$

در این سیلیکون نوع n تراکم حفره‌ها، $p_{n\circ}$، که توسط یونیزاسیون حرارتی تولید شده‌اند برابر است با

$$p_{n\circ} \cong \frac{n_i^۲}{N_D} \qquad (۳-۱۵)$$

از آنجا که n_i تابع دماست، این رابطه نشان می‌دهد که تراکم حفره‌های اقلیت نیز تابعی از دماست، در حالی که الکترونهای اکثریت مستقل از دما می‌باشند.

برای تولید نیمه‌هادی نوع p، سیلیکون باید با یک عنصر از گروه سوم (جدول تناوبی) ناخالص شود (مثل بور). هریک از اتمهای ناخالصی بور یک الکترون از کریستال سیلیکون می‌گیرد، و بنابراین تشکیل یک پیوند کئووالانت در شبکه خواهد داد. در نتیجه هر اتم بور یک حفره تولید می‌کند و تراکم حفره‌های اکثریت در سیلیکون نوع p، در حال تعادل حرارتی، تقریباً برابر تراکم ناخالصی گیرنده (بور) N_A خواهد بود،

$$p_{p\circ} \cong N_A \qquad (۳-۱۶)$$

در این سیلیکون نوع p تراکم الکترونهای اقلیت، که در اثر یونیزاسیون حرارتی تولید شده‌اند، برابر خواهد بود با:

$$n_{p\circ} \cong \frac{n_i^۲}{N_A} \qquad (۳-۱۷)$$

باید یادآوری شود که یک قطعه سیلیکون نوع n یا نوع p از نظر الکتریکی خنثی است. حاملهای اکثریت آزاد (الکترون در سیلیکون نوع n و حفره در سیلیکون نوع p) توسط بارهای اتمهای ناخالصی خنثی می‌شوند.

تمرینها

۳-۱۰ چگالی حاملهای ذاتی n_i را در ۲۵۰k، ۳۰۰k، و ۳۵۰k بدست آورید.

جواب. $۴/۱۸\times۱۰^{۱۱}/cm^۳$ ؛ $۱/۵\times۱۰^{۱۰}/cm^۳$ ؛ $۱/۵\times۱۰^{۱۸}/cm^۳$

۳-۱۱ یک سیلیکون نوع n در نظر بگیرید که تراکم ناخالصی آن N_D برابر با $۱۰^{۱۷}/cm^۳$ باشد چگالی حفره و الکترون را در ۲۵۰k، ۳۰۰k، و ۳۵۰k بدست آورید. می‌توانید از نتایج تمرین ۳-۱۰ استفاده کنید.

جواب. $۱۰^{۱۷}$ ، $۲/۲۵\times۱۰^{-۱}$ ، $۲/۲۵\times۱۰^{۳}$ ، $۱۰^{۱۷}$ ، $۱۷/۵\times۱۰^{۶}$ (همه در $cm^۳$)

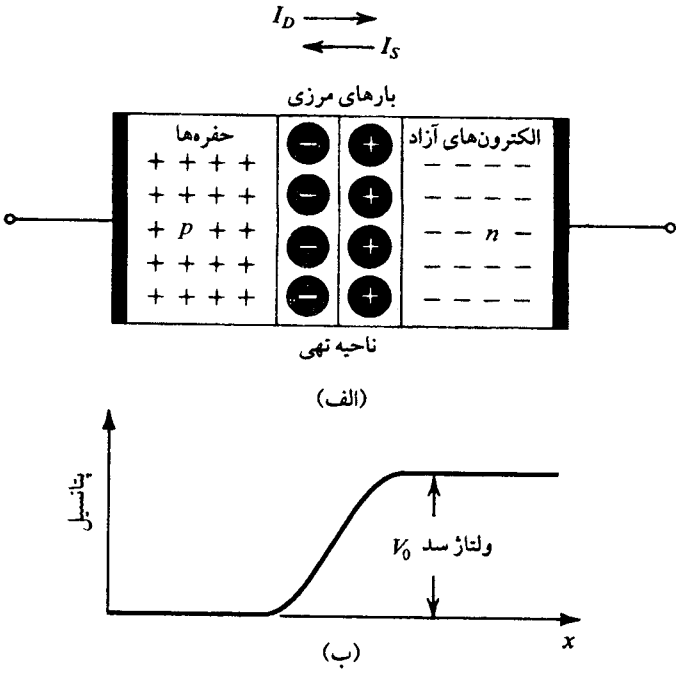
۳-۱۲ مقاومت (الف) سیلیکون طبیعی، و سیلیکون نوع p را با $N_A = ۱۰^{۱۶}/cm^۳$ بدست آورید. از $n_i = ۱/۵\times۱۰^{۱۰}/cm^۳$ استفاده کنید و فرض کنید که در سیلیکون طبیعی $\mu_n = ۱۳۵۰ cm^۲/Vs$ و $\mu_p = ۴۸۰ cm^۲/Vs$ باشد و در سیلیکون ناخالص $\mu_n = ۱۱۱۰ cm^۲/Vs$ و $\mu_p = ۴۰۰ cm^۲/Vs$ باشد. (توجه کنید که ناخالصی تحرک حاملها را کاهش می‌دهد.)

جواب. (الف) $۲/۲۸\times۱۰^{۵}\Omega cm$ ؛ $۱/۵۶\Omega cm$ ❑

۳-۳-۲ پیوند pn تحت شرایط مدار باز

شکل ۳-۱۲ یک پیوند pn را تحت شرایط مدار باز نشان می‌دهد - یعنی پایانه‌های خروجی باز هستند. علامت "+" در ماده نوع p نشانگر حفره‌های اکثریت است. بار این حفره‌ها توسط یک مقدار مساوی بار منفی اتمهای گیرنده خنثی می‌شود. برای راحتی، این بارهای مرزی در شکل نشان داده نشده است. اگرچه نشان داده نشده، ولی الکترونهای اقلیت در مادهٔ نوع p در اثر یونیزاسیون حرارتی بوجود آمده‌اند. در مادهٔ نوع n الکترونهای اکثریت توسط علامت "−" مشخص شده‌اند. در اینجا نیز بارهای مثبت مرزی، که الکترونهای اکثریت را خنثی می‌کنند، برای **ساده** کردن شکل رسم نشده‌اند. مادهٔ نوع n همچنین شامل حفره‌های اقلیت تولید شده در اثر یونیزاسیون حرارتی است که در شکل دیده نمی‌شوند.

جریان انتشار I_D. به علت بالابودن تراکم حفره‌ها در ناحیهٔ p و پایین‌بودن آن در ناحیهٔ n، حفره‌ها در طول پیوند از ناحیهٔ p به ناحیهٔ n منتشر می‌شوند. به طریق مشابه، الکترونها نیز در طول پیوند از ناحیهٔ n به



شکل ۳-۱۲. (الف) پیوند pn بدون اعمال ولتاژ (پایانه‌های مدار باز) (ب) توزیع پتانسیل روی محور عمودی نسبت به پیوند رسم شده است.

ناحیهٔ p منتشر می‌شوند. این دو مؤلفه جریان با هم جمع می‌شوند تا جریان‌انتشار I_D را بسازند، که جهت آن از ناحیهٔ p به ناحیهٔ n است، همچنانکه در شکل ۱۲-۳ دیده می‌شود.

ناحیهٔ تخلیه . حفره‌های منتشرشده در طول پیوند که به طرف ناحیهٔ n می‌روند به سرعت با الکترونهای اکثریت باز ترکیب و خنثی می‌شوند. این عمل بازترکیب سبب حذف‌شدن تعدادی از الکترونهای آزاد موجود در مادهٔ نوع n می‌شود. بنابراین تعدادی از بارهای مثبت مرز، دیگر توسط الکترونهای آزاد خنثی نخواهند شد، و گفته می‌شود که این بارها **آشکار** شده‌اند از آنجایی که باز ترکیب در نزدیکی پیوند صورت می‌گیرد، ناحیه‌ای در نزدیکی پیوند وجود خواهد داشت که خالی از الکترون آزاد است و شامل بارهای مثبت مرزی آشکار است، مانند آنچه در شکل ۱۲-۳ دیده می‌شود.

الکترونهای منتشرشده در طول پیوند در ناحیهٔ p به سرعت با تعدادی از حفره‌های اکثریت که در آن ناحیه وجود داشته بازترکیب می‌شوند و ناپدید می‌گردند. حاصل این عمل حذف مقداری از حفره‌های اکثریت است و بار منفی در مرز آشکار می‌شود. (یعنی دیگر توسط حفره‌ها خنثی نمی‌شوند.) بنابراین در مادهٔ نوع p و در نزدیکی پیوند ناحیه‌ای خالی از حفره و شامل بارهای منفی مرزی ایجاد می‌شود، مانند شکل ۱۲-۳.

از قسمت بالا درمی‌یابیم که ناحیهٔ تخلیه از حاملها در هر دو طرف پیوند وجود خواهد داشت، که طرف n این ناحیه باردار مثبت و طرف p باردار منفی شده است. ناحیه تخلیه شده از حاملها - یا بطور اختصار **ناحیه تخلیه** - را **ناحیهٔ خالی از بار** نیز می‌گویند. بارهای دوطرف ناحیهٔ تخلیه سبب ایجاد یک میدان الکتریکی در ناحیهٔ پیوند می‌شود. در حالی که یک اختلاف پتانسیل در نتیجهٔ این میدان روی ناحیهٔ تخلیه می‌افتد، که طرف n در آن دارای ولتاژ مثبت نسبت به طرف p است، مانند شکل (ب ۱۲-۳). بنابراین میدان الکتریکی حاصل سبب انتشار حفره‌ها به ناحیهٔ n و الکترونها به ناحیهٔ p می‌شود. در حقیقت، افت ولتاژ روی ناحیهٔ تخلیه به صورت یک **مانع** عمل می‌کند که بر حفره‌ها در انتشار به ناحیهٔ n و الکترونها در انتشار به ناحیهٔ p غلبه دارد. هرچه ولتاژ سد بیشتر باشد، تعداد کمتری از حاملها قادر به غلبه بر پتانسیل سد بوده و در نتیجه مقدار جریان انتشار کمتری خواهیم داشت. بنابراین جریان انتشار I_D به شدت به افت ولتاژ $V_\circ$ روی ناحیهٔ تخلیه بستگی خواهد داشت.

جریان رانش I_S و تعادل . علاوه بر مؤلفهٔ جریان I_D که حاصل انتشار حاملهای اکثریت است، یک مؤلفهٔ دیگر که حاصل رانش مؤلفه‌های اقلیت است نیز در پیوند وجود دارد. بخصوص، بعضی از حفره‌هایی که بوسیله حرارت در مادهٔ نوع n تولید شده‌اند، از طریق ماده n به گوشه‌های ناحیهٔ تخلیه منتشر می‌شوند. در آنجا این حفره‌ها تحت اثر میدان الکتریکی قرار گرفته و توسط آن به طرف ناحیهٔ p جاروب می‌شوند. به همین طریق، بعضی از الکترونهای اقلیت تولیدشده در اثر دما، در مادهٔ p به گوشه‌های ناحیهٔ تخلیه منتشر می‌شوند و توسط میدان الکتریکی روی ناحیهٔ خنثی به طرف n جاروب می‌گردند. این دو مؤلفهٔ جریان - رانش الکترونها از p به n و رانش حفره‌ها از n به p - با هم جمع می‌شوند تا جریان رانش I_S را بسازند، که جهت آن از طرف n به طرف p است، همچنانکه در شکل ۱۲-۳ آمده است. از آنجا که جریان I_S توسط حاملهای اقلیت تولید حرارتی منتقل می‌شود، مقدار آن به شدت تابع دماست. بهرحال، مقدار این جریان مستقل از ولتاژ ناحیهٔ تخلیه $V_\circ$ است.

تحت شرایط مدار باز (شکل ۱۲-۳) جریان خارجی وجود ندارد، بنابراین دو جریان مخالف عبورکننده از پیوند باید مقدار مساوی داشته باشند:

$$I_D = I_S$$

این شرط تعادل توسط ولتاژ سد پتانسیل $V_\circ$ حمایت می‌شود. اگر به دلیلی I_D بزرگتر از I_S شود، آنگاه مقدار بار مرزی بیشتری در دو طرف پیوند آشکار می‌گردد، ناحیهٔ تخلیه گسترش خواهد یافت و ولتاژ روی آن ($V_\circ$) افزایش خواهدداشت. تا هنگامی که تعادل با رابطهٔ $I_D = I_S$ برقرار است، در اثر این پدیده I_D کاهش می‌یابد. از طرف دیگر، اگر I_S بزرگتر از I_D شود، میزان بار آشکارشده کاهش خواهدیافت. ناحیهٔ تخلیه باریک می‌شود و ولتاژ روی آن کاهش می‌یابد. تا هنگامی که تعادل با رابطهٔ $I_D=I_S$ برقرار است، در اثر این عمل، I_D افزایش خواهد یافت.

ولتاژ ذاتی پایه‌ها . بدون اعمال ولتاژ خارجی، ولتاژ V_o در دو سر پیوند pn از رابطه زیر بدست می‌آید:

$$V_\circ = V_T \ln\left(\frac{N_A N_D}{n_i^2}\right) \qquad (۳-۱۸)$$

که در آن N_A و N_D به ترتیب تمرکز ناخالصی سمت p و سمت n پیوند می‌باشند. بنابراین V_o به تمرکز ناخالصی و دما هر دو بستگی دارد. این ولتاژ به ولتاژ ذاتی پیوند موسوم است. معمولاً برای سیلیکون در دمای اتاق، V_o بین ۰/۱ تا ۰/۸V است.

هنگامی که پایه‌های پیوند pn به صورت مدار باز قرار گیرند ولتاژ اندازه‌گیری شده روی آنها برابر صفر خواهد بود. یعنی ولتاژ $V_\circ$ روی ناحیهٔ تخلیه بین پایه‌های دیود ظاهر نخواهد شد. علت این پدیده وجود ولتاژ تماس پیوندهای فلز -نیمه‌هادی در پایه‌های دیود است، که فقط ولتاژ سد پتانسیل را تعدیل می‌کند. اگر این حالت برقرار نباشد، قادریم که از پیوند pn ایزوله شده انرژی بگیریم، که اصل ایستایی انرژی را زیرپا می‌گذارد.

پهنای ناحیهٔ تخلیه . از توضیحات فوق مشخص می‌شود که ناحیهٔ تخلیه در هر دو مادهٔ n و p وجود دارد و مقدار بار مساوی در هر دو طرف موجود می‌باشد. بهرحال، از آنجا که میزان ناخالصی در مواد p و n یکسان نیست، نتیجه می‌شود که پهنای ناحیه تخلیه در هر دو طرف یکسان نخواهد بود. در عوض، برای ظاهرشدن همان مقدار بار، ناحیه تخلیه بیشتر در مادهٔ با ناخالصیِ کمتر فرو می‌رود. در عمل کمتر بودن میزان ناخالصی یک طرف از طرف دیگر امری عادی است، که نتیجه می‌دهد غالباً ناحیه تخلیه در یکی از دو ماده نیمه‌هادی قرار دارد.

بطور خاص، اگر پهنای ناحیه تخلیه در سمت p به وسیله x_p و در سمت n با x_n مشخص شود، این تساوی بار به صورت زیر بیان می‌گردد.

$$q x_p A N_A = q x_n A N_D$$

که در آن A سطح مقطع پیوند است. این معادله را به صورت زیر می‌توان بازنویسی کرد:

$$\frac{x_n}{x_p} = \frac{N_A}{N_D} \qquad (۳-۱۹)$$

در عمل، معمول است که یک سمت پیوند دارای ناخالصی زیادی نسبت به دیگری داشته باشد. با این نتیجه که ناحیه تهی تقریباً به طور کامل در یک سمت (سمت با ناخالصی کمتر) وجود دارد. سرانجام، پهنای ناحیه تهی یک پیوند مدار باز از رابطه زیر به دست می‌آید:

$$W_{dep} = x_n + x_p = \sqrt{\frac{۲\varepsilon_s}{q}\left(\frac{۱}{N_A} + \frac{۱}{N_D}\right)V_\circ} \qquad (۳-۲۰)$$

که در آن ε_s نفوذپذیری الکتریکی سیلیکون و برابر با $۱۱/۷\varepsilon_\circ = ۱/۰۴\times۱۰^{-۱۲}$F/cm می‌باشد. به طور نمونه، W_{dep} در محدوده ۰/۱ تا ۱μm می‌باشد.

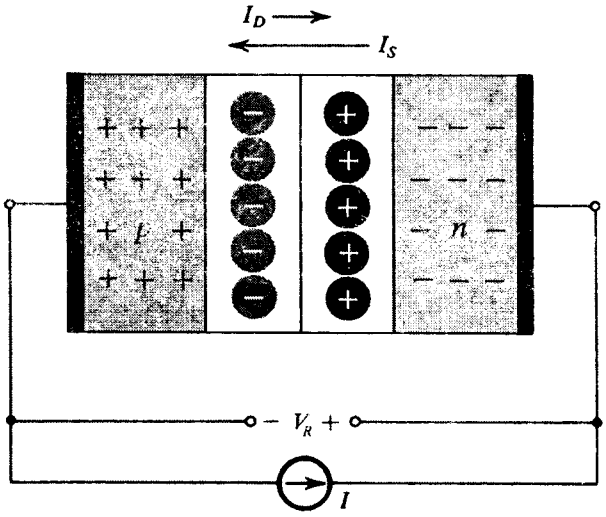
تمرین

در یک پیوند pn با $N_A = ۱۰^{۷}/\text{cm}^۳$ و $N_D = ۱۰^{۱۶}/\text{cm}^۳$، در دمای $T = ۳۰۰\text{K}$ ولتاژ ذاتی پیوند را، پهنای ناحیه تهی را، و طولی را که در سمت p و سمت n پیوند گسترش پیدا می‌کند، بدست آورید؟ از $n_i = ۱/۵\times۱۰^{۱۰}/\text{cm}^۳$ استفاده کنید.

جواب. ۷۲۸mV؛ ۰/۳۲μm؛ ۰/۰۳μm و ۰/۲۹μm ❑

۳-۳-۳ پیوند pn تحت شرایط بایاس معکوس

رفتار پیوند pn در شرایط معکوس، در صورتی که در حدود میکروسکپی کار کنیم و پیوند را توسط یک منبع جریان ثابت تحریک کنیم (بجای یک منبع ولتاژ) بسیار ساده توضیح داده می‌شود، همچنانکه در شکل ۱۳-۳ آمده است. منبع جریان I دارای جهت معکوس است. برای



شکل ۱۳-۳. پیوند pn که با جریان ثابت در جهت معکوس تحریک شده است. برای پرهیز از شکست، I از I_S کوچکتر نگهداشته می‌شود. توجه کنید که لایه تهی با V_R که بین پایه‌ها به عنوان ولتاژ معکوس ظاهر می‌شود، عریض می‌شود و ولتاژ سد افزایش می‌یابد.

وقتی که مقدار I را کمتر از I_S قرار دهیم، اگر I بزرگتر از I_S شود، شکست رخ خواهد داد، مانند آنچه در بخش ۱۱-۳ دیدیم.

جریان I توسط الکترونهایی که در مدار خارجی از مادهٔ n به مادهٔ p می‌روند برقرار می‌شود (یعنی در جهت خلاف جریان I). این عمل سبب می‌شود که الکترونها مادهٔ n و حفرها مادهٔ p را ترک کنند. خروج الکترونهای آزاد از مادهٔ n سبب افزایش ظهور بار مثبت مرزی می‌شود. به همین صورت، با خروج حفره‌ها از مادهٔ p ظهور بار منفی مرزی بیشتر می‌شود. بنابراین جریان معکوس I سبب افزایش پهناو بار ذخیره شده در ناحیهٔ تخلیه می‌شود. در نتیجه ولتاژ روی ناحیهٔ تخلیه بزرگتر می‌شود- یعنی ولتاژ سد پتانسیل $V_\circ$ بزرگتر می‌شود - که سبب کاهش جریان انتشار I_D می‌گردد. جریان رانش I_S، که مستقل از ولتاژ سد پتانسیل است، ثابت باقی خواهد ماند. نهایتاً هنگامی به حال تعادل می‌رسیم که:

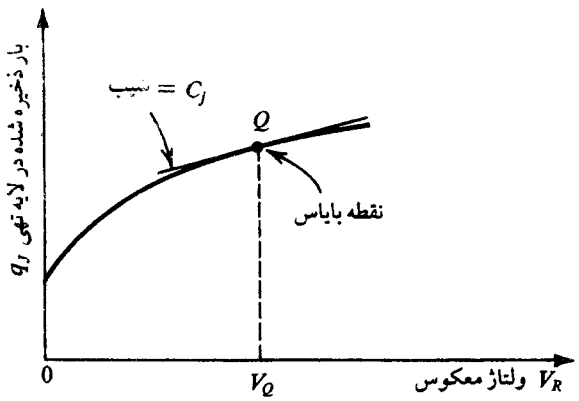
$$I_S - I_D = I$$

در حالت تعادل، افزایش ولتاژ ناحیهٔ تخلیه بعنوان ظهور یک ولتاژ خارجی روی پایه‌های دیود، که در آن n نسبت به p مثبت است، مطرح می‌شود.

حال می‌توانیم تحریک پیوند pn را با اعمال یک ولتاژ معکوس V، که V کمتر از ولتاژ شکست V_{ZK} است، درنظر بگیریم. هنگامی که ولتاژ V برای اولین بار اعمال می‌شود، یک جریان معکوس در مدار خارجی از p به n برقرار می‌شود. این جریان سبب افزایش پهنا و بار ناحیهٔ تخلیه می‌شود. در ضمن ولتاژ روی ناحیهٔ تخلیه در اثر دامنهٔ ولتاژ خارجی V افزایش خواهد یافت، و در این حالت زمانی به حال تعادل می‌رسیم که جریان معکوس خارجی I برابر $(I_S - I_D)$ باشد. بهرحال توجه کنید که در ابتدا جریان خارجی می‌تواند بسیار بزرگتر از I_S باشد. هدف این حالت گذرا شارژ کردن ناحیهٔ تخلیه و افزایش مقدار ولتاژ روی آن به اندازه V است.

ظرفیت تخلیه. از روابط بالا به شباهت بین ناحیه تخلیه و پیوند pn و یک خازن پی می‌بریم. با تغییر ولتاژ دو سر پیوند pn، بار ذخیره شده در ناحیه تهی نیز به تناسب تغییر می‌کند. نمودار شکل (۱۴-۳) مشخصه بار در مقابل ولتاژ خارجی یک پیوند pn را نشان می‌دهد. توجه کنید که فقط جزئی از منحنی برای ناحیه معکوس نشان داده شده است.

با تعیین بار ذخیره هر سمت پیوند (که البته برابر هستند). می‌توان رابطه‌ای



شکل ۱۴-۳. بار ذخیره شده در هر طرف لایه تهی به مثابه تابعی از ولتاژ معکوس V_R

برای لایه تهی ذخیره کننده بار q_J بدست آورد. با استفاده از سمت n می‌نویسیم:

$$q_J = q_N = qN_D x_n A$$

که در آن A سطح مقطع پیوند (در سطحی عمود بر صفحه) است. سپس از معادله (۱۹-۳) برای بیان x_n بر حسب عرض لایه تهی W_{dep} استفاده می‌کنیم و رابطه زیر را بدست می‌آوریم:

$$q_J = q\frac{N_A N_D}{N_A + N_D} A W_{dep} \qquad (۳-۲۱)$$

که در آن W_{dep} از معادله (۲۰-۳) با جایگزینی $V_\circ$ با مجموع ولتاژ دو سر ناحیه تهی $(V_\circ + V_R)$، بدست می‌آید:

$$W_{dep} = \sqrt{\left(\frac{2\varepsilon_s}{q}\right)\left(\frac{1}{N_A} + \frac{1}{N_D}\right)(V_\circ + V_R)} \qquad (۳-۲۲)$$

تلفیق معادله‌های (۲۱-۳) و (۲۲-۳) رابطه‌ای برای معادله غیر خطی $q_J - V_R$ بدست می‌دهد که در شکل (۱۴-۳) ترسیم شده است. این رابطه بطور مسلم یک خازن خطی ارائه نمی‌کند. اگر چه، وقتی قطعه بایاس می‌شود نوسان و سیگنال حول نقطه بایاس کوچک است، مطابق شکل ۱۴-۳، از تقریب ظرفیت خطی می‌توان استفاده کرد. این روشی است که از آن در بخش ۴-۱ برای بدست آوردن تقویت‌کنندگی خطی از یک تقویت‌کننده با مشخصه غیرخطی بهره گرفتیم. در این تقریب سیگنال کوچک، ظرفیت تخلیه (که ظرفیت پیوند نیز نامیده می‌شود) به طور خلاصه عبارت است از: شیب منحنی $q_J - V_R$ در نقطه بایاس Q

$$C_j = \left.\frac{dq_J}{dV_R}\right|_{V_R = V_Q} \qquad (۳-۲۳)$$

به آسانی می‌توانیم مشتق بگیریم و C_j را حساب کنیم از طرفی، لایه تهی را می‌توان به مثابه صفحات موازی خازن در نظر گرفت و رابطه یکسانی برای C_j با استفاده از این فرمول آشنا بدست آورد:

$$C_j = \frac{\varepsilon_s A}{W_{dep}} \qquad (۳-۲۴)$$

که در آن W_{dep} در معادله (۲۲-۳) داده شده است. رابطه بدست آمده برای C_j به شکل ساده زیر بدست می‌آید:

$$C_j = \frac{C_{j\circ}}{\sqrt{1 + \frac{V_R}{V_\circ}}} \qquad (۳-۲۵)$$

که در آن C_{jo} مقدار C_j بدست آمده به ازای اعمال ولتاژ صفر است:

$$C_{jo} = \sqrt{\left(\frac{\varepsilon_s q}{2}\right)\left(\frac{N_A N_D}{N_A + N_D}\right)\left(\frac{1}{V_\circ}\right)} \qquad (۳-۲۶)$$

تحلیل بالا و عبارت بدست آمده برای C_j در پیوندهایی بکار می‌رود که تمرکز حامل در مرز پیوند ناگهانی تغییر می‌کند. یک فرمول کلی‌تر برای C_j عبارت است از:

$$C_j = \frac{C_{j\circ}}{\left(1 + \frac{V_R}{V_\circ}\right)^m} \qquad (۳-۲۷)$$

که در آن m ثابتی است که مقدارش به نحوه تغییر تمرکز از سمت p به n بستگی دارد. این مقدار که بین ۱/۳ تا ۱/۲ تغییر می‌کند، **ضریب شیب** نامیده می‌شود.

به طور کلی، هنگامی که یک ولتاژ بایاس معکوس به یک پیوند pn اعمال شود، در طی زمان گذر، ظرفیت تخلیه با مقدار ولتاژ بایاس جدید شارژ می‌شود. پس از گذشت این زمان، جریان معکوس حالت دائمی برابر $I_S - I_D$ خواهد بود. معمولاً هنگامی که دیود در بایاس معکوس و جریان معکوس نیز تقریباً برابر I_S است، I_D بسیار کوچک است. بهرحال این یک مدل تئوری است که خیلی هم خوب نیست. در عمل، جریانهایی به بزرگی چند نانوآمپر (10^{-9} A) در جهت معکوس، در قطعه‌هایی برقرار می‌شوند که برای آنها I_S از درجهٔ 10^{-15} A است. این اختلاف زیاد در اثر نشت و پدیده‌های دیگر است. بعلاوه، جریان معکوس وابسته به بزرگی دامنهٔ ولتاژ معکوس است، که مطابق مدل تئوری نتیجه می‌دهد $I \cong I_S$ مستقل از میزان ولتاژ معکوس اعمال شده است. در غیر اینصورت، به علت کاربرد جریان خیلی کم، ممکن است شما علاقمند به جزئیات مشخصهٔ دیود در جهت معکوس نباشید.

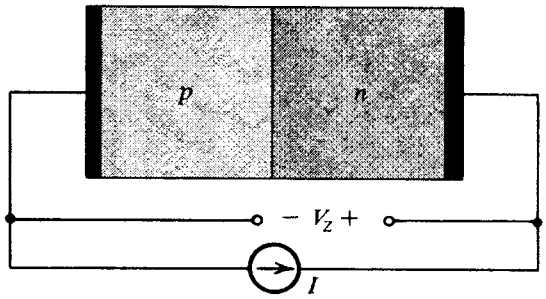
تمرین

۳-۱۴ در یک پیوند pn با $N_A = 10^{17}/\text{cm}^3$ و $N_D = 10^{16}/\text{cm}^3$، که در $T = 300$ K کار می‌کند، بدست آورید (الف) مقدار C_{jo} در واحد سطح پیوند (μm^2 در اینجا واحد مناسبی است)، و (ب) ظرفیت C_j را در ۲V ولتاژ بایاس معکوس با فرض آنکه سطح پیوند $2500\mu\text{m}^2$ باشد. از $n_i = 1.5\times10^{10}/\text{cm}^3$، $m = 1/2$، و مقدار بدست آمده در تمرین ۳-۱۳ ($V_o = 0.728$V) استفاده کنید.

جواب. (الف) $0.32 fF/\mu\text{m}^2$؛ (ب) 0.41pF ❑

۳-۳-۴ پیوند pn در ناحیهٔ شکست

بادرنظر گرفتن نحوهٔ کار دیود در ناحیهٔ معکوس، فرض می‌شود که منبع جریان معکوس I (شکل ۱۳-۳) کمتر از I_S، یا ولتاژ معکوس V کوچکتر از ولتاژ شکست V_{ZK} است. به شکل ۸-۳ برای تعریف V_{zk} مراجعه کنید. حال می‌خواهیم مکانیزم شکست در پیوند pn را درنظر گرفته و علت عمودی بودن مشخصهٔ $i - v$ در ناحیهٔ شکست را توضیح دهیم-به همین دلیل، اجازه دهید پیوند pn را توسط یک منبع جریان، که سبب برقراری یک جریان معکوس و ثابت I بزرگتر از I_S می‌شود، تحریک کنیم، مانند شکل (۱۵-۳). این منبع جریان حفره‌ها را از مادهٔ p و از طریق مدار خارجی به مادهٔ n منتقل کرده و الکترونها را از مادهٔ n و از طریق مدار خارجی به مادهٔ p می‌رساند. این عمل سبب می‌شود که تعداد بیشتری بارهای مرزی آشکار شود، در ضمن ناحیهٔ تخلیه پهن و ولتاژ سد پتانسیل بالا می‌رود. آخرین اثر باعث کاهش جریان انتشار می‌شود، حتی آن راتقریباً به صفر می‌رساند. از آنجایی که I بزرگتر از I_S است، برای رسیدن به حالت دائمی کافی نیست. در این صورت عمل گسترش ناحیهٔ تخلیه تا زمانی که به یک ولتاژ پیوند بزرگ برسیم ادامه خواهد داشت. در این نقطه یک مکانیزم جدید برای تأمین حاملهای بار موردنیاز جریان I به کار گرفته



شکل ۱۵-۳ . پیوند pn با منبع جریان معکوس I تحریک شده است که در آن $I>I_s$ است. پیوند می‌شکند و ولتاژ V_Z با پلاریته نشان داده شده در دو سر پیوند ظاهر می‌شود.

می‌شود. همچنانکه خواهیم دید، این مکانیزم تأمین جریان معکوس در ازدیاد I_S می‌تواند به یکی از دو صورت موجود باشد که بستگی به ماده پیوند pn ساختار و سایر عوامل دارد.

دو مکانیزم شکست موجود، شکست **اثر زنر و اثر بهمنی** می‌باشند. اگر پیوند pn در $V_Z < 5\ V$ بشکند، مکانیزم شکست از اثر زنر پیروی می‌کند. شکست بهمنی هنگامی که V_Z بزرگتر از $7\ V$ باشد رخ می‌دهد. برای پیوندهایی که بین ولتاژهای ۵ و $7\ V$ می‌شکنند، مکانیزم شکست می‌تواند زنر یا بهمنی و یا ترکیبی از این دو مکانیزم باشد.

شکست زنر هنگامی رخ می‌دهد که میدان الکتریکی در ناحیهٔ تخلیه به حدی بزرگ شود که بتواند پیوندهای اشتراکی را شکسته و زوج الکترون - حفره تولید کند. الکترونهای تولیدشده در این روش توسط میدان الکتریکی به طرف n جاروب می‌شوند و حفره‌ها به طرف p منتقل می‌گردند. بنابراین، الکترونها و حفره‌های مزبور جریان معکوسی در طول پیوند برقرار می‌سازند که به تحمل جریان خارجی I از طرف پیوند کمک می‌کند. هنگامی که اثر زنر شروع می‌شود، مقدار زیادی حامل، با افزایش اندکی در ولتاژ پیوند، می‌تواند تولید شود. بنابراین جریانِ معکوس در ناحیهٔ شکست توسط مدار خارجی تعیین می‌شود، در ضمن اینکه ولتاژ معکوس روی پایه‌های دیود بسیار نزدیک به میزان ولتاژ شکست V_Z است.

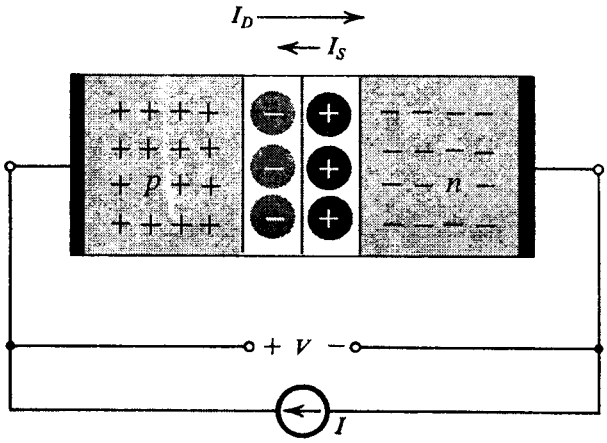
مکانیزم دیگر شکست بهمنی است، و هنگامی رخ می‌دهد که حاملهای اقلیت تحت اثر میدان الکتریکی در ناحیهٔ تخلیه به اندازهٔ کافی انرژی جنبشی برای برخورد به اتمها و شکستن پیوندهای اشتراکی داشته باشند. حاملهای آزادشده تحت این روش ممکن است به اندازهٔ کافی انرژی برای برخورد به سایر اتمها و آزادکردن حاملهای دیگر را داشته باشند (یونیزاسیون برخوردی). این عمل در روش بهمنی، سبب می‌شود که تعداد زیادی حامل بار تولید شوند و قابلیت حمل هر مقدار جریان معکوس، که توسط مدار خارجی و با تغییر اندکی در افت ولتاژ روی پیوند مشخص میشود، را دارا باشند.

همچنانکه قبلاً گفته شد، شکست در پیوند pn یک عمل تخریبی نیست که سبب بیشترشدن حداکثر توان تلف شده توسط پیوند شود. حداکثر میزان توان تلف‌شده، برای جریان معکوس حدی را تعیین می‌کند.

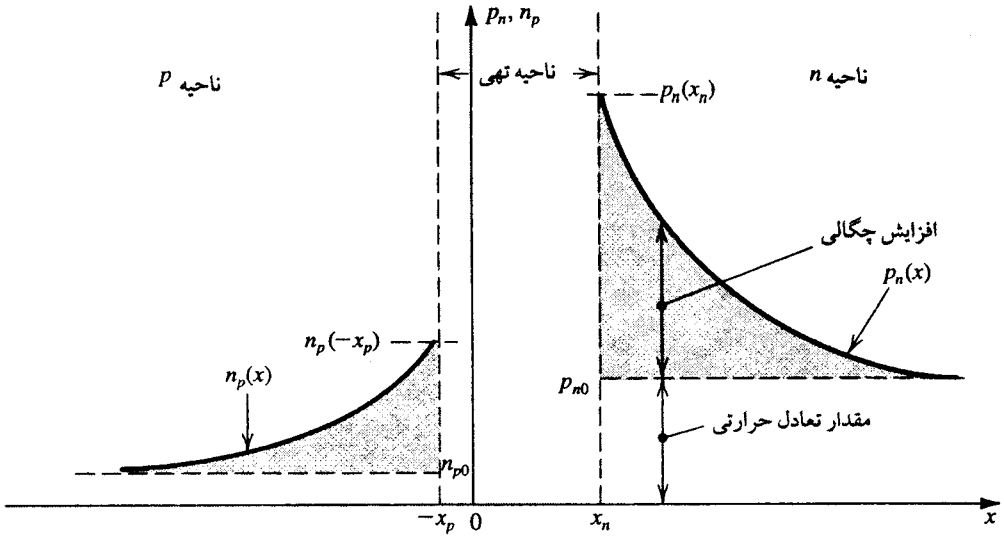
۵-۳-۳ پیوند pn تحت شرایط بایاس مستقیم

حال کار پیوند pn را تحت شرایط بایاس مستقیم درنظر می‌گیریم. مجدداً برای ساده‌شدن توضیحات پیوند را با یک منبع جریان ثابت I در جهت مستقیم، همچنانکه در شکل ۱۶-۳ آمده است، تحریک می‌کنیم. الکترونهایی که جریان I را درمدار خارجی از ماده p به مادهٔ n منتقل می‌کنند سبب می‌شوند که حفره از ناحیهٔ n و الکترون از ناحیهٔ p برداشته شود. این عمل سبب ازدیاد حاملهای اکثریت در هر دو طرف پیوند توسط مدار خارجی می‌شود: حفره در مادهٔ p و الکترون در مادهٔ n. این حاملهای اکثریت تعدادی از بارهای مرزی خنثی‌نشده را خنثی می‌کند، و سبب کم‌شدن بار ذخیره شده در ناحیهٔ تخلیه می‌شوند. بنابراین ناحیهٔ تخلیه باریک می‌شود و ولتاژ سد پتانسیل ناحیهٔ تخلیه کاهش می‌یابد. کاهش ولتاژ سد پتانسیل باعث می‌شود که حفره‌های بیشتری از سد عبور کرده و از مادهٔ p به مادهٔ n و همچنین الکترونهای بیشتری از طرف n به طرف p منتقل شوند. بنابراین تا هنگامی که به حالت تعادل $I_D-I_S=I$ برسیم، جریان انتشار I_D افزایش خواهد یافت.

حال بیایید عبور جریان از پیوند pn بایاس مستقیم را در حالت دائمی بررسی کنیم. ولتاژ سد پتانسیل در این حالت به اندازهٔ ولتاژ مستقیم روی پایانه‌های دیود V، از ولتاژ $V_\circ$ کوچکتر است (یعنی، آنود نسبت به کاتود به اندازه V ولت مثبت‌تر است). در اثر کاهش ولتاژ سد پتانسیل و یا به علت افت ولتاژ مستقیم V، حفره‌ها از طریق پیوند به ناحیه n و الکترونها به ناحیهٔ p **تزریق** می‌شوند. حفره‌های تزریق‌شده به ناحیه p سبب می‌شوند که تراکم حاملهای اقلیت، p_n، بیشتر از مقدار تعادل حرارتی، $p_{n\circ}$، شود. مقدار افزایش تراکم $p_n-p_{n\circ}$ در گوشه‌های ناحیهٔ تخلیه بیشتر خواهد بود و بطور نمایی در اثر حرکت در پیوند کاهش می‌یابد، تا به صفر برسد. شکل ۱۷-۳ توزیع چنین حاملهای اقلیتی را نشان می‌دهد. در حالت دائمی تراکم حاملهای اقلیت افزوده شده مقدار ثابتی باقی می‌ماند، و در واقع چنین توزیعی سبب افزایش جریان I_D بیش از مقدار I_S می‌شود. علت این امر



شکل ۱۶-۳. تحریک پیوند pn با منبع جریان ثابت که جریان I را در جهت مستقیم تغذیه می‌کند. لایه تخلیه باریک شده، ولتاژ سد V ولت کاهش می‌یابد که بعنوان ولتاژ خارجی در جهت مستقیم ظاهر می‌شود.



شکل ۱۷-۳. توزیع حاملهای اقلیت در پیوند pn با بایاس مستقیم. فرض آن است که ناحیه p از ناحیه n ناخالص‌تر است؛ $N_A \gg N_D$

همانگونه که در توزیع نشان داده شده است، آن است که حفره‌های اقلیت تزریق شده از پیوند به ناحیهٔ n منتشر شده و در آنجا در اثر بازترکیب حذف شوند.

برای ماندن در حالت تعادل، تعداد مساوی الکترون باید از طریق مدار خارجی تهیه شود، تا مادهٔ n کاملاً پر از الکترون شود. چنین گفتاری را در مورد الکترونهای اقلیت در ماده p نیز می‌توان بکار برد. البته جریان انتشار I_D برابر مجموع مؤلفه‌های جریان حفره و الکترونهاست.

رابطه جریان- ولتاژ . اکنون نشان می‌دهیم که چگونه رابطه i-v دیود از معادله (۱-۳) بدست می‌آید. با در نظر گرفتن مطالب قبل، ملاحظه می‌کنیم که مولفه جریان در اثر حفره‌های تزریقی به ناحیه n در طول پیوند بوجود می‌آید. یک نتیجه مهم از فیزیک نیمه‌هادیها آن است که تمرکز حاملهای اقلیت در لبه ناحیه تهی، که با $p_n(x_n)$ نشان داده می‌شود، با ولتاژ مستقیم V رابطه دارد به این ترتیب :

$$p_n(x_n) = p_{n\circ} e^{V/V_T} \qquad (۳-۲۸)$$

این رابطه به **قانون پیوند** موسوم است. اثبات آن در کتب فیزیک نیمه هادیها یافت می‌شود.

توزیع افزونی تمرکز حفره در ناحیه n که در شکل ۱۷-۳ نشان داده شده است، یک تابع نمایی رو به زوال از فاصله است و به صورت زیر بیان می‌گردد:

$$p_n(x) = p_{n\circ} + [p_n(x_n) - p_{n\circ}]e^{-(x-x_n)/L_p} \qquad (۳-۲۹)$$

که در آن L_p ثابتی است که شیب زوال تابع نمایی را نشان می‌دهد. به آن **طول انتشار** حفره‌ها در سیلیکون نوع n گفته می‌شود. هر چه مقدار L_p کوچکتر باشد، حفره‌های تزریق شده با سرعت بیشتری با الکترونهای اکثریت ترکیب می‌شوند، و زوال تندتر تمرکز حامل اقلیت پدید می‌آید. در واقع، L_p به شاخصه دیگر نیمه‌هادی موسوم به **طول عمر حامل‌های اقلیت اضافی** یا τ_p نیز ربط پیدا می‌کند. این مدت زمان متوسط تزریق یک حفره به داخل ناحیه n و ترکیب آن با یک الکترون اکثریت است. رابطه چنین است :

$$L_p = \sqrt{D_p \tau_p} \qquad (۳-۳۰)$$

که در آن همانگونه که گفته شد، D_p ثابت انتشار حفره‌ها در سیلیکون نوع n است. برای نمونه مقادیر L_p بین ۱ تا ۱۰۰μm ، و مقادیر متناظر τ_p بین ۱ تا ۱۰۰۰۰ns می‌باشد.

انتشار حفره‌ها در ناحیه n سبب جریان حفره می‌شود که چگالی آن با استفاده از معادله‌های (۷-۳) و (۲۹-۳) با $p_n(x_n)$ بدست آمده از معادله (۲۸-۳) به شرح زیر قابل ارزیابی است :

$$J_p = q\frac{D_p}{L_p} p_{n\circ} (e^{V/V_T} - ۱)e^{-(x-x_n)/L_p}$$

ملاحظه می‌کنید که وسعت J_p در لبه ناحیه تهی $(x = x_n)$ بیشترین است و بطور نمایی با فاصله رو به زوال می‌رود. البته، زوال به دلیل تلفیق دوباره با الکترونهای اکثریت است. در حالت پایدار، حاملهای اکثریت به اجبار دوباره پر می‌شوند، و به همین دلیل الکترونها باید از مدار خارجی به ناحیه n با سرعتی وارد شود که جریان در $x = x_n$ ثابت بماند. به این ترتیب چگالی حاصل از تزریق حفره از رابطه زیر بدست می‌آید.

$$J_p = q\frac{D_p}{L_p} p_{n\circ}(e^{V/V_T} - ۱) \qquad (۳-۳۱)$$

تحلیل مشابهی برای الکترونهایی که در طول پیوند به ناحیه p تزریق می‌شوند، مولفه جریان - الکترون یا J_n را بدست می‌دهند.

$$J_n = q\frac{D_n}{L_n} n_{p\circ}(e^{V/V_T} - ۱) \qquad (۳-۳۲)$$

که در آن L_n طول انتشار الکترونها در ناحیه p است. چون J_p و J_n در مسیر یکسانی واقعند، آنها می‌توانند با هم جمع شوند و در A، سطح مقطع پیوند ضرب شوند تا جریان I کل به این صورت بدست آید:

$$I = A\left(\frac{qD_p p_{n\circ}}{L_p} + \frac{q_n D_n n_{p\circ}}{L_n}\right)(e^{V/V_T} - ۱)$$

از جایگزینی $p_{n\circ} = n_i^۲/N_D$ و $n_{p\circ} = n_i^۲/N_A$ ، I به صورت زیر می‌توان بیان کرد

$$I = Aqn_i^۲\left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A}\right)(e^{V/V_T} - ۱) \qquad (۳-۳۳)$$

این رابطه را به عنوان معادله دیود می‌شناسیم که در آن جریان I_s از رابطه زیر بدست می‌آید

$$I_S = Aqn_i^2\left(\frac{D_p}{L_pN_D} + \frac{D_n}{L_nN_A}\right) \qquad (۳-۳۴)$$

ملاحظه می‌کنید که، همچنانکه انتظار می‌رفت، I_s با سطح پیوند A نسبت مستقیم دارد. بعلاوه I_s با n_i^2 تناسب دارد، که یک تابع قوی از دما است (معادله ۶-۳). همچنین توجه کنید که معادله نمایی در معادله (۳۳-۳) ثابت n را در برنمی‌گیرد؛ n یک شاخصه ثابت است که برای محاسبه اثرات غیرخطی در آن گنجانده شده است.

ظرفیت انتشار. از شرح عملکرد پیوند np در ناحیه پیشرو (مستقیم)، دریافتیم که در حالت پایدار مقدار معینی از حاملهای اقلیت اضافی در هر یک از نواحی p و n انباشته شده‌اند. اگر پایانه‌های منبع ولتاژ تغییر کند، مقدار بار به اجبار تغییر می‌کند پیش از آنکه یک حالت پایدار بوجود آید. این پدیده ذخیره بار، اثر خازنی دیگری ایجاد می‌کند که با ذخیره بار در ناحیه تهی اساساً متفاوت است.

برای محاسبه بار ذخیره شده حامل‌های اقلیت اضافی به شکل (۱۷-۳) رجوع کنید. بار حفره‌های اضافی ذخیره شده در ناحیه n از ناحیه سایه در زیر تابع نمایی بدست می‌آید به صورت زیر:

$$Q_p = Aq\times p_n(x_n) \quad \text{ناحیه سایه در زیر نمایی}$$
$$= Aq\times[p_n(x_n) - p_{n\circ}]L_p$$

از جایگزینی برای $p_n(x_n)$ از معادله (۲۸-۳) و استفاده از معادله (۳۱-۳) قادر خواهیم بود Q_p را به صورت زیر بیان کنیم:

$$Q_p = \frac{L_p^2}{D_p} I_p$$

که در آن $I_p = AJ_p$ مولفه جریان حفره در طول پیوند است. اکنون با استفاده از معادله (۳۰-۳)، می‌توانیم برای $L_p^2/D_p = \tau_p$ طول عمر حفره را جایگزین کرده بدست آوریم:

$$Q_p = \tau_p I_p \qquad (۳-۳۵)$$

این رابطه جالب گویای آن است که بار حفره اضافی ذخیره شده هم با مولفه حفره‌ای جریان و هم با عمر حفره‌ها متناسب است. برای بار الکترون ذخیره شده در ناحیه p نیز می‌توان رابطه مشابهی به شرح زیر بدست آورد:

$$Q_n = \tau_n I_n \qquad (۳-۳۶)$$

که در آن τ_n طول عمر الکترون در ناحیه p است. کل بار حاملهای اقلیت اضافی از جمع Q_p و Q_n بدست می‌آید:

$$Q = \tau_p I_p + \tau_n I_n \qquad (۳-۳۷)$$

این بار را می‌توان بر حسب جریان دیود $I = I_p + I_n$ بیان کرد.

$$Q = \tau_T I \qquad (۳-۳۸)$$

که در آن T_T **زمان گذر میانگین دیود** نامیده می‌شود. بطور مسلم τ_T به τ_p و τ_n مرتبط است. بعلاوه در بیشتر قطعات واقعی یک طرف پیوند ناخالصی بیشتری نسبت به طرف دیگر دارد. بطور مثال اگر $N_A >> N_B$ باشد، می‌توان نشان داد که $I \approx I_p$، $I_p >> I_n$، $Q_p >> Q_n$، $Q \approx Q_p$ و بنابراین $\tau \approx \tau_p$ است. این وضعیت در تمرین ۱۵-۳ نشان داده شده است.

برای تغییرات کوچک حول نقطه بایاس، می‌توان ظرفیت انتشار سیگنال کوچک، c_d، را به صورت زیر تعیین کرد:

$$c_d = \frac{dQ}{dV}$$

و می‌توان نشان داد که

$$C_d = \left(\frac{\tau_T}{V_T}\right)I \qquad (۳-۳۹)$$

که در آن I جریان دیود در نقطه بایاس است. توجه کنید که c_d نسبت مستقیم با جریان دیود I دارد و بنابراین بسیار ناچیز است وقتی دیود بایاس معکوس می‌شود. همچنین دقت کنید که برای کوچک بودن C_d، زمان گذر τ_T باید کوچک باشد، نکته مهمی که برای دیودها در سرعت زیاد و فرکانس بالا لازم است.

تمرین

۱۵-۳ یک دیود دارای $N_A = 10^{17}/cm^3$، $N_D = 10^{16}/cm^3$، $n_i = 1.5\times10^{10}/cm^3$، $L_p = 5\mu m$، $L_n = 10\mu m$، $A = 2500\mu m^2$، $D_p = 10 cm^2/Vs$ (در ناحیه n)، و $D_n = 1.8 cm^2/Vs$ (در ناحیه p)، است. دیود بایاس مستقیم شده است و جریان $I = 0.1mA$ را هدایت می‌کند. محاسبه کنید: (الف) I_s (ب) ولتاژ بایاس مستقیم V؛ (پ) مؤلفه جریان I ناشی از تزریق حفره و ناشی از تزریق الکترون در طول پیوند؛ (ت) τ_p و τ_n؛ (ث) Q_p بار حفره اضافی در ناحیه n، و Q_n بار الکترون اضافی در ناحیه p، و Q کل بار اقلیت ذخیره شده، و τ_T زمان گذر، (ج) خازن انتشار

جواب. (الف) $2\times10^{-15}A$؛ (ب) $0.616V$؛ (پ) $91.7\mu A$، $8.3\mu A$؛ (ت) $25ns$، $55.6ns$؛ (ث) $2.29pc$، $0.46pc$، $2.27pc$. ❑

ظرفیت پیوند. لایه تهی یا ظرفیت پیوند را در شرایط بایاس مستقیم از جایگزینی V_R با $-V$ در معادله (۲۷-۳) می‌توان بدست آورد. البته، دقت این رابطه در ناحیه بایاس مستقیم نسبتاً کم است. به عنوان یک راه حل دیگر، طراحان مدار از قانون ساده زیر می‌توانند استفاده کنند:

$$C_j = 2C_{j\circ} \qquad (۳-۴۰)$$

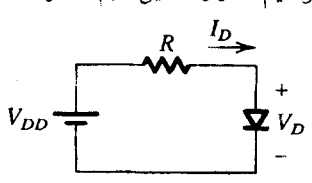
۶-۳-۳ خلاصه

برای مراجعه آسان، جدول ۱-۳ فهرستی از روابط مهم عملکرد پیوند pn را ارائه می‌کند.

۴-۳ تحلیل‌های مدارهای دیودی

در این بخش روشهای تحلیل مدارهای دیودی را مطالعه می‌کنیم. بر مدارهایی که در آن دیود در هدایت مستقیم است تأکید می‌کنیم. نحوهٔ کار در ناحیهٔ شکست را در بخش ۶-۳ درنظر خواهیم گرفت.

مدار نشان داده شده در شکل ۱۸-۳ را که شامل منبع dc، V_{DD}، مقاومت R و دیود است، درنظر بگیرید. می‌خواهیم مدار را تحلیل کنیم تا جریان I_D و ولتاژ V_D را تعیین کنیم.



شکل ۱۸-۳. مدار دیودی ساده

جدول ۱-۳. خلاصه معادلات مهم رفتار پیوند pn

کمیت	رابطه	مقادیر ثابت‌ها و پارامترها (در Si طبیعی در $T = 300\,\mathrm{K}$)
تمرکز حامل‌ها در سیلیکون طبیعی ($/\mathrm{cm}^3$)	$n_i^2 = BT^3 e^{-E_G/kT}$	$B = 5.4 \times 10^{31}/(\mathrm{K}^3\ \mathrm{cm}^6)$ $E_G = 1.12\ \mathrm{eV}$ $k = 8.62 \times 10^{-5}\ \mathrm{eV/K}$ $n_i = 1.5 \times 10^{10}/\mathrm{cm}^3$
چگالی جریان انتشار ($\mathrm{A/cm}^2$)	$J_p = -qD_p \dfrac{dp}{dx}$ $J_n = qD_n \dfrac{dn}{dx}$	$q = 1.60 \times 10^{-19}$ Coulomb $D_p = 12\ \mathrm{cm}^2/\mathrm{s}$ $D_n = 34\ \mathrm{cm}^2/\mathrm{s}$
چگالی جریان رانش ($\mathrm{A/cm}^2$)	$J_{drift} = q(p\mu_p + n\mu_n)E$	$\mu_p = 480\ \mathrm{cm}^2/\mathrm{Vs}$ $\mu_n = 1350\ \mathrm{cm}^2/\mathrm{Vs}$
مقاومت (Ω cm)	$\rho = 1/[q(p\mu_p + n\mu_n)]$	μ_p و μ_n با افزایش تراکم ناخالصی کاهش می‌یابند
رابطه بین نفوذپذیری و تحرک	$\dfrac{D_n}{\mu_n} = \dfrac{D_p}{\mu_p} = V_T$	$V_T = kT/q$ $\simeq 25\ \mathrm{mV}$
تمرکز حامل‌ها در سیلیکون نوع n ($/\mathrm{cm}^3$)	$n_{n0} \simeq N_D$ $p_{n0} = n_i^2/N_D$	
تمرکز حامل‌ها در سیلیکون نوع p ($/\mathrm{cm}^3$)	$p_{p0} \simeq N_A$ $n_{p0} = n_i^2/N_A$	
ولتاژ ذاتی پیوند (V)	$V_0 = V_T \ln\left(\dfrac{N_A N_D}{n_i^2}\right)$	
عرض ناحیه تهی (cm)	$\dfrac{x_n}{x_p} = \dfrac{N_A}{N_D}$ $W_{dep} = x_n + x_p$ $= \sqrt{\dfrac{2\varepsilon_s}{q}\left(\dfrac{1}{N_A} + \dfrac{1}{N_D}\right)(V_0 + V_R)}$	$\varepsilon_s = 11.7\,\varepsilon_0$ $\varepsilon_0 = 8.85 \times 10^{-14}\ \mathrm{F/cm}$
بار ذخیره شده در ناحیه تهی (کولمب)	$q_J = q\dfrac{N_A N_D}{N_A + N_D} A W_{dep}$	
ظرفیت تهی (F)	$C_j = \dfrac{\varepsilon_s A}{W_{dep}}$, $C_{j0} = \dfrac{\varepsilon_s A}{W_{dep}\big\vert_{V_R=0}}$ $C_j = C_{j0} \Big/ \left(1 + \dfrac{V_R}{V_0}\right)^m$ $C_j \simeq 2C_{j0}$ (for forward bias)	$m = \dfrac{1}{3}$ to $\dfrac{1}{2}$
جریان مستقیم (A)	$I = I_p + I_n$ $I_p = Aq\,n_i^2 \dfrac{D_p}{L_p N_D}(e^{V/V_T} - 1)$ $I_n = Aq\,n_i^2 \dfrac{D_n}{L_n N_A}(e^{V/V_T} - 1)$	
جریان اشباع (A)	$I_S = Aq\,n_i^2\left(\dfrac{D_p}{L_p N_D} + \dfrac{D_n}{L_n N_A}\right)$	
عمر حامل‌های اقلیت (s)	$\tau_p = L_p^2/D_p$ $\quad \tau_n = L_n^2/D_n$	$L_p, L_n = 1$ to $100\ \mu\mathrm{m}$ $\tau_p, \tau_n = 1$ to 10^4 ns
ذخیره بار حامل‌های اقلیت (کولمب)	$Q_p = \tau_p I_p$ $\quad Q_n = \tau_n I_n$ $Q = Q_p + Q_n = \tau_T I$	
ظرفیت نفوذ (F)	$C_d = \left(\dfrac{\tau_T}{V_T}\right) I$	

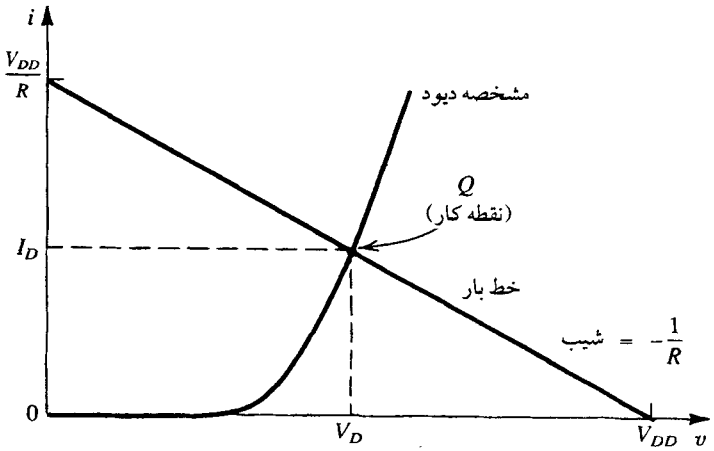
دیود در حالت هدایت مستقیم است، فرض کنید که V_{DD} بزرگتر از ۰/۵V است یا جریان دیود بسیار بزرگتر از I_S است و می‌توانیم مشخصهٔ $i-v$ دیود را توسط رابطهٔ نمایی نمایش دهیم، در نتیجه

$$I_D = I_S e^{V_D/nV_T} \qquad (۳-۴۱)$$

معادلهٔ دیگری که نحوهٔ کار مدار را بیان می‌کند با نوشتن معادلهٔ حلقهٔ کیرشهف بدست می‌آید، در نتیجه

$$I_D = \frac{V_{DD} - V_D}{R} \qquad (۳-۴۲)$$

با فرض معلوم‌بودن پارامترهای I_S و n، معادلات (۳-۴۱) و (۳-۴۲)



شکل ۱۹-۳. تحلیل ترسیمی مدار شکل ۱۸-۳

یکدستگاه دو معادله و دو مجهولی از I_D و V_D است. دو راه حل برای حل این معادلات، تحلیل ترسیمی و روش تکرار است.

تحلیل ترسیمی

تحلیل ترسیمی با رسم نمودار روابط (۴۱-۳) و (۴۲-۳) در صفحهٔ $i-v$ بدست می‌آید. سپس با بدست‌آوردن محل تلاقی دو نمودار می‌توان جواب را بدست آورد. نمونه‌ای از راه حل ترسیمی در شکل ۱۹-۳ نشان داده شده است. منحنی نمایندهٔ معادلهٔ نمایی دیود (معادلهٔ ۴۱-۳) و خط راست نمایانگر معادلهٔ (۴۲-۳) است. چنین خط راستی را **خط بار** می‌نامند، نامی که مفهوم آنرا در فصلهای بعدی درمی‌یابید. خط بار، منحنی دیود را در نقطهٔ Q قطع می‌کند، که **نمایانگر نقطهٔ کار** مدار است. مختصات این نقطه با مقادیر I_D و V_D نشان داده می‌شود.

هدف تحلیل ترسیمی نمایش نحوهٔ کار مدار است. بهرحال، زحمتی که کاربرد چنین روش تحلیلی، بویژه برای مدارهای پیچیده دربردارد، بقدری زیاد است که در عمل این روش را بکار نمی‌بریم.

تحلیل تکرار

معادلات (۴۱-۳) (۴۲-۳) را می‌توان با روش تکرار حل کرد، این کار در مثال زیر بیان شده است.

مثال ۴-۳

جریان I_D و ولتاژ دیود V_D را برای مدار شکل ۱۸-۳ با $V_{DD}=5V$ و $R=1k$ تعیین کنید. فرض کنید دیود دارای جریان 1mA در ولتاژ ۰/۷V است و افت ولتاژش به ازاء هر ۱۰ برابرشدن جریان، ۰/۱V است.

حل:

برای شروع تکرار فرض می‌کنیم که $V_D = 0/7\ V$ و از معادلهٔ (۴۱-۳) برای تعیین جریان استفاده می‌کنیم.

$$I_D = \frac{V_{DD} - V_D}{R} = \frac{5 - 0/7}{1} = 4/3\ mA$$

سپس با استفاده از معادلهٔ دیود تقریب بهتری برای V_D بدست می‌آوریم. این کار را با استفاده از معادلهٔ (۴۰-۳) انجام می‌دهیم،

$$V_2 - V_1 = 2/3\, nV_T \log\frac{I_2}{I_1}$$

که در این حالت، $2/3\, nV_T = 0/1\ V$، پس $V_2 = V_1 + 0/1\ \log\frac{I_2}{I_1}$ با جایگذاری $V_1 = 0/7\ V$، $I_1 = 1\ mA$ و $I_2 = 4/3\ mA$ خواهیم داشت $V_2 = 0/763\ V$. بنابراین نتایج اولین تکرار $I_D = 4/3\ mA$ و $V_D = 0/763V$ هستند. دومین تکرار به روشی مشابه انجام می‌شود:

$$I_D = \frac{5 - 0/763}{1} = 4/237\ mA$$

$$V_2 = 0/763 + 0/1 \log\left[\frac{4/237}{4/3}\right] = 0/762\ V$$

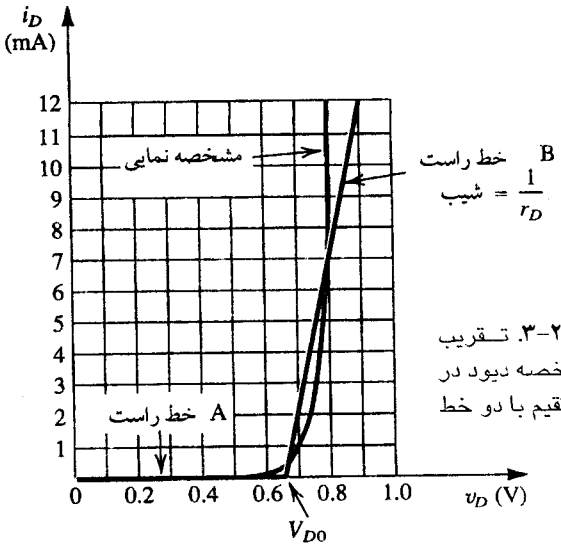
بنابراین، حاصل اولین تکرار $I_D=4/237\ mA$ و $V_D= 0/762\ V$. از آنجا که این مقادیر تفاوت چندانی با مقادیر بدست آمده در اولین تکرار ندارد، نیاز به تکرار دیگری نیست و جواب $I_D = 4/237\ mA$ و $V_D = 0/762V$ است.

نیاز به روش تحلیلی سریع

روش تکرار بیان شده در مثال بالا ساده است و پس از دو یا سه تکرار نتایج دقیقی می‌دهد. با این وجود، حالاتی وجود دارند که زحمت و زمان لازم بیشتر از حد است. بویژه، اگر بخواهیم روش تکرار را برای یک مدار پیچیده بکار بریم، روش سریع تحلیل مدار موردنیاز خواهد بود. حین تحلیل سریع، طراح می‌تواند حالات ممکن را پیش از آماده‌سازی مدار بررسی کند. برای سرعت‌بخشیدن به این روش، باید از نتایج با دقت کمتری استفاده کرد. بهرحال، این مشکلی نیست، چرا که تحلیل دقیق پس از تکمیل طرح نهایی امکان‌پذیر است. تحلیل دقیق طرح نهایی را می‌توان با استفاده از برنامه‌های تحلیل مدار مثل SPICE (بخش ۱۰-۳ و پیوست پ را ببینید) انجام داد. نتایج حاصل از چنین تحلیلی را می‌توان برای پالایش یا «تنظیم دقیق» طرح بکار برد.

مدل ساده‌شدهٔ دیود

گرچه رابطهٔ نمایی $i-v$ یک مدل دقیق برای مشخصهٔ ناحیهٔ مستقیم دیود است، طبیعت غیرخطی آن تحلیل مدارهای دیودی را مشکل می‌کند. اگر بتوان رابطه‌ای خطی برای مشخص‌کردن پایه‌ها تعیین کرد، تحلیل بسیار ساده خواهد شد. تلاشی در این جهت در شکل ۲۰-۳ نشان داده شده است، که منحنی نمایی توسط دو خط راست تقریب زده شده است، که خط A با شیب صفر و خط B با شیب $1/r_D$ است. می‌توان دید که برای یک دیود خاص، دارای بازهٔ 0/1mA تا 10mA، ولتاژ با خطوط راست مدل می‌شود که تفاوتی در حدود 50mV با مدل نمایی بیان شده دارند. انتخاب این دو خط راست یکسانی ندارد، با درنظر گرفتن حدود جریانی بالاتر از آنچه که برای تقریب نیازمندیم، می‌توان تقریب بهتری بدست آورد. مدل خطوط راستِ (خطی جزیی) شکل ۲۰-۳ را می‌توان با رابطهٔ زیر نشان داد.



شکل ۲۰-۳. تقریب سازی مشخصه دیود در بایاس مستقیم با دو خط راست

$$i_D = 0 \quad \text{و} \quad v_D \le V_{D0} \qquad (۳-۴۳)$$
$$i_D = (v_D - V_{D0})/r_D \qquad v_D \ge V_{D0}$$

که V_{D0} محل تلاقی خط B با محور ولتاژ است و r_D برابر عکس شیب خط B است. برای مثال نشان داده شده، $V_{D0} = 0/65\,V$ و $r_D = 20\ \Omega$.

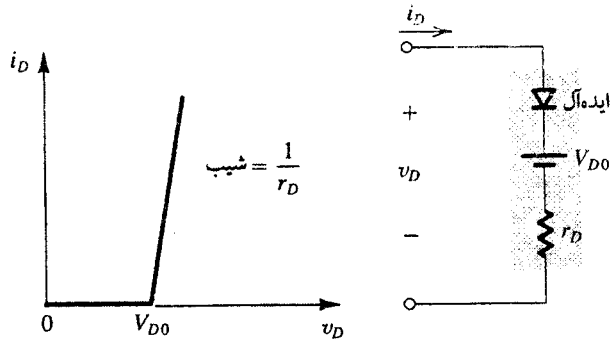
مدل خطی جزیی بیان شده توسط معادلهٔ (۳-۴۳) را می‌توان توسط مدار معادل نشان داده در شکل ۲۱-۳ نمایش داد. توجه کنید که دیود ایده‌آل در این مدل قرار گرفته تا مسیر جریان مستقیم را برقرار نماید. به این مدل، مدل «باتری به همراه مقاومت» می‌گویند.

مثال ۵-۳

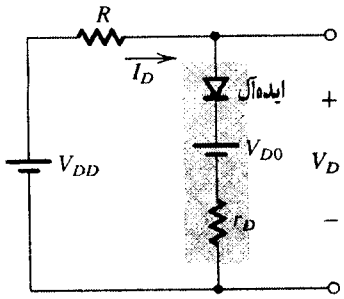
مثال ۴-۳ را بادرنظر گرفتن پارامترهای مدل خطی جزیی شکل ۲۰-۳ ($V_{D0} = 0/65\ V$ ، $r_D = 20\ \Omega$) تکرار کنید. توجه کنید که مشخصات بیان شده در این شکل مربوط به دیود مثال ۴-۳ می‌باشند (۱ mA در ۰/۷ V و ۰/۱ V/decode).

حل:

با قراردادن مدار معادل شکل ۱۸-۳ بجای دیود در شکل ۲۱-۳ مدار



شکل ۲۱-۳. مدل جزء به جزء خطی مشخصه دیود در بایاس مستقیم و نمایش مدار معادل آن



شکل ۲۲-۳. مدار شکل ۱۸-۳ با قراردادن مدل جزء به جزء خطی دیود شکل ۲۱-۳ بجای آن

شکل ۲۲-۳ بدست می‌آید، که از آن می‌توان برای جریان I_D نوشت:

$$I_D = \frac{V_{DD} - V_{D0}}{R + r_D}$$

پارامترهای مدل V_{D0} و r_D همچنانکه از شکل ۲۰-۳ دیده می‌شود برابر $V_{D0} = 0/65\ V$ و $r_D = 20\ \Omega$ خواهند بود:

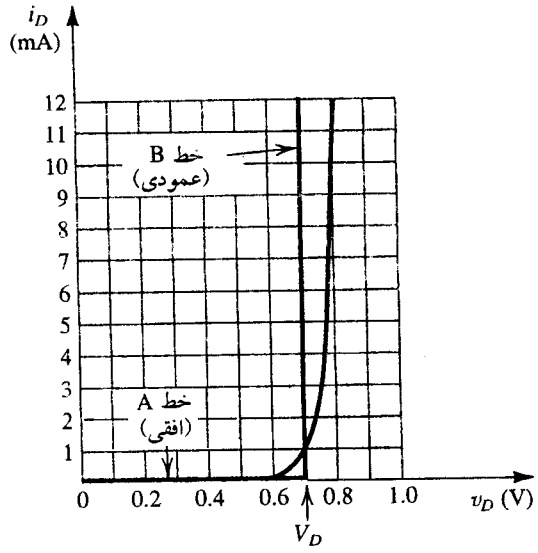
$$I_D = \frac{5 - 0/65}{1 + 0/02} = 4/26\ mA$$

حال می‌توان ولتاژ دیود V_D را محاسبه کرد:

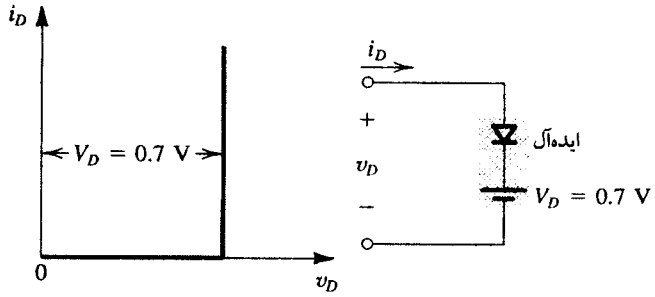
$$V_D = V_{D0} + I_D r_D = 0/65 + 4/26 \times 0/02 = 0/735\ V$$

مدل افت ولتاژ ثابت

یک مدل ساده‌تر برای مشخصهٔ مستقیم دیود را می‌توان با استفاده از یک خط عمودی راست برای جهشِ سریعِ منحنی نمایی، همچنانکه در شکل ۲۳-۳ آمده است، بدست آورید. مدل حاصل بیان می‌کند که دیود هادی در جهت مستقیم دارای یک افت ولتاژ ثابت V_D است. مقدار V_D معمولاً ۰/۷ V فرض می‌شود. توجه داشته باشید برای دیودی که مشخصهٔ



شکل ۲۳-۳. نمایش افت ولتاژ ثابت از مشخصه‌های مستقیم دیود. خط راست B برای تقریب‌سازی منحنی نمایی به سرعت بالا رونده استفاده شده است.



شکل ۲۴-۳. مدل افت ولتاژ ثابت مشخصه دیود در بایاس مستقیم و نمایش مدار معادل آن

آن در شکل ۲۳-۳ رسم شده است، این مدل به ازاء ولتاژی در بازه V ۰/۱± جریانی از ۰/۱ تا ۱۰ mA را پیش‌بینی می‌کند. مدل افت ولتاژ ثابت را می‌توان توسط مدار معادل نشان داده شده در شکل ۲۴-۳ نمایش داد. مدل افت ولتاژ ثابت یکی از معمولترین مدلهایی است که برای مرحلهٔ اول تحلیل و طراحی بکار می‌رود. این مدل بویژه، اگر شخص اطلاعات دقیقی راجع به مشخصات دیود نداشته باشد، که معمولاً چنین نیز هست، بکار می‌رود.

نهایتاً، توجه کنید که اگر از مدل افت ولتاژ ثابت برای حل مثال ۴-۳ و ۵-۳ استفاده کنیم، خواهیم داشت:

$$I_D = \frac{V_{DD} - ۰/۷}{R} = \frac{۵ - ۰/۷}{۱} = ۴/۳ \text{ mA}$$

که خیلی با مقادیر بدست آمده از مدلهای دقیق قبلی تفاوت ندارد.

مدل دیود ایده‌آل

در مواردی که ولتاژهای بکاررفته خیلی بزرگتر از افت ولتاژ دیود (۰/۶ − ۰/۸ V) می‌باشند، می‌توان به هنگام محاسبهٔ جریان دیود از افت ولتاژ صرفنظر کرد. حاصل این عمل مدل دیود ایده‌آل است، که آنرا در بخش ۱-۳ بررسی کردیم.

نتیجه مبحث

این سؤال که از کدام مدل در یک کاربرد خاص استفاده شود، نه تنها برای دیود بلکه برای هریک از عناصر مدار، همواره رو در روی طراح مدار است.

تمرینها

۱۶-۳ برای مدار شکل ۱۸-۳ برای حالتی که $V_{DD} = ۵$ V و $R = ۱۰$ kΩ است، I_D و V_D را بیابید. فرض کنید دیود در جریان ۱ mA ولتاژ ۰/۷ V را داراست و تغییرات ولتاژ با جریان ۰/۱ V/decade است. از (الف) روش تکرار (ب) مدل خطی جزیی با $V_{DD} = ۰/۶۵$ V و $r_D = ۲۰\,\Omega$ (پ) مدل افت ولتاژ ثابت با $V_D = ۰/۷$V استفاده کنید.

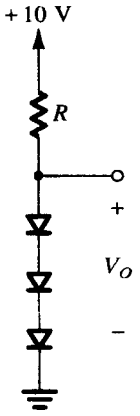
جواب. (الف) ۰/۴۳۴ mA، ۰/۶۶۳ V
(ب) ۰/۴۳۴ mA، ۰/۶۵۹V
(پ) ۰/۴۳ mA، ۰/۷ V

۱۷-۳ دیودی را درنظر بگیرید که ۱۰۰ بار بزرگتر از دیود نمایش درآمده در شکل ۲۰-۳ است. اگر مشخصات آنرا به روشی که در شکل ۲۰-۳ آمده تقریب بزنیم (ولی در بازهٔ جریانی ۱۰۰ بار بزرگتر) تغییر پارامترهای مدل $V_{D\circ}$ و r_D چگونه خواهد بود؟

جواب. $V_{D\circ}$ تغییر نمی‌کند، r_D با ضریب ۱۰۰ کاهش یافته و به ۰/۲ Ω می‌رسد.

۱۸-۳ مدار شکل (۱۸-۳ ت) را چنان طراحی کنید که ولتاژ خروجی ۲/۴V را داشته باشد. فرض کنید دیودهای موجود دارای افت ۰/۷V در ۱ mA و تغییر ۰/۱ V/decade به ازای تغییر جریان هستند.

جواب. $R = ۷۶۰\ \Omega$



شکل (۱۸-۳ ت)

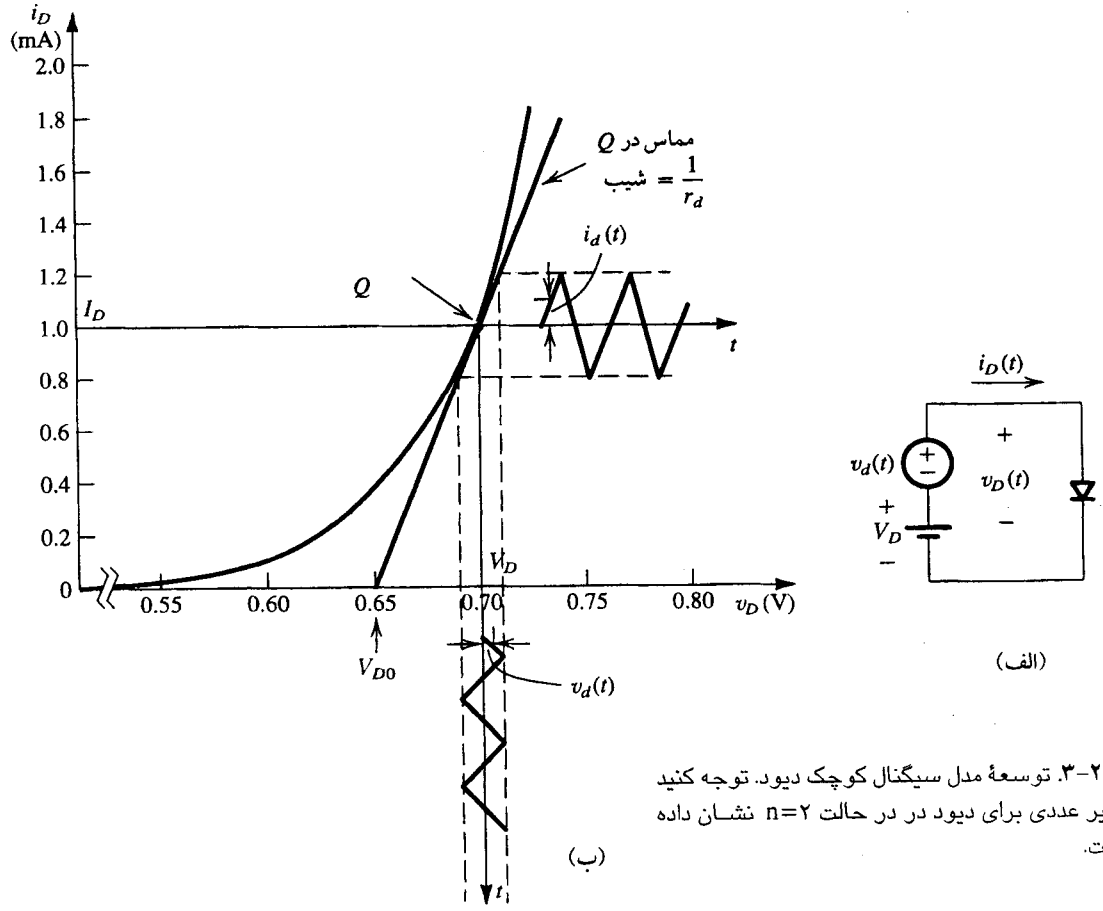
۱۹-۳ تمرین ۴-۳ را برای بدست آوردن تقریب بهتر I و V (نسبت به مقادیر بدست آمده در تمرین ۴-۳) تکرار کنید ولی با این فرض که بجز سیگنال کوچک‌بودن دیود و کارکردن آن در محدودهٔ mA چیز بیشتری ندانیم.

جواب. (الف) ۱/۷۲ mA، ۰/۷ V، (ب) ۰ mA، ۵ V، (پ) ۰mA، ۵ V
(ت) ۱/۷۲ mA، ۰/۷ V، (ث) ۲/۳mA، ۲/۳ V + ، ۳/۳mA، ۱/۷V +
❑

۵-۳ مدل سیگنال کوچک و کاربردهای آن

در مواردی دیود در نقطه‌ای بایاس می‌شود که در ناحیهٔ مستقیم مشخصهٔ $v-i$ است و یک سیگنال کوچک ac با مقدار dc ورودی جمع شده است. بهترین مدل دیود برای این حالت یک مقاومت است که مقدار آن برابر عکس شیب خط مماس بر مشخصهٔ $v-i$ در نقطهٔ کار است. اساساً تغذیه یک عنصر غیرخطی و محدودکردن مسیر سیگنال به یک مقدار کوچک را می‌توان با انتخاب بخش‌های خطی مشخصهٔ حول نقطهٔ کار ایجاد کرد که در بخش ۴-۱ برای شبکه‌های دوسر انجام شد. در این بخش چنین مدل سیگنال کوچکی را برای دیود پیوندی ارائه خواهیم کرد و کاربردهای آنرا بیان خواهیم نمود.

مدار پایهٔ شکل (الف ۲۵-۳) و نمایش ترسیمی شکل (ب ۲۵-۳) را درنظر بگیرید. ولتاژ dc، V_D که نمایشگر یک باتری است، به دیود اعمال می‌شود، و سیگنال متغیر با زمان $v_d(t)$، که به صورت مثلثی فرض شده است، با ولتاژ dc جمع می‌شود. در غیاب سیگنال $v_d(t)$ ولتاژ دیود برابر V_D



شکل ۲۵-۳. توسعهٔ مدل سیگنال کوچک دیود. توجه کنید که مقادیر عددی برای دیود در در حالت n=۲ نشان داده شده است.

است، و دیود با جریان dc زیر هدایت خواهد کرد:

$$I_D = I_S\, e^{V_D/nV_T} \qquad (۳-۴۴)$$

هنگامی که سیگنال $v_d(t)$ اعمال شود، کل ولتاژ $v_D(t)$ اعمال شده به دیود برابر است با:

$$v_D(t) = V_D + v_d(t) \qquad (۳-۴۵)$$

به همین ترتیب، کل جریان عبوری از دیود $i_D(t)$ برابر است با:

$$i_D(t) = I_S\, e^{v_D/nV_T} \qquad (۳-۴۶)$$

با جایگزینی v_D از رابطهٔ (۳-۱۰) داریم:

$$i_D(t) = I_S\, e^{(V_D+v_d)/nV_T}$$

که می‌توان نوشت:

$$i_D(t) = I_S\, e^{V_D/nV_T}\, e^{v_d/nV_T}$$

با استفاده از رابطهٔ (۳-۴۴) داریم:

$$i_D(t) = I_D\, e^{v_d/nV_T} \qquad (۳-۴۷)$$

حال اگر دامنهٔ سیگنال $v_d(t)$ به اندازهٔ کافی کوچک باشد:

$$\frac{v_d}{nV_T} \ll ۱ \qquad (۳-۴۸)$$

می‌توانیم رابطهٔ نمایی (۳-۴۷) را به صورت سری بسط دهیم و از اولین دو جملهٔ آن برای بدست آوردن رابطهٔ تقریبی استفاده کنیم:

$$i_D(t) \approx I_D\left(۱ + \frac{v_d}{nV_T}\right) \qquad (۳-۴۹)$$

این رابطه را **تقریب سیگنال کوچک** گویند. این رابطه برای سیگنالهایی که دامنهٔ آنها کمتر از ۱۰ mV باشد صادق است.

(معادلهٔ ۳-۴۸ را ببینید و بیاد داشته باشید که V_T = ۲۵ mV).

از معادلهٔ (۳-۴۹) داریم:

$$i_D(t) = I_D + \frac{I_D}{nV_T} v_d \qquad (۳-۵۰)$$

بنابراین بدون توجه به مقدار جریان dc ، I_D ، سیگنال جریانی داریم که نسبت مستقیم با سیگنال ولتاژ v_d دارد، یعنی:

$$i_D = I_D + i_d \qquad (۳-۵۱)$$

که

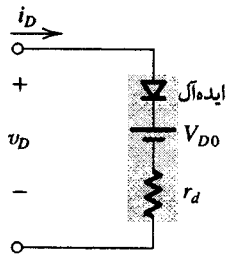
$$i_d = \frac{I_D}{nV_T} v_d$$

رابطه‌ای که سیگنالِ جریان i_d را به سیگنال ولتاژ v_d مرتبط می‌سازد از جنس هدایت، mhos(℧) ، است و با نام **هدایت سیگنال کوچک دیود** خوانده می‌شود. عکس این مقدار **مقاومت سیگنال کوچک دیود** یا **مقاومت افزایشی** ، r_d است.

$$r_d = \frac{nV_T}{I_D}$$

توجه کنید که مقدار r_d بطور معکوس متناسب با جریان بایاس I_D است.

اجازه دهید به نمایش ترسیمی شکل (ب ۲۵-۳) برگردیم. به راحتی می‌توان دید که استفاده از تقریب سیگنال کوچک معادل کوچک فرض



شکل ۲۶-۳. مدل مدار معادل دیود برای تغییرات کوچک حول نقطه بایاس Q. مقاومت افزایشی r_d عکس شیب مماس در Q و $V_{D\circ}$ فاصله مماس از محور V_D است.

کردن دامنهٔ سیگنال به حدی است که در مشخصهٔ $i-v$ تنها یک قسمت خطی و کوچک مورد استفاده قرار می‌گیرد. شیب این قسمت که برابر شیب مشخصهٔ $i-v$ در نقطهٔ کار Q است، برابر هدایت سیگنال کوچک است. به خواننده توصیه می‌شود ثابت کند که شیب مشخصهٔ $i-v$ در $i = I_D$ برابر I_D/nV_T است یعنی $1/r_d$،

$$r_d = 1 \Big/ \left[\frac{\partial i_D}{\partial v_D}\right]_{i_D = I_D} \qquad (۳-۵۴)$$

حال اگر نقطه‌ای را که خط مماس محور v_D را قطع می‌کند $V_{D\circ}$ بنامیم، می‌توان معادلهٔ خط مماس را به صورت زیر نوشت:

$$i_D = \frac{1}{r_d}(v_D - V_{D\circ}) \qquad (۳-۵۵)$$

این معادله، مدل دیود برای تغییر اندک حول نقطهٔ کار یا **نقطهٔ سکون** Q است. این مدل را می‌توان توسط مدار معادل نشان داده شده در شکل ۲۶-۳ نمایش داد که از آن می‌توان نوشت:

$$\begin{aligned} v_D &= V_{D\circ} + i_D r_d \\ &= V_{D\circ} + (I_D + i_d) r_d \\ &= (V_{D\circ} + I_D r_d) + i_d r_d \\ &= V_D + i_d r_d \end{aligned}$$

بنابراین، همچنانکه انتظار می‌رفت، سیگنال افزایشی یا ولتاژ روی دیود با رابطهٔ $v_d = r_d\, i_d$ داده می‌شود. برای توضیح کاربرد مدل سیگنال کوچک دیود، مدار شکل (الف ۲۷-۳) را درنظر بگیرید. در این حالت سیگنال ولتاژ v_s به صورت سری با منبع ولتاژ V_{DD} بسته شده است. اگر $v_s = \circ$، جریان dc را با I_D و ولتاژ dc دیود را با V_D نمایش می‌دهیم. می‌خواهیم سیگنال جریان i_d و سیگنال ولتاژ روی دیود v_d را تعیین کنیم.

برای انجام این کار بجای دیود از مدل شکل ۲۶-۳ استفاده می‌کنیم، تا به مدار معادل نشان داده شده در شکل (ب ۲۷-۳) برسیم. از نوشتن معادلهٔ حلقه برای این مدار داریم:

$$\begin{aligned} V_{DD} + v_s &= i_D R + V_{D\circ} + i_D r_d \\ &= (I_D + i_d) R + V_{D\circ} + (I_D + i_d) r_d \\ &= I_D R + (V_{D\circ} + I_D r_d) + i_d (R + r_d) \\ &= I_D R + V_D + i_d (R + r_d) \end{aligned}$$

با جداسازی مقادیر dc و سیگنال در دو طرف این معادله برای بخش dc داریم

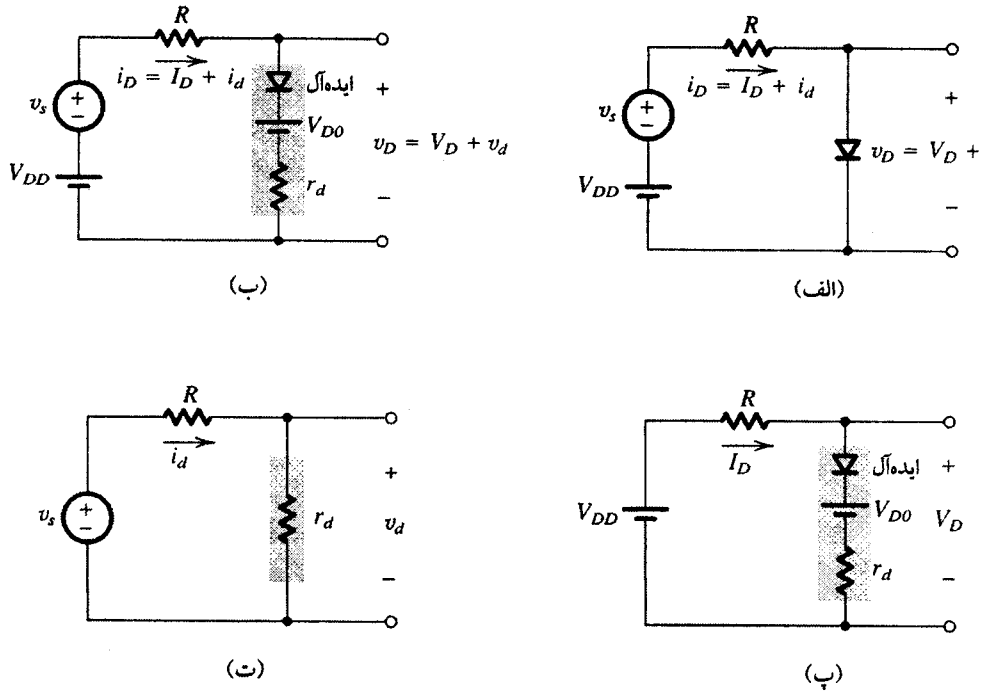
$$V_{DD} = I_D R + V_D$$

که توسط مدار شکل (پ ۲۷-۳) نمایش داده می‌شود، و برای بخش سیگنال داریم،

$$v_s = i_d (R + r_d)$$

که توسط مدارِ شکل (ت ۲۷-۳) نمایش داده می‌شود. نتیجه می‌گیریم که تقریب سیگنال کوچک امکان جداسازی تحلیل dc از تحلیل سیگنال را می‌دهد. تحلیل سیگنال با حذف همهٔ منابع dc و جایگزینی دیود با مقاومت سیگنال کوچک r_d انجام می‌شود. از مدار معادل سیگنال کوچک، می‌توان ولتاژ سیگنال دیود را توسط قانون مقسم ولتاژ بدست آورد.

$$v_d = v_s \frac{r_d}{R + r_d}$$



شکل ۲۷-۳. تحلیل مدار (الف) که شامل مقادیر سیگنال و dc است را می‌توان با قراردادن مدل شکل ۲۶-۳ بجای دیود، مطابق شکل (ب) انجام داد. (ب) این امر جداسازی تحلیل [dcمدار (پ)] را از تحلیل سیگنال [مدار (ت)] امکان‌پذیر می‌سازد.

جداسازی dc یا تحلیل بایاس و تحلیل سیگنال روش بسیار مفیدی است که در ادامهٔ مباحث این کتاب بکار می‌رود.

مثال ۶-۳

مدار نشان داده شده در شکل ۲۸-۳ را که برای آن $R = ۱۰\ k\Omega$ در نظر بگیرید. منبع تغذیه V^+ دارای مقدار dc، ۱۰ V است که روی آن سیگنال سینوسی ۶۰ هرتز با نوک دامنهٔ ۱ V قرار گرفته است.
(این مؤلفهٔ سیگنال مربوط به منبع تغذیه یکی از موارد نامناسب در طراحی منبع تغذیه است. آنرا به عنوان موجک منبع تغذیه می‌شناسند. راجع به آن بعدها بیشتر خواهید خواند.) ولتاژ dc دیود و موج سیگنال سینوسی ظاهر شده روی آنرا محاسبه کنید. فرض کنید دیود دارای ۰/۷V افت در جریان ۱ mA است و $n = ۲$.

حل

با درنظر گرفتن مقادیر dc، $V_D \cong ۰/۷\ V$ فرض کرده و جریان dc دیود را محاسبه می‌کنیم.

$$I_D = \frac{۱۰ - ۰/۷}{۱۰} = ۰/۹۳\ mA$$

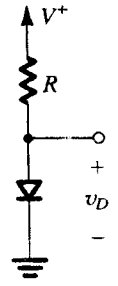
از آنجا که این مقدار بسیار نزدیک به ۱ mA است، ولتاژ دیود می‌تواند بسیار نزدیک به مقدار ۰/۷ V فرض شود. در این نقطهٔ کار، مقاومت افزایشی دیود r_d برابر است با:

$$r_d = \frac{nV_T}{I_D} = \frac{۲ \times ۲۵}{۰/۹۳} = ۵۳/۸\ \Omega$$

ولتاژ سیگنال نوک تا نوک روی دیود را می‌توان با استفاده از قانون مقسم ولتاژ به صورت زیر بدست آورد:

$$v_{d(\text{نوک تا نوک})} = ۲\frac{r_d}{R + r_d} = ۲\frac{۰/۰۵۳۸}{۱۰ + ۰/۰۵۳۸} = ۱۰/۷\ mA$$

در نتیجه دامنهٔ سیگنال سینوسی روی دیود ۵/۳۵ mV می‌باشد. از آنجا که این مقدار کوچک است، استفاده از مدل سیگنال کوچک مقدور می‌باشد.



شکل ۲۸-۳. مدار برای مثال ۶-۳

استفاده از افت ولتاژ مستقیم دیود در تنظیم‌کننده ولتاژ

تنظیم‌کننده ولتاژ مداری است که هدف از ساخت آن تأمین یک ولتاژ ثابت dc در پایه‌های خروجی آن است. لازم است که ولتاژ خروجی تا حد ممکن ثابت بماند، حتی با وجود (الف) تغییرات جریانِ بارِ کشیده شده از پایه‌های خروجی تنظیم‌کننده و (ب) تغییرات در ولتاژِ dc منبع تغذیه‌ای که مدار تنظیم‌کننده را تغذیه می‌کند. از آنجا که افت ولتاژ مستقیم دیود، حتی در صورت تغییر بزرگی در جریان عبوری از آن، مقداری ثابت در حدود ۰/۷V است، یک دیود با بایاسِ مستقیم می‌تواند یک تنظیم‌کننده سادهٔ ولتاژ باشد. برای نمونه، در مثال ۶-۳ دیده‌ایم که گرچه منبع ولتاژ dc ده ولتی دارای موجک نوک تا نوکِ ۲ V است(تغییرات ۱۰٪±)، موجک متناظر در ولتاژ دیود تقریباً ۵/۴ mV± می‌باشد (یا تغییرات ۰/۸٪ ±). ولتاژهای رگوله‌شدهٔ بزرگتر از ۰/۷ V را می‌توان با سری بستن تعدادی دیود بدست آورد. برای مثال، استفاده از سه دیود بایاس مستقیم به صورت سری ولتاژی در حدود ۲ V فراهم می‌کند. یکی از چنین مدارهایی در مثال زیر آمده است.

مثال ۷-۳

مدار نشان داده شده در شکل ۲۹-۳ را درنظر بگیرید. مجموعه‌ای از سه دیود برای تولید ولتاژ ثابت ۲/۱ V استفاده شده است. می‌خواهیم درصد تغییرات این ولتاژِ تنظیم شده را بر اثر عوامل زیر محاسبه کنیم: (الف) ۱۰٪ تغییر در ولتاژ منبع تغذیه (ب) اتصال یک مقاومت بار ۱ kΩ. فرض کنید $n = ۲$.

حل

در حالت بی‌باری، مقدار نامی جریان در مجموعه دیودها عبارتست از:

$$I = \frac{۱۰ - ۲/۱}{۱} = ۷/۹\ mA$$

بنابراین هر دیود دارای مقاومت افزایشی برابر:

$$r_d = \frac{nV_T}{I}$$

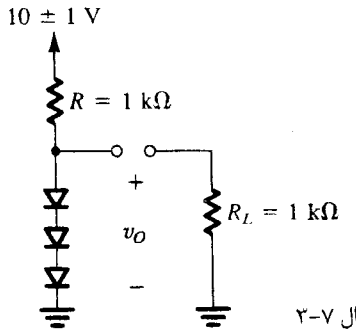
می‌باشد. با استفاده از $n = ۲$ داریم:

$$r_d = \frac{۲ \times ۲۵}{۷/۹} = ۶/۳\ \Omega$$

اتصال سری سه دیود دارای مقاومت افزایشی کل:

$$r = ۳\,r_d = ۱۸/۹\ \Omega$$

خواهد بود. این مقاومت و مقاومت R یک مقسم ولتاژ را تشکیل می‌دهند که از نسبت آنها برای محاسبهٔ تغییرات ولتاژ خروجی نسبت به ۱۰٪± (که در اینجا ۱ V± است) تغییر ولتاژ منبع استفاده می‌شود.



شکل ۲۹-۳. مدار برای مثال ۷-۳

بنابراین تغییر نوک تا نوک ولتاژ خروجی برابر است با:

$$\Delta v_o = ۲\frac{r}{r+R} = ۲\frac{۰/۰۱۸۹}{۰/۰۱۸۹+۱} = ۳۷/۱\ \text{mV}$$

یعنی، با تغییر ۱ V± (۱۰ %±) در ولتاژ منبع، ولتاژ خروجی ۱۸/۵mV ± یا ۰/۹ %± تغییر خواهد کرد. از آنجا که تغییرات در حدود ۶/۲ mV± است، پس استفاده از مدل سیگنال کوچک درست بوده است.

اگر مقاومت بار ۱ kΩ به مجموعهٔ دیودها متصل شود، جریانی در حدود ۲/۱ mA خواهد کشید. بنابراین جریان دیودها به اندازه ۲/۱mA کم خواهد شد و در نتیجه ولتاژ روی مجموعهٔ دیودها کاهش خواهد یافت.

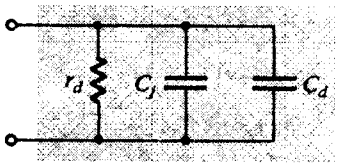
$$\Delta v_o = -۲/۱ \times r = -۲/۱ \times ۱۸/۹ = -۳۹/۷\ \text{mV}$$

از آنجا که بنابراین رابطه، ولتاژ روی هر دیود تقریباً ۱۳/۲ mV کم شده است، استفاده از مدل سیگنال کوچک چندان درست نبوده است. بهرحال، محاسبات دقیق تغییرات ولتاژ با استفاده از مدل نمایی مقدار $\Delta v_o = -۳۵/۵$ mV را می‌دهد، که تفاوت چندانی با مقدار بدست آمده با استفاده از مدل افزایشی ندارد.

مدل فرکانس بالای دیود

مدل سیگنال کوچک دیود شرح داده شده یک مدل مقاومتی است. این مدل وقتی بکار می‌رود که فرکانس سیگنال به قدر کافی کوچک باشد تا بتوان اثرات ذخیره بار دیود نادیده انگاشته شود. این اثرات در بخش قبلی بررسی شد و برای سیگنالهای کوچک با دو ظرفیت مدل سازی شد، C_j ظرفیت لایه تهی، و C_d ظرفیت انتشار، در مدل نشان داده شده از جدول ۲-۳، در خازن به طور موازی با r_d مقاومت سیگنال کوچک به همراه فرمولهایی برای شاخصه‌های مدل دیده می‌شود. از این مدل در تحلیل مدارهای دیود با سیگنال‌های فرکانس بالا استفاده می‌شود. تحلیل فرکانس بالای مدار الکترونیک در فصلهای بعد بررسی خواهد شد. در پایان باید دقت شود که در کاربردهای سویچینگ، مانند مدارهای دیجیتال، اثرهای c_d و c_j بکار گرفته می‌شود.

جدول ۲-۳. مدل سیگنال کوچک فرکانس بالای دیود



نقطه بایاس : I_D, V_D

$r_d = nV_T/I_D$

$C_d = (\tau_T/V_T)I_D$

برای $V_D < 0$:

$$C_j = C_{j0}/\left(1 - \frac{V_D}{V_0}\right)^m$$

برای $C_j \simeq 2C_{j0}, V_D > 0$

تمرینها

۳-۲۰ مقدار مقاومت سیگنال کوچک r_d را در جریانهای بایاس ۰/۱، ۱ و ۱۰ mA بدست آورید. فرض کنید $n = ۱$.

جواب. ۲/۵ Ω، ۲۵ Ω، ۲۵۰ Ω

۳-۲۱ برای دیودی که در جریان ۱ mA دارای افت ولتاژ مستقیم ۰/۷V و $n=۱$ است، معادلهٔ خط راست مماس را در $I_D = ۱$ mA بیابید.

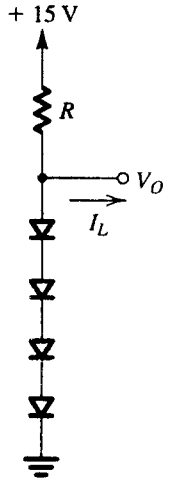
جواب. $i_D = (۱/۲۵\ \Omega)(v_D - ۰/۶۷۵)$

۳-۲۲ دیودی را که در ۱ mA بایاس شده است با $n=۲$ درنظر بگیرید. تغییرات جریان را که حاصل از تغییر ولتاژ به اندازهٔ (الف) ۲۰mV− (ب) ۱۰mV− (پ) ۵ mV− (ت) ۵ mV+ (ث) ۱۰ mV+ (ج) ۲۰mV+ است را بیابید. در هر حالت، محاسبات را با استفاده از i) مدل سیگنال کوچک ii) مدل نمایی انجام دهید.

جواب. (الف) ۰/۴۰ −، ۰/۳۳ mA− (ب) ۰/۲۰ −، ۰/۱۸ mA− (پ) ۰/۱۰ −، ۰/۱۰ mA−، (ت) ۰/۱۰ +، ۰/۱۱ mA+ (ث) ۰/۲۰ +، ۰/۲۲ mA+، (ج) ۰/۴۰ +، ۰/۴۹ mA+

۳-۲۳ مدار شکل (۲۳-۳ ت) را که در آن V_O=۳V هنگامی که $I_L = ۰$ و تغییرات V_O به ازاء تغییر ۱ mA در جریان بار ۴۰ mV است، طراحی کنید. مقدار R و سطح پیوند هر دیود (فرض کنید هر چهار دیود یکسان هستند) را نسبت به دیودی که در ۱ mA جریان، دارای افت ولتاژ ۰/۷ V است، بیابید.

جواب. $R = ۴/۸$ kΩ، ۰/۳۴

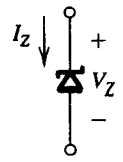


شکل (۲۳-۳ ت)

❑

۳-۶ کار در ناحیهٔ شکست معکوس - دیودهای زنر

مشخصهٔ $i - v$ دیود که در ناحیهٔ شکست بدست می‌آید (شکل ۸-۳) و افت ولتاژ ثابتی که از خود نشان می‌دهد، استفاده از دیود در حال کار در ناحیهٔ شکست را به عنوان تنظیم‌کننده ولتاژ پیشنهاد می‌کند. در حقیقت این یک کاربرد مهم برای دیودهاست. دیودهای خاصی ساخته می‌شوند تا



شکل ۳۰-۳. نماد مداری دیود زنر

دقیقاً در ناحیهٔ شکست کار کنند. چنین دیودهایی را **دیودهای شکست** یا، بطور معمول، دیود زنر می‌نامند، به نام اولین کسی که در این زمینه کار کرده است.

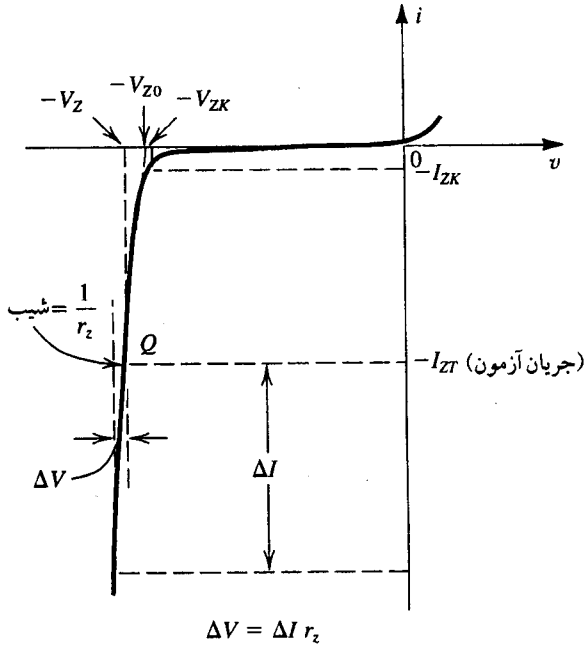
شکل ۳۰-۳ نماد مداری دیود زنر را نمایش می‌دهد. در کاربردهای عادی دیود زنر، جریان به کاتود جریان یافته و کاتود نسبت به آنود مثبت می‌شود، در نتیجه I_Z و V_Z در شکل ۳۰-۳ مقادیری مثبت خواهند داشت.

مشخص‌کردن و مدل‌کردن دیود زنر

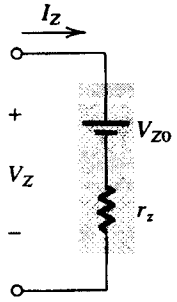
شکل ۳۱-۳ جزئیات مشخصات $i - v$ دیود را در ناحیهٔ شکست نشان می‌دهد. درمی‌یابیم که برای جریانهای بزرگتر از زانوی جریان (I_{ZK} که در برگ مشخصات دیود زنر مشخص شده است)، مشخصهٔ $i - v$، تقریباً یک خط راست است. معمولاً سازنده‌ها ولتاژ روی دیود زنر V_Z را در جریان آزمون مشخص شده I_{ZT}، معین می‌کنند. این مؤلفه‌ها در شکل ۳۱-۳ به عنوان مختصات نقطهٔ مشخص‌شدهٔ Q ذکر شده‌اند. بنابراین یک دیود زنر ۶/۸ ولتی دارای افت ۶/۸ ولت در جریان آزمون، مثلاً ۱۰ mA، است. همچنانکه جریان عبوری از دیود زنر از I_{ZT} تغییر می‌کند، ولتاژ روی آن تغییر خواهد کرد. شکل ۳۱-۳ نشان می‌دهد که متناظر با تغییر جریان ΔI ولتاژ زنر به اندازهٔ ΔV تغییر خواهد کرد که متناظر با ΔI با رابطهٔ زیر است:

$$\Delta V = r_z \Delta I$$

که r_z برابر عکس شیب منحنی تقریباً خطی در نقطهٔ Q است. مقاومت r_z



شکل ۳۱-۳. مشخصه‌های v−i دیود با نمایش جزئیات ناحیه شکست



شکل ۳۲-۳. مدل دیود زنر

مقاومت افزایشی دیود زنر در نقطهٔ کار Q است. آنرا معمولاً به عنوان مقاومت دینامیکی زنر می‌شناسند، و مقدار آن در برگهٔ مشخصات قطعه آمده است. عملاً، r_z از چند Ω تا چند ده اهم تغییر می‌کند. هرچه مقدار r_z کمتر باشد، با تغییر جریان، ولتاژ زنر ثابت تر خواهد ماند و بنابراین عملکرد دیود ایده‌آل‌تر می‌شود. در این حالت، از شکل ۳۱-۳ درمی‌یابیم که همچنانکه r_z کم باقی مانده و روی محدودهٔ وسیعی از جریان ثابت می‌ماند، مقدار آن در محدودهٔ زانوی منحنی به طور قابل توجهی افزایش می‌یابد. بهرحال، به عنوان یک راهنمای کلی طراحی باید از کار زنر در این ناحیه جریان کم جلوگیری شود.

دیودهای زنر با ولتاژ V_Z از چند ولت تا چند صد ولت ساخته می‌شوند. علاوه بر مشخص‌کردن V_Z (در یک جریان خاص I_{ZT})، r_Z، I_{ZK}، همچنین سازنده حداکثر توانی را که قطعه می‌تواند تحمل کند، تعیین می‌نماید. بنابراین، یک دیود زنر ۰/۵W و ۶/۸ ولتی می‌تواند بصورت مطمئن در جریانهایی تا حداکثر ۷۰ mA کار کند.

مشخصهٔ تقریباً خطی $i - v$ دیود زنر مدار ارائه شده در شکل ۳۲-۳ را به عنوان مدل پیشنهاد می‌کند. در اینجا V_{Z0} نقطه‌ای را که خط راست با شیب $1/r_z$ محور ولتاژ را قطع می‌کند، نشان می‌دهد (با توجه به شکل ۳۱-۳). گرچه V_{Z0} نشان داده شده از مقدار زانوی منحنی V_{ZK} تفاوت دارد، در عمل این مقادیر غالباً مساوی هستند. مدل مدار معادل شکل ۳۲-۳ را می‌توان بصورت تحلیلی زیر بیان کرد.

$$V_Z = V_{Z0} + r_z I_Z \qquad (۳-۵۶)$$

و برای $I_Z > I_{ZK}$ خواهیم داشت $V_Z > V_{Z0}$. استفاده از مدل زنر در تحلیل توسط مثال زیر بیان می‌شود.

مثال ۸-۳

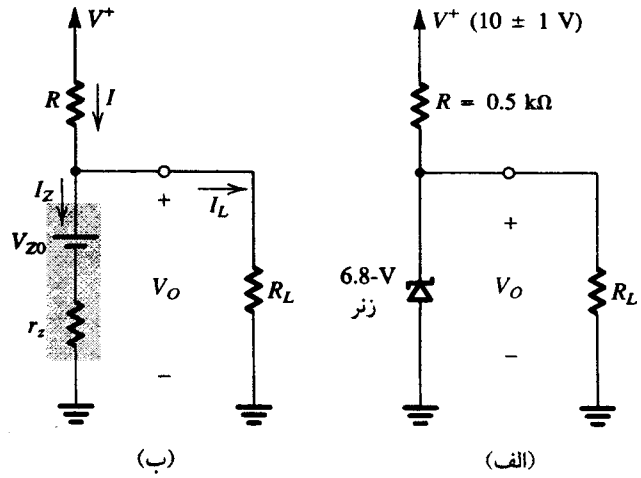
دیود زنر ۶/۸ ولتی در مدار شکل (الف ۳۳-۳) دارای $V_Z = 6.8$ V در $I_Z = 5$ mA، $r_z = 20\ \Omega$ و $I_{ZK} = 0.2$ mA می‌باشد. ولتاژ منبع V^+ در حدود ۱۰ V است ولی می‌تواند ±۱ V تغییر کند.

(الف) V_O را در حالت بی‌باری و V^+ را در مقدار نامی بیابید.

(ب) تغییر در ولتاژ V_O را که حاصل از تغییر ±۱ V در V^+ است، بیابید.

(پ) تغییر در ولتاژ V_O را که حاصل از اتصال مقاومت بار $R_L = 2\text{k}\Omega$ است، بیابید.

(ت) مقدار V_O را هنگامی که $R_L = 0.5\ \text{k}\Omega$ است، بیابید.



شکل ۳۳-۳. (الف) مدار مثال ۸-۳ (ب) مدار با نمایش مدل مدار معادل دیود زنر بجای آن

(ث) حداقل مقدار R_L را که برای آن دیود هنوز در ناحیهٔ شکست کار می‌کند، بیابید؟

حل:

ابتدا باید مقدار مؤلفهٔ V_{Z0} را در روی دیود زنر تعیین کنیم. با جایگذاری $V_Z = ۶/۸$ V، $I_Z = ۵$ mA و $r_z = ۲۰\ \Omega$ در معادلهٔ (۵۶-۳) داریم $V_{Z0} = ۶/۷$ V. شکل (ب ۳۳-۳) مداری را که در آن بجای دیود زنر مدل آن بکار رفته است نمایش می‌دهد.

(الف) در حالت بدون بار، جریان عبوری از دیود زنر با رابطهٔ زیر داده می‌شود

$$I_Z = I = \frac{V^+ - V_{Z0}}{R + r_z} = \frac{۱۰ - ۶/۷}{۰/۵ + ۰/۰۲} = ۶/۳۵\ \text{mA}$$

بنابراین،

$$V_O = V_{Z0} + I_Z r_z = ۶/۷ + ۶/۳۵ \times ۰/۰۲ = ۶/۸۳\ \text{V}$$

(ب) برای تغییرات ۱ V± در V^+، تغییر ولتاژ خروجی از رابطهٔ زیر بدست می‌آید.

$$\Delta V_O = \Delta V^+ \frac{r_z}{R + r_z} = \pm ۱ \times \frac{۲۰}{۵۰۰ + ۲۰} = \pm ۳۸/۵\ \text{mV}$$

(پ) هنگامی که مقاومت بار ۲ kΩ متصل می‌شود، جریان بار تقریباً $۶/۸\ \text{V}/۲\ \text{k}\Omega = ۳/۴$ mA خواهد بود. در نتیجه تغییر جریان زنر برابر $\Delta I_Z = -۳/۴$ mA بوده، و تغییر متناظر در ولتاژ زنر (ولتاژ خروجی) برابر خواهد بود با

$$\Delta V_O = r_z \Delta I_Z = ۲۰ \times -۳/۴ = -۶۸\ \text{mV}$$

یک تخمین دقیق‌تر برای ΔV_O را می‌توان توسط تحلیل مدارِ شکل (ب ۲۵-۳) بدست آورد. حاصل چنین تحلیلی $\Delta V_O = -۷۰$mV است.

(ت) R_Lی برابر ۰/۵ kΩ جریانِ بارِ $۶/۸ / ۰/۵ = ۱۳/۶$ mA را خواهد کشید. این امکان‌پذیر نمی‌باشد زیرا جریان I که از طریق مقاومت R تأمین می‌شود فقط ۶/۴ mA (برای $V^+ = ۱۰$ V) می‌باشد. بهرحال، زنر باید قطع باشد. اگر به این حالت نیاز باشد، می‌توان V_O را بر اساس مقسم ولتاژِ شکل گرفته بین R و R_L بدست آورد:

$$V_O = V^+ \frac{R_L}{R + R_L} = ۱۰ \frac{۰/۵}{۰/۵ + ۰/۵} = ۵\ \text{V}$$

از آنجایی که این ولتاژ کمتر از ولتاژ شکست زنر است، دیود دیگر در ناحیهٔ شکست کار نخواهد کرد.

(ت) برای زنری که در گوشه ناحیهٔ شکست کار می‌کند:

$$V_Z \cong V_{ZK} \cong ۶/۷\ \text{V} \text{ و } I_Z = I_{ZK} = ۰/۲\text{mA}$$

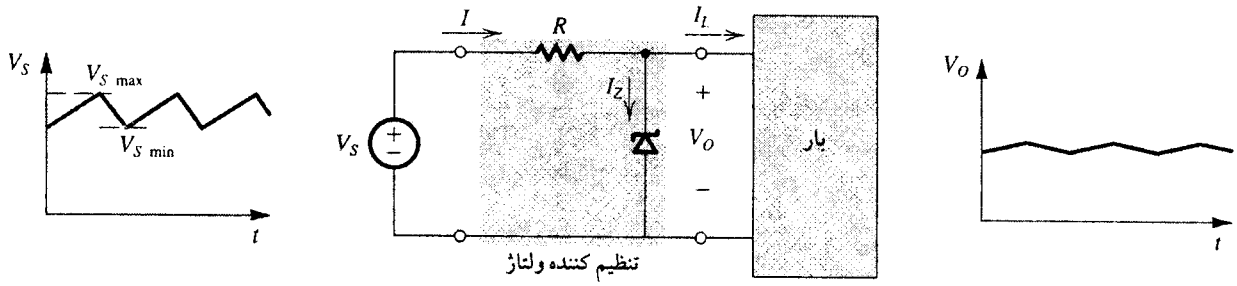
در این نقطه کمترین میزان جریان (بدترین حالت) تأمین شده توسط R برابر $۴/۶\ \text{mA} = ۰/۵ : (۶/۷ - ۹)$ و در نتیجه جریان بار برابر $۴/۶ - ۰/۲ = ۴/۴$ mA است. مقدار متناظر R_L نیز برابر است با:

$$R_L = \frac{۶/۷}{۴/۴} \cong ۱/۵\ \text{k}\Omega$$

طراحی تنظیم‌کننده موازی زنری

تابع ولتاژ تنظیم‌کننده در بخش قبل توصیف شده است. مدار تنظیم کننده ولتاژ با استفاده از دیود زنر در شکل ۳۴-۳ نشان داده شده است. این مدار به عنوان تنظیم‌کننده موازی شناخته می‌شود زیرا دیود زنر به صورت موازی با بار بسته شده است. تنظیم‌کننده توسط یک منبع ولتاژ که، هم‌چنانکه در شکل مشخص شده است، خیلی ثابت نیست، تغذیه شده است. منبع دارای مؤلفه‌های موجک بزرگی است. چنین منبع ولتاژی را می‌توان به عنوان خروجی یک مدار یکسوکننده درنظر گرفت. بار می‌تواند یک مقاومت ساده یا یک مدار الکتریکی پیچیده باشد.

تابع کار تنظیم‌کننده تأمین ولتاژ خروجی V_O است که با وجود موجک‌در V_S و تغییر در جریان بار I_L، تا حد امکان ثابت باقی بماند. دو مؤلفهٔ برای دو محاسبهٔ چگونگی کارکرد تنظیم‌کننده بکار می‌رود:



شکل ۳۴-۳. یک تنظیم‌کننده ولتاژ با زنر موازی. ملاحظه می‌کنید که وقتی منبع V_s دارای مولفه موجک بزرگ است، ولتاژ تنظیم شده V_O دارای موجک کوچکی است.

رگولاسیون خط و رگولاسیون بار. رگولاسیون خط به عنوان تغییر در V_O متناظر با ۱ V تغییر در V_S تعریف می‌شود:

$$\text{رگولاسیون خط} \equiv \frac{\Delta V_O}{\Delta V_S} \qquad (۳-۵۷)$$

و معمولاً برحسب mV/V بیان می‌شود. رگولاسیون بار به عنوان تغییر در V_O به ازای ۱ mA تغییر در I_L تعریف می‌شود:

$$\text{رگولاسیون بار} \equiv \frac{\Delta V_O}{\Delta I_L} \qquad (۳-۵۸)$$

معادلات محاسبهٔ این مؤلفه‌ها را می‌توان با جایگذاری مدل مدار معادل بجای دیود زنر در تنظیم‌کننده موازی شکل ۳-۳۴ بدست آورد تا به مدار شکل ۳-۳۵ برسیم. تحلیل مستقیم این مدار نتیجه می‌دهد که:

$$V_O = V_{Z\circ}\frac{R}{R+r_z} + V_S\frac{r_z}{R+r_z} - I_L\,(r_z // R) \qquad (۳-۵۹)$$

در این معادله، فقط جملهٔ اول در سمت راست موردنظر است. جملات دوم و سوم نمایانگر وابستگی به ولتاژ تغذیه و جریان بار هستند، و در نتیجه باید حداقل شوند. در حقیقت از معادلهٔ (۳-۵۹) و تعاریف (۳-۵۷) و (۳-۵۸) داریم که:

$$\text{رگولاسیون خط} = \frac{r_z}{R+r_z} \qquad (۳-۶۰)$$

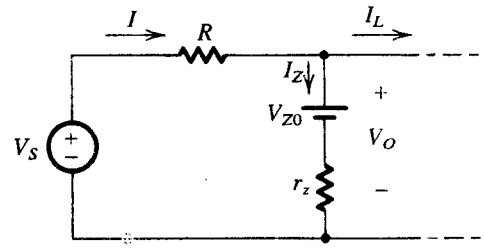
و

$$\text{رگولاسیون بار} = -\,(r_z // R) \qquad (۳-۶۱)$$

توجه کنید که هر دو نتیجه را می‌توان با بررسی مدار تعیین کرد.

یک ملاحظهٔ مهم در طراحی مدار تنظیم‌کننده موازی این است که مطمئن شویم جریان عبوری از دیود زنر هرگز خیلی کم نمی‌شود، زیرا در غیراینصورت، r_z افزایش یافته و کارآیی کاهش می‌یابد. توجه می‌کنیم که حداقل جریان زنر هنگامی عبور می‌کند که V_S در حداقل مقدار و I_L در حداکثر مقدار جریان بار باشد. این کار را با انتخاب صحیح مقدار R می‌توان انجام داد. تحلیل مدار شکل ۳-۳۵ با $V_S = V_{S\min}$، $I_Z = I_{Z\min}$ و $I_L = I_{L\max}$ نتیجه می‌دهد که:

$$R = \frac{V_{S\min} - V_{Z\circ} - r_z I_{Z\min}}{I_{Z\min} + I_{L\max}} \qquad (۳-۶۲)$$



شکل ۳-۳۵. مدار تنظیم‌کنندهٔ موازی با قراردادن مدل مداری دیود بجای آن

مثال ۹-۳

می‌خواهیم یک تنظیم‌کننده موازی زنر طراحی کنیم که ولتاژ خروجی تقریبی ۷/۵ V را تأمین کند. ولتاژ منبع بین ۱۵ و ۲۵ ولت و جریان بار در محدودهٔ ۰ تا ۱۵ mA تغییر می‌کند. دیود زنری موجود است که دارای $V_Z = ۷/۵$ V در جریان ۲۰ mA است و برای آن $r_z = ۱۰\Omega$. مقدار لازم R را یافته و رگولاسیون خط و بار را تعیین کنید. همچنین درصد تغییرات V_O به ازاء تغییرات کامل V_S و I_L را تعیین نمایید.

حل:

ابتدا مقدار مؤلفهٔ $V_{Z\circ}$ مربوط به مدل دیود زنر را با جایگذاری $V_Z = ۷/۵$V، $I_Z = ۲۰$ mA و $r_z = ۱۰\ \Omega$ در معادلهٔ (۳-۵۶) بدست می‌آوریم. حاصل برابر $V_{Z\circ} = ۷/۳$ V است. سپس با استفاده از معادلهٔ (۳-۶۲) و با جایگذاری $V_{S\min} = ۱۵$ V و $I_{L\max} = ۱۵$mA مقدار R را تعیین می‌کنیم و طراحی را برای $I_{L\max} = ۵$mA ($I_{Z\min} = ۱/۳$) انجام می‌دهیم. در نتیجه:

$$R = \frac{۱۵ - ۷/۳ - ۰/۰۱ \times ۵}{۵ + ۱۵} = ۳۸۳\ \Omega$$

رگولاسیون خط را می‌توان با استفاده از معادلهٔ (۳-۲۵) تعیین کرد،

$$\text{رگولاسیون خط} = \frac{r_z}{r_z + R} = \frac{۱۰}{۱۰ + ۳۸۳} = ۲۵/۴\ \text{mV/V}$$

و رگولاسیون بار را می‌توان با استفاده از معادلهٔ (۳-۲۶) یافت،

$$\text{رگولاسیون بار} = -(r_z // R) = -(۱۰ // ۳۸۳) = -\ ۹/۷\ \text{mV/mA}$$

کل تغییر در V_S (از ۱۵ تا ۲۵ V) نتیجه می‌دهد که:

$$\Delta V_O = ۲۵/۴ \times ۱۰ = ۰/۲۵۴\ \text{V یا } ۳/۴\ \%$$

و کل تغییر در I_L (از ۰ تا ۱۵ mA) نتیجه می‌دهد که:

$$\Delta V_O = -\ ۹/۷ \times ۱۵ \cong -\ ۰/۱۵\ \text{V یا } -۲\ \%$$

اثرات حرارت

وابستگی ولتاژ زنر V_Z به حرارت به صورت ضریب حرارتی TC مشخص شده است، که معمولاً با نام "temco" شناخته می‌شود، و برحسب mV/°C است. مقدار TC بستگی به ولتاژ زنر دارد. و برای یک دیود داده شده، TC با جریان نقطهٔ کار تغییر می‌کند. دیودهای زنری که مقدار V_Z آنها کمتر از ۵ V می‌باشد، دارای TC منفی می‌باشند. از طرف دیگر، زنرهای با ولتاژهای بزرگتر دارای TC مثبت خواهند بود. TC مربوط به دیود زنری که V_Z آن در حدود ۵ V است. با بکارگرفتن دیود در یک جریان خاص، صفر می‌شود. روش معمول دیگر برای داشتن یک ولتاژ مرجع با ضریب حرارتی کم اتصال یک دیود زنر با ضریب حرارتی در حدود ۲ mV/°C به طور سری با یک دیود در حال هدایت مستقیم است. از آنجا که دیود در حال هدایت مستقیم دارای افت ولتاژ ۰/۷ V است و TC آن در حدود ۲- mV/°C، ترکیب سری، ولتاژ $(V_Z + ۰/۷)$ با TC در حدود ۰ را می‌دهد.

تمرینها

۳-۲۴ یک دیود زنر که مقدار ولتاژ نامی آن در حدود ۱۰ V است، دارای مقاومت افزایشی ۵۰ Ω است. چه ولتاژی را انتظار دارید اگر جریان دیود نصف شود؟ دو برابر شود؟ مقدار V_{Z0} در مدل دیود زنر چقدر است؟
جواب. ۹/۷۵ V، ۱۰/۵ V، ۹/۵ V

ط ۳-۲۵ یک دیود زنر برای جریانهای بزرگتر از ۵ برابر جریان زانوی منحنی ولتاژ مثبت ۵/۶V را می‌دهد. I_{ZK} برابر ۱mA مشخص شده است. از آن در طراحی یک تنظیم‌کننده موازی که از یک منبع ۱۵ V تغذیه می‌شود، استفاده شده است. جریان بار در محدودهٔ ۰ تا ۱۵ mA تغییر می‌کند. مقدار مناسب مقاومت R را بیابید. حداکثر توان تلف شدهٔ دیود زنر چقدر است؟
جواب. ۴۷۰ Ω، ۱۱۲ mW

۳-۲۶ یک تنظیم‌کننده موازی از یک دیود زنر که ولتاژ ۵/۱ V را در جریان ۵۰ mA می‌دهد و مقاومت افزایشی آن ۷ Ω است، استفاده می‌کند. دیود از طریق یک منبع ۱۵ V با مقاومت ۲۰۰ Ω تغذیه می‌شود. در حالت بی‌باری ولتاژ خروجی چقدر است؟ رگولاسیون خط و بار را بیابید؟
جواب. ۵/۱ V، ۳۳/۸ mV/V، ۶/۸ mV/mA ❑

۳-۷ مدارهای یکسوساز

یکی از مهمترین کاربردهای دیود در طراحی مدارهای یکسوکننده است. یک یکسوکنندهٔ دیودی یک بخش اساسی در ساختار منابع تغذیهٔ dc در ابزارهای الکترونیک قدرت است. نمای کلی چنین منبع تغذیه‌ای در شکل ۳-۲۸ نشان داده شده است. همچنانکه دیده می‌شود، منبع تغذیه از طریق یک خط ac با ۶۰ Hz (rms) ۱۲۰V تغذیه می‌شود و ولتاژ dc، V_O (معمولاً در محدودهٔ ۵ تا ۲۰ V) را به یک مدار الکترونیکی که توسط یک بلوک مشخص شده است، می‌دهد. ولتاژ dc، V_O لازم است که تا حدامکان ثابت باشد، حتی با وجود تغییرات در ولتاژ ac خطی و جریان کشیده شده توسط بار.

اولین بخش در منبع تغذیه dc، **مبدل توان** است. این بخش شامل دو سیم‌پیچ مجزاست که حول یک هستهٔ آهنی که امکان تزویج در سیم‌پیچ را فراهم می‌آورد، قرار دارند. **سیم‌پیچ اولیه**، دارای N_1 دور، به منبع ac V ۱۲۰ و **سیم پیچ ثانویه**، که دارای N_2 دور است، به مدار منبع تغذیهٔ dc متصل می‌باشند. در نتیجه ولتاژ ac، v_S با (N_2/N_1) ۱۲۰ ولت (rms) بین دو پایانهٔ سیم‌پیچ ثانویه می‌افتد. با انتخاب نسبت دور مناسب (N_2/N_1) برای مبدل، طراح می‌تواند ولتاژ خط را به مقدار لازم برای خروجی منبع برساند. برای نمونه، ولتاژ ثانویهٔ (rms) ۸ V معمولاً برای خروجی dc در حدود ۵ V لازم است. این کار را می‌توان با نسبت دور ۱:۱۵ انجام داد.

علاوه بر تأمین دامنهٔ سینوسی موردنظر برای منبع‌تغذیه، مبدل توان جدا سازی الکتریکی بین ابزار الکترونیکی و مدار خط توان را فراهم می‌آورد. جداسازی امکان اتصال الکتریکی به استفاده‌کننده را کاهش می‌دهد.

یکسوکنندهٔ دیودی ولتاژ سینوسی ورودی v_S را به خروجی یک قطبی تبدیل می‌کند، که دارای شکل پالس نشان داده شده در شکل ۳-۳۶ می‌باشد. گرچه این شکل موج دارای مقدار متوسط غیرصفر یا مؤلفهٔ dc است، طبیعت پالسی آن، به علاوهٔ نیاز به یک فیلتر آنرا غیرمناسب برای استفاده به عنوان منبع dc برای مدارهای الکترونیکی می‌سازد. تغییر در دامنهٔ خروجی یکسوکننده توسط بلوک فیلتر شکل ۳-۳۶ به میزان قابل توجهی کاهش می‌یابد. در زیر برخی از مدارهای یکسوکننده و پیاده‌سازی فیلتر سادهٔ خروجی را مطالعه می‌کنیم.

خروجی یک فیلتر یکسوکننده، که بسیار ثابت‌تر از حالت بدون فیلتر است، هنوز شامل مؤلفهٔ وابسته به زمان، بنام **موجک** است. برای کاهش موجک و ثابت ساختن دامنهٔ ولتاژ dc خروجیِ منبع در مقابل تغییرات جریان بار، یک تنظیم‌کننده ولتاژ باید استفاده شود. چنین تنظیم‌کننده‌ای را می‌توان با استفاده از آرایش تنظیم‌کننده موازی زنر که در بخش ۳-۶ مطالعه شد، پیاده‌سازی کرد. بناچار، باید از یک مدار مجتمع (IC) تنظیم‌کننده استفاده کرد. [برای نمونه، soclof (۱۹۸۵) را ببینید.]

یکسوکنندهٔ نیم‌موج

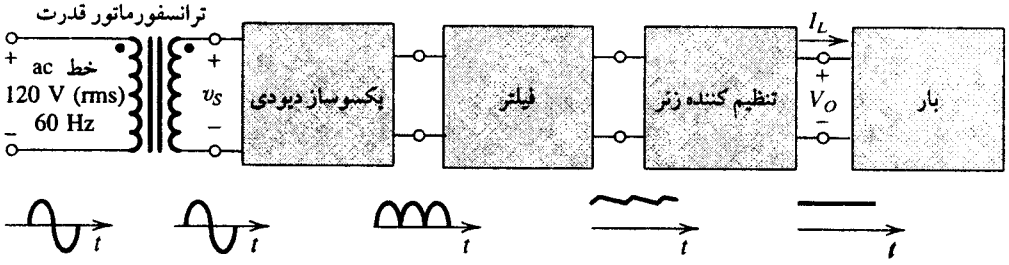
یکسوکنندهٔ نیم‌موج، نیم سیکل از سینوسیِ ورودی را انتخاب می‌کند. شکل (الف ۳-۳۷) مدار یکسوکنندهٔ نیم موج را نشان می‌دهد. این مدار در بخش ۳-۱ (بخش ۳-۳ را ببینید) با فرض ایده‌آل بودن دیود تحلیل شده است. با استفاده از مدل واقعی‌تر خطی - جزیی دیود، مدار معادل نشان داده شده در شکل (ب ۳-۳۷) بدست می‌آید که از آن می‌توان نوشت:

$$V_O = 0 \text{ ، } V_S < V_{D0} \qquad \text{(الف ۳-۶۳)}$$

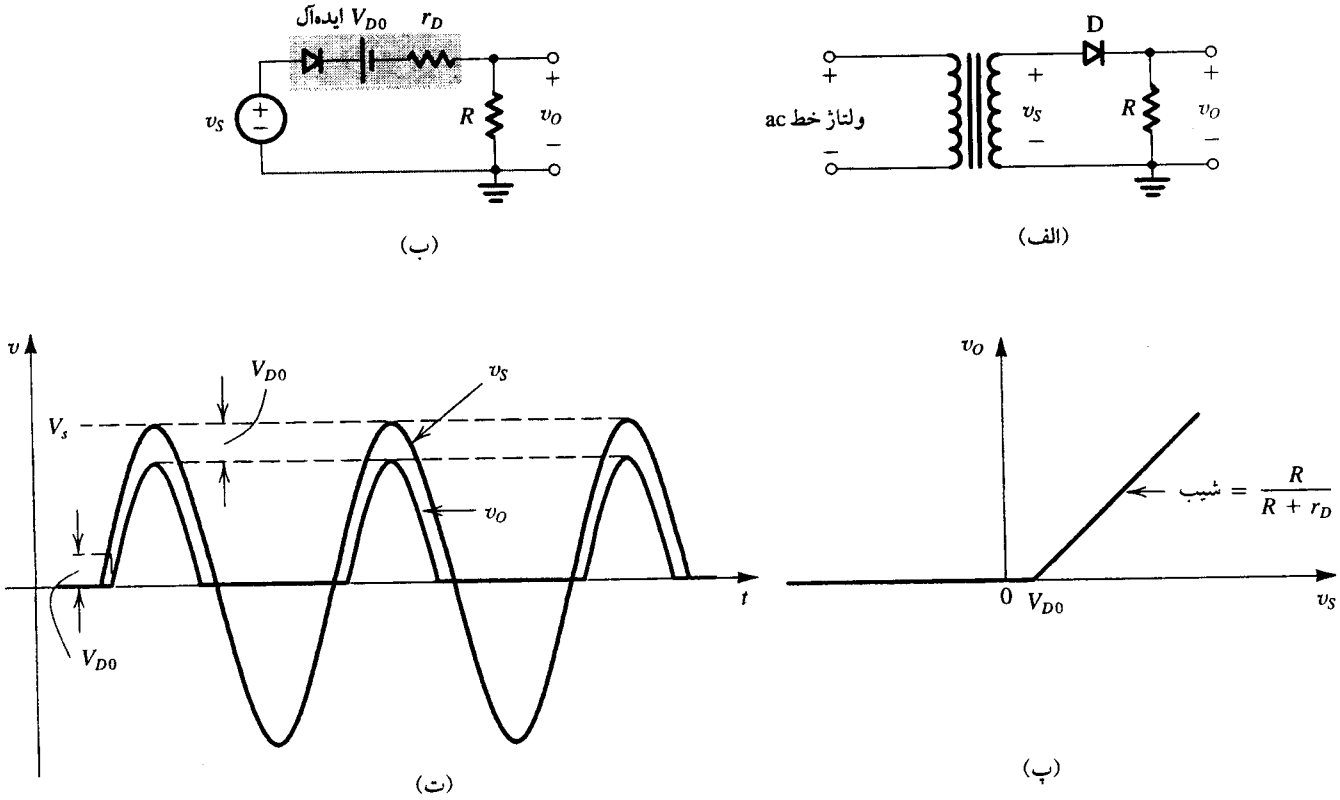
$$V_O = \frac{R}{R + r_D} V_S - V_{D0} \frac{R}{R + r_D} \qquad V_S \geq V_{D0} \qquad \text{(ب ۳-۶۳)}$$

مشخصهٔ انتقال تعیین‌شده توسط این معادلات در شکل (پ ۳-۳۷) رسم شده است. در اغلب کاربردها $r_D << R$ و دومین معادله می‌تواند به صورت زیر ساده شود

$$v_O \cong v_S - V_{D0} \qquad \text{(۳-۶۴)}$$



شکل ۳-۳۶. نمودار ساختاری یک منبع تغذیه dc



شکل ۳۷-۳. (الف) یکسوساز نیم‌موج (ب) مدار معادل یکسوساز نیم‌موج با قراردادن مدل جزء به جزء خطی بجای دیود (پ) مشخصه انتقالی مدار یکسوساز (ت) شکل موجهای خروجی و ورودی با فرض $r_D << R$

که ۰٫۸ V یا ۰٫۷ = V_{D0}. شکل (ت ۳۷-۳) ولتاژ خروجی را هنگامی که v_S سینوسی است، نشان می‌دهد.

در انتخاب دیود برای یکسوسازی، دو مؤلفهٔ مهم باید مشخص شود: قابلیت تحمل جریان لازمِ دیود، که توسط بزرگترین جریانی که ممکن است عبور داده شود تعیین می‌گردد و **نوک ولتاژ معکوس** (PIV) که دیود باید بدون شکست تحمل کند، که توسط بزرگترین ولتاژ معکوسی که انتظار داریم روی دیود ظاهر شود، تعیین می‌گردد. در مدار یکسوکنندهٔ شکل (الف ۳۷-۳) درمی‌یابیم هنگامی که v_S منفی باشد، دیود قطع است و v_O صفر خواهد بود. نتیجه می‌شود که PIV برابرِ نوکِ v_S است.

$$\text{PIV} = V_s$$

معمولاً انتخاب دیودی که دارای ولتاژ شکست معکوسی حداقل ۵۰٪ بزرگتر از PIV درنظر گرفته شده باشد، مطلوب است.

قبل از کنارگذاشتن یکسوکنندهٔ نیم موج، خواننده باید به دو نکته توجه کند. ابتدا، می‌توان از مشخصهٔ نمایی دیود برای تعیین مشخصهٔ انتقال دقیق یکسوکننده استفاده کرد (مسئله ۸۲-۳ را ببینید). بهرحال، میزان کار انجام شده معمولاً بقدری زیاد است که در عمل تأمین نمی‌شود. البته، چنین تحلیلی را می‌توان توسط استفاده از برنامه‌های کامپیوتری تحلیل مدار مثل SPICE (ضمیمه پ و بخش ۱۰-۳ را ببینید) انجام داد.

دوم، بدون توجه به اینکه مدار را بطور دقیق تحلیل کرده‌ایم یا خیر، دیده می‌شود که این مدار هنگامی که سیگنال ورودی کوچک است، بدرستی عمل نمی‌کند. برای مثال، این مدار نمی‌تواند برای یکسوکردن سینوسیِ ورودی با دامنهٔ ۱۰۰ mV بکار رود. برای چنین مواردی باید به مدارهای دقیقی که یکی از آنها در فصل ۱۲ ذکر شده است، مراجعه کرد.

تمرین

۳-۲۷ برای مدار یکسوکنندهٔ شکل (الف ۳۷-۳)، با صرفنظرکردن از r_D، نشان دهید که:

(الف) برای نیم سیکلهایی که حین آن دیود هدایت می‌کند، هدایت در زاویهٔ $\theta = \sin^{-1}(V_{D0}/V_s)$ شروع و با زاویهٔ هدایت کلی $(\pi - 2\theta)$ در زاویهٔ $(\pi - \theta)$ خاتمه می‌یابد.

(ب) مقدار متوسط (مؤلفه dc) v_O برابر $V_O = (1/\pi)\, V_s - V_{D0}/2$ است.

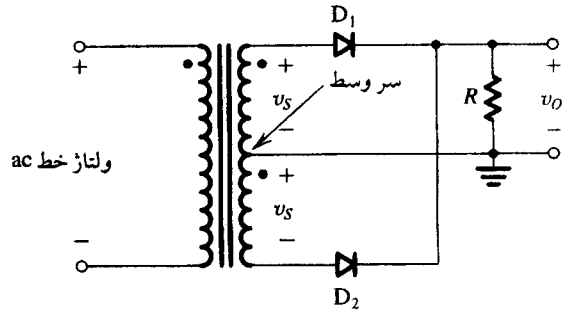
(پ) نوک جریان دیود برابر $(V_s - V_{D0})/R$ است.

مقادیر عددی این مؤلفه‌ها را برای حالتی که ورودیِ سینوسی V(rms) ۱۲ است بیابید، $V_{D0} \cong 0.7$ V و $R = 100\ \Omega$. مقدار PIV را نیز بدست آورید.

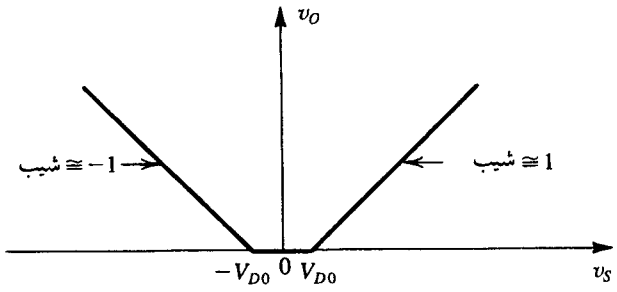
جواب. (الف) $\theta = 2.4°$، $\pi - 2\theta = 175°$ (ب) ۵٫۰۶ V (پ) ۱۶۳mA، ۱۷ V ❑

یکسوکنندهٔ تمام موج

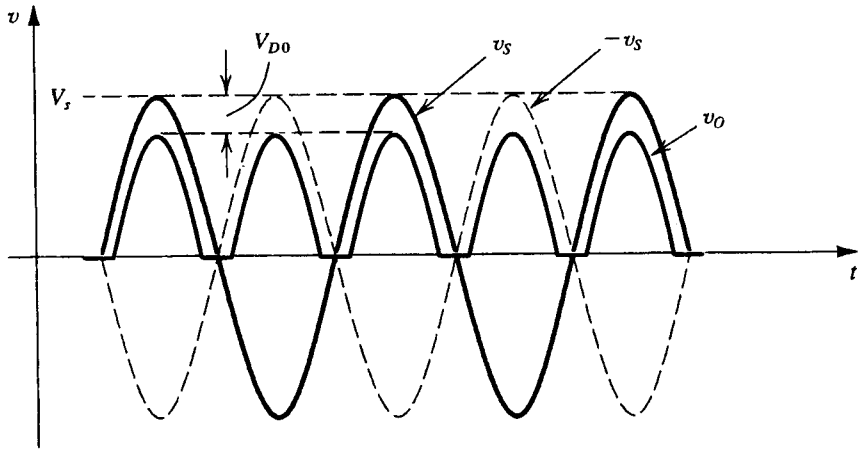
یکسوکنندهٔ تمام موج هر دو نیم‌سیکل ورودی سینوسی را انتخاب می‌کند. برای داشتن خروجی یک قطبی، نیم سیکل منفی موج سینوسی را معکوس می‌کند. یکی از روشهای پیاده‌سازی در شکل (الف ۳۸-۳) نشان داده شده است. برای داشتن دو ولتاژ مساوی v_S روی دو نیمهٔ سیم‌پیچ



(الف)



(ب)



(پ)

شکل ۳۸-۳. یکسوساز تمام موج با استفاده از ترانسفورماتور سر وسط (الف) مدار (ب) مشخصه انتقالی با فرض مدل افت ولتاژ ثابت برای دیودها (پ) شکل موجهای خروجی و ورودی

ثانویه با پلاریتهٔ مشخص‌شده، سیم پیچ ثانویه بصورت سیم‌پیچ با سر وسط (center − tap) قرار گرفته است. توجه کنید هنگامی که ولتاژ خط ورودی (تغذیه اولیه) مثبت است، هر دو سیگنالی که با نام v_S مشخص شده‌اند، مثبت خواهند بود. در این حالت D_1 هدایت و D_2 بایاس معکوس خواهد بود. جریان عبوری از D_1 از طریق R برقرار شده و به مرکز سیم پیچ ثانویه برخواهد گشت. آنگاه مدار به صورت یکسوکنندهٔ نیم‌موج کار خواهد کرد، و خروجی در نیم سیکل مثبت برابر همان خروجی است که یکسوکنندهٔ نیم موج تولید می‌کند.

حال حین نیم سیکل منفیِ ولتاژ خط ac، هر دو ولتاژ v_S منفی خواهند بود. بنابراین D_1 قطع است در حالی که D_2 هدایت می‌کند. جریان عبوری از D_2 از طریق R عبور کرده، و به مرکز سیم‌پیچ بازخواهدگشت. نتیجه می‌شود که حین نیم سیکل منفی مدار مشابه یکسوکنندهٔ نیم موج کار خواهد کرد، بغیر از اینکه در این حالت D_2 هدایت می‌کند. بهرحال نکتهٔ مهم این است که جریان همیشه در یک جهت در R برقرار است و بنابراین v_O یک قطبی است، همچنانکه در شکل (پ ۳۸-۳) نیز نشان داده شده است. شکل موج خروجی نشان داده شده با فرض یک افت ولتاژ ثابت V_{D0} برای دیود در حال هدایت بدست آمده است. به عبارت دیگر، برای سادگی از اثر مقاومت دیودِ r_D صرفنظر کرده‌ایم. در نتیجه مشخصهٔ انتقال یکسو کنندهٔ تمام موج دارای شکل نشان داده شده در شکل (ب ۳۸-۳) است.

یکسوکنندهٔ تمام موج شکل موج پر انرژی‌تری نسبت به یکسوکنندهٔ نیم‌موج فراهم می‌کند. در اغلب کاربردهای یکسوسازی، نوع تمام موج موردنظر است.

برای یافتن PIV دیودها در مدار یکسوکنندهٔ تمام موج، حالتی را در نیم سیکل مثبت درنظر بگیرید. دیود D_1 هدایت می‌کند، و D_2 قطع است. ولتاژ در کاتود D_2، v_O است و در آنود آن $-v_S$ است. بنابراین بایاس معکوس D_2 هنگامی در حداکثر است که v_O در مقدار نوکِ $(V_s - V_{D0})$ و v_S در مقدار نوکِ V_s باشد،

بنابراین $$\text{PIV} = 2V_s - V_{D0}$$

که تقریباً دو برابر مقداری است که برای حالت یکسوکنندهٔ نیم موج داشتیم.

تمرین

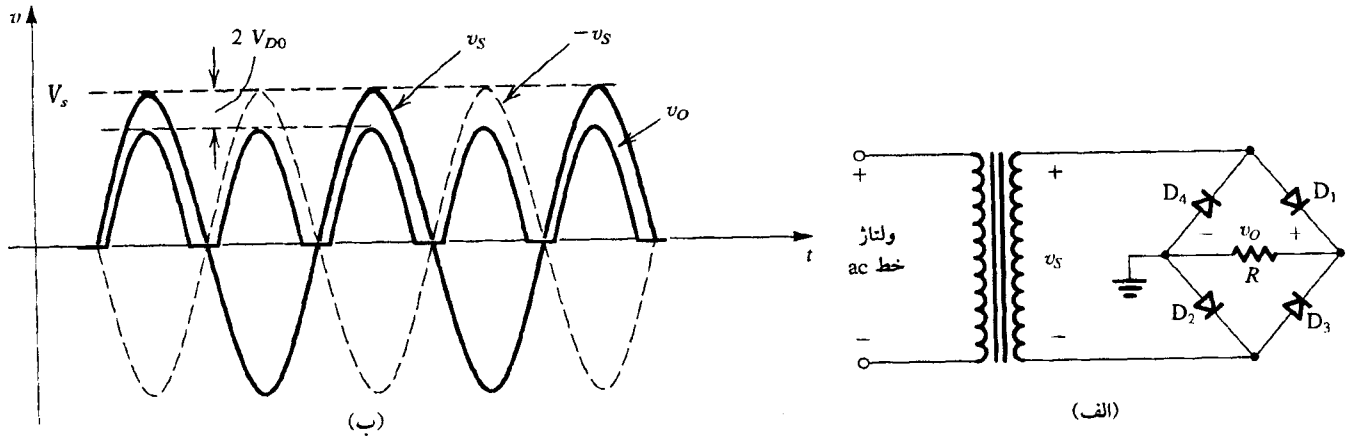
۳-۲۸ برای مدار یکسوکنندهٔ تمام موج در شکل (الف ۳۸-۳)، با صرفنظرکردن از اثر r_D، نشان دهید که:

(الف) خروجی برای زاویهٔ $2\sin^{-1}(V_{D0}/V_s)$ قرار گرفته حول نقطه تلاقی موج سینوسیِ ورودی با خط صفر، صفر است.

(ب) مقدار متوسط (مؤلفهٔ dc) v_O برابر $V_O = (2/\pi)V_s - V_{D0}$. (پ) جریان نوک هر دیود برابر $(V_s - V_{D0})/R$ است.

بخشی از هر سیکل (درصد) را که حین آن $v_O > 0$، بهمراه مقدار V_O، نوک جریان دیود، و مقدار PIV را برای حالتی که سینوسی ورودی V (rms) ۱۲، $V_{D0} \cong 0/7$V و $R = 100\ \Omega$، بیابید.

جواب. ۹۷/۴%، ۱۰/۱ V، ۱۶۳ mA، ۳۳/۳ V. ❑



شکل ۳۹-۳. یکسوساز پل (الف) مدار و (ب) شکل موجهای خروجی و ورودی

یکسوکنندهٔ پل

یک راه پیاده‌سازی یکسوکنندهٔ تمام موج در شکل (الف ۳۹-۳) نشان داده شده است. مدار، به عنوان یکسوکنندهٔ پل شناخته می‌شود زیرا شباهت به آرایش پل وتستون دارد، نیاز به ترانس با سروسط نداریم، که مزیتی بر مدار یکسوکنندهٔ تمام موج شکل ۳۸-۳ است. بهرحال، یکسوکنندهٔ پل، نیاز به چهار دیود دارد که قابل مقایسه با دو دیود مدار قبلی است. این یک عیب برای این مدار نیست، زیرا دیودها ارزان‌قیمت هستند و همچنین می‌توان دیود پل را به صورت بسته خرید.

مدار یکسوکنندهٔ پل به صورت زیر کار می‌کند. در نیم سیکل مثبتِ ولتاژ ورودی، v_S مثبت است و در نتیجه جریان در دیود D_1، مقاومت R و دیود D_2 جریان می‌یابد. در همین ضمن دیودهای D_3 و D_4 بایاس معکوس خواهند بود. دیده می‌شود که دو دیود سری در مسیر هدایت هستند و بنابراین v_O به اندازهٔ افت دو دیود کمتر از v_S است (در مقایسه با افت یک دیود در مدار قبل). این مورد بنوعی عیب یکسوکنندهٔ پل است.

سپس، وضعیتی را درنظر بگیرید که ولتاژ ورودی در نیم سیکل منفی است. ولتاژ ثانویهٔ v_S منفی خواهد بود و بنابراین $-v_S$ مثبت است، که جریان را از طریق D_3، R و D_4 عبور خواهد داد. در همین زمان دیودهای D_1 و D_2 بایاس معکوس خواهند بود. نکته مهم مورد توجه، این است که در هر دو نیم سیکل، جریان عبوری از R در یک جهت خواهد بود (از راست به چپ) و در نتیجه v_O همواره مثبت خواهد بود، همچنانکه در شکل (ب ۳۹-۳) نیز آمده است.

برای تعیین نوکِ ولتاژ معکوسِ (PIV) هر دیود، مدار را در نیم سیکل مثبت درنظر بگیرید. ولتاژ معکوس روی D_3 را می‌توان از حلقهٔ شکل گرفته توسط D_3، R و D_2 به صورت زیر بدست آورد:

$$v_{D3}\,(\text{معکوس}) = v_O + v_{D2}\,(\text{مستقیم})$$

در نتیجه حداکثر مقدار v_{D3} در نوکِ v_O رخ می‌دهد و با رابطه زیر داده می‌شود:

$$\text{PIV} = V_s - 2V_{D0} + V_{D0} = V_s - V_{D0}$$

دیده می‌شود که PIV در اینجا نصف مقدار یکسوکنندهٔ تمام موج با ترانس با سروسط است. این یکی از مزایای یکسوکنندهٔ پل است.

مزیت دیگر یکسوکنندهٔ پل بر مدار با ترانس با سر وسط این است که تعداد دور سیم‌پیچ ثانویه در این حالت نصف است. روش دیگر توجه به این نکته را می‌توان با بررسی این مورد بدست آورد که هر نیمهٔ سیم‌پیچ ثانویهٔ ترانس با سر وسط فقط برای نصف بازهٔ زمانی بکار می‌رود. بطور کلی، یکسوکنندهٔ پل پرکاربردترین آرایش مدار یکسوکننده است.

تمرین

۳-۲۹ برای مدار پل یکسوکنندهٔ شکل (الف ۳۹-۳)، با استفاده از مدلِ افتِ ولتاژ ثابت برای دیود، نشان دهید که: (الف) مقدار متوسط (یا مؤلفهٔ dc) ولتاژ خروجی برابر $V_O = (2/\pi)V_s - 2V_{D0}$ (ب) نوکِ جریان دیود برابر $(V_s - 2V_{D0})/R$ است.

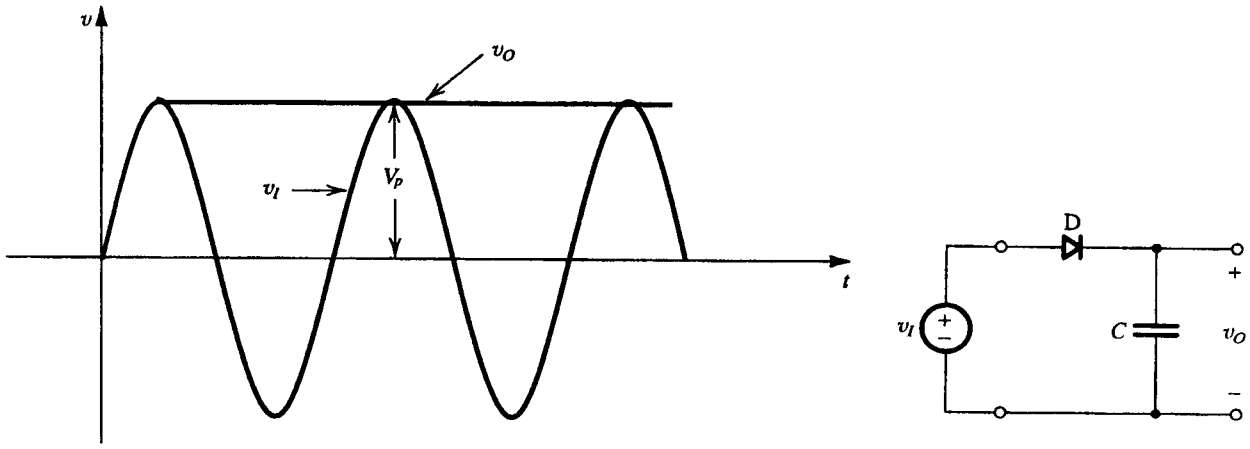
مقادیر عددی را برای کمیتهای بدست آمده در (الف) و (ب) و PIV را برای حالتی که v_S برابر ۱۲ V (rms) سینوسی، $V_{D0} \cong 0/7$ V و $R = 100\,\Omega$ است، بیابید.

جواب. ۹/۴ V، ۱۵۶ mA، ۱۶/۳ V. ❑

یکسوکننده با فیلتر خازنی - یکسوکنندهٔ نوک

طبیعت پالسی ولتاژ خروجیِ تولیدشده توسط مدار یکسوکننده بیان شده در بخشهای قبل استفاده از آنها را به عنوان منبع dc در مدارهای الکترونیکی نامناسب می‌سازد. یک راه ساده برای کاهش تغییرات ولتاژ خروجی، قراردادن یک خازن روی مقاومتِ بار است. نشان داده خواهد شد که این فیلتر خازنی تغییراتِ ولتاژِ خروجیِ یکسوکننده را کاهش خواهد داد.

برای بررسی چگونگی کار مدار یکسوکننده با فیلتر خازنی، ابتدا مدار سادهٔ نشان داده شده در شکل ۴۰-۳ را درنظر بگیرید. فرض کنید ورودی v_I سینوسی با نوکِ V_P باشد و فرض کنید که دیود ایده‌آل باشد. همچنانکه v_I مثبت می‌شود، دیود هدایت می‌کند و خازن شارژ می‌شود، بنابراین $v_O = v_I$. این وضعیت تا هنگامی که v_I به مقدار نوکِ V_P برسد، ادامه می‌یابد. پس از مقدار نوک، همچنانکه v_I کاهش می‌یابد، دیود بایاس معکوس شده



(ب) (الف)

شکل ۴۰-۳. (الف) مداری ساده برای نمایش اثر خازن فیلتر (ب) شکل موجهای ورودی و خروجی با فرض ایده‌آل بودن دیود. مدار یک ولتاژ dc برابر با نوک ورودی سینوسی به دست می‌دهد. از اینرو آنرا آشکار ساز نوک یا یکسوساز نوک می‌نامند.

و ولتاژ خروجی در مقدار V_P ثابت باقی می‌ماند. در حقیقت، ولتاژ خازن در مقدار شارژ باقی می‌ماند زیرا راهی برای دشارژ آن وجود ندارد. در نتیجه مدار ولتاژ dc خروجی برابر با نوکِ موج سینوسیِ ورودی فراهم خواهد کرد. این یک وضعیت مطلوب از نقطه نظر داشتن خروجی dc است.

سپس وضعیت عملی را درنظر می‌گیریم که مقاومت بار R، همچنانکه در شکل (الف ۴۱-۳) نشان داده شده است، روی خازن C بسته شده است. بهرحال، همچنان دیود را ایده‌آل فرض می‌کنیم. مثل قبل، برای ورودی سینوسی، خازن تا نوکِ ورودی V_P شارژ می‌شود. سپس قطع شده و خازن در مقاومت بار R دشارژ می‌شود. دشارژ خازن تقریباً در تمام سیکل ادامه می‌یابد، تا زمانی که در آن v_I از ولتاژ خازن پیشی می‌گیرد. سپس دیود مجدداً روشن شده، خازن تا نوکِ v_I شارژ می‌شود و فرآیند تکرار می‌گردد. دیده می‌شود که برای جلوگیری از کاهش خیلی زیاد ولتاژ خروجی حین دشارژ خازن، مقداری برای خازن C انتخاب می‌شود که ثابت زمانی CR بسیار بزرگتر از بازهٔ دشارژ باشد.

حال آمادهٔ تحلیل مدار بطور دقیق هستیم. شکل (ب ۴۱-۳) شکل موجهای ورودی و خروجی حالت دائمی را تحت فرض $CR \gg T$ ، که T دورهٔ تناوب ورودیِ سینوسی است، نشان می‌دهد. شکل موج جریان بار برابر است با:

$$i_L = v_O / R \qquad (۳-۶۵)$$

و شکل موج جریان دیود برابر است با:

$$i_D = i_C + i_L \qquad (۳-۶۶)$$

$$= C\frac{dv_I}{dt} + i_L \qquad (۳-۶۷)$$

که در شکل (پ ۴۱-۳) نشان داده شده است. موارد زیر به ترتیب مکشوف خواهند شد:

۱- دیود برای یک بازهٔ Δt ، نزدیک نوک ورودی سینوسی هدایت می‌کند و خازن را با باری معادل آنچه که در بازهٔ دشارژ از دست می‌دهد تغذیه می‌کند. بازهٔ آخری تقریباً برابر دورهٔ تناوب T است.

۲- با فرض دیود ایده‌آل، هدایت دیود در زمان t_1 آغاز می‌شود، که در آن ورودی v_I معادل افت نمایی خروجی v_O است. هدایت در زمان t_2 ، کمی پس از نوک v_I متوقف می‌شود. مقدار دقیق t_2 را می‌توان با قراردادن $i_D = 0$ در معادله (۶۷-۳) بدست آورد.

۳- در بازهٔ قطعِ دیود، خازن C از طریق مقاومت R دشارژ شده و در نتیجه v_O به صورت نمایی و با ثابت زمانی CR کاهش می‌یابد. بازهٔ دشارژ تقریباً از نوکِ v_I شروع می‌شود. در انتهای بازهٔ دشارژ، که تقریباً کل دورهٔ تناوب T را می‌پوشاند، $v_O = V_r - V_p$ ، که V_r ولتاژ نوک تا نوک موجک است. هنگامی که $CR >> T$ ، مقدار V_r کوچک است.

۴- اگر V_r کوچک باشد، v_O تقریباً ثابت و برابر نوکِ مقدار v_I است. در نتیجه ولتاژ dc خروجی تقریباً برابر V_p است. به طریق مشابه، جریان i_L تقریباً ثابت است و مقدار مؤلفهٔ dc آن با رابطهٔ زیر داده می‌شود.

$$I_L = \frac{V_p}{R} \qquad (۳-۶۸)$$

یک توصیف دقیقتر برای ولتاژ dc خروجی را می‌توان توسط مقدار متوسط گیری v_O بدست آورد،

$$V_O = V_p - \frac{1}{2}V_r \qquad (۳-۶۹)$$

با دردست داشتن این نتایج می‌توانیم برای V_r و برای مقدار متوسط و نوک جریانِ دیود روابطی را بدست آوریم. حین بازهٔ قطع دیود، v_O به صورت زیر بیان می‌شود،

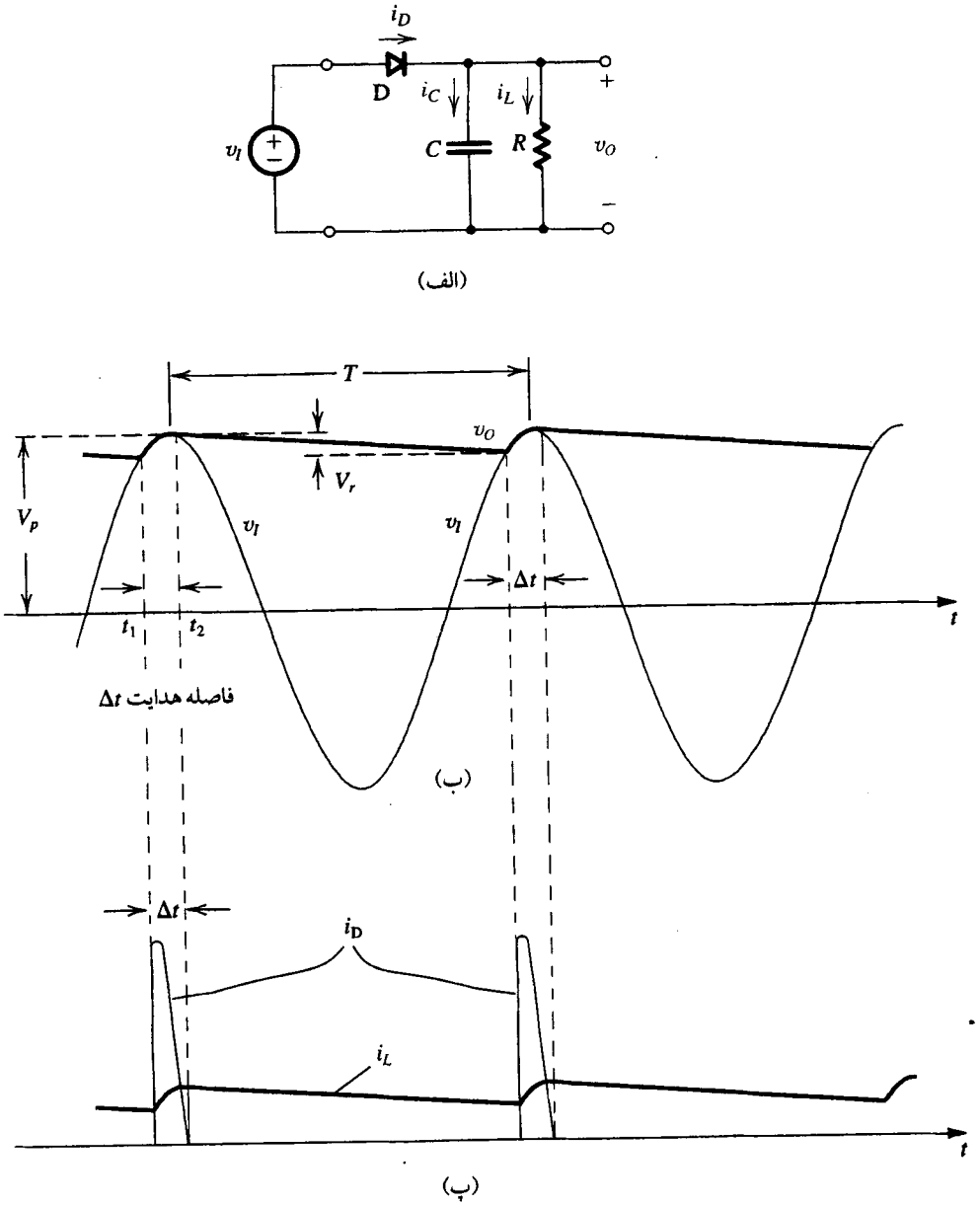
$$v_O = V_p e^{-t/CR}$$

در انتهای بازهٔ دشارژ داریم

$$V_p - V_r \cong V_p e^{-T/CR}$$

حال از آنجا که $CR >> T$ ، می‌توانیم از تقریب $e^{-T/CR} \cong 1 - T/CR$ استفاده کنیم تا داشته باشیم

$$V_r \cong V_p \frac{T}{CR} \qquad (۳-۷۰)$$



شکل ۴۱-۳. شکل موجهای جریان و ولتاژ مدار یکسوساز نوک با $CR \gg T$ دیود ایده‌آل فرض شده است.

درمی‌یابیم که برای داشتن V_r کوچک باید خازن C را چنان انتخاب کنیم که $CR > T$. ولتاژ موجک V_r در معادلهٔ (۳-۷۰) را می‌توان بر حسب فرکانس $f = 1/T$ به صورت زیر نوشت

$$V_r = \frac{V_p}{fCR} \qquad (۳-۷۱)$$

توجه کنید که یک روش برای بیان تقریب انجام شده در بالا این است که خازن توسط یک جریانِ ثابت $I_L = V_p / R$ دشارژ می‌شود. این تقریب تا هنگامی که $V_r \ll V_p$ برقرار است.

با استفاده از شکل (ب ۴۱-۳) و فرض اینکه هدایت دیود در هنگام نوکِ v_I خواهد بود، می‌توانیم بازهٔ هدایت Δt را از رابطهٔ زیر بدست آوریم.

$$V_p \cos(\omega \Delta t) = V_p - V_r$$

که $\omega = 2\pi f = 2\pi/T$ فرکانس زاویه‌ای v_I است. از آنجا که $(\omega\Delta t)$ یک زاویهٔ کوچک است، می‌توانیم از تقریب $\cos(\omega\Delta t) \cong 1 - \frac{1}{2}(\omega\Delta t)^2$ استفاده کنیم تا داشته باشیم

$$\omega\ \Delta t \cong \sqrt{2\, V_r / V_p} \qquad (۳-۷۲)$$

توجه می‌کنیم هنگامی که $V_r \ll V_p$، زاویهٔ هدایت $\omega\Delta t$ کوچک خواهد بود، همچنانکه فرض شده بود.

برای تعیین جریان متوسط دیود در حین هدایت، i_{Dav}، باری را که دیود به خازن تغذیه می‌کند،

$$Q_{\text{تغذیه شده}} = i_{Cav}\, \Delta t$$

با باری که خازن در حین بازهٔ دشارژ از دست می‌دهد، مساوی قرار می‌دهیم

$$Q_{\text{از دست داده}} = CV_r$$

تا داشته باشیم

$$i_{Dav} = I_L\,(1 + \pi\sqrt{2V_p / V_r}\,) \qquad (۳-۷۳)$$

در بدست آوردن این توصیف از معادلهٔ (۶۶-۳) استفاده کرده و فرض کرده‌ایم که i_{Lav} با معادلهٔ (۶۸-۳) داده شده است. همچنین معادلهٔ (۷۱-۳) و (۷۲-۳) را نیز بکار می‌گیریم. دیده می‌شود هنگامی که $V_r << V_p$ ، جریان متوسط دیود حین هدایت بسیار بزرگتر از جریان dc بار است. این نتیجه تعجب‌انگیز نیست زیرا دیود برای بازهٔ بسیار کوچکی هدایت می‌کند و باید باری را که خازن حین بازهٔ طویل‌تر دشارژ، که در آن با جریان I_L دشارژ شده از دست داده است، تأمین کند.

مقدار نوکِ جریان دیود، i_{Dmax}، را می‌توان با درنظر گرفتن رابطهٔ (۶۷-۳) در نقطهٔ هدایت دیود یعنی در $t = t_1 = -\Delta t$ (که $t = 0$ در نوک است) بدست آورد. با فرض اینکه i_L تقریباً در مقدار داده شده در معادلهٔ (۶۸-۳) ثابت است، داریم که

$$i_{Dmax} = I_L\,(1 + 2\pi\sqrt{2V_p / V_r}) \qquad (۳-۷۴)$$

ازمعادلات (۷۳-۳،۷۴-۳) دیده می‌شودکه برای $V_r << V_p$ ، $i_{Dmax} \cong 2 i_{Dav}$ که با این حقیقت که شکل موج i_D تقریباً مثلثی قائم‌الزاویه است هم‌خوانی دارد (شکل پ ۴۱-۳ راببینید).

مثال ۱۰-۳

یک یکسوکنندهٔ نوک را که توسط منبع سینوسی ۶۰ هرتزی با مقدار نوک $V_p = 100$ V تغذیه می‌شود، درنظر بگیرید. مقاومت بار را $R = 10$ kΩ درنظر بگیرید. مقدار خازن C را چنان بیابید که ولتاژ نوک تا نوک موجک 2V باشد. همچنین بخشی از سیکل را که حین آن دیود هدایت می‌کند و مقادیر متوسط و نوکِ جریان دیود را محاسبه کنید.

حل:

از معادلهٔ (۷۱-۳) مقدار C را به صورت زیر بدست می‌آوریم

$$C = \frac{V_p}{V_r f R} = \frac{100}{2 \times 60 \times 10 \times 10^3} = 83.3\,\mu\text{F}$$

زاویهٔ هدایت $\omega\,\Delta t$ از معادلهٔ (۳۷-۳) برابر

$$\omega\,\Delta t = \sqrt{2 \times 2 : 100} = 0.2 \text{ rad}$$

بدست می‌آید. در نتیجه دیود برای $(0.2 / 2\pi) \times 100 = 3.18\,\%$ سیکل هدایت می‌کند. جریان متوسط دیود از معادلهٔ (۳۸-۳) بدست می‌آید، که $I_L = 100 : 10 = 10$ mA،

$$i_{Dav} = 10\,(1 + \pi\sqrt{2 \times 100 : 2}) = 324 \text{ mA}$$

نوک جریان دیود با استفاده از معادلهٔ (۳۹-۳) بدست می‌آید.

$$i_{Dmax} = 10\,(1 + 2\pi\sqrt{2 \times 100 : 2}) = 638 \text{ mA}$$

مدار شکل (الف ۴۱-۳) به عنوان **یکسوکنندهٔ نوک** شناخته می‌شود. مدارهای یکسوکنندهٔ تمام موج شکلهای (الف ۳۸-۳ و الف ۳۹-۳) می‌توانند با افزودن یک خازن روی مقاومت بار به یکسوکنندهٔ نوک تبدیل شوند. شبیه حالت نیم موج، ولتاژ dc خروجی تقریباً برابر مقدارِ نوک موج سینوسی ورودی (شکل ۴۲-۳ را ببینید) خواهد بود. بهرحال، فرکانس موجک دو برابر فرکانس ورودی است. برای این حالت ولتاژ نوک تا نوکِ موجک را می‌توان با روش مشابه آنچه که در بالا بکار رفته است بدست آورد ولی بجای دورهٔ تناوب دشارژ T، مقدار $T/2$ باید جایگزین شود، که نتیجه می‌دهد

$$V_r = \frac{V_p}{2fCR} \qquad (۳-۷۵)$$

در بازهٔ هدایت دیود، Δt، که با معادلهٔ (۷۲-۳) داده شده است، جریانهای متوسط و نوک در هر دیود با رابطهٔ زیر داده شده است.

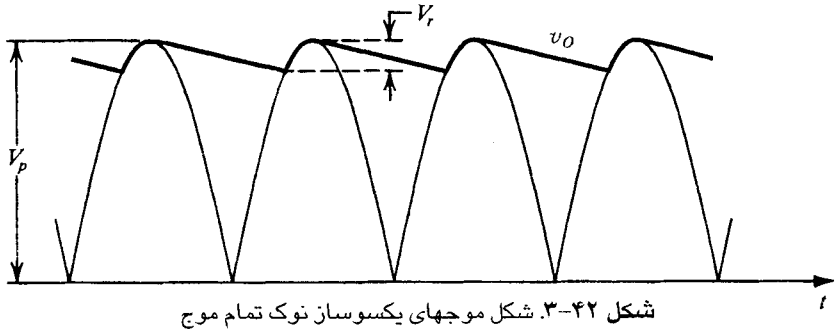
$$i_{Dav} = I_L\,(1 + \pi\sqrt{V_p / 2V_r}) \qquad (۳-۷۶)$$

$$i_{Dmax} = I_L\,(1 + 2\pi\sqrt{V_p / 2V_r}) \qquad (۳-۷۷)$$

با مقایسهٔ این تعاریف با تعاریف متناظر برایِ حالتِ نیم موج، توجه می‌کنیم که برای همان مقادیر V_p، f، R و V_r (و در نتیجه همان مقدار I_L) نیازمند خازنی با ابعاد نصفِ خازن مورد نیاز برای یکسوکنندهٔ نیم‌موج است. همچنین جریان هر دیود در یکسوکننده‌های تمام موج تقریباً نصف جریانی است که در دیود مدار نیم موج برقرار است.

در تحلیل فوق دیودها را ایده‌آل فرض کرده‌ایم. با درنظر گرفتن افت ولتاژ هر دیود می‌توان دقت نتایج را بهبود بخشید. این کار را به راحتی با جایگزینی نوکِ ولتاژ V_p با مقداری که خازن به آن شارژ می‌شود با $(V_p - V_{D0})$ برای مدار نیم موج و مدار تمام موج با ترانس دارای سر وسط، و با $(V_p - 2V_{D0})$ برای حالت یکسوکننده پل می‌توان انجام داد.

از مباحث این بخش نتیجه می‌گیریم که مدارهای یکسوکنندهٔ نوک در سیستمهای پردازش سیگنال که آشکارسازیِ نوک سیگنال ورودی مدنظر است، کاربرد دارند. در چنین حالتی به مدار، **آشکارساز نوک** گفته می‌شود. یک کاربرد خاصِ دیگر آشکارساز نوک در طراحی دمدولاتور برای سیگنالهای مدولهٔ دامنه (AM) می‌باشد. این کاربرد را در اینجا مورد بحث قرار نمی‌دهیم.



شکل ۴۲-۳. شکل موجهای یکسوساز نوک تمام موج

تمرین

ط ۳۰-۳ یک مدار پل یکسوکننده با فیلتر خازنی C را که روی مقاومت بار R بسته شده است، برای حالتی که ثانویهٔ ترانس موج سینوسی ۱۲V(rms) با فرکانس ۶۰ Hz را فراهم می‌کند درنظر بگیرید و فرض کنید $V_{D_0} = 0/8$ V و مقاومت بار $R = 100\Omega$ باشد. مقدار C را چنان بیابید که موجک ولتاژ بیشتر از ۱V نوک تا نوک نباشد. ولتاژ dC در خروجی چقدر خواهد بود؟ جریان بار را بیابید. زاویهٔ هدایت دیودها را بیابید. جریان متوسط دیود چقدر است؟ نوکِ ولتاژ معکوس روی دیود چقدر است؟ دیود را بر حسب نوک جریان و PIV آن مشخص کنید.

جواب. ۱۲۸۳ μF، ۱۵/۴ V یا (تقریب بهتر) ۱۴/۹ V، ۰/۱۵ A، rad ۰/۳۶ (۲۰/۶°)، ۱/۴۴ A، ۲/۷۲ A، ۱۶/۲ V، بنابراین دیودی با ۳/۵ تا ۴ A نوکِ جریان و ۲۰ ولت PIV انتخاب می‌کنیم. ❑

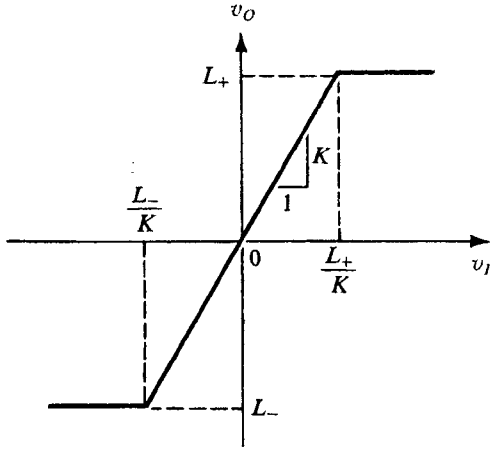
۳-۸ مدارهای محدودکننده و برش

در این بخش کاربردهای غیرخطی دیود را ارائه خواهیم کرد.

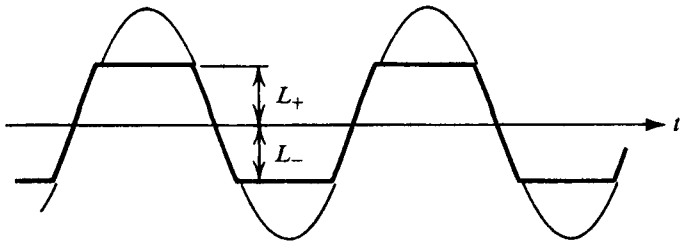
مدارهای محدودکننده

شکل ۳-۴۳ مشخصهٔ انتقال کلی یک مدارمحدودکننده را نمایش می‌دهد. همچنانکه دیده می‌شود، برای ورودیهایی که در محدودهٔ $L_-/K \le v_I \le L_+/K$ می‌باشند، محدودکننده به عنوان یک مدار خطی عمل می‌کند، و خروجی متناسب با ورودی تهیه می‌نماید، $v_O = Kv_I$. اگرچه بطور کلی K می‌تواند بزرگتر از ۱ باشد، مدارهای بیان‌شده در این بخش دارای $K \le 1$ هستند و به عنوان محدودکننده‌های مثبت شناخته می‌شوند. (مثالهایی از محدودکننده‌های فعال را در فصل ۱۲ خواهید دید). اگر v_I از آستانهٔ بالا بیشتر شود (L_+/K)، ولتاژ خروجی به حد بالای L_+ محدود شده یا برش خواهد کرد. از طرف دیگر، اگر v_I زیرآستانهٔ پایین قرار گرفته باشد (L_-/K)، ولتاژ خروجی v_O به حد پایین L_- محدود می‌شود.

مشخصهٔ انتقال کلیِ شکل ۳-۴۳ یک **محدودکنندهٔ دوطرفه** را نشان می‌دهد - یعنی محدودکننده‌ای که روی هر دو نوک مثبت و منفی شکل موج ورودی کار می‌کند. البته **محدودکنندهٔ یک طرفه**، نیز موجود است. نهایتاً، توجه کنید که اگر شکل موج ورودیِ همانند آنچه که در شکل ۳-۴۴



شکل ۳-۴۳. مشخصه‌های انتقالی عمومی برای مدار محدودکننده



شکل ۳-۴۴. اعمال موج سینوسی به یک محدودکننده که موجب برش دو نوک آن می‌شود.

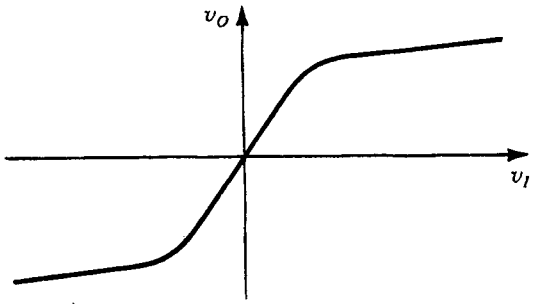
آمده به یک محدودکنندهٔ دوطرفه اعمال شود، هر دو نوک آن بریده خواهد شد. در این صورت گاهی به محدودکننده‌ها **برشگر** نیز گفته می‌شود.

محدودکننده‌ای که مشخصهٔ آن در شکل ۳-۴۳ آمده است. به عنوان **محدودکنندهٔ سخت** شناخته می‌شود. **محدودسازی نرم** توسط حالت گذری نرم‌تر بین ناحیهٔ خطی و ناحیهٔ اشباع انجام می‌شود و همچنانکه در شکل ۳-۴۵ دیده می‌شود شیب در ناحیهٔ اشباع بزرگتر از صفر است. بسته به نوع کاربرد، محدودسازی نرم یا سخت موردنظر قرار خواهد گرفت.

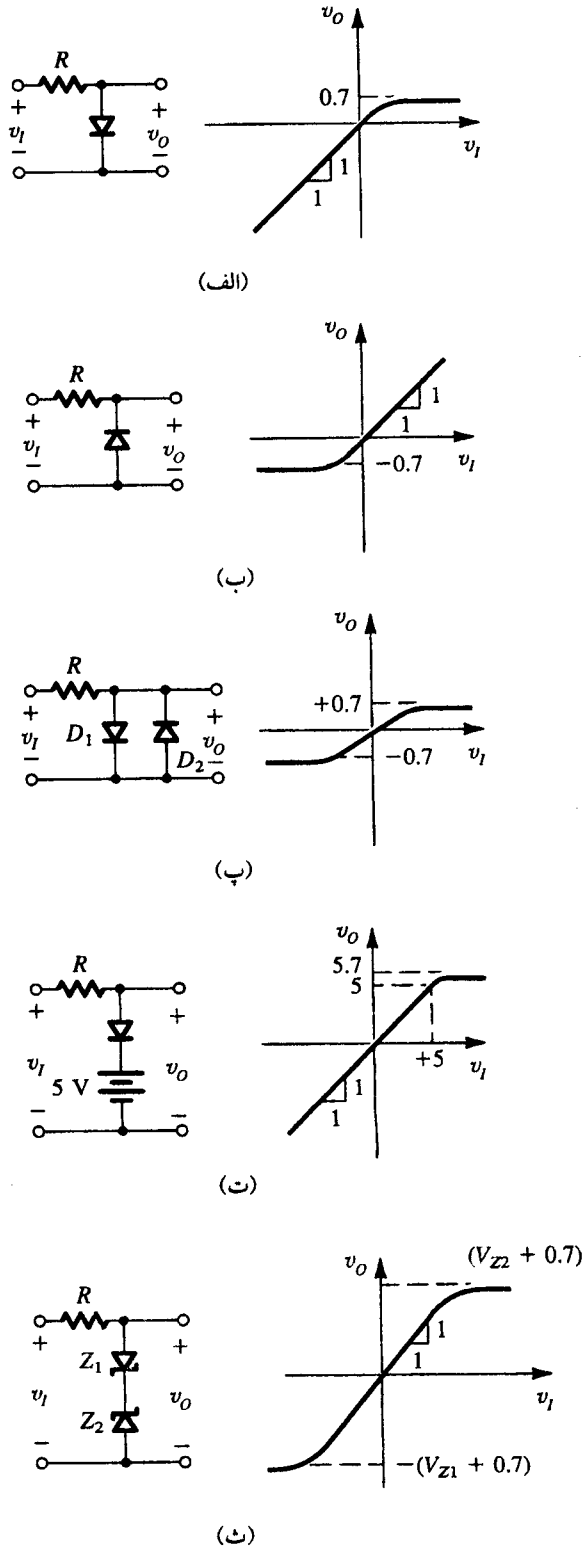
محدودسازها در برخی از سیستمهای پردازش سیگنال کاربرد پیدا کرده‌اند. یکی از ساده‌ترین کاربردها محدودسازیِ ولتاژ بین پایه‌های ورودی op-amp به مقداری کمتر از ولتاژ شکست ترانزیستورهایی است که طبقهٔ ورودی مدار op-amp را می‌سازند. در جای دیگری از کتاب روی این مورد و کاربردهای دیگر محدودکننده‌ها بحث خواهیم کرد.

از ترکیب دیودها و مقاومتها می‌توان برای پیاده‌سازی تابع محدودکننده استفاده کرد. تعدادی مثال در شکل ۳-۴۶ ذکر شده است. در هر بخشِ این شکل هم مدار و هم مشخصهٔ انتقال داده شده‌اند. مشخصهٔ انتقال با استفاده از مدل افتِ ولتاژ ثابت $(V_D = 0/7\ \text{V})$ بدست آمده است ولی گذر بین ناحیهٔ خطی و ناحیهٔ اشباع آرام فرض شده است. با استفاده از مدل جزیی - خطی برای دیود می‌توان تقریب بهتری برای مشخصهٔ انتقال بدست آورد. در این صورت، ناحیهٔ اشباع مشخصه شیب کمی را نشان می‌دهد (با توجه به اثر r_D).

مدار شکل (الف ۳-۴۶) یک یکسوکنندهٔ نیم موج است به غیر از اینکه خروجی در این حالت از دو سر دیود گرفته شده است. برای $v_I < 0/5\text{V}$، دیود قطع است، جریان نخواهیم داشت و افت ولتاژ روی R نیز صفر می‌باشد. در نتیجه $v_O = v_I$. همچنانکه v_I بالاتر از ۰/۵ V می‌رود، دیود



شکل ۳-۴۵. محدودکنندهٔ نرم



شکل ۴۶-۳. چند نمونه مدار محدودکننده اساسی

روشن می‌شود و v_O به یک افت دیود (۰/۷ V) محدود می‌شود. مدار شکل (ب ۴۶-۳) شبیه چیزی است که در بخش (الف) آمده با این تفاوت که دیود معکوس شده است.

محدودسازی دوطرفه را می‌توان با قراردادن دو دیود با پلاریته مخالف به صورت موازی، پیاده‌سازی کرد، همچنانکه در شکل (پ ۴۶-۳) نیز آمده است. در اینجا ناحیهٔ خطی مشخصه برای $-۰/۵V \le v_I \le ۰/۵V$ بدست می‌آید. برای این محدودهٔ v_I، هر دو دیود قطع بوده و $v_I = v_O$. همچنانکه v_I منفی‌تر از $-۰/۵$ V می‌شود، $D_۲$ روشن شده و v_O را به $-۰/۷V$ محدود می‌کند.

سطوح آستانه و اشباع محدودکننده‌های دیودی را می‌توان توسط مجموعه‌ای از دیودها و یا توسط اتصال ولتاژ dc به طور سری با دیودها، کنترل کرد. نظریهٔ آخر در شکل (ت ۴۶-۳) ذکر شده است. بجای مجموعه‌ای از دیودها می‌توانیم دو دیود زنر بطور سری را بکار ببریم، همچنانکه در شکل (ث ۴۶-۳) آمده است. در این مدار محدودسازی در جهت مثبت در ولتاژ $V_{Z۲} + ۰/۷$ رخ می‌دهد، که ۰/۷V نمایندهٔ افت ولتاژ روی دیود $Z_۱$ است هنگامی که در جهت مستقیم هدایت‌کند. برای ورودیهای منفی، $Z_۱$ به عنوان زنر کار می‌کند، حال آنکه $Z_۲$ در جهت مستقیم هدایت می‌کند. باید یادآور شویم که زوج دیودهای زنر که بصورت سری بسته شده‌اند برای کاربردهایی از این نوع موجود می‌باشد و تحت نام **زنر دو آنودی** شناخته می‌شود.

مدارهای محدودکنندهٔ با قابلیت بیشتر، در صورتی که از ترکیب op−amp با دیود و مقاومت استفاده کنیم، بدست می‌آیند. مثالهایی از چنین مدارهایی در فصل ۱۲ ذکر شده است.

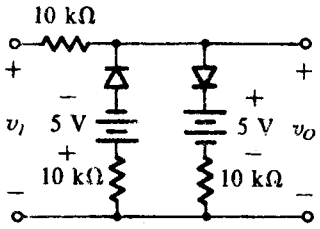
تمرین

۳۱-۳ فرض کنید دیود ایده‌آل باشد، مشخصهٔ انتقال مدار نشان داده شده در شکل (۳۱-۳ ت) را بدست آورید.

جواب. $v_O = v_I$ برای : $-۵ \le v_I \le +۵$

$v_O = \frac{۱}{۲} v_I - ۲/۵$ برای : $v_I \le -۵$

$v_O = \frac{۱}{۲} v_I + ۲/۵$ برای : $v_I \ge +۵$

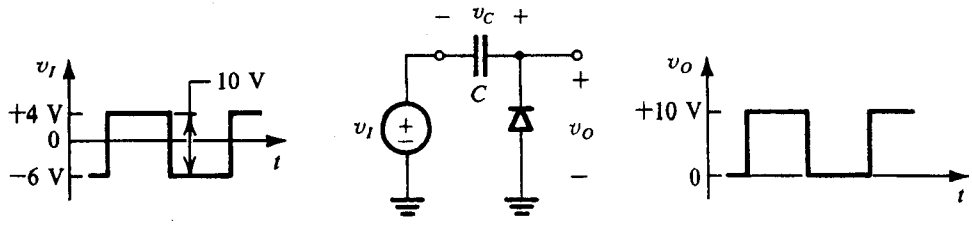


شکل (۳۱-۳ ت)

❑

خازن پرش یا ذخیره‌کنندهٔ DC

اگر در مدار یکسوکنندهٔ نوک اصلی، خروجی را از دو سر دیود بگیریم، یک مدار جالب با موارد کاربرد مهم بدست می‌آید. مدار را یک ذخیره‌کننده یا بازیافت‌کننده dc می‌خوانند، که در شکل ۴۷-۳ با یک موج مربعی تغذیه شده است. به علت پلاریته‌ای که دیود در آن هدایت می‌کند، خازن با ولتاژ v_C شارژ می‌شود (شکل ۴۷-۳ را ببینید) که برابر مقدار منفی‌ترین نوک



شکل ۴۷-۳. خازن پرش یا بازیافت کنندهٔ dc با ورودی موج مربعی و بدون بار

سیگنال ورودی است. با این ترتیب، دیود خاموش می‌شود و خازن مقدار ولتاژ مشخص شده را می‌گیرد. اگر، برای مثال، موج مربعی ورودی دارای سطح اولیهٔ ۶V− و ۴V+ باشد، آنگاه v_C برابر ۶ V است. حال، از آنجا که ولتاژ خروجی v_O با رابطه

$$v_O = v_I + v_C$$

بدست می‌آید، نتیجه می‌شود که شکل موج خروجی با ورودی یکسان است، بجز اینکه به مقدار v_C ولت انتقال یافته است. در این مثال خروجی یک موج مربعی با سطوح ۰ V و ۱۰ V+ خواهد بود.

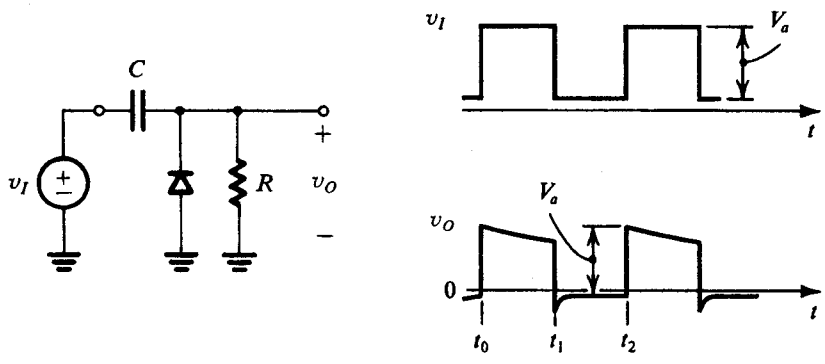
یک راه دیگر تصور کار مدار شکل (۴۷-۳)، توجه کردن به این نکته است که چون دیود با پلاریتهٔ نشان داده شده در خروجی بسته شده است، از رفتن خروجی به ولتاژهای زیر ۰ V جلوگیری می‌کند (توسط هدایت و شارژ خازن، که سبب می‌شود خروجی بالاتر از ۰ V برود)، ولی این اتصال تأثیری روی قسمت مثبت v_O ندارد. شکل موج خروجی سپس مقدار حداقلی در صفر خواهد داشت و به همین علت به این مدار، مدار **خازن پرش** می‌گویند. باید دقت شود که پلاریتهٔ دیود معکوس، یک موج خروجی که دارای حداکثر دامنهٔ ۰ V است مهیا می‌کند. در هر حالت موج خروجی مقدار متوسط یا **مؤلفهٔ dc** محدودی خواهد داشت. مؤلفهٔ dc رابطه‌ای با مقدار متوسط موج ورودی ندارد. به عنوان یک کاربرد، یک سیگنال پالس را که از طریق یک سیستم ac کوپل شده یا کوپل خازنی ارسال می‌شود درنظر بگیرید. کوپل خازنی سبب می‌شود که قطار پالس مؤلفهٔ dc خود را از دست بدهد. با تغذیهٔ این پالس به یک مدار پرش، این مدار یک مقدار dc برای موج فراهم می‌کند. این عمل تحت نام **بازیافت dc** شناخته می‌شود. به همین علت مدار را **بازیافت کنندهٔ dc** می‌نامند.

بازیافت dc کاری مفید است زیرا مؤلفهٔ dc شکل موج پالس یک مقدار موثر برای اندازه‌گیری نسبت پهنای پالس به فاصلهٔ زمانی بین پالسهای متناوب است. سیکل کار یک شکل موج پالس را می‌توان مدوله کرد (بصورت مدولاسیون عرض پالس) و اطلاعات را از طریق آن حمل کرد. در چنین سیستمی، آشکارسازی یا دمدولاسیون را به سادگی با اعمال موج پالس رسیده به یک بازیافت کنندهٔ dc و سپس استفاده از یک فیلتر پایین‌گذر RC ساده برای جداکردن مقدار متوسط موج خروجی از پالسهای اضافی جمع شده، می‌توان انجام داد.

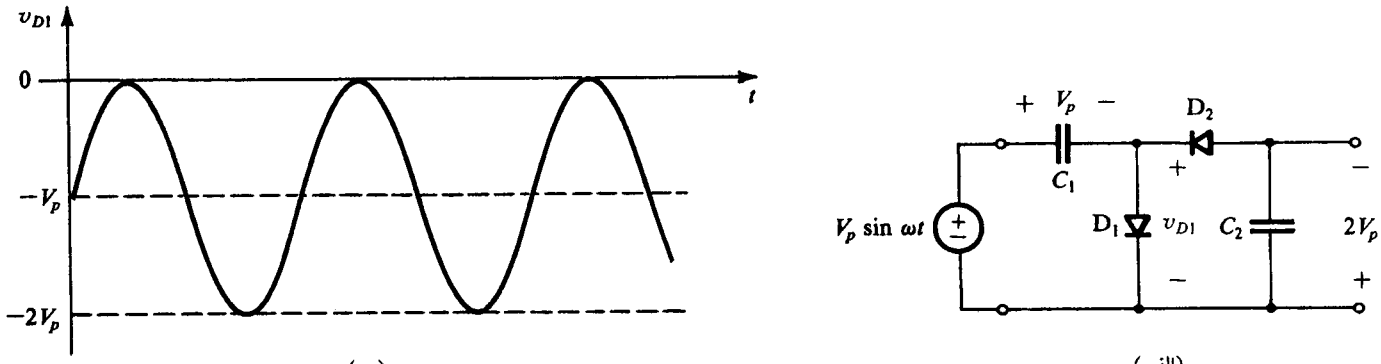
هنگامی که در مدار پرش یک مقاومت R موازی دیود بسته شود، همچنانکه در شکل ۴۸-۳ نشان داده شده است، وضعیت بطور کلی تغییر می‌کند. هنگامی که خروجی بیشتر از صفر است، یک مقدار جریان dc در R جریان دارد. چون در این زمان دیود قطع است، این جریان از خازن می‌آید، بنابراین خازن دشارژ می‌شود و ولتاژ خروجی افت می‌کند. این عمل در شکل ۴۸-۳ برای ورودی موج مربعی نمایش داده شده است. در طی بازه t_0 تا t_1 ولتاژ خروجی به صورت نمایی با ثابت زمانی CR افت می‌کند. در t_1 ورودی به اندازهٔ V_a ولت کم می‌شود و خروجی آن را تعقیب می‌کند. این عمل سبب می‌شود که دیود به شدت هدایت کند و به سرعت خازن را شارژ نماید. در پایان بازهٔ t_1 تا t_2 ولتاژ خروجی معمولاً مقدار منفی چند دهم ولت خواهد داشت (مثلاً ۰/۵ V−). سپس همچنانکه ورودی به اندازهٔ V_a ولت افزایش می‌یابد (در t_2) خروجی آن را دنبال می‌کند، و این سیکل تکرار می‌شود. در حالت دائمی بار تلف شدهٔ خازن در بازهٔ t_0 تا t_1 در بازهٔ t_1 تا t_2 فراهم می‌شود. این تعادل بار ما را قادر می‌سازد تا متوسط جریان دیود را به خوبی شکل موج خروجی محاسبه کنیم.

دوبرابرکنندهٔ ولتاژ

شکل (الف ۴۹-۳) یک مدار دو قسمتی را که پشت سرهم بسته شده‌اند نشان می‌دهد: یک مدار پرش توسط C_1 و D_1 و یک یکسوکنندهٔ نوک که توسط D_2 و C_2 شکل گرفته است. هنگامی که مدار توسط یک موج سینوسی با دامنهٔ V_p تحریک شود، قسمت پرش شکل موج ولتاژی



شکل ۴۸-۳. خازن نگهدارنده با مقاومت بار R



شکل ۴۹-۳. دو برابر کنندهٔ ولتاژ (الف) مدار (ب) شکل موج ولتاژ D_1

مطابق شکل (ب ۴۹-۳) فراهم خواهد کرد. توجه کنید وقتی نوکهای مثبت به صفر ولت می‌پرند، نوکهای منفی به $-2V_p$ می‌رسند. در پاسخ به این شکل موج، قسمت آشکارساز نوک یک ولتاژ dc منفی با دامنهٔ $2V_p$ روی خازن C_2 تولید می‌کند. از آنجا که نوک ولتاژ ورودی دوبرابر شده است، مدار را یک دوبرابرکنندهٔ ولتاژ می‌خوانند. این روش را می‌توان برای داشتن ولتاژ dc از مضارب بالاتر V_p، گسترش داد.

تمرین

۳۲-۳ اگر دیود مدار ۴۷-۳ معکوس شود، مؤلفهٔ dc مربوط به v_O چقدر خواهد بود؟

جواب. -5 V. □

۹-۳ دیودهای خاص

در این بخش به طور خلاصه بعضی از انواع دیودهای خاص را بررسی می‌کنیم.

دیود سد شاتکی (SBD)

دیود سد شاتکی (یا به اختصار SBD) از اتصال فلز با یک نیمه‌هادی با ناخالصی ناچیز نوع n بدست می‌آید. پیوند هادی - فلز بدست آمده مانند یک دیود عمل می‌کند و جریان را در یک سو هدایت می‌کند (از آنود فلز به کاتود نیمه هادی) و از سوی دیگر مانند یک مدار باز عمل می‌کند و به دیود سد شاتکی و یا به طول خلاصه به دیود شاتکی موسوم است. در حقیقت مشخصه جریان - ولتاژ SBD کاملاً شبیه است به یک دیود با پیوند pn، غیر از دو استثناء

۱- در SBD، جریان ناشی از حاملهای اکثریت (الکترونها) است. بنابراین در بایاس مستقیم پیوندهای pn ذخیره بار حاملهای اقلیت وجود ندارد. در نتیجه، دیودهای شاتکی می‌توانند بسیار سریعتر از آنچه در دیودهای پیوند pn معمولی از حالت روشن به خاموش سویچ کنند.

۲- افت ولتاژ پیشرو یک SBD در حال هدایت کمتر از دیود پیوند pn است. بطور مثال، یک SBD ساخته شده از سیلیکون دارای افت ولتاژی بین ۰/۳ تا ۰/۵V می‌باشد. در حالی که در دیودهای پیوند pn سیلیکون این افت ولتاژ بین ۰/۶ تا ۰/۸V است. SBDها از جنس گالیوم نیز ساخته می‌شود و چنانکه در فصلهای ۵، ۶ و ۱۴ خواهیم دید نقش مهمی در طراحی مدارهای گالیوم آرسنید دارد. دیودهای شاتکی گالیوم آرسنید دارای افت ولتاژی حدود ۰/۷V می‌باشند.

در این کتاب دو کاربرد مهم دیودهای شاتکی ارائه می‌شود. یکی در مدارهای GaAs چنانکه بیش از این گفته شد؛ و دیگری در طراحی صورت مخصوصی از مدارهای منطقی ترانزیستور دو قطبی، موسوم به TTL شاتکی و پیش از آنکه از مبحث دیود سد شاتکی بگذریم، توجه به این نکته اهمیت دارد که هر پیوند نیمه هادی - فلز یک دیود نمی‌سازد. در واقع، برای ساخت پایه‌های قطعات نیمه هادی، و اتصال آن به دیگر قطعات در یک مدار مجتمع، بر سطح نیمه هادی معمولاً فلز قرار می‌دهند. چنین اتصالی از فلز - نیمه‌هادی به **اتصال اهمی** موسوم است و از اتصالهای یکسوساز تشکیل دهنده دیود شاتکی متمایز است. اتصال‌های اهمی از قرار گرفتن فلز بر یک نیمه هادی با ناخالصی زیاد ساخته می‌شود.

ورکتور (Varactor)

پیش از این آموختیم که در پیوندهای pn بایاس معکوس اثر ذخیره بار وجود دارد که با ظرفیت لایه تهی یا پیوند C_j مدل می‌شوند. همانگونه که معادله (۲۷-۳) نشان می‌دهد، C_j تابعی از ولتاژ معکوس V_R است. این وابستگی در مواردی مفید است، مانند تنظیم خودکار گیرنده‌های رادیو. به این ترتیب دیودهای خاص به عنوان خازنهای متغیر با ولتاژ ساخته می‌شود که آنها را به اختصار ورکتور می‌نامند. این دیودها به گونه‌ای بهینه‌سازی می‌شود تا ظرفیت بر اساس ولتاژ با ضریب گرادیان m بین ۳ یا ۴ بدست آید.

دیودهای نوری

اگر یک پیوند pn با بایاس معکوس نور داده شود، یعنی در معرض تابش نور قرار گیرد، فوتونهایی که به پیوند می‌خورند پیوندهای کووالانتی را می‌شکنند، و به این ترتیب زوجهای الکترون - حفره در لایه تهی ایجاد می‌شود. آنگاه میدان الکتریکی در ناحیه تهی الکترونهای آزاد را به سمت n و حفره‌ها را به سمت p می‌راند و جریان معکوسی در پیوند ایجاد می‌کند. این جریان که به جریان نوری موسوم است، با چگالی نور فرودی متناسب است. این دیود را یک فتودیود یا دیود نوری می‌نامند و از آن برای تبدیل

سیگنالهای نوری به سیگنالهای الکتریکی استفاده می‌شود.
دیودهای نوری معمولاً با استفاده از یک نیمه هادی مرکب مانند گالیوم آرسنید ساخته می‌شود. دیود نوری عنصری مهم از مجموعه رو به رشدی از مدارات بنام الکترونیک نوری یا فوتونیک است. چنانکه از نامشان برمی‌آید از این مدارها برای پردازش، ذخیره سازی، و ارسال سیگنال از ترکیب بهینه اپتیک و الکترونیک استفاده می‌شود. معمولاً الکترونیک برای پردازش سیگنال ترجیح داده می‌شود در حالیکه اپتیک برای ارسال و ذخیره مناسبتر است. ارسال سیگنال‌های تلفن و تلویزیون با فیبر نوری و استفاده از ذخیره سازی نوری در دیسکهای CD-ROM کامپیوتر مثالهایی از این دسته‌اند. ارسال نوری با پهنای زیاد و تضعیف کم کیفیت سیگنال همراه است. ذخیره سازی نوری امکان ذخیره حجم عظیمی از داده‌ها را در محیطی کوچک ممکن می‌کند.
در پایان، دقت کنید بدون بایاس معکوس، یک دیود نوری به مثابه یک سلول خورشیدی کار می‌کند. سلول خورشیدی از سیلیکون ارزان قیمت ساخته می‌شود و نور را به انرژی الکتریکی تبدیل می‌کند.

دیودهای نورافشان (LED)

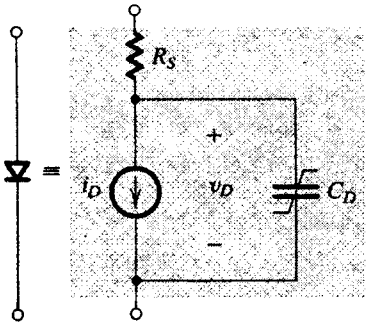
دیود نورافشان (یا به اختصار LED) عکس دیود نوری کار می‌کند. این دیود جریان مستقیم را به نور تبدیل می‌کند. بیاد دارید که در پیوند pn با بایاس معکوس، حاملهای اقلیت به پیوند تزریق شدهٔ در نواحی p و n انتشار می‌یابند. حاملهای اقلیت انتشار یافته با حاملهای اکثریت باز ترکیب می‌شوند. چنین بازترکیبی می‌تواند با انتشار نور همراه باشد. از اینرو پیوند pn از نوعی نیمه هادی موسوم به مواد شکاف انرژی - راست، ساخته می‌شود. گالیوم آرسنید از این دسته است و از آن می‌توان برای ساختن دیودهای نورافشان استفاده کرد.
نور یک LED به دفعات باز ترکیب انجام شده بستگی دارد، که این به نوبه خود متناسب با جریان مستقیم دیود است.
LED ها قطعات پرکاربردی هستند. از آنها در طراحی انواع نمایشگر، شامل صفحه نمایش دستگاههای اندازه‌گیری مثل ولتمتر دیجیتال استفاده می‌شود. می‌توانند به گونه‌ای ساخته شوند که رنگهای متنوعی ایجاد کنند. بعلاوه، LEDها برای تولید نور همدوس با پهنای باند باریک بکار می‌رود. این دیود یک **دیود لیزری** است. دیودهای لیزری در دستگاههای مخابرات نوری و در پخش‌های CD و وسایل دیگر کاربرد دارند.
از ترکیب دیود نورافشان با یک دیود نوری در یک محفظه، قطعه‌ای بنام **عایق ساز نوری** ساخته می‌شود. LED سیگنال الکتریکی وارد شده به عایق‌ساز نوری را به نور تبدیل می‌کند. دیود نوری این نور را آشکار سازی کرده و آن را دوباره به یک سیگنال الکتریکی تبدیل می‌کند و در خروجی عایق ساز بدست می‌دهد. استفاده از عایق ساز نوری بین مدار الکتریکی ورودی و مدار خروجی بطور کامل عایق سازی می‌کند. چنین عایق‌سازی در کاهش تداخل الکتریکی سیگنال‌های درون سیستم مفید است. به همین دلیل از عایق ساز نوری در طراحی سیستمهای دیجیتالی به نور استفاده می‌شود. از عایق ساز نوری در طراحی دستگاههای پزشکی استفاده می‌شود تا احتمال شوک الکتریکی برای بیمار کاهش یابد.
دقت کنید که انتقال نور بین LED و دیود نوری لازم نیست در محفظه‌ای کوچک صورت گیرد. بلکه، با استفاده از یک فیبرنوری از فاصله طولانی این کار انجام شدنی است همانگونه که در مخابرات فیبرنوری مرسوم است.

۱۰-۳ مدل دیودی SPICE و نمونه‌های شبیه سازی

استفاده از کامپیوتر در شبیه سازی کار مدارهای الکترونیک گام مهمی از فرآیند طراحی مدار است . این امر طراح را قادر می‌سازد تا با قطعات واقعی و مشخصات غیرمطلوب آنها را طراحی کند. همچنین سبب درک عمیقتر از عملکرد مدار شده و برای دستیابی به طرح بهتری قبل از ساخت منجر می‌گردد، البته، تاکید می‌شود که شبیه سازی کامپیوتری برای درک عملکرد همه مدارها مناسب نیست، بلکه فقط یک مرحله بعد از اجرای طراحی و پس از طراحی بر روی کاغذ بایستی انجام شود.
در بین برنامه‌های گوناگون شبیه‌سازی، SPICE پرکاربردترین آنهاست. SPICE (که کوتاه شده "برنامه سازی با تاکید بر مدار مجتمع") در دانشگاه کالیفرنیا، برکلی، در اوایل دهه ۱۹۷۰ ارائه شد و در حال حاضر انواع مختلف آن در بازار موجود است. در پیوست پ شرحی کوتاه درباره spice آورده شده است. کتاب دیگری توسط Roberts و sedra نوشته شده است. در اینجا منظور ما آموزش چگونگی استفاده از SPICE نیست بلکه دو هدف دیگر داریم: توصیف مدل spice با استفاده از دیود و نمایش کاربرد spice در موارد طراحی

مدل دیود

ارزش نتایج شبیه سازی تابع مستقیم کیفیت مدل مورد استفاده برای قطعات است. هر چه مشخصه‌های گوناگون را بهتر مدل سازی کند، نتایج شبیه سازی به رفتار مدار ساخته شده واقعی نزدیکتر است. به بیانی دیگر، برای آنکه اثر جنبه‌های نامطلوب قطعه را در عملکرد مدار ببینیم، باید جنبه‌های نامطلوب را در شبیه‌ساز مدار گنجانده باشیم. این مطالب به طور مسلم باید برای تمام قطعات بکار رود و نه فقط برای دیودها.
spice برای دیود یک مدل داخلی دارد. این مدل که در شکل ۵۰-۳ نشان داده شده، مدل سیگنال بزرگ است. رفتار ایستایی دیود با رابطه نمایی i-v



$$i_D = I_S(e^{v_D/nV_T} - 1)$$
$$C_D = \frac{\tau_T}{V_T} I_S e^{v_D/nV_T} + C_{j0}/(1 - \frac{v_D}{V_0})^m$$

شکل ۵۰-۳. به مدل دیود SPICE توجه کنید که برای نمایش خازن C_D غیر خطی استفاده شده است.

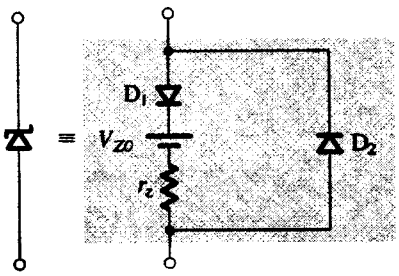
جدول ۳-۳. شاخصه‌های مدل دیودی SPICE

شاخصه مدل	نماد	نام	واحد	تعداد پیش فرض
جریان اشباع	I_S	IS	A	1×10^{-14}
ضریب انتشار	n	N	—	1
مقاومت اهمی	R_S	RS	Ω	0
ولتاژ مداری	V_0	VJ	V	1
ظرفیت پیوند در بایاس صفر	C_{j0}	CJ0	F	0
ضریب گرادیان (شیب)	m	M	—	0.5
زمان گذر	τ_T	TT	s	0
ولتاژ شکست	V_{ZK}	BV	V	∞
جریان معکوس در V_{ZK}	I_{ZK}	IBV	A	1×10^{-10}

و رفتار دینامیکی با رفتار غیر خطی CD مدل می‌شود. CD مجموع ظرفیت انتشار C_d (که متناسب با جریان دیود i_dاست) و ظرفیت پیوند C_j گفته می‌شود. مقاومت سری R_s نشان دهنده مقاومت نواحی p و n بر هر دو سوی پیوند است. R_s یک مقاومت ناخواسته (انگلی) است که مقدار آرمانی آن صفر است و معمولاً بین چند اهم تا چند ده اهم تغییر می‌کند. در تحلیل‌های سیگنال کوچک، SPICE از مقاومت افزایشی دیود، r_d، و مقادیر افزایشی C_d و C_j استفاده می‌کند. جدول ۳-۳ فهرستی از شاخصه‌های مدل دیودی مورد استفاده spice را ارائه می‌کند که همه برای خواننده باید آشنا باشند. فهرستی از مقادیر فرضی برای شاخصه‌ها نیز آوده شده است. این مقادیر در غیاب شاخصه‌های کاربر، برای spice بکار گرفته می‌شوند.

داشتن مدل قطعه مناسب فقط نصف مسئله مدل‌سازی است؛ نصف دیگر تعیین مقادیر مناسب برای شاخصه‌های مدل است. این به هیچ روی کار ساده‌ای نیست. مقدار شاخصه‌های مدل با مشخصه‌های فرآیند ساخت قطعه و اندازه‌گیری‌های روی قطعات تعیین می‌شود. سازندگان قطعات نیمه‌هادی تلاش زیادی برای تعیین شاخصه‌های مدل قطعات ساخته شده می‌کنند. خوشبختانه در حال حاضر، شاخصه‌های مدل SPICE برای بسیاری از قطعات تجارتی در دسترس است.

پیش از پایان دادن به موضوع مدل دیود، لازم به ذکر است که این مدل رفتار دیود در ناحیه شکست را به خوبی توضیح نمی‌دهد؛ یعنی، یک مدل رضایتبخش برای دیودهای زنر نمی‌باشد. البته، می‌توان مدار شکل (۵۱-۳) را به عنوان مدل دیود زنر در SPICE استفاده کرد. در این شکل D_1 یک دیود آرمانی است که برای توصیف آن در SPICE می‌توان مقدار بسیار کوچکی برای n (مثلاً $n = 0/01$) انتخاب کرد، و D_2 یک مدل دیود معمولی در هدایت مستقیم زنر است.



شکل ۵۱-۳. مدل دیود زنر برای استفاده از این دیود SPICE باید آن را به صورت زیر مدار تعریف کرد. دیود D_1 آرمانی است و برای تقریب زدن آن با SPICE $n = 0/01$ قرار می‌دهیم.

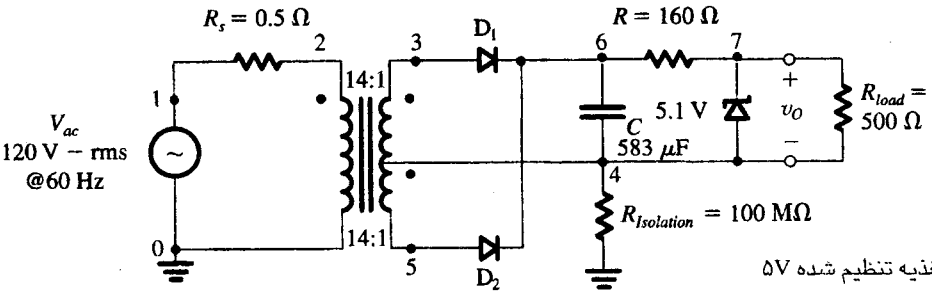
مثال ۱۱-۳: طراحی منبع تغذیه تنظیم شده

می‌خواهیم منبع تغذیه‌ای مطابق شکل ۵۲-۳ طراحی کنیم. این مدار برای خواننده آشناست. تنها قطعه پرسش‌انگیز مقاومت ۱۰۰MΩ بین ثانویه ترانسفورمر و زمین است. این مقاومت بر پیوستگی dc مدار و خوش آمد SPICE اثر دارد و اثر ناچیزی بر رفتار مدار دارد.

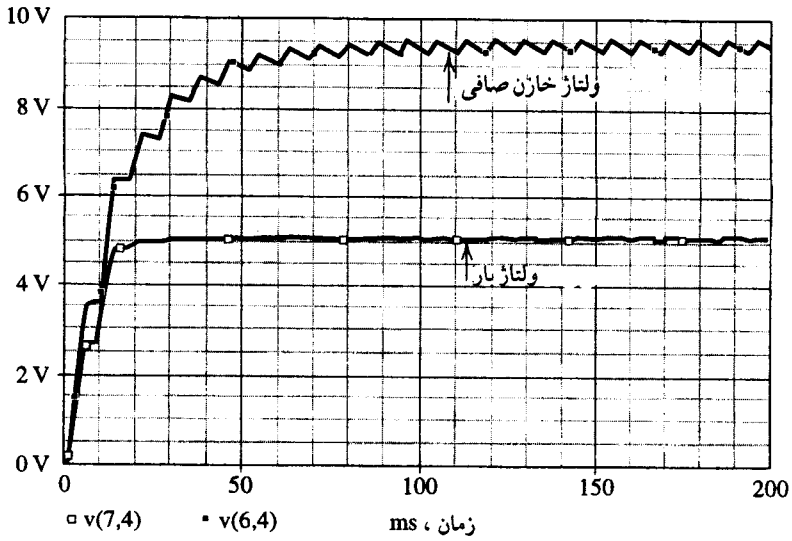
حل:

فرض کنید بخواهیم ولتاژ نامی منبع تغذیه ۵V باشد و بتواند تا ۲۵mA به بار جریان بدهد. (R_L باید به اندازه ۲۰۰Ω باشد). فرض کنید دیود زنر ۵/۱V دارای $r_z = 10\Omega$ در $I_z = 20mA$ در دسترس باشد (یعنی $V_{z0} = 4/9V$)، و حداقل جریان دیود زنر باید ۵mA باشد.

با تقریب، طرح اولیه باید به این صورت باشد: منبع ۱۲۰V(rms) با ترانسفورمر کاهنده به ۱۲V نوک سینوسی در دو سر ثانویه تبدیل می‌شود. در ترانسفورمر دارای سر وسط نسبت دورها ۱۴:۱ است. انتخاب ۱۲V معقول است زیرا ولتاژ لازم (بیش از ۵V) برای راه‌اندازی یکسوساز و تنظیم کننده داراست و PIV دیودها را در حد قابل قبولی پایین نگه می‌دارد. برای تعیین مقداری برای R، از معادله



شکل ۵۲-۳. یک منبع تغذیه تنظیم شده ۵V



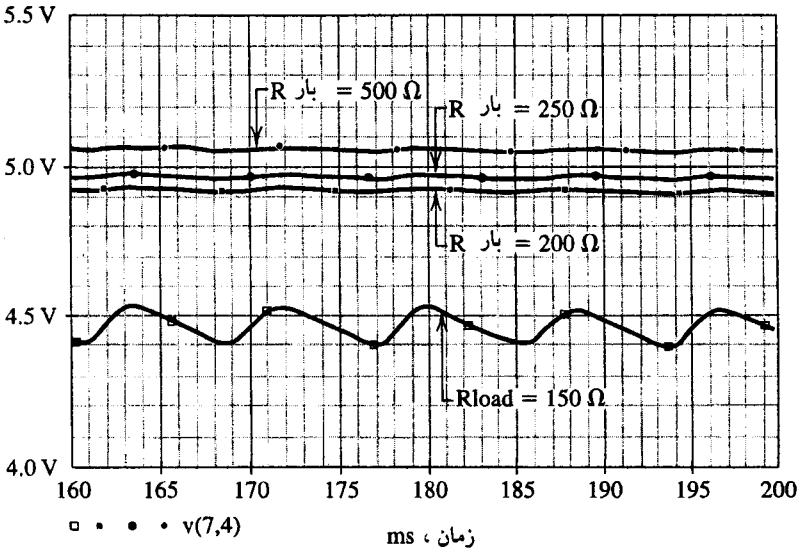
شکل ۵۳-۳. ولتاژ دو سر خازن C ولتاژ قله یکسوساز، و ولتاژ دو سر مقاومت ۵۰۰Ω

۶۲-۳ استفاده می‌کنیم. تخمینی برای V_{smin} آن است که افت ولتاژ دیود (مثلاً ۰/۱V) را از ۱۲V کم کنیم و موجک ولتاژ روی خازن را حدود ۱V در نظر بگیریم؛ به این ترتیب V_{smin} = ۱۰/۲V است. توجه کنید که I_{Lmax} = ۲۵mA و I_{Zmin} = ۵mA، و V_{Zo} = ۴/۹V و r_z = ۱۰Ω است. در نتیجه R = ۱۶۶Ω و از R = ۱۶۰Ω استفاده خواهیم کرد.

اکنون با استفاده از معادله (۷۵-۳) و جایگزینی V_p/R به جای جریان مقاومت ۱۶۰Ω، C را تعیین می‌کنیم. این جریان با توجه به ولتاژ دو سر C که از ۱۰/۲ تا ۱۱/۲V تغییر می‌کند، و بنابراین دارای متوسط ۱۰/۷ می‌باشد، حدس زده می‌شود ولتاژ دو سر زنر تقریباً ۵/۱V می‌باشد، در نتیجه C = ۲۹۱/۵μF بدست می‌آید. با استفاده از ضریب ایمنی ۲، محافظ کارانه C = ۵۸۳μF را بدست می‌آوریم.

اکنون با داشتن طرح تقریبی، به شبیه‌سازی SPICE اقدام می‌کنیم. برای دیود زنر، مدل ۵۱-۳ را در نظر می‌گیریم و فرض می‌کنیم D_2 یک دیود ۱mA با شیب ۰/۱V/decade باشد. برای دیودهای یکسوساز از شاخصه‌های تجاری موجود برای نوع 1N4148 استفاده می‌کنیم: I_s=۰/۱pA، R_s = ۱۶Ω؛ C_{jo} = ۲pF، τ_T = ۱۲ns، BV = ۱۰۰V و IBV = ۰/۱pA. از spice انتظار داریم تحلیل گذرایی انجام دهد و شکل موجهای ولتاژ خازن و ولتاژ خروجی را به ازای مقادیر مختلف R_L (۵۰۰Ω، ۲۵۰Ω، ۲۰۰Ω، و ۱۵۰Ω) ترسیم کند. فهرست فایل ورودی SPICE در پیوست ت آورده شده است.

نتایج شبیه‌سازی در شکل ۵۳-۳ نشان داده شده است. شکل ۵۳-۳، v_c و v_o را به ازای R = ۵۰۰Ω (I_L ≈ ۱۰mA) نشان می‌دهد. ملاحظه کنید که v_c دارای مقدار متوسط ۹/۵V و موجک ±۰/۲۵V می‌باشد، بنابراین V_r = ۰/۵V، که با توجه، به مقدار C این مقدار توقع داشتیم. مقدار متوسط ۹/۵V کمتر از حد انتظار است. شاید به دلیل مقاومت نسبتاً بزرگ دیودها (R_s = ۱۶Ω). ولتاژ خروجی خیلی نزدیک به ۵V مطلوب است. با استفاده از امکانات SPICE، ملاحظه می‌کنیم که v_o بین ۵/۰۶۵ تا ۵/۰۸۰V تغییر می‌کند تنها با موجک ۱۵mV. تغییر v_o با I_L در شکل ۵۴-۳ نشان داده شده است. ملاحظه می‌کنیم که v_o به مقدار نامی ۵V باقی می‌ماند وقتی R_L تا حد ۲۰۰Ω پایین می‌ماند (I_L=۲۵mA). برای R_L = ۱۵۰Ω (که I_L = ۳۳/۳mA)، بزرگتر از بیشترین مقدار مطلوب است)، ملاحظه می‌کنیم که یک افت



شکل ۵۴-۳. شکل موج ولتاژ خروجی منبع تغذیه ۵V برای بار با مقاومت ۱۵۰، ۲۰۰، ۲۵۰، و ۵۰۰Ω ولتاژ تنظیمی در مقاومت بار ۱۵۰Ω تلف شده است

زیاد در v_o (حدود ۴/۵V) و نیز افزایش موجک زیاد بوجود می‌آید. زیرا تنظیم کننده زنری دیگر کار نمی‌کند و در واقع دیود زنر قطع می‌باشد.

نتیجه آن است که طرح مشخصات لازم را دارد و می‌توان در همین جا کار را تمام کرد. از سوی دیگر با استفاده از کارایی‌های دیگر SPICE می‌توان به بهینه سازی مدار پرداخت. بطور مثال، می‌توان بررسی کرد که با استفاده از یک C با مقدار کم چه روی می‌دهد. همچنین جنبه‌های دیگر طرح را می‌توان تحقیق کرد. مثلاً، جریان ماکزیمم که از هر دیود می‌گذرد چقدر است و آیا این ماکزیمم در محدوده تعریف شده برای دیود هست.

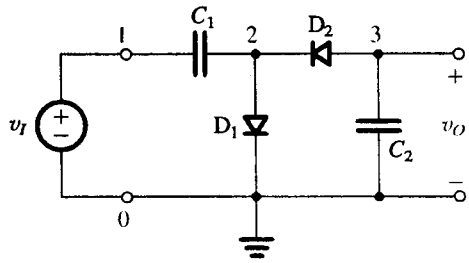
تمرین

۳-۳۳ با استفاده از SPICE رفتار دو برابر کننده ولتاژ شکل (الف ۳-۳۳ت) را بررسی کنید. رفتار گذرای ولتاژ v_2 و v_o را ترسیم کنید وقتی ورودی یک ولتاژ سینوسی ۱۰V نوک و فرکانس ۱kHz است. فرض کنید که دیودها از نوع 1N4148 هستند(I_s=۰/۱pA، R_s = ۱۶Ω، C_{jo} = ۲pF، τ_T = ۱۲ns، BV = ۱۰۰V، IBV = ۰/۱pA) و $C_1 = C_2 = 1\mu F$ است.

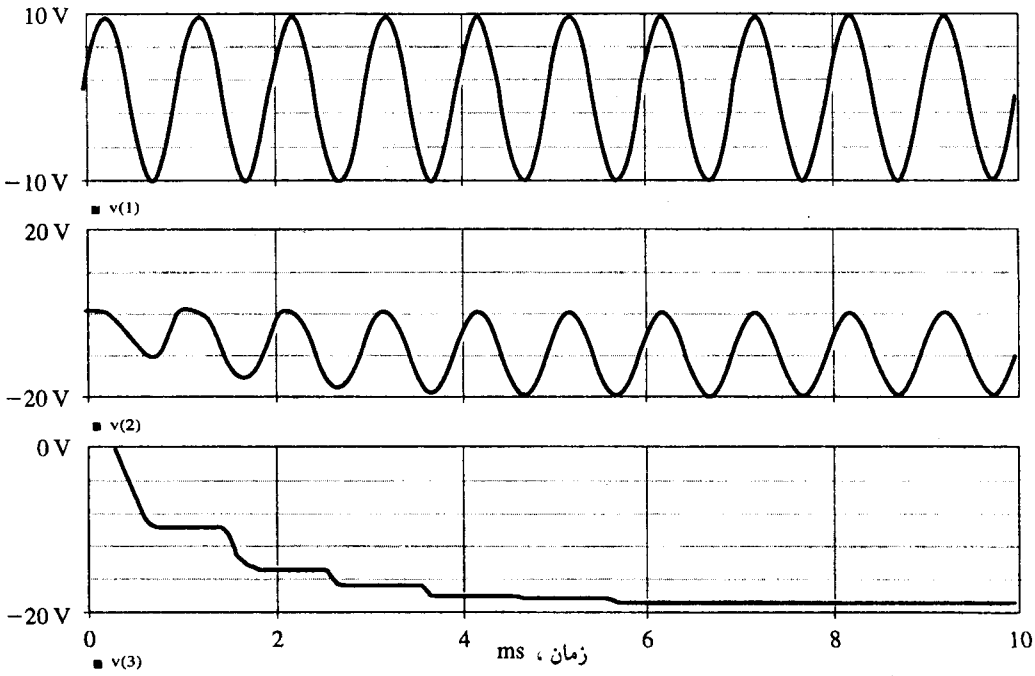
جواب. فایل ورودی SPICE در پیوست ت آورده شده است. شکل موج ولتاژ در شکل ب ۳۳-۳ت نشان داده شده است. ❑

خلاصه

- در جهت مستقیم، در ضمن اینکه افت ولتاژ روی یک دیود صفر است هر مقدار جریانی راکه مدار خارجی فراهم کند، هدایت خواهد کرد. به ازای هر مقدار ولتاژ معکوسی که به آن اعمال شود، دیود ایده‌آل در جهت معکوس جریان را هدایت نخواهد کرد.
- خاصیت عبور جریان یکطرفه، دیود را برای استفاده در مدارهای یکسوکننده مفید معرفی می‌کند.
- هدایت مستقیم یک دیود سیلیکون معمولی را می‌توان توسط رابطهٔ $i=I_s e^{v/nV_T}$ نشان داد.
- یک دیود سیلیکون تا هنگامی که ولتاژ مستقیم حداکثر ۰/۵ V باشد یک جریان اندک را عبور می‌دهد. سپس با افزایش ۶۰ تا ۱۲۰ mV در ولتاژ، جریان به سرعت زیاد می‌شود (بسته به مقدار n) برای هر ده برابرشدن جریان.
- در جهت معکوس، یک دیود سیلیکون جریانی از درجهٔ 10^{-9} A را هدایت می‌کند. این جریان بسیار بزرگتر از I_S است و در اثر مقدار ولتاژ معکوس افزایش می‌یابد.
- به ازای یک مقدار ولتاژ معکوس (که بستگی به دیود دارد) شکست رخ



(الف)



(ب)

شکل (۳-۳۳ت). (الف) مدار دو برابر کننده ولتاژ (ب) انواع شکل موج ولتاژ مدار و دو برابر کننده ولتاژ. نمودار بالا سیگنال ولتاژ سینوسی ورودی را نشان می‌دهد، نمودار وسط ولتاژ دو سر دیود D_1 را نشان می‌دهد، و نمودار پایین ولتاژ دو سر خروجی را نمایش می‌دهد.

می‌دهد، و با تغییر کوچکی در ولتاژ جریان به سرعت افزایش می‌یابد.

- دیودهایی که برای کار در ناحیهٔ شکست طراحی شده‌اند، دیود زنر نام دارند. این دیودها در طراحی تنظیم‌کننده‌هایی که کار آنها تهیهٔ ولتاژ ثابت dc است‌که با تغییرات ولتاژ منبع تغذیه و یا جریان بار تغییرات اندکی دارد، بکار می‌روند.
- سلسله‌ای از مدلها برای دیود وجود دارد که بسته به نوع کار می‌توان مدل مناسب را انتخاب کرد.
- در بسیاری موارد، فرض می‌شود که دیود هادی دارای یک افت ولتاژ ثابت در حدود ۰/۷ V است.
- دیودی که بایاس شده تا در جریان dc ، I_D کار کند دارای مقاومت سیگنال کوچک $r_d = nV_T / I_D$ است.
- یک دیود پیوند سیلیکون اساساً یک پیوند pn است، چنین پیوندی روی یک کریستال سیلیکون واحد شکل می‌گیرد.
- در سیلیکون نوع p مقدار زیادی حفره (حاملهای بار مثبت) وجود دارد، در حالی که در سیلیکون نوع n وفور الکترون داریم.
- در ناحیهٔ وصل پیوند pn یک ناحیهٔ خالی از حامل وجود دارد، که طرف n مثبت باردار شده و طرف p منفی باردار شده است. اختلاف پتانسیل حاصل را ولتاژ سد پتانسیل می‌گویند.
- جریان انتشار I_D در جهت مستقیم برقرار می‌شود (که توسط حفره‌ها از ناحیهٔ p و الکترونها از ناحیهٔ n حمل می‌شود)، و جریان I_S در جهت عکس جریان می‌یابد (که توسط حاملهای اقلیت حمل می‌شود). در پیوند اگر در حالت مدار باز باشیم، $I_D = I_S$ و ولتاژ سد پتانسیل توسط $V_\circ$ نشان داده می‌شود.
- اعمال ولتاژ معکوس $|V|$ به پیوند pn سبب می‌شود که ناحیهٔ پیوند گسترش یابد، و ولتاژ سد پتانسیل به $(V_\circ + |V|)$ افزایش یابد. جریان انتشار کاهش می‌یابد و یک مقدار جریان $(I_S - I_D)$ برقرار می‌شود.
- اعمال یک ولتاژ بایاس مستقیم $|V|$ به یک پیوند pn سبب می‌شود که ناحیهٔ تخلیه باریکتر شود و ولتاژ سد پتانسیل به مقدار $V_\circ - |V|$ کاهش یابد. جریان انتشار افزایش یافته و جریان مستقیم $(I_D - I_S)$ جریان می‌یابد.

مسائل

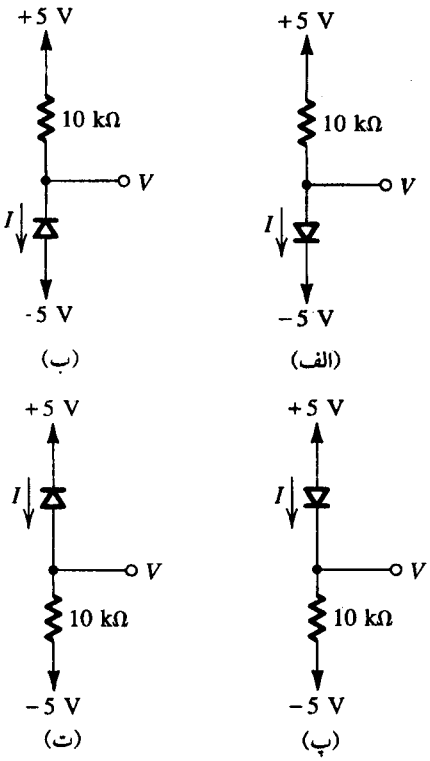
بخش ۱-۳: دیود ایده‌آل

۱-۳ یک باتری AA، با مدار معادل تونن متشکل از منبع ولتاژ ۱/۵V و مقاومت سری ۱ Ω به یک دیود وصل شده است. دو حالت ممکن را توضیح دهید. در هر دو حالت ولتاژ و جریان دیود را بیابید.

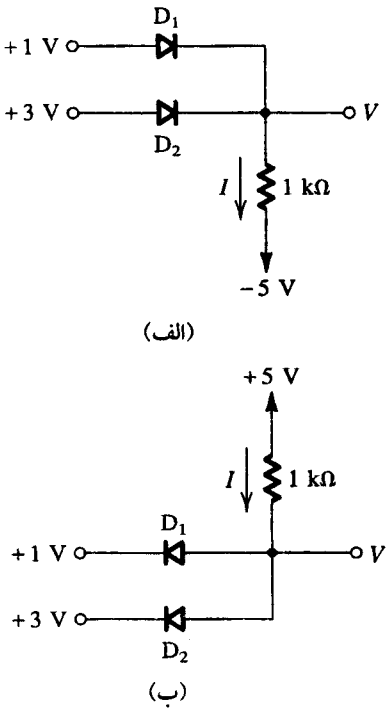
۲-۳ یک مدار آزمون دیود از یک باتری ۹ ولتی، یک گالوانومتر ۱mA و یک مقاوت سری تشکیل شده است. سیمهای مدار یکی مثبت (قرمز) و دیگری منفی (سیاه) هستند. مدار طوری تنظیم شده است که در صورت اتصال دو سیم به هم، از گالوانومتر ۱ mA جریان می‌گذرد. دو سیم را به ترکیب موازی یک دیود و یک مقاومت ۳ kΩ وصل می‌کنیم. در دو حالت ممکن جریانهایی که آمپر متر نشان می‌دهد چقدر است؟

۳-۳ برای مدارهای نشان داده شده در شکل (م ۳-۳) با استفاده از دیودهای ایده‌آل، مقادیر ولتاژ و جریان مشخص شده را بدست آورید.

۴-۳ برای مدارهای نشان داده شده در شکل (م ۴-۳) با استفاده از دیودهای ایده آل، مقادیر ولتاژ و جریان مشخص شده را بیابید.



شکل (م ۳-۳)



شکل (م ۴-۳)

۵-۳ دو دیود ایده‌آل A و B، که علامتهای کاتود و آنود آنها پاک شده است، بین دو نقطهٔ ۱ و ۲ مداری به صورت موازی قرار دارند. چند آرایش ممکن است حاصل شود؟ بین دو نقطهٔ ۱ و ۲ چند مدار معادل مختلف ایجاد می‌شود؟

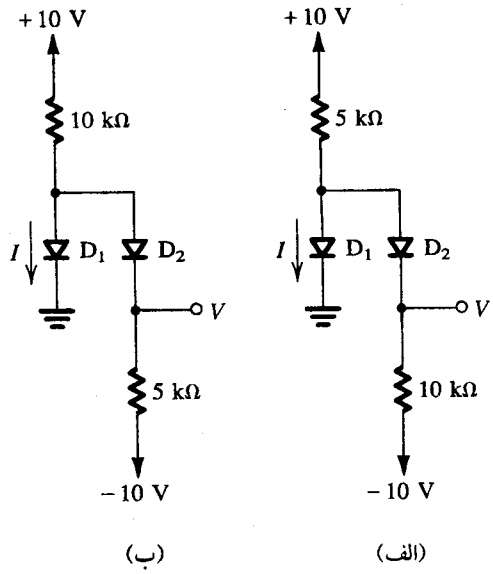
۶-۳ سه دیود ایده‌آل به طورموازی بین پایانه‌های x و y یک مدار وصل

شده‌اند، تمام کاتودها به یک نقطه و تمام آنودها به یک نقطه وصل‌اند و جریان کل سه دیود ۶ A است. از هر دیود چه جریانی می‌گذرد؟ افت ولتاژ روی هر دیود چقدر است؟ اگر پایه‌های دیودها ۱۰ mΩ مقاومت داشته باشند چه ولتاژی بین پایانه‌های x و y بوجود می‌آید؟ اگر طول پایه‌های یک دیود دو برابر طول پایه‌های دو دیود دیگر باشد، از هر دیود چه جریانی می‌گذرد؟

ط ۳-۷ برای گیت منطقیِ شکل (الف ۵-۳) فرض کنید دیودها ایده‌آل هستند و ولتاژ ورودی سطوح ۰ و ۵ V+ دارد. مقدار مناسبی برای R چنان بیابید که میزان جریان لازم از هر منبع سیگنال بیشتر از ۰/۲ mA نباشد.

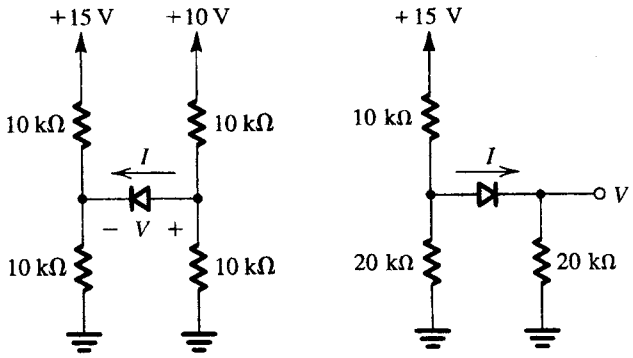
۳-۸ مسئله ۳-۷ را برای گیت منطقی شکل (ب ۵-۳) تکرار کنید.

۳-۹ فرض کنید دیودها در مدارهای شکل (م ۹-۳) ایده‌آل هستند، مقادیر ولتاژ و جریان مشخص شده را بیابید.



شکل (م ۹-۳)

۳-۱۰ فرض کنید دیودها در مدارهای شکل (م ۱۰-۳) ایده‌آل هستند، از قضیه تونن برای ساده‌کردن مدار استفاده کنید و مقادیر ولتاژ و جریان مشخص شده را بیابید.



شکل (م ۱۰-۳)

ط ۳-۱۱ برای مدار یکسوکنندهٔ شکل (الف ۳-۳) فرض کنید که موج سینوسی ورودی دارای ۱۲۰ V (rms) است و دیودها ایده‌آل می‌باشند. مقدار مناسبی برای R چنان بیابید که جریان از ۰/۱ A تجاوز نکند. حداکثر ولتاژ معکوسی که روی دیود ظاهر می‌شود، چقدر است؟

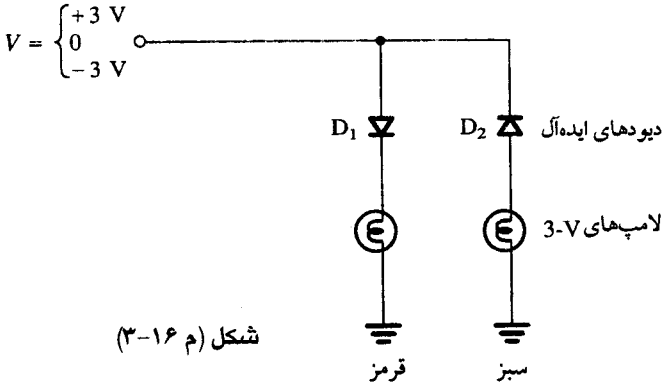
۳-۱۲ مدار یکسوکننده شکل ۳-۳ را در حالتی که منبع ورودی v_I دارای مقاومت منبع R_s است، درنظر بگیرید. برای حالتی که $R = R_s$ و با فرض ایده‌آل بودن دیودها، مشخصهٔ انتقال v_O بر حسب v_I را مشخص و ترسیم کنید.

۳-۱۳ یک موج مربعی با دامنهٔ نوک تا نوک ۱۰V و مقدار متوسط صفر به مداری مشابه مدار شکل الف ۳-۳ اعمال شده است و مقاومت مدار ۱۰۰ Ω است. ولتاژ نوک خروجی چقدر است؟ مقدار متوسط ولتاژ خروجی چقدر است؟ ماکزیمم جریان دیود چقدر است؟ جریان متوسط دیود چقدر است؟ ماکزیمم ولتاژ معکوس روی دیود چقدر است؟

۳-۱۴ مسئله ۳-۱۳ را برای حالتی که مقدار متوسط موج مربعی ورودی ۲V است، ولی مقدار نوک تا نوک همان ۱۰V می‌باشد تکرار کنید.

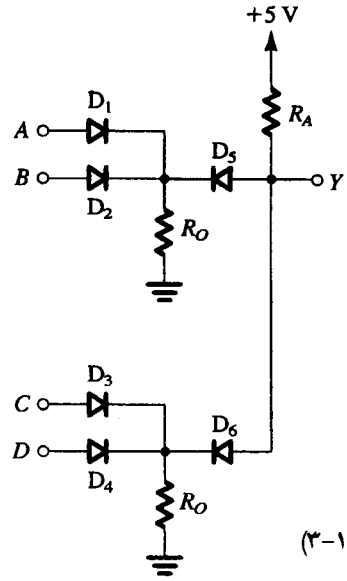
ط* ۳-۱۵ یک شارژکنندهٔ باتری، مشابه مدار شکل ۴-۳ در نظر بگیرید که در آن دیود ایده‌آل است، جریان در ۲۰٪ زمان از باتری ۱۲V می‌گذرد و مقدار متوسط آن ۱۰۰ mA است، ولتاژ سینوسی ورودی باید چه دامنه‌ای نوک تا نوک داشته باشد؟ مقاومت لازم چقدر است؟ ماکزیمم جریان دیود چقدر است؟ دیود باید چه ولتاژ معکوسی را تحمل کند؟ اگر مقاومت را تنها بتوان با دو رقم معنی‌دار و ولتاژ نوک تا نوک را تنها با دقت یک ولت تعیین کرد، برای تضمین جریان لازم برای شارژ باتری چه طرحی برمی‌گزینید؟ جریان متوسط دیود چقدر است؟ جریان ماکزیمم دیود چقدر است؟ دیود باید چه ولتاژ معکوسی را تحمل کند؟

۳-۱۶ مدار شکل (م ۱۶-۳) می‌تواند در سیستمهای سیگنال با استفادهٔ از یک سیم بعلاوهٔ یک خط برگشت زمین بکار رود. در هر لحظه ورودی دارای یکی از مقادیر زیر است: ۳V+ ، ۰، ۳V− . وضعیت لامپها برای هر مقدار ورودی چگونه است؟ (توجه کنید که لامپها می‌توانند دور از یکدیگر قرار گیرند و می‌توانند چندین نوع اتصال داشته باشند، که همه روی یک سیم باشند!)



شکل (م ۱۶-۳)

ط* ۳-۱۷ مدار شکل م ۱۷-۳ را که اتصال دو مدار AND و OR توصیف شده در شکل ۵-۳ را نشان می‌دهد، در نظر بگیرید.
(الف) عبارت بولی Y را برحسب A، B، C و D بیابید.



شکل (م ۱۷-۳)

(ب) مقادیر R_A و R_O را به نحوی برگزینید که این مشخصات برآورده شود: هنگام اتصال مقاومت ۱۰۰ kΩ به خروجی، ولتاژ خروجی در حالت بالا از ۴V بزرگتر، و در حالت پایین از ۱ V کمتر باشد. جریان منبع تغذیه نیز باید می‌نیمم شود.

(پ) در مدار طرح شده ماکزیمم جریانی که از ورودی ۵V کشیده می‌شود، چقدر است؟ ماکزیمم جریانی که منبع تغذیه ۵V+ مدار مرکب باید بتواند تأمین کند چقدر است؟ حداقل جریان منبع چقدر است؟

بخش ۲-۳: مشخصات پایه‌های دیودهای پیوندی

۳-۱۸ به ازای چه ولتاژ مستقیمی جریان دیودی با n = ۲ برابر $۱۰۰۰I_s$ می‌شود؟ جریان این دیود را در ولتاژ ۰/۷ V برحسب I_s بیان کنید.

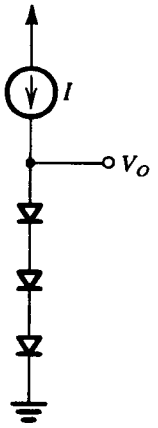
۳-۱۹ دیودی که برای آن افت ولتاژ مستقیم ۰/۷ V در ۱ mA است و n=۱، در ۰/۵ V کار می‌کند. مقدار جریان چقدر است؟

۳-۲۰ برای دیودی با n = ۱، جریان به ازای ولتاژ ۰/۷V برابر ۳mA است. I_s چقدر است؟ جریان را به ازای ولتاژهای ۰/۷۱V، ۰/۸V، ۰/۶۹V، و ۰/۶V بیابید. با ۱۰ برابر شدن جریان دیود، ولتاژ آن چقدر تغییر می‌کند؟

۳-۲۱ جریان دیودی به ازای ولتاژهای ۰/۶۵ V و ۰/۶۷V به ترتیب ۱A و ۲A است. n و I_s را بیابید. جریان را به ازای ولتاژ ۰/۷V بیابید.

۳-۲۲ مدار شکل (م ۲۲-۳) از سه دیود یکسان که دارای n = ۱ و I_S=۱۰$^{-۱۴}$ A است، استفاده می‌کند. مقدار جریان مورد نیاز I را که ولتاژ خروجی V_O = ۲ V را می‌دهد، تعیین کنید. اگر جریان ۱ mA از پایه‌های خروجی کشیده شود، تغییر ولتاژ خروجی چگونه است؟

۳-۲۳ یک دیود پیوندی در مداری که توسط یک جریان ثابت I تغذیه می‌شود، کار می‌کند. اگر دیود مشابهی بطور موازی قرار گیرد، اثر آن

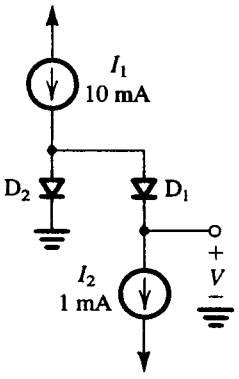


شکل (م ۲۲-۳)

روی ولتاژ مستقیم دیود چه خواهد بود؟ فرض کنید n = ۱.

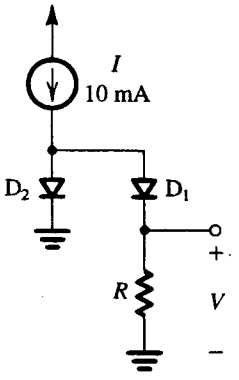
۳-۲۴ برای یک دیود در دو جریان کار ۰/۲ mA و ۱۰ mA، ولتاژهای متناظر ۰/۹۵ و ۰/۷۵۰ V بدست آمده‌اند. مقادیر n و I_S را بیابید.

۳-۲۵ در مدار شکل م ۲۵-۳ برای هر دیود n = ۲، و مساحت D_1 ده برابر D_2 است. V را بیابید. برای داشتن V = ۵۰mV، I_2 چقدر باید باشد؟



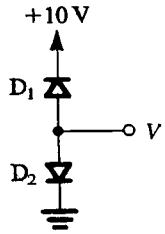
شکل (م ۲۵-۳)

۳-۲۶ برای مدار شکل م ۲۶-۳ دو دیود مشابه‌اند و جریانشان به ازای ولتاژهای ۰/۷V و ۰/۸V به ترتیب ۱۰mA و ۱۰۰mA است. R را برای داشتن V = ۵۰mV بیابید.



شکل (م ۲۶-۳)

۳-۲۷* در مدار شکل م ۲۷-۳ دو دیود مشابه به کار رفته است که برای آنها I_D = ۱mA به ازای V_D = ۰/۷V، و n = ۱. در ۲۰°C ولتاژ V با ولتمتری با مقاومت ورودی بسیار بزرگ ۰/۱V به دست آمده است.



شکل (م ۲۷-۳)

جریان معکوس نشتی این دیودها چند برابر I_s است؟ V را در دمای ۵۰°C به طور تقریبی بیابید.

۳-۲۸ اگر جریان ۱۰ A به یک دیود خاص اعمال شود دیده می‌شود که ولتاژ پیوند به طور ناگهانی ۷۰۰mV می‌شود. بهرحال همچنانکه توان تلف می‌شود و دمای دیود بالا می‌رود، دیده می‌شود که ولتاژ کاهش می‌یابد و به ۶۰۰mV می‌رسد. چه میزان افزایش حرارت در پیوند دیده می‌شود؟ در حالت نهایی چه میزان توان در دیود تلف می‌شود؟ افزایش درجهٔ حرارت بر حسب توان تلف‌شده چگونه است؟

***۳-۲۹** طراح می‌خواهد وسیله‌ای بسازد که با منبع تغذیه‌ای با ولتاژی متغیر در گستره‌ای بزرگ کار کند. او با توجه به مستقل بودن ولتاژ دیود از جریان آن تصمیم می‌گیرد برای ساختن ولتاژ نسبتاً کوچک مورد نیاز خود از یک دیود بزرگ استفاده کند. دیود بزرگی با ولتاژ ۰/۸V به ازای جریان ۱۰A موجود است و بار این دیود $n = ۲$ است. منبع جریانی که در اختیار طراح است بین ۰/۵mA تا ۱/۵mA تغییر می‌کند. ولتاژ روی دیود در چه گستره‌ای تغییر می‌کند؟ اگر تغییر درجه حرارت ±۲۰°C باشد، تغییر اضافی ولتاژ چقدر است؟

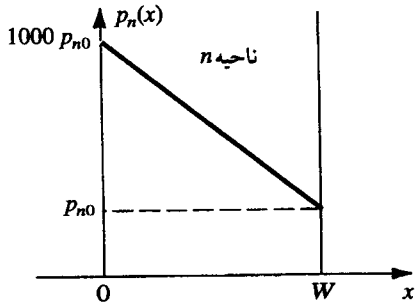
***۳-۳۰** به جای روش بیان شده در مسئله ۲۹-۳ برای ساختن ولتاژ کوچک نسبتاً ثابت از منبع جریان متغیر، این راه را در نظر بگیرید. طراح می‌تواند با وسیله‌ای موسوم به آینهٔ جریان نمونهٔ مشابهی از یک جریان را بازسازی کند. او دو دیود با مساحتهای مختلف برمی‌گزیند، جریانها را به آنها اعمال کرده، تفاوت ولتاژشان را اندازه می‌گیرد. دو دیود موجود است که جریانشان به ازای ولتاژ ۰/۷۰۰V به ترتیب ۰/۱mA و ۱A است. به ازای جریانهای مشابه بین ۰/۵mA تا ۱/۵mA، تفاضل ولتاژ روی دیودها چقدر تغییر می‌کند؟ تغییر درجه حرارت به میزان ±۲۰°C چه تأثیری بر این روش دارد؟ فرض کنید $n = ۱$.

بخش ۳-۳: عملکرد فیزیکی دیود

در صورت نیاز به مقدار پارامترها یا ثابتهای فیزیکی از جدول ۱-۳ استفاده کنید.

۳-۳۱ تراکم حاملها در سیلیسیوم طبیعی، n_i را در −۷°C، ۰°C، ۲۰°C، ۱۰۰°C، و ۱۲۵°C بیابید.

۳-۳۲ به یک ناحیه از سیلیسیوم نوع n (که به وسیله‌ای دیگر متصل است) به طور پیوسته حفره تزریق می‌شود. تراکم حفره‌های اضافی در حالت ماندگار به صورت شکل م ۳۲-۳ است. منظور از اضافی، بیش از p_{no} است. به ازای $N_D = ۱۰^{۱۶}/cm^۳$، $n_i = ۱/۵ \times ۱۰^{۱۰}/cm^۳$، و $W = ۵\mu m$، چگالی جریان در جهت x را بیابید.



شکل (م ۳۲-۳)

۳-۳۳ سرعت لغزش الکترون و حفره را در لایه‌ای از سیلیسیوم ذاتی به ضخامت ۲۰μm که ولتاژ ۱V به آن اعمال شده است، مقایسه کنید. فرض کنید $\mu_n = ۱۳۵۰\ cm^۲/V_s$. $\mu_p = ۴۸۰\ cm^۲/Vs$.

۳-۳۴ در یک قطعهٔ سیلیسیوم به طول ۱۰μm، سطح مقطع ۵μm × ۵μm و چگالی الکترون و حفرهٔ آزاد $۱۰^۵/cm$ و $۱۰^{۱۵}/cm^۳$، که ولتاژ ۱V به دو سر آن اعمال شده است چه جریانی ایجاد می‌شود؟ μ_n و μ_p مانند مسئله ۳۳-۳ است.

۳-۳۵ در یک قطعه سیلیسیوم به طول ۱۰μm تراکم ناخالصی دهنده باید چه باشد تا به ازای اعمال ولتاژ ۰/۵V، چگالی جریان ۱ mA/μm² شود؟
راهنمایی: گرچه قابلیت تحرک حاملها با وجود ناخالصی تغییر می‌کند (جدول مسئلهٔ ۲۷-۳ را ببینید)، ولی در تقریب اول می‌توان μ_n را ثابت و برابر $۱۳۵۰\ cm^۲/V_s$، یعنی مشابه مقدار سیلیسیوم ذاتی، فرض کرد.

۳-۳۶ در یک لایه سیلیسیوم با ناخالصی فسفر، تراکم ناخالصی $۱۰^{۱۶}/cm^۳$ است. تراکم الکترونها و حفره‌ها را در دماهای ۳۰۰K و ۴۰۰K بیابید.

۳-۳۷ هر چه تراکم ناخالصی بیشتر شود، قابلیت تحرک و قابلیت نفوذ کمتر می‌شود. جدول زیر μ_n و μ_p را برحسب تراکم ناخالصی نشان می‌دهد. با استفاده از رابطهٔ اینشتین D_n و D_p متناظر را بیابید.

تراکم ناخالصی	μ_n $cm^۲/Vs$	μ_p $cm^۲/Vs$	D_n $cm^۲/s$	D_p $cm^۲/s$
طبیعی	۱۳۵۰	۴۸۰		
$۱۰^{۱۶}$	۱۱۰۰	۴۰۰		
$۱۰^{۱۷}$	۷۰۰	۲۶۰		
$۱۰^{۱۸}$	۳۶۰	۱۵۰		

۳-۳۸ ولتاژ داخلی یک پیوند pn را که نواحی p و n آن با تراکم ناخالصی $۱۰^{۱۶}/cm^۳$ است، بیابید. فرض کنید $n_i \approx ۱۰^{۱۰}/cm^۳$. اگر ولتاژ خارجی اعمال نشود، عرض ناحیهٔ تهی و میزان گستردگی آن در هر ناحیه چقدر است؟ اگر مساحت پیوند ۱۰۰μm² باشد. اندازهٔ بار ذخیره شده در دو طرف پیوند و ظرفیت خازن پیوند C_i را بیابید.

۳-۳۹ در یک پیوند تراکم پذیرنده $۱۰^۶/cm^۳$ و تراکم دهنده $n_i \approx ۱۰^{۱۰}/cm^۳$ است. عرض ناحیهٔ تهی (W_{dep}) و گستردگی آن در هر

طرف پیوند را به ازای ولتاژ معکوس $V_R = 5V$ بیابید. به ازای این ولتاژ معکوس مقدار بار ذخیره شده در هر دو طرف پیوند را بیابید. مساحت پیوند $400\ \mu m^2$ است. C_j را نیز حساب کنید.

۳-۴۰ کل بار ذخیره شده در یک لایهٔ تهی به طول $0.1\ \mu m$، واقع در یک طرف پیوندی به ابعاد $10\ \mu m \times 10\ \mu m$ چقدر است؟ تراکم ناخالصی در هر دو سوی پیوند $10^{16}/cm^3$ است.

۳-۴۱ با ترکیب معادلات (۳-۲۱) و (۳-۲۲) q_J و V_R را بیابید. با مشتقگیری از این عبارت ظرفیت پیوند C_j را بیابید. نشان دهید که عبارت حاصل همان نتیجهٔ معادلهٔ (۳-۲۴)، به همراه معادلهٔ (۳-۲۲) است.

۳-۴۲ برای پیوند خاصی با $C_{jo} = 0.5\ pF$، $V_o = 0.8\ V$، $m = \frac{1}{3}$، ظرفیت را به ازای ولتاژهای معکوس $1V$، $10V$ بیابید.

۳-۴۳ یک دیود شکست بهمنی، با ولتاژ شکست $10V$ دارای توان نامی $0.25W$ است. به ازای چه جریان پیوسته‌ای توان مصرفی آن نصف ماکزیمم توان مجاز می‌شود؟ اگر دیود در هر $20ms$ تنها $10ms$ در ناحیهٔ شکست باشد، جریان متوسط دیود در حالت شکست چه می‌تواند باشد؟

۳-۴۴ نشان دهید که در پیوند pn دارای بایاس مستقیم نسبت مؤلفهٔ جریان ناشی از حفره‌ها به مؤلفهٔ جریان ناشی از الکترونها عبارت است از

$$\frac{I_p}{I_n} = \frac{D_p}{D_n}\frac{L_n}{{}_pL}\frac{N_A}{N_D}$$

این نسبت را به ازای $L_p = 5\mu m$، $L_n = 10\mu m$، $D_p = 10\ cm^2/s$، $N_A = 10^{18}/cm^3$، $N_D = 10^{16}/cm^3$، $D_n = 20\ cm^2/s$ حساب کنید. به ازای جریان مستقیم $I = 1mA$، I_p و I_n را بیابید.

۳-۴۵ دیود $p^+ - n$ دیودی است که در آن تراکم ناخالصی ناحیهٔ p بسیار بزرگتر از ناحیهٔ n است. در چنین دیودی جریان مستقیم عمدتاً از حفره‌های تزریق شده ناشی می‌شود. نشان دهید که

$$I \approx I_p = Aqn_i^2\frac{D_p}{L_pN_D}(e^{V/V_T} - 1)$$

برای حالت خاص $\tau_p = 0.1\ \mu s$، $D_p = 10\ cm^2/s$، $N_D = 5\times10^{16}/cm^3$، $A = 10^4\ \mu m^2$، I_s و V حاصل از جریان $I = 0.1\ mA$ را بیابید. فرض کنید دما $300K$ و $n_i = 1.5 \times 10^{10}/cm^3$ است. بار حاملهای اقلیت اضافی و ظرفیت نفوذی را نیز به ازای $I = 0.1\ mA$ بیابید.

۳-۴۶** دیود کوتاه دیودی است که عرض نواحی p و n آن از L_n و L_p بسیار کوچکترند. در این صورت توزیع بار اقلیت اضافی در هر ناحیه، به جای منحنی نمایش شکل ۳-۱۷ یک خط راست است.
(الف) برای دیود کوتاه، شکلی متناظر با شکل ۳-۱۷ رسم کنید و مثل شکل ۳-۱۷ فرض کنید $N_A >> N_D$.
(ب) به روشنی مشابه آنچه در متن کتاب به کار رفت، نشان دهید که اگر عرض نواحی p و n به ترتیب W_p و W_n باشد، آنگاه

$$I = Aqn_i^2\left[\frac{D_p}{(W_n-x_n)N_D} + \frac{D_n}{(W_p-x_p)N_A}\right](e^{V/V_T} - 1)$$

و

$$Q_p = \frac{1}{2}\frac{(W_n - x_n)^2}{D_p}I_p \approx \frac{1}{2}\frac{W_n^2}{D_p}I_p \quad \text{برای } W_n >> x_n$$

(پ) با فرض $Q \approx Q_p$ و $I \approx I_p$ نشان دهید که

$$C_d = \frac{\tau_T}{V_T}I$$

که در آن

$$\tau_T = \frac{1}{2}\frac{W_n^2}{D_p}$$

(ت) اگر بخواهیم C_d در $I = 1\ mA$ از $10\ pF$ بیشتر نباشد، W_n باید چقدر باشد؟ فرض کنید $D_p = 10\ cm^2/s$.

بخش ۳-۴: تحلیل مدارهای دیودی

۳-۴۷ تحلیل ترسیمی مدارِ دیودیِ شکل ۳-۱۸ را با $V_{DD} = 1\ V$، $R = 1\ k\Omega$ و دیودی که دارای $I_S = 10^{-15}\ A$ $n = 1$ است، را درنظر بگیرید. تعداد نقاط کوچکی که روی مشخصهٔ دیود در نزدیکی محلی که خط بار آنرا قطع می‌کند محاسبه کنید و با استفاده از روش ترسیمی تخمین خود در رابطه با جریان را اصلاح کنید. چه مقادیر جریان و ولتاژ دیودی بدست خواهید آورد؟ به طریق تحلیلی، ولتاژ متناظر با جریان تخمین زده شده را بیابید. میزان اختلاف این مقدار از مقدار تخمین ترسیمی چقدر است؟

۳-۴۸ با استفاده از روش تکرار، جریان و ولتاژ دیود در شکل ۳-۴۸ را برای $V_{DD} = 1\ V$، $R = 1\ k\Omega$ و دیودی که دارای $I_S = 10^{-15}\ A$ و $n = 1$ است، بدست آورید.

۳-۴۹ یک دیود $1\ mA$ (یعنی دیودی که دارای $v_D = 0.7\ V$ در $i_D = 1mA$ است) به طوری سری با مقاومت $200\ \Omega$ به منبع $1.0\ V$ متصل شده است.
(الف) تخمینی از جریان دیودی را که انتظار دارید، بدست آورید.
(ب) اگر دیود با $n = 2$ مشخص شود، جریان دیود را به روش تکرار بدست آورید.

ط ۳-۵۰ با فرض موجودبودن دیودهایی که برای آنها $v_D = 0.7\ V$ در $i_D = 1\ mA$ و $n = 1$ باشد، مداری را طراحی کنید که در آن چهار دیود به طور سری بسته شده باشند، و منبع $15\ V$ با مقاومت سری R به آن متصل شده باشد. ولتاژ روی مجموعهٔ دیودها برابر $3\ V$ است.

۳-۵۱ مؤلفه‌های مدل جزیی - خطیِ دیود را برای حالتی که $v_D = 0.7V$ در $i_D = 1\ mA$ و $n = 2$ است، بیابید. مدل باید دقیقاً در $1\ mA$ و $10\ mA$ قرار گیرد. خطای تخمین v_D برحسب میلی‌ولت را با استفاده از مدل جزیی - خطی در $14\ mA$ و 0.5، $i_D = 0.5$ محاسبه کنید.

۳-۵۲ با استفاده از منحنی دیود شکل ۳-۲۰ مشخصهٔ دیود را با خط مستقیمی که در $1\ nA$ و $10\ mA$ دقیق باشد، تقریب بزنید. شیب خط، r_D و V_{Do} را تعیین کنید.

۳-۵۳ روی نسخه‌ای از منحنی شکل ۳-۲۰ خط باری متناظر با مدار خارجی متشکل از منبع ولتاژ $0.9V$ و مقاومت $100\ \Omega$ رسم کنید. ولتاژ و

جریان دیود را با استفاده از
(الف) مشخصهٔ واقعی دیود،
(ب) مدل دو پاره خط نشان داده شده در شکل را بیابید.

۳-۵۴ دیودی که منحنی مشخصه‌اش در شکل ۲۳-۳ نشان داده شده است باید در جریان ۱۰ mA به کار گرفته شود. در این حالت اگر بخواهیم دیود را با مدل افت ولتاژ ثابت نشان دهیم، باید برای این ولتاژ چه مقداری برگزینیم؟

۳-۵۵ دیودی با مدل ۰/۱ V بر دهه با منبع ولتاژ V و مقاومت R سری شده است. طراح که می‌خواهد برای دیود مدل ولتاژ ثابت به کار ببرد نمی‌داند V_D را ۰/۵ V یا ۰/۷ V در نظر بگیرید. به ازای چه مقدار V تفاوت جریانهای محاسبه شده تنها ۱٪ است؟

ط ۳-۵۶ تعدادی دیود موجود است که به ازای ۰/۷V جریان ۲۰ mA می‌گذرانند می‌خواهیم با استفاده از یک منبع جریان ۱۰ mA یک ولتاژ ۱/۲۵ V بسازیم. ترکیبی از دیودها پیشنهاد کنید که برای این کار مناسب باشد. چند دیود لازم است؟ ولتاژ واقعی چقدر می‌شود؟

۳-۵۷ مدار یکسوکنندهٔ نیم‌موج شکل (الف ۳-۳) را با $R = 1\ k\Omega$ و دیودی که دارای مشخصات و مؤلفه‌های مدل جزیی - خطی نشان داده شده در شکل (۲۰-۳) است ($V_{D_0} = 0.65\ V$، $r_D = 20\ \Omega$)، درنظر بگیرید. مدار یکسوکننده را با استفاده از مدل جزیی - خطی برای دیود تحلیل کنید و ولتاژ خروجی v_O را بر حسب تابعی از v_I بیابید. مشخصهٔ انتقال v_O بر حسب v_I را برای $0 \le v_I \le 10\ V$ رسم کنید. برای حالتی که v_I یک سینوسی با نوک ۱۰V باشد، شکل موج v_O را مشخص و رسم کنید.

۳-۵۸ مسائل ذکرشده در مثال ۲-۳ را با استفاده از مدل افت ولتاژ ثابت برای دیود حل کنید ($V_D = 0.7\ V$).

۳-۵۹ برای مدار نشان داده شده در شکل (م ۳-۳)، با استفاده از مدل افت ولتاژ ثابت برای دیود ($V_D = 0.7\ V$) ولتاژ و جریانهای مشخص شده را بیابید.

۳-۶۰ برای مدارهای نشان داده شده در شکل (م ۴-۳)، با استفاده از مدل افت ولتاژ ثابت برای دیود، ($V_D = 0.7\ V$) ولتاژ و جریانهای مشخص شده را بیابید.

۳-۶۱ برای مدارهای شکل (م ۹-۳)، با استفاده از مدل افت ولتاژ ثابت برای دیود ($V_D = 0.7\ V$)، ولتاژ و جریانهای مشخص شده را بیابید.

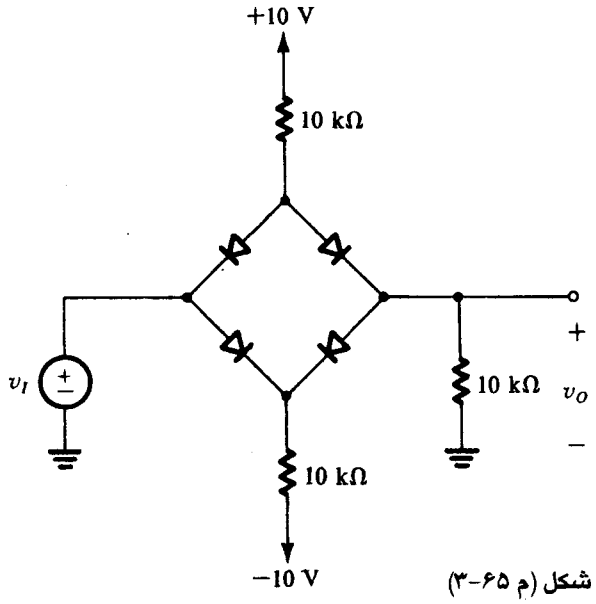
۳-۶۲ برای مدارهای شکل (م ۱۰-۳)، از تئوری تونن برای ساده‌کردن مدار استفاده کنید و مقادیر ولتاژ و جریان مشخص‌شده را بیابید. فرض کنید که دیودها را می‌توان با مدل افت ولتاژ ثابت ($V_D = 0.7\ V$) جایگزین کرد.

ط ۳-۶۳ مسئله ۱۱-۳ را با جایگذاری دیود با مدل افتِ ولتاژ ثابت ($V_D = 0.7V$) تکرار کنید. طرح حاصل چه تفاوتی خواهد داشت؟

۳-۶۴ مثال ۱-۳ را با فرض اینکه دیود دارای سطح قطعه ده برابر آنچه که مشخصات و مدل جزیی - خطی آن در شکل ۱۲-۳ آمده باشد، تکرار کنید. بجای دیود مدل جزیی - خطی آنرا قرار دهید ($v_D = 0.65 + 2i_D$).

****۳-۶۵** برای مدار نشان داده شده در شکل (م ۶۵-۳) برای هر دیود در حال هدایت از مدل افت ولتاژ ثابت (۰/۷ V) استفاده کنید و نشان دهید که مشخصهٔ انتقال به صورت زیر است

برای $-4.65\ V \le v_I \le +4.65\ V$ $\quad v_O = v_I$
برای $v_I \ge +4.65\ V$ $\quad v_O = +4.65\ V$
برای $v_I \le -4.65\ V$ $\quad v_O = -4.65\ V$



شکل (م ۶۵-۳)

بخش ۵-۳: مدل سیگنال کوچک و کاربردهای آن

۳-۶۶ مدل سیگنال کوچک برای تغییرات ولتاژی در حدود ۱۰mV معتبر است. این تغییر متناظر با چه درصدی از تغییر جریان است (هر دو سیگنال مثبت و منفی را درنظر بگیرید) اگر:
(الف) $n = 1$؟
(ب) $n = 2$؟

۳-۶۷ مقاومت افزایشی ده دیود ۱ mA که بطور موازی بسته شده‌اند و با جریان ۱۰mA dc تغذیه می‌شوند، چقدر است. $n = 2$ فرض شود. (دیود ۱mA دیودی است که دارای افت ۰/۷ V در جریان ۱ mA است.)

***۳-۶۸** مدار تنظیم‌کننده ولتاژ نشان داده شده در شکل ۲۸-۳ را در نظر بگیرید. مقدار R چنان انتخاب شده است تا ولتاژ خروجی V_O (روی دیود) ۰/۷ V باشد.
(الف) با استفاده از مدل سیگنال کوچک، نشان دهید که تغییر ولتاژ خروجی متناظر با تغییر ۱ V در V^+ برابر است با

$$\frac{\Delta V_O}{\Delta V^+} = \frac{n V_T}{V^+ + nV_T - 0.7}$$

این کمیت به عنوان رگولاسیون خط شناخته می‌شود و معمولاً برحسب

mV/V بیان می‌شود.

(ب) رابطهٔ بالا را برای حالتی که m دیود به طور سری متصل شدند و مقدار R چنان تنظیم شود که ولتاژ روی هر دیود ۰/۷ V (و V_O=۰/۷mV)باشد، تعمیم دهید.

(پ) مقدار رگولاسیون خط را برای حالتی که V^+ = ۱۰ V و m = ۱(i) و m = ۳ (ii) بدست آورید از n = ۲ استفاده کنید.

***ط ۳-۶۹** مدار تنظیم‌کننده ولتاژ نشان داده شده در شکل ۳-۲۸ را با این شرط که جریان بار از پایهٔ خروجی کشیده شود، درنظر بگیرید. ولتاژ خروجی را با V_O نمایش دهید (روی دیود).

(الف) اگر مقدار I_L به اندازهٔ کافی کوچک باشد، بنابراین تغییر متناظر ولتاژ خروجی ΔV_O نیز به حد کافی کوچک خواهد بود تا بتوان از مدل سیگنال کوچکِ دیود استفاده کرد. نشان دهید که

$$\frac{\Delta V_O}{I_L} = -(r_d // R)$$

این کمیت به عنوان رگولاسیون بار شناخته می‌شود و معمولاً بر حسب mV/mA بیان می‌شود.

(ب) اگر مقدار R چنان انتخاب شود که در حالت بی‌باری ولتاژ روی دیود ۰/۷V و جریان دیود I_D باشد، نشان دهید که رابطهٔ بدست آمده در قسمت (الف) به صورت زیر می‌شود:

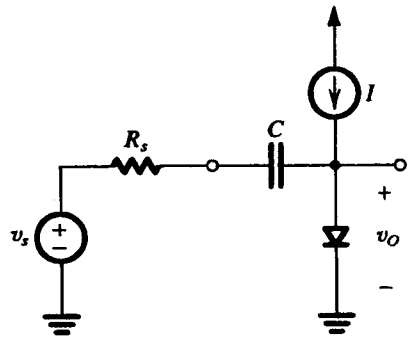
$$\frac{\Delta V_O}{I_L} = -\frac{n V_T}{I_D}\,\frac{V^+ - ۰/۷}{V^+ - ۰/۷ + n V_T}$$

کوچکترین مقدار ممکن برای I_D را چنان انتخاب کنید که، رگولاسیون بار بزرگتر یا مساوی ۵mV/mA ، باشد. فرض کنید n = ۲. اگر V^+ بطور نامی ۱۰ V باشد، چه مقدار R مورد نیاز است؟ همچنین دیود موردنظر را مشخص کنید.

(پ) رابطهٔ بدست آمده در قسمت (ب) را برای حالتی که m دیود به طور سری متصل شوند و مقاومت R چنان تنظیم شود که V_O= ۰/۷m ولت در حالت بی‌باری باشد، تعمیم دهید.

***۳-۷۰** در مدار نشان داده شده در شکل (م ۳-۷۰) ، I یک جریان dc و v_s یک سیگنال سینوسی است. خازن C بسیار بزرگ است. کار آن تزویج سیگنال به دیود و جلوگیری از عبور جریان dc به منبع سیگنال است. با استفاده از مدلِ سیگنال کوچکِ دیود نشان دهید که مؤلفهٔ سیگنال ولتاژ برابر است با

$$v_o = v_s \frac{nV_T}{n V_T + IR_S}$$

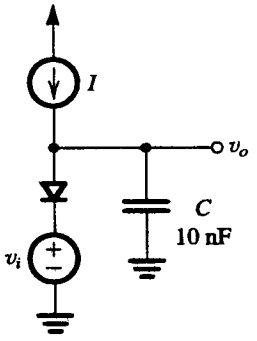


شکل (م ۳-۷۰)

اگر v_s=۱۰ mV ، v_o را برای ۱μA و ۰/۱ mA و I=۱ mA بیابید. R_s=۱kΩ و n = ۲ فرض کنید. در چه مقدار I ، v_o نصف v_s می‌شود؟ توجه کنید که تابع کار این مدار به عنوان تضعیف‌کنندهٔ سیگنال با ضریب تضعیفی است که توسط مقدار جریان dc ، I ، کنترل می‌شود.

۳-۷۱ در مدار شکل م ۳-۷۰ به جای دیود، مقاومت سیگنال کوچک آن را بگذارید و مدار لازم برای یافتن تابع تبدیل V_o/V_s را رسم کنید؛ v_s را سیگنالی سینوسی با دامنهٔ کوچک (کمتر از ۱۰ mA) و فرکانس ω فرض کنید. f_{3dB} را بر حسب جریان بایاس I به دست آورید. اگر I در گسترهٔ ۱μA تا ۱mA تغییر کند، C چقدر باید باشد تا f_{3dB} از ۱۰۰Hz بیشتر نشود؟ گسترهٔ f_{3dB} حاصل را بیان کنید. فرض کنید n=۲ و R_s=۱kΩ باشد.

***۳-۷۲** در مدار شکل م ۳-۷۲ ، جریان dc ، و v_i سیگنال سینوسی با دامنهٔ کوچک (کوچکتر از ۱۰ mA) و فرکانس ۱۰۰ kHz است. باگذاشتن مقاومت سیگنال کوچک r_d (که تابعی از I است) به جای دیود، مدار لازم برای یافتن ولتاژ سینوسی خروجی V_o و جابجایی فاز بین V_i و V_o را رسم کنید. I را به نحوی تعیین کنید که جابجایی فاز °۴۵- باشد. اگر I بین ۰/۱ تا ۱۰ برابر این مقدار تغییر کند، جابجایی فاز در چه گستره‌ای تغییر می‌کند؟ فرض کنید n = ۱.



شکل (م ۳-۷۲)

ط ۳-۷۳ یک تنظیم‌کننده ولتاژ شامل دو دیود بطور سری که با یک منبع جریان ثابت تغذیه می‌شود، به عنوان جایگزین برای یک سلول کربن - روی (باتری) با ولتاژ نامی ۱/۵ V بکار می‌رود. جریان بار تنظیم‌کننده از ۲ تا ۷ mA تغییر می‌کند. منابع جریان ۵، ۱۰ و ۱۵ mA موجود است. کدامیک را انتخاب می‌کنید و چرا؟ هنگامی که جریان بار بیش از این مقادیر باشد چه تغییراتی در ولتاژ خروجی رخ می‌دهد؟ فرض کنید که دیودها دارای n =۲ هستند.

بخش ۶-۳: کار در ناحیهٔ شکست معکوس -دیودهای زنر

۳-۷۴ یک دیود زنر ۹/۱V با I_{ZT} = ۲۵ mA و ولتاژ زانوی V_Z ۰/۹۵ و جریان I_{ZT} ۰/۰۵ مشخص شده است. دو مدل باتری - مقاومت برای دیود در نظر بگیرید و برای هر کدام r_Z و V_{ZO} را بیابید:

(الف) یکی با مشخصاتی که از نقاط (V_Z ، I_{ZT}) و (V_{ZK} ، I_{ZK}) بگذرد.

(ب) یکی از نقطه (V_Z ، I_{ZT}) می‌گذرد اما با نصف مقاومت زنر که در (الف) بکار رفته .

ط ۳-۷۵ یک طراح نیازمند به یک تنظیم‌کننده موازیِ ۲۰V است. دو نوع دیود زنر موجود است: قطعهٔ ۶/۸V با r_z=۱۰Ω و افزارهٔ ۵/۱V با r_z=۳۰Ω . برای دو حالت ممکن، رگولاسیون بار را بدست آورید. در این محاسبات از اثر مقاومت تنظیم‌کننده R صرفنظر کنید.

۳-۷۶ یک تنظیم‌کننده موازی که از دیود زنر با مقاومت افزایشی ۴Ω استفاده می‌کند، از طریق یک مقاومت ۸۲ Ω تغذیه می‌شود. اگر منبع به اندازهٔ ۱/۴V تغییر کند، تغییر در ولتاژ تنظیم شده خروجی چقدر خواهد بود؟

۳-۷۷ یک دیود زنر ۹/۱ V ولتاژ عادی خود را در جریان ۲۸ mA نشان می‌دهد. در این جریان مقاومت افزایشی ۵ Ω تعیین شده است. V_{Z0} مدل زنر را بیابید. ولتاژ زنر در جریان ۱۰ mA و ۱۰۰ mA را بیابید.

ط*۳-۷۸ دو طرح تنظیم‌کننده موازی با استفاده از دیود زنر 1N5235، که بصورت زیر مشخص می‌شود. تهیه کنید: $V_Z = ۶/۸$ V و برای $I_Z = ۲۰$ mA، $r_z = ۵$ Ω. در $I_Z = ۰/۲۵$ mA (نزدیک زانوی منحنی) Ω $r_z = ۷۵۰$. برای هر دو طرح ولتاژ منبع ۹ V و تغییرات آن ۱ V± می‌باشد. برای طرح اول، فرض کنید که تهیه منبع جریان مشکل نیست، و بنابراین دیود در ۲۰ mA کار می‌کند. برای طرح دوم، فرض کنید که جریان منبع محدود شده است و بنابراین شما مجبور به کار با دیود در جریان ۰/۲۵mA هستید. برای انجام این طراحی اولیه فرض کنید بار نداریم. برای هر طرح مقدار R و رگولاسیون خط را بیابید.

ط* ۳-۷۹ در مدار تنظیم کننده‌ای به صورت شکل ۳-۳۳ یک دیود زنر با $V_z = ۹/۱$ V در $I_z = ۹$ mA، و $r_z = ۳۰$ Ω و $I_{zk} = ۰/۳$ mA به کار رفته است. ولتاژ منبع ۱۵V موجود می‌تواند ۱۰ %± تغییر کند. برای این دیود V_{zo} چقدر است؟ به ازای بار نامی $R_L = ۱$ KΩ و جریان زنر ۱۰ mA چه جریانی از مقاومت منبع R می‌گذرد؟ R را به نحوی تعیین کنید (با یک رقم معنی‌دار) که به ازای مقاومت نامی منبع، حداقل این جریان را تأمین کند. ولتاژ نامی حامل چقدر است؟ ولتاژ خروجی به ازای تغییر ۱۰± درصدی منبع چقدر تغییر می‌کند؟ اگر جریان بار ۵۰% کم شود، V_o چقدر زیاد می‌شود؟ کوچکترین مقاومت باری که می‌توان وصل کرد و در هنگام کوچک بودن ولتاژ منبع خروجی منظم شده‌ای داشت، چقدر است؟ کوچکترین ولتاژ خروجی حاصل چقدر است؟ مقادیر تنظیم خط و تنظیم بار این مدار را با توجه به مقادیر عددی و دست آمده در این مسئله، به کمک معادلات (۳-۶۰ و ۳-۶۱) بیابید.

***ط ۳-۸۰** نیاز به طراحی یک تنظیم‌کننده موازی زنر داریم تا ولتاژ تنظیم شدهٔ ۱۰ V فراهم شود. دیود زنر موجود ۱۰ V و ۱ W از نوع 1N4740 است که دارای افت ۱۰ V در جریان ۲۵ mA می‌باشد. در این جریان $r_z = ۷$Ω. منبع ولتاژ با موجک دارای مقدار نامی ۲۰V است ولی می‌تواند به اندازهٔ ۲۵%± تغییر کند. تنظیم‌کننده باید جریان بار ۰ تا ۲۰mA را فراهم کند. برای حداقل جریانِ زنرِ ۵ mA طراحی را انجام دهید.

(الف) V_{Z0} را بیابید.

(ب) مقدار موردنیاز R را محاسبه کنید.

(پ) رگولاسیون خط را بیابید. تغییر در V_O برحسب درصد متناظر با ۲۵%± درصد تغییر در V_S چقدر است؟

(ت) رگولاسیون بار را بیابید. درصد تغییرات V_O در صورتی که از حالت بی‌باری به بار کامل برویم، چقدر است؟

(ث) حداکثر جریانی که زنر در طراحی شما قابلیت هدایت آنرا دارد، چقدر است؟ تحت این شرط توان تلف شدهٔ زنر چقدر است؟

بخش ۷-۳: مدارهای یکسوکننده

۳-۸۱ مدار یکسوکنندهٔ نیم موجِ شکل (الف ۳۷-۳) راکه در آن دیود معکوس شده است، درنظر بگیرید. فرض کنید v_s سینوسی با دامنهٔ نوکِ ۱۰V باشد و $R = ۱$ kΩ. از مدل افت ولتاژ ثابت برای دیود با $V_D = ۰/۷$V استفاده کنید.

(الف) مشخصهٔ انتقال را رسم کنید.

(ب) شکل موج v_O را رسم کنید.

(پ) مقدار متوسط v_O را بیابید.

(ت) نوکِ جریان دیود را بیابید.

(ث) PIV دیود را بدست آورید.

۳-۸۲ با استفاده از مشخصهٔ نمایی دیود، نشان دهید که برای v_S و v_O بزرگتر از صفر، مدار شکل (الف ۲۹-۳) دارای مشخصهٔ انتقال زیر است

$$v_O = v_S - v_D\,(i_D = ۱\text{ mA در}) - n\,V_T \ln(v_O/R)$$

که v_S و v_O بر حسب ولت و R بر حسب کیلواهم است.

۳-۸۳ مدار یکسوکنندهٔ نیم موج را با موج مثلثی ورودی با دامنهٔ نوک تا نوک ۲۰ V و مقدار متوسطِ صفر و $R = ۱$ kΩ، درنظر بگیرید. فرض کنید که دیود با مدل جزیی - خطی با $V_{D0} = ۰/۶۵$ V و $r_D = ۲۰$ Ω نمایش داده شود. مقدار متوسط v_O را بیابید.

۳-۸۴ برای یکسوکنندهٔ نیم‌موج با $R = ۱$ kΩ، دیودی که در جریان ۱mA دارای افت ۰/۷ V است، بکار رفته است و تغییرات ولتاژ آن ۰/۱V به ازاء ده برابر تغییرات جریان است، مقادیر ولتاژ ورودی به یکسوکننده را به ازاء ۱۰ V و ۵ و ۱ و ۲ و ۰/۵ و ۰/۱ = v_O بیابید. مشخصهٔ انتقال یکسوکننده را رسم کنید.

۳-۸۵ یکسوساز نیم‌موجی با بار ۱ kΩ توسط برق شهر ۱۲۰ V_{rms}، ۶۰ Hz و ترانسفورماتور کاهندهٔ ۱:۱۰ تغذیه می‌شود. یک دیود سیلیکونی به کار رفته است که می‌توان آن را با افت ولتاژ ثابت ۰/۷V مدل کرد. ولتاژ نوک خروجی یکسو شده چقدر است؟ دیود در چه کسری از تناوب هدایت می‌کند؟ ولتاژ متوسط خروجی چقدر است؟ جریان متوسط بار چقدر است؟

۳-۸۶ ورودی یکسوساز تمام خروجی با بار ۱ - kΩ از برق شهر ۱۲۰ Vrms - ۶۰ Hz توسط ترانسفورماتور کاهنده‌ای با سر وسط در ثانویه و نسبت دور ۵:۱ تأمین می‌شود. این یکسوساز با دو دیود سیلیکونی ساخته شده است که می‌توان آنها را با افت ولتاژ ثابت ۰/۷ V مدل کرد. ولتاژ نوک خروجی چقدر است؟ هر دیود در چه کسری از تناوب هدایت می‌کند؟ ولتاژ متوسط خروجی چقدر است؟ جریان متوسط بار چقدر است؟

۳-۸۷ یک یکسوساز پل با بار ۱ kΩ با برق شهر (V_{rms} ۱۲۰ - ۶۰Hz) توسط ترانسفورماتور کاهندهٔ ۱:۱۰ کار می‌کند. در این یکسوساز دیودهای **سیلیکونی** با مدل افت ولتاژ ثابت ۰/۷V به کار رفته است. ولتاژ نوک خروجی چقدر است؟ هر دیود در چه کسری از تناوب هدایت می‌کند؟ ولتاژ متوسط خروجی چقدر است؟ جریان متوسط بار چقدر است؟

ط ۳-۸۸ احتیاج به طراحی یک مدار یکسوکنندهٔ تمام موج با استفاده از مدار شکل ۳۰-۳ داریم تا مقادیر متوسط ولتاژ خروجیِ زیر را فراهم آورد:

(الف) ۱۰ V

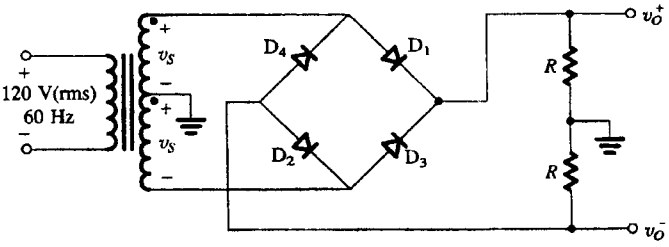
(ب) ۱۰۰ V

در هر حالت نسبت دورهای ترانس را بدست آورید. فرض کنید که دیودِ در حالت هدایت دارای افت ۰/۷ V است. ولتاژ خط ac، ۱۲۰ V rms می‌باشد.

ط ۸۹-۳ مسئله ۸۸-۳ را برای مدار یکسوکنندهٔ پل شکل ۳۹-۳ تکرار کنید.

ط ۹۰-۳ مدار یکسوکنندهٔ تمام موج شکل ۳۸-۳ را هنگامی که نسبت دورها به صورتی است که ولتاژ روی کل سیم‌پیچ ثانویه ۲۴ V rsm است، درنظر بگیرید. اگر ولتاژ خط ac ورودی (۱۲۰ V rms) به اندازهٔ ۱۰٪± تغییر کند، PIV مورد نیاز دیودها را بیابید. (ضریب اطمینان را نیز در محاسبات خود درنظر بگیرید.)

***۹۱-۳** مدار شکل (م ۹۱-۳) یک یکسوکنندهٔ مکملِ خروجی است. شکل موجهای v_O^+ و v_O^- را تعیین و رسم کنید. فرض کنید افت ولتاژ روی هر دیود در حال هدایت ۰/۷ V باشد. اگر دامنهٔ مقدار متوسطِ هر خروجی ۱۵ V باشد. دامنهٔ موج سینوسی ورودیِ موردنیاز روی کل سیم پیچ ثانویه را بیابید. PIV هر دیود چقدر است؟



شکل (م ۹۱-۳)

۹۲-۳ به مدار یکسوساز مسئلهٔ ۸۵-۳ خازنی بیفزایید تا نوک تا نوک موجک، (i) ۱۰٪ ماکزیمم خروجی، (i) ۱٪ ماکزیمم خروجی باشد. در هر مورد
(الف) ولتاژ متوسط خروجی چقدر است؟
(ب) دیود در چه کسری از تناوب هدایت می‌کند؟
(پ) جریان متوسط دیود چقدر است؟
(ت) ماکزیمم جریان دیود چقدر است؟

۹۳-۳ مسئلهٔ ۹۲-۳ را در مورد مسئلهٔ ۸۶-۳ تکرار کنید.

۹۴-۳ مسئلهٔ ۹۲-۳ را در مورد مسئلهٔ ۸۷-۳ تکرار کنید.

***ط ۹۵-۳** برای طراحی منبع تغذیه‌ای که ولتاژ dc، ۱۵ V را که حداکثر موجک آن ۱ V± است، فراهم می‌کند، نیازمند به استفاده از یک مدار یکسوکنندهٔ نوک هستیم. یکسوکننده، بار با مقاومتِ ۱۵۰ Ω را تغذیه می‌کند. یکسوکننده از طریق ترانس توسط ولتاژ خط (۱۲۰ Vrms, ۶۰ Hz) تغذیه می‌شود. دیودهای موجود دارای افت ۰/۷ V به هنگام هدایت هستند. اگر نظر طراح مدار نیم‌موج باشد:
(الف) ولتاژ rms را که باید روی ثانویهٔ ترانس ظاهرشود، بیابید.
(ب) مقدار موردنیازِ فیلتر خازنی را بیابید.
(پ) حداکثر ولتاژ معکوسی را که روی دیود ظاهر می‌شود بیابید و میزان PIV دیود را معین کنید.
(ت) متوسطِ جریان عبوری از دیود را در حال هدایت محاسبه کنید.
(ث) نوکِ جریانِ دیود را محاسبه کنید.

***ط ۹۶-۳** مسئله ۹۵-۳ را برای حالتی که نظر طراح مدار تمام موج با ترانسِ با سر وسط است، تکرار کنید.

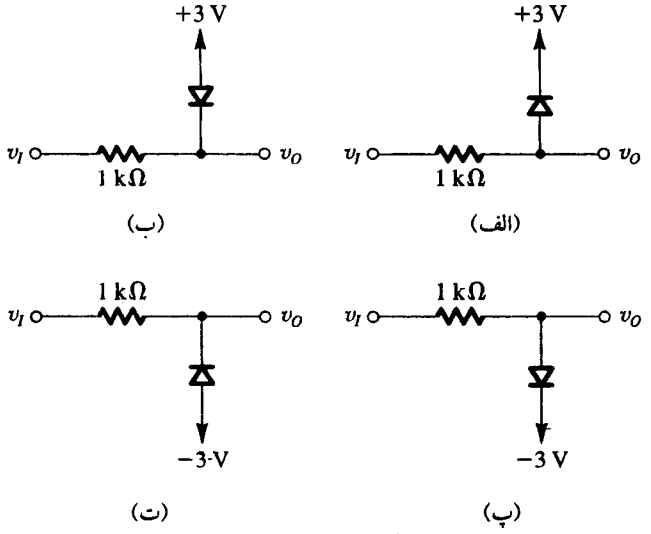
***ط ۹۷-۳** مسئله ۵۵-۳ را برای حالتی که نظر طراح مدار یکسوکنندهٔ تمام موج پل است، تکرار کنید.

۹۸-۳ یکسوکنندهٔ نیم‌موج نوکیِ را که با ولتاژ v_S که دارای شکل مثلثی با دامنهٔ نوکِ تا نوک ۲۰ V، مقدار متوسط صفر و فرکانس ۱ kHz است، تغذیه می‌شود، درنظر بگیرید. فرض کنید دیود دارای افت ۰/۷ V در حال هدایت است. مقاومت بار را $R = ۱۰۰\ \Omega$ و فیلتر خازنی را $C=۱۰۰\ \mu F$ بگیرید. مقدار متوسطِ dc ولتاژ خروجی، بازهٔ زمانیِ هدایت دیود، جریانِ متوسط دیود در حین هدایت و حداکثر جریانِ دیود را بیابید.

***ط ۹۹-۳** مدار شکل (م ۹۱-۳) را با دو فیلتر خازنی که روی بار قرار گرفته است، درنظر بگیرید. فرض کنید که دیودهای موجود افت ۰/۷V را در حال هدایت دارند. مداری را طراحی کنید که ولتاژ خروجیِ dc، ۱۵V± را با موجکی حداکثر برابر ۱ V نوک تا نوک فراهم آورد. هر منبع باید قادر به تأمین ۲۰۰ mA جریان برای بار R باشد. دیودها و ترانس را بطور کامل معین کنید.

بخش ۸-۳: مدارهای محدودکننده و برش

۱۰۰-۳ مشخصه انتقال v_O بر حسب v_I را برای مدارهای محدودکننده نشان داده شده در شکل (م ۱۰۰-۳) رسم کنید. همهٔ دیودها در افت ولتاژ مستقیم ۰/۵V شروع به هدایت می‌کنند و به هنگام هدایت کامل افت ولتاژ ۰/۷ V را دارند.



شکل (م ۱۰۰-۳)

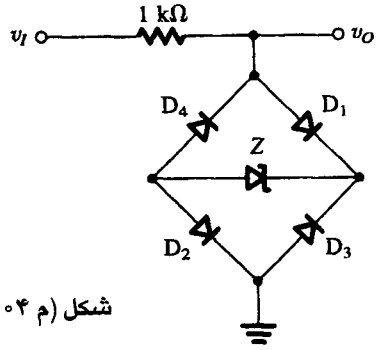
۱۰۱-۳ مسئله ۱۰۱-۳ را با فرض اینکه دیودها توسط مدل جزیی - خطی با $V_{D_0} = ۰/۶۵$ V و $r_D = ۲۰\ \Omega$ مدل شده‌اند، تکرار کنید.

۱۰۲-۳ مدارهای شکل (الف و ت) (م ۱۰۰-۳) به صورت زیر بسته

شده‌اند: پایه‌های ورودی و پایه‌های خروجی بهم بسته شده‌اند. مشخصهٔ انتقالِ مدار حاصل را رسم کنید، فرض کنید که ولتاژ آستانهٔ وصل دیودها ۰/۵V و افت ولتاژِ هدایت کامل آنها ۰/۷ V است.

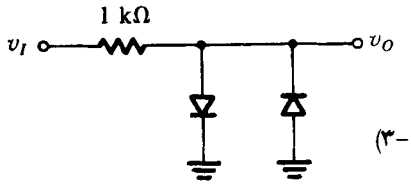
۳-۱۰۳ مسئله ۳-۱۰۲ را برای دو مداری که در شکل (الف و ب) (م ۳-۱۰۰) آمده و به صورت زیر بهم متصل شده‌اند، تکرار کنید: پایه‌های ورودی بهم و پایه‌های خروجی بهم متصل شده‌اند.

۳-۱۰۴* مشخصهٔ انتقال مدار شکل (م۳-۱۰۴) را برای $-20V \le v_I \le +20v$ تعیین و رسم کنید. فرض کنید که دیودها توسط مدل جزیی - خطی با $v_{D_0} = 0/65$ V و $r_D = 20\ \Omega$ جایگزین شده‌اند. فرض کنید که ولتاژِ زنر مشخص شده (۸/۲ V) در جریان ۱۰mA محاسبه شده و $r_z = 20\ \Omega$ است، و زنر را توسط مدل جزیی - خطی نشان دهید.



شکل (م ۳-۱۰۴)

۳-۱۰۵ مشخصهٔ انتقال مدار شکل (م ۳-۱۰۵) را با محاسبهٔ v_I متناظر با ۰/۷- و ۰/۸- و ۰/۶- و ۰/۵- و ۰/۸- و ۰/۷- و ۰/۶- و ۰/۵ v_o رسم کنید. فرض کنید که واحدهای دیودهای ۱ mA دارای مشخصهٔ لگاریتمی ۰/۱ V/decade هستند. مدارها را از نظر نوع محدودکنندگی سخت یا نرم مشخص کنید. K چقدر است؟ L_+ و L_- را تخمین بزنید.



شکل (م ۳-۱۰۵)

ط ۳-۱۰۶ مدارهای محدودکننده‌ای تنها با استفاده از دیودها و مقاومتهای ۱۰ kΩ برای محدودکردن سیگنالهای خروجی در حالات زیر طراحی کنید.

(الف) ۰/۷ V -، و بالاتر

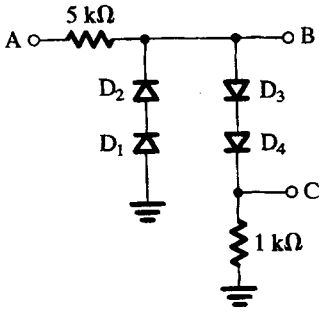
(ب) ۲/۱ V -، و بالاتر (پ) ۱/۴ V ±

فرض کنید افت ولتاژ هر دیود هنگام هدایت ۰/۷ V باشد.

ط ۳-۱۰۷* یک مدار محدودکنندهٔ دو طرفه، با استفاده از یک مقاومت، دو دیود و دو منبع تغذیه بسازید، مقاومت بار ۱ kΩ است و سطوح نامی برش باید ±۳V باشد. در ناحیهٔ خطی بهرهٔ ولتاژ مدار باید از ۰/۹۵V/V کمتر نشود.

۳-۱۰۸* مسئلهٔ ۳-۱۰۷ را با دیودهایی که به صورت منبع - مقاومت مدل شده‌اند در نظر بگیرید. ولتاژ منبع مدل ۰/۵ V است و مقاومت به نحوی است که جریان دیود به ازای ولتاژ ۰/۷ V برابر ۱۰ m است. ولتاژ خروجی را به ازای ورودی ±۱۰V بیابید. رابطهٔ خروجی - ورودی را رسم کنید.

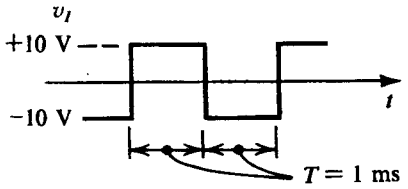
۳-۱۰۹ در مدار شکل م ۳-۱۰۹ برای دیودها در ۰/۷ V جریان ۰/۱ mA است و مشخصهٔ ۰/۱ V بر دهه دارند. به ازای ورودی بین ۵V- +۵V، ولتاژ گروه‌های B و C را رسم و مقدارگذاری کنید. اگر ورودی گرهٔ A یک سینوسی ۱۰۰ - Hz با دامنهٔ نوک ۵ V باشد، سیگنال گره‌های B و C را رسم کنید.

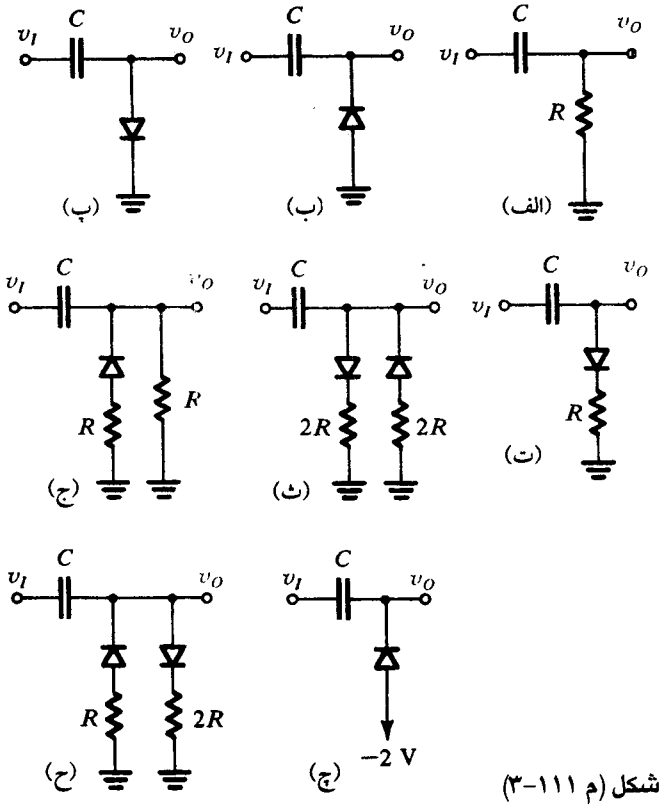


شکل (م ۳-۱۰۹)

۳-۱۱۰ به یک خازن پرش با استفاده از دیود ایده‌آل، موج سینوسی با ولتاژ ۱۰ Vrms اعمال می‌شود. مقدار متوسط (dc) خروجی حاصل چقدر است؟

۳-۱۱۱* در مدارهای شکل (م ۳-۱۱۱) که دیودهای آنها ایده‌آل هستند خروجی را برای ورودی داده شده رسم کنید. منفی‌ترین و مثبت‌ترین سطح خروجی را تعیین کنید. فرض کنید $CR \gg T$ است.





شکل (م ۳-۱۱۱)

E. J. Angelo, Jr., *Electronics: BJTs, FETs and Microcircuits,* New York: McGraw-Hill, 1969.

S. B. Burns and P. R. Bond, *Principles of Electronic Circuits,* St. Paul: West, 1987.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits,* New York: McGraw-Hill, 1988.

J. M. Rabaey, *Digital Integrated Circuits,* Englewood Cliffs, NJ: Prentice-Hall, 1996.

G. W. Roberts and A. S. Sedra, *SPICE,* Second Edition, New York: Oxford University Press, 1997.

S. Soclof, *Applications of Analog Integrated Circuits,* Englewood Cliffs, NJ: Prentice-Hall, 1985.

P. E. Gray and C. L. Searle, *Electronic Principles,* New York: Wiley, 1969.

D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* Second Edition, New York: McGraw-Hill, 1988.

D. H. Navon, *Semiconductor Microdevices and Materials,* New York: Holt, Rinehart and Winston, 1986.

B. J. Streetman, *Solid-State Electronic Devices,* Third Edition, Englewood Cliffs, NJ: Prentice-Hall, 1990.

S. M. Sze, *Semiconductor Devices, Physics and Technology,* New York: Wiley, 1985.

فصل ۴

ترانزیستورهای پیوندی دوقطبی (BJT ها)

۴-۱ ساختمان فیزیکی و نحوه کار
۴-۲ کار ترانزیستور npn در حالت فعال
۴-۳ ترانزیستور pnp
۴-۴ علامتهای مداری و قراردادها
۴-۵ نمایش ترسیمی مشخصه‌های ترانزیستور
۴-۶ تحلیل مدارهای ترانزیستوری از نظر DC
۴-۷ ترانزیستور به مثابه تقویت‌کننده
۴-۸ مدلهای مدار معادل سیگنال کوچک
۴-۹ تحلیل ترسیمی
۴-۱۰ تغذیه BJT در طراحی مدار مجزا
۴-۱۱ پیکربندی‌های تقویت‌کننده BJT تک طبقه
۴-۱۲ ترانزیستور به مثابه یک کلید - قطع و اشباع
۴-۱۳ مدل کلی سیگنال بزرگ برای BJT : مدل ابرزمول (EM)
۴-۱۴ اساس وارونگر منطقی با BJT
۴-۱۵ مشخصه‌های استاتیک کامل و ظرفیت‌های داخلی و اثرات مرتبه دوم
۴-۱۶ مدل BJT ی SPICE و مثالهای شبیه‌سازی
خلاصه - مسائل - کتابشناسی

مقدمه

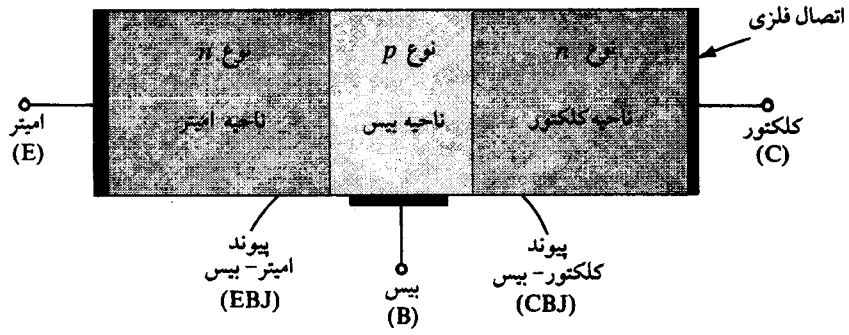
پس از مطالعه دیود پیوندی که پایه‌ای‌ترین قطعه نیمه‌هادی است، اینک به قطعات نیمه‌هادی سه پایانه می‌پردازیم. قطعات سه پایانه از قطعات دو پایانه کارآیی بیشتری دارند زیرا از آنها در کاربردهای گوناگونی از تقویت سیگنال تا طراحی مدارهای حافظه و منطقی دیجیتال استفاده می‌شود. قاعده اساسی در آن، اعمال ولتاژ بین دو پایانه برای کنترل جریان پایانه سوم است به این ترتیب همانگونه که در فصل اول آموختیم، یک قطعه سه پایانه به مثابه یک منبع دارای کنترل در طراحی تقویت‌کننده نقش اساسی دارد. از سوی دیگر سیگنال کنترل، موجب تغییر جریان از صفر تا یک مقدار بزرگ در پایانه سوم می‌شود و امکان می‌دهد تا قطعه به عنوان یک کلید کار کند. کلید جزء اصلی مدارهای دیجیتالی است.

دو نوع کلی قطعات نیمه هادی سه پایانه وجود دارد: ترانزیستور پیوندی دو قطبی (BJT) که موضوع این فصل است و ترانزیستور اثر میدانی (FET) که در فصل ۵ بررسی خواهد شد. این دو نوع ترانزیستور به یک اندازه مهم بوده و هرکدام دارای مزایا و حوزه‌های کاربرد مخصوص به خود می‌باشند.

ترانزیستور دو قطبی شامل دو پیوند *pn* است که به شکل مخصوصی بطور سری، پشت به پشت، بهم متصل شده‌اند جریان توسط حفره‌ها و الکترونها هدایت می‌شود و بنابراین دوقطبی نام گرفته است. BJT که برای سادگی، به آن ترانزیستور می‌گویند بطور گسترده در طراحی مدارهای گسسته و مجتمع (IC)، دیجیتال و آنالوگ مورد استفاده قرار می‌گیرد.

مشخصه‌های قطعه آنچنان بخوبی معلوم است که شخص طراح می‌تواند مدارهای ترانزیستوری را که نحوهٔ کار آنها از قبل قابل پیش‌بینی بوده و کاملاً در مقابل تغییرات پارامترهای قطعه مقاوم باشند طراحی نماید.

این مبحث را با توصیف کیفی نحوهٔ عمل ترانزیستور بطور ساده شروع می‌کنیم. این توصیف فیزیکی اگرچه ساده است اما به شما یک بینش قابل توجه در مورد ترانزیستور به عنوان یک عنصر مداری می‌دهد. بعد از توضیح چگونگی جاری‌شدن جریان بعلت وجود الکترونها و حفره‌ها



شکل ۱-۴. ساختار ساده ترانزیستور *npn*

بسرعت به مطالعه مشخصه‌های پایانه‌ای ترانزیستور می‌پردازیم. مدل‌های مرتبه اول برای عملکرد ترانزیستور در حالات مختلف در تحلیل مدارهای ترانزیستوری مورد استفاده قرار می‌گیرد. یکی از هدفهای اصلی این فصل هرچه بیشتر آشنا ساختن خواننده با ترانزیستور است. بدین ترتیب خواننده باید در انتهای فصل بتواند تحلیل مرتبه اول ترانزیستور را سریعاً علاوه بر طراحی تقویت‌کننده‌های تک طبقه انجام دهد.

۴-۱ ساختمان فیزیکی و حالت کار

شکل (۱-۴) ساختمان ساده‌ای از یک BJT را نشان می‌دهد. ساختمان یک ترانزیستور واقعی را بعداً خواهید دید (ضمیمه الف را ملاحظه کنید).

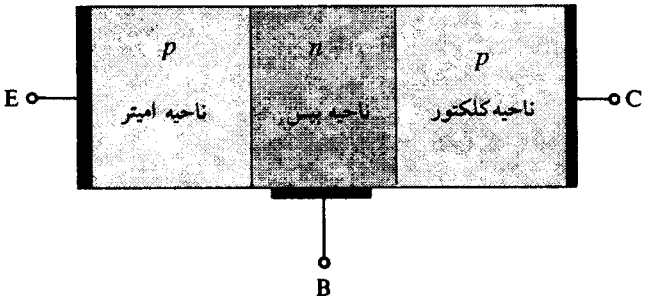
همانگونه که در شکل (۱-۴) ملاحظه شده است، یک BJT شامل سه ناحیه نیمه‌هادی است به نامهای: ناحیه امیتر (نوع *n*)، ناحیه بیس (نوع *p*) و ناحیه کلکتور (نوع *n*). چنین ترانزیستوری را ترانزیستور *npn* می‌نامیم. نوع دیگر، قرینه *npn* و همانگونه که در شکل (۲-۴) نشان داده شده، دارای یک امیتر از نوع *p*، یک بیس از نوع *n*، و یک کلکتور از نوع *p* است و ترانزیستور *pnp* نامیده می‌شود. یک پایه به هریک از سه ناحیهٔ نیمه‌هادی متصل است. این پایه‌ها با نامهای **امیتر** (E) ، **بیس** (B) ، و **کلکتور** (C) مشخص شده‌اند.

ترانزیستور شامل دو پیوند *pn* است، پیوند امیتر - بیس (EBJ) و پیوند کلکتور - بیس (CBJ). بسته به شرایط بایاس هریک از این پیوندها، مستقیم (پیشرو) یا معکوس، مطابق جدول ۱-۴ حالتهای متفاوت کار برای BJT بوجود می‌آید.

جدول ۱-۴.

حالت	EBJ	CBJ
قطع	معکوس	معکوس
فعال	مستقیم	معکوس
اشباع	مستقیم	مستقیم

حالت فعال حالتی است که از ترانزیستور به مثابه یک تقویت‌کننده استفاده می‌شود. در کاربردهای کلیدزنی (سویچینگ)، (مثل مدارات منطقی) از هر دو حالت قطع و اشباع ترانزیستور استفاده می‌شود.



شکل ۲-۴. ساختار ساده ترانزیستور *pnp*

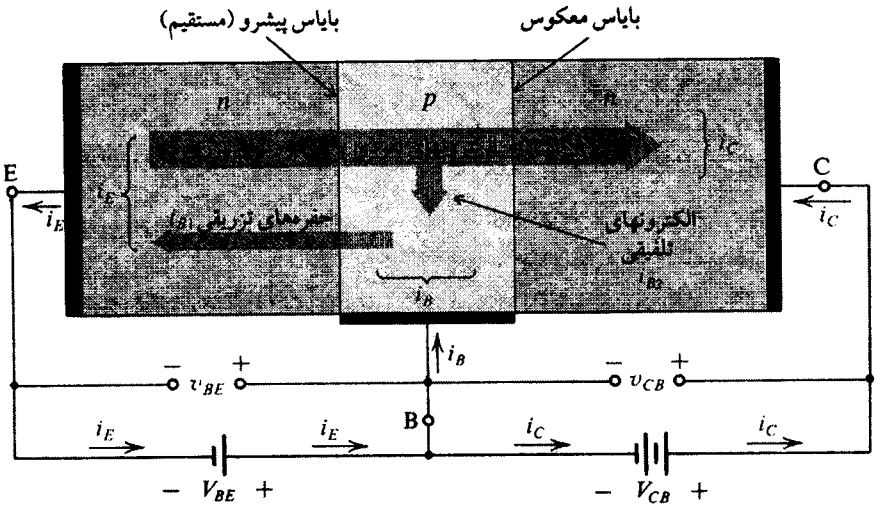
۴-۲ کار ترانزیستور *npn* در حالت فعّال

نخست رفتار کار فیزیکی ترانزیستور را در حالت فعال موردنظر قرار می‌دهیم. این حالت در شکل (۳-۴) برای ترانزیستور *npn* ترسیم شده است که در آن از دو منبع ولتاژ خارجی (که به صورت باتری نشان داده شده) برای برقراری شرایط بایاس مطلوب و ایجاد حالت فعال استفاده شده است. ولتاژ V_{BE} باعث می‌شود که بیس نوع *p* دارای پتانسیلی بزرگتر از امیتر نوع *n* باشد. از اینرو پیوند بیس - امیتر بایاس مستقیم می‌شود. ولتاژ کلکتور - بیس V_{CB} سبب می‌شود تا کلکتور نوع *n* پتانسیلی بزرگتر از بیس نوع *p* داشته باشد و بنابراین پیوند بیس - کلکتور، بایاس معکوس می‌شود.

شارش جریان

در توضیحات زیر درباره شارش جریان، تنها اجزاء جریان پخشی موردنظرند. جریانهای موقتی که از حاملهای اقلیت تولید شده در اثر حرارت ناشی می‌شود، معمولاً بسیار کوچکند و می‌توانند نادیده گرفته شوند. در مبحث بعدی مطالب بیشتری درباره جریان معکوس ذکر خواهد شد.

بایاس مستقیم در پیوند امیتر - بیس سبب شارش جریان در این پیوند خواهد شد. این جریان دو جزء دارد: الکترونها که از امیتر به بیس تزریق شده‌اند، و حفره‌ها که از بیس به امیتر تزریق گشته‌اند. آشکار خواهد شد که، بسیار مطلوب است اگر اولین جزء (الکترون‌ها را از امیتر به بیس) در سطحی بسیار بالاتر از دومین جزء (حفره‌ها را از بیس به امیتر) داشته



شکل ۳-۴. عبور جریان در ترانزیستور *npn* برای کار در حالت فعال (مؤلفه‌های جریان معکوس حاصل از نفوذ حامل‌های اقلیت به علت گرما نشان داده نشده است)

باشیم. این کار به هنگام ساخت ترانزیستور با آلایش بیشتر امیتر و آلایش کمتر بیس انجام می‌شود. یعنی قطعه به گونه‌ای ساخته می‌شود که چگالی الکترونها در امیتر بیشتر و در بیس کمتر باشد.

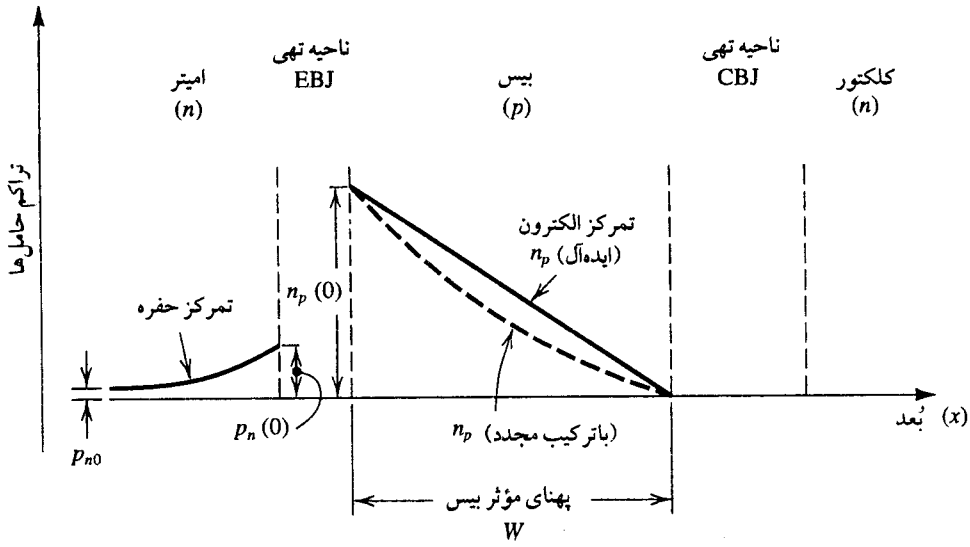
همانگونه که در شکل (۳-۴) ملاحظه می‌شود، جریانی که از پیوند بیس -امیتر می‌گذرد، جریان امیتر i_E را بوجود می‌آورد. جهت i_E به طرف خارج امیتر است، یعنی در مسیر جریان حفره و مخالف مسیر جریان الکترون است که i_E برابر با مجموع این دو جزء است. بنابراین، چون جزء الکترون بزرگتر از جزء حفره است، جریان امیتر بوسیله جزء الکترون تعیین می‌شود.

اکنون الکترونهای تزریق‌شده از امیتر به داخل بیس را درنظر می‌گیریم. این الکترونها در ناحیه نوع p، **حاملهای اقلیت** خواهند بود. به علت آنکه بیس معمولاً نازک می‌باشد، در حالت پایدار، افزونی تمرکز حامل اقلیت در بیس دارای مشخصه خط مستقیمی است که در شکل (۴-۴) بوسیله یک خط سیاه مستقیم نشان داده شده است. میزان تمرکز [که بوسیله $n_p(\circ)$ مشخص شده] در طرف امیتر بیشترین و در سمت کلکتور کمترین (صفر) خواهد بود. در هر وضعیت از بایاس مستقیم در پیوند *pn* (فصل ۳)، تمرکز $n_p(\circ)$ متناسب با e^{v_{BE}/V_T} خواهند بود.

$$n_p(\circ) = n_{p\circ} e^{v_{BE}/V_T} \qquad (۴-۱)$$

که در آن $n_{p\circ}$ مقدار تعادل حرارتی تمرکز حاملهای اقلیت (الکترون) در ناحیه بیس است. v_{BE} ولتاژ بایاس مستقیم و V_T ولتاژ حرارتی‌ای است که در دمای اتاق تقریباً ۲۵ mV است. دلیل تمرکز صفر در سمت کلکتور بیس آن است که ولتاژ کلکتور مثبت (v_{CB}) سبب می‌شود تا الکترونها در آن سمت، در عرض ناحیه تهی CBJ رانده شود.

باریک‌شدن نمودار تمرکز حاملهای اقلیت (در شکل ۴-۴) موجب می‌شود تا الکترونهای تزریق‌شده به بیس در ناحیه بیس به سوی کلکتور



شکل ۴-۴. مقطع طولی تجمع حامل‌های اقلیت در بیس و امیتر ترانزیستور *npn* در حالت فعال با $V_{BE}>\circ$ و $V_{CB}\geq\circ$

پخش شود. این جریان پخشی با شیب خط مستقیم در نمودار تمرکز نسبت مستقیم دارد. بنابراین جریان پخشی با تمرکز $n_p(0)$ نسبت مستقیم و با عرض بیس W، نسبت معکوس دارد.

$$I_n = A_E q D_n \frac{dn_p(x)}{dx} = A_E q D_n \left(-\frac{n_p(0)}{W}\right) \qquad (۴-۲)$$

که در آن A_E سطح مقطع پیوند بیس- امیتر، q اندازه بار الکترون، D_n نفوذپذیری الکترون در بیس، و W عرض مؤثر بیس است. مشاهده می‌کنید که شیب منفی تمرکز حاملهای اقلیت جریان منفی I_n را در بیس بوجود می‌آورد. یعنی I_n از راست به چپ (در مسیر منفی x) جریان می‌یابد.

بسیاری از الکترونهایی که در ناحیه بیس پخش می‌شوند، با حفره‌ها ترکیب می‌گردند، حفره‌ها در بیس، حاملهای اکثریت را تشکیل می‌دهند. بنابراین، چون بیس معمولاً خیلی نازک است، درصد الکترونهای اتلافی در فرآیند ترکیب دوباره، بسیار ناچیز است. با این وجود، ترکیب مجدد در ناحیه بیس سبب افزونی تمرکز حاملهای اقلیت می‌شود و از خط مستقیم منحرف می‌شود و به صورت محدب درمی‌آید که در شکل (۴-۴) به صورت خطوط منقطع نشان داده شده است. با احتساب اختلاف در تعداد کمی از الکترونهای تلف‌شده در ناحیه بیس در ضمن ترکیب مجدد شیب نمودار تمرکز در EBJ به اندازه ناچیزی بزرگتر از آن در CBJ است.

جریان کلکتور

از مباحث فوق درمی‌یابیم که قسمت اعظم الکترونهای پخشی به مرکز ناحیه تهی کلکتور - بیس می‌رسد. چون کلکتور خیلی مثبت‌تر از بیس است (به اندازهٔ v_{CB} ولت)، الکترونهای موفق در عرض ناحیه تهی CBJ به داخل کلکتور رانده خواهدشد. به این ترتیب، این الکترونها با یکدیگر جمع شده و جریان کلکتور i_C را بوجود می‌آورند. با این قرارداد که جهت i_C با جهت شارش الکترونها متفاوت است، i_C در پایانه کلکتور شارش خواهد یافت. بنابراین $I_C = I_n$، چون مسیر شیب i_C را به داخل یا به کلکتور در نظر گرفتیم، می‌توان علامت منفی معادله (۲-۴) را نگذاریم. با این کار و جایگزینی $n_p(0)$ از معادله (۱-۴) جریان کلکتور i_C به صورت زیر بدست می‌آید:

$$i_C = I_S\, e^{v_{BE}/V_T} \qquad (۴-۳)$$

که در آن I_S جریان اشباع است و از رابطه زیر بدست می‌آید:

$$I_S = A_E\, q D_n\, n_{p_0} / W$$

از جایگزینی $n_{p_0} = n_i^2 / N_A$، که در آن n_i چگالی حاملهای ذاتی و N_A تمرکز آلایش بیس است، می‌توان I_S را به صورت زیر بیان کرد:

$$I_S = \frac{A_E q D_n n_i^2}{N_A W} \qquad (۴-۴)$$

مطلب مهم دیگر آن است که اندازه i_C مستقل از v_{CB} می‌باشد. یعنی به شرط آنکه کلکتور نسبت به بیس مثبت باشد، الکترونهایی که به سمت کلکتور ناحیه بیس می‌رسند به داخل کلکتور رانده می‌شوند و به عنوان جریان کلکتور به حساب می‌آیند.

جریان اشباع I_S باعرض بیس W تناسب معکوس و با وسعت EBJ تناسب مستقیم دارد. بطور نمونه، I_S در گستره 10^{-12} تا 10^{-15} آمپر است (بسته به اندازه قطعه) چون متناسب با n_i^2 است شدیداً تابع حرارت می‌باشد، و تقریباً به ازای هر ۵ درجه سانتی‌گراد افزایش دما، دو برابر می‌شود.

چون I_S با مساحت پیوند (یعنی اندازه قطعه) نسبت مستقیم دارد، آنرا **ضریب جریان** نیز می‌توان نامید. دو ترانزیستور یکنوع که فقط از نظر وسعت EBJ با یکدیگر تفاوت دارند و مثلاً یکی دو برابر دیگری است، دارای جریان اشباعی به همان نسبت (۲ برابر) خواهد بود. به این معنی که در v_{BE} یکسان، جریان کلکتور در قطعه بزرگتر، دوبرابر جریان کلکتور قطعه کوچکتر خواهدبود. از این نظر در طراحی مدار مجتمع به کرات استفاده می‌شود.

جریان بیس

جریان بیس i_B شامل دو مؤلفه است. مؤلفهٔ نخستین و غالب، i_{B1} مربوط به حفره‌های تزریق‌شده از ناحیه بیس به ناحیه امیتر است. این مؤلفه جریان متناسب با e^{v_{BE}/V_T} است.

$$i_{B1} = \frac{A_E q D_p n_i^2}{N_D L_P} e^{v_{BE}/V_T} \qquad (۴-۵)$$

که در آن D_P نفوذپذیری در امیتر، L_P طول نفوذ حفره در امیتر، و N_D تمرکز آلایش (ناخالصی) امیتر است. دومین مؤلفه جریان بیس، i_{B2}، مربوط به حفره‌هایی است که بایستی بوسیله مدار خارجی تأمین شود تا حفره‌های از دست‌رفته از بیس در فرآیند ترکیب دوباره جایگزین شود.

یک رابطه برای i_{B2} با توجه به این نکته بدست می‌آید که اگر زمان متوسط برای ترکیب دوباره الکترونهای اقلیت با حفره‌های اکثریت در بیس با τ_b (که آن را **عمر حاملهای اقلیت** می‌نامیم) نشان داده شود، در آن صورت در τ_b ثانیه بار حاملهای اقلیت در بیس، Q_n، با حفره‌ها دوبار ترکیب می‌شوند. البته در حالت پایدار، Q_n با تزریق الکترون از امیتر، دوباره پر می‌شود. برای پر شدن حفره‌ها، جریان i_{B2} باید بیس با بار مثبتی برابر با Q_n هر τ_b ثانیه تغذیه شود.

$$i_{b2} = \frac{Q_n}{\tau_b} \qquad (۴-۶)$$

بار حاملهای اقلیت ذخیره شده در ناحیه بیس، Q_n، با مراجعه به شکل ۴-۴ بدست می‌آید. Q_n با سطح مثلث زیر خط راست توزیع بیس نمایش داده می‌شود، بنابراین:

$$Q_n = A_E\, q \times \frac{1}{2} n_p(0) W$$

از جایگزینی برای $n_p(0)$ از معادله (۱-۴) و قرار دادن n_{p_0}، جای n_i^2/N_A بدست می‌آید:

$$Q_n = \frac{A_E\, q\, W_{ni}^2}{2N_A} e^{v_{BE}/V_T} \qquad (۴-۷)$$

که می‌تواند در معادله (۶-۴) جایگزین شده بدست آید

$$i_{B2} = \frac{1}{2} \frac{A_E\, q\, W_{ni}^2}{\tau_b N_A} e^{v_{BE}/V_T} \qquad (۴-۸)$$

از تلفیق معادله‌های (۵-۴) و (۸-۴) و استفاده از معادله (۴-۴)، برای جریان بیس کل i_B، رابطه زیر را بدست می‌آوریم:

$$i_B = I_S\left(\frac{D_p}{D_n}\frac{N_A}{N_D}\frac{W}{L_p} + \frac{1}{2}\frac{W^2}{D_n\tau_b}\right)e^{v_{BE}/V_T} \qquad (۴-۹)$$

از مقایسه معادله‌های (۳-۴) و (۸-۴) می‌بینیم که i_B به عنوان جزیی از i_C به صورت زیر می‌تواند بیان گردد.

$$i_B = \frac{i_C}{\beta} \qquad (۴-۱۰)$$

یعنی

$$i_B = \left(\frac{I_S}{\beta}\right)e^{v_{BE}/V_T} \qquad (۴-۱۱)$$

که β از رابطه زیر بدست می‌آید

$$\beta = 1 \Big/ \left(\frac{D_p}{D_n}\frac{N_A}{N_D}\frac{W}{L_p} + \frac{1}{2}\frac{W^2}{D_n\tau_b}\right) \qquad (۴-۱۲)$$

که در رابطه بالا، β برای ترانزیستور یک ثابت است. در ترانزیستورهای *npn* مدرن β در محدوده‌ای بین ۱۰۰ تا ۲۰۰ می‌باشد، امّا در قطعات مخصوص تا ۱۰۰۰ هم می‌تواند باشد. بدلایلی که پس از این روشن خواهدشد، ثابت β، بهره **جریان امیتر مشترک** نامیده می‌شود.

با توجه به آنچه از معادله (۱۲-۴) می‌توان دریافت، مقدار β تحت تأثیر شدید دو عامل است: عرض ناحیه بیس و آلایش نسبی در ناحیه امیتر و ناحیه بیس (N_A/N_D). برای بدست‌آوردن یک β بزرگ (βی بزرگ از این جهت مطلوبست که نماینده بهره زیاد است) بایستی بیس نازک باشد و ناخالصی ناچیزی داشته باشد. همچنین امیتر بایستی دارای ناخالصی زیاد باشد($\frac{N_A}{N_D}$ کوچک). که تاکنون فرض بر این بوده است که شرایط آرمانی وجود داشته است، و در آن β مستقل از مقدار جریان قطعه می‌باشد.

جریان امیتر

از آنجا که جریانی که به ترانزیستور وارد می‌شود بایستی از آن خارج گردد، بنابر شکل (۳-۴)، جریان امیتر i_E، برابر با مجموع جریان کلکتور i_C و جریان بیس i_B است.

$$i_E = i_C + i_B \qquad (۴-۱۳)$$

با استفاده از معادلات (۱۰-۴) و (۱۳-۴) بدست می‌آید:

$$i_E = \frac{\beta + 1}{\beta}i_C \qquad (۴-۱۴)$$

یعنی

$$i_E = \frac{\beta + 1}{\beta}I_S\, e^{v_{BE}/V_T} \qquad (۴-۱۵)$$

از طرفی، معادله (۱۴-۴) را به صورت زیر می‌توانیم بیان کنیم:

$$i_C = \alpha i_E \qquad (۴-۱۶)$$

که α ثابتی است که با رابطه زیر با β مربوط می‌گردد.

$$\alpha = \frac{\beta}{\beta + 1} \qquad (۴-۱۷)$$

بنابراین، جریان امیتر در معادله (۱۵-۴) به صورت زیر می‌تواند نوشته شود:

$$i_E = (I_S/\alpha)e^{v_{BE}/V_T} \qquad (۴-۱۸)$$

در پایان، از معادله (۱۷-۴) برای بیان β برحسب α می‌توانیم استفاده کنیم. یعنی:

$$\beta = \frac{\alpha}{1-\alpha} \qquad (۴-۱۹)$$

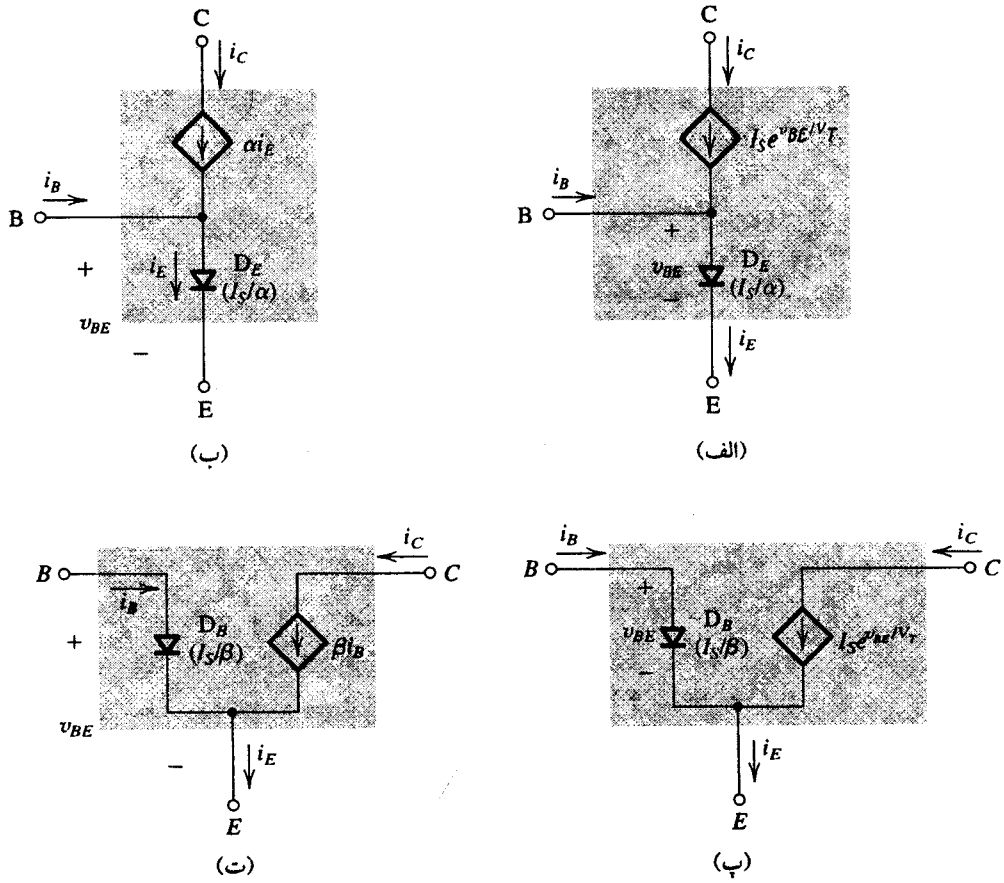
از معادله (۱۷-۴) می‌توان دریافت که α ثابتی است (در ترانزیستورهای مخصوص) کمتر از واحد امّا خیلی نزدیک به آن. برای مثال، چنانچه $\beta = 100$ باشد، در آنصورت $\alpha \cong 0/99$ است. معادله (۱۹-۴) مطلب مهمی را بیان می‌دارد: تغییرات کوچک در α با تغییرات بزرگ در β متناسب می‌باشد. این بیان ریاضی، خصوصیت فیزیکی آنرا نشان می‌دهد. به این معنی که ترانزیستورهای از یکنوع می‌توانند دارای β متفاوت باشد. به دلیلی که به زودی روشن خواهد شد، α **بهره جریان بیس مشترک** نامیده می‌شود.

تکرار رئوس مطالب

اساساً، ولتاژ بایاس مستقیم v_{BE} موجب می‌شود تا بطور نمایی جریان i_C در پایانه کلکتور شارش یابد. جریان کلکتور مستقل از ولتاژ کلکتور است به شرط آنکه پیوند کلکتور - بیس در بایاس معکوس باقی بماند، یعنی $v_{CB} \geq 0$ باشد. به همین دلیل، در حالت فعال، پایانه کلکتور به مثابه یک منبع جریان ثابت ایده‌آل عمل می‌کند که مقدار جریان آن بوسیله v_{BE} تعیین شده است. جریان بیس i_B، $1/\beta$ ام جریان کلکتور است، و جریان امیتر برابر با مجموع جریانهای کلکتور و بیس می‌باشد. چون i_B خیلی کوچکتر از i_C است (یعنی $\beta \gg 1$)، پس $i_E \cong i_C$. بطور دقیقتر، جریان کلکتور جزء αی جریان امیتر (با α کوچکتر از واحد امّا نزدیک به آن) است.

مدلهای مدار معادل

توصیفی که از اولین مدل کار ترانزیستور در بالا شد بوسیله مدار معادل شکل (الف ۵-۴) نشان داده شده است. در اینجا، دیود D_E دارای ضریب جریان (I_S/a) است. از اینرو بنا بر معادله (۱۸-۴)، i_E مرتبط با v_{BE} در آن بوجود می‌آید. جریان منبع کنترل‌دار، که با جریان کلکتور برابر است، با توجه به بستگی نمایی نشان داده شده بوسیله v_{BE} کنترل می‌گردد. این نظر، بیان دوباره معادله (۳-۴) است. این مدل، اساس یک منبع جریان دارای کنترل ولتاژ غیرخطی است. این مدل مطابق شکل (ب ۵-۴) با بیان جریان منبع دارای کنترل به صورت αi_E می‌تواند به مدل منبع جریان دارای کنترل جریان تبدیل شود. دقت کنید که این مدل نیز به علت بستگی نمایی جریان i_E در دیود D_E و ولتاژ v_{BE}، غیرخطی است. از این مدل چنین برمی‌آید که اگر ترانزیستوز به عنوان یک شبکه دودرگاهی استفاده شود که درگاهی ورودی آن بین E و B و درگاهی خروجی آن بین C و B باشد (یعنی، B پایانه مشترک محسوب شود)، در آنصورت بهره جریان برابر با α مشاهده خواهد شد. از همین رو α را بهره جریان بیس مشترک می‌نامند.



شکل ۵-۴. مدل‌های مدار معادل سیگنال بزرگ برای ترانزیستور npn که در حالت فعال کار می‌کند.

از دو مدل مدار معادل دیگر، که در شکل (پ ۵-۴) و (ت) دیده می‌شود، برای نمایش عمل سیگنال بزرگ ترانزیستور می‌توان استفاده نمود. مدل شکل (پ ۵-۴) در اساس یک منبع جریان دارای کنترل ولتاژ است. به این ترتیب، در اینجا دیود D_E جریان بیس را هدایت می‌کند و بنابراین ضریب جریان آن I_S/β می‌باشد و نسبت i_B-v_{BE} مطرح شده در معادله (۱۱-۴) را بدست می‌دهد. با بیان ساده جریان کلکتور به صورت βi_B، جریان منبع جریان کنترل‌دار مدل (ت ۵-۴) را بدست می‌آوریم. از این مدل اخیر، دریافتیم که چنانچه از ترانزیستور به عنوان یک شبکه دودرگاهی با درگاهی ورودی بین B و E و درگاهی خروجی بین C و E (یعنی، با E به مثابه پایانه مشترک) استفاده شود، در آنصورت بهره جریان مشاهده شده برابر با β می‌باشد. از اینرو β بهره جریان امیتر مشترک نامیده می‌شود.

ثابت n

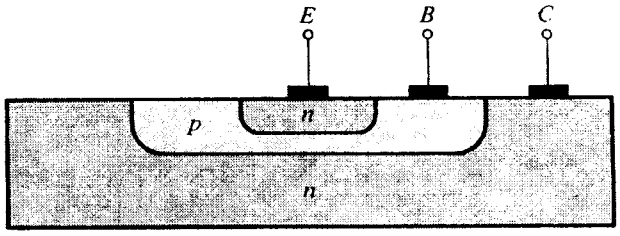
در معادله دیود (فصل ۳)، از ثابت n در تابع نمایی استفاده کردیم و یادآور شدیم که مقدار آن بین ۱ و ۲ است. در ترانزیستورهای پیوند قطبی جدید، ثابت n به واحد نزدیک است مگر در موارد خاص: (۱) در جریانهای زیاد (یعنی نسبت زیاد با گسترهٔ جریان عادی ترانزیستور دو قطبی دارد)، نسبت $i_C - v_{BE}$ دارای مقداری برای n است که نزدیک به ۲ می‌باشد و (۲) در جریانهای کم، نسبت $i_B - v_{BE}$ مقداری نزدیک به ۲ نشان می‌دهد. دقت کنید که همواره فرض خواهیم کرد $n = ۱$ است.

جریان معکوس کلکتور - بیس (I_{CBO})

در بخشی که درباره شارش جریان در ترانزیستور مطرح شد، از جریان‌های معکوس کوچکی که بوسیله حاملهای اقلیتی که در اثر حرارت بوجود آمده بودند، صرفنظر کردیم. اگرچه از چنین جریانهایی در ترانزیستورهای مدرن می‌توان چشم پوشید، امّا جریان معکوس دو سر پیوند کلکتور - بیس شایان ذکر می‌باشد. این جریان که به صورت I_{CBO} نشان داده می‌شود، جریان معکوسی است که از کلکتور به بیس جریان دارد در حالیکه مدار امیتر باز می‌باشد (از اندیس O به همین دلیل استفاده شده است). این جریان معمولاً در محدوده نانوآمپر است، یعنی مقدار آن چندین برابر بیشتر از مقداری است که در تئوری پیش‌بینی شده بود. مشابه جریان معکوس دیود، I_{CBO} بطور عمده از اثر نشتی ناشی می‌شود، و مقدار آن به v_{CB} بستگی دارد. I_{CBO} بطور جدی به دما بستگی دارد، به ازای هر ۱۰ درجه سانتیگراد افزایش دما تقریباً دو برابر می‌شود.

ساختمان واقعی ترانزیستورها

شکل (۶-۴) نمایش ساده اما واقعی از برش عرضی یک ترانزیستور npn را نشان می‌دهد، توجه کنید که ناحیه کلکتور بطور کامل ناحیه امیتر را دربرمی‌گیرد. بنابراین فرار برای الکترونهای تزریق‌شده به ناحیه نازک بیس



شکل ۶-۴. مقطع عرضی BJT *npn*

مشکل است و جمع‌آوری می‌شوند. به همین دلیل، αی بدست آمده نزدیک به واحد و β مقداری بزرگ است. همچنین ملاحظه می‌کنیم که لایه‌های قطعه قرینه و مشابه نیست. برای اطلاع از جزئیات بیشتر در باب ساختمان فیزیکی قطعات واقعی، به ضمیمه الف ارجاع کنید.

تمرینها

۴-۱ یک ترانزیستور *npn* در نظر بگیرید که در $i_C = ۱$ mA ، $v_{BE} = ۰/۷$V باشد. در $i_C = ۰/۱$ mA و ۱۰ mA ، مقدار v_{BE} را بدست آورید.
جواب. ۰/۶۴ V ؛ ۰/۷۶ V

۴-۲ ترانزیستورهای نوع معینی با داشتن مقادیر β در محدوده ۵۰ تا ۱۵۰ مشخص می‌شوند. محدوده مقادیر α آنها را پیدا کنید.
جواب. ۰/۹۸۰ تا ۰/۹۹۳

۴-۳ اندازه‌گیری در یک ترانزیستور BJT از نوع *npn* در مدار مخصوصی نشان می‌دهد که جریان بیس ۱۴/۴۶ μA، جریان امیتر ۱/۴۶۰mA، و ولتاژ بیس - امیتر برابر با ۰/۷ V است. برای این شرایط، α ، β و I_S را محاسبه کنید.
جواب. ۰/۹۹ ؛ ۱۰۰ ؛ $۱۰^{-۱۵}$ A

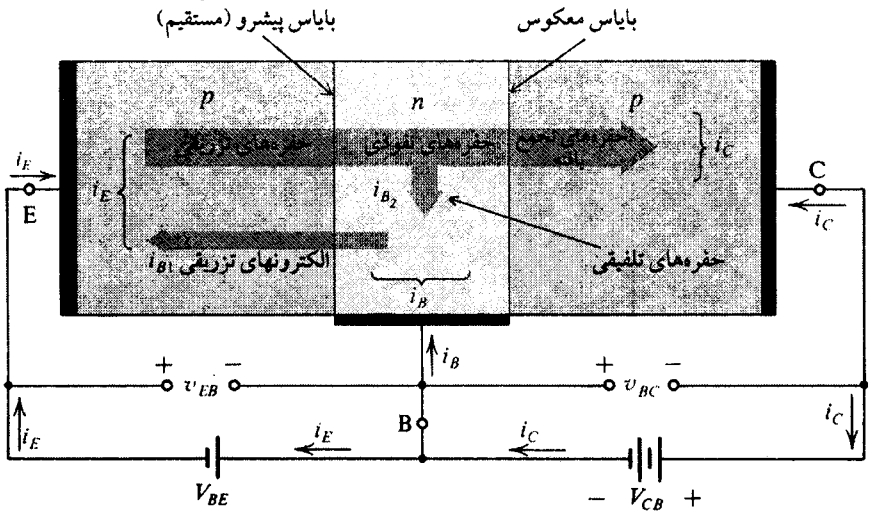
۴-۴ βی دو ترانزیستور راکه در آنها $\alpha = ۰/۹۹$ و ۰/۹۸ است محاسبه کنید. وقتی جریان کلکتورها ۱۰ mA است، جریان بیس هر ترانزیستور را پیدا کنید.
جواب. ۰/۲ mA ؛ ۰/۱ mA ؛ ۴۹ ؛ ۹۹

۴-۵ مدل BJT نشان داده شده در شکل (ت ۵-۴) را درنظر بگیرید. مقدار جریان D_B بدست آمده از $I_S = ۱۰^{-۱۴}$ و $\beta = ۱۰۰$ را بیابید. چنانچه ترانزیستور در پیکربندی امیتر مشترک عمل کند، وقتی یک منبع جریان ثابت، به بیس جریان ۱۰ μA اعمال کند و کلکتور به منبع تغذیه dc ، ۱۰V+ متصل باشد (E به زمین وصل است)، V_{BE} و I_C را پیدا کنید.
جواب. $۱۰^{-۱۱}$ A ؛ ۰/۶۳۳ V ؛ ۱ mA ❑

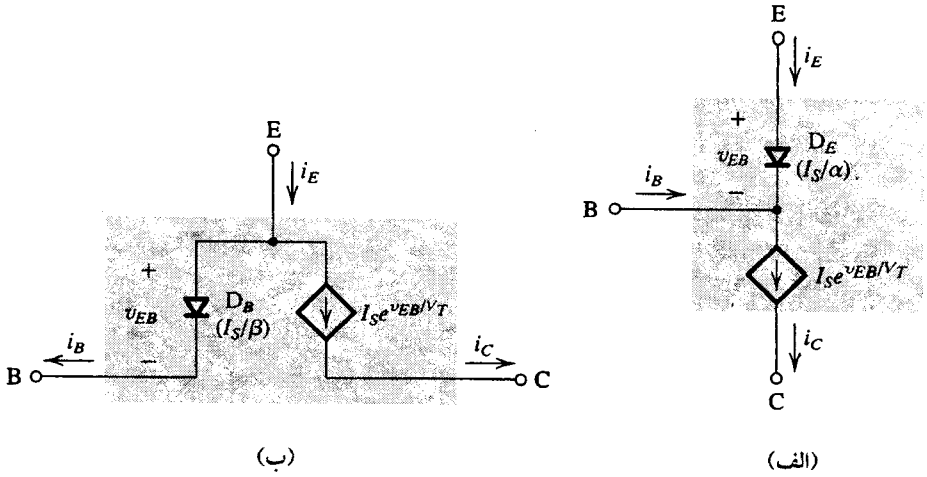
۴-۳ ترانزیستور *pnp*

ترانزیستور *pnp* با همان روشی کار می‌کند که درباره ترانزیستور *npn* در بخش ۲-۴ گفته شد. شکل (۷-۴)، یک ترانزیستور *pnp* را نشان می‌دهد که برای حالت فعال بایاس شده است. مطابق شکل، ولتاژ V_{EB} موجب می‌شود تا پتانسیل امیتر نوع *p* از بیس نوع *n* بالاتر باشد، و پیوند بیس - امیتر بایاس مستقیم شود. پیوند کلکتور - بیس بوسیله ولتاژ V_{BC} بایاس معکوس می‌شود که سبب بیشترشدن پتانسیل بیس نوع *n* از کلکتور نوع *p* می‌گردد.

متفاوت با ترانزیستور *npn*، جریان‌ها در ترانزیستور *pnp* اساساً بوسیله حفره‌هایی صورت می‌گیرد که در اثر ولتاژ بایاس مستقیم V_{EB} از امیتر به بیس تزریق می‌شود. از آنجا که مؤلفه جریان امیتر بوسیله الکترونهای تزریق‌شده از بیس به امیتر، با استفاده از آلایش کم بیس کوچک نگهداشته می‌شود، بیشتر جریان امیتر ناشی از حفره‌هاست. الکترونهای تزریق‌شده از بیس به امیتر جزء اصلی و غالب جریان بیس، i_{B1} را تشکیل می‌دهند. همچنین، تعدادی از حفره‌های تزریق‌شده به بیس با حاملهای اکثریت در بیس (الکترونها) مجدداً ترکیب خواهد شد و بدنبال آن از بین خواهد رفت. ناپدیدشدن الکترونهای بیس باید بوسیله مدار خارجی جایگزین شود و موجب بوجود آمدن دومین مؤلفه جریان بیس i_{B2} گردد. حفره‌هایی که در رسیدن به مرز ناحیه تهی کلکتور - بیس موفق می‌شوند،



شکل ۷-۴. عبور جریان در ترانزیستور *npn* در حالت فعال



شکل ۸-۴. مدل‌های مدار معادل سیگنال بزرگ *pnp* در حالت فعال

با ولتاژ منفی کلکتور جذب می‌گردند. به این ترتیب، این حفره‌ها از ناحیه تهی به کلکتور رانده شده و بصورت جریان کلکتور نمایش داده خواهندشد.

از بحث بالا به سهولت می‌توان دریافت که نسبتهای جریان - ولتاژ ترانزیستور *pnp* با آنچه درباره ترانزیستورهای *npn* گفته شده یکسان است. بجز اینکه v_{BE} بایستی جایگزین v_{EB} شود. علاوه بر این، عمل سیگنال بزرگ ترانزیستور *pnp* بوسیله یکی از چهار مدار معادل می‌تواند به صورت مدل درآید. این مدار معادل‌ها مشابه مدار معادلهای ترانزیستور *npn* در شکل (۵-۴) است. برای نمونه، دو مدل از چهار مدل مدار معادل *pnp* در شکل (۸-۴) ترسیم شده است.

تمرینها

۶-۴ مدل شکل (الف ۸-۴) را درنظر بگیرید که برای حالتی از ترانزیستور *pnp* بکار رفته است که بیس آن به زمین وصل شده است، امیتر بوسیله منبعی تغذیه شده است که یک جریان ۲ میلی‌آمپری به پایه امیتر اعمال می‌کند، و کلکتور به یک منبع dc با ۱۰ V وصل شده است. ولتاژ امیتر، جریان بیس، و جریان کلکتور را حساب کنید در صورتیکه $\beta = ۵۰$ و $I_S = ۱۰^{-۱۴}$A باشد.

جواب. ۰/۶۵۰ V ؛ ۳۹/۲ μA ؛ ۱/۹۶ mA

۷-۴ در یک ترانزیستور *pnp* دارای $I_S = ۱۰^{-۱۱}$ A و $\beta = ۱۰۰$، v_{EB} را برای $i_C = ۱/۵$ A حساب کنید.

جواب. ۰/۶۴۳ V

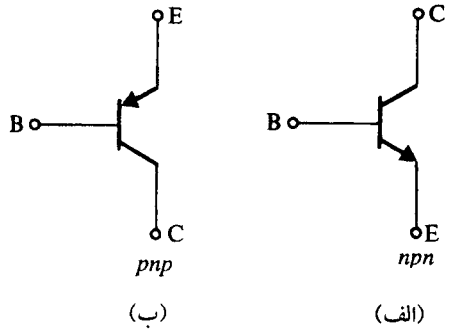
۴-۴ علامت‌های مداری و قراردادها

تاکنون از ساختار فیزیکی ترانزیستورها برای توضیح کار آنها استفاده شده است. برای ترسیم یک مدار چند ترانزیستوری استفاده از ساختار فیزیکی آنها بسیار دشوار است. خوشبختانه، یک علامت مداری برای ترانزیستور BJT وجود دارد که بسیار راحت و گویا است.

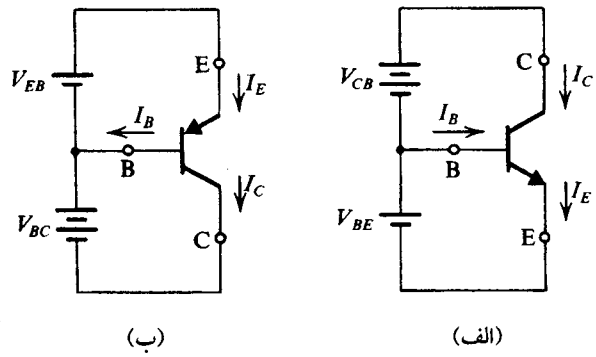
شکل (الف ۹-۴) نماد یا علامت مداری ترانزیستور *npn* و شکل (ب ۹-۴) نماد ترانزیستور *pnp* را نشان می‌دهد. در هر دو علامت، امیتر بوسیله یک پیکان متمایز شده است. این تمایز بسیار مهم است زیرا BJT ها عملاً قطعات قرینه‌ای نیستند، یعنی، جابجایی امیتر و کلکتور موجب بدست آمدن یک مقدار خیلی کم و متفاوت برای α خواهد بود که آنرا α **معکوس** یا **وارونه** می‌نامند.

پلاریته قطعه - *npn* یا *pnp* - بوسیله جهت پیکان امیتر مشخص شده است. این پیکان مسیر جریان عادی امیتر را نشان می‌دهد. چون با ترسیم قراردادی عادت کرده‌ایم که جریانها در آن از بالا به پایین جریان می‌یابد، همواره ترانزیستور *pnp* را مانند شکل (۹-۴) (یعنی با امیتر در بالا) ترسیم می‌کنیم.

شکل (۱۰-۴) ترانزیستورهای *npn* و *pnp* را نشان می‌دهد که برای کار در حالت فعال بایاس شده است. همانطور که در گذشته درباره روش بایاس خاطرنشان شد، استفاده از دو منبع dc روشی معمول نیست و فقط برای نمایش طرز کار آن استفاده می‌شود. شیوه‌های بایاس در بخش ۸-۴ نشان داده خواهدشد. شکل (۱۰-۴) منابع و مسیرهای عملی شارش جریان را در ترانزیستور نشان می‌دهد. قراردادها باید به گونه‌ای باشد که



شکل ۹-۴. نمادهای مداری BJT ها



شکل ۱۰-۴. پلاریته ولتاژ و عبور جریان در ترانزیستورهایی که در ناحیه فعال بایاس شده‌اند

مسیر منابع با مسیر شارش جریان انطباق داشته باشد. در اینجا، بطور معمول با یک مقدار منفی i_E، i_B یا i_C روبرو نیستیم.

سهولت ترسیم علامت قراردادی مدار که بایستی به آن عادت کنیم در شکل (۱۰-۴) مشهود است. توجه کنید که جهت شارش جریان از بالا به پایین است و ولتاژهای نقاط بالا زیادتر و در پایین کمتر هستند. پیکان روی امیتر بر پلاریته ولتاژ امیتر - بیس نیز اشاره دارد که برای بایاس مستقیم پیوند امیتر - بیس بکار رفته است. بطور مثال، با نظری به علامت مداری ترانزیستور *pnp*، مشخص می‌شود که بایستی ولتاژ امیتر را بالاتر از ولتاژ بیس (با v_{EB}) اختیار کنیم تا جریان از امیتر (به سمت پایین) شارش یابد. دقت کنید که علامت v_{EB} به معنی آن است که ولتاژ امیتر (E) بزرگتر از ولتاژ بیس (B) است. بنابراین، در یک ترانزیستور *pnp* که در حالت فعال کار می‌کند، v_{EB} مثبت می‌باشد، در حالیکه در یک ترانزیستور *npn*، v_{BE} مثبت است.

از مباحث بخش ۳-۴ این نتیجه بدست می‌آید که یک ترانزیستور *npn* که در آن EBJ بایاس مستقیم شده است، تا وقتی در حالت فعال بسر می‌برد که پتانسیل کلکتور، بزرگتر از پتانسیل بیس باشد. ترانزیستور در حالت فعال باقی می‌ماند حتی اگر ولتاژ کلکتور تا حد برابری با ولتاژ بیس افت کند؛ زیرا اساساً در پیوند *pn* سیلیکون وقتی ولتاژ دو سر آن کمتر از ۰/۵ باشد، هدایت صورت نمی‌گیرد. البته چنانچه حالت فعال ترانزیستور موردنیاز باشد، ولتاژ کلکتور نمی‌باید از ولتاژ بیس پایین‌تر باشد. چنانچه از ولتاژ بیس پایین‌تر رود، پیوند کلکتور بیس بایاس مستقیم خواهد شد و ترانزیستور به حالت کار دیگری، به حالت اشباع، وارد خواهد شد. درباره حالت اشباع بزودی بحث خواهد شد.

بطور مشابه، ترانزیستور *npn* در حالت فعال کار خواهد کرد چنانچه پتانسیل کلکتور پایین‌تر از (یا مساوی با) ولتاژ بیس باشد. چنانچه باقی‌ماندن در حالت فعال نیز ضرورت داشته باشد ولتاژ کلکتور نباید از ولتاژ بیس فراتر رود.

برای مراجعه آسانتر، در جدول ۲-۴، خلاصه‌ای از روابط جریان - ولتاژ BJT در حالت فعال ارائه شده است.

جدول ۲-۴. خلاصه‌ای از روابط جریان - ولتاژ BJT در حالت فعال

$$i_C = I_S e^{v_{BE}/V_T}$$

$$i_B = \frac{i_C}{\beta} = \left(\frac{I_S}{\beta}\right) e^{v_{BE}/V_T}$$

$$i_E = \frac{i_C}{\alpha} = \left(\frac{I_S}{\alpha}\right) e^{v_{BE}/V_T}$$

توجه : در ترانزیستور *pnp* ، v_{BE} با v_{EB} جایگزین می‌شود.

$$i_C = \alpha i_E \qquad i_B = (1-\alpha) i_E = \frac{i_E}{\beta + 1}$$

$$i_C = \beta i_B \qquad i_E = (\beta + 1) i_B$$

$$\beta = \frac{\alpha}{1-\alpha} \qquad \alpha = \frac{\beta}{\beta + 1}$$

در دمای اتاق $V_T =$ ولتاژ حرارتی $= \frac{kT}{q} \cong 25$ mV

مثال ۱-۴

ترانزیستور مدار شکل (الف ۱۱-۴) دارای $\beta = ۱۰۰$ و $v_{BE}=۰/۷$V، در جریان $i_C = ۱$ mA می‌باشد. مدار را بگونه‌ای طراحی کنید که جریان ۲ mA در کلکتور برقرار شده و ولتاژ آن ۵ V+ باشد.

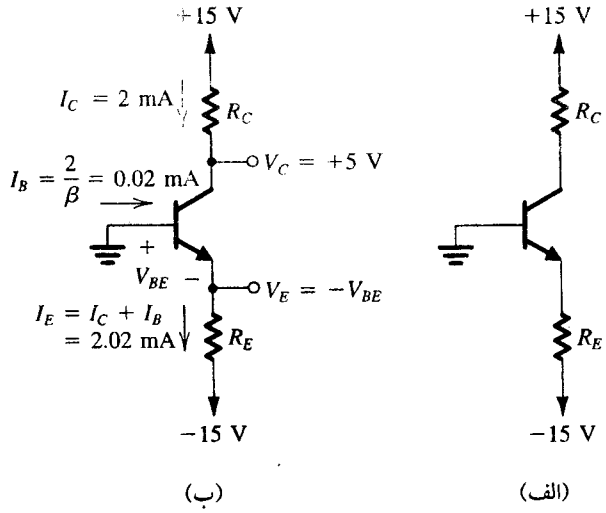
حل:

با مراجعه به شکل (ب ۱۱-۴) برای بدست آوردن ولتاژ $V_C=+۵$V ولتاژ افت کرده روی R_C بایستی ۱۰ V = ۵−۱۵ باشد. اکنون چون $I_C = ۲$ mA است مقدار R_C باید $R_C = \frac{۱۰\text{V}}{۲\text{mA}} = ۵\,\text{k}\Omega$ انتخاب شود. چون $v_{BE} = ۰/۷$ V در جریان $i_C = ۱$ mA می‌باشد برای v_{BE} در جریان $i_C = ۲$ mA داریم:

$$V_{BE} = ۰/۷ + V_T \ln\left(\frac{۲}{۱}\right) = ۰/۷۱۷\ \text{V}$$

از آنجا که ولتاژ بیس صفر ولت است ولتاژ امیتر مقدار زیر خواهد بود:

$$V_E = -۰/۷۱۷\ \text{V}$$



شکل ۱۱-۴. مدار مثال ۱-۴

برای $\beta = ۱۰۰$، داریم $\alpha = \frac{۱۰۰}{۱۰۱} = ۰/۹۹$ و جریان امیتر عبارتست از:

$$I_E = \frac{I_C}{\alpha} = \frac{۲}{۰/۹۹} = ۲/۰۲ \text{ mA}$$

اکنون مقدار لازم برای R_E بدست می‌آید

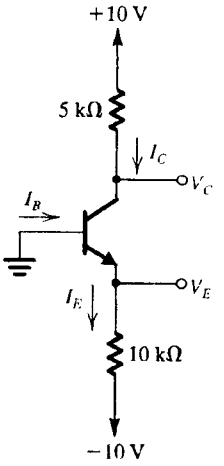
$$R_E = \frac{V_E - (-۱۵)}{I_E} = \frac{-۰/۷۱V + ۱۵}{۲/۰۲} = ۷/۰۷ \text{ k}\Omega$$

که طراحی را کامل می‌کند. اما به این نکته توجه کنید که محاسبات بالا با درجه‌ای از دقت انجام شد که معمولاً نه لازم است و نه عملاً صورت می‌گیرد، برای مثال در مورد درصد خطای اجزای مدار. با وجود این ما طراحی را دقیق انجام می‌دهیم بطوری که مراحل مختلف را دربرداشته باشد.

تمرینها

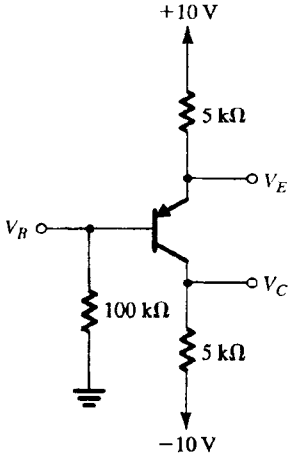
۴-۸ در مدار نشان داده شده در شکل (۸-۴ ت)، ولتاژ امیتر اندازه‌گیری شد و ملاحظه شد که $-۰/۷V$ می‌باشد. چنانچه $\beta = ۵۰$ باشد، I_E ، I_B ، I_C و V_C را پیدا کنید.

جواب. $۰/۹۳$ mA ؛ $۱۸/۲\ \mu A$ ؛ $۰/۹۱$ mA ؛ $+۵/۴۵$ V



شکل (۸-۴ ت)

۴-۹ در مدار نشان داده شده در شکل (۹-۴ ت)، اندازه‌گیری‌ها نشان می‌دهد که V_B برابر با $+۱/۰V$ و V_E برابر $+۱/۷V$ است. α و β برای این



شکل (۹-۴ ت)

ترانزیستور چقدر هستند؟ ولتاژ V_C در کلکتور چقدر مورد انتظار است؟ ❑

جواب. $۰/۹۹۴$ V ؛ ۱۶۵ ؛ $-۱/۷۵V$

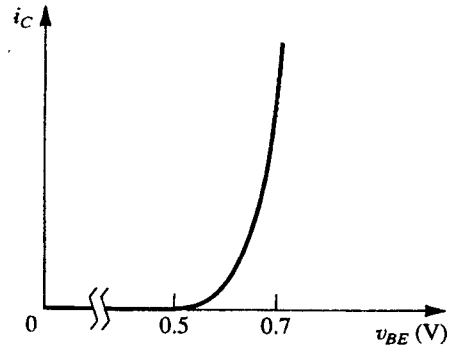
۴-۵ نمایش ترسیمی مشخصه‌های ترانزیستور

توصیف مشخصه‌های ترسیمی $i-v$ ترانزیستور، غالباً مفید واقع می‌شود. شکل (۱۲-۴) مشخصه $i_C - v_{BE}$ را نشان می‌دهد که بوسیله رابطه نمایی زیر با یکدیگر مربوطند:

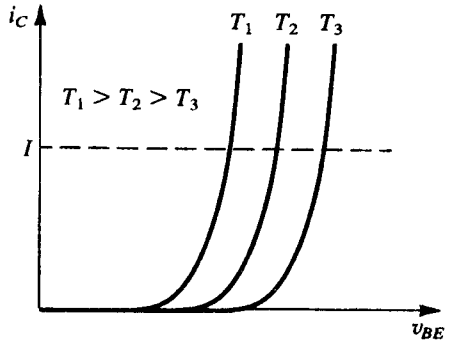
$$i_C = I_S e^{v_{BE}/V_T}$$

که بجز برای مقادیر ثابت n، با نسبت $i-v$ دیود یکسان است. مشخصه‌های منحنی‌های $i_E - v_{BE}$ و $i_B - v_{BE}$ همچنان نمایی هستند اما با جریان‌های متفاوت. I_S/α برای i_E و I_S/β برای i_B. از آنجا که ثابت مشخصه نمایی، $1/V_T$ ، کاملاً بزرگ ($\cong ۴۰$) بنظر می‌رسد، منحنی با شیب تندی بالا می‌رود. برای v_{BE} کوچکتر از حدود $۰/۵$ V، جریان در حد قابل اغماضی کوچک است، همچنین در جریان‌های بیشتر از حد معمول، v_{BE} در محدوده $۰/۶$ تا $۰/۸$ V قرار دارد. برای محاسبات سریع اولین مرحله dc ، معمولاً فرض می‌کنیم که $v_{BE} \cong ۰/۷$ V باشد، که شبیه به مواردی است که در تحلیل مدارهای دیودی (در فصل ۳) استفاده شد. در یک ترانزیستور pnp، مشخصه $i_C - v_{EB}$ با آنچه در شکل (۱۲-۴) ملاحظه می‌شود. یکسان خواهدبود.

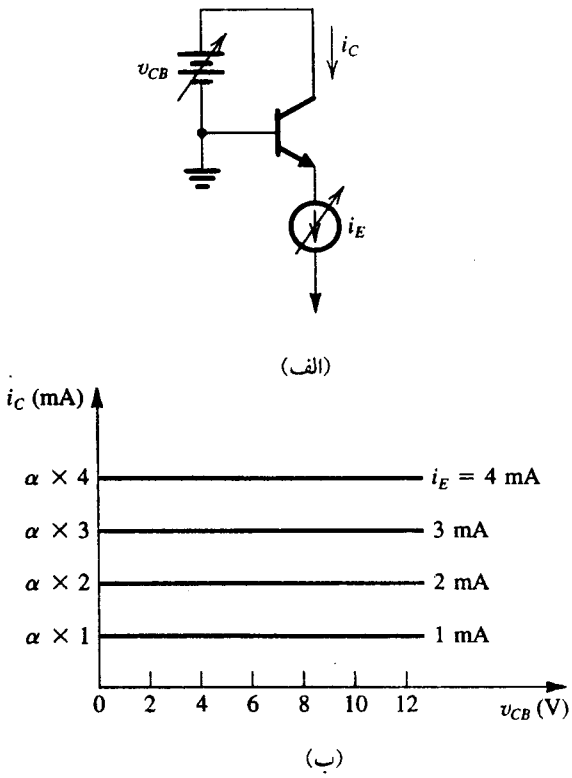
مانند دیودهای سیلیکونی، ولتاژ دو سر پیوند امیتر - بیس که به ازای هریک درجه سانتی‌گراد افزایش دما، حدود ۲ mV کاهش می‌یابد موجب می‌شود که تا پیوند در یک جریان ثابت کار کند. شکل (۱۳-۴) این



شکل ۱۲-۴. مشخصه $i_C - v_{BE}$ برای ترانزیستور npn



شکل ۱۳-۴. اثر حرارت بر مشخصه $i_C - v_{BE}$ در یک جریان ثابت امیتر (خط چین)، v_{BE} -۲MV/°C تغییر می‌کند.



شکل ۱۴-۴. مشخصه i_C-v_{CB} برای یک ترانزیستور npn در حالت فعال

وابستگی دمایی را با ترسیم منحنی‌های i_C-v_{BE} در سه دمای متفاوت برای یک ترانزیستور npn نشان می‌دهد.

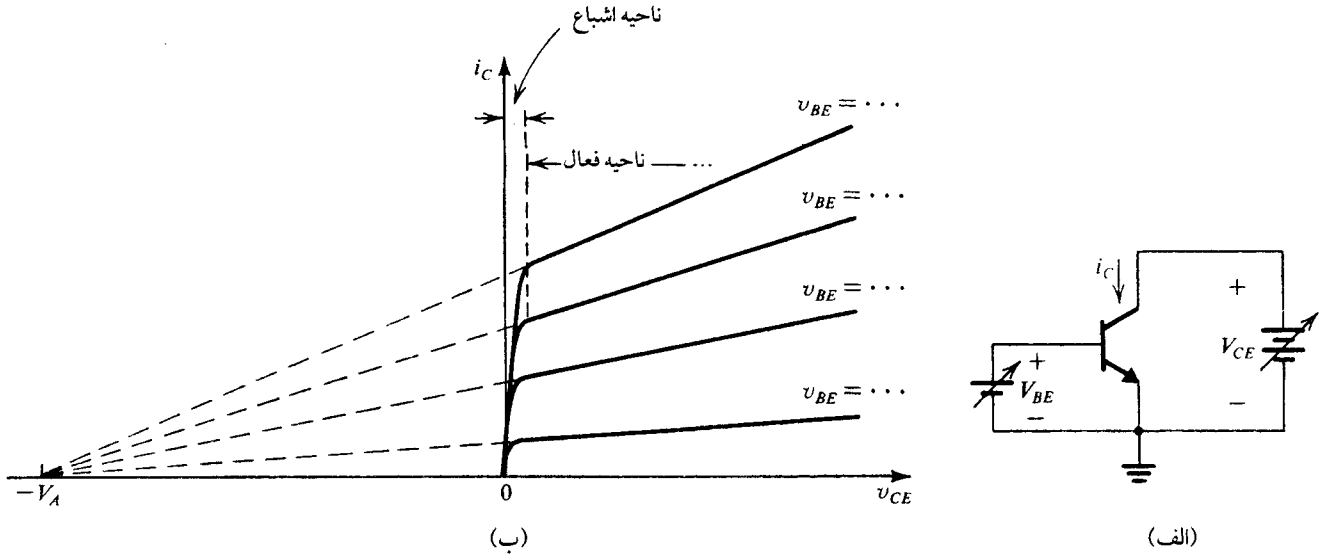
شکل (ب ۱۴-۴) مشخصه‌های i_C را در برابر v_{CB}، مربوط به یک ترانزیستور npn برای مقادیر مختلف جریان امیتر i_E نشان می‌دهد. این مشخصه‌ها با استفاده از مدار نشان داده شده در شکل (الف ۱۴-۴) می‌توانند اندازه‌گیری شوند. در اینجا فقط کار در حالت فعال نشان داده شده است، زیرا فقط قسمتی از مشخصه‌های $v_{CB} \geq 0$ ترسیم گشته است.

همانگونه که ملاحظه می‌شود، منحنی‌ها، خطوط راست افقی هستند و این حقیقت را که کلکتور به مثابه یک منبع جریان ثابت عمل می‌کند را تأیید می‌کنند. در این حالت، مقدار جریان کلکتور بوسیله جریان امیتر ($i_C=\alpha i_E$) کنترل می‌شود و ترانزیستور به مثابه یک منبع جریان دارای کنترل جریان درنظر گرفته شود (مدل (ب ۵-۴) را ملاحظه کنید).

وابستگی i_C به ولتاژ کلکتور - اثر اِرلی

در BJT ها هنگام کار در ناحیه فعال، در عمل بین جریان کلکتور و ولتاژ کلکتور وابستگی وجود دارد که در نتیجه، مشخصه‌های $i_C - v_{CB}$ آنها خطوط کاملاً راست افقی نیست. برای آنکه این وابستگی را به دقت ملاحظه کنید، مدار فرضی شکل (الف ۱۵-۴) را در نظر بگیرید. ترانزیستور به صورت امیتر مشترک بسته شده است و V_{BE} آن با تنظیم منبع dc متصل به بیس و امیتر، هر مقداری می‌تواند داشته باشد. در هر مقداری از V_{BE}، با تغییر منبع dc که بین کلکتور و امیتر متصل شده است، منحنی مشخصه $i_C - v_{CE}$ آن نقطه به نقطه می‌تواند اندازه‌گیری شود و علاوه بر این جریان کلکتور مربوطه نیز می‌تواند اندازه‌گیری شود. نتیجه، مجموعه‌ای از منحنی‌های مشخصه $i_C - v_{CE}$ نشان داده شده در شکل (ب ۱۵-۴) می‌باشد.

در مقادیر پایین v_{CE}، با افت ولتاژ کلکتور به پایین‌تر از ولتاژ بیس، پیوند کلکتور - بیس بایاس مستقیم می‌شود و ترانزیستور از حالت فعال درآمده به حالت اشباع خواهد رفت. در این‌جا، منحنی‌های مشخصه ناحیه فعال را به تفصیل بررسی می‌کنیم. ملاحظه می‌کنیم که منحنی‌های مشخصه، اگرچه همچنان خطوط راستی هستند، شیب محدودی دارند. در حقیقت، از قراین پیداست که خطوط مشخصه، یکدیگر را در $v_{CE}=-V_A$ نقطه‌ای روی قسمت منفی محور v_{CE} قطع می‌کنند. ولتاژ V_A، که یک عدد مثبت می‌باشد، در BJT های مخصوص یک پارامتر تعیین‌کننده است و مقدار آن در محدوده ۵۰ تا ۱۰۰ ولت می‌باشد که به آن **ولتاژ ارلی** می‌گویند. ارلی نخستین دانشمندی است که این پدیده را مورد مطالعه قرار داد.



شکل ۱۵-۴. (الف) مدار غیرعملی برای اندازه‌گیری مشخصه‌های i_C-v_{CE}، BJT (ب) مشخصه‌های i_C-v_{CE} BJT عملی

در مقدار معینی از v_{BE}، افزایش v_{CE}، ولتاژ بایاس معکوس را در پیوند کلکتور - بیس افزایش می‌دهد و در نتیجه عرض ناحیه تهی این پیوند (با مراجعه به شکل ۳-۴) افزایش می‌یابد. این امر به نوبه خود افزایشی در **پهنای مؤثر بیس** W خواهد بود. با توجه به اینکه I_S نسبت معکوس با W دارد، ملاحظه می‌کنیم که I_S افزایش خواهد یافت و i_C متناسب با آن زیاد می‌شود که این، اثر ارلی می‌باشد.

وابستگی خطی i_C به v_{CE} با این فرض که I_S ثابت می‌ماند و برای i_C مطابق رابطه زیر شامل ضریب $(1 + v_{CE}/V_A)$ می‌باشد:

$$i_C = I_S e^{v_{BE}/V_T}\left(1 + \frac{v_{CE}}{V_A}\right) \qquad (۴-۲۰)$$

شیب غیر صفر خطوط مستقیم $i_C - v_{CE}$ نشان می‌دهد که **مقاومت خروجی** با نظر به کلکتور نامحدود نیست. بلکه محدود است و بصورت زیر تعیین می‌گردد:

$$r_o \equiv \left[\frac{\partial i_C}{\partial v_{CE}}\bigg|_{v_{BE} = \text{ثابت}}\right]^{-1} \qquad (۴-۲۱)$$

با استفاده از معادله (۴-۲۰) می‌توانیم نشان دهیم که

$$r_o \cong \frac{V_A}{I_C} \qquad (۴-۲۲)$$

که I_C مقدار جریان متناسب با مقدار ثابت v_{BE} نزدیک به مرز ناحیه فعال می‌باشد.

بندرت لازم است تا وابستگی i_C با v_{CE} در تحلیلها و طراحی بایاس dc درنظر گرفته شود. البته، همانگونه که در بخشها و فصلهای بعد ملاحظه خواهد شد، مقاومت خروجی محدود r_o تأثیر شایان بر بهره تقویت‌کننده‌های ترانزیستوری می‌تواند داشته باشد.

تمرینها

۴-۱۰ یک ترانزیستور *pnp* را با $v_{EB} = 0/7$ V در $i_E = 1$ mA درنظر بگیرید. فرض کنید بیس به زمین وصل شده باشد، امیتر با ۲ mA از منبع جریان ثابت تغذیه شده باشد و کلکتور توسط یک مقاومت ۱ kΩ به منبع ۵- V وصل شده باشد. چنانچه دما به اندازه ۳۰ درجه سانتی‌گراد افزایش داشته باشد، تغییر در ولتاژهای کلکتور و امیتر را بدست آورید. از اثر I_{CBO} صرفنظر کنید.

جواب. ۰ V ؛ -۶۰ mV

۴-۱۱ مقاومت خروجی یک BJT را وقتی $V_A = 100$ V است در $I_C = 0/1$ و ۱ و ۱۰mA است پیدا کنید.

جواب. ۱۰ kΩ ؛ ۱۰۰ kΩ ؛ ۱ MΩ

۴-۱۲ مدار شکل (الف ۱۵-۴) را درنظر بگیرید. در $V_{CE} = 1$V، V_{BE} طوری تنظیم می‌شود تا جریان ۱ mA در کلکتور بدست آید. در آنصورت، در حالیکه V_{BE} ثابت نگهداشته می‌شود، V_{CE} به ۱۱ V افزایش می‌یابد. مقدار جدید I_C را پیدا کنید. برای این ترانزیستور $V_A = 100$V است.

جواب. ۱/۱ mA ❑

۴-۶ تحلیل DC مدارات ترانزیستوری

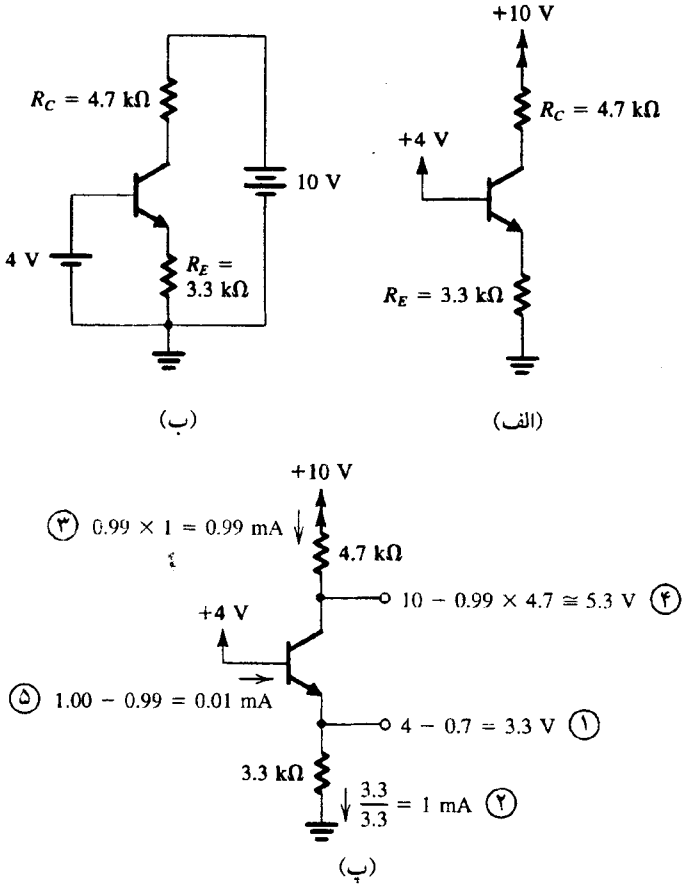
اکنون آماده‌ایم تا تحلیل برخی از مدارات ساده ترانزیستوری که فقط ولتاژ dc به آنها اعمال می‌شود را درنظر بگیریم. در مثالهای زیر از مدلی با V_{BE} ثابت استفاده خواهیم کرد که شباهت دارد به آنچه در بخش ۳-۳ برای دیود پیوندی بحث شد. بطور خاص، فرض خواهیم کرد که قطع نظر از مقدار واقعی جریان $V_{BE} = 0/7$ V باشد. چنانچه این مطلوب باشد، این تقریب با استفاده از تکنیکهایی شبیه به آنچه در مبحث دیود بکار گرفته شد، می‌تواند اصلاح گردد.

مثال ۲-۴

مدار شکل (الف ۱۶-۴) را در نظر بگیرید که در شکل (ب۱۶-۴) دوباره ترسیم شده تا شیوه بکارگرفته شده در سرتاسر این کتاب را برای اتصال به منابع dc، بیادآورید. می‌خواهیم این مدار را تحلیل کنیم تا ولتاژ کلیه گره‌ها و جریان شاخه‌ها را بدست آوریم. فرض می‌کنیم که B برابر با ۱۰۰ تعیین شده است.

حل:

در ابتدا نمی‌دانیم که آیا ترانزیستور در حالت فعال است یا نه. برخورد ساده آن است که فرض کنیم که قطعه در وضعیت فعال باشد، آنرا حل



شکل ۱۶-۴. تحلیل مدار مثال ۲-۴ (الف) مدار (ب) مدار برای یادآوری قراردادهای این کتاب در مورد اتصالات منبع تغذیه دوباره رسم شده است (پ) تحلیل به ترتیب شماره

کنیم و سرانجام بررسی کنیم که آیا ترانزیستور واقعاً در وضعیت فعال هست یا نه. چنانچه ببینیم وضعیت در حالت فعال است، در اینصورت کار تحلیل پایان یافته است. در غیر اینصورت، قطعه در وضعیت دیگری است و مسئله دوباره بایستی حل گردد. بطور مسلم، در این مرحله فقط درباره حالت فعال، آموخته‌ایم و بنابراین نمی‌توانیم مداراتی را که در وضعیت فعال نیستند، تحلیل کنیم.

با نظری به مدار شکل (الف ۱۶-۴)، متوجه می‌شویم که بیس به ۴V+ وصل شده و امیتر توسط مقاومت R_E به زمین متصل گردیده است. با فرض اینکه پیوند بیس-امیتر بایاس مستقیم است و با فرض اینکه V_{BE} تقریباً ۰/۷ V می‌باشد، نتیجه می‌شود که ولتاژ امیتر برابر با

$$V_E = ۴ - V_{BE} \cong ۴ - ۰/۷ = ۳/۳\ \text{V}$$

خواهد بود. اکنون در وضع مناسبی هستیم. ولتاژ دو سر R_E را می‌دانیم و بنابراین می‌توانیم جریان عبوری از این مقاومت را بدست آوریم:

$$I_E = \frac{V_E - ۰}{R_E} = \frac{۳/۳}{۳/۳} = ۱\ \text{mA}$$

از آنجا که کلکتور بوسیله R_C به منبع تغذیه ۱۰ V+ وصل شده، ممکن گشته است که ولتاژ کلکتور بیشتر از ولتاژ بیس باشد که این پدیده برای کار در حالت فعال ضروری است. با این فرض، می‌توانیم جریان کلکتور را از رابطه زیر بدست آوریم:

$$I_C = \alpha I_E$$

مقدار α از رابطه زیر حاصل می‌شود.

$$\alpha = \frac{\beta}{\beta + ۱} = \frac{۱۰۰}{۱۰۱} \cong ۰/۹۹$$

از اینرو I_C به این صورت خواهد شد.

$$I_C = ۰/۹۹ \times ۱ = ۰/۹۹\ \text{mA}$$

اکنون از قانون اهم برای تعیین ولتاژ کلکتور V_C استفاده می‌کنیم.

$$V_C = ۱۰ - I_C R_C = ۱۰ - ۰/۹۹ \times ۴/۷ \cong +۵/۳\ \text{V}$$

از آنجا که بیس در ۴ V+ می‌باشد، پیوند کلکتور بیس با ۱/۳ V در بایاس معکوس قرار دارد، و همانگونه که فرض شده بود ترانزیستور براستی در حالت فعال است.

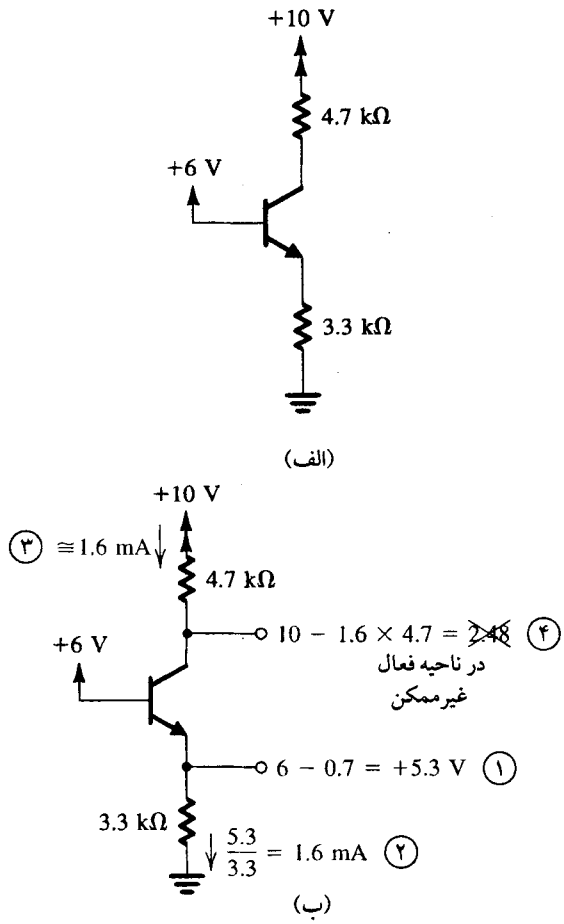
در اینجا فقط تعیین جریان بیس I_B باقی می‌ماند، بطوریکه

$$I_B = \frac{I_E}{\beta + ۱} = \frac{۱}{۱۰۱} \cong ۰/۰۱\ \text{mA}$$

قبل از اینکه از مثال درگذریم، قویاً بر مقدار بدست آمده از تحلیل مستقیم بر نمودار مداری تأکید می‌کنیم. تنها به این شیوه، فرد قادر است مدارات پیچیده را در زمان معقول و مناسب تحلیل کند. شکل (پ۱۶-۴) تحلیلهای فوق را بر نمودار مداری نشان می‌دهد.

مثال ۳-۴

می‌خواهیم مدار شکل (الف ۱۷-۴) را تحلیل کنیم تا ولتاژ کلیه گره‌ها و جریان همه شاخه‌ها بدست آید. به یاد داشته باشید که این مدار با مدار شکل (۱۶-۴) یکسان است بجز آنکه ولتاژ بیس اکنون ۶ V+ می‌باشد.



شکل ۱۷-۴. تحلیل مدار مثال ۳-۴. توجه کنید که شماره‌های دایره‌وار مراحل تحلیل را نشان می‌دهد.

حل:

با این فرض که ترانزیستور در حالت فعال است، داریم:

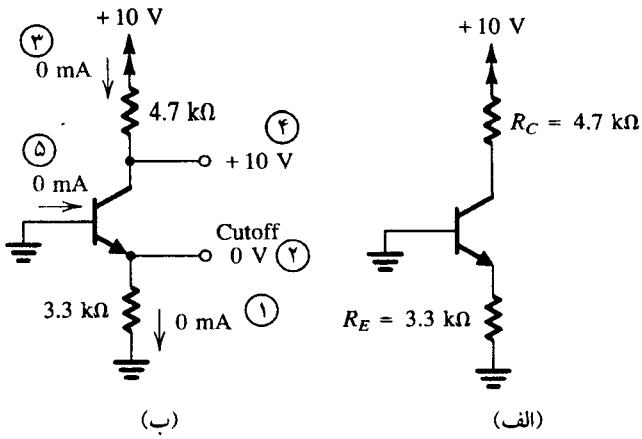
$$V_E = +۶ - V_{BE} \cong ۶ - ۰/۷ = ۵/۳\text{V}$$

$$I_E = \frac{۵/۳}{۳/۳} = ۱/۶\ \text{mA}$$

$$V_C = +۱۰ - ۴/۷ \times I_C \cong ۱۰ - ۷/۵۲ = ۲/۴۸\ \text{V}$$

چون ولتاژ کلکتور محاسبه شده، کمتر از ۳/۵۲ ولتاژ بیس بدست می‌آید. نتیجه می‌شود که فرض نخستین ما در مورد کار ترانزیستور در حالت فعال، فرضی نادرست است. در حقیقت ترانزیستور در حالت اشباع است. از آنجا که هنوز حالت اشباع ترانزیستور را بررسی نکرده‌ایم، تحلیل این مدار را به بخش بعد وامی‌گذاریم.

جزئیات تحلیل انجام گرفته در بالا در شکل (ب ۱۷-۴) نشان داده شده است.



شکل ۱۸-۴. مثال ۳-۴ (الف) مدار (ب) تحلیل به ترتیب شماره

مثال ۴-۴

می‌خواهیم مدار شکل (الف ۱۸-۴) را تحلیل کنیم تا ولتاژ کلیه گره‌ها و جریان در همه شاخه‌ها بدست آید، دقت کنید که این مدار همانند مدار مثال‌های (۲-۴) و (۳-۴) است بجز آنکه در اینجا ولتاژ بیس صفر می‌باشد.

حل:

چون ولتاژ بیس صفر است، پیوند بیس - امیتر نمی‌تواند هدایت کند و جریان امیتر صفر می‌باشد. همچنین، پیوند کلکتور - بیس نمی‌تواند هدایت کند، زیرا کلکتور نوع n توسط R_C به منبع تغذیه مثبت متصل شده در حالیکه بیس نوع p به زمین وصل است. این امر موجب صفرشدن جریان کلکتور خواهد بود. جریان بیس نیز صفر می‌باشد و ترانزیستور در حالت قطع است.

ولتاژ امیتر بطور مسلم صفر خواهد بود، در همان حال ولتاژ کلکتور برابر با ۱۰ V + خواهد بود زیرا افت ولتاژ در دو سر R_C صفر می‌باشد. شکل (ب ۱۸-۴) جزئیات تحلیل را نشان می‌دهد.

تمرینها

ط ۱۳-۴ در مدار شکل (الف ۱۶-۴) بالاترین ولتاژی را که بیس می‌تواند داشته باشد و در حالت فعال باقی بماند بدست آورید. فرض کنید $\alpha \cong ۱$ باشد.

جواب. ۴/۵۴ V+

ط ۱۴-۴ مدار شکل (الف ۱۶-۴) را جهت بدست آوردن جریان کلکتور ۰/۵ mA و ولتاژ بایاس معکوس ۲ V برای پیوند کلکتور-بیس، مجدداً طراحی کنید (یعنی مقدارهای جدید برای R_E و R_C بدست آورید) فرض کنید $\alpha \cong ۱$ باشد.

جواب. $R_C = ۸\ k\Omega$ و $R_E = ۶/۶\ k\Omega$ ❑

مثال ۵-۴

می‌خواهیم مدار شکل (الف ۱۹-۴) را تحلیل کنیم تا ولتاژ کلیه گره‌ها و جریانها در همه شاخه‌ها بدست آید.

حل:

بیس این ترانزیستور pnp به زمین و امیتر بوسیله R_E به منبع تغذیه مثبت ($V^+ = +۱۰$ V) متصل گشته است. در اینصورت پیوند امیتر-بیس با توجه به رابطه زیر بایاس مستقیم شده است.

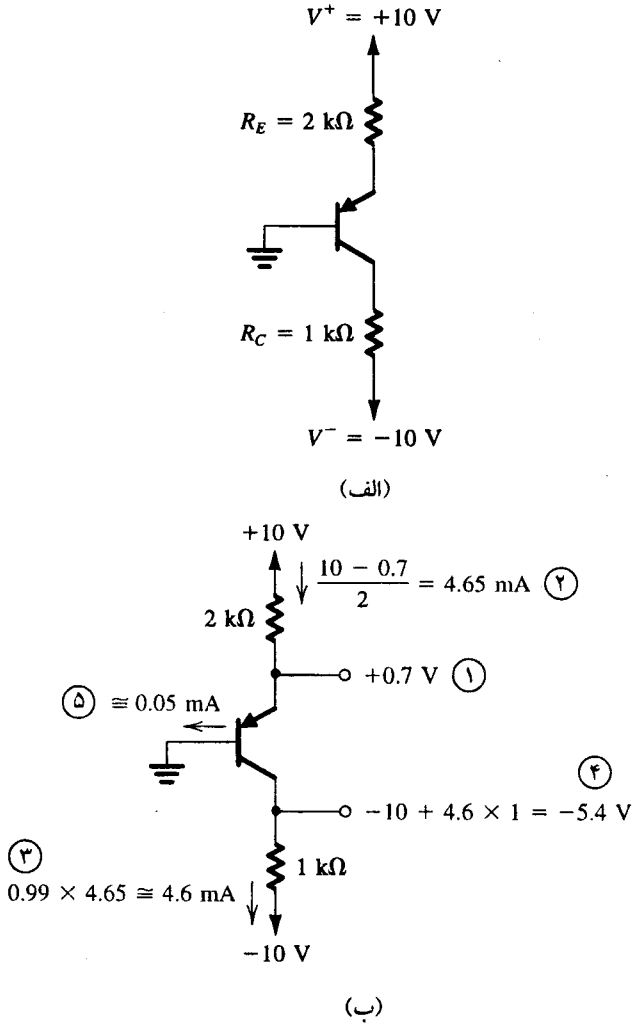
$$V_E = V_{EB} \cong ۰/۷\ V$$

به این ترتیب جریان امیتر بوسیله رابطه زیر بدست می‌آید:

$$I_E = \frac{V^+ - V_E}{R_E} = \frac{۱۰ - ۰/۷}{۲} = ۴/۶۵\ mA$$

از آنجا که کلکتور بوسیله R_C به منبع تغذیه منفی وصل شده است (به ولتاژی منفی تراز ولتاژ بیس)، این موجب می‌شود تا ترانزیستور در حالت فعال باشد. با این فرض، بدست می‌آوریم:

$$I_C = \alpha I_E$$



شکل ۱۹-۴. مثال ۴-۴ (الف) مدار (ب) تحلیل به ترتیب شماره

چون هیچ مقداری برای β داده نشده است، فرض خواهیم کرد که $\beta = ۱۰۰$ باشد که در نتیجه $\alpha = ۰/۹۹$ خواهد بود. این فرض برای تعیین مقدار I_C بسیار با اهمیت است. به این ترتیب :

$$I_C = ۰/۹۹ \times ۴/۶۵ = ۴/۶ \text{ mA}$$

ولتاژ کلکتور خواهد بود:

$$V_C = V^- + I_C R_C$$
$$= -۱۰ + ۴/۶ \times ۱ = -۵/۴ \text{ V}$$

از اینرو، پیوند بیس - کلکتور با ۵/۴ V بایاس معکوس شده است و ترانزیستور در حالت فعال می‌باشد که این فرض اولیه ما را مدلل می‌سازد.

اکنون محاسبه جریان بیس باقی می‌ماند.

$$I_B = \frac{I_E}{\beta + ۱} = \frac{۴/۶۵}{۱۰۱} \cong ۰/۰۵ \text{ mA}$$

مسلماً مقدار β بطور جدی بر جریان بیس تأثیر دارد. البته، دقت کنید که در این مدار مقدار β تاثیری بر حالت کار این ترانزیستور نخواهد داشت. از آنجا که غالباً β شاخصه نامعلومی است، این مدار طرح جالبی را ارائه می‌کند. به عنوان یک قاعده، طراح بایستی مداری را طراحی کند که عملکرد آن تا حد امکان متأثر از مقدار β باشد. جزئیات تحلیل در شکل (ب ۱۹-۴) نشان داده شده است.

تمرینها

ط ۱۵-۴ در مدار شکل (الف ۱۹-۴) بیشترین مقداری را که R_C می‌تواند داشته باشد که ترانزیستور در حالت فعال باقی بماند بدست آورید.
جواب. ۲/۱۷ kΩ

ط ۱۶-۴ مدار شکل (الف ۱۹-۴) را برای بدست آوردن جریان کلکتور ۱ mA و ولتاژ بایاس معکوس ۴ V برای پیوند کلکتور-بیس، دوباره طراحی کنید. فرض کنید $\alpha \cong ۱$ باشد.
جواب. $R_C = ۶$ kΩ و $R_E = ۹/۳$ kΩ ❑

مثال ۶-۴

می‌خواهیم مدار شکل (الف ۲۰-۴) را تحلیل کنیم تا ولتاژ همه گره‌ها و جریان کلیه شاخه‌ها بدست آید. فرض کنید $\beta = ۱۰۰$ باشد.

حل:

پیوند بیس - امیتر بایاس مستقیم شده است، بنابراین

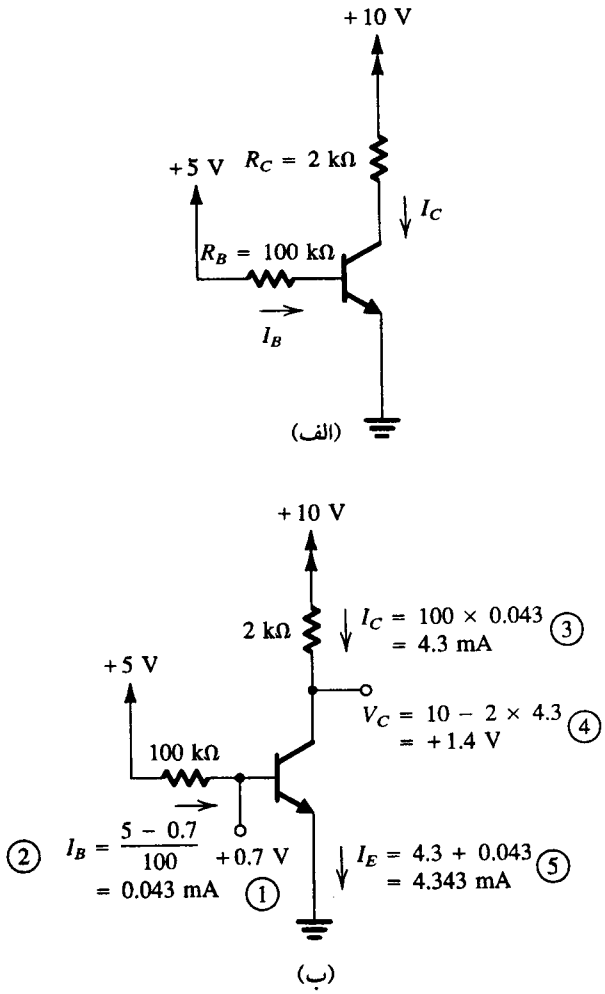
$$I_B = \frac{+۵ - V_{BE}}{R_B} \cong \frac{۵ - ۰/۷}{۱۰۰} = ۰/۰۴۳ \text{ mA}$$

فرض کنید که ترانزیستور در حالت فعال است. اکنون می‌توانیم بنویسیم:

$$I_C = \beta I_B = ۱۰۰ \times ۰/۰۴۳ = ۴/۳ \text{ mA}$$

اکنون ولتاژ کلکتور بصورت زیر می‌تواند تعیین گردد:

$$V_C = +۱۰ - I_C R_C = ۱۰ - ۴/۳ \times ۲ = +۱/۴ \text{ V}$$



شکل ۲۰-۴. مثال ۵-۴ (الف) مدار (ب) تحلیل به ترتیب شماره

چون ولتاژ بیس V_B برابر است با:

$$V_B = V_{BE} \cong +۰/۷ \text{ V}$$

در نتیجه پیوند بیس - کلکتور توسط ۰/۷ V بایاس معکوس شده است و ترانزیستور کاملاً در حالت فعال می‌باشد. جریان امیتر بصورت زیر بدست می‌آید:

$$I_E = (\beta + 1) I_B = ۱۰۱ \times ۰/۰۴۳ \cong ۴/۳ \text{ mA}$$

از این مثال نتیجه می‌گیریم که جریانهای امیتر و کلکتور به طور جدی به مقدار β بستگی دارد. در واقع، چنانچه β، ۱۰٪ بزرگتر می‌بود، ترانزیستور حالت فعال را ترک کرده و به اشباع وارد می‌شد. که این طراحی نامناسب است. شرح جزئیات در شکل (ب ۲۰-۴) نشان داده شده است.

تمرین

ط ۱۷-۴ مدار شکل (الف ۲۰-۴) با استفاده از یک نوع ترانزیستور که β آن در گستره ۵۰ تا ۱۵۰ می‌باشد طراحی شده است. (یعنی ترانزیستورهای

دیگر از همین نوع می‌توانند دارای βهای مختلف در این گستره باشند) مدار را با انتخاب مقدار جدید R_C بگونه‌ای طراحی کنید که مدار حاصل، بودن در حالت فعال را تضمین کند. گسترهٔ ولتاژ کلکتور که مدار جدید می‌تواند نمایش دهد چیست؟

جواب. $R_C = ۱/۴۴\ k\Omega$، $V_C = ۰/۷\ V$ تا $۶/۹\ V$ ❑

مثال ۷-۴

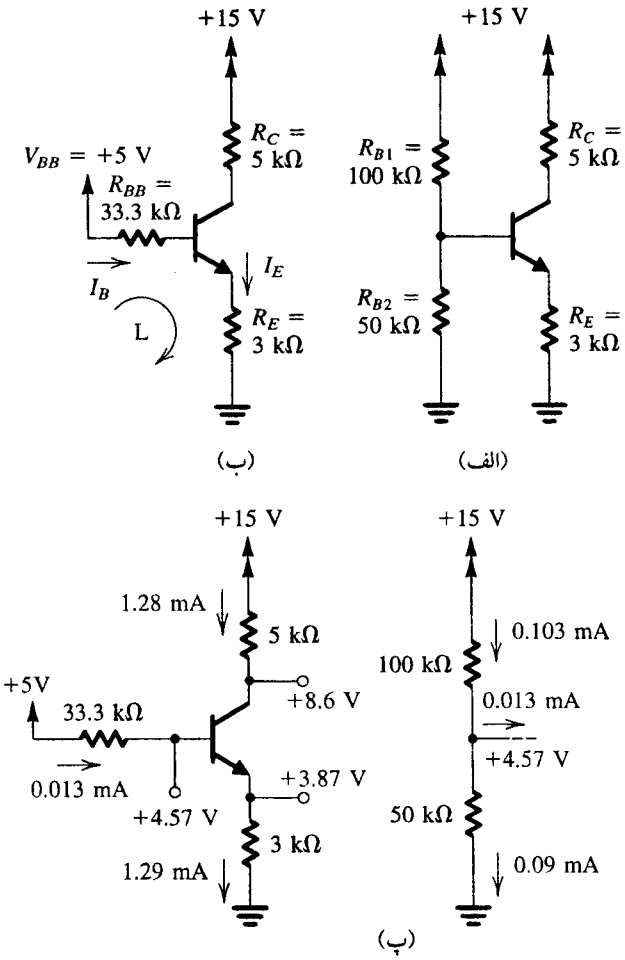
می‌خواهیم مدار شکل (الف ۲۱-۴) را تحلیل کنیم تا ولتاژهای همه گره‌ها و جریانها در کلیه شاخه‌ها بدست آید. فرض کنید $\beta=۱۰۰$ باشد.

حل:

اولین گام در تحلیل این مدار، ساده‌کردن مدار بیس با استفاده از قضیه تونن است. نتیجه در شکل (ب ۲۱-۴) نشان داده شده است که

$$V_{BB} = +۱۵\frac{R_{B۲}}{R_{B۱}+R_{B۲}} = ۱۵\frac{۵۰}{۱۰۰+۵۰} = +۵V$$

$$R_{BB} = (R_{B۱} // R_{B۲}) = (۱۰۰ // ۵۰) = ۳/۳۳\ k\Omega$$



شکل ۲۱-۴. مدارهای مثال ۷-۴

برای بررسی جریان بیس یا امیتر، ضروری است تا معادله یک حلقه را در مورد حلقه L در شکل (ب ۲۱-۴) بنویسیم. دقت کنید که جریان گذرنده از R_{BB} از جریانی که از R_E می‌گذرد، متفاوت باشد. معادله حلقه عبارت است از:

$$V_{BB} = I_BR_{BB} + V_{BE} + I_ER_E$$

از جانشین‌کردن I_B بوسیله

$$I_B = \frac{I_E}{\beta + ۱}$$

و ترتیب مجدد معادله، بدست می‌آید:

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + [R_{BB}/(\beta + ۱)]}$$

با توجه به مقادیر عددی داده شده داریم:

$$I_E = \frac{۵ - ۰/۷}{۳ + (۳۳/۳/۱۰۱)} = ۱/۲۹\ mA$$

جریان بیس خواهد بود:

$$I_B = \frac{۱/۲۹}{۱۰۱} = ۰/۰۱۲۸\ mA$$

ولتاژ بیس از رابطه زیر بدست می‌آید:

$$V_B = V_{BE} + I_ER_E$$
$$= ۰/۷ + ۱/۲۹ \times ۳ = ۴/۵۷\ V$$

فرض کنید ترانزیستور در حالت فعال باشد، می‌توانیم جریان کلکتور را به صورت

$$I_C = \alpha I_E = ۰/۹۹ \times ۱/۲۹ = ۱/۲۸\ mA$$

بدست آوریم.

اکنون ولتاژ کلکتور می‌تواند به صورت زیر ارزیابی شود:

$$V_C = +۱۵ - I_CR_C = ۱۵ - ۱/۲۸ \times ۵ = ۸/۶\ V$$

نتیجه می‌شود که پتانسیل کلکتور به اندازه ۴/۰۳ V از بیس بیشتر است. به این معنی که ترانزیستور همانگونه که حدس زده شده بود در حالت فعال می‌باشد. حاصل تحلیل در شکل (پ ۲۱-۴) نشان داده شده است.

تمرین

۱۸-۴ اگر ترانزیستور مدار شکل (الف ۲۱-۴) با ترانزیستور دیگری که مقدار β آن نصف این ترانزیستور است تعویض شود (یعنی $\beta = ۵۰$) مقدار جدید I_C را بدست آورده و تغییر I_C را به درصد، بیان کنید.

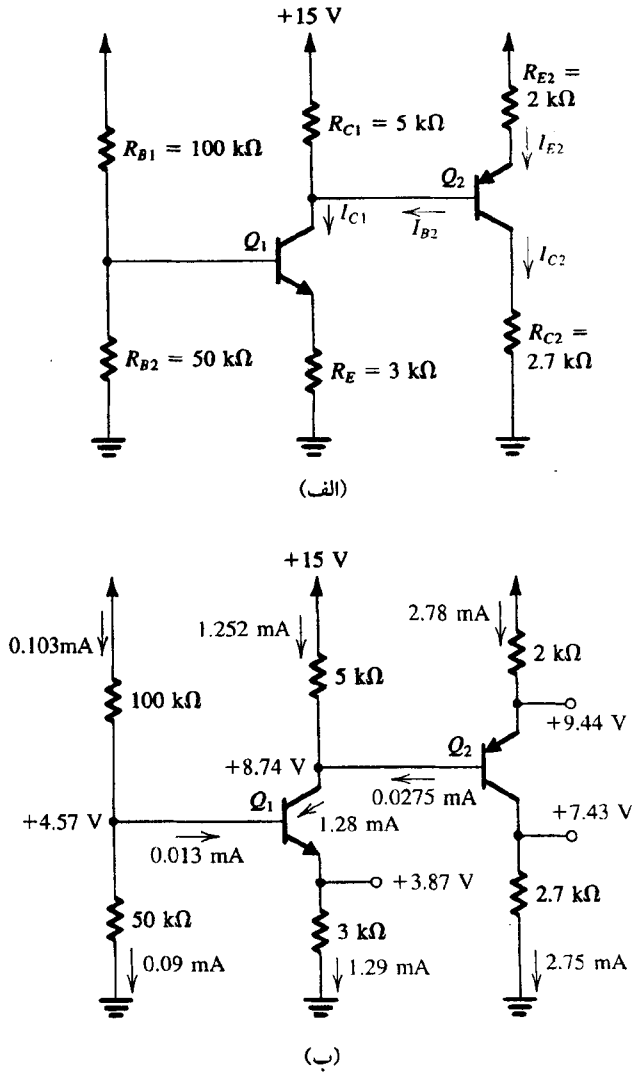
جواب. $I_C = ۱/۱۵\ mA$؛ -۱۰% ❑

مثال ۸-۴

می‌خواهیم مدار شکل (الف ۲۲-۴) را تحلیل کنیم تا ولتاژ همه گره‌ها و جریان همه شاخه‌ها محاسبه شود.

حل:

ابتدا متوجه می‌شویم که قسمتی از این مدار با مدار تحلیل شده در شکل (۷-۴) یعنی مدار شکل (الف ۲۱-۴) یکسان است. البته، اختلاف در آن است که در مدار جدید، یک ترانزیستور به نام $Q۲$ و



شکل ۲۲-۴. مدار برای مثال ۸-۴

مقاومتهای مربوط به آن R_{E2} و R_{C2} وجود دارد. فرض کنید که Q_1 باز هم در حالت فعال باشد. مقادیر زیر با آنچه در مثال قبل بدست آمد، یکسان می‌باشد:

$$V_{B1} = +4/5V\ V \qquad I_{E1} = 1/29\ mA$$
$$I_{B1} = 0/012\ mA \qquad I_{C1} = 1/28\ mA$$

البته، ولتاژ کلکتور با مقدار محاسبه شده قبلی متفاوت است، زیرا قسمتی از جریان کلکتور I_{C1} به سمت پایه بیس $Q_2(I_{B2})$ جریان خواهد یافت. به عنوان یک تقریب، ممکن است فرض کنیم که I_{B2} خیلی کوچکتر از I_{C1} می‌باشد، یعنی ممکن است فرض کنیم که جریان گذرا از R_{C1} تقریباً با I_{C1} برابر است. این فرض ما را قادر خواهد ساخت تا V_{C1} را محاسبه کنیم:

$$V_{C1} \cong +15 - I_{C1}R_{C1}$$
$$= 15 - 1/28 \times 5 = +8/6V$$

بنابراین، همانطور که حدس زده شده بود، Q_1 در حالت فعال می‌باشد. در ارتباط با Q_2، متوجه می‌شویم که امیتر توسط R_{E2} به +۱۵V وصل شده است. حدس قریب به یقین آن است که پیوند بیس - امیتر Q_2 بایاس معکوس خواهد بود. از اینرو ولتاژ V_{E2} در امیتر Q_2 به صورت زیر خواهد بود:

$$V_{E2} = V_{C1} + V_{EB}\Big|_{Q_2} \cong 8/6 + 0/07 = +9/3V$$

جریان امیتر Q_2 ممکن است به صورت زیر محاسبه شود:

$$I_{E2} = \frac{+15 - V_{E2}}{R_{E2}} = \frac{15 - 9/3}{2} = 2/85\ mA$$

چون کلکتور بوسیله R_{C2} به زمین وصل شده، محتمل است که Q_2 در حالت فعال باشد. فرض کنید در حالت فعال باشد، اکنون I_{C2} را به صورت زیر بدست می‌آوریم:

$$I_{C2} = \alpha_2 I_{E2}$$
$$= 0/99 \times 2/85 = 2/82\ mA$$ (با فرض اینکه $\beta_2 = 100$)

ولتاژ کلکتور Q_2 برابر خواهد بود با

$$V_{C2} = I_{C2}R_{C2} = 2/82 \times 2/7 = 7/62\ V$$

که ۰/۹۸ V کمتر از V_{B2} است. بنابراین Q_2 همانگونه که فرض شده بود، در حالت فعال است.

در این مرحله، با توجه به این فرض که I_{B2} مقداری ناچیز است. پیداکردن اندازه خطای ایجادشده در محاسباتمان کاری مهم است. مقدار I_{B2} بدست آمده چنین است:

$$I_{B2} = \frac{I_{E2}}{\beta_2 + 1} = \frac{2/85}{101} = 0/028\ mA$$

که به واقع بسیار کوچکتر از I_{C1}(۱/۲۸ mA) می‌باشد. چنانچه لازم باشد، می‌توانیم با این فرض که I_{B2} برابر با ۰/۰۲۸ mA است، با تکرار محاسبات، نتایج دقیقتری بدست آوریم.

مقادیر جدید عبارتند از:

جریان در $R_{C1} = I_{C1} - I_{B2} = 1/28 - 0/028 = 1/252\ mA$

$$V_{C1} = 15 - 5 \times 1/252 = 8/74\ V$$
$$V_{E2} = 8/74 + 0/7 = 9/44\ V$$
$$I_{E2} = \frac{15 - 9/44}{2} = 2/78\ mA$$
$$I_{C2} = 0/99 \times 2/78 = 2/75\ mA$$
$$V_{C2} = 2/75 \times 2/7 = 7/43\ V$$
$$I_{B2} = \frac{2/78}{101} = 0/0275\ mA$$

دقت کنید که مقدار جدید I_{B2} خیلی نزدیک به مقدار بدست آمده قبلی است و لزومی به تکرار دوباره آن نمی‌باشد. نتیجه نهایی در شکل ب ۲۲-۴ نشان داده شده است.

تذکر مهم

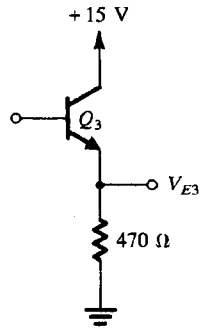
در مثالهای ۲-۴ تا ۸-۴ برای محاسبه جریان کلکتور از مقدار دقیقی برای α استفاده کردیم. از آنجا که $\alpha \cong 1$ می‌باشد، چنانچه فردی $\alpha = 1$ درنظر بگیرد، خطای محاسبات خیلی ناچیز و $i_C = i_E$ خواهد بود. از

اینرو، بجز در محاسباتی که بطور جدی به مقدار α بستگی دارد (نظیر محاسبات جریان بیس)، در طراحی معمولاً $\alpha \cong 1$ فرض می‌شود.

تمرینها

۴-۱۹ در مدار شکل (۲۲-۴) کل جریان کشیده شده از منبع تغذیه را بدست آورید. توان تلف شده در مدار را نیز بدست آورید.
جواب. ۴/۱۳۵ mA؛ ۶۲ mW

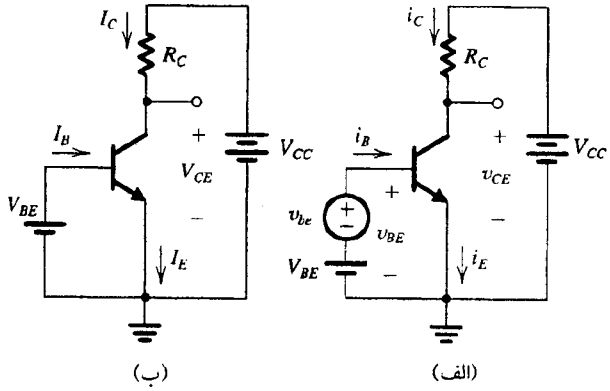
۴-۲۰ مدار شکل (۲۰-۴ ت) همانطور که نشان داده شده است به مدار شکل (الف ۲۲-۴) متصل می‌شود بطور مشخص بیس Q_3 به کلکتور Q_2 اتصال می‌یابد. اگر Q_3 دارای $\beta = 100$ باشد، مقادیر جدید V_{C2} و V_{E3} و I_{C3} را بدست آورید.
جواب. ۷/۰۶ V؛ ۶/۳۶ V؛ ۱۳/۴ mA



شکل (۲۰-۴ ت)

۴-۷ ترانزیستور به عنوان تقویت‌کننده

برای آنکه ترانزیستور به عنوان یک تقویت‌کننده کار کند، بایستی برای حالت فعال بایاس شود. شکل بایاس ترانزیستور در ایجاد یک جریان dc ثابت در امیتر (یا در کلکتور) است. این جریان بایستی قابل پیش‌بینی و در مقابل تغییرات دما، مقدار β، و غیره مقاوم باشد. هنگام مطالعه شیوه‌های مختلف بایاس در بخش ۱۰-۴، ضرورت بایاس ترانزیستور را با جریان ثابت کلکتور نشان خواهیم داد. این ضرورت از این حقیقت برمی‌آید که عملکرد ترانزیستور به عنوان یک تقویت‌کننده بطور جدی تحت تأثیر اندازه جریان (یا بایاس) ساکن آن است. این مطلب به تفصیل در زیر شرح داده شده است.



شکل ۲۳-۴. (الف) مدار غیرعملی برای تشریح عملکرد ترانزیستور به عنوان تقویت کننده (ب) مدار با منبع v_{be} حذف شده برای انجام تحلیل dc

برای درک اینکه ترانزیستور چگونه کار می‌کند، مدار غیر عملی شکل (الف ۲۳-۴) را درنظر بگیرید. در اینجا، فرض بر این است که جریان بایاس I_C بوسیله یک منبع ولتاژ dc (باتری) تأمین شده است. بایاس معکوس پیوند کلکتور - بیس (CBJ) با اتصال کلکتور بوسیله مقاومت R_C به منبع ولتاژ V_{CC} تأمین می‌شود. سیگنال ورودیی که باید تقویت شود بوسیله ولتاژ منبع v_{be} نشان داده شده که بعد از V_{BE} قرار گرفته است.

شرایط DC

ابتدا شرایط dc را درنظر بگیرید، یعنی فرض کنید که سیگنال v_{be} صفر باشد. مدار حاصل در شکل (ب ۲۳-۴) نشان داده شده است، روابط زیر را برای کمیتهای dc داریم:

$$I_C = I_S e^{V_{BE}/V_T} \qquad (۴-۲۳)$$

$$I_E = \frac{I_C}{\alpha} \qquad (۴-۲۴)$$

$$I_B = \frac{I_C}{\beta} \qquad (۴-۲۵)$$

$$V_C = V_{CE} = V_{CC} - I_C R_C \qquad (۴-۲۶)$$

مسلماً در حالت فعال ترانزیستور، V_C می‌بایستی از V_B آن اندازه بزرگتر باشد که نوسان سیگنال قابل قبولی در کلکتور بدست آید و ترانزیستور در همه حال در ناحیه فعال باقی بماند. بعد به این نکته خواهیم پرداخت.

جریان کلکتور و هدایت انتقالی (تراهدایتی)

چنانچه مطابق شکل (الف ۲۳-۴)، سیگنال v_{be} به ورودی اعمال گردد، مجموع ولتاژ لحظه‌ای بیس - امیتر v_{BE} می‌شود:

$$v_{BE} = V_{BE} + v_{be}$$

متناظر با آن، جریان کلکتور برابر است با:

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE}+v_{be})/V_T}$$
$$= I_S e^{(V_{BE}/V_T)} e^{(v_{be}/V_T)}$$

با استفاده از معادله (۲۳-۴) نتیجه می‌شود که

$$i_C = I_C e^{v_{be}/V_T} \qquad (۴-۲۷)$$

اکنون، چنانچه $v_{be} << V_T$ باشد، ممکن است معادله (۲۷-۴) را به صورت زیر تقریب کنیم.

$$i_C \cong I_C \left(1 + \frac{v_{be}}{V_T}\right) \qquad (۴-۲۸)$$

در اینجا معادله نمایی (۲۷-۴) را بصورت سری بسط داده و تنها دو عبارت اول آن را آورده‌ایم. این تقریب، که تنها برای v_{be} کوچکتر از ۱۰mV معتبر است، به **تقریب سیگنال کوچک** موسوم می‌باشد. تحت این تقریب مجموع جریان کلکتور از معادله (۲۸-۴) بدست می‌آید و به صورت زیر نوشته می‌شود:

$$i_C = I_C + \frac{I_C}{V_T} v_{be} \qquad (۴-۲۹)$$

به این ترتیب، جریان کلکتور شامل مقدار بایاس جریان dc یعنی I_C و

مؤلفهٔ سیگنال i_C می‌باشد:

$$i_c = \frac{I_C}{V_T} v_{be} \qquad (۴-۳۰)$$

این معادله جریان سیگنال را در کلکتور به ولتاژ سیگنال امیتر - بیس ربط می‌دهد و به صورت زیر می‌تواند دوباره نوشته شود:

$$i_c = g_m v_{be} \qquad (۴-۳۱)$$

که در معادله بالا، g_m هدایت انتقالی است و از معادله (۴-۳۰) به صورت زیر بدست می‌آید:

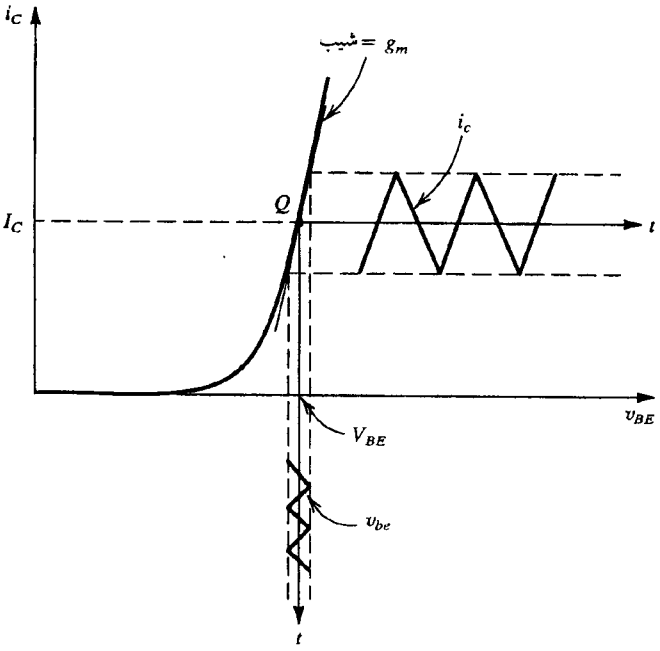
$$g_m = \frac{I_C}{V_T} \qquad (۴-۳۲)$$

ملاحظه می‌کنیم که ترارسانایی یک BJT نسبت مستقیم با جریان بایاس کلکتور I_C دارد. بنابراین برای بدست آوردن یک مقدار ثابت و قابل پیش‌بینی برای g_m، به یک I_C ثابت و قابل پیش‌بینی نیازمندیم، ملاحظه می‌کنیم که BJT بطور نسبی در مقایسه با FET ها دارای هدایت انتقالی زیاد می‌باشند، بطور مثال، در $I_C = ۱\ mA$، $g_m \cong ۴۰mA/V$ است.

یک توصیف ترسیمی برای g_m در شکل (۲۴-۸) نشان داده شده است. همانگونه که در شکل نشان داده شده است، g_m برابر با شیب منحنی مشخصه $i_C - v_{BE}$ در $i_C = I_C$ است. بنابراین:

$$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{i_C = I_C} \qquad (۴-۳۳)$$

تقریب سیگنال کوچک اشاره به آن دارد که دامنه سیگنال بقدر کافی کوچک نگهداشته می‌شود تا کار ترانزیستور به یک جزء تقریباً خطی از منحنی نمایی $i_C - v_{CE}$ محدود گردد. افزایش دامنه سیگنال موجب



شکل ۲۴-۴. عملکرد خطی ترانزیستور تحت شرایط سیگنال کوچک: سیگنال کوچک v_{be} با شکل موج مثلثی تحمیل شده به ولتاژ dc ی V_{BE} این امر باعث می‌شود جریان سیگنال کلکتور i_c نیز شکل موج مثلثی باشد که به جریان dc ی I_C تحمیل شده است. $i_c = g_m v_{be}$ می‌باشد که g_m شیب منحنی $i_C - v_{BE}$ در نقطه بایاس است.

می‌شود تا جریان کلکتور نسبت به v_{be} دارای قسمتهای غیرخطی باشد. نمونه‌های مشابهی از تقریب برای دیودها (بخش ۵-۳)، بکار رفت.

تحلیل بالا بیانگر آنست که برای سیگنالهای کوچک ($v_{be} << V_T$)، ترانزیستور مانند یک منبع جریان دارای کنترل ولتاژ رفتار می‌کند. درگاهی ورودی این منبع دارای کنترل، بین بیس و امیتر است و درگاهی خروجی بین کلکتور و امیتر می‌باشد. هدایت انتقالی این منبع دارای کنترل، g_m است، و مقاومت خروجی آن بی‌نهایت می‌باشد. خاصیت آرمانی اخیر یکی از نتایج مدل مرحله نخست ما در مورد عملکرد ترانزیستور است که در حالت فعال ولتاژ کلکتور بر جریان کلکتور اثری نمی‌گذارد، همانگونه که در بخش ۵-۴ دیده‌ایم، BJT ها در عمل دارای مقاومت خروجی محدودند. اثر مقاومت خروجی بر عملکرد تقویت‌کننده‌ها در مباحث بعد خواهد آمد.

تمرین

۴-۲۱ با استفاده از معادلهٔ (۴-۳۳) رابطه‌ای برای g_m در معادله (۴-۳۲) بیابید. ❑

جریان بیس و مقاومت ورودی در بیس

برای تعیین مقاومت دیده شده بوسیله v_{be}، ابتدا مجموع جریان بیس i_B را با استفاده از معادله (۴-۲۹) به صورت زیر ارزیابی می‌کنیم:

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + \frac{۱}{\beta}\frac{I_C}{V_T} v_{be}$$

از اینرو

$$i_B = I_B + i_b \qquad (۴-۳۴)$$

که I_B برابر با I_C/β است و جزء سیگنال i_b به صورت زیر بدست می‌آید:

$$i_b = \frac{۱}{\beta}\frac{I_C}{V_T} v_{be} \qquad (۴-۳۵)$$

از جایگزینی I_C/V_T با g_m نتیجه می‌شود که:

$$i_b = \frac{g_m}{\beta} v_{be} \qquad (۴-۳۶)$$

مقاومت ورودی سیگنال کوچک بین بیس و امیتر، با بررسی بیس، بوسیله r_π مشخص می‌گردد و به صورت زیر تعیین می‌شود:

$$r_\pi \equiv \frac{v_{be}}{i_b} \qquad (۴-۳۷)$$

با استفاده از معادله (۴-۳۶) بدست می‌آید:

$$r_\pi = \frac{\beta}{g_m} \qquad (۴-۳۸)$$

بنابراین r_π نسبت مستقیم با β و نسبت معکوس با جریان بایاس I_C دارد. با جایگزینی g_m از معادله (۴-۳۲) در معادله (۴-۳۸) و جانشین‌کردن I_C/β، با I_B یک معادله دیگر برای r_π بدست می‌آید:

$$r_\pi = \frac{V_T}{I_B} \qquad (۴-۳۹)$$

جریان امیتر و مقاومت ورودی امیتر

مجموع جریان امیتر i_E با استفاده از معادله زیر تعیین می‌گردد:

$$i_E = \frac{i_C}{\alpha} = \frac{I_C}{\alpha} + \frac{i_c}{\alpha}$$

بنابراین

$$i_E = I_E + i_e \qquad (۴-۴۰)$$

که در آن I_E برابر با I_C/α است و جریان سیگنال i_e بصورت زیر بدست می‌آید:

$$i_e = \frac{i_c}{\alpha} = \frac{I_C}{\alpha V_T} v_{be} = \frac{I_E}{V_T} v_{be} \qquad (۴-۴۱)$$

اگر مقاومت سیگنال کوچک بین بیس و امیتر را با نگاه به امیتر r_e بنامیم این رابطه به صورت زیر بیان می‌گردد:

$$r_e \cong \frac{v_{be}}{i_e} \qquad (۴-۴۲)$$

که r_e، **مقاومت امیتر** نامیده می‌شود و از رابطه (۴-۴۱) به صورت زیر تعیین می‌شود:

$$r_e = \frac{V_T}{I_E} \qquad (۴-۴۳)$$

در مقایسه با معادله (۴-۳۲) آشکار می‌شود که:

$$r_e = \frac{\alpha}{g_m} \cong \frac{1}{g_m} \qquad (۴-۴۴)$$

رابطه بین r_π و r_e با ترکیب معادلات (۴-۳۷) و (۴-۴۲) بصورت زیر بدست می‌آید:

$$v_{be} = i_b r_\pi = i_e r_e$$

به این ترتیب داریم:

$$r_\pi = (i_e / i_b) r_e$$

که نتیجه می‌دهد:

$$r_\pi = (\beta + 1) r_e \qquad (۴-۴۵)$$

تمرین

۴-۲۲ یک BJT که دارای $\beta = ۱۰۰$ می‌باشد در جریان کلکتور ۱ mA بایاس شده است. مقدار g_m، r_e و r_π را در نقطه بایاس بدست آورید.

جواب. ۴۰ mA/V؛ ۲۵ Ω، ۲/۵ kΩ ❑

بهره ولتاژ

تاکنون فقط قرارداد کرده‌ایم که ترانزیستور سیگنال v_{be} یا v_π را در بیس - امیتر دریافت کرده و موجب ایجاد جریان $g_m v_{be}$ در پایه کلکتور با امپدانس زیاد (در حالت ایده‌آل بی‌نهایت) می‌شود. در این صورت، ترانزیستور به مثابه یک منبع جریان دارای کنترل ولتاژ عمل می‌کند. برای بدست آوردن یک سیگنال ولتاژ خروجی، ممکن است همانگونه که در شکل (۲۲-۸) دیده می‌شود، این جریان را به عبور از یک مقاومت واداشت. در آنصورت مجموع ولتاژ کلکتور v_C خواهد بود:

$$v_C = V_{CC} - i_C R_C$$

$$= V_{CC} - (I_C + i_c) R_C$$

$$= (V_{CC} - I_C R_C) - i_c R_C$$

$$= V_C - i_c R_C \qquad (۴-۴۶)$$

در اینجا، کمیت V_C، عبارت از ولتاژ بایاس dc در کلکتور است، و ولتاژ سیگنال از رابطه زیر بدست می‌آید:

$$v_c = -i_c R_C = -g_m v_{be} R_C$$

$$= (-g_m R_C)\, v_{be} \qquad (۴-۴۷)$$

بنابراین بهره ولتاژ این تقویت کننده به شرح زیر است:

$$\text{بهره ولتاژ} \equiv \frac{v_c}{v_{be}} = -g_m R_C \qquad (۴-۴۸)$$

بار دیگر ملاحظه می‌کنیم که چون g_m با جریان بایاس کلکتور نسبت مستقیم دارد، بهره دارای آن پایداری خواهد بود که جریان بایاس کلکتور داراست.

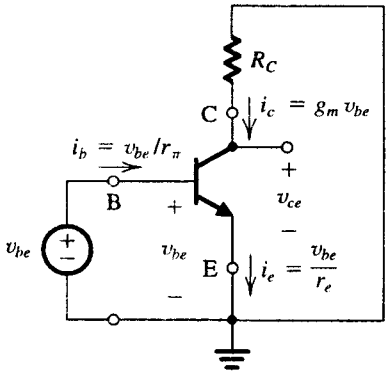
تمرین

۴-۲۳ در مدار شکل (الف ۲۳-۴) V_{BE} بگونه‌ای تنظیم می‌شود که جریان کلکتور ۱ mA باشد. درنظر بگیرید $V_{CC} = ۱۵$ V، $R_C = ۱۰$ kΩ و $\beta = ۱۰۰$ باشد. بهره ولتاژ v_c/v_{be} را بدست آورید. اگر $v_{be} = ۰/۰۰۵ \sin \omega t$-volt باشد $v_C(t)$ و $i_B(t)$ را بدست آورید.

جواب. ۴۰۰ V/V-، ۵-۲ sin ωt volt، ۱۰+۲ Sin ωt μA ❑

۴-۸ مدلهای مدار معادل سیگنال کوچک

تحلیلهای انجام شده در بخش قبل نشان می‌دهد که هر جریان و ولتاژی درمدار تقویت‌کننده شکل (الف ۲۳-۴) شامل دو مؤلفه است: مؤلفه dc و مؤلفه سیگنال. برای مثال $I_C = I_C + i_c$، $v_{BE} = V_{BE} + v_{be}$ و نظایر آن. مؤلفه dc از مدار dc ی شکل (ب ۲۳-۴) و روابط حاکم بر ترانزیستور (معادلات ۲۳-۴ تا ۲۶-۴) بدست می‌آید. از طرف دیگر نمایش عملکرد سیگنال BJT با حذف منبع dc همانطور که در شکل (ب ۲۵-۴) نشان داده شده حاصل می‌شود. مشاهده کنید از آنجا که ولتاژ



شکل ۲۵-۴. مدار تقویت کننده شکل (الف ۲۲-۴) با منابع dc ی V_{BE} و V_{CC} حذف شده (اتصال کوتاه) بنابراین فقط مؤلفه‌های سیگنال حضور دارند. توجه کنید که این نمایش عملکرد سیگنال BJT است و مدار تقویت کننده واقعی نمی‌باشد.

یک منبع dc ایده‌آل ثابت است. ولتاژ سیگنالی که روی آن افت می‌کند صفر خواهد بود به همین علت V_{CC} و V_{BE} را اتصال کوتاه می‌کنیم. منبع جریان ایده‌آل نیز مدار باز می‌شود. اما دقت کنید که مدار شکل ۲۵-۴ از آن جهت مفید است که نمایشگر جریان‌ها و ولتاژهای سیگنال مختلف است و یک مدار واقعی تقویت‌کننده نیست. چون مدار بایاس dc در شکل نشان داده نشده است.

شکل ۲۵-۴ همچنین عبارات بدست آمده برای افزایش جریانهای i_c، i_b و i_e را با حضور سیگنال v_{be} نشان می‌دهد. این روابط می‌توانند با یک مدار نمایش داده شوند. چنین مداری دارای سه پایانه C ، B و E بوده و بایستی دارای همان جریان پایانه‌های شکل ۲۵-۴ باشد. مدار حاصل، مدار معادل سیگنال کوچک ترانزیستور است و هنگامی معتبر است که ترانزیستور در محدودهٔ سیگنال کوچک کار کند.

مدل هیبرید π

یک مدل مدار معادل برای BJT در شکل (الف ۲۶-۴) نشان داده شده است. این مدل، BJT را بعنوان یک منبعِ جریانِ کنترل‌شده با ولتاژ نشان داده و شامل مقاومت ورودی r_π از دید بیس می‌باشد. از مدل به وضوح می‌توان دریافت که $i_c = g_m v_{be}$ بوده و $i_b = v_{be}/r_\pi$ می‌باشد. اما در حقیقت نه بطور خیلی واضح می‌توان عبارتی صحیح برای i_e بدست آورید. در گره امیتر داریم:

$$i_e = \frac{v_{be}}{r_\pi} + g_m v_{be} = \frac{v_{be}}{r_\pi}(1 + g_m r_\pi)$$

$$= \frac{v_{be}}{r_\pi}(1 + \beta) = v_{be}/\left(\frac{r_\pi}{1+\beta}\right) = v_{be}/r_e$$

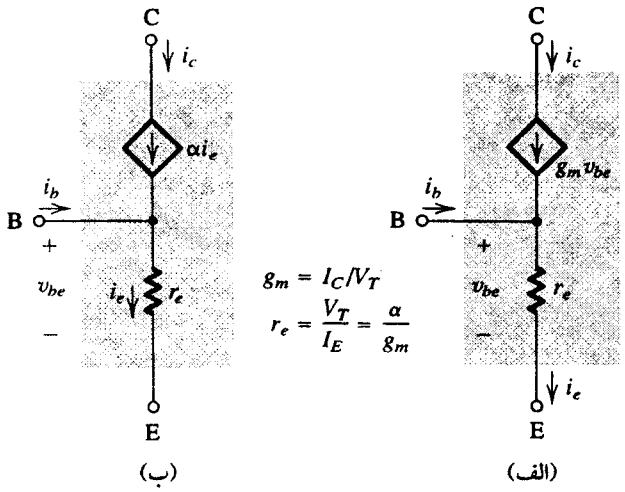
با بیان جریان منبع کنترل‌شده $(g_m v_{be})$ بر حسب جریان بیس i_b بصورت زیر می‌توان مدل مدار معادل دیگری با کمی اختلاف بدست آورد:

$$g_m v_{be} = g_m (i_b r_\pi)$$
$$= (g_m r_\pi) i_b = \beta i_b$$

مدل مدار معادل شکل (ب ۲۶-۴) نتیجه رابطه بالاست و در اینجا ترانزیستور بعنوان منبع جریان کنترل‌شده با جریان i_b مطرح است.

دو مدل شکل (۲۶-۴) مدل هیبرید - π نامیده می‌شوند که بطور گسترده‌ای در مورد BJT کاربرد دارند. مدل کامل هیبرید π همانطور که بعداً در این فصل و فصل ۷ نمایش داده خواهد شد شامل عناصر اضافی که‌اثرات مرتبه دوم BJT را مدل می‌کنند می‌باشد.

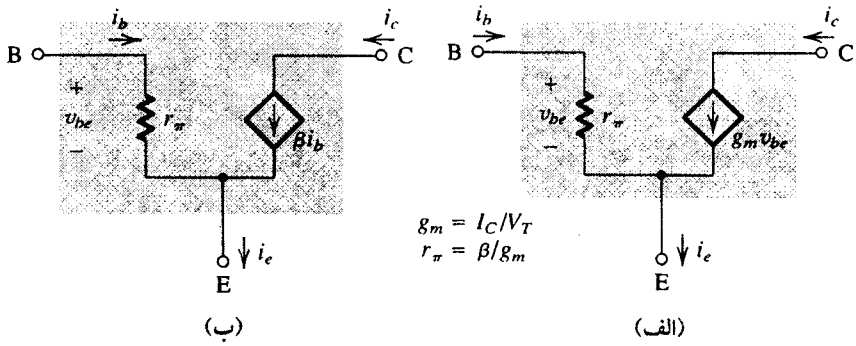
ذکر این نکته مهم است که مدلهای شکل ۲۶-۴ مربوط به یک نقطه بایاس مشخص هستند و علت آن وابستگی g_m و r_π به جریان بایاس یعنی I_C می‌باشد. همانطور که در شکل ۲۶-۴ نشان داده شده است. در خاتمه باید یادآور شویم که این مدلها برای هر دو نوع ترانزیستور pnp و npn بدون تغییر در قطبیت صادق هستند.



شکل ۲۷-۴. دو مدل برای BJT با کمی اختلاف که مدل T نامیده می‌شوند. مدار (الف) نمایش یک منبع جریان کنترل شده با ولتاژ و (ب) نمایش منبع جریان کنترل شده با جریان می‌باشد. این مدل‌ها مقاومت r_e امیتر را به وضوح نشان می‌دهند برخلاف مدل π که مقاومت r_π را نشان می‌دهد.

مدل T

اگرچه تقریباً، همیشه در تحلیل سیگنال کوچک مدارهای ترانزیستوری از مدل هیبرید π استفاده می‌کنیم. (مدلهای شکل ۲۶-۴) استفاده از یک مدل دیگر که در شکل (۲۷-۴) نشان داده شده در بعضی از موارد راحت‌تر است. این مدل، مدل T نام دارد و به دو صورت در شکل (۲۷-۴) نشان داده شده است. مدل شکل (الف ۲۷-۴) BJT را به عنوان



شکل ۲۶-۴. دو نوع مدل هیبرید - π ساده شده برای عملکرد سیگنال کوچک BJT. **(الف)** این شکل BJT را به عنوان منبع جریان کنترل شده با ولتاژ (تقویت کنندهٔ هدایت انتقالی) نشان می‌دهد. **(ب)** BJT را به عنوان منبع جریان کنترل شده با جریان نشان می‌دهد. (تقویت کننده جریان)

منبع جریان کنترل شده با ولتاژ v_{be} نشان می‌دهد. در اینجا مقاومت بین بیس و امیتر از دید امیتر نشان داده شده است. از مدل شکل (الف ۲۷-۴)، عباراتی صحیح برای i_c و i_e می‌توان نتیجه گرفت. در گره بیس داریم:

$$i_b = \frac{v_{be}}{r_e} - g_m v_{be} = \frac{v_{be}}{r_e}(1 - g_m r_e)$$
$$= \frac{v_{be}}{r_e}(1 - \alpha) = \frac{v_{be}}{r_e}\left(1 - \frac{\beta}{\beta + 1}\right)$$
$$= \frac{v_{be}}{(\beta + 1) r_e} = \frac{v_{be}}{r_\pi}$$

که باید همین مقدار باشد.

در مدل شکل (الف ۲۷-۴) اگر جریان منبع کنترل شده بر حسب جریان امیتر بصورت زیر بیان شود:

$$g_m v_{be} = g_m (i_e r_e)$$
$$= (g_m r_e) i_e = \alpha i_e$$

مدل شکل (ب ۲۷-۴) را بدست می‌آوریم در اینجا BJT به عنوان منبع جریان کنترل شده با جریانِ i_e به نمایش درآمده است.

کاربرد مدارهای معادل سیگنال - کوچک

استفاده از مدلهای مداری BJT سیگنال کوچک تحلیل مدارهای تقویت‌کننده ترانزیستوری را به یک فرآیند مدوّن تبدیل می‌کند ابتدا نقطه کار dc تعیین شده و پارامترهای مدل محاسبه می‌شوند. سپس منابع dc حذف شده و بجای BJT، مدل مدار معادل (معمولاً مدل هیبرید - π) قرار گرفته و مدار حاصل برای بدست آوردن کمیتهای خواسته شده تحلیل می‌شود بطور مثال بهره ولتاژ، مقاومت ورودی و غیره. این فرآیند توسط مثال زیر مورد بررسی قرار می‌گیرد.

مثال ۹-۴

می‌خواهیم ترانزیستور تقویت کننده شکل (الف ۲۸-۴) را برای تعیین بهرهٔ آن تحلیل کنیم، فرض می‌کنیم $\beta = ۱۰۰$ باشد.

حل:

اولین گام در تحلیل، تعیین نقطه کار ساکن ترانزیستور است. برای این منظور فرض می‌کنیم که $v_i = ۰$ باشد. جریان dc بیس عبارت است از:

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB}}$$
$$\cong \frac{۳ - ۰/۷}{۱۰۰} = ۰/۰۲۳ \text{ mA}$$

جریان dc کلکتور مقدار زیر خواهد شد:

$$I_C = \beta I_B = ۱۰۰ \times ۰/۰۲۳ = ۲/۳ \text{ mA}$$

ولتاژ dc در کلکتور مقدار زیر خواهد بود:

$$V_C = V_{CC} - I_C R_C$$
$$= +۱۰ - ۲/۳ \times ۳ = +۳/۱ \text{ V}$$

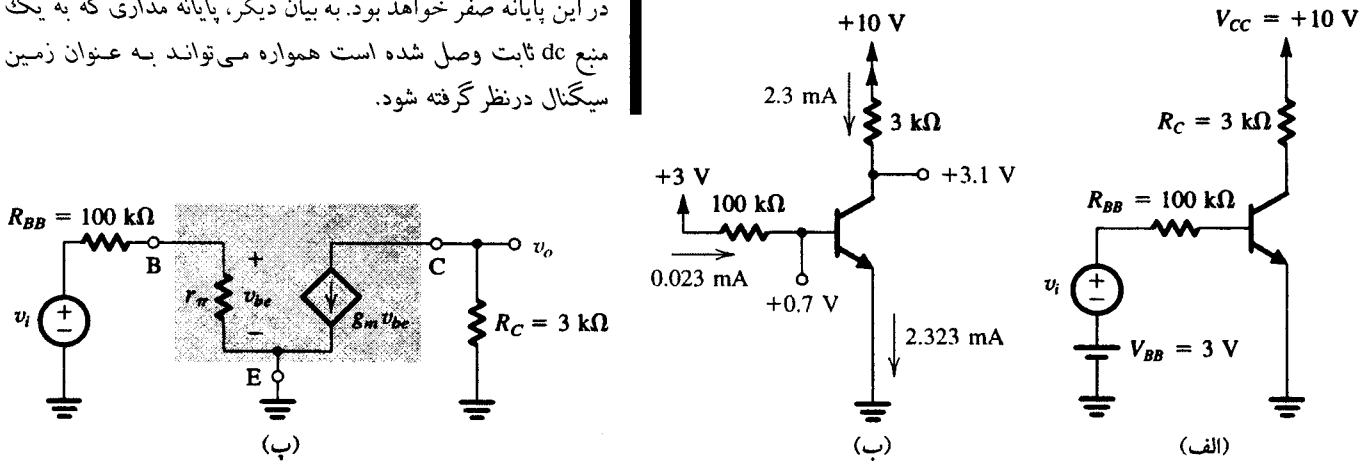
چون $V_B = +۰/۷ \text{ V}$ است، در نتیجه در وضعیت ساکن، ترانزیستور در حالت فعال کار خواهد کرد. با داشتن نقطه کار، اکنون پارامترهای مدل سیگنال کوچک را می‌توان تعیین کرد:

$$r_e = \frac{V_T}{I_E} = \frac{۲۵ \text{ mV}}{(۲/۳) : (۰/۰۹۹ \text{ mA})} = ۱۰/۸ \ \Omega$$

$$g_m = \frac{I_C}{V_T} = \frac{۲/۳ \text{ mA}}{۲۵ \text{ mV}} = ۹۲ \text{ mA/V}$$

$$r_\pi = \frac{\beta}{g_m} = \frac{۱۰۰}{۹۲} = ۱/۰۹ \text{k}\Omega$$

برای تحلیل یک مدار معادل سیگنال کوچک، راحت‌تر آن است که اولین مرحله مدل مدار معادل هیبرید π را در شکل (الف ۲۶-۴) درنظر بگیریم. نتیجه مدل مدار معادل سیگنال کوچک مدار تقویت‌کننده در شکل (پ ۲۸-۴) داده شده است. دقت کنید که این مدار معادل کمیتهای dc را شامل نمی‌شود. توجه به این مطلب حائز اهمیت است که منبع ولتاژ dc، یعنی V_{CC} با مدار اتصال کوتاه در مدار معادل سیگنال جایگزین شده است، زیرا پایه‌ای از مدار که به V_{CC} وصل شده است همواره ولتاژ ثابتی خواهد داشت. یعنی ولتاژ سیگنال در این پایانه صفر خواهد بود. به بیان دیگر، پایانه مداری که به یک منبع dc ثابت وصل شده است همواره می‌تواند به عنوان زمین سیگنال درنظر گرفته شود.



شکل ۲۸-۴. مثال ۹-۴ (الف) مدار (ب) تحلیل dc (پ) مدل سیگنال کوچک

تحلیل مدار معادل شکل (پ ۲۸-۴) به صورت زیر ادامه می‌یابد:

$$v_{be} = v_i \frac{r_\pi}{r_\pi + R_{BB}}$$

$$= v_i \frac{۱/۰۹}{۱۰۱/۰۹} = ۰/۰۱۱ v_i \qquad (۴-۴۹)$$

ولتاژ خروجی v_o به صورت زیر بدست می‌آید:

$$v_o = -g_m v_{be} R_C$$

$$= -۹۲ \times ۰/۰۱۱ v_i \times ۳ = -۳/۰۴ v_i$$

بنابراین، بهره ولتاژ برابر خواهد شد با:

$$\frac{v_o}{v_i} = -۳/۰۴ \text{V/V} \qquad (۴-۵۰)$$

که علامت منها به معنی وارونگی فاز می‌باشد.

مثال ۱۰-۴

برای اطلاع بیشتر از عملکرد این مدار، شکل موجها را در نقاط مختلف در نظر میگیریم. برای این منظور فرض می‌کنیم v_i شکل موج مثلثی داشته باشد. اولین پرسش فراروی ما این خواهد بود که بیشترین دامنه v_i چقدر می‌تواند باشد؟ با این مقدار v_i، شکل موجهای $i_B(t)$، $v_{BE}(t)$، $i_C(t)$ و $v_C(t)$ را رسم کنید.

حل:

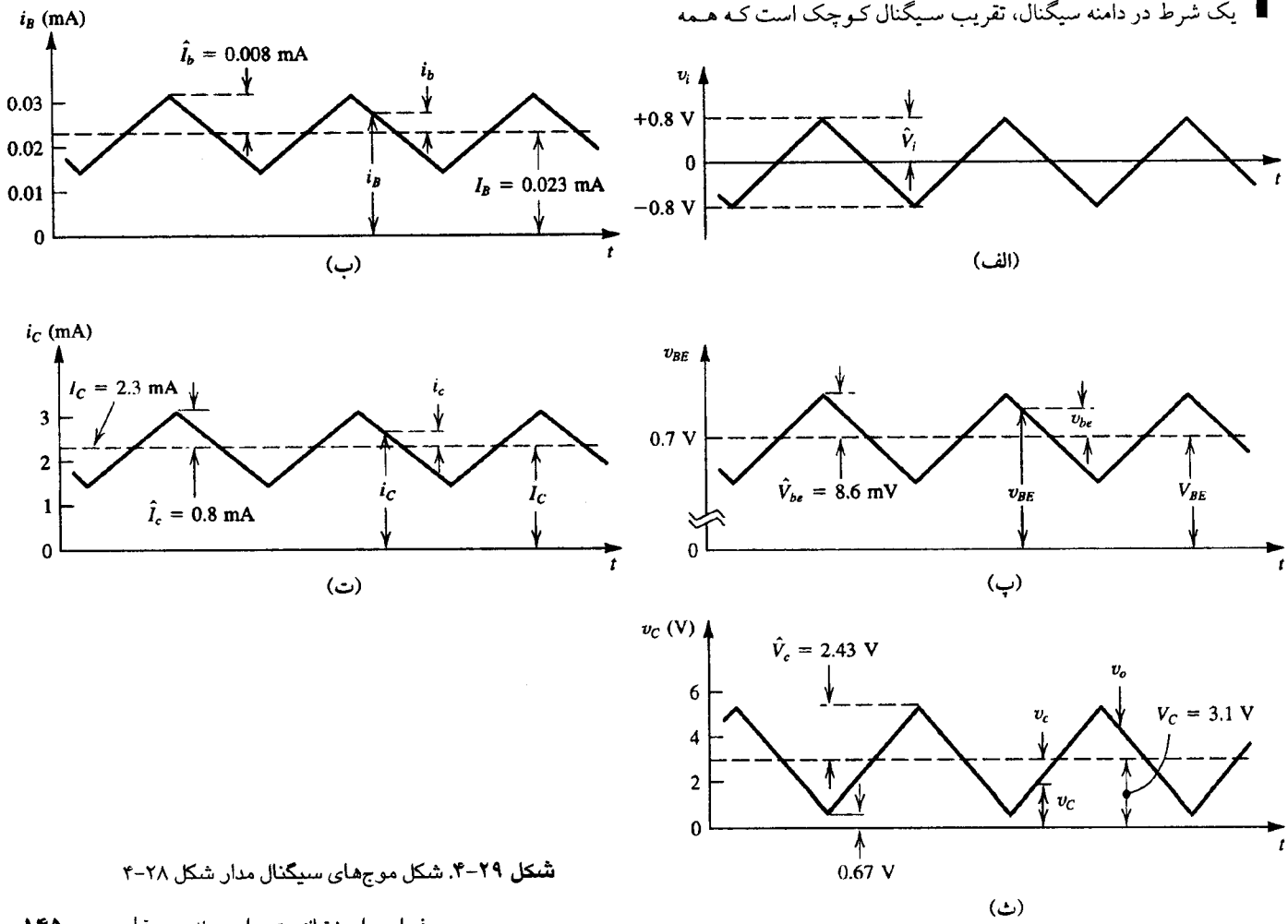
یک شرط در دامنه سیگنال، تقریب سیگنال کوچک است که همه تحلیلهای بالا بر اساس آن انجام شده است. این شرط موجب می‌شود تا v_{be} (یعنی v_π) از حدود ۱۰ mA تجاوز نکند. چنانچه شکل موج مثلثی v_{be} را ۲۰ mA نوک تا نوک اختیار کنیم و به سمت عقب کار کنیم، از معادله (۴۹-۴) برای تعیین ماکزیمم نوک v_i می‌توان استفاده کرد.

$$\hat{V}_i = \frac{\hat{V}_{be}}{۰/۰۱۱} = ۰/۹۱ \text{ V}$$

برای بررسی ترانزیستور و اینکه وقتی v_i دارای مقدار نوک $\hat{V}_i = ۰/۹۱$ V می‌باشد، آیا در حالت فعال هست یا نه، مجبوریم ولتاژ کلکتور را ارزیابی کنیم. ولتاژ کلکتور شامل یک موج مثلثی v_c است که بر ولتاژ dc به مقدار $V_C = ۳/۱$ V قرار گرفته است. ولتاژ نوک موج مثلثی برابر خواهد بود با:

$$\hat{V}_c = \hat{V}_i \times \text{بهره} = ۰/۹۱ \times ۳/۰۴ = ۲/۷۷ \text{ V}$$

این موجب می‌شود که وقتی سیگنال خروجی دارای نوسان منفی می‌باشد، ولتاژ کلکتور به حداقلی معادل $۳/۱ - ۲/۷۷ = ۰/۳۳$ V می‌رسد، که کمتر از ولتاژ بیس یعنی $۰/۷ \text{ V} \cong$ است. به این دلیل، ترانزیستور با داشتن v_i با مقدار نوک ۰/۹۱ V در حالت فعال باقی نخواهد ماند. البته، به سهولت می‌توان ماکزیمم مقدار نوک سیگنال ورودی که در آن ترانزیستور در همه حال در حالت فعال می‌ماند را تعیین کرد. این کار با محاسبه مقدار $\hat{V}_i$ بدست می‌آید که مطابقت دارد با کمترین مقدار ولتاژ کلکتور که با ولتاژ بیس برابر می‌شود، و تقریباً



شکل ۲۹-۴. شکل موج‌های سیگنال مدار شکل ۲۸-۴

۰/۷V است، بنابراین:

$$\hat{V}_i = \frac{۳/۱ - ۰/۷}{۳/۰۴} = ۰/۷۹\ \text{V}$$

فرض کنیم مطابق شکل (الف ۲۹-۴) $\hat{V}_i$ را حدود ۰/۸ در نظر بگیریم و تحلیل این مسئله را کامل کنیم. جریان سیگنال در بیس، موجی مثلثی با مقدار نوک $\hat{I}_b$ به این صورت می‌باشد:

$$\hat{I}_b = \frac{\hat{V}_i}{R_{BB} + r_\pi} = \frac{۰/۸}{۱۰۰ + ۱/۰۹} = ۰/۰۰۸\ \text{mA}$$

بنابر شکل (ب ۲۹-۴)، این جریان موج مثلثی بر جریان سکون بیس I_B قرار خواهد داشت. ولتاژ بیس - امیتر شامل مؤلفهٔ موج مثلثی خواهد بود که روی ولتاژ dc بیس امیتر که تقریباً ۰/۷ V است، قرار گرفته است. مقدار نوک این موج مثلثی برابر خواهد بود با:

$$\hat{V}_{be} = \hat{V}_i \frac{r_\pi}{r_\pi + R_{BB}} = ۰/۸ \times \frac{۱/۰۹}{۱۰۰ + ۱/۰۹} = ۸/۶\ \text{mA}$$

مجموع v_{BE} در شکل (پ ۲۹-۴) ترسیم گشته است.

جریان سیگنال در کلکتور به شکل مثلثی خواهد بود که مقدار نوک آن $\hat{I}_c$ به صورت زیر بدست می‌آید:

$$\hat{I}_c = \beta \hat{I}_b = ۱۰۰ \times ۰/۰۰۸ = ۰/۸\ \text{mA}$$

مطابق شکل (ت ۲۹-۴)، این جریان بر جریان سکون کلکتور، یعنی I_C (= ۲/۳ mA) قرار خواهد داشت.

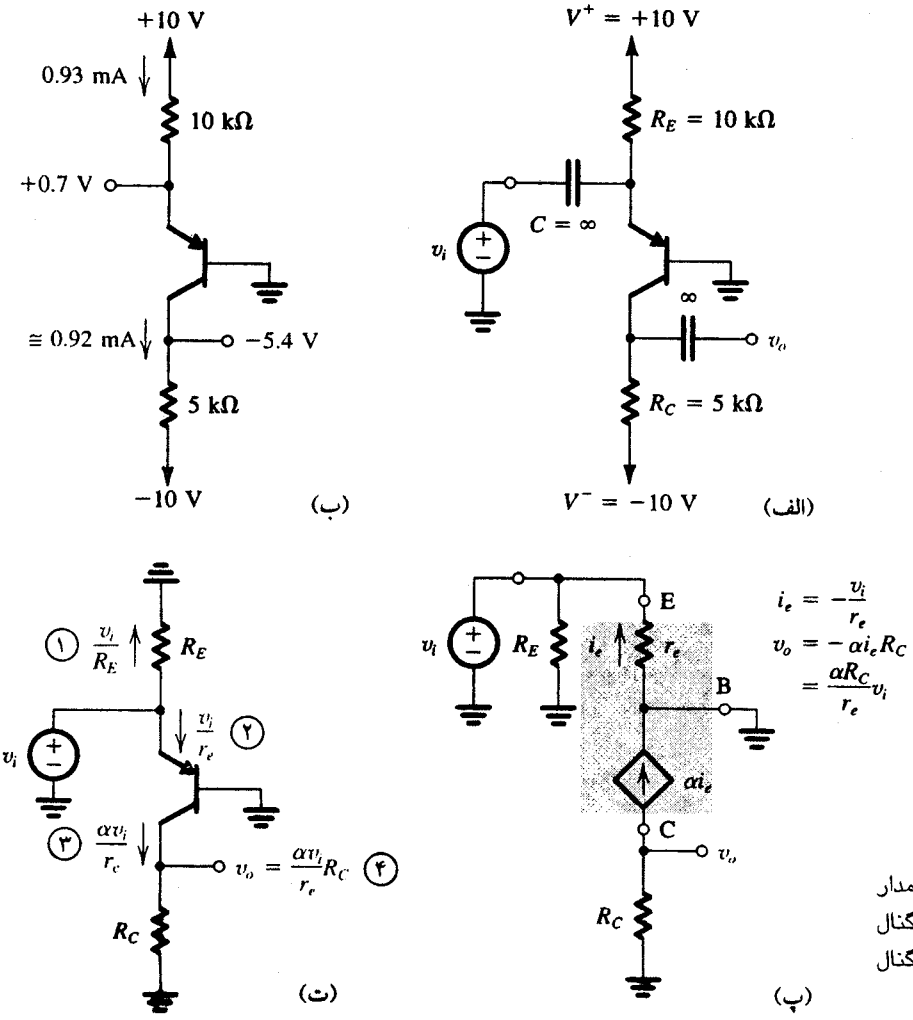
سرانجام، ولتاژ سیگنال در کلکتور از ضرب v_i در بهره ولتاژ می‌تواند بدست آید؛ یعنی،

$$\hat{V}_c = ۳/۰۴ \times ۰/۸ = ۲/۴۳\ \text{V}$$

شکل (ت ۲۹-۴) ترسیمی را از مجموع ولتاژ کلکتور در برابر زمان نشان می‌دهد. به وارونگی فاز بین سیگنال ورودی v_i و سیگنال خروجی v_c، توجه کنید. همچنین توجه کنید که اگرچه حداقل ولتاژ کلکتور کمی کمتر از ولتاژ بیس است، ترانزیستور در حالت فعال باقی خواهد ماند. در حقیقت، BJT ها در حالت هدایت باقی می‌مانند حتی اگر پیوند بیس - کلکتور آنها با ولتاژی حدود ۰/۳ یا ۰/۴ V بایاس مستقیم شود.

مثال ۱۱-۴

مدار شکل (الف ۳۰-۴) را تحلیل می‌کنیم تا بهره ولتاژ و شکل موجهای سیگنال در نقاط مختلف بدست آید. خازن C، یک خازن انتقال (کوپلینگ) است که برای انتقال سیگنال v_i به امیتر و سدکردن ولتاژ dc از آن استفاده می‌شود. با این ترتیب، ولتاژهای dc بایاس V^+ و V^- که از طریق R_E و R_C می‌رسد، با رسیدن سیگنال v_i دچار اشکال نخواهد شد. برای این مثال، مقدار C بی‌نهایت فرض شده



شکل ۳۰-۴. مثال ۱۱-۴ (الف) مدار (ب) تحلیل dc (پ) مدل سیگنال کوچک (ت) انجام تحلیل سیگنال کوچک بطور مستقیم روی مدار

است به این معنی که در فرکانس‌های دلخواه ما به عنوان یک مدار اتصال کوتاه عمل می‌کند.

حل:

حل مسئله را با تعیین نقطه کار dc به صورت زیر آغاز می‌کنیم: (شکل ب ۳۰-۴ را ببینید):

$$I_E = \frac{+10 - V_E}{R_E} \cong \frac{+10 - 0/7}{10} = 0/93\ \text{mA}$$

با فرض اینکه $\beta = 100$ باشد، در اینصورت $\alpha = 0/99$ و

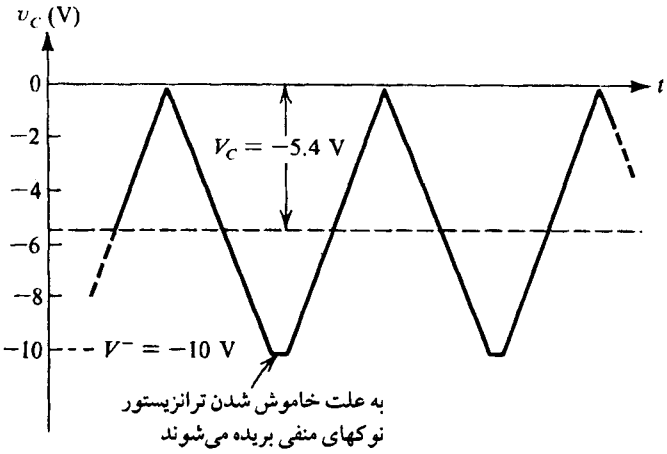
$$I_C = 0/99 I_E = 0/92\ \text{mA}$$

$$V_C = -10 + I_C R_C$$

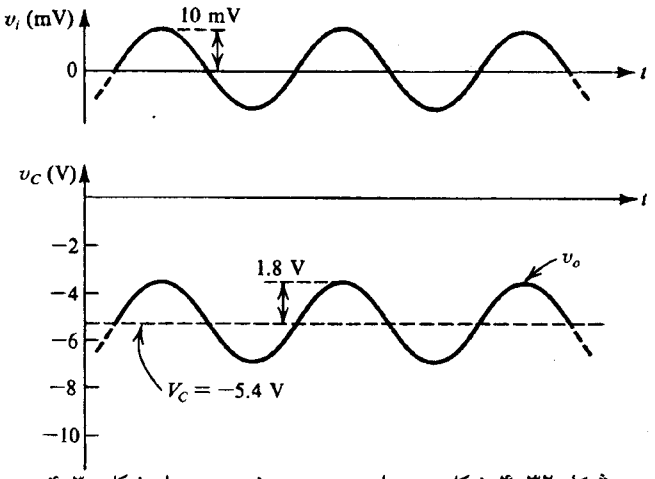
$$= -10 + 0/92 \times 5 = -5/4\ \text{V}$$

بنابراین ترانزیستور در حالت هدایت (فعال) است. علاوه بر این، سیگنال کلکتور می‌تواند از $-5/4$ V تا صفر (که ولتاژ بیس است) نوسان کند بی‌آنکه ترانزیستور به حالت اشباع برود. البته، $5/4$ V نوسان منفی در ولتاژ کلکتور (در تئوری) سبب می‌شود تا ولتاژ کلکتور $-10/8$V باشد که منفی‌تر از ولتاژ منبع تغذیه است. به این ترتیب چنانچه سعی کنیم یک ورودی داشته باشیم تا یک چنین سیگنال خروجی بدست آید، همانگونه که در شکل (۳۱-۴) مشاهده می‌شود ترانزیستور به حالت قطع خواهد رفت و نوک‌های منفی سیگنال خروجی برش خواهد خورد. البته، شکل موج شکل (۳۱-۴)، خطی نشان داده شده است (بجز برای نوک برش خورده)، یعنی اثر مشخصه $i_C - v_{BE}$ خطی درنظر گرفته نشده است. این صحیح نیست، زیرا چنانچه ترانزیستوری را به گونه‌ای راه‌اندازی کنیم تا برای نوک‌های منفی سیگنال به حالت قطع برود، در آنصورت همانگونه که بعداً خواهیم دید مطمئناً از حد سیگنال کوچک تجاوز کرده‌ایم.

اکنون به محاسبه بهره ولتاژ سیگنال کوچک می‌پردازیم. برای این کار منابع dc را حذف کرده و بجای BJT مدار معادل T شکل (ب ۲۷-۴) را قرار می‌دهیم دقت کنید که به علت زمین‌شدن بیس مدل T از



شکل ۳۱-۴. اعوجاج در سیگنال خروجی به علت خاموش شدن ترانزیستور. توجه کنید که فرض شده هیچ اعوجاجی به علت غیرخطی بودن مشخصه‌های ترانزیستور روی نمی‌دهد.



شکل ۳۲-۴. شکل موج‌های ورودی و خروجی مدار شکل ۳۰-۴

مدل هیبرید - π راحت‌تر است با وجود این نتایج یکسان می‌باشد.

شکل (پ ۳۰-۴) مدار معادل سیگنال کوچک تقویت‌کننده را نشان می‌دهد پارامترهای مدل عبارتند از:

$$\alpha = 0/99$$

$$r_e = \frac{V_T}{I_E} = \frac{25\ \text{mV}}{0/93\ \text{mA}} = 27\ \Omega$$

تحلیل مدار شکل (پ ۳۰-۴) برای بدست آوردن ولتاژ خروجی v_o و بهره ولتاژ $\frac{v_o}{v_i}$ به آسانی انجام شده و در شکل به نمایش درآمده است. نتیجه، عبارتست از

$$\frac{v_o}{v_i} = 183/3\ \text{V/V}$$

دقت کنید که بهره ولتاژ مثبت می‌باشد و این نشان دهنده آن است که خروجی هم فاز ورودی می‌باشد. این خاصیت برگرفته از این واقعیت است که سیگنال ورودی به جای آنکه به بیس اعمال گردد به امیتر داده می‌شود (آنگونه که در مثال ۹-۴ انجام شده بود) تأکید می‌کنیم که بهره مثبت ربطی به این مطلب ندارد که ترانزیستور استفاده شده در این مثال، از نوع pnp می‌باشد.

با فرض اینکه، بنابر شکل (پ ۳۰-۴)، سیگنال سینوسی شکل ورودی ۱۰ mV نوک باشد، در آنصورت مؤلفه سیگنال ولتاژ کلکتور مطابق شکل ۳۲-۴ دارای مقدار نوک زیر خواهد بود:

$$\hat{V}_c = 183/3 \times 0/01 = 1/833\ \text{V}$$

و ولتاژ کلکتور لحظه‌ای کل که در شکل ۳۲-۴ ب نشان داده شده است برابر با $v_C(t)$ خواهد بود.

بنابراین، همانگونه که انتظار می‌رود، ولتاژ سیگنال خروجی بوسیله ماکزیمم سیگنالی محدود می‌شود که می‌توانیم به ورودی اعمال کنیم بی‌آنکه مشکل اعوجاج غیرخطی را داشته باشیم.

انجام تحلیل سیگنال کوچک مستقیماً روی نمودار مداری

در بسیاری مواقع بایستی بجای BJT معادل سیگنال کوچک آن را قرار داده و مدار حاصل را تحلیل کرد همانگونه که ما در مثال بالا همین کار را

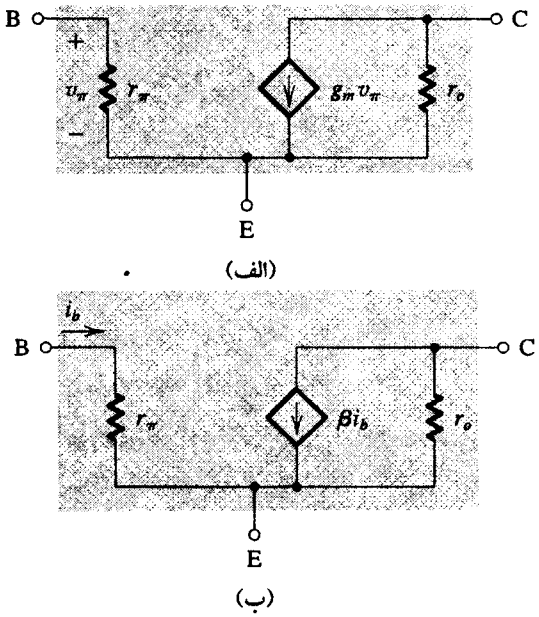
کردیم. این فرآیند مدون بویژه برای مبتدیان توصیه می‌شود. اما طراحان با تجربهٔ مدار تحلیل مرتبهٔ اول را مستقیماً روی مدار انجام می‌دهند. شکل (ت ۳۰-۴) این فرآیند را برای مداری که آن را تحلیل کردیم نشان می‌دهد. به خواننده توصیه می‌کنیم که مراحل فرآیند تحلیل مستقیم را دنبال کند. (مراحل شماره‌گذاری شده‌اند). تحلیل مستقیم دارای مزیت بسیار مهمی است و آن بوجودآوردن یک بینش در مورد انتقال سیگنال در مدار می‌باشد. این بینش می‌تواند قدرت تخمین طراح را بویژه در انتخاب آرایش مناسب برای کاربرد خواسته شده، افزایش دهد.

گسترش مدل هیبرید π با درنظرگرفتن اثر ارلی

اثر ارلی که در بخش (۵-۴) مورد بحث قرار گرفت باعث می‌شود جریان کلکتور علاوه بر وابستگی به v_{BE}، به v_{CE} نیز وابسته باشد. وابستگی آن به v_{CE} می‌تواند با یک مقاومت خروجی محدود در منبع جریان کنترل شده در مدل هیبرید π نمایش داده شود. همانطور که در شکل ۳۳-۴ نشان داده شده است. مقاومت خروجی r_o در معادله (۲۱-۴) تعریف شده و مقدار آن از رابطهٔ $r_o \cong \frac{V_A}{I_C}$ بدست می‌آید که در آن V_A ولتاژ ارلی و I_C جریان بایاس dc کلکتور است. دقت کنید در مدلهای شکل (۳۳-۴) v_{be} را v_π نامیده‌ایم که با نوشتار مدل هماهنگ باشد. حال سؤال این است که r_o بر عملکرد ترانزیستور بعنوان تقویت‌کننده چه اثری دارد. در مدار تقویت‌کننده‌ای که امیتر آن زمین شده است (مانند مدار شکل ۲۸-۴) r_o با R_C موازی می‌شود بنابراین اگر r_o را در مدار معادل شکل (پ ۲۸-۴) درنظر بگیریم خواهیم داشت

$$v_o = -g_m v_{be} (R_C // r_o)$$

بدین ترتیب بهره مقداری کاهش می‌یابد. مسلماً اگر $r_o \gg R_C$ باشد



شکل ۳۳-۴. مدل سیگنال کوچک هیبرید - π در دو نوع مقاومت r_o. توجه کنید $r_o = \left[\frac{\partial i_C}{\partial v_{CE}}\right]^{-1}_{v_{be}=0} = \frac{V_A}{I_C}$ که در آن V_A ولتاژ ارلی و I_C جریان بایاس dc کلکتور است دقت کنید که نام v_{be} برای هماهنگی با سایر نوشته‌ها به v_π تغییر یافته است

کاهش بهره قابل اغماض بوده و می‌توان از اثر r_o صرفنظر کرد. عموماً در چنین آرایشی اگر r_o از R_C ۱۰ بزرگتر باشد می‌توان از آن چشم پوشید. اگر امیتر ترانزیستور زمین نشده باشد وجود مقاومت r_o می‌تواند تحلیل را مشکل کند. ما در مورد r_o و درنظر گرفتن یا درنظر نگرفتن آن در اغلب موارد در این کتاب توضیحاتی می‌دهیم. البته اگر تحلیلهای دقیق کامپیوتری در این رابطه انجام شود به آسانی می‌توان r_o را درنظر گرفت (مانند برنامه SPICE)

خلاصه شاخصه‌های مدل

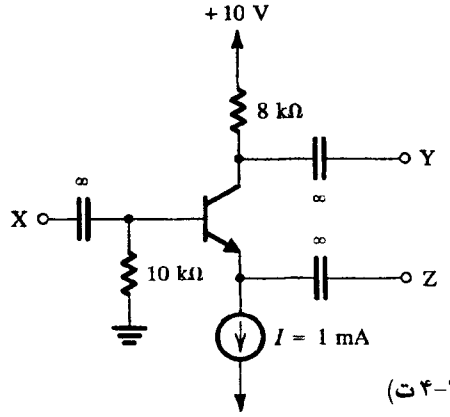
طراحی و تحلیل مدارهای تقویت کننده BJT بسیار ساده است اگر طراح روابط بین شاخصه‌های گوناگون مدل سیگنال کوچک را در اختیار داشته باشد. برای مراجعه آسان، این شاخصه‌ها در جدول ۳-۴ خلاصه شده است. اگرچه انتظار این است که بتوانیم این اطلاعات را در حافظه داشته باشیم.

جدول ۳-۴. روابط بین شاخصه‌های BJT سیگنال کوچک

مدل پارامترها در جمله جریان بایاس DC		
$g_m = \frac{I_C}{V_T}$	$r_e = \frac{V_T}{I_E} = \alpha\left(\frac{V_T}{I_C}\right)$	
$r_\pi = \frac{V_T}{I_B} = \beta\left(\frac{V_T}{I_C}\right)$	$r_o = \frac{V_A}{I_C}$	
در جمله g_m :		
$r_e = \frac{\alpha}{g_m}$	$r_\pi = \frac{\beta}{g_m}$	
در جمله r_e :		
$g_m = \frac{\alpha}{r_e}$	$r_\pi = (\beta + 1)r_e$	$g_m + \frac{1}{r_\pi} = \frac{1}{r_e}$
رابطه بین α و β		
$\beta = \frac{\alpha}{1-\alpha}$	$\alpha = \frac{\beta}{\beta+1}$	$\beta + 1 = \frac{1}{1-\alpha}$

تمرین

۲۴-۴ ترانزیستور شکل (۲۴-۴ ت) با منبع جریان ثابت $I = 1$ mA بایاس شده و در آن $\beta = 100$ و $V_A = 100$ می‌باشد. (الف) ولتاژهای dc را در بیس، امیتر و کلکتور بدست آورید.
(ب) g_m، r_π و r_o را بدست آورید.
(پ) اگر پایانه Z به زمین، X به منبع سیگنال v_s با مقاومت منبع $R_s = 2k\Omega$ و Y به مقاومت بار $8\ k\Omega$ متصل شود از مدل هیبری π شکل (الف ۳۳-۴) استفاده کرده، مدار معادل سیگنال کوچک تقویت‌کننده را رسم کنید. (توجه کنید که بجای منبع جریان I بایستی مدار باز قرار گیرد). بهرهٔ ولتاژ v_y / v_i را محاسبه کنید. اگر از r_o صرفنظر شود میزان خطا در تخمین بهره چقدر است؟



شکل (۲۴-۴ ت)

جواب. (الف) ۰/۱ V ، −۰/۸ V ، +۲ V (ب) ۴۰ mA/V، ۲/۵kΩ، ۱۰۰ kΩ ، (پ) −۷۷ V/V ، +۳/۹ % ❑

۹-۴ تحلیل ترسیمی

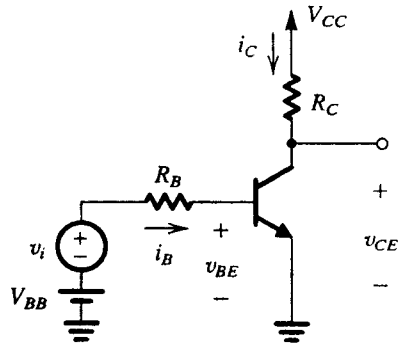
تحلیل ترسیمی هرچند در تحلیل و طراحی اغلب مدارهای ترانزیستوری ارزش عملی کمی دارد اما از نظر تجسم و تصویرکردن کار یک مدار تقویت‌کننده ترانزیستوری ساده، گویا و مفید است. مدار شکل ۳۴-۴ را که قبلاً در مثال ۹-۴ تحلیل کرده‌ایم درنظر بگیرید. تحلیل ترسیمی عملکرد مدار به صورت زیر انجام می‌شود: نخست باید جریان بایاس بیس I_B را با صفرکردن سیگنال ورودی v_i و بکارگیری روشهای گفته شده در شکل ۳۵-۴ (که قبلاً در تحلیل مدارهای دیودی در فصل ۳ استفاده کردیم) محاسبه کرد. سپس به مشخصه‌های $i_C - v_{CE}$ شکل (۳۶-۴) مراجعه می‌کنیم. دقت کنید هریک از منحنی مشخصه‌ها، از محاسبه جریان i_C، به ازای جریان بیس i_B ثابت با تغییر v_{CE} بدست آمده است. این مجموعه از منحنی مشخصه‌های $i_C - v_{CE}$ با مجموعهٔ نشان داده شده در شکل ۱۵-۴ که در آنها v_{BE} ثابت است، متباین می‌باشند.

با محاسبه جریان بایاس بیس I_B، می‌دانیم نقطه کار روی منحنی i_C-v_{CE} منطبق بر این مقدار قرار می‌گیرد (منحنی $i_B = I_B$). محل قرار گرفتن آن بر منحنی از مدار کلکتور حاصل می‌شود. بطور مشخص در مدار کلکتور داریم:

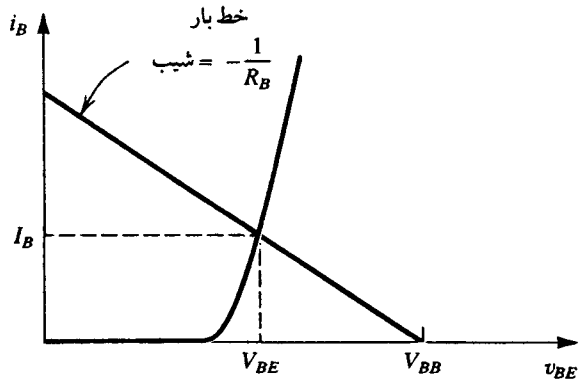
$$v_{CE} = V_{CC} - i_C R_C$$

که می‌توان آن را به شکل زیر نوشت:

$$i_C = \frac{V_{CC}}{R_C} - \frac{1}{R_C} v_{CE}$$



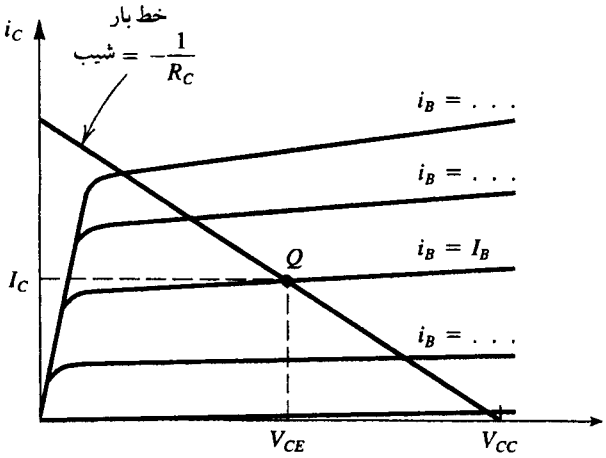
شکل ۳۴-۴. مداری که عملکرد آن بطور ترسیمی تحلیل شد.



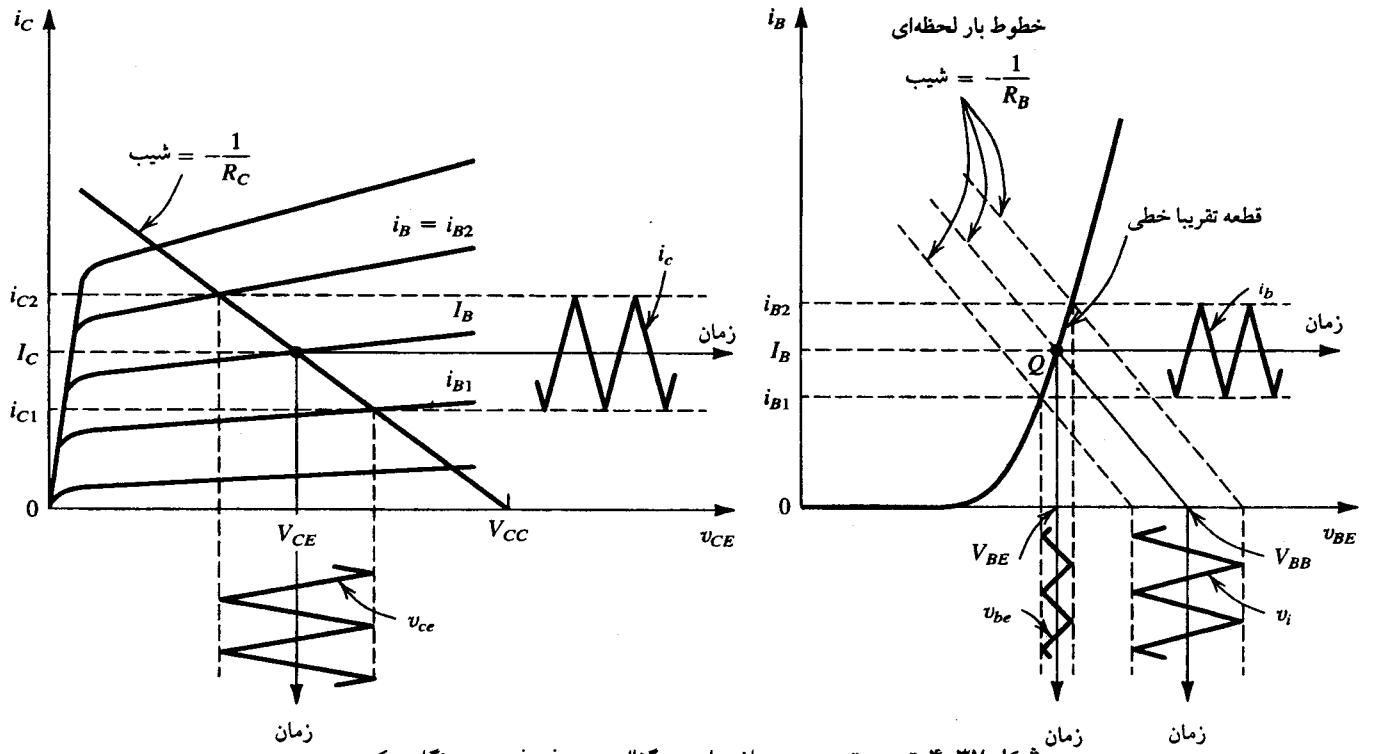
شکل ۳۵-۴. روش ترسیمی برای تعیین جریان dc بایاس در مدار شکل ۳۴-۴.

معادله بالا نمایشگر یک رابطه خطی بین v_{CE} و i_C می‌باشد. این رابطه توسط یک خط راست همانطور که در شکل (۳۶-۴) نشان داده شده به نمایش درآمده است. از آنجا که R_C می‌تواند به عنوان بار تقویت‌کننده درنظر گرفته شود خط راست با شیب $-1/R_C$ ، خط بار نامیده می‌شود نقطه بایاس dc ، یا نقطه کار Q ، محل برخورد خط بار و منحنی i_C-v_{CE} منطبق بر جریان بیس I_B می‌باشد. از مختصات نقطه Q جریان dc کلکتور I_C و ولتاژ dc کلکتور - امیتر V_{CE} بدست می‌آید. دقت کنید برای کار تقویت‌کننده Q باید در ناحیه فعال، و علاوه بر آن درست در وسط ناحیه فعال بوده تا امکان نوسان قابل قبول سیگنال هنگام اعمال سیگنال v_i وجود داشته باشد.

شکل ۳۷-۴ حالتی را نشان می‌دهد که سیگنال v_i اعمال شده است. ابتدا شکل (الف ۳۷-۴) را درنظر بگیرید که در آن سیگنال v_i مثلثی بوده و به ولتاژ dc ، V_{BB} اضافه می‌شود. به ازای هر مقدار لحظه‌ای $V_{BB}+v_i(t)$ می‌توان یک خط راست با شیب $-1/R_B$ رسم کرد. این «خط بار لحظه‌ای» منحنی $i_B - v_{BE}$ را در نقطه‌ای که مختصات آن مقادیر لحظه‌ای کل i_B و



شکل ۳۶-۴. روش ترسیمی برای تعیین جریان dc ی کلکتور I_C و ولتاژ کلکتور - امیتر V_{CE} در مدار شکل ۳۴-۴



شکل ۳۷-۴. تعیین ترسیمی مولفه‌های سیگنال v_{be}، i_b، i_c و v_{ce} هنگامی که مؤلفه سیگنال v_i به ولتاژ dc ی V_{BB} افزوده می‌شود. (شکل ۳۴-۴ را ببینید)

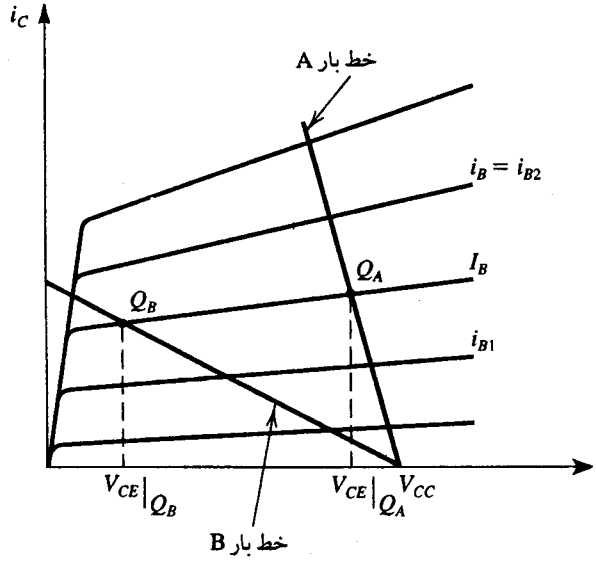
v_{BE} منطبق بر مقدار مربوطهٔ $V_{BB} + v_i(t)$ می‌باشد قطع می‌کند. برای مثال شکل (الف ۳۷-۴) خطوط مستقیم منطبق بر $v_i = 0$، v_i در نقطه نوک مثبت آن و v_i در نقطه نوک منفی آن را نشان می‌دهد. اکنون اگر دامنهٔ v_i بقدر کافی کوچک باشد که نقطه کار لحظه‌ای منجر به خطی‌شدن قسمتی از منحنی $i_B - v_{BE}$ سیگنالهای i_b و v_{be} حاصل، همانگونه که در شکل نشان داده شده مثلثی خواهند بود. البته این تقریب سیگنال کوچک است. خلاصه اینکه ساختار ترسیمی شکل (الف ۳۷-۴) می‌تواند برای محاسبه مقدار لحظه‌ای کل i_B منطبق بر هریک از مقادیر v_i مورد استفاده قرار گیرد.

در مرحله بعد به مشخصه‌های $i_C - v_{CE}$ شکل (ب ۳۷-۴) مراجعه می‌کنیم. نقطهٔ کار، همانطور که i_B در محدودهٔ مقادیر لحظه‌ای خود که در شکل الف ۳۷-۴ مشخص شده تغییر می‌کند، روی خط بار با شیب $-1/R_C$ جابجا می‌شود. برای مثال هنگامی که v_i در نقطه نوک مثبت خود است، $i_B = 2\,i_B$ (از شکل الف ۳۷-۴) بوده و نقطه کار لحظه‌ای در صفحه $i_C - v_{CE}$ در محل برخورد خط بار و منحنی مربوط به $i_B = i_{B2}$ می‌باشد. با این روش می‌توان شکل موجهای i_C و v_{CE} و بنابراین مؤلفه‌های i_c و v_{ce} سیگنال را همانطور که در شکل (ب ۳۷-۴) به نمایش درآمده است، تعیین نمود.

تأثیر وضعیت نقطه بایاس بر نوسان مجاز سیگنال

وضعیت نقطه بایاس dc در صفحه $i_C - v_{CE}$ بر ماکزیمم نوسان سیگنال مجاز در کلکتور تأثیر بسیاری دارد. به شکل ب ۳۷-۴ مراجعه کنید و مشاهده کنید که نوک‌های مثبت v_{ce} نمی‌تواند فراتر از V_{CC} شود، مگر ترانزیستور به ناحیه قطع وارد شود. مشابه با آن، نوک‌های منفی v_{CE} نمی‌توانند کمتر از چند دهم ولت شوند مگر آنکه ترانزیستور به ناحیه اشباع وارد گردد. موقعیت نقطه بایاس در شکل ب ۳۷-۴ تقریباً نوسان مساوی سیگنال را در هر دو جهت مجاز می‌کند.

اکنون شکل ۳۸-۴ را در نظر بگیرید. در اینجا خطوط متناسب با دو مقدار از R_C نشان داده شده است. خط A با مقدار کم R_C متناسب است و نقطه کار Q_A را بدست می‌دهد و در آن صورت مقدار V_{CE} خیلی نزدیک



شکل ۳۸-۴. تأثیر وضعیت نقطه بایاس بر نوسان مجاز سیگنال، خط بار A نقطه بایاس Q_A را بدست می‌دهدکه در آن V_{CE} متناظر با V_{CC} است و بنابراین تغییرات مثبت v_{CE} را محدود می‌سازد. در انتهای دیگر، خط بار B نقطه کاری بدست می‌دهد خیلی نزدیک به ناحیه اشباع و بنابراین تغییرات منفی v_{CE} را محدود می‌کند.

به V_{CC} است. در این صورت در این وضعیت تغییرات v_{ce} در جهت مثبت بطور جدی محدود می‌شود. در این وضعیت، گفته می‌شود که "فضای بالا دست" برای تغییر v_{ce} در جهت مثبت کافی نیست. از سوی دیگر، خط B با R_C بزرگ بدست می‌آید. نقطه بایاس Q_B روی آن است که V_{CE} آن خیلی کم می‌باشد. اگرچه فضای کافی برای تغییرات v_{ce} در جهت مثبت موجود است، اما تغییرات منفی سیگنال بطور جدی با نزدیک شدن به ناحیه اشباع محدود می‌شود (فضای پایین دست به قدر کافی زیاد است). مسلماً باید به دنبال وضعیتی بین این دو باشیم.

تمرینها

۴-۲۵ شیب منحنی $i_B - v_{BE}$ در نقطه بایاس بر حسب پارامترهای مدل مدار معادل هیبرید - π چیست؟ عبارتی برای شیب بر حسب جریان بایاس dc، I_B، بیابید.

جواب. I_B / V_T؛ $1/r_\pi$

۴-۲۶ مدارشکل ۴-۳۴ را با $V_{BB}=1/7V$ ، $R_B=100k\Omega$ ، $V_{CC}=10V$، $R_C = 5\ k\Omega$ و $\beta = 100$ برای ترانزیستور درنظر بگیرید. سیگنال ورودی v_i یک موج مثلثی با مقدار نوک تا نوک ۰/۴V است. با مراجعه به شکل (۴-۳۷) و استفاده از ساختار ترسیمی نشان داده شده به سؤالات زیر پاسخ دهید.

(الف) اگر $V_{BE} = 0/7\ V$ باشد، I_B را پیداکنید. (ب) با فرض اینکه کار در قسمت خطی منحنی $i_B - v_{BE}$ باشد. عکس شیب آن را بدست آورید. (از نتایج تمرین ۴-۲۵ استفاده کنید). (پ) مقادیر تقریبی دامنهٔ نوک تا نوک i_b و v_{be} را بدست آورید (ت) با فرض اینکه منحنی‌های $i_C - v_{CE}$ افقی باشد (یعنی چشم‌پوشی از اثر ارلی) I_C و V_{CE} را پیداکنید.

(ث) دامنهٔ نوک تا نوک i_c و v_{ce} را بدست آورید. (ج) بهرهٔ ولتاژ این تقویت‌کننده را پیداکنید.

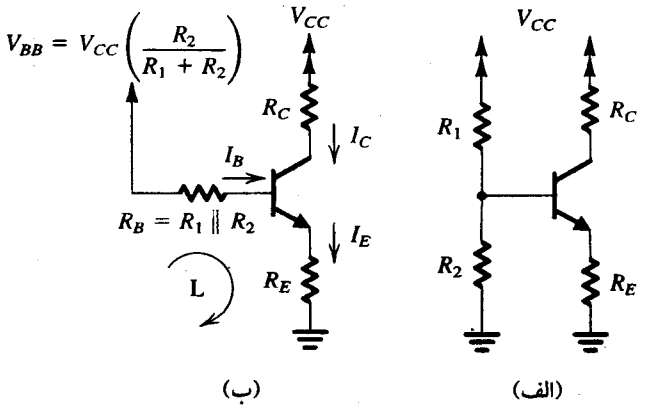
جواب. (الف) $10\ \mu A$ (ب) $2/5\ k\Omega$ (پ) $4\ \mu A$ و $10\ mV$ (ت) $1\ mA$ و $5\ V$ (ث) $0/4\ mA$ و $2\ V$ (ج) $-5\ V/V$ ❑

۴-۱۰ بایاس BJT در طراحی مدار مجزا

مشکل بایاس در آن است که یک جریان dc ثابت در امیتر BJT برقرار شود. این جریان بایستی قابل محاسبه و پیش‌بینی باشد و نسبت به تغییرات دما و تغییر زیاد مقدار β که در بین ترانزیستورهای از یکنوع با آن مواجه می‌شویم، بی‌تأثیر باشد. در این بخش راه‌حلهای مشکل بایاس ترانزیستور در طراحی مدارات مجزا را بررسی می‌کنیم. روشهای بایاس در طراحی مدار مجتمع در فصل ۶ مورد بررسی قرار می‌گیرند.

روش بایاس با استفاده از یک منبع تغذیه

شکل (الف ۴-۳۹) متداولترین طریقه مورد استفاده در بایاس یک تقویت‌کننده ترانزیستوری را نشان می‌دهد چنانچه فقط یک منبع تغذیه در دسترس باشد. بیس ترانزیستور، با کسری از ولتاژ منبع V_{CC} بوسیله مقاومت‌های تقسیم‌کننده ولتاژ R_1 و R_2 بایاس می‌گردد. علاوه بر این،



شکل ۴-۳۹. بایاس اصولی BJT ها با استفاده از یک منبع تغذیه (الف) مدار (ب) مدار با مقسم ولتاژ که معادل تونن را که به جای بیس قرارداده شده تغذیه می‌کند.

مقاومت R_E به امیتر متصل شده است.

شکل (ب ۴-۳۹) همان مدار را نشان می‌دهد که شبکه تقسیم ولتاژ با معادل تونن آن جایگزین شده است:

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} \qquad (۴-۵۱)$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} \qquad (۴-۵۲)$$

جریان I_E با نوشتن معادلهٔ حلقه کیرشهف برای حلقه بیس - امیتر - زمین می‌تواند تعیین گردد و با جانشین‌کردن $I_B = I_E / (\beta + 1)$ داریم:

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B / (\beta + 1)} \qquad (۴-۵۳)$$

برای آنکه I_E بی‌تأثیر از تغییرات β و دما باشد، مدار را طوری طراحی می‌کنیم که دو شرط زیر را دربرداشته باشد:

$$V_{BB} \gg V_{BE} \qquad (۴-۵۴)$$

$$R_E \gg \frac{R_B}{\beta + 1} \qquad (۴-۵۵)$$

شرط (۴-۵۴) بیانگر آن است که تغییرات کوچک در V_{BE} (حدود $0/7\ V$) محصور در مقدار بسیار بزرگتر V_{BB} است. اما اینجا یک محدودیت وجود دارد، V_{BB} تا چه حد می‌تواند بزرگ باشد: برای یک منبع با ولتاژ V_{CC}، این ولتاژ بالاترین حد V_{BB} و کمترین آن مجموع ولتاژهای افت کرده روی R_C و پیوند کلکتور - بیس (V_{CB}) می‌باشد. از طرف دیگر می‌خواهیم ولتاژ افت کرده روی R_C تا حد امکان زیاد باشد که در نتیجهٔ آن بهرهٔ ولتاژ بالایی بدست آید و امکان نوسان سیگنال زیاد باشد (قبل از قطع‌شدن ترانزیستور). همچنین مایلیم V_{CB} (یا V_{CE}) بزرگ باشد تا امکان نوسان سیگنال (قبل از اشباع‌شدن ترانزیستور) زیاد باشد. به این ترتیب مانند هر طراحی دیگر، با یک سری خواسته‌های متناقض مواجهیم و حل مسئله بایستی با توجه به همه شرایط صورت گیرد. با یک محاسبه ساده، با مقدار

V_{BB} تقریباً $\frac{V_{CC}}{3}$، V_{CB} (یا V_{CE})، تقریباً $\frac{V_{CC}}{3}$ و $I_C R_C$ تقریباً $\frac{V_{CC}}{3}$ بدست می‌آید.

شرط (۴-۴۸)، تأثیرناپذیری I_E را نسبت به تغییرات β بیان می‌کند و این با انتخاب یک R_B کوچک انجام می‌گیرد. این امر به نوبه خود با استفاده از مقادیر کوچک برای R_1 و R_2 به معنی آن است که جریان زیادتری از منبع تغذیه کشیده می‌شود و بطور معمول مقاومت ورودی ناچیز تقویت‌کننده بدست می‌آید که این در امر طراحی یکی از مسائل اساسی است. لازم به توجه است که شرط (۴-۴۸) بیانگر آن است که می‌خواهیم ولتاژ بیس مستقل از مقدار β باشد و فقط به کمک تقسیم‌کننده ولتاژ تعیین گردد. مسلماً این زمانی امکانپذیر است که جریان در تقسیم‌کننده بزرگتر از جریان بیس باشد. بطور مثال، R_1 و R_2 را طوری انتخاب می‌کنند که جریان آنها در گستره I_E تا $0/1\ I_E$ باشد.

با نگاهی عمیق‌تر به مدار شکل (الف ۳۸-۴) می‌توان دریافت که R_E با عمل فیدبک باعث پایداری جریان امیتر (و بنابراین کلکتور) می‌شود. این مطلب را درنظر بگیرید که جریان امیتر به عللی افزایش یابد، ولتاژ افت کرده روی R_E و بنابراین V_E نیز افزایش می‌یابد. اکنون اگر ولتاژ بیس بوسیله مقسم ولتاژ R_1 و R_2 تعیین شود و این در صورتی است که R_B کوچک باشد، افزایش V_E باعث کاهش در V_{BE} می‌شود. این امر منجر به کاهش جریان کلکتور (و امیتر) می‌شود که این تغییر در جهت مخالف با فرض اولیه می‌باشد. مبحث فیدبک منفی را در فصل ۸ رسماً بررسی خواهیم کرد.

مثال ۱۲-۴

می‌خواهیم شبکه بایاس تقویت‌کننده شکل (۳۹-۴) را طوری طراحی کنیم تا با استفاده از یک منبع تغذیه $V_{CC} = +12\ V$ در آن جریان $I_E = 1\ mA$ ایجاد شود.

حل:

از قانون سرانگشتی بالا پیروی کرده و یک سوم ولتاژ منبع تغذیه را در دو سر R_2 و یک سوم دیگر آن را بر R_C افت می‌دهیم، یک سوم باقیمانده برای امکان نوسان سیگنال در کلکتور می‌باشد. بنابراین:

$$V_B = +4\ V$$

$$V_E = 4 - V_{BE} \cong 3/3\ V$$

و R_E از رابطه زیر تعیین می‌گردد:

$$R_E = \frac{V_E}{I_E} = 3/3\ k\Omega$$

از مبحث بالا، جریان تقسیم‌کننده ولتاژ ($0/1\ I_E$) را برمی‌گزینیم. با نادیده انگاشتن جریان بیس، داریم:

$$R_1 + R_2 = \frac{12}{0/1\ I_E} = 120\ k\Omega$$

$$\frac{R_2}{R_1 + R_2} V_{CC} = 4V$$

به این ترتیب $R_2 = 40\ k\Omega$ و $R_1 = 80\ k\Omega$ است.

در این‌جا، تخمین دقیقتر I_E با توجه به صفر نبودن جریان بیس، جالب است. با استفاده از معادله (۵۳-۴) و این فرض که β برابر با ۱۰۰ درنظر گرفته شده است، بدست می‌آید:

$$I_E = \frac{3/3}{3/3 + 0/267} = 0/93\ mA$$

به این ترتیب، با طراحی به کمک معادلات دقیق مقداری بدست آورده‌ایم که بسیار نزدیک به ۱ mA دلخواه ماست. البته، از آنجا که عمل ما بر اساس اولین صورت مدل‌ها می‌باشد، نیازی به تلاش برای بدست آوردن مقادیر دقیقتر از ۵% یا ۱۰% نمی‌باشد.

لازم به توجه است که اگر ما از کشیدن جریان زیاد از منبع تغذیه خشنودیم و چنانچه آماده‌ایم تا مقاومت ورودی تقویت‌کننده را بپذیریم، در آنصورت ممکن است از یک جریان تقسیم‌کننده ولتاژ معادل با I_E استفاده کنیم و در نتیجه $R_1 = 8\ k\Omega$ و $R_2 = 4\ k\Omega$ می‌باشد. اکنون به مداری می‌پردازیم که از مقادیر اخیر برای طراحی ۲ استفاده شده است که مقدار واقعی I_E در آن خواهد بود:

$$I_E = \frac{3/3}{3/3 + 0/026} \cong 1\ mA$$

مقدار R_C از رابطه زیر می‌تواند تعیین گردد:

$$R_C = \frac{12 - V_C}{I_C}$$

بنابراین برای طراحی ۱ داریم:

$$R_C = \frac{12 - 8}{0/99 \times 0/93} = 4/34\ k\Omega$$

در صورتیکه برای طراحی ۲ داریم:

$$R_C = \frac{12 - 8}{0/99 \times 1} = 4/04\ k\Omega$$

برای سهولت کار برای هر دو طرح از $R_C = 4\ k\Omega$ استفاده می‌کنیم.

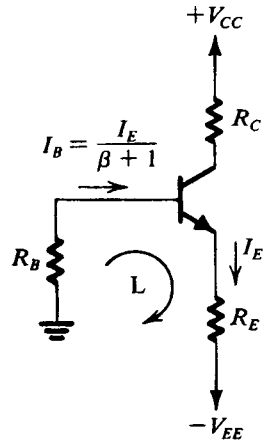
تمرین

۴-۲۷ برای طرح ۱ در مثال ۱۲-۸، گستره موردنظر I_E را محاسبه کنید. اگر βی ترانزیستور در محدود ۵۰ تا ۱۵۰ باشد. گسترهٔ I_E را بر حسب درصد مقدار اسمی آن ($I_E = 1\ mA$) برای $\beta = \infty$ بیان کنید. محاسبه را برای طرح ۲ تکرار کنید.

جواب. برای طراحی ۱، ۰/۸۶ تا ۰/۹۵ mA، گسترهٔ ۹%، برای طراحی ۲، ۰/۹۸ تا ۰/۹۹۵ mA، گستره ۱/۱ % ❑

روش بایاس با استفاده از دو منبع تغذیه

چنانچه مطابق شکل (۴۰-۴) دو منبع تغذیه در دسترس باشد، روش ساده‌ای برای بایاس وجود خواهد داشت. از نوشتن معادله حلقه‌ای که با L



شکل ۴۰-۴. بایاس کردن BJT با استفاده از دو منبع تغذیه مقاومت R_B فقط هنگامی مورد نیاز است که سیگنالی به بیس اعمال شود. وگرنه می‌توان بیس را مستقیماً به زمین وصل کرد که نتیجه آن تقریباً عدم وابستگی جریان بایاس به β می‌باشد.

مشخص شده است، بدست می‌آید:

$$I_E = \frac{V_{EE} - V_{BE}}{R_E + R_B/(\beta + 1)} \qquad (۴-۵۶)$$

این معادله با معادله (۴-۵۳) یکسان می‌باشد با این تفاوت که V_{EE} جایگزین V_{BB} شده است. بنابراین دو شرط معادلات (۴-۵۴) و (۴-۵۵) در اینجا نیز بکار رفته است. دقت کنید که اگر بیس ترانزیستور مورد استفاده زمین شده باشد (یعنی در آرایش بیس مشترک باشد که در بخش بعدی درباره آن بحث خواهد شد)، در آنصورت R_B می‌تواند بطور کلی حذف شده تلقی شود. از سوی دیگر، چنانچه سیگنال ورودی به بیس کوپل (تزویج) گردد، در آنصورت R_B مورد نیاز است.

تمرین

ط ۲۸-۴ از روش بایاس شکل (۴-۴۰) برای یک تقویت‌کننده بیس مشترک استفاده شده است. مدار را به گونه‌ای طراحی کنید تا جریان امیتر ۱ mA باشد و ماکزیمم نوسان سیگنال در کلکتور برابر ۲ V ± باشد. از منابع تغذیه ۱۰ V + ، ۵ V − استفاده کنید.

جواب. $R_B = ۰$ ، $R_E = ۴/۳\ k\Omega$ ؛ $R_C = ۸\ k\Omega$ ❑

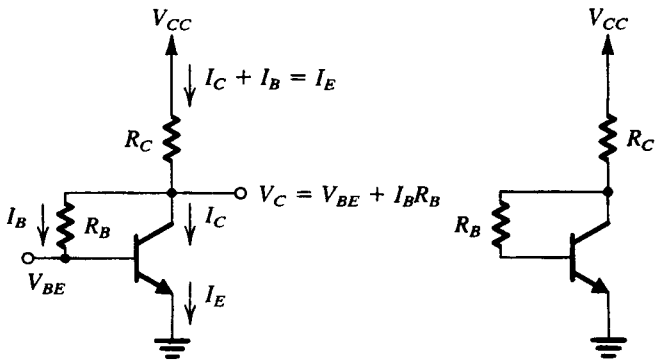
یک روش دیگر بایاس‌کردن

شکل (الف ۴-۴۱) یک روش ساده اما مؤثر بایاس‌کردن را که برای تقویت‌کننده‌های امیتر مشترک مناسب است ارائه می‌دهد. تحلیل مدار در شکل (ب ۴-۴۱) به نمایش درآمده است. می‌توانیم بنویسیم:

$$V_{CC} = I_E R_C + I_B R_B + V_{BE}$$

$$= I_E R_C + \frac{I_E}{\beta + ۱} R_B + V_{BE}$$

بنابراین جریان بایاس امیتر عبارتست از:



(ب) (الف)

شکل ۴۱-۴. (**الف**) یک روش بایاس کردن ساده مناسب برای تقویت کننده‌های امیتر مشترک (**ب**) تحلیل مدار (الف)

$$I_E = \frac{V_{CC} - V_{BE}}{R_C + R_B/(\beta + ۱)} \qquad (۴-۵۷)$$

برای بدست آوردن مقدار I_E که نسبت به تغییرات β مقاوم باشد، R_C را خیلی بزرگتر از $\frac{R_B}{(\beta + ۱)}$ انتخاب می‌کنیم. اما توجه کنید که مقدار R_B تعیین‌کننده میزان نوسان مجاز سیگنال در کلکتور است چون:

$$V_{CB} = I_B R_B = I_E \frac{R_B}{\beta + ۱} \qquad (۴-۵۸)$$

پایداری بایاس این مدار توسط عمل فیدبک منفی مقاومت R_B تأمین می‌شود. در مطالعهٔ فیدبک در فصل ۸ با مدارهایی از این نوع مواجه می‌شویم.

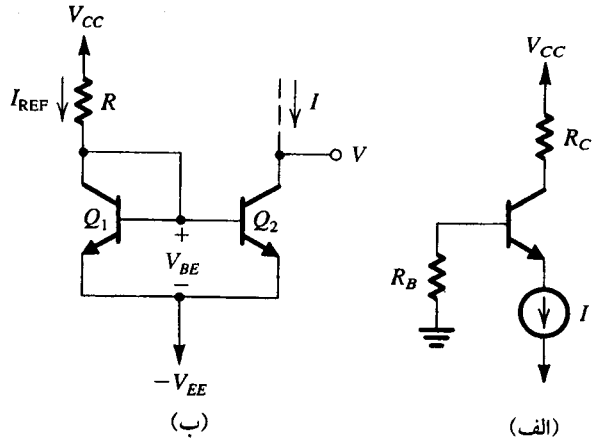
تمرین

ط ۲۹-۴ مدار شکل (۴-۴۰) را برای بدست آورن جریان امیتر dc ، ۱mA و اطمینان از نوسان سیگنال ۲V ± در کلکتور طراحی کنید. درنظر بگیرید $\beta = ۱۰۰$ و $V_{CC} = ۱۰$ باشد.

جواب. $R_B = ۲۰۲\ k\Omega$ ، $R_C = ۷/۳\ k\Omega$. توجه کنید اگر از مقاومتهای با استاندارد ۵% استفاده شود (ضمیمهٔ ج)، R_B را ۲۰۰kΩ و R_C را ۷/۵kΩ انتخاب می‌کنیم که این امر منجر به $I_E = ۰/۹۸mA$ و $V_C = ۲/۶۴V$ می‌شود. ❑

بایاس‌کردن با استفاده از منبع جریان

چنانکه در شکل الف ۴۲-۴ ملاحظه می‌شود BJT را می‌توان با استفاده از یک منبع جریان ثابت I بایاس نمود. این مدار دارای این مزیت است که جریان امیتر مستقل از مقادیر β و R_B است. بنابراین R_B می‌توان بزرگ انتخاب شودو موجب افزایش مقاومت ورودی بیس گردد بی آنکه تأثیر معکوس بر ثبات بایاس داشته باشد. علاوه بر آن، بایاس با منبع جریان چنانکه در فصل‌های بعد خواهیم دید منجر به سادگی طرح می‌شود.



شکل ۴۲-۴. (الف) بایاس کردن BJT با استفاده از منبع جریان ثابت I (ب) موازی برای استفاده از منبع جریان I

کاربرد ساده منبع جریان ثابت I در شکل ب ۴۲-۴ نشان داده شده است. در این مدار یک جفت ترانزیستور Q_1 و Q_2 یکسان بکار رفته است. که Q_1 با اتصال بیس و کلکتورش، مانند یک دیود کار می‌کند. اگر فرض کنیم Q_1 و Q_2 دارای βی بزرگ باشند، از جریان‌های بیس آنها می‌توان صرفنظر کرد، در نتیجه جریانی که از Q_1 می‌گذرد تقریباً برابر خواهد بود با:

$$I_{REF} = \frac{V_{CC} - (-V_{EE}) - V_{BE}}{R}$$

اکنون چون Q_1 و Q_2 دارای V_{BE} یکسانی می‌باشند جریان‌های کلکتور مساوی خواهد بود. در نتیجه

$$I = I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE}}{R}$$

با چشم پوشی از اثر ارلی در Q_2 تا وقتی این ترانزیستور در حالت فعال است، جریان کلکتور در همان مقدار که از این معادله بدست می‌آید ثابت می‌ماند. این کار وقتی انجام می‌شود که جریان کلکتور به اندازه $(-V_{EE} + V_{BE})$ از ولتاژ بیس بیشتر باشد، اتصال Q_1 و Q_2 در شکل ب ۴۲-۴ به **آینه جریان** شهرت دارد. در فصل ۶ درباره آینه جریان به تفصیل بحث خواهد شد.

تمرین

۴-۳۰ در مدار شکل (الف ۴۲-۴) با مقادیر $V_{CC}=10\,V$ ، $I=1\,mA$ ، $\beta=100$ ، $R_B = 100\,k\Omega$ ، $R_C = 7/5\,k\Omega$ ولتاژ dc را در بیس، امیتر و کلکتور بدست آورید. مقدار R را در مدار ب ۴۲-۴ بدست آورید وقتی $V_{EE}=10\,V$ است.

جواب. $-1\,V$ ، $-1/7\,V$ ، $+2/5\,V$ ؛ $19/3\,V$ ❑

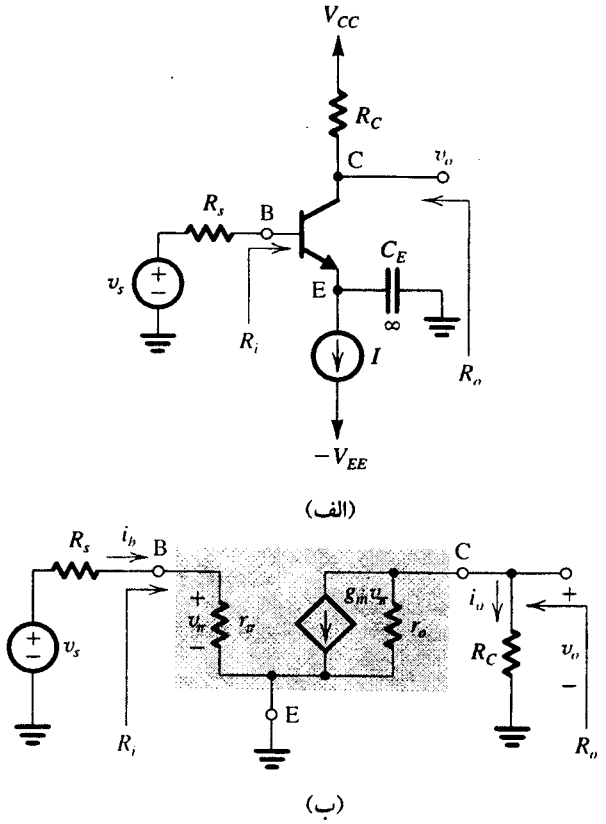
۴-۱۱ روشهای اساسی تقویت کننده BJT یک طبقه‌ای

در این بخش، سه روش اساسی تقویت کننده BJT را بررسی می‌کنیم: امیتر مشترک (CE)، بیس مشترک (CB)، و کلکتور مشترک (CC). برای انتقال سیگنال و به منظورهای دیگر، خازن بکار برده‌ایم. اگرچه این کار کاربرد مدارهای بدست آمده را در طراحی مدار مجزا محدود می‌کند، اما چنانکه در فصلهای بعد خواهیم دید، در مدارهای مجتمع کاربرد بیشتری خواهد یافت.

تقویت‌کننده امیتر مشترک

شکل الف ۴۳-۴ ساختار تقویت‌کنندگی امیتر مشرک را نشان می‌دهد. BJT با یک منبع جریان ثابت I بایاس شده است با این فرض که دارای مقاوت خروجی زیاد می‌باشد. خازن C_E امیتر را به زمین وصل می‌کند. ظرفیت آن به قدر کافی بزرگ فرض شده طوری که مقاومت واکنشی (واکتایی) آن در همه فرکانسها به قدرت کافی ناچیز می‌باشد، بنابراین C_E به واقع امیتر را به زمین اتصال کوتاه می‌کند وقتی سیگنال وجود دارد. با این کار در امیتر یک زمین سیگنال ایجاد می‌شود و جریان سیگنال که از CE به زمین راه می‌یابد در واقع از کنار مقاومت خروجی منبع جریان I گذر می‌کند. خازن CE، به همین دلیل **خازن کنارگذر** نامیده می‌شود.

منبع سیگنال ورودی v_s دارای مقاومت R_s می‌باشد و به بیس ترانزیستور وصل شده است. توجه کنید که v_s و R_s هم یک منبع سیگنال واقعی را نشان می‌دهد و هم معادل تونن مداری است که تقویت‌کننده امیتر مشترک را تغذیه می‌کند. سیگنال خروجی v_O از کلکتور گرفته می‌شود؛ v_O مؤلفه سیگنال ولتاژ کلکتور می‌باشد. برای فهم ساده‌تر مقاومت بار در اینجا



شکل ۴۳-۴. تقویت کننده امیتر مشترک (الف) مدار (ب) مدارمعادل که از جایگزینی BJT با مدل هیبرید π آن و حذف منبع dc بدست آمده است.

نشان داده نشده است؛ چنانچه مقاومت بار نشان داده می‌شد، می‌بایست به کلکتور وصل می‌شد بطور مستقیم و یا به وسیله یک خازن انتقال. مقاومت بار می‌بایست به موازات R_C ظاهر شود و بنابراین آن را می‌توان به مثابه جزئی از R_C در تحلیل‌های زیر به حساب آورد.

مشاهده می‌کنید که درگاه ورودی تقویت‌کننده CE، بیس و امیتر است. که امیتر از لحاظ سیگنال زمین محسوب می‌شود. و درگاه خروجی بین کلکتور و امیتر می‌باشد. از همین رو، نام امیتر مشترک یا **تقویت‌کننده با امیتر زمین شده** به آن داده شده است. مطلوب آن است که تقویت کننده CE را تحلیل کرده مقاومت ورودی R_i آن، بهره ولتاژ، v_o/v_s، بهره جریان i_o/i_b، و مقاومت خروجی R_O را تعیین کنیم. با توجه به مطالب قبلی، BJT را با مدل هیبرید π آن جایگزین کرده و منابع dc آن را حذف می‌کنیم تا مدار معادل تقویت‌کننده در شکل ب ۴۳-۴ بدست آید.

بررسی مدار شکل ب ۴۳-۴ نشان می‌دهد که مقاومت ورودی R_i از رابطه زیر بدست می‌آید:

$$R_i = r_\pi \qquad (۴-۵۹)$$

بخشی از v_s که در بیس ظاهر می‌شود v_π است

$$\frac{v_\pi}{v_s} = \frac{r_\pi}{R_s + r_\pi} \qquad (۴-۶۰)$$

در طرف خروجی، منبع جریان کنترل دار $(g_m v_\pi)$ مقاومت R_C را تغذیه می‌کند که به موازات r_o است. از اینرو

$$v_o = -(g_m v_\pi)(R_C // r_o)$$

بنابراین، بهره از بیس به کلکتور از رابطه زیر بدست می‌آید:

$$\frac{v_o}{v_\pi} = -g_m(R_C // r_o) \qquad (۴-۶۱)$$

از تلفیق معادله‌های (۴-۶۰) و (۴-۶۱) بهره ولتاژ کل A_v به صورت زیر بدست می‌آید:

$$A_v \equiv \frac{v_o}{v_s} = -\frac{\beta(R_C \parallel r_o)}{R_s + r_\pi} \qquad (۴-۶۲)$$

از معادله (۴-۶۲) درمی‌یابیم که اگر $R_s >> r_\pi$ باشد، بهره به شدت به β وابسته است. این وابستگی با کاهش R_s، کمتر می‌شود، و در نهایت به ازای $R_s << r_\pi$ بهره مستقل از β می‌شود، به این صورت که

$$A_v \cong -g_m(R_C \parallel r_o) \qquad (۴-۶۳)$$

در مدارهای مجزا، R_C معمولاً خیلی کوچکتر از r_o است، و r_o را از رابطه بالا می‌توان حذف کرد. چنانکه در فصل ۶ خواهیم دید، این وضعیت در تقویت‌کننده‌های مدار مجتمع وجود ندارد. در حقیقت، در آی‌سی‌ها می‌خواهیم بیشترین بهره ممکن را در مدار CE بدست آوریم. با قرار دادن $R_C = \infty$ در معادله (۴-۶۳)

$$A_{vmax} = -g_m r_o \qquad (۴-۶۴)$$

از جایگزینی $g_m = I_c/V_T$ و $r_o = V_o/I_C$ داریم:

$$A_{vmax} = -\frac{V_A}{V_T} \qquad (۴-۶۵)$$

که مستقل از جریان بایاس I_C است! بطور مثال، در فناوری یک I_C با $V_A = ۱۰۰V$، از معادله (۴-۶۵)، ماکزیمم بهره ولتاژ ۴۰۰۰V/V بدست می‌آید.

بهره جریان تقویت‌کننده CE از مدار شکل (ب ۴۳-۴) به دست می‌آید:

$$A_i \equiv \frac{i_o}{i_b} = \frac{-g_m v_\pi r_o/(r_o + R_C)}{v_\pi/r_\pi}$$

بنابراین

$$A_i = -\beta\frac{r_o}{r_o + R_C} \qquad (۴-۶۶)$$

به ازای $R_C << r_o$، $A_i = -\beta$ است که نتیجه عجیبی نیست زیرا β بهره جریان اتصال کوتاه امیتر مشترک $(R_C = ۰)$ است. سرانجام، مقاومت خروجی R_O با بررسی مدار (ب ۴۳-۴) به صورت شکل زیر بدست می‌آید. از قرار دادن $v_s = ۰$ می‌بینیم که $v_\pi = ۰$ و بنابراین

$$R_o = R_C \parallel r_o \qquad (۴-۶۷)$$

بطور خلاصه، تقویت‌کننده CE برای بدست آوردن بهره ولتاژ و جریان زیاد طراحی می‌شود. مقاومت ورودی آن مقدار متوسط و مقاومت خروجی آن بزرگ است (یک عیب). در تقویت‌کننده‌های چند طبقه به بهره زیاد، قسمت اعظم بهره ولتاژ معمولاً با استفاده از یک یا چند طبقه امیتر مشترک حاصل می‌شود. البته چنانکه در فصل ۷ خواهیم دید، تقویت‌کننده CE، در فرکانسهای بالا پاسخ نسبتاً ضعیفی دارد.

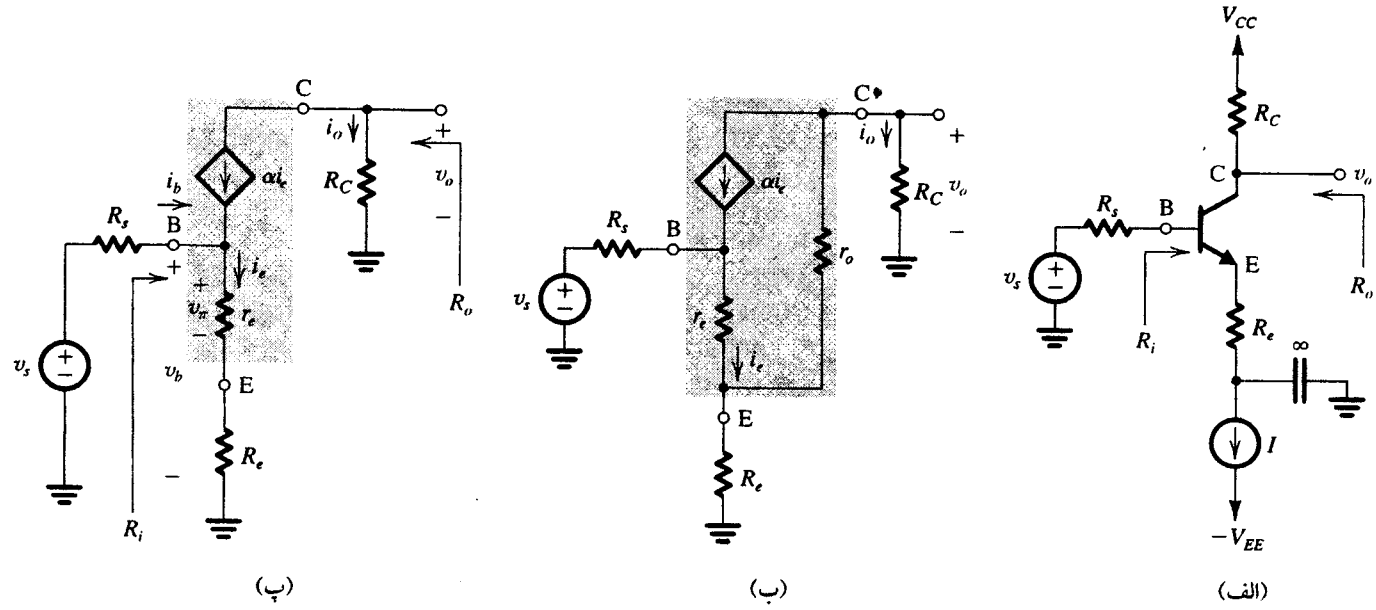
تمرین

۴-۳۱ در تقویت‌کننده CE شکل (الف ۴۳-۴)، فرض آن است که $I = ۱\ mA$، $R_C = ۵\ k\Omega$، $\beta = ۱۰۰$، $V_A = ۱۰۰V$ و $R_s = ۵k\Omega$ باشد. مقادیر R_i، A_v، A_i و R_o را بدست آورید. اگر خروجی تقویت‌کننده به یک بار مقاومتی $۵k\Omega$ وصل شود، مقدار جدید A_v را بدست آورید.
جواب. ۲/۵kΩ ؛ −۶۳/۵V/V ؛ −۹۵/۲A/A ؛ ۴/۷۶kΩ ؛ −۳۲/۵V/V ❑

تقویت‌کننده امیتر مشترک با مقاومتی در امیتر

وجود یک مقاومت در مسیر سیگنال بین امیتر و زمین، همانطور که در شکل الف ۴۴-۴ نشان داده شده به تغییرات قابل توجهی در مشخصه‌های تقویت‌کننده منجر می‌شود. این مقاومت یکی از مؤثرترین ابزارهای طراحی است که خواسته‌های ما را تأمین می‌کند

مدار شکل (الف ۴۴-۴) را با جایگزینی BJT با مدل سیگنال کوچک آن، می‌توان تحلیل نمود. اگرچه هر یک از مدلهای شکل ۲۶-۴ و ۲۷-۴ می‌تواند مورد استفاده قرار گیرد، امّا ساده‌ترین کاربردش، یکی از دو مدل T است. زیرا، یک مقاومت R_e در امیتر وجود دارد که به‌طور سری با مقاومت امیتر r_e در مدل T ظاهر می‌شود و با آن جمع می‌شود، و در حد قابل توجهی تحلیل را آسان می‌کند. ارزش این کار پس از انجام تحلیل مشخص می‌شود. حتی زمانی ارزشیابی آن بهتر خواهد شد که تحلیل با مدل هیبرید π انجام شود و کارهای زیادتری برای رسیدن به همان نتیجه



شکل ۴۴-۴. تقویت کننده امیتر مشترک با مقاومت R_e در امیتر. **(الف)** مدار **(ب)** مدار معادل که در آن BJT با مدل T آن جایگزین شده است. **(پ)** مدار (ب) بدون r_o

صورت گیرد.

از جایگزینی BJT با مدل T شکل (ب ۲۷-۴) که مقاومت r_o در خروجی کلکتور آن اضافه شده است تقویت‌کننده‌ای معادل شکل (ب ۴۴-۴) بدست می‌آید. متأسفانه، در مدار این تقویت‌کننده، r_o خروجی تقویت‌کننده را به ورودی متصل می‌کند. و بنابراین حالت یک طرفه بودن تقویت‌کننده را از بین برده تحلیل آن را در حد قابل ملاحظه‌ای مشکل می‌کند. البته، چون r_o بزرگ است، دخالت آن در تحلیل تأثیر کمی بر عملکرد تقویت‌کننده دارد. از اینرو r_o را حذف کرده، آنرا بر اساس مدارهای ساده شده‌ای مانند شکل (پ ۴۴-۴) تحلیل می‌کنیم.

می‌توان به کمک شبیه‌سازی کامپیوتری نتایج بدست آمده از حذف r_o را نزدیک کرد به زمانی که r_o در مدار باشد.

برای تعیین مقاومت ورودی R_i، از مدار شکل (پ ۴۴-۴) درمی‌یابیم که ولتاژ بیس از رابطه زیر بدست می‌آید:

$$v_b = i_e(r_e + R_e) \qquad (۴-۶۸)$$

و با استفاده از معادله گره در بیس، جریان بیس به صورت زیر بدست می‌آید:

$$i_b = (1 - \alpha)i_e = \frac{i_e}{\beta + 1} \qquad (۴-۶۹)$$

که ما را در تعیین R_i توانا می‌سازد

$$R_i \equiv \frac{v_b}{i_b} = (\beta + 1)(r_e + R_e) \qquad (۴-۷۰)$$

این نتیجه‌ای مهم است. بیانگر آن است که مقاومت ورودی با نگاه به درون بیس $(\beta + 1)$ برابر مجموع مقاومت امیتر است. ضرب شدن در $(\beta + 1)$ قانون انعکاس مقاومت نامیده می‌شود. ضریب $(\beta + 1)$ برای آن است که جریان بیس $1/(\beta + 1)$ برابر جریان امیتر می‌باشد. عبارت R_i در معادله (۴-۷۰) به وضوح نشان می‌دهد که مقاومت R_e در پایه امیتر اساساً می‌تواند R_i را افزایش دهد. در واقع، مقدار R_i به نسبت زیر افزایش می‌یابد.

$$\frac{R_i(R_e \text{ با})}{R_i(R_e \text{ بی})} = \frac{(\beta + 1)(r_e + R_e)}{(\beta + 1)r_e} = 1 + \frac{R_e}{r_e} \cong 1 + g_m R_e \qquad (۴-۷۱)$$

به این ترتیب طراح می‌تواند R_e را مناسب انتخاب کند تا مقاومت ورودی دلخواه برای تقویت‌کننده بدست آید.

برای تعیین بهره ولتاژ، ابتدا بهره از بیس به کلکتور را بدست می‌آوریم. با توجه به مدار معادل، برای ولتاژ کلکتور v_o می‌توان نوشت:

$$v_o = -\alpha i_e R_C \qquad (۴-۷۲)$$

و رابطه v_D را در معادله (۴-۶۸) بکار برده، v_o/v_b را بدست می‌آوریم

$$\frac{v_o}{v_b} = \frac{-\alpha R_C}{r_e + R_e} \qquad (۴-۷۳)$$

چون $\alpha \cong 1$ است

$$\frac{v_o}{v_b} \cong \frac{R_C}{r_e + R_e} \qquad (۴-۷۴)$$

این رابطه ساده بسیار مفید است و حفظ کردن آن ارزشمند می‌باشد: بهره ولتاژ بین بیس و کلکتور برابر است با نسبت کل مقاومت کلکتور به کل مقاومت امیتر. این نظر کلی است و برای هر مدار تقویت‌کننده BJT بکار می‌رود.

برای بدست آوردن بهره ولتاژ کل، v_o/v_b را در معادله (۴-۷۳) در v_b/v_s ضرب می‌کنیم.

$$\frac{v_b}{v_s} = \frac{R_i}{R_i + R_s}$$

و به جای R_i، معادله (۴-۷۰) را قرار می‌دهیم

$$A_v \equiv \frac{v_o}{v_s} = -\frac{\beta R_C}{R_s + (\beta + 1)(r_e + R_e)} \qquad (۴-۷۵)$$

درمی‌یابیم که این بهره از بهره تقویت‌کننده CE کوچکتر است زیرا در مخرج عبارت اضافی $R(\beta + 1)$ وجود دارد. البته، این بهره به مقدار β کمتر حساس است.

نتیجه مهم دیگر وجود مقاومت R_e در امیتر آن است که می‌توان سیگنال بزرگتری به تقویت‌کننده اعمال نمود بدون آنکه اعوجاج غیرخطی روی دهد، زیرا فقط بخش کوچکی از سیگنال ورودی در بیس بین بیس و امیتر ظاهر می‌شود. بطور خاص از مدار شکل (پ ۴۴-۴) ملاحظه می‌کنیم که

$$\frac{v_\pi}{v_b} = \frac{r_e}{r_e + R_e} \cong \frac{1}{1 + g_m R_e} \qquad (۴-۷۶)$$

به این ترتیب برای دستیابی به همان v_π، سیگنال ورودی می‌تواند $(1 + g_m R_e)$ برابر سیگنالی باشد که به تقویت‌کننده CE وارد می‌شود.

سرانجام، از مدار شکل (پ ۴۴-۴) به سهولت درمی‌یابیم که

$$R_o = R_C$$

$$A_i \equiv \frac{i_o}{i_b} = -\beta$$

به‌طور خلاصه، قرار دادن مقاومت R_e در امیتر تقویت‌کننده CE مشخصه‌های زیر را بدست می‌دهد:

۱- مقاومت ورودی R_i با ضریب $(1 + g_m R_e)$ افزایش می‌یابد.

۲- برای همان اندازه اعوجاج غیرخطی، می‌توان سیگنالی به $(1 + g_m R_e)$ بزرگتر اعمال نمود.

۳- بهره ولتاژ کاهش می‌یابد (معادله ۷۵-۴).

۴- بهره ولتاژ کمتر به مقدار β وابسته است (مخصوصاً وقتی R_s کوچک است).

۵- پاسخ فرکانس بالا به اندازه کافی بهبود می‌یابد (در فصل ۷ خواهیم دید).

بجز کاهش بهره، چهار ویژگی دیگر بهبود داشته است. در حقیقت، نقصان بهره بهای مزیت بهبود چهار مشخصه دیگر است. در موارد بسیاری، این معامله خوبی است. در ضمن این اساس استفاده از فیدبک منفی را نشان می‌دهد. این که چگونه مقاومت R_e، در مدار تقویت‌کننده فیدبک منفی ایجاد می‌کند از شکل (الف ۴۴-۴) می‌توان مشاهده کرد. اگر بدلایلی جریان کلکتور افزایش یابد، جریان امیتر نیز افزایش می‌یابد. و در نتیجه افت ولتاژ بیشتری در دو سر R_e بوجود می‌آید. که در این صورت ولتاژ امیتر بالا می‌رود، و ولتاژ بیس-امیتر کاهش می‌یابد. این امر کاهش جریان کلکتور را در پی دارد. با تغییرات مفروض اولیه مقابله می‌کند، و این یعنی نمود فیدبک منفی. در پایان، دقت کنید که عمل فیدبک منفی R_e، **مقاومت کاهش دهنده امیتر** نامیده می‌شود.

تمرین

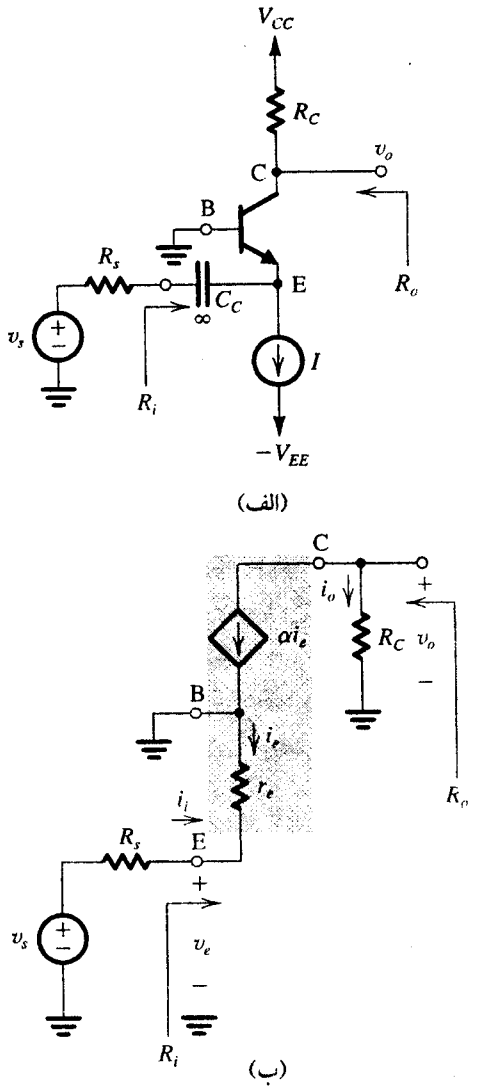
۴-۳۲ تقویت‌کننده شکل (الف ۴۴-۴) را در نظر بگیرید، که در آن جریان بیس $I = 1\text{mA}$ و مقاومت کلکتور $R_e = 5\text{k}\Omega$ باشد. فرض کنید BJT دارای $\beta = 100$ باشد، و اثر ارلی را نادیده بگیرید. منبع سیگنال دارای مقاومت $R_s = 5\text{k}\Omega$ است. مقدار R_e را بدست آورید طوری که مقاومت ورودی تقویت‌کننده چهار برابر مقاومت منبع باشد. برای مدار بدست آمده، A_v، A_i و R_o را بدست آورید. همچنین اگر v_π به 5mV محدود شود، ماکزیمم v_s را که می‌تواند با R_e و بدون R_e اعمال شود، چقدر است؟

جواب. 175Ω ؛ -20V/V ؛ -100A/A ؛ $5\text{k}\Omega$ ؛ 50mV ؛ 15mV

❑

تقویت‌کننده بیس مشترک

شکل (الف ۴۵-۴) اساس مدار تقویت‌کننده BJT را نشان می‌دهد. در این مدار بیس به زمین متصل شده است، سیگنال ورودی توسط یک خازن انتقال‌دهنده C_C به امیتر انتقال می‌یابد و سیگنال خروجی در کلکتور بدست می‌آید. همانند تقویت‌کننده پیش، ترانزیستور با یک منبع جریان ثابت بایاس می‌شود که مقاومت خروجی آن زیاد فرض شده است. چون بیس



شکل ۴۵-۴. تقویت کننده بیس مشترک (**الف**) مدار (ب) مدار معادل بدست آمده با جایگزینی BJT با مدل T آن.

(در پتانسیل زمین) پایه مشترک بین ورودی و خروجی است، مدار را تقویت‌کننده بیس مشترک یا **تقویت‌کننده با بیس زمین شده** می‌نامند.

چون سیگنال ورودی به امیتر اعمال می‌شود، ساده‌تر آن است که یکی از دو مدل T برای BJT استفاده شود. با جایگزینی BJT با مدل شکل (ب ۴-۲۷)، مدار معادل تقویت‌کننده شکل (ب ۴-۴۵) بدست می‌آید. توجه کنید که در اینجا از r_o صرفنظر کرده‌ایم؛ وجود r_o تحلیل را در حد قابل توجهی پیچیده می‌کند، و با شبیه‌سازی کامپیوتری می‌توان ثابت کرد که تأثیرش بر عملکرد تقویت‌کننده CB ناچیز است. بررسی مدار شکل (ب ۴-۴۵) گویای آن است که مقاومت ورودی تقویت‌کننده برابر است با:

$$R_i = r_e \qquad (۴-۷۷)$$

چون r_e بسیار کوچک (و مثلاً $r_e = ۲۵\Omega$ در جریان بایاس ۱ میلی‌آمپر) است، می‌بینیم که مقاومت تقویت‌کننده CB کوچک می‌باشد.

برای بدست آوردن بهره ولتاژ، ولتاژ خروجی v_o را چنین می‌نویسیم:

$$v_o = -\alpha\, i_e R_C$$

و i_e را از طرف ورودی مدار بدست می‌آوریم:

$$i_e = -\frac{v_s}{R_s + r_e}$$

بنابراین

$$A_v \equiv \frac{v_o}{v_s} = \frac{\alpha R_C}{R_s + r_e} \qquad (۴-۷۸)$$

به این ترتیب بهره ولتاژ وابستگی بسیار کمی به مقدار β دارد. البته مقدارش به R_S وابستگی شدید دارد: به ازای $R_s >> r_e$، بهره ولتاژ تقریباً برابر با R_C/R_s است. با این وجود برای R_s خیلی کم، $A_v \cong g_m R_C$ است. شرط دوم بندرت روی می‌دهد زیرا r_e خیلی کوچک است. توجه کنید که برخلاف CE تقویت‌کننده CB وارونساز نیست، یعنی فاز خروجی و فاز ورودی یکسان هستند. بهره جریان به سهولت از مدار معادل بدست می‌آید

$$A_i \equiv \frac{i_o}{i_i} = \frac{-\alpha i_e}{-i_e} = \alpha \qquad (۴-۷۹)$$

نتیجه تعجب‌آور نیست زیرا α **بهره جریان اتصال کوتاه بیس مشترک** است. بنابراین تقویت‌کننده CB بهره جریانی بدست می‌دهد که کوچکتر از واحد (ولی خیلی نزدیک به آن) است.

سرانجام، مقاومت خروجی تقویت‌کننده CB از مدار معادل چنین بدست می‌آید:

$$R_o = R_C \qquad (۴-۸۰)$$

بطور خلاصه، تقویت‌کننده CB دارای مقاومت ورودی خیلی کم، بهره جریان نزدیک به واحد، و مقاومت خروجی است که با R_C تعیین می‌شود. بهره ولتاژ آن به طور جدی به مقاومت منبع R_s وابسته است. به دلیل مقاومت بسیار کم آن، مدار CB به عنوان یک تقویت‌کننده ولتاژ مناسب نیست. مناسبترین کاربردش به عنوان تقویت‌کننده جریان با بهره واحد، و یا یک طبقه میانگیر جریان است: یک سیگنال جریان ورودی را با مقاومت ورودی کم (r_e) دریافت می‌کند و تقریباً مشابه آن را با امپدانس زیاد در کلکتور بدست می‌دهد (امپدانس خروجی مدار جدا از R_C بسیار بزرگ است). البته، بزرگترین برتری مدار CB، پاسخ فرکانس بالای بسیار خوب آن است. در فصل ۷ به آن خواهیم پرداخت.

تمرین

۴-۳۳ تقویت CB شکل (الف ۴-۴۵) را در نظر بگیرید. با $I = ۱mA$، $R_C = ۵k\Omega$، $\beta = ۱۰۰$ و با نادیده گرفتن اثر ارلی، $R_s = ۵k\Omega$، R_i، A_v، A_i و R_o را بدست آورید. (بجز نادیده گرفتن r_o این همان حالتی است که برای تقویت‌کننده CE در تمرین ۴-۳۱ استفاده شد می‌توانید نتایج را مقایسه کنید).

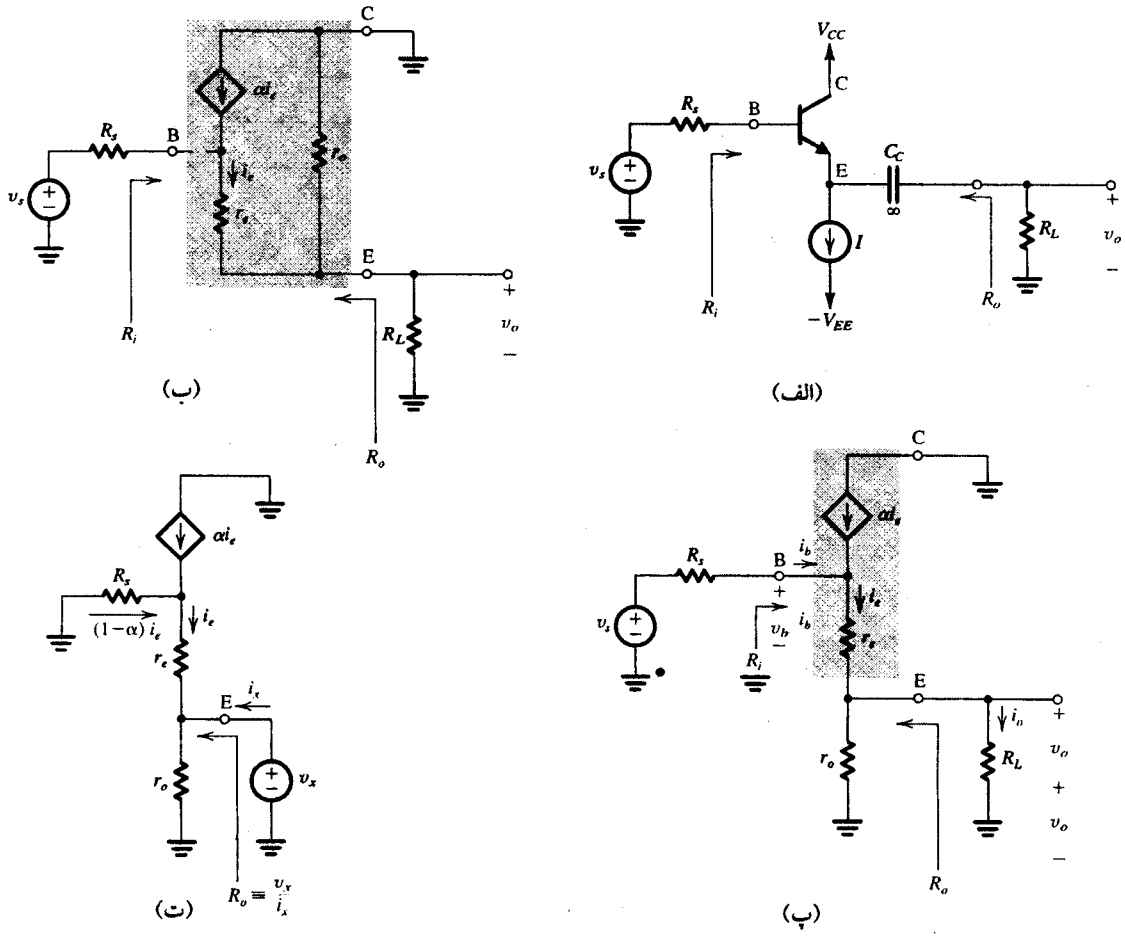
جواب. ۲۵Ω ؛ ۰٫۹۸۵V/V ؛ ۰٫۹۹A/A ، ۵kΩ ❑

تقویت‌کننده کلکتور مشترک یا امیتر پیرو

آخرین آرایش تقویت‌کنندگی BJT، آرایش کلکتور مشترک است. مداری کارآمد که در طراحی تقویت‌کننده، کاربرد زیادی هم برای سیگنال کوچک، هم سیگنال بزرگ دارد (فصل ۹) و در مدارهای دیجیتال نیز بکار می‌رود (فصل ۱۳). مدار نشان داده شده صورت پایه‌ای شکل (الف ۴-۴۶) را نشان می‌دهد. در اینجا، کلکتور به منبع مثبت V_{CC} وصل می‌شود و بنابراین از نظر سیگنال به زمین متصل است. سیگنال ورودی به بیس اعمال می‌شود، و خروجی از امیتر بدست می‌آید. زیرا، چنانکه بزودی خواهیم دید، منظور اصلی از بکارگیری مدار CC اتصال یک منبع با مقاومت زیاد R_s به باری با مقاومت نسبتاً کم است. در شکل یک مقاومت بار به روشنی نشان داده شده است. بطور خاص، سیگنال خروجی در امیتر از طریق یک خازن انتقال بزرگ C_C به مقاومت بار R_L وصل شده است. در وضعیت مدار مجتمع چنانکه خواهیم دید از خازن انتقال استفاده نمی‌شود. با این وجود نتایج بدست آمده در اینجا برای ICها نیز قابل قبول است. اینک، توجه کنید که چون کلکتور، زمین سیگنال است و مانند یک پایه مشترک بین ورودی و خروجی تقویت‌کننده عمل می‌کند، این مدار را تقویت‌کننده کلکتور مشترک یا **تقویت‌کننده با کلکتور زمین‌شده** می‌نامند.

مانند تقویت‌کننده CE با مقاومت امیتر R_e، مدار CC دارای یک مقاومت (R_L) متصل به امیتر است (C_C در برابر سیگنال اتصال کوتاه عمل می‌کند). این امر موجب می‌شود تحلیل مدار با استفاده از یکی از مدلهای T برای BJT راحتر باشد. شکل (ب ۴-۲۷) مدار معادل تقویت‌کننده CC را نشان می‌دهد که BJT در آن با یکی از مدل‌های T جایگزین شده و مقاومت r_o در خروجی کلکتور اضافه شده است. ملاحظه خواهید کرد که r_o نقش مهمی در عملکرد تقویت‌کننده CC دارد و به همین دلیل آنرا در تحلیلها دخالت می‌دهیم.

از شکل (ب ۴-۴۶) درمی‌یابیم که r_o به موازات R_L ظاهر می‌شود. مدار در شکل (پ ۴-۴۶) دوباره ترسیم شده تا این اتصال واضحتر نشان داده شود و تحلیل ساده‌تر گردد. در اینجا، سخت بر این باوریم که رسم نموداری دقیق، می‌تواند از رفتار مدار درک بهتری بدست دهد و به تحلیل سریعتر مدار بیانجامد. در شکل (پ ۴-۴۶) این مطلب با شکل نمایش داده شده است: مشاهده می‌کنیم که مدار صورت ساده شده‌ای ($R_C = ۰$)



شکل ۴۶-۴. تقویت کننده امیتر پیرو یا کلکتور مشترک. (الف) مدار (ب) مدار معادل که از جایگزینی BJT با معادل T آن بدست آمده (پ) دوباره ترسیم شده مدار (ب) که در آن r_o به موازات R_L قرارگرفته است (ت) مداری برای تعیین R_o.

از تقویت‌کننده CE است که مقاومت امیتر آن $(R_e = r_o \parallel R_L)$ می‌باشد. بیشتر تحلیل‌های زیر بیان مناسبی از نتایج بدست آمده از تقویت CE دارای مقاومت امیتر است. مقاومت ورودی R_i را می‌توان با بکار گرفتن قاعده انعکاس مقاومتی بدست آورد.

$$R_i = (\beta + 1)\,[r_e + (r_o \parallel R_L)] \qquad (۴-۸۱)$$

برای حالتی که $r_e << R_L << r_o$ است داریم:

$$R_i \cong (\beta + 1)\,R_L \qquad (۴-۸۲)$$

این معادله مشخصه مهمی از تقویت‌کننده CC را نشان می‌دهد: تقویت‌کننده دارای یک مقاومت ورودی بزرگ است. بطور خاص اثر اتصال منبع سیگنال به مقاومت بار R_L کم می‌شود، زیرا R_L با ضریب $(\beta + 1)$ تأثیر می‌کند. این نکته زمانی بیشتر موکد می‌شود که دقت کنیم به انتقال از منبع سیگنال به بیس ترانزیستور از رابطه زیر:

$$\frac{v_b}{v_s} = \frac{(\beta + 1)\,[r_e + (r_o \parallel R_L)]}{R_s + (\beta + 1)\,[r_e + (r_o \parallel R_L)]} \qquad (۴-۸۳)$$

حاصلضرب $(\beta + 1)$ در مقاومت انعکاسی از امیتر به بیس، می‌تواند (v_b/v_s) را به یک نزدیک کند (یعنی سیگنال کمتری از بین برود) حتی اگر R_s نسبتاً بزرگ باشد.

برای بدست آوردن بهره کل ولتاژ $\frac{v_o}{v_s}$، $\frac{v_b}{v_s}$ معادله (۴-۸۳) را در $\frac{v_o}{v_b}$ ضرب می‌کنیم که از مقسم ولتاژ متشکل از $(r_o \parallel R_L)$ و r_e بدست می‌آید. یعنی

$$\frac{v_o}{v_b} = \frac{(r_o \parallel R_L)}{r_e + (r_o \parallel R_L)} \qquad (۴-۸۴)$$

که از آن متوجه می‌شویم چون r_e معمولاً کوچک است، v_o/v_b به واحد نزدیک می‌شود، به این معنی که سیگنال در امیتر پیرو بلادرنگ سیگنال بیس است، اشتهار **امیتر پیرو** نیز از همین جاست. از ترکیب معادله‌های ۴-۸۳ و ۴-۸۴، A_v بدست می‌آید:

$$A_v = \frac{v_o}{v_s} \equiv \frac{(\beta + 1)\,(r_o \parallel R_L)}{R_s + (\beta + 1)\,[r_e + (R_L \parallel r_o)]} \qquad (۴-۸۵)$$

که اندکی متفاوت از رابطه زیر است:

$$A_v = \frac{v_o}{v_s} = \frac{(R_L \parallel r_o)}{\dfrac{R_s}{\beta + 1} + r_e + (R_L \parallel r_o)} \qquad (۴-۸۶)$$

هر دو معادله ۴-۸۵ و ۴-۸۶ نشان می‌دهد که بهره ولتاژ امیتر پیرو کمتر از

واحد است. بهره ولتاژ، البته معمولاً نزدیک به واحد است که نتیجه ضرب شدن مقاومت ورودی در $(\beta + ۱)$ است. این نکته از معادله (۸۵-۴) آشکار است. معادله (۸۶-۴) بیان کننده این مطلب است: امیتر پیرو سبب می‌شود مقاومت منبع R_s به $(\beta + ۱)$ تقسیم گردد هنگامی که کسری از v_s که در خروجی بدست می‌آید، مقداری معلوم باشد. با نظر به معادله (۸۶-۴) و شکل (پ ۴۶-۴) مشاهده می‌کنیم که معادله (۸۶-۴) نسبت مقسم ولتاژ را نشان می‌دهد: این معادله ولتاژ خروجی دو سر $r_o \parallel R_L$ را بدست می‌دهد که بطور سری با r_e و $R_s/(\beta + ۱)$ ظاهر می‌شود. عبارت آخر، مقاومت انعکاس یافته بیس ترانزیستور به مدار امیتر است که به $(\beta + ۱)$ تقسیم می‌شود. این شیوه، وارونه قانون انعکاس مقاومت است.

برای قانونمندی بیشتر، مقاومت خروجی امیتر پیرو یعنی، مقاومت R_o در شکل (ت ۴۶-۴) را بطور عادی بدست می‌آوریم. و در آن v_s در صفر تنظیم گشته و ولتاژ آزمون v_x به امیتر اعمال شده است. ولتاژ v_x برحسب افت ولتاژ دو سر r_e و R_s بیان می‌شود:

$$v_x = -i_e r_e - (۱ - \alpha) i_e R_s$$

بنابراین

$$i_e = -\frac{v_x}{r_e + (۱ - \alpha) R_s}$$

که در معادله گره امیتر می‌توان جای داد:

$$i_x = \frac{v_x}{r_o} - i_e$$

تا رابطه زیر بدست آید:

$$i_x = \frac{v_x}{r_o} + \frac{v_x}{r_e + (۱ - \alpha) R_s}$$

چون $R_o \equiv \frac{v_x}{i_x}$ است، از رابطه زیر بدست می‌آید:

$$\frac{۱}{R_o} \equiv \frac{i_x}{v_x} = \frac{۱}{r_o} + \frac{۱}{r_e + (۱ - \alpha) R_s}$$

به این ترتیب R_o معادل موازی r_o و $[r_e + (۱ - \alpha) R_s]$ است، یا

$$R_o = r_o \parallel \left[r_e + \frac{R_s}{\beta + ۱}\right] \qquad (۴-۸۷)$$

که $(۱ - \alpha) = ۱ / (\beta + ۱)$ جایگزین شده است. اینک خواننده می‌تواند معادله (۸۷-۴) را با مدار شکل (پ ۴۶-۴) مرتبط سازد. با نگاه کردن به پایه E، ملاحظه می‌کنیم که r_o به موازات r_e است که r_e خود با R_s مقاومت انعکاس یافته به درون امیتر به طور سری قرار گرفته و با تقسیم آن به $(\beta + ۱)$، دقیقاً معادله (۸۷-۴) بدست می‌آید.

با بررسی معادله (۸۷-۴) آشکار می‌شود که R_o معمولاً کوچک است. با در نظر گرفتن حالت عادی که در آن r_o بزرگ است، این امر واضحتر می‌شود. به این ترتیب

$$R_o \cong r_e + \frac{R_s}{\beta + ۱} \qquad (۴-۸۸)$$

مقاومت خروجی R_o به همراه بهره ولتاژ مدار باز $A_v \Big|_{R_L=\infty}$ برای تعیین بهره A_v به ازای هر مقاومت R_L استفاده می‌شود. به این صورت

$$A_v = A_v \Big|_{R_L=\infty} \frac{R_L}{R_L + R_o} \qquad (۴-۸۹)$$

که از معادله (۸۶-۴) داریم:

$$A_v \Big|_{R_L=\infty} = \frac{r_o}{\frac{R_s}{\beta + ۱} + r_e + r_o}$$

برای تحلیل کامل تقویت‌کننده امیتر پیرو، می‌توان نشان داد که بهره جریان این‌گونه بدست می‌آید:

$$A_i \equiv \frac{i_o}{i_b} = (\beta + ۱) \frac{r_o}{r_o + R_L} \qquad (۴-۹۰)$$

که به ازای $R << r_o$ به $(\beta + ۱)$ نزدیک می‌شود.

به‌طور خلاصه، امیتر پیرو دارای مقاومت ورودی زیاد، مقاومت خروجی کم، بهره ولتاژی کوچکتر از واحد امّا نزدیک به واحد، و بهره جریان نسبتاً بزرگ است. بنابراین در مواردی کاملاً مناسب است که یک منبع با مقاومت زیاد بخواهد به یک بار با مقاومت کوچک متصل شود. یعنی، به عنوان یک تقویت‌کننده میانگیر عمل می‌کند. مقاومت کم خروجی آن، آنرا به عنوان آخرین طبقه یا طبقه خروجی در یک تقویت‌کننده چند طبقه مفید می‌سازد. که در این کاربردها لازم نیست به بهره ولتاژ بیفزاید بلکه در تقویت‌کننده‌های پشت سرهم باید یک مقاومت خروجی کم ارائه کند. در فصل ۹ درباره تقویت‌کننده‌های خروجی مطالعه خواهیم کرد.

پیش از آنکه بحث درباره تقویت‌کننده امیتر پیرو را به پایان ببریم، درباره ماکزیمم تغییرات مجاز سیگنال توضیح می‌دهیم. چون تنها جزئی از سیگنال ورودی بین بیس و امیتر ظاهر می‌شود، امیتر پیرو برای گستره وسیعی از دامنه سیگنال ورودی رفتار خطی خواهد داشت. البته، حد بالای سیگنال خروجی با قطع ترانزیستور محدود می‌شود.

برای مشاهده این کار، مدار شکل (الف ۴۶-۴) را در نظر بگیرید. وقتی سیگنال ورودی سینوسی است، با منفی شدن ورودی، خروجی v_o نیز منفی خواهد شد و جریان R_L از زمین به پایه امیتر راه خواهد یافت. ترانزیستور قطع خواهد شد وقتی این جریان مساوی جریان بایاس I شود. به این ترتیب مقدار نوک v_o از رابطه زیر بدست می‌آید:

$$\frac{\hat{V}_o}{R_L} = I$$

یا

$$\hat{V}_o = I R_L$$

مقدار متناظر v_s چنین خواهد شد:

$$\hat{V}_s = \frac{I R_L}{A_v}$$

افزایش دامنه v_s بیش از این مقدار، سبب قطع ترانزیستور می‌شود و نوک منفی سیگنال خروجی برش می‌خورد.

تمرین

۴-۳۴ امیتر پیرو شکل (الف ۴۶-۴) برای اتصال به یک منبع با $R_s = ۱۰\text{k}\Omega$ به یک بار با $۱\text{k}\Omega$ استفاده می‌شود. ترانزیستور با $I = ۵\text{mA}$

بایاس می‌شود و دارای $\beta = ۱۰۰$ و $V_A = ۱۰۰\,V$ می‌باشد. R_i، $\frac{v_b}{v_s}$، $\frac{v_o}{v_b}$، $\frac{v_o}{v_s}$، R_o، A_v و A_i را بدست آورید. نوک دامنه یک موج سینوسی خروجی چقدر است اگر بدون قطع ترانزیستور بتوان از آن استفاده کرد؟ اگر برای محدود سازی اعوجاج غیرخطی، سیگنال بیس- امیتر به ۱۰mV نوک محدود شود، دامنه متناسب با آن در خروجی چقدر است؟

$R_L = \infty$

جواب: ۹۶/۷kΩ ؛ ۰/۹۰۶V/V ؛ ۰/۹۹۵V/V ؛ ۰/۹۰۲V/V ؛ ۱۰۳Ω ؛ ۰/۹۵۵V/V ؛ ۹۶/۲A/A ؛ ۵V ؛ ۲V . ❑

۴-۱۲ ترانزیستور به مثابه یک کلید- قطع و اشباع

حالت فعال ترانزیستور را به تفصیل مورد بحث قرار دادیم. اکنون حالاتی را در نظر می‌گیریم که ترانزیستور از حالت فعال خارج می‌شود. در اینصورت از یک سو ترانزیستور به منطقه قطع و از دیگر سو به ناحیه اشباع وارد می‌شود. چنانچه ترانزیستور در مواردی مانند مدارات منطقی دیجیتال به عنوان یک سوئیچ بکار رود، از این دو حالت ترانزیستور استفاده سودمندانه‌ای می‌توان کرد. در این بخش حالات قطع و اشباع ترانزیستور بررسی و مطالعه خواهد شد. کاربرد ترانزیستور در مدارات سوئیچینگ در فصل ۱۴ نشان داده شده است. در فصل یادشده، بررسی مفصلی در حالت اشباع ترانزیستور صورت خواهد گرفت.

ناحیه قطع

برای سهولت در معرفی حالتهای قطع و اشباع ترانزیستور، مدار ساده شکل (۴-۴۷) را در نظر بگیرید. به مدار، منبع ولتاژ v_I اعمال شده است. می‌خواهیم این مدار را برای مقادیر مختلف v_I تحلیل کنیم.

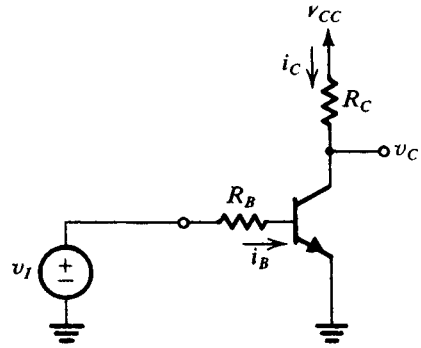
چنانچه v_I کوچکتر از حدود ۰/۵ V باشد، EBJ جریان ناچیزی هدایت خواهد کرد. در حقیقت، EBJ دارای بایاس معکوس تلقی خواهد شد و قطعه در حالت قطع خواهد بود. بنابراین

$$i_B = ۰ \quad i_E = ۰ \quad i_C = ۰ \quad v_C = V_{CC}$$

البته توجه کنید که CBJ دارای بایاس معکوس گشته است.

حالت فعال

برای آنکه ترانزیستور به حالت روشن (هدایت) درآید، مجبوریم v_I را



شکل ۴-۴۷. مدار ساده‌ای که برای نمایش حالات متفاوت کار BJT در نظر گرفته شده است.

به بیش از ۰/۵ V افزایش دهیم. برای آنکه جریان قابل ملاحظه‌ای وجود داشته باشد، v_{BE} بایستی حدود ۰/۷ V باشد و v_I نیز بایستی بزرگتر باشد. برای $v_I > ۰/۷$ V داریم:

$$i_B = \frac{v_I - V_{BE}}{R_B} \qquad (۴-۹۱)$$

که ممکن است به صورت زیر تقریب گردد:

$$i_B \cong \frac{v_I - ۰/۷}{R_B} \qquad (۴-۹۲)$$

این موجب می‌شود که $v_I \gg ۰/۷$ V (برای مثال ۲ V ≤) باشد و برای این ترانزیستور مشخص، جریان کلکتور در محدوده معمولی باشد. جریان کلکتور به صورت زیر داده می‌شود:

$$i_C = \beta i_B \qquad (۴-۹۳)$$

که تنها در حالت فعال بکار می‌رود. چگونه می‌توان فهمید که قطعه در حالت فعال است؟ نمی‌توان فهمید، بنابراین فرض می‌کنیم که در حالت فعال باشد، با استفاده از معادله (۴-۹۳)، i_C را محاسبه می‌کنیم و از رابطه زیر v_C را بدست می‌آوریم:

$$v_C = V_{CC} - R_C\, i_C \qquad (۴-۹۴)$$

و سپس بررسی می‌کنیم که آیا $v_{CB} \geq ۰$ است یا نه. برای حالت فعال مفروض، فقط بررسی می‌کنیم که آیا $v_C \geq ۰/۷$ است یا نه. چنانچه $v_C \geq ۰/۷$ باشد در آنصورت فرض نخست ما صحیح است و تحلیل را برای مقادیر ویژه v_I کامل می‌کنیم. از سوی دیگر، چنانچه v_C کمتر از ۰/۷V بدست آید، بطور مسلم با افزایش v_I، i_B افزایش خواهد یافت (معادله ۴-۹۲)، i_C به تناسب افزایش خواهد یافت (معادله ۴-۱۰۸)، و v_C کاهش پیدا خواهد کرد (معادله ۴-۹۴). بطور حتم، v_C کمتر از v_B (۰/۷ V) خواهد شد و قطعه به ناحیه اشباع وارد خواهد گشت.

ناحیه اشباع

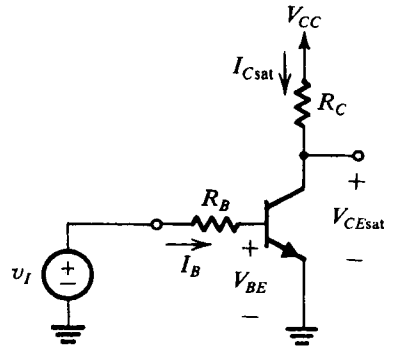
هرگاه به کلکتور جریانی اعمال کنیم که از جریان کلکتور در حالت فعال بزرگتر باشد، ترانزیستور به حالت اشباع می‌رود. برای مدار شکل (۴-۴۷) ماکزیمم جریانی که کلکتور می‌تواند داشته باشد بی‌آنکه از حالت فعال خارج شود را با قراردادن $v_{CB} = ۰$ می‌توانیم از رابطه زیر بدست آوریم:

$$\hat{I}_C = \frac{V_{CC} - V_B}{R_C} \cong \frac{V_{CC} - ۰/۷}{R_C} \qquad (۴-۹۵)$$

این جریان کلکتور با اعمال یک جریان بیس $\hat{I}_B$ بدست می‌آید:

$$\hat{I}_B = \frac{\hat{I}_C}{\beta} \qquad (۴-۹۶)$$

و مقدار v_I موردنیاز از معادله (۴-۹۲) می‌تواند حاصل گردد. اکنون، چنانچه i_B را بر $\hat{I}_B$ بیفزاییم، جریان کلکتور افزایش خواهد یافت و ولتاژ کلکتور به کمتر از ولتاژ بیس افت خواهد کرد. این افت ولتاژ تا آنجا ادامه می‌یابد که CBJ بایاس مستقیم گردد و ولتاژ بایاس مستقیم آن حدود ۰/۴ تا ۰/۵ شود. توجه کنید که افت ولتاژ مستقیم در پیوند بیس - کلکتور کوچک

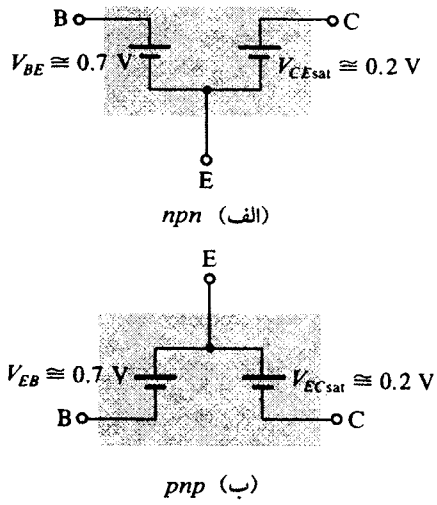


شکل ۴۸-۴. یک ترانزیستور اشباع شده

است زیرا CBJ دارای مساحت نسبتاً زیاد می‌باشد (شکل ۶-۴ را ملاحظه کنید). این وضع را اشباع می‌نامند، زیرا هرگونه افزایشی در جریان بیس افزایش بسیار کمی در جریان کلکتور بوجود می‌آورد و نیز موجب افزایش ناچیزی در ولتاژ کلکتور می‌گردد. به این معنی که در حالت اشباع نمو β ($\Delta i_C / \Delta i_B$) بسیار ناچیز است. هر جریان اضافی که به پایانه بیس اعمال گردد، قسمت اعظم آن در پایانه امیتر جریان خواهد یافت. بنابراین، نسبت جریان کوچکتر به جریان بیس یک ترانزیستور اشباع شده با β برابر نیست و با اعمال جریان بیشتر به بیس، بسادگی می‌تواند هر مقدار دلخواه - کوچکتر از β - را داشته باشد.

اکنون به مدار شکل (۴۸-۴) برگردیم که در شکل (۴۹-۴) دوباره ترسیم شده است با این فرض که در شکل جدید، ترانزیستور در حالت اشباع می‌باشد. مقدار V_{BE} در یک ترانزیستور اشباع شده معمولاً کمی بزرگتر از ترانزیستوری است که در حالت فعال کار می‌کند. افزایش در V_{BE} به اندازه I_R در دو سر ماده نیمه‌هادی بیس افت می‌کند و باقیمانده آن در دو سر EBJ ظاهر خواهد شد. برای سهولت، فرض خواهیم کرد که V_{BE} حدود ۰/۷ V باقی می‌ماند. حتی اگر قطعه در حالت اشباع باشد.

چون در حالت اشباع، ولتاژ بیس از ولتاژ کلکتور حدود ۰/۴ یا ۰/۵ V



شکل ۴۹-۴. مدلهای برای BJT اشباع شده

بزرگتر است؛ این امر موجب می‌شود تا ولتاژ کلکتور امیتر به اندازه ۰/۳ یا ۰/۲ V بزرگتر باشد. در حالت اشباع، ولتاژ کلکتور - امیتر را به صورت V_{CEsat} نشان می‌دهیم و معمولاً فرض بر این است که V_{CEsat}=۰/۳V. البته توجه کنید که چنانچه جریان بیشتری به بیس اعمال کنیم، ترانزیستور را بیشتر و عمیقتر به حالت اشباع برده‌ایم و بایاس مستقیم CBJ را افزایش داده‌ایم به این معنی که V_{CEsat} کاهش خواهد یافت.

اندازه جریان کلکتور در حالت اشباع تقریباً ثابت باقی می‌ماند. این جریان را با I_{Csat} نشان می‌دهیم، این امر موجب می‌شود که در مدار شکل (۴۹-۴) داشته باشیم:

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C} \qquad (۴-۹۷)$$

برای آنکه از به اشباع رفتن ترانزیستور اطمینان یابیم، باید حداقل جریانی را به بیس اعمال کنیم که از رابطه زیر می‌تواند بدست آید:

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta} \qquad (۴-۹۸)$$

بطور عادی، مدار به گونه‌ای طراحی می‌شود که I_B با ضریب ۲ تا ۱۰ (که آنرا **ضریب فراراه‌انداز** می‌نامیم) بزرگتر از I_{Bsat} باشد. نسبت I_{Csat} را به d_B β و اداشته (β_{forced}) می‌نامیم زیرا مقدارش به صورت زیر بدست می‌آید:

$$\beta_{forced} = \frac{I_{Csat}}{I_B} \qquad (۴-۹۹)$$

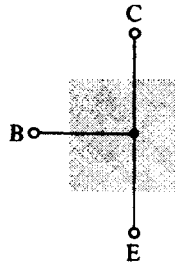
مدل برای BJT اشباع شده

از بحث فوق بنا بر شکل (۴۹-۴)، مدل ساده‌ای برای کار ترانزیستور در حالت اشباع طرح کرده‌ایم. بطور معمول از چنین مدلی بطور ضمنی در تحلیل یک مدار معین استفاده می‌کنیم.

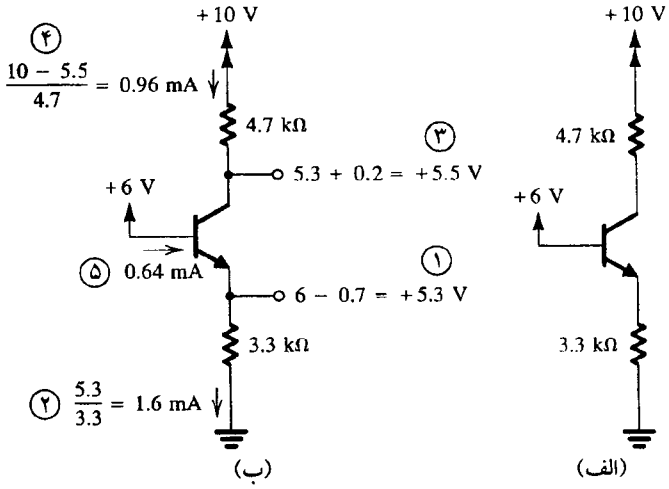
برای محاسبات تقریبی سریع، ممکن است V_{BE} و V_{CEsat} صفر در نظر گرفته شود و از سه پایانه اتصال کوتاه مطابق کل (۵۰-۴) برای مدل یک ترانزیستور در حال اشباع استفاده شود.

تذکر نهایی

در بخش ۱۳-۴، یک مدل سیگنال بزرگ معمولی برای BJT بررسی خوهیم کرد که برای همه حالات کار BJT بکار می‌رود. این مدل به ویژه به توضیح بهتر حالت اشباع کمک می‌کند. به این ترتیب، توصیف کیفی اخیر و مدل‌های ۴۹-۴ و ۵۰-۴ برای تحلیل و طراحی مدارهایی کفایت می‌کند که در آنها BJT در حالت اشباع کار می‌کند. این موضوع را با رسم شکل در مثال‌های زیر نشان خواهیم داد.



شکل ۵۰-۴. یک مدل تقریبی برای BJT اشباع شده



شکل ۵۱-۴. مثال ۱۳-۴ : (الف) مدار (ب) تحلیل با ترتیب مراحل شماره‌گذاری شده

مثال ۱۳-۴

می‌خواهیم مدار شکل (الف ۵۱-۴) را تحلیل کنیم تا ولتاژ همه گره‌ها و جریان همه شاخه‌ها تعیین شود. فرض کنید که β ترانزیستور حداقل ۵۰ معین شده باشد.

حل:

این مدار را در مثال ۳-۴ ملاحظه کردیم و متوجه شدیم که این ترانزیستور باید در حالت اشباع باشد. با فرض اینکه حالت اشباع هنوز وجود دارد، داریم:

$$V_E = +۶ - ۰/۷ = +۵/۳ \text{ V}$$

$$I_E = \frac{V_E}{۳/۳} = \frac{۵/۳}{۳/۳} = ۱/۶ \text{ mA}$$

$$V_C = V_E + V_{CEsat} \cong +۵/۳ + ۰/۳ = +۵/۶ \text{ V}$$

$$I_C = \frac{+۱۰ - ۵/۶}{۴/۷} = ۰/۹۶ \text{ mA}$$

$$I_B = I_E - I_C = ۱/۶ - ۰/۹۶ = ۰/۶۴ \text{ mA}$$

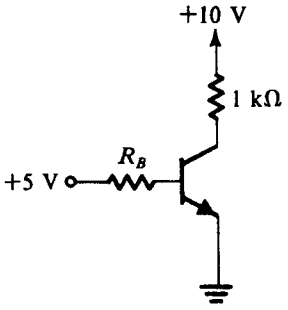
بنابراین ترانزیستور با βواداشتهٔ زیر عمل می‌کند:

$$\beta_{\text{forced}} = \frac{I_C}{I_B} = \frac{۰/۹۶}{۰/۶۴} = ۱/۵$$

چون β_{forced} کمتر از حداقل مقدار تعیین‌شده β است، ترانزیستور به واقع در حالت اشباع است. تأکید می‌کنیم که در آزمایش برای اشباع، از کمترین مقدار β بایستی استفاده شود. با همان مدار انتخاب شده، چنانچه مداری را طرح می‌کنیم که در آن ترانزیستور در حالت اشباع بسر می‌برد، طراحی بایستی بر اساس حداقل مقدار تعیین شده β باشد. بطور مسلّم، اگر ترانزیستور با این مقدار حداقل β اشباع گردد، در آنصورت ترانزیستور با مقادیر بالاتر β در حالت اشباع خواهد بود. جزئیات تحلیل در شکل (ب ۵۱-۴) نشان داده شده است.

مثال ۱۴-۴

ترانزیستور شکل (۵۲-۴) طوری تعیین شده که β آن بین ۵۰ تا ۱۵۰ باشد. مقدار R_B را طوری محاسبه کنید که اشباع حاصل شود در حالیکه ضریب فراراه‌انداز حداقل ۱۰ باشد.



شکل ۵۲-۴. مداری برای مثال ۱۴-۴

حل:

وقتی ترانزیستور اشباع می‌شود، ولتاژ کلکتور خواهد بود:

$$V_C = V_{CEsat} \cong ۰/۲ \text{ V}$$

بنابراین، جریان کلکتور از رابطه زیر بدست می‌آید:

$$I_{Csat} = \frac{+۱۰ - ۰/۲}{۱} = ۹/۸ \text{ mA}$$

برای به اشباع بردن ترانزیستور با کمترین مقدار β، به جریان بیسی نیازمندیم که حداقل آن از رابطه زیر بدست می‌آید:

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta_{\min}} = \frac{۹/۸}{۵۰} = ۰/۱۹۶ \text{ mA}$$

برای ضریب فراراه‌انداز ۱۰، جریان بیس می‌شود:

$$I_B = ۱۰ \times ۰/۱۹۶ = ۱/۹۶ \text{ mA}$$

بنابراین، به مقداری از R_B نیازمندیم که:

$$\frac{+۵ - ۰/۷}{R_B} = ۱/۹۶$$

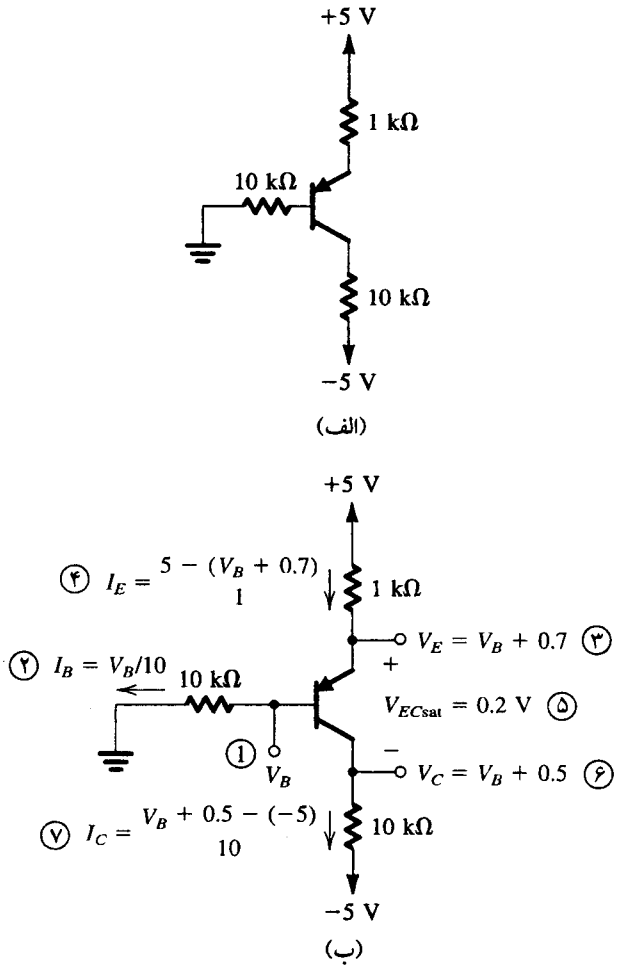
$$R_B = \frac{۴/۳}{۱/۹۴} = ۲/۲ \text{ K}\Omega$$

مثال ۱۵-۴

می‌خواهیم مدار شکل (۵۳-۴) را تحلیل کنیم تا ولتاژ همه گره‌ها و جریان همه شاخه‌ها بدست آید. حداقل مقدار β برابر با ۳۰ تعیین شده است.

حل:

با نگاهی سریع به این مدار، آشکار می‌شود که ترانزیستور در حالت اشباع یا در حالت هدایت می‌تواند باشد. فرض کنید ترانزیستور در حالت هدایت است و جریان بیس را نادیده بگیرید، ملاحظه می‌کنیم که ولتاژ بیس تقریباً صفر ولت است، ولتاژ امیتر تقریباً



شکل ۵۳-۴. مثال ۱۵-۴ : **(الف)** مدار
(ب) تحلیل با مراحل شماره گذاری شده

۰/۷ V می‌باشد، و جریان امیتر حدود ۴/۳ mA است. از آنجا که وقتی ترانزیستور در حال هدایت بسر می‌برد، ماکزیمم جریانی که کلکتور می‌تواند داشته باشد برابر با ۰/۵ mA است، این موجب می‌شود که ترانزیستور در حالت اشباع باشد.

با فرض اینکه ترانزیستور در حالت اشباع است و با مشخص‌کردن ولتاژ بیس با V_B، [به شکل (ب ۵۵-۴) رجوع کنید] نتیجه می‌شود که:

$$V_E = V_B + V_{EB} \cong V_B + ۰/۷$$

$$V_C = V_E - V_{ECsat} \cong V_B + ۰/۷ - ۰/۲ = V_B + ۰/۵$$

$$I_E = \frac{+۵ - V_E}{۱} = \frac{۵ - V_B - ۰/۷}{۱} = ۴/۳ - V_B \ \text{mA}$$

$$I_B = \frac{V_B}{۱۰} = ۰/۱\, V_B \quad \text{mA}$$

$$I_C = \frac{V_C - (-۵)}{۱۰} = \frac{V_B + ۰/۵ + ۵}{۱۰} = ۰/۱ V_B + ۰/۵۵ \ \text{mA}$$

با استفاده از رابطه $I_E = I_B + I_C$ بدست می‌آوریم:

$$۴/۳ - V_B = ۰/۱V_B + ۰/۱V_B + ۰/۵۵$$

که نتیجه می‌دهد:

$$V_B = \frac{۳/۷۵}{۱/۲} \cong ۳/۱۳ \text{ V}$$

از جایگزینی در معادلات بالا، بدست می‌آوریم:

$$V_E = ۳/۸۳ \text{ V}$$

$$V_C = ۳/۶۳ \text{ V}$$

$$I_E = ۱/۱۷ \text{ mA}$$

$$I_C = ۰/۸۶ \text{ mA}$$

$$I_B = ۰/۳۱ \text{ mA}$$

واضح است که ترانزیستور در حالت اشباع می‌باشد. چون مقدار β واداشته برابر است با:

$$\beta_{\text{forced}} = \frac{۰/۸۶}{۰/۳۱} \cong ۲/۸$$

که از مینیمم مقدار تعیین شده β خیلی کمتر می‌باشد.

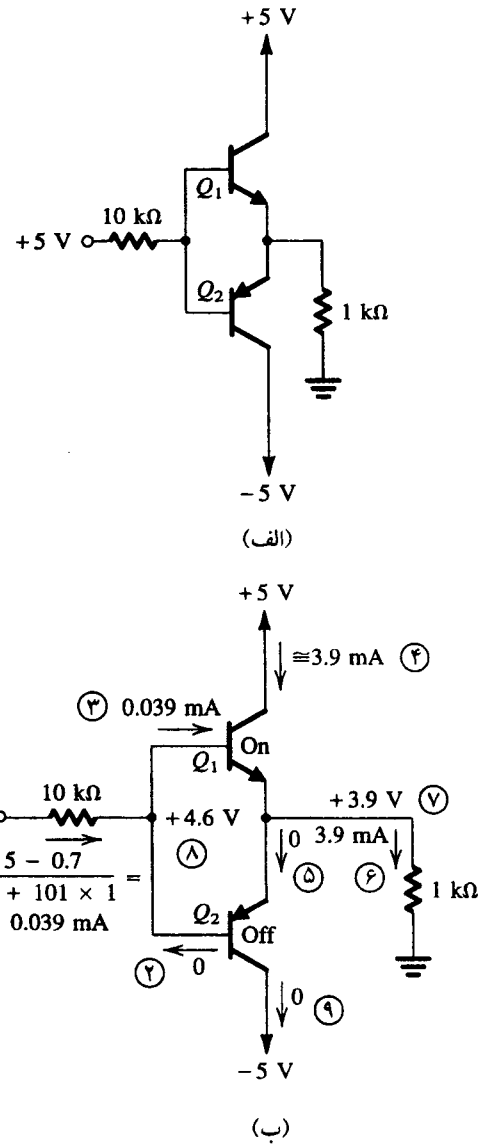
مثال ۱۶-۴

مطلوبست محاسبه ولتاژ در همه گره‌ها و جریان در همه شاخه‌های مدار شکل (الف ۵۴-۴). فرض کنید $\beta = ۱۰۰$ باشد.

حل:

با ملاحظه مدار نتیجه می‌گیریم که دو ترانزیستور $Q_۱$ و $Q_۲$ نمی‌توانند بطور یکسان هدایت کنند. بنابراین اگر $Q_۱$ روشن باشد، $Q_۲$ خاموش خواهد بود و برعکس، فرض کنید $Q_۲$ روشن باشد، نتیجه می‌شود که جریان از زمین از طریق مقاومت بار ۱ kΩ به امیتر $Q_۲$ جریان خواهد یافت. بنابراین بیس $Q_۲$ در ولتاژی منفی خواهد بود و جریان به خارج از بیس از طریق مقاومت ۱۰ kΩ و به طرف منبع ۵ V+ جاری خواهد شد. این غیر ممکن است، زیرا چنانچه بیس منفی باشد، جریان در مقاومت ۱۰ kΩ به داخل بیس جاری خواهد شد. بنابراین نتیجه می‌گیریم که فرض اولیه ما - مبنی بر روشن‌بودن $Q_۲$ - نادرست است. یعنی $Q_۲$ خاموش و $Q_۱$ روشن خواهد بود.

اکنون پرسش این است که آیا $Q_۱$ در حال اشباع است یا در حال فعال. جواب روشن است. چون بیس با منبع ۵ V+ تغذیه شده است و جریان به درون بیس $Q_۱$ جاری می‌شود، نتیجه می‌شود که بیس $Q_۱$ ولتاژی کمتر از ۵ V+ خواهد داشت. بنابراین، پیوند کلکتور - بیس $Q_۱$ بایاس معکوس شده است و $Q_۱$ در حال هدایت می‌باشد. تنها باقی می‌ماند تعیین جریانها و ولتاژهایی که با استفاده از روشهای شرح داده شده تعیین می‌گردد. نتایج در شکل (ب ۵۶-۴) آورده شده است.



شکل ۵۴-۴. مثال ۱۶-۴: (الف) مدار؛ (ب) تحلیل با مراحل شماره‌دار

تمرینها

۳۵-۴ مدار شکل (۴۸-۴) را در نظر بگیرید که ورودی آن به ۵V + متصل شده است، فرض کنید که $V_{CC} = ۵$ V، $R_C = ۱$ kΩ و $R_B = ۱۰$ kΩ و $\beta = ۵۰$ باشد. مقدار واداشته β چقدر است؟ مقدار V_I مورد نیاز برای ایجاد $\beta_{forced} = \beta/۲$ را پیدا کنید؟

جواب. ۲/۶ V؛ ۱۱/۲

۳۶-۴ مثال ۱۴-۴ را با ضریب فراراه‌انداز ۵ بیابید؟

جواب. $R_B = ۴/۴$ kΩ

۳۷-۴ مثال ۱۶-۴ را حل کنید برای وقتی که ولتاژ تزریق شده به بیس به ۱۰V + تغییر کند. با فرض اینکه $\beta_{min} = ۳۰$ باشد، V_E، V_B، $I_{C۱}$، $I_{C۲}$ را بیابید.

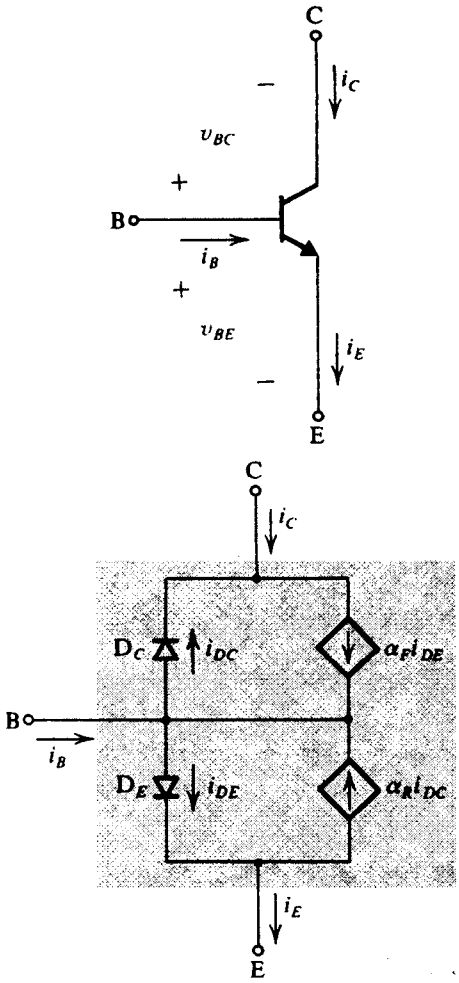
جواب. ۴/۷ V +؛ ۵/۴ V؛ ۴/۲۴ mA؛ ۰ ❑

۱۳-۴ مدل عمومی سیگنال بزرگ برای BJT: مدل ابرزمول

اگرچه مدلهای سیگنال بزرگ ترانزیستور که برای حالت فعال در بخش ۲-۴ و برای حالت اشباع در بخش ۱۲-۴ ارائه گردید برای تحلیل تقریبی مدارهای دیجیتال BJT کافی به نظر می‌رسد، اما بررسی دقیقتر با استفاده از یک مدل سیگنال بزرگ مشهور موسوم به مدل ابرزمول (یا به اختصار EM) بدست می‌آید. علاوه بر جالب بودن ابرزمول، این مدل کلی است و برای توصیب BJT در هر حالت از کار می‌تواند استفاده شود. بعلاوه این مدل اساس مدل BJT در SPICE می‌باشد (بخش ۱۶-۴). مدل EM را در این بخش بررسی خواهیم کرد.

مدل EM یک مدل فرکانس پایین (ایستا) است و بر این اساس کار می‌کند که BJT از دو پیوند pn تشکیل شده است: پیوند امیتر-بیس و پیوند کلکتور- بیس. از این رو می‌توان جریان پایه‌های BJT را ناشی از برهم نهش جریان‌های دو پیوند pn مطابق شکل زیر دانست.

شکل ۵۵-۴ یک ترانزیستور npn با مدل EM آن نشان می‌دهد. این مدل شامل دو دیود و دو منبع کنترل شده است. دیودها عبارتند از: دیود D_E، دیود پیوند بیس-امیتر، و دیود D_C، دیود پیوند بیس- کلکتور.



شکل ۵۵-۴. ترانزیستور *npn* و مدل ابرز مول (EM) آن جریان‌های اشباع دیودهای D_E(EBJ) و D_C(CBJ) در پرانتزها مشخص شده است.

جریان‌های دیود i_{DE} و i_{DC} از معادله دیود بدست می‌آید:

$$i_{DE} = I_{SE}\,(e^{v_{BE}/V_T} - ۱) \qquad (۴-۱۰۰)$$

$$i_{DC} = I_{SC}\,(e^{v_{BC}/V_T} - ۱) \qquad (۴-۱۰۱)$$

که در آن I_{SE} و I_{CE} جریانهای اشباع دو دیود هستند. چون پیوند کلکتور- بیس معمولاً از سطح پیوند امیتر- بیس بیشتر است، I_{Sc} نیز معمولاً بزرگتر از I_{SE} می‌باشد (به نسبت ضریب ۲ تا ۵).

همانگونه که در بخش ۲-۴ شرح داده شد، قسمتی از جریان پیوند امیتر- بیس i_{DE} به کلکتور می‌رود و در زمره جریان کلکتور به حساب می‌آید. این جزء همان است که به جریان منبع $\alpha_F i_{DE}$ در مدل شکل ۵۵-۴ تبدیل می‌شود. در اینجا α_F، جریان αی مستقیم ترانزیستور است (که آن را پیش از این فقط α می‌نامیدیم). مقدار α_F معمولاً خیلی نزدیک به واحد است. مشابه آن، قسمتی از جریان پیوند کلکتور- بیس i_{DC} از ناحیه بیس عبور می‌کند و به امیتر می‌رسد. این جزء در مدل EM به نام منبع جریان $\alpha_R i_{DC}$ مشخص شده که در آن α_R نشان‌دهنده αی معکوس ترانزیستور است. چون ترانزیستور از نظر ساختمانی دارای تقارن نیست، بلکه به گونه‌ای است که αی مستقیم آن بزرگ و α_Rی آن کوچک (بین ۰٫۰۲ تا ۰٫۵) باشد.

رابطه‌ای بین چهار پارامتر مدل EM و I_S جریان اشباع ترانزیستور وجود دارد به این شرح:

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \qquad (۴-۱۰۲)$$

به یاد داریم که در ترانزیستورهای سیگنال کوچک (با توان پایین)، I_S بین $۱۰^{-۱۴}$ تا $۱۰^{-۱۵}$A و متناسب با سطح پیوند امیتر- بیس می‌باشد.

جریان پایه‌های ترانزیستور

پس از بررسی کیفیت فیزیکی مدل EM، اکنون جریان پایه‌های ترانزیستور را برحسب ولتاژ پیوند بیان می‌کنیم. از شکل ۵۵-۴ می‌توانیم بنویسیم:

$$i_E = i_{DE} - \alpha_R i_{DC} \qquad (۴-۱۰۳)$$

$$i_C = -i_{DC} + \alpha_F\, i_{DE} \qquad (۴-۱۰۴)$$

$$i_B = (۱ - \alpha_F)\, i_{DE} + (۱ - \alpha_R)\, i_{DC} \qquad (۴-۱۰۵)$$

از جایگزینی معادلهای i_{DE} و i_{DC} از معادله‌های (۱۰۰-۴) و (۱۰۱-۴) و با استفاده از رابطه معادله (۱۰۲-۴) بدست می‌آید:

$$i_E = \frac{I_S}{\alpha_F}\,(e^{v_{BE}/V_T} - ۱) - I_S\,(e^{v_{BC}/V_T} - ۱) \qquad (۴-۱۰۶)$$

$$i_C = I_S\,(e^{v_{BE}/V_T} - ۱) - \frac{I_S}{\alpha_R}\,(e^{v_{BC}/V_T} - ۱) \qquad (۴-۱۰۷)$$

$$i_B = \frac{I_S}{\beta_F}\,(e^{v_{BE}/V_T} - ۱) + \frac{I_S}{\beta_R}\,(e^{v_{BC}/V_T} - ۱) \qquad (۴-۱۰۸)$$

که در آن β_F، βی مستقیم و β_R، βی معکوس است.

$$\beta_F = \frac{\alpha_F}{۱ - \alpha_F} \qquad (۴-۱۰۹)$$

$$\beta_R = \frac{\alpha_R}{۱ - \alpha_R} \qquad (۴-۱۱۰)$$

توجه کنید که β_F همان است که آن را β می‌نامیدیم. در حالی که β_F معمولاً بزرگ است، β_R خیلی کوچک می‌باشد.

تمرین

۳۸-۴ یک ترانزیستور ویژه دارای $\alpha_F = ۱$ و $\alpha_R = ۰٫۰۲$ است. جریان امیتر (I_{SE}) حدود $۱۰^{-۱۴}$A است. جریان کلکتور (I_{SC}) چقدر است؟ اندازه پیوند کلکتور نسبت به پیوند امیتر چقدر است؟ مقدار β_F چقدر می‌باشد؟

جواب. ۵۰×۱۰^{-۱۴}A؛ ۵۰ مرتبه بزرگتر؛ ۰٫۰۲ ❑

کاربرد مدل EM

اینک کاربرد مدل EM را برای تشخیص عملکرد در حالتهای گوناگون بررسی می‌کنیم.

حالت فعال مستقیم. در این حالت، پیوند بیس -امیتر بایاس مستقیم و پیوند بیس -کلکتور بایاس معکوس می‌شود. کلمه مستقیم برای تمایز این حالت از حالتی است که نقش دو پیوند با هم عوض می‌شود. چون v_{BE} منفی است و اندازه‌اش معمولاً بزرگتر از V_T می‌باشد، معادله‌های (۱۰۶-۴) تا (۱۰۸-۴) را به صورت زیر می‌توان تقریب کرد:

$$i_E \cong \frac{I_S}{\alpha_F}\, e^{v_{BE}/V_T} + I_S\left(۱ - \frac{۱}{\alpha_F}\right) \qquad (۴-۱۱۱)$$

$$i_C \cong I_S\, e^{v_{BE}/V_T} + I_S\left(\frac{۱}{\alpha_R} - ۱\right) \qquad (۴-۱۱۲)$$

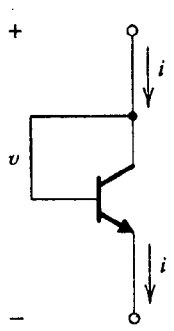
$$i_B \cong \frac{I_S}{\beta_F}\, e^{v_{BE}/V_T} - I_S\left(\frac{۱}{\beta_F} + \frac{۱}{\beta_R}\right) \qquad (۴-۱۱۳)$$

در هر یک از سه معادله دومین عبارت سمت راست را می‌توان نادیده نگاشت. در نتیجه آن، روابط جریان - ولتاژ بدست می ایند که عملکرد حالت فعال را نشان می‌دهد.

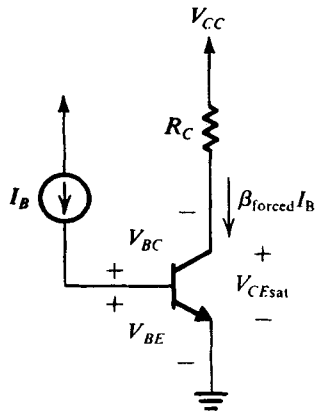
تمرین

۳۹-۴ با استفاده از معادله (۱۰۶-۴) نشان دهید که مشخصه i-v ترانزیستور دیود شده شکل ت ۳۹-۴ از رابطه زیر بدست می‌آید:

$$i = \frac{I_S}{\alpha_F}\,(e^{v/V_T} - ۱) = I_S\, e^{v/V_T}$$



شکل (۳۹-۴ ت) ❑



شکل ۵۶-۴. مداری که در آن ترانزیستور می‌تواند در حالت اشباع نرمال کار کند.

حالت اشباع . ابتدا حالت اشباع عادی (مخالف با اشباع معکوس) را مطابق مدار ۵۶-۴ در نظر بگیرید. فرض کنید که جریان I_B به بیس اعمال شود و مقدارش برای راه‌اندازی ترانزیستور در حالت اشباع کافی باشد. به این ترتیب، جریان کلکتور برابر با I_B واداشته β خواهد بود که در آن $\beta_F >$ واداشته β است. می‌خواهیم از معادله‌های EM برای بدست آوردن رابطه‌ای برای اشباع V_{CE} استفاده کنیم.

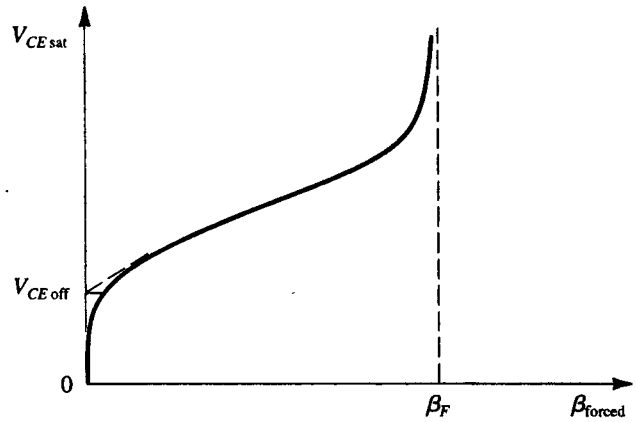
در حالت اشباع هر دو پیوند بایاس مستقیم شده‌اند. بنابراین V_{BE} و V_{BC} هر دو مثبت هستند و مقادیرشان بزرگتر از V_T می‌باشند. از این رو در معادله‌های (۱۰۷-۴) و (۱۰۸-۴) می‌توان فرض کرد که $e^{V_{BE}/V_T} >> 1$ و $e >> 1$ است. از تقریب کردن اینها و جایگزینی $i_B = I_B$ و $i_C = \beta_{\text{واداشته}} I_B$ دو معادله بدست می‌آید که می‌توان آنها را حل کرد و V_{BE} و V_{BC} را بدست آورد. ولتاژ اشباع V_{CE} در آن صورت به مثابه اختلاف بین دو افت ولتاژ بدست می‌آید:

$$V_{CE\,\text{اشباع}} = V_T \ln \frac{1 + (\beta_{forced} + 1)/\beta_R}{1 - \beta_{force}/\beta_F} \qquad (۱۱۴-۴)$$

به عنوان یک تمرین از معادله (۱۱۴-۴) برای یافتن V_{CE} اشباع در یک مورد می‌توان استفاده کرد. جدول ۴-۴ مقادیر عددی حالتی است که در آن $\beta_F = 50$، $\beta_R = 0/1$ است و مقادیر گوناگون برای واداشته β بدست می‌آید. همچنین شکل ۵۷-۴ نموداری از V_{CE} اشباع در مقابل واداشته β نشان می‌دهد. چون I_B واداشته $\beta = i_C$ است و I_B ثابت می‌باشد، واداشته β متناسب با i_C است و منحنی شکل ۵۷-۴، فقط مشخصه $V_{CE} - i_C$ برای جریان ثابت بیس I_B می‌باشد (یعنی یکی از منحنی‌های شکل ۳۶-۴). از جدول ۴-۴ و شکل ۵۷-۴، در می‌یابیم که مقدار نامحدود V_{CE} اشباع در حالت $\beta_F =$ واداشته β

جدول ۴-۴. ولتاژ اشباع برای حالتی که $\beta_F=50$ و $\beta_R=0/1$ باشد.

β_{forced}	۵۰	۴۸	۴۵	۴۰	۳۰	۲۰	۱۰	۱	۰
V_{CEsat}(mV)	∞	۲۳۵	۲۱۱	۱۹۱	۱۶۶	۱۴۷	۱۲۳	۷۶	۶۰

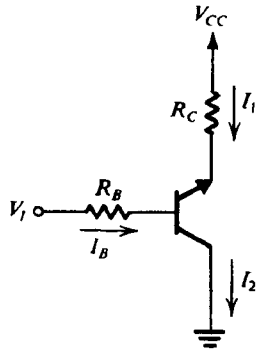


شکل ۵۷-۴. تغییر V_{CE} اشباع با βی واداشته (I_C/I_B=واداشته β) خط عمودی برای β_F=واداشته β نشان دهنده آن است که ترانزیستور از حالت اشباع خارج شده و به حالت فعال وارد شده است.

نمایانگر آن است که ترانزیستور در مرز بین اشباع و حالت فعال می‌باشد. شکل ۵۷-۴ این موضوع را با نمایش عدم وابستگی V_{CE} به واداشته β (یا i_c) در حالت فعال نشان می‌دهد. هر چه واداشته β کاهش یابد، ترانزیستور بیشتر به حالت اشباع می‌رود، V_{BC} افزایش می‌یابد، و V_{CE} اشباع کمتر می‌شود. به این ترتیب، وقتی ۰ = واداشته β باشد، یعنی کلکتور باز باشد، اندازه V_{CE} اشباع مقداری کوچک بدست می‌آید. ولتاژ مزبور، ولتاژ افست BJT است وقتی به مثابه یک سویچ عمل می‌کند [مدل سویچ شکل (پ ۳۱-۱) را ملاحظه کنید]. در پایان، لازم به ذکر است که با معادله (۱۱۴-۴) مقدار V_{CE} اشباع بطور حدسی بدست می‌آید، زیرا افت ولتاژ دو سر پیوند امیتر و کلکتور در آن محاسبه نشده است.

حالت معکوس . اکنون می‌توانیم ولتاژ BJT را در حالت معکوس بررسی کنیم. شکل ۵۸-۴ مداری ساده نشان می‌دهد که در آن کلکتور و امیتر ترانزیستور جایشان عوض شده است. ملاحظه می‌کنید که جریانهای I_B، I_1 و I_2، دارای مقادیر مثبت هستند. بنابراین چون $i_C = -I_2$ و $i_E = -I_1$، هم i_C و هم i_E منفی خواهند بود.

چون نقش امیتر و کلکتور با هم عوض شده است، ترانزیستور مدار ۵۸-۴ در حالت فعال کار خواهد کرد (که این حالت را **حالت کار معکوس** می‌نامیم).



شکل ۵۸-۴. مداری که در آن ترانزیستور در حالت معکوس استفاده شده است.

هنگامی که پیوند امیتر- بیس بایاس معکوس شود، در چنین حالتی خواهیم داشت:

$$I_1 = \beta_R I_B$$

چون β_R معمولاً خیلی کوچک است، به طور عادی اثر نامحسوسی در راه‌اندازی BJT در حالت کار معکوس دارد. با این وجود، چنانکه در بخش ۱۴ خواهیم دید از این حالت دو گیت TTL استفاده می‌شود.

ترانزیستور مدار ۵۸-۴ اشباع خواهد شد (یعنی در حالت اشباع معکوس کار می‌کند) وقتی پیوند امیتر- بیس بایاس مستقیم شود. در این صورت

$$\frac{I_1}{I_B} < \beta_R$$

از معادله EM برای یافتن رابطه‌ای برای اشباع V_{EC} در این وضعیت می‌توان استفاده کرد. چنین رابطه‌ای بطور مستقیم از معادله (۱۱۴-۴) به صورت زیر بدست می‌آید: واداشته β را با $-I_2/I_B$ جایگزین کنید و سپس I_2 را با $I_1 + I_B$ جایگزین کنید. نتیجه چنین خواهد شد:

$$V_{CE\,\text{اشباع}} = V_T \ln \frac{1 + \frac{1}{\beta_F} + \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_F}\right)}{1 - \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_R}\right)} \qquad (۱۱۵-۴)$$

از این رابطه، می‌بینیم که مینیمم مقدار اشباع V_{EC} هنگامی بدست می‌آید که $I_1 = 0$ باشد. این مینیمم خیلی نزدیک به صفر است. علاوه بر این، مشاهده می‌کنیم که وضعیت $I_1/I_B<\beta_R$ باید به گونه‌ای باشد که مخرج مثبت باقی بماند. این شرایط، البته زمانی است که ترانزیستور در حالت اشباع معکوس کار کند. سرانجام توجه کنید که چون β_R معمولاً خیلی کوچک است، I_1 بایستی خیلی کوچکتر از I_B باشد. با این نتیجه که اشباع V_{CE} خیلی کوچک خواهد بود. این براستی دلیل مناسبی برای کار BJT در حالت اشباع معکوس است. ولتاژهای اشباع بسیار کوچک و به اندازه کسری از میلی ولت بدست می‌آید. ایراد حالت اشباع معکوس زمان بالنسبه طولانی خاموش ماندن ترانزیستور است.

تمرین

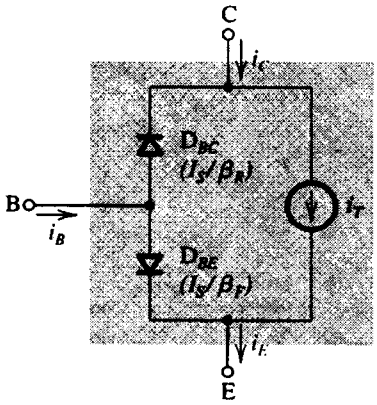
۴۰-۴ در مدار شکل ۵۸-۴، فرض‌کنید $R_B = 1K\Omega$ و $V_1 = V_{CC} = +5V$ باشد. در نظر بگیرید که $V_{BC} = 0.6V$، $\beta_R = 0.1$، و $\beta_F = 50$ باشد، مقادیر تقریبی ولتاژ امیتر را در حالتهای زیر بدست آورید: $R_C = 1K\Omega$؛ $R_C = 10K\Omega$؛ و $R_C = 100K\Omega$.

جواب. $+4.56V$ ؛ $+0.6V$ ؛ $+3.5mV$ ❑

صورت دیگری از مدل ابرزمول: مدل انتقال

شکل ۵۹-۴ صورت دیگری (تا حدی ساده‌تر) از مدل ابرزمول نشان می‌دهد. در اینجا دیودها D_{BE} و D_{BC} دارای جریانهای اشباع (I_S/β_F) و (I_S/β_R) می‌باشند. به این ترتیب

$$i_B = \frac{I_S}{\beta_F}(e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R}(e^{v_{BC}/V_T} - 1) \qquad (۱۱۶-۴)$$



شکل ۵۹-۴. مدل انتقال برای ترانزیستور *npn*، این مدل دقیقاً با مدل ابرزمول شکل ۵۵-۴ برابر است. توجه کنید که جریانهای اشباع دیودها در پرانتز آورده شده و i_T از معادله (۱۱۷-۴) بدست می‌آید.

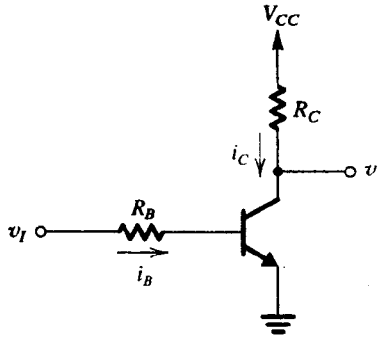
که با معادله (۱۰۸-۴) یکسان است. منبع جریان کنترل i_T با رابطه زیر تعیین می‌شود.

$$i_T = I_S(e^{v_{BE}/V_T} - 1) - I_S(e^{v_{BC}/V_T} - 1) \qquad (۱۱۷-۴)$$

مشاهده می‌کنید که i_T مؤلفه جریان i_C و i_E را نشان می‌دهد که به عنوان نتیجه‌ای از انتشار حاملهای اقلیت در بیس، یا حاملهای انتقال به بیس بوجود آمده است. نام مدل انتقال نیز به همین دلیل است. به سادگی می‌توانید نشان دهید که $i_C = i_T - (I_S/\beta_R)(e^{V_{BC}/V_T}-1)$ رابطه‌ای بدست می‌دهد معادل آنچه در معادله (۱۰۶-۴) بدست آمد و از رابطه $i_E = i_T + (I_S/\beta_F)(e^{V_{BE}/V_T}-1)$ رابطه‌ای برابر با معادله (۱۰۷-۴) بدست می‌آید. در نتیجه مدل انتقال دقیقاً برابر با مدل EM است. برتری آن در تشخیص آسان i_T و به کاربردن یک قطعه کمتر، و یک شاخصه کمتر نسبت به مدل EM می‌باشد. از مدل انتقال در SPICE استفاده می‌شود.

۱۴-۴ وارونگر منطقی با BJT

اصلی‌ترین جزء در یک دستگاه دیجیتالی، وارونگر منطقی است. در بخش ۷-۱، وارونگر را به طور مفهومی بررسی کردیم، و شکل‌گیری وارونگر را با استفاده از سویچهای کنترل با ولتاژ، نشان دادیم. پس از آنکه ابتدا BJT را مطالعه کردیم، اینک کاربرد آن را در یک وارونگر منطقی ساده در نظر می‌گیریم. چنین مداری در شکل ۶۰-۴ نشان داده شده است. از این



شکل ۶۰-۴. اساس وارونگر منطق دیجیتال BJT

مدار که به تفصیل شرح داده شده، در بخش ۱۲-۴ برای نمایش رفتار BJT در حالتهای قطع، فعال، و اشباع استفاده کردیم. رفتار مدار به مثابه یک وارونگر منطقی در حالتهای قطع و اشباع صورت می‌گیرد. به بیانی ساده، اگر ولتاژ ورودی V_I "بالا" باشد، یعنی مقداری نزدیک به ولتاژ منبع تغذیه یا V_{CC} باشد، در سیستم منطق مثبت منطق 1 نمایان خواهد شد و ترانزیستور هدایت خواهد کرد. با انتخاب مناسب مقادیر R_B و R_C، ترانزیستور اشباع می‌شود. $V_{CE_{\text{اشباع}}} = ۰/۲V$ خواهد شد و وضعیت منطقی "پایین" یا منطق 0 پدید خواهد آمد. اگر ولتاژ ورودی "پایین" تا اندازه نزدیک به زمین (مثلاً $V_{CE_{\text{اشباع}}}$) باشد، در آن صورت ترانزیستور قطع خواهد شد، i_C صفر خواهد بود، و $v_O = V_{CC}$ که "بالا" یا منطق 1 بدست می‌آید.

انتخاب دو حالت قطع و اشباع ترانزیستور BJT در مدار وارونگر به دو دلیل زیر است:

۱- اتلاف توان هم در حالت قطع و هم در حالت اشباع نسبتاً کم می‌باشد. در قطع همه جریانها صفر هستند (بجز جریانهای بسیار کوچک نشتی)، و در اشباع ولتاژ دو سر ترانزیستور بسیار کم است ($V_{CE_{\text{اشباع}}}$)

۲- مقادیر ولتاژ خروجی (V_{CC} و $V_{CE_{\text{اشباع}}}$) دقیق تعریف شده‌اند. اگر ترانزیستور در حالت هدایت کار کند، $v_O = -V_{CC}\, i_C R_C = V_{CC} - \beta\, i_B R_C$ که به شدت به شاخصه کنترل نشونده β بستگی دارد.

مشخصه انتقال ولتاژ

همانگونه که در بخش ۷-۱ گفته شد، مفیدترین شیوه نمایش مشخصه‌های وارونسازی، نمایش مشخصه انتقال ولتاژ آن برحسب v_O در برابر v_I است. نموداری از مشخصه انتقال ولتاژ (VTC) مدار وارونگر شکل ۶۰-۴ در شکل ۶۱-۴ نشان داده شده است. مشخصه انتقال با سه پاره خط مستقیم نمایش داده شده است که متناسب است با کار BJT در نواحی قطع، فعال، و اشباع. اکنون مختصات نقاط شکست مشخصه انتقال در شکل ۶۱-۴ را برای یک مورد نمایشی بدست می‌آوریم: $R_B = ۱۰k\Omega$، $R_C = ۱K\Omega$، $\beta = ۵۰$ و $V_{CC} = ۵V$، به این ترتیب:

۱- در $v_I = V_{OL} = V_{CE_{\text{اشباع}}}$، $v_O = V_{OH} = V_{CC} = ۵V$

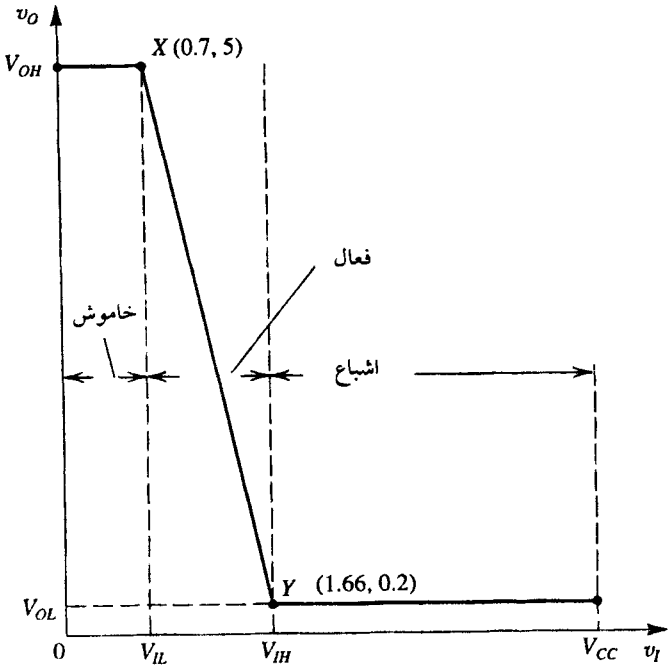
۲- در $v_I = V_{IL}$، ترانزیستور شروع به روشن شدن (فعال بودن) می‌کند. بنابراین $V_{IL} \cong ۰/۷V$

۳- به ازای $V_{IL} < v_I < V_{IH}$، ترانزیستور ناحیه فعال است، و به مثابه یک تقویت‌کننده کار می‌کند که بهره سیگنال کوچک آن برابر است با

$$A_v \equiv \frac{v_o}{v_i} = -\beta\frac{R_C}{R_B + r_\pi}$$

بهره به مقدار r_π بستگی دارد، که به نوبه خود با جریان کلکتور و بنابراین با مقدار v_I تعیین می‌گردد، با افزایش جریان ترانزیستور، r_π کاهش می‌یابد، و می‌توان r_π را در برابر R_B نادیده گرفت. و به این ترتیب رابطه بهره چنین می‌شود:

$$A_v \cong -\beta\frac{R_C}{R_B} = -۵۰\times\frac{۱}{۱۰} = -۵V/V$$



شکل ۶۱-۴. نموداری از مشخصه انتقال ولتاژ مدار وارونگر شکل ۶۰-۴ در حالتی که $R_B=۱۰k\Omega$، $R_C=۱k\Omega$، $\beta=۵۰$ و $V_{CC}=۵V$ است. برای محاسبه X و Y به متن مراجعه کنید.

۴- در $v_I = V_{IH}$، ترانزیستور به ناحیه اشباع وارد می‌شود، به این ترتیب V_{IH} مقدار v_I است که از رابطه زیر بدست می‌آید

$$I_B = I_{B(EOS)} = \frac{(V_{CC} - V_{CEsat})/R_C}{\beta}$$

برای مقادیر استفاده شده، $I_{B(EOS)} = ۰/۰۹۶mA$ بدست می‌آید که برای محاسبه V_{IH} استفاده می‌کنیم

$$V_{IH} = I_{B(EOS)} R_B + V_{BE} = ۱/۶۶V$$

۵- به ازای $v_I = V_{OH} = ۵V$، ترانزیستور به اشباع خواهد رفت با $v_O = V_{CE_{\text{اشباع}}} \cong ۰/۲V$ و

$$\beta_{\text{واداشته}} = \frac{(V_{CC} - V_{CE_{\text{اشباع}}})/R_C}{(V_{OH} - V_{BE})/R_B} = \frac{۴/۸}{۰/۴۳} = ۱/۱$$

۶- اکنون لبه‌های نویز با استفاده از فرمولهای بخش ۷-۱ بدست می‌آید.

$$NM_H = V_{OH} - V_{IH} = ۵-۱/۶۶=۳/۳۴V$$

$$NM_L = V_{IL} - V_{OL} = ۰/۷-۰/۲=۰/۵V$$

بطور واضح، دو لبه نویز خیلی متفاوتند. و مدار وارونگر از حالت آرمانی فاصله دارد.

۷- بهره در ناحیه گذر را می‌توان با توجه به مختصات X و Y محاسبه کرد.

$$\text{بهره ولتاژ} = -\frac{۵ - ۰/۲}{۱/۶۶ - ۰/۷} = -۵V/V$$

که با مقدار تقریبی بدست آمده در بالا برابر است. (که تصادفاً همان مقدار است).

مدارهای دیجیتالی با BJT اشباع شده و اشباع نشده

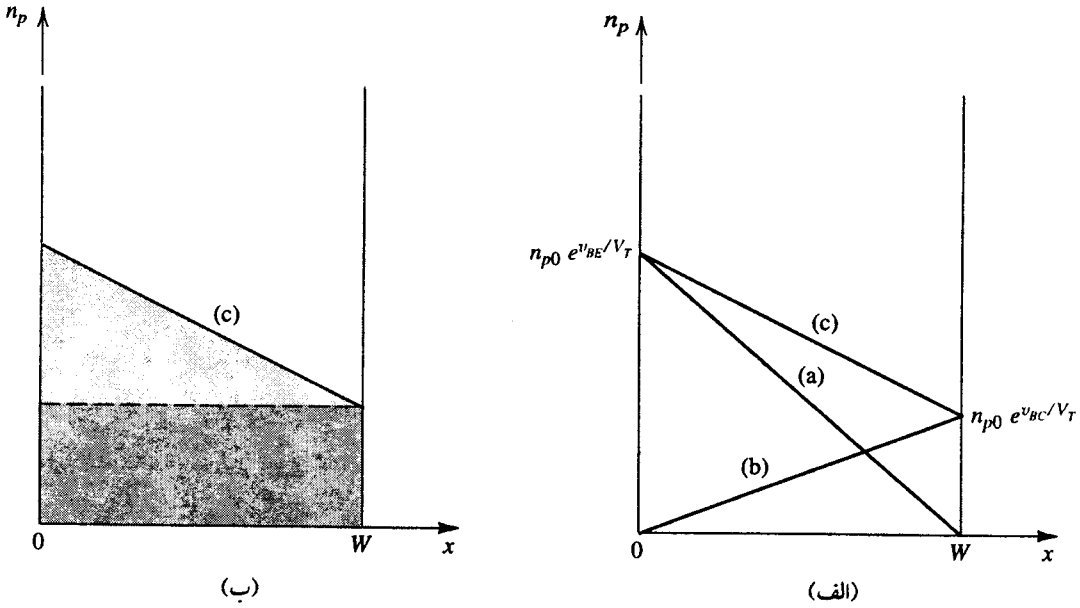
مدار وارونگر بالا از جمله مدارهای دیجیتالی BJT نوع اشباع شده هستند. درباره گروهی از مدارهای منطقی BJT اشباع شده موسوم به منطق ترانزیستور- ترانزیستور (یا به اختصار TTL) در فصل ۱۴ مطالعه خواهیم کرد. البته، مدارهای دیجیتالی دو قطبی اشباع شده در طراحی دستگاههای دیجیتالی، دیگر بهترین انتخاب نیستند. زیرا سرعت کارشان با تأخیر زمان نسبتاً طولانی ترانزیستور برای تغییر از اشباع به خاموشی بطور جدی محدود می‌شود. این نکته در اینجا بطور خلاصه بیان می‌شود و تحلیل مفصل زمان سویچینگ BJT در فصل ۱۴ ارائه خواهد شد. برای شروع، همین قدر کافی است که گفته شود برای کار در سرعت بالا، BJT نباید به حالت اشباع برود. این حالت در منطق ترویج- امیتر (ECL) در فصل ۱۴ بررسی خواهد شد. در آنجا، نشان خواهیم داد که ECL در حال حاضر سریعترین مدار منطقی موجود است. این خصوصیت بر پایه سویچینگ جریان است که در بخش ۷-۱ مفهوم آن شرح داده شد.

ذخیره بار حاملهای اقلیت در بیس یک ترانزیستور اشباع شده

مطالعه رفتار فیزیکی BJT در حالت فعال (بخش ۲-۴) با بهره‌گیری از توزیع حاملهای اقلیت در ناحیه بیس صورت گرفت (شکل ۴-۴ را مشاهده‌کنید). در نظر گرفتن تغییر توزیع حاملها وقتی ترانزیستور به حالت اشباع وارد می‌شود جالب و آموزنده است. شکل الف ۶۲-۴ ناحیه مؤثر بیس یک ترانزیستور npn را با سه خط راست با نامهای a ، b و c نشان می‌دهد. خط (a) توزیع حاملهای اقلیت (الکترونها) را نشان می‌دهد هنگامی که BJT در حالت فعال کار می‌کند و از بازترکیب آن در بیس صرفنظر می‌شود. ملاحظه می‌کنید که چگالی الکترون در $x = 0$ برابر با $n_{p0}e^{vBE/V_T}$ است که n_{p0} چگالی الکترونهای اقلیت در بیس نوع p بر اثر حرارت می‌باشد. چگالی الکترون صفر می‌باشد زیرا بایاس CBJ معکوس است. مشابه با آن خط (b) چگالی را نشان می‌دهد هنگامی که BJT در حالت فعال معکوس کار می‌کند، نشان‌دهنده چگالی $n_{p0}e^{vBC/V_T}$ در $x=W$ و صفر در $x = 0$ است. حال اگر BJT در حالت اشباع کار کند، هر دو پیوند بایاس مستقیم خواهد شد، و چگالی حاملهای اقلیت با افزودن آنچه در خطهای (a) و (b) وارد شده، چگالی خط (c) را بدست خواهند داد.

شیب نشان داده شده در خط (c) نشان‌دهنده آن است که حاملهای اقلیت همچنان در بیس انتقال خواهد یافت. جریان متناظر در کلکتور، i_T، با شیب خط (c) و بنابراین با $\frac{n_{p0}}{W}(e^{vBE/V_T}-e^{vBC/V_T})$ متناسب خواهد بود. این جریانی است که از منبع جریان در مدل انتقال شکل ۵۹-۴ بدست آمده است. مساحت زیر خط (c) بار حاملهای اقلیت ذخیره شده در بیس یک ترانزیستور اشباع را نشان می‌دهد. یک نمایش جالب از بار ذخیره شده در شکل (ب ۶۲-۴) نشان داده شده است. در اینجا مساحت مثلث بار حاملهای اقلیت را نشان می‌دهد که به جریان نفوذی i_T ارتقا می‌یابد. این باری است که باید در بیس ذخیره شود تا BJT را به مرز اشباع برساند. از سوی دیگر، مؤلفه بار نمایش داده شده با مثلث، بطور مسلم در شیب تمرکز و بنابراین در جریان کلکتور مشارکت نمی‌کند. این بار اضافی ترانزیستور را کاملاً به حالت اشباع می‌برد. به یقین، هر چه ترانزیستور بیشتر اشباع شود (با واداشته β کمتر)، بار اضافی ذخیره شده در بیس بیشتر خواهد شد.

بار اضافی ذخیره در بیس ترانزستور اشباع شده یک مشکل جدی خواهد بود هنگامی که سبب خاموشی ترانزیستور می‌شود. پیش از آنکه



شکل ۶۲-۴. (الف) تراکم حامل‌های اقلیت در بیس ترانزیستور اشباع شده با خط (c) مشخص شده است. (ب) بار حامل‌های اقلیت ذخیره شده در بیس به دو بخش تقسیم می‌شود. بخش خاکستری روشن که شیب آن جریان نفوذی بیس را نشان می‌دهد، و بخش خاکستری تیره که ترانزیستور را به حالت اشباع می‌برد.

جریان کلکتور امکان کاهش بیابد، همه بار ذخیره شده اضافی بایستی از بین برود. این یک مؤلفه نسبتاً بزرگ به زمان خاموشی یک ترانزیستور اشباع شده می‌افزاید.

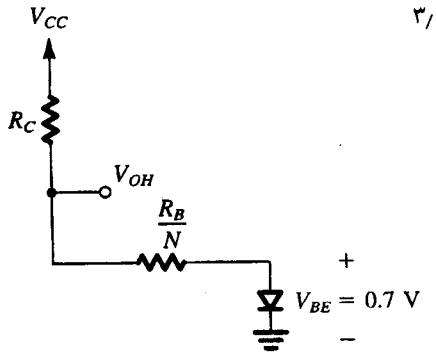
تمرین

۴-۴۱ وارونگر شکل ۶۰-۴ را در نظر بگیرید. وقتی v_I پایین است، فرض کنید خروجی به پایه‌های ورودی N وارونگر یکسان وصل شده‌باشد. دلیل بیاورید که سطح خروجی V_{OH} با استفاده از مدار معادل شکل (ت ۴۱-۴) بدست می‌آید. سپس نشان دهید که

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

به ازای $N = 5$ ، V_{OH} را با استفاده از مقادیر اجزای مدار قبلی ($V_{CC} = 5V$ ، $R_C = 1K\Omega$ ، $R_B = 10K\Omega$) بدست آورید.

جواب. ۳٫۶V



شکل (ت ۴۱-۴)

۴-۱۵ مشخصه‌های استاتیک کامل ، ظرفیت‌های داخلی، و اثرات مرتبه دوم

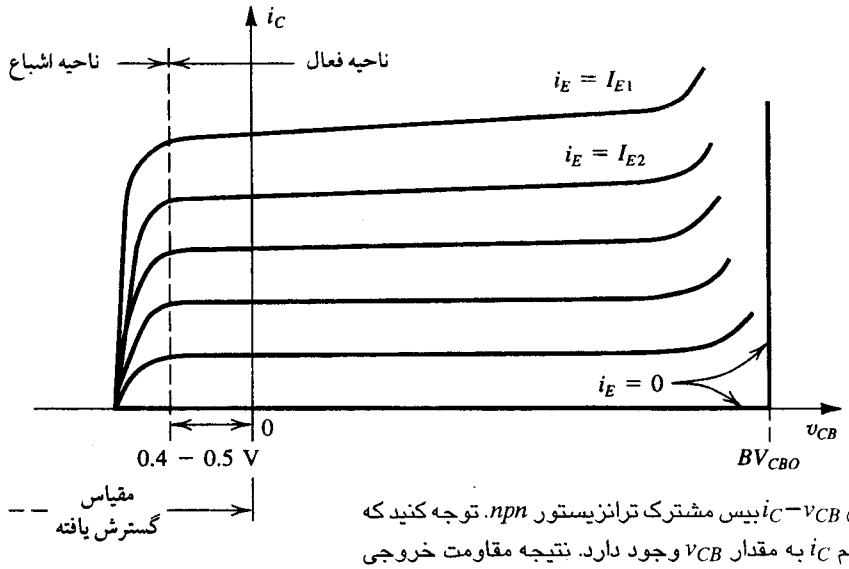
این فصل را با بحثی درباره مشخصه‌های استاتیک کامل BJT (که در کتابچه‌های راهنمای مشخصات می‌آید) به پایان می‌بریم. همچنین برخی از مشخصه‌های دیگر را بررسی می‌کنیم که کار BJT را در مدارات پیشرفته‌تری که در بخشهای آتی نشان داده خواهند شد، محدود می‌کند.

مشخصه‌های بیس مشترک

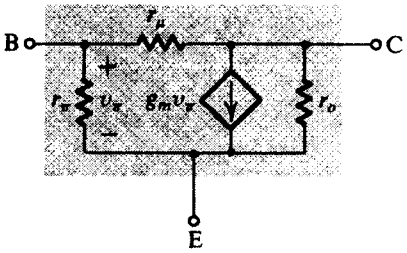
شکل (۶۳-۴) مجموعه کاملی از منحنی‌های مشخصه $i_C - v_{CB}$ را در یک ترانزیستور npn نشان می‌دهد. همانگونه که در بخش ۵-۴ نشان داده شد، مشخصه‌های $i_C - v_{CB}$ با مقادیر ثابتی از جریان امیتر i_E اندازه‌گیری شده است (شکل الف ۱۴-۴) را ملاحظه کنید). چون در چنین آرایشی، بیس به ولتاژ ثابتی متصل می‌شود، منحنی‌های $i_C - v_{CB}$ را مشخصه‌های بیس مشترک می‌نامند.

منحنی‌ها در شکل (۶۳-۴) با آنچه در شکل (ب ۱۴-۴) نشان داده شده است از سه جنبه تفاوت می‌کند. اول آنکه، شکست بهمنی CBJ در ولتاژهای زیاد نشان داده شده است که در مبحث بعدی به طور خلاصه شرح داده خواهد شد. دوم آنکه، مشخصه ناحیه اشباع نیز وجود دارد. همانگونه که نشان می‌دهد، با منفی‌شدن v_{CB} ، CBJ بایاس مستقیم می‌شود و جریان کلکتور کاهش می‌یابد. چون در منحنی‌ها، i_E ثابت است، افزایش در i_C موجب افزایش برابر در i_B می‌شود. تأثیر مهمی که v_{CB} بر جریان کلکتور در حالت اشباع دارد از شکل (۶۳-۴) مشهود است و با توضیحات قبل ما درباره حالت اشباع تطابق دارد.

سومین اختلاف بین منحنی‌های مشخصه شکل (۶۳-۴) و منحنی‌های نشان داده شده اخیر در آن است که در ناحیه فعال، منحنی‌های مشخصه به گونه‌ای نشان داده شده که دارای شیب خیلی کم هستند. این شیب نشان می‌دهد که در آرایش بیس مشترک، جریان کلکتور در حد کمی به ولتاژ کلکتور - بیس بستگی دارد، که این نمودی از اثر نخست است که پیش از این بحث گردید. البته، لازم به توجه است که شیب منحنی‌های $i_C - v_{CE}$ که با i_E ثابت اندازه‌گیری شده است، خیلی کوچکتر از شیب منحنی‌های $i_C - v_{CE}$ اندازه‌گیری شده با v_{BE} ثابت می‌باشد. به بیان دیگر مقاومت خروجی در آرایش بیس مشترک خیلی بزرگتر از مقاومت خروجی مدار



شکل ۶۳-۴. مشخصه‌های $i_C - v_{CB}$ بیس مشترک ترانزیستور npn. توجه کنید که در ناحیه فعال وابستگی کم i_C به مقدار v_{CB} وجود دارد. نتیجه مقاومت خروجی محدودی است که با افزایش جریان قطعه، کاهش می‌یابد.



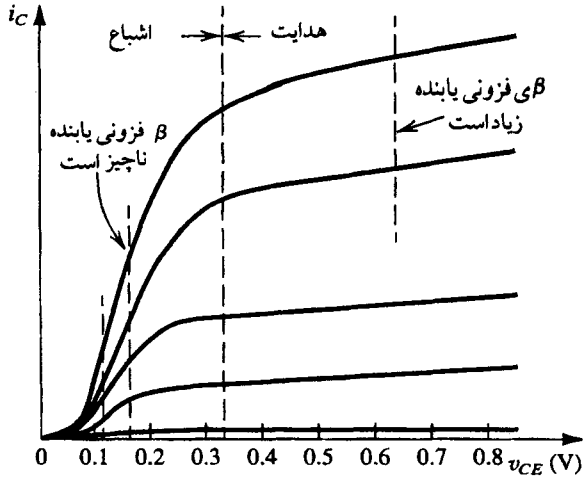
شکل ۶۴-۴. مدل هیبرید π، شامل مقاومت r_μ، که اثر v_c را بر i_b مدل می‌کند.

امیتر مشترک با v_{BE} ثابت (یعنی r_o) است. در اینجا نکته مهم قابل توجه دیگر، آن است که چون هر منحنی $i_C - v_{CB}$ ثابت اندازه‌گیری شده است، افزایش در i_C با v_{CB} بطور تلویحی افزایش در i_E را نشان می‌دهد. وابستگی i_B به v_{CB} که با افزودن r_μ بین کلکتور و بیس در مدل هیبرید π بصورت مدل درمی‌آید، مدل تکامل یافته شکل (۶۴-۴) را نتیجه می‌دهد. مقاومت r_μ خیلی بزرگتر از βr_o است.

مدل کامل شده هیبرید π شکل (۶۴-۴) برای محاسبه مقاومت خروجی پیکربندی بیس مشترک می‌تواند استفاده شود که معکوس شیب خطوط مشخصه $i_C - v_{CB}$ در شکل (۶۳-۴) است. برای اینکار، بیس را به زمین وصل کنید، امیتر را (چون i_E ثابت است) مدار بازکنید، یک ولتاژ آزمایشی بین کلکتور و زمین اعمال کنید، و جریان کشیده شده از ولتاژ آزمایشی را پیدا کنید. نتیجه (مسئله ۱۱۹-۴) آن است که مقاومت خروجی تقریباً برابر با معادل موازی r_μ و βr_o و بنابراین خیلی بزرگ است.

مشخصه‌های امیتر مشترک

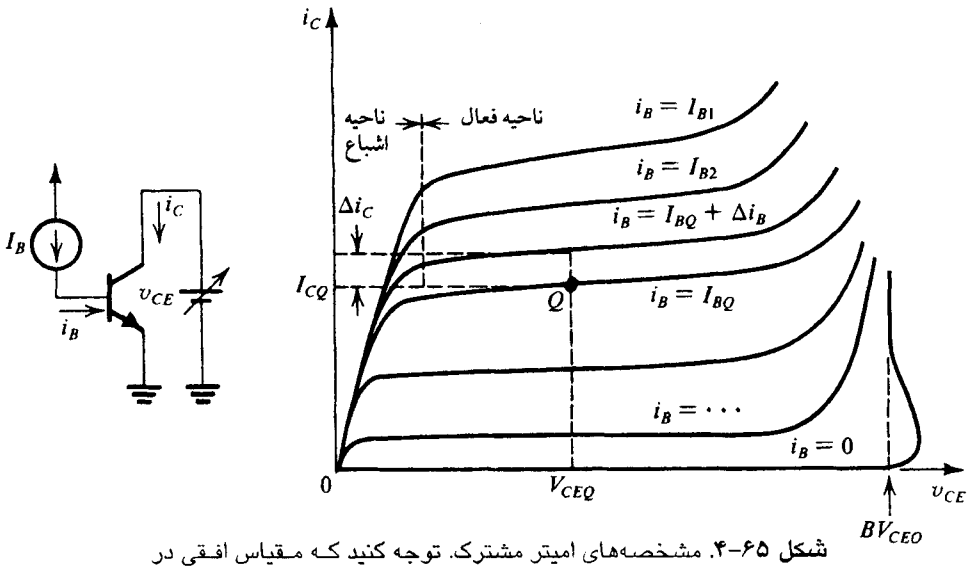
طریقه دیگر نمایش ترسیمی مشخصه‌های ترانزیستور در شکل (۶۵-۴) نشان داده شده است، که i_C در برابر v_{CE} برای مقادیر مختلف جریان بیس i_B ترسیم شده است. این مشخصه‌ها به طریقی متفاوت با آنچه



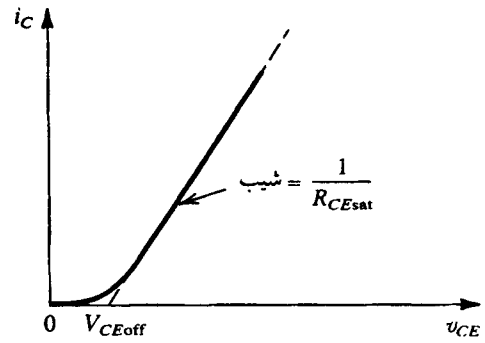
شکل ۶۶-۴. نمایش مبالغه آمیزی از مشخصه‌های امیتر مشترک در ناحیه اشباع

در مورد شکل (۱۵-۴) انجام شد، اندازه‌گیری می‌شود. مادامی که در حالت بعدی، v_{BE} برای هر منحنی ثابت انگاشته می‌شود، i_B ثابت می‌ماند. به عنوان نتیجه، شیب در ناحیه فعال با $1/r_o$ متفاوت است، در حقیقت شیب در اینجا بزرگتر است. با استفاده از مدل هیبرید π شکل (۶۴-۴) می‌توان نشان داد که مقاومت پیکربندی امیتر مشترک با ثابت نگهداشتن i_B تقریباً برابر است با $[r_o \| (r_\mu/\beta)]$ است. مسئله ۱۲۰-۴ را ملاحظه کنید.

در مشخصه‌های امیتر مشترک در شکل (۶۵-۴)، ناحیه اشباع نیز نمایان است. دقت کنید که ترانزیستور در ناحیه فعال به مثابه یک منبع جریان با مقاومت خروجی زیاد (اما محدود) کار می‌کند، در حالیکه در ناحیه اشباع، به عنوان یک «کلید بسته» با «مقاومت محصور» کوچک R_{CEsat} عمل می‌کند. از آنجا که منحنی‌ها در ناحیه اشباع با یکدیگر دسته شده‌اند، نمایش مبسوطی از قسمت اشباع مشخصه‌ها را در شکل (۶۶-۴) نمایش می‌دهیم. دقت کنید که منحنی‌ها بطور مستقیم تا مبدأ امتداد



شکل ۶۵-۴. مشخصه‌های امیتر مشترک. توجه کنید که مقیاس افقی در اطراف مبدأ گسترش یافته تا ناحیه اشباع را به وضوح نشان دهد.



شکل ۶۷-۴. یکی از منحنی‌های مشخصه $i_C - v_{CE}$ در ناحیه اشباع. توجه کنید که مشخصه با ولتاژ اُفست V_{CEoff} و مقاومت کوچک اشباع R_{CE} مدل شده است.

نمی‌یابند. در حقیقت، برای مقدار معینی از i_B مشخصه $i_C - v_{CE}$ در حالت اشباع با خط راستی تقریب شده است که محور v_{CE} را در نقطه v_{CEsat} مطابق شکل (۶۷-۴) قطع می‌کند. ولتاژ V_{CEoff}، **ولتاژ افست** (offset) سویچ ترانزیستور نامیده می‌شود که در شکل ۶۷-۴ نشان داده شده است. ترانزیستورهای اثر میدان (فصل ۵) چنین ولتاژهای افستی ندارند و بنابراین سویچ‌های بسیار مرغوبی می‌توانند باشند. البته FET ها مانند مقاومت‌های بزرگ عمل می‌کنند. در پایان توجه کنید که رفتار BJT در حالت اشباع چنانکه در شکل ۶۷-۴ ترسیم شده است، از معادله (۱۱۴-۴) پیروی می‌کند که از مدل ابزر - مول بدست آمده است.

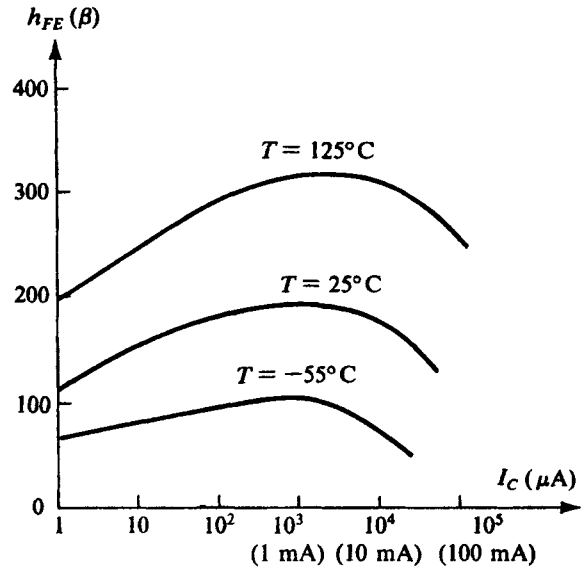
β ترانزیستور

پیش از این، وقتی ترانزیستور در حالت فعال کار می‌کند، β را نسبت مجموع جریان کلکتور به مجموع جریان بیس برشمردیم. اکنون بطور خاص، فرض کنید ترانزیستور با جریان بیس I_{BQ}، جریان کلکتور I_{CQ}، و ولتاژ کلکتور به امیتر V_{CEQ} کار کند. این کمیتها نقطه کار یا بایاس Q را در شکل (۶۵-۴) معین می‌کند. نسبت I_{CQ} به I_{BQ} را βی dc یا h_{FE} می‌نامند. (برای نام اخیر در فصل ۷ توضیح داده شده است).

$$h_{FE} \equiv \beta_{dc} \equiv \frac{I_{CQ}}{I_{BQ}} \qquad (۱۱۸-۴)$$

وقتی از ترانزیستور به عنوان تقویت کننده استفاده می‌شود، ابتدا در نقطه‌ای نظیر Q بایاس می‌شود. سیگنالهایی اعمال می‌شود که در آنصورت تغییرات افزایشی (فزاینده) در i_B، i_C و V_{CE} حول نقطه بایاس بوجود می‌آید. در آنصورت ممکن است نمو یا βی ac را به صورت زیر تعیین کنیم. فرض کنیم ولتاژ کلکتور به امیتر در V_{CEQ} ثابت بماند و جریان بیس بوسیله یک نمو Δi_B تغییر کند. چنانچه جریان کلکتور بوسیله یک نمو در Δi_C تغییر کند (شکل ۶۵-۴ را ملاحظه کنید)، در آنصورت β_{ac} (یا h_{fe} که مطابق معمول نامیده می‌شود) در نقطه کار Q به صورت زیر تعیین می‌گردد:

$$h_{fe} \equiv \beta_{ac} \equiv \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{CE} = \text{ثابت}} \qquad (۱۱۹-۴)$$

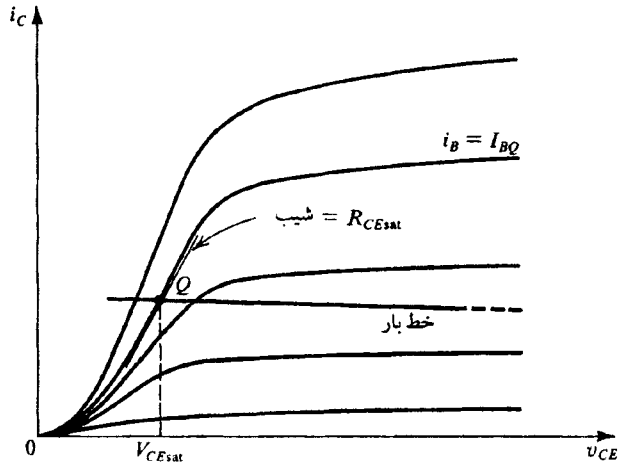


شکل ۶۸-۴. نمونه‌ای از وابستگی β به I_C و دما در یک مدار مجتمع جدید ترانزیستور سیلیکون npn برای کار حول ۱mA

این امر که V_{CE} ثابت نگهداشته شود، اشاره به آن دارد که نمو ولتاژ v_{ce} صفر است؛ بنابراین h_{fe} **بهره جریان اتصال کوتاه** نامیده می‌شود.

وقتی تحلیل سیگنال کوچک صورت می‌گیرد، β بایستی βی ac (h_{fe}) باشد. از سوی دیگر، چنانچه یک مدار سوئیچینگ را تحلیل یا طراحی کنیم، β_{dc} (h_{FE}) همان β مناسب است. اختلاف بین β_{dc} و β_{ac} معمولاً کوچک می‌باشد و بطور عادی از هم تشخیص داده نمی‌شود. به این ترتیب نقطه قابل ذکر آن است که مقدار β به میزان جریان قطعه بستگی دارد، و نسبت بین آنها شکل (۶۸-۴) را بوجود می‌آورد. این شکل وابستگی حرارتی β را نیز نشان می‌دهد.

در بخش ۹-۴ تحلیل ترسیمی مدارهای ترانزیستوری بحث شد. در آنجا نشان داده شد که درکاربردهای تقویت کننده، BJT در نقطه سکون و در وسط ناحیه فعال بایاس می‌شود. در اینجا می‌خواهیم عملکرد BJT را در ناحیه اشباع نشان دهیم. شکل (۶۹-۴) خط باری را نشان می‌دهد که



شکل ۶۹-۴. نمایش گسترده‌ای از قسمت اشباع مشخصه‌ها به همراه خط بار که کار در نقطه Q در ناحیه اشباع را به دست می‌دهد.

مشخصه $i_C - v_{CE}$ را در نقطه‌ای در ناحیه اشباع قطع می‌کند. دقت کنید که در این حالت تغییر در جریان بیس، سبب تغییراتی در i_C و v_{CE} می‌شود و در اشباع نمو β (β_{ac}) بسیار کم می‌باشد.

شکست ترانزیستور

ماکزیمم ولتاژی که به یک BJT اعمال می‌گردد با اثر شکست EBJ و CBJ محدود می‌شود. این اثر، مکانیزم افزایش بهمنی توصیف شده در بخش ۳-۳ را موجب می‌شود. ابتدا آرایش بیس مشترک را درنظر بگیرید. مشخصه‌های $i_C - v_{CB}$ در شکل (۶۳-۴) نشان می‌دهد که برای $i_E = 0$ (یعنی برای مدار باز امیتر)، پیوند کلکتور - بیس در ولتاژی بنام BV_{CBO} شکسته می‌شود. برای $i_E > 0$، شکست پیوندها در ولتاژهای کوچکتر از BV_{CBO} صورت می‌گیرد، بطور نمونه BV_{CBO} بزرگتر از ۵۰ V است.

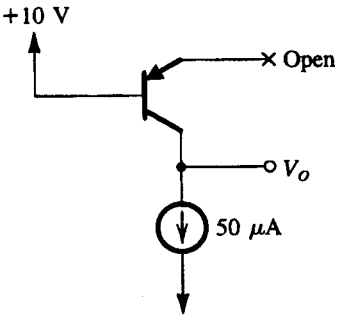
در مرحله بعد، مشخصه‌های امیتر مشترک شکل (۶۵-۴) را در نظر بگیرید که در آن شکست در ولتاژ BV_{CEO} صورت می‌گیرد. در اینجا، اگرچه شکست باز هم از نوع بهمنی است، اثرات بر مشخصه‌ها پیچیده‌تر از پیکربندی بیس مشترک می‌باشد. این جزئیات را توضیح نمی‌دهیم، کافی است نشان دهیم که BV_{CEO} نمونه، حدود نصف BV_{CBO} می‌باشد. در کتابچه راهنمای ترانزیستور، BV_{CEO} را با نام **ولتاژ تحمل** LV_{CEO} مشخص می‌کنند.

شکست CBJ در پیکربندی امیتر مشترک یا بیس مشترک معیوب‌کننده ترانزیستور نیست به شرط آنکه توان تلف‌شده در قطعه در محدوده ایمنی نگهداشته شود. البته، این حالت برای شکست پیوند امیتر - بیس مصداق ندارد. EBJ در ولتاژ BV_{EBO} خیلی کوچکتر از BV_{CBO} به صورت بهمنی می‌شکند. بطور نمونه BV_{EBO} در محدوده ۶ تا ۸ ولت است و شکست معیوب‌کننده است به این مفهوم که βی ترانزیستور پیوسته کاهش می‌یابد. این امر مانع از آن نمی‌شود تا از EBJ به عنوان دیود زنر برای ایجاد ولتاژ مبنا در طراحی IC استفاده گردد. البته در چنین مواردی، شخص با تأثیر کاهش β مواجه نیست. آرایش مدار برای جلوگیری از شکست EBJ در تقویت‌کننده‌های IC در فصل ۱۰ بحث خواهد شد. شکست ترانزیستور و ماکزیمم اتلاف توان مجاز، پارامترهای مهم در طراحی تقویت‌کننده‌های توان می‌باشند (فصل ۹).

تمرین

۴-۴۲ ولتاژ خروجی مدار شکل (۴۲-۴ ت) را پیدا کنید، در صورتیکه $BV_{BCO} = 70\,V$ باشد.

جواب. ۶۰ V-



شکل (۴۲-۴ ت)

۴-۴۳ اندازه‌گیریهای انجام شده بر یک کلید BJT با جریان راه‌انداز ثابت بیس در مقادیر کم v_{CE} اطلاعات زیر را می‌دهد: $i_C = 5\,mA$، $v_{CE} = 170\,mV$؛ در $i_C = 2\,mA$، $v_{CE} = 110\,mV$ مقادیر ولتاژ افست و مقاومت اشباع این کلید چقدر است؟

جواب. ۲۰Ω ؛ ۷۰mV ❑

خازن‌های داخلی BJT

هنگام مطالعه پیوند در فصل ۳، دریافتیم که هر پیوند دارای شرایط ذخیره باری است که به عنوان خازن مدل می‌شود. در اینجا چنین اثری را درباره BJT بررسی می‌کنیم.

بار بیس یا ظرفیت انتشار C_{de}. وقتی ترانزیستور در حالت‌های کار یا اشباع است حامل‌های بار اقلیت در ناحیه بیس ذخیره می‌شوند. در واقع عبارت Q_n (در معادله ۷-۴) را برای نمایش این بار تعیین کرده‌ایم. زمانیکه یک ترانزیستور npn در حالت فعال کار می‌کند با استفاده از نتایج معادله (۷-۴) و معادله‌های (۳-۴) و (۴-۴)، می‌توان Q_n را برحسب جریان کلکتور i_C به صورت زیر بیان نمود:

$$Q_n = \frac{W^2}{2D_n} i_C = \tau_F i_C \qquad (۴-۱۲۰)$$

که در آن τ_F برای قطعه یک ثابت است با بعد زمان

$$\tau_F = \frac{W^2}{2D_n}$$

این زمان را **زمان گذر بیس مستقیم** می‌نامیم و نمایانگر متوسط زمانی است که یک حامل بار (الکترون) در عبور از بیس صرف می‌کند. بطور نمونه، τ_F بین ۱۰ تا ۱۰۰ps است. برای کار در حالت معکوس ثابت معکوس τ_R بکار می‌رود و به مراتب بزرگتر از τ_F می‌باشد.

معادله (۱۲۰-۴) برای سیگنال‌های بزرگ بکار می‌رود، و چون i_C بطور نمایی به v_{BE} مرتبط است، Q_n بطور مشابه به v_{BE} وابسته است. در نتیجه نحوه ذخیره بار نشان دهنده اثر خازنی غیرخطی است. در نتیجه برای سیگنال‌های کوچک، ظرفیت نفوذ سیگنال‌های C_{de} را می‌توانیم تعیین کنیم:

$$C_{de} \equiv \frac{dQ_n}{dv_{BE}}$$

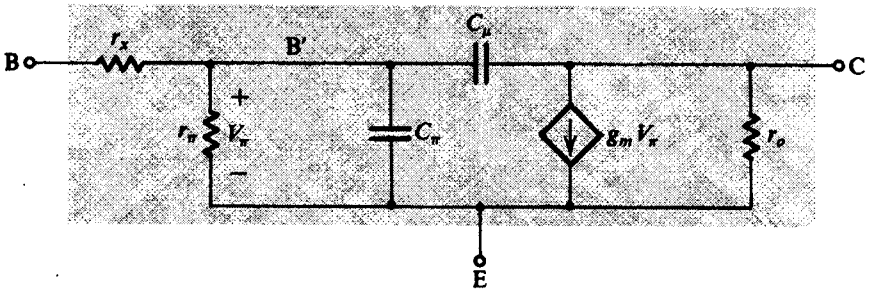
$$= \tau_F \frac{di_C}{dv_{BE}}$$

در نتیجه

$$C_{de} = \tau_F g_m = \tau_F \frac{I_C}{V_T} \qquad (۴-۱۲۱)$$

ظرفیت پیوند بیس - امیتر. با استفاده از آنچه در فصل ۳ و به ویژه در معادله (۲۶-۳) ارائه شد، پیوند بیس امیتر یا ظرفیت لایه تهی C_{je} با رابطه زیر بیان می‌گردد.

$$C_{je} = \frac{C_{je0}}{\left(1 - \frac{V_{BE}}{V_{0e}}\right)^m} \qquad (۴-۱۲۲)$$



شکل ۷۰-۴. مدل هیبرید π فرکانس بالا

که در آن $C_{je\circ}$ مقدار C_{je} در ولتاژ صفر است، $V_{\circ e}$ ولتاژ ذاتی EBJ (معمولاً ۰/۹V) می‌باشد و m ضریب گرادیان پیوند EBJ (معمولاً ۰/۵) است. به این ترتیب این خود موجب می‌شود که چون EBJ در حالت فعال بایاس مستقیم می‌شود، معادله (۱۲۲-۴) یک مقدار دقیقی از C_{je} را ارائه نمی‌کند. از طرف دیگر، معمولاً از مقدار تقریبی برای C_{je} استفاده می‌شود،

$$C_{je} \cong 2C_{je\circ} \qquad (۱۲۳-۴)$$

ظرفیت پیوند کلکتور - بیس C_μ. در حالت فعال، CBJ بایاس معکوس می‌شود و ظرفیت پیوند یا لایه تهی آن که معمولاً با C_μ نشان داده می‌شود، از رابطه زیر بدست می‌آید:

$$C_\mu = \frac{C_{\mu\circ}}{\left(1+\frac{V_{CB}}{V_{\circ c}}\right)^m} \qquad (۱۲۴-۴)$$

که در آن $C_{\mu\circ}$ مقدار C_μ در ولتاژ صفر است. $V_{\circ c}$ ولتاژ ذاتی CBJ (معمولاً ۰/۷۵V) است و m ضریب گرادیان (معمولاً ۰/۲ تا ۰/۵) می‌باشد.

مدل هیبرید π فرکانس بالا

شکل ۷۰-۴ مدل π هیبرید برای BJT را نشان می‌دهد که اثرات خازنی را نیز شامل می‌شود. در اینجا بطور خاص دو خازن وجود دارد: خازن امیتر - بیس $C_\pi = C_{de} + C_{je}$ و خازن کلکتور - بیس C_μ. بطور مثال C_π حدود چند پیکوفاراد تا چند ده پیکوفاراد، C_μ در حدود کسری از پیکوفاراد تا چند پیکوفاراد است. توجه کنید که مقاومت r_μ را حذف کرده‌ایم زیرا در فرکانس‌های میانی، واکنش مقاومتی C_μ بسیار کوچکتر از r_μ است. البته مقاومت r_x را به مدل افزوده‌ایم تا مقاومت سیلیکون ناحیه بیس بین پایه بیس B و یک پایه مجازی داخلی یا بیس داخلی B′ که درست زیر ناحیه امیتر است (با توجه به شکل ۶-۴) مدل سازی شود. معمولاً r_x چند ده اهم است و مقدارش به گونه‌ای پیچیده به مقدار جریان بستگی دارد. چون $r_x << r_\pi$ است، اثرش در فرکانس‌های پایین نادیدنی است.

مقادیر شاخصه‌های مدار معادل هیبرید در نقطه بایاس با استفاده از فرمول‌های ارائه شده در این فصل تعیین می‌شوند. این مقادیر را اندازه‌گیری پایه‌های تعیین شده در ورقه‌های مشخصه BJT آنگونه که در پیوست پ آمد می‌توان بدست آورد. در شبیه سازی کامپیوتری SPICE از شاخصه‌های فناوری IC در ارزیابی شاخصه‌های مدل BJT استفاده می‌کند.

فرکانس قطع

در ورقه‌های مشخصه ترانزیستور معمولاً مقدار C_π اعلام نمی‌شود. بلکه معمولاً رفتار β یا h_{fe} در مقابل فرکانس داده می‌شود. برای تعیین C_π و C_μ عبارتی برای h_{fe} به عنوان تابعی از فرکانس برحسب اجزای هیبرید π بدست می‌آوریم. برای این منظور مدار شکل ۷۱-۴ را ملاحظه کنید که در آن کلکتور به امیتر اتصال کوتاه شده است. جریان اتصال کوتاه کلکتور، I_C، عبارت است از:

$$I_C = (g_m - sC_\mu)V_\pi \qquad (۱۲۵-۴)$$

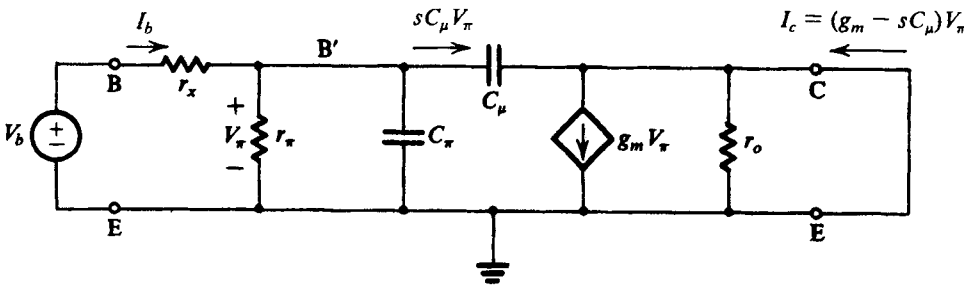
رابطه بین V_π و I_b از حاصلضرب I_b در امپدانس بین B′ و E بدست می‌آید:

$$V_\pi = I_b(r_\pi // C_\pi // C_\mu) \qquad (۱۲۶-۴)$$

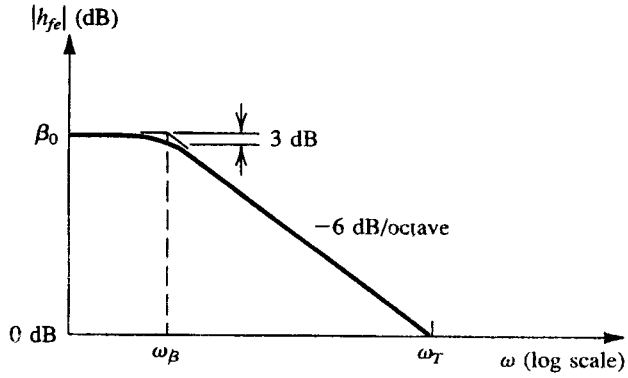
بنابراین h_{fe} از ترکیب معادله (۱۲۵-۴) و (۱۲۶-۴) حاصل می‌شود:

$$h_{fe} \equiv \frac{I_C}{I_b} = \frac{g_m - sC_\mu}{1/r_\pi + s(C_\pi + C_\mu)}$$

در فرکانس‌هایی که این مدل در آنها قابل قبول است، $g_m >> \omega C_\mu$ است،



شکل ۷۱-۴. مداری برای بدست آوردن رابطه‌ای برای $h_{fe}(s)=I_c/I_b$



شکل ۷۲-۴. نمودار بودی برای $|h_{fe}|$

در نتیجه

$$h_{fe} \approx \frac{g_m r_\pi}{1 + s(C_\pi + C_\mu)r_\pi}$$

بنابراین

$$h_{fe} = \frac{\beta_\circ}{1 + s(C_\pi + C_\mu)r_\pi} \qquad (۴-۱۲۷)$$

که در آن $\beta_\circ$ مقدار پایین فرکانس β است. بنابراین h_{fe} یک پاسخ تک قطبی دارد با فرکانس ۳-dB در $\omega=\omega_\beta$، که در آن

$$\omega_\beta = \frac{1}{(C_\pi + C_\mu)r_\pi} \qquad (۴-۱۲۸)$$

شکل (۴-۷۲) یک نمودار بود برای $|h_{fe}|$ نشان می‌دهد. از شیب ۶dB/octave− نتیجه می‌شود که در فرکانسی $|h_{fe}|$ به واحد افت می‌کند که آنرا **پهنای باند بهره واحد** ω_T می‌نامند و از رابطه زیر به دست می‌آید.

$$\omega_T = \beta_o\, \omega_\beta \qquad (۴-۱۲۹)$$

یعنی

$$\omega_T = \frac{g_m}{C_\pi + C_\mu} \qquad (۴-۱۳۰)$$

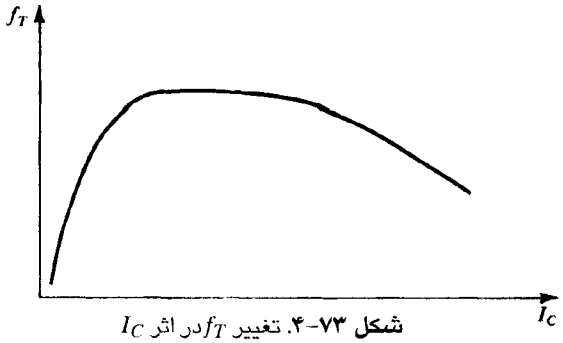
و

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)} \qquad (۴-۱۳۱)$$

پهنای باند بهره f_T معمولاً در ورقه‌های مشخصه ترانزیستورها درج می‌شود. بسیاری اوقات f_T به عنوان تابعی از I_C و V_{CE} داده شده است. برای نمایش چگونگی تغییر f_T با I_C، بیاد آورید که g_m تناسب مستقیم با I_C دارد، امّا فقط قسمتی از C_π (ظرفیت نفوذی C_{de}) نسبت مستقیم با I_C داراست. بنابراین چنانکه در شکل ۷۳-۴ نشان داده شده، در جریانهای کوچک f_T کاهش می‌یابد. اگر چه، کاهش در f_T در جریانهای زیاد همانگونه که از شکل ۷۳-۴ پیداست، نمی‌تواند در این مبحث توضیح داده شود؛ اما کاهش β_o در جریانهای زیاد به همان دلیل اتفاق می‌افتد. در ناحیه‌ای که f_T تقریباً ثابت است، C_π تحت تأثیر قسمت نفوذی است.

معمولاً f_T در حدود ۱۰۰MHz تا دهها GHz است. از مقدار f_T در معادله (۴-۱۳۱) برای تعیین $C_\pi + C_\mu$ استفاده می‌شود. تعیین ظرفیت C_μ معمولاً بطور مجزا و با اندازه‌گیری ظرفیت بین بیس - کلکتور در ولتاژ بایاس معکوس دلخواه V_{CB} صورت می‌گیرد.

پیش از اتمام این بخش، متذکر می‌شویم که مدل هیبرید π در شکل ۷۱-۴



شکل ۷۳-۴. تغییر f_T در اثر I_C

عملکرد ترانزیستور را تا فرکانس حدود $0.2\omega_T$ به دقت مشخص می‌کند. در فرکانسهای بالاتر، بایستی عناصر ناخواسته دیگر را به مدل بیفزاییم تا مدل برای محاسبات بهبود یابد. چنین بهبودی شامل تقسیم r_x به چند قسمت و جایگزینی C_μ با چند خازن که هر یک بین کلکتور و یکی از سرهای r_x متصل باشد. این مباحث خارج از حوصله این کتاب است.

نکته مهم دیگر در مدل فرکانس بالای شکل ۷۱-۴ آن است که در فرکانس‌های بالاتر از ۵ تا $10\omega_\beta$، ممکن است از مقاومت r_π چشم پوشی کنیم. این مقاومت وقتی دیده می‌شود که r_x آنها جزء مقاومتی امپدانس ورودی فرکانس‌های بالا باشد. بنابراین r_x نقش مهمی در تعیین پاسخ فرکانسی مدارهای ترانزیستوری فرکانس بالا ایفا می‌کند. در نتیجه یک محاسبه دقیق r_x از اندازه‌گیری فرکانس بالا می‌تواند بدست آید.

تمرینها

۴-۴۴ مقادیر C_{de}، C_{je}، C_π، C_μ، و f_T را در یک BGT بیابید که با جریان dc ی کلکتور $I_C = 1mA$ کار کند و بایاس معکوس CBJ آن ۲V باشد. ترانزیستور دارای $\tau_F = 20ps$، $C_{\mu o} = 20fF$، $V_{ce} = 0.9V$، $V_{oc} = 0.5V$، و $m_{CBJ} = 0.33$.

جواب. ۰/۸pF ؛ ۴۰pF ؛ ۰/۸۴pF ؛ ۱۲fF ؛ ۷/۴۷GHz

۴-۴۵ در یک BJT که با $I_C = 1mA$ کار می‌کند، J_T و C_π را بدست آورید اگر $C_\mu = 2pF$ و در فرکانس $|h_{fe}| = 10$ باشد.

جواب. ۵۰۰MHz ؛ ۱۰/۷pF

۴-۴۶ اگر C_π در BJT تمرین ۴-۴۵ شامل یک ظرفیت لایه تهی بالنسبه ثابت 2pF باشد، f_T ی BJT را بدست آورید اگر در $I_C = 0.1mA$ کار کند.

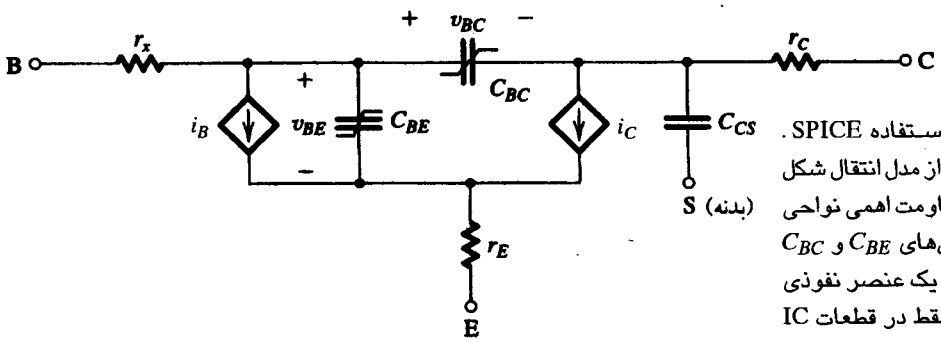
جواب. ۱۳۰/۷MHz ❑

۴-۱۶ مدل BJT ی SPICE و مثالهای شبیه‌سازی

همانگونه که در فصل ۳ درباره دیود دیدیم، این فصل شامل مدلی است که SPICE برای BJT ارائه می‌کند. همچنین با کمک شکل، شبیه‌سازی دو مدار از این فصل را به کمک SPICE نشان خواهیم داد.

مدل

شکل ۷۴-۴ مدل BJT ی SPICE را در سیگنال کوچک نشان خواهیم داد.



شکل ۷۴-۴. مدل سیگنال بزرگ BJT مورد استفاده SPICE. منابع جریان i_B و i_C با v_{BE} و v_{BC} کنترل شده و از مدل انتقال شکل ۵۹-۴ بدست می‌آید. مقاومت‌های r_x، r_E و r_C مقاومت اهمی نواحی بیس تا امیتر و کلکتور را بدست می‌دهد. خازن‌های C_{BE} و C_{BC} غیرخطی‌اند و هر یک شامل یک عنصر پیوند و یک عنصر نفوذی هستند. خازن C_{CS} یک خازن پیوندی است و فقط در قطعات IC دیده می‌شوند.

در اینجا i_C و i_B بوسیله v_{BE} و v_{BC} بنابر روابط تعیین شده با مدل تبدیل شکل ۵۹-۴ کنترل می‌گردد. البته لازم به ذکر است که وقتی ثابت n (ضریب انتشار) در توابع نهایی مدل تبدیل برابر با ۱ باشد، مدل SPICE مقادیر غیر از واحد را برای n مجاز می‌داند و بعلاوه از مقادیر مختلف برای BEJ (که با n_F نشان داده می‌شود) و BCJ (که با n_R نشان داده می‌شود) استفاده می‌کند. همانگونه که از شکل ۷۴-۴ برمی‌آید، مدل SPICE شامل مقاومت‌های اهمی برای ناحیه کلکتور (r_C) و ناحیه امیتر (r_E) و نیز برای ناحیه بیس r_x است.

عملکرد پویای BJT با دو ظرفیت غیرخطی C_{BE} و C_{BC} مدل می‌شود. که هر یک عموماً شامل یک جزء نفوذی و یک لایه تهی (یا پیوندی) است.

جدول ۵-۴. شاخصه‌های مدل SPICE برای BJT (فهرست قطعه‌ها)

نام‌شاخصه	نماد	نام SPICE	واحدها	مقدارپیش فرض
جریان‌اشباع‌انتقال	I_S	IS	A	1×10^{-16}
ماکزیمم بهره جریان مستقیم	β_F یا β	BF	–	۱۰۰
ضریب انتشار جریان مستقیم	n	NF	–	۱
ولتاژ ارلی مستقیم	V_A	VAF	V	∞
ماکزیمم بهره جریان معکوس	β_R	BR	–	۱
ضریب انتشار جریان معکوس	–	NR	–	۱
ولتاژ ارلی معکوس	–	VAR	–	∞
زمان گذر مستقیم ایده‌آل	τ_F	TF	s	۰
زمان گذر معکوس ایده‌آل	τ_R	TR	s	۰
مقاومت اهمی امیتر	r_E	RE	Ω	۰
مقاومت اهمی کلکتور	r_C	RC	Ω	۰
مقاومت اهمی بایاس صفر بیس	r_x	RB	Ω	۰
ظرفیت پیوند بیس امیتر در بایاس صفر	C_{je0}	CJE	F	۰
ضریب گرادیان BEJ	m_{BEI}	MJE	–	۰/۳۳
ولتاژ ذاتی BEJ	V_{0e}	VJE	V	۰/۷۵
ظرفیت پیوند بیس کلکتور در بایاس صفر	$C_{\mu0}$	CJC	F	۰
ضریب گرادیان BCJ	m_{BCJ}	MJC	–	۰/۳۳
ولتاژ ذاتی BCJ	V_{0C}	VJC	V	۰/۷۵
ظرفیت بدنه - کلکتور در بایاس صفر	C_{cs0}	CJS	F	۰
ضریب گرادیان پیوند بدنه کلکتور	–	MJS	–	۰/۳۳
ولتاژ ذاتی پیوند بدنه - کلکتور	–	VJS	V	۰/۷۵

مدل همچنین شامل ظرفیت تهی C_{cs} برای پیوند کلکتور - بدنه در ترانزیستورهای مدار مجتمع است.

در سیگنال‌های کوچک، مدل SPICE به مدل هیبرید π کاهش می‌یابد که r_E، r_c و C_{cs} (برای ترانزیستورها) افزوده شده است. مدل SPICE شامل بیش از ۴۰ شاخصه است. حدود نیمی از آن در جدول ۵-۴ فهرست شده است. نیم دیگر شاخصه‌هایی هستند که بوسیله کاربر تعیین می‌شوند آنهم وقتی که شبیه سازی دقیق و مبسوط مورد نظر باشد، و خارج از حوصله این مبحث است. در حقیقت تعدادی از شاخصه‌های جدول ۵-۴ معمولاً در اغلب موارد شبیه سازی بکار نمی‌آید.

پیش از پایان بردن این مبحث توضیحی دربارهٔ β داده می‌شود. کاربر مقادیری را برای β_F و β_R تعیین می‌کند که SPICE به عنوان مقادیر ماکزیمم آنها را تفسیر می‌کند (در مقابل جریان کار). SPICE از یک مدل βی وابسته به جریان استفاده می‌کند و کاربر می‌تواند شاخصه‌های دیگری را (که در جدول ۵-۴ نشان داده نشده) برای این مدل معین می‌کند. علاوه بر این SPICE مقادیری برای β_{dc} و β_{ac} محاسبه می‌کند، دو شاخصه که عموماً فرض بر مساوی بودن آنهاست.

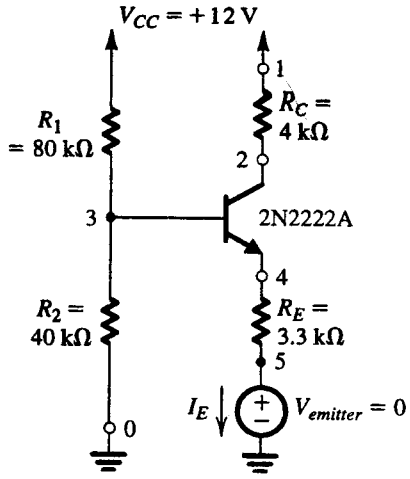
در ترانزیستورهای مجزا، شاخصه‌های مدل از ورقه‌های مشخصه قطعه بدست می‌آید. برای ترانزیستورهای IC، شاخصه‌های مدل را کارخانه سازنده IC بر پایه اندازه‌گیری شاخصه‌های قطعات ساخته شده و نیز دانش مراحل ساخت، تعیین می‌کند.

مثال ۱۷-۴ : ثبات نقطه بایاس

SPICE علاوه بر بررسی طرح بایاس یک BJT ی تقویت کننده، ثبات نقطه کار dc آنرا بررسی نیز می‌کند. این کاربرد مفید SPICE با استفاده از مدار بایاس متعارف شکل ۷۵-۴ نمایش داده می‌شود. توجه کنید که منبع صفر شده بطور سری با R_E طوری قرارگرفته که به SPICE امکان محاسبه جریان I_E را می‌دهد (پیوست پ را ملاحظه کنید).

جریان dc ی امیتر با استفاده از مدل افت ولتاژ ثابت V_{BE} بدست می‌آید با فرض اینکه $V_{BE}=0/7V$، $\beta=100$ است. در نتیجه $I_E=0/99mA$، $I_C=1mA$ و $V_C\cong 8V$ بدست می‌آید.

در تحلیل SPICE، از یک ترانزیستور 2N2222A بهره گرفته‌ایم. شاخصه‌های مدل آن شامل شاخصه‌های بدست آمده در آزمایشگاه



شکل ۷۵-۴. مداری برای بررسی ثبات بایاس با استفاده از SPICE. فایل ورودی SPICE در پیوست ت فهرست شده است.

است. برای بررسی ثبات بایاس، تسهیلات ویژه‌ای از SPICE یعنی فرمان SENS را بکار گرفته‌ایم. این فرمان SPICE را وامی‌دارد تا تحلیل دقیقی برای کمیت خروجی خاصی مانند جریان امیتر I_E بدست دهد. نتیجه این تحلیل مجموعه از مشتقات $\frac{\partial I_E}{\partial x/x'}$ است که x نشان دهنده یک عنصر مداری (مانند R_E) و یا یک شاخصه ترانزیستور (مانند β) است. این مشتق‌ها بوسیله کاربر استفاده می‌شوند تا تغییرات مورد انتظار مقدار I_E به عنوان نتیجه‌ای از تغییرات شناخته شده عناصر مداری تعیین گردد.

فهرست فایل ورودی SPICE، شامل شاخصه‌های مدل در پیوست (ت) است. خروجی SPICE نقطه کار dc زیر را معلوم می‌کند: I_E=۰/۹۶mA، I_C=۰/۹۶۱mA، V_{BE}=۰/۶۴۳V، V_C=۸/۱۵۷V. بیاد داشته باشید که در محاسبات سرانگشتی با استفاده از مقادیر تقریبی V_{BE} و β و صرفنظر کردن از اثر ارلی، شبیه سازی بدست آمده بطرز مشهودی به تحلیل تقریبی آنها نزدیک است.

خروجی SPICE مقادیری برای اندازه‌های دقیق I_E نسبت به هر عنصر مداری و شاخصه ترانزیستور ارائه می‌کند. البته دو شاخصه را اعلام می‌کنیم:

$$\frac{\partial I_E}{\partial R_E/R_E} = -۹/۱۴\times۱۰^{-۶}\ \text{A/\%}$$

$$\frac{\partial I_E}{\partial \beta_E/\beta_E} = -۲/۶۹۵\times۱۰^{-۷}\ \text{A/\%}$$

به این ترتیب اگر R_E مثلاً ۵٪ مقاومت باشد، تغییرات موردنظر، تغییرات بدست آمده از I_E به اندازه ±۴۵/۷μA است، که حدود ۵٪ است. یک نتیجه معقول از این حقیقت که R_E بطور مستقیم I_E را تعیین می‌کند. مشابه با آن تغییر در مقدار I_E بدست آمده ±۲۰٪ تغییر در β_F برابر با ±۵/۴μA یا حدود ±۵٪ خواهد بود. این حساسیت بالنسبه کم به مقدار β بطور مسلم یک ویژگی مطلوب است و نمایانگر متعالی بودن روش بایاس است.

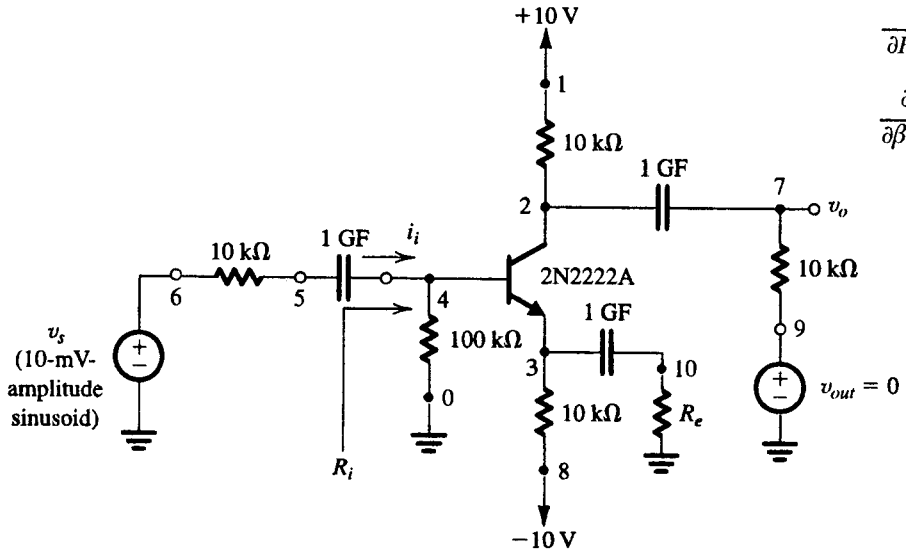
مثال ۱۸-۴: کار تقویت CE

در مثال دوم، از SPICE برای بررسی عملکرد مدار CE در شکل ۷۶-۴ استفاده می‌کنیم. مشاهده می‌کنید که از خازن‌های انتقال و کنارگذر بسیار بزرگ (و نایاب) استفاده می‌کنیم. البته، این مقادیر بزرگ برای سیگنال‌ها در همه فرکانس‌های مورد نظر، تقریباً مدارهای اتصال را شبیه سازی می‌کنند.

برای بررسی تأثیر حضور مقاومت در مسیر سیگنال امیتر، مقاومت R_e بطور سری با خازن کنارگذر امیتر متصل شده است. بعلاوه، توجه کنید که یک منبع صفرشده v_{out} بطور سری با مقاومت بار این امکان را فراهم می‌کند که از SPICE برای محاسبه جریان بار استفاده کنیم.

پرونده ورودی SPICE در پیوست (ت) فهرست شده است. از ترانزیستور 2N2222A استفاده کرده‌ایم که شاخصه‌های مدلش در کتابخانه SPICE در دسترس‌اند. با SPICE، نقطه کار dc تحلیل می‌شود و با سیگنال سینوسی ورودی ۱kHz با دامنه ۱۰mV برای دو حالت از AC تحلیل می‌کنیم: R_e=۰ و R_e=۱۰۰Ω.

چنانکه مرسوم است، یک تحلیل سرانگشتی پیش از بررسی خروجی SPICE لازم است. به این ترتیب، ماکزیمم مزیت شبیه‌سازی بدست می‌آید. با استفاده از V_{BE}=۰/۷V، β=۱۰۰ و صرفنظر کردن از اثر ارلی در می‌یابیم که I_E=۰/۸۵mA و I_C=۰/۸۴mA است. در تحلیل‌های سیگنال کوچک، از ورقه مشخصه‌های ترانزیستور برای 2N2222A متوجه شدیم که I_C=۱mA، β_{ac} (یا h_{fe}) حدود ۱۰۰ تا ۱۷۵ است. با انتخاب یک مقدار معقول برای قطعه معینی با نادیده



شکل ۷۶-۴. مدار تقویت امیتر مشترک برای شبیه سازی SPICE در مثال ۱۸-۴. فایل ورودی SPICE در پیوست ت فهرست شده است.

انگاشتن اثر ارلی می‌توان شاخصه‌های هیبرید π را تعیین کرد.

$$g_m=۳۴\text{mA/V} \qquad r_e = ۲۹/۴\Omega \qquad r_\pi=۳/۷\text{k}\Omega$$

از فرمول‌های بخش ۱۱-۴ اکنون برای تعیین R_i و A_v می‌توان استفاده کرد.

$$R_i = ۱۰۰\text{k}\Omega||(\beta + ۱)(r_e + R_e)$$

$$A_v = \frac{v_o}{v_s} = \frac{R_i}{R_s+R_i}\,\frac{(۱۰\text{k}\Omega||۱۰\text{k}\Omega)}{r_e + R_e}$$

بنابراین

به ازای $R_e=۰$: $R_i=۳/۵۷\text{k}\Omega$ و $A_v=-۴۴/۷\text{V/V}$

به ازای $R_e=۱۰۰\Omega$: $R_i=۱۳/۱\text{k}\Omega$ و $A_v=-۲۱/۹\text{V/V}$

خروجی SPICE می‌شود:

$$I_C=۰/۸۶۵\text{mA} \;،\; g_m=۳۳/۴\text{mA/V} \;،\; r_\pi=۴/۱۱\text{k}\omega$$

$$r_x=۵۷/۲\Omega \;،\; r_o=۱۱۷/۵\text{k}\omega \;،\; \beta_{ac}=۱۳۷/۴\text{k}\omega$$

ملاحظه می‌کنیم که این نتایج نزدیک به مقادیر تقریبی ما هستند. البته توجه کنید که β_{ac} قدری بزرگتر از مقداری است که استفاده کرده‌ایم. با این وجود یک طرح خوب بهره ولتاژی بدست می‌دهد که به مقدار β نامرتبط است. در این صورت ببینیم که SPICE برای R_i و A_v چه مقادیری بدست می‌آورد: به ازای $R_e=۰$، $R_i=۴\text{k}\Omega$ و $A_v=-۴۵/۲\text{V/V}$ است و به ازای $R_e=۱۰۰\Omega$: $R_i=۱۵\text{k}\Omega$ و $A_v=-۲۲/۷\text{V/V}$ است. در اینجا نیز نتایج بطور مشهودی به نتایج پیش‌بینی‌های ما نزدیک است. در پایان از SPICE برای بررسی محاسبه بهره مقدار β استفاده می‌کنیم. نتایج بدست آمده به شرح زیر است:

β_F	β_{ac}	$\lvert A_v\rvert$, $(R_e=۰\Omega)$	$\lvert A_v\rvert$, $(R_e=۱۰۰\Omega)$
۱۵۳ مثلاً	۱۳۷/۴	۴۵/۲	۲۲/۷
۱۰۰	۹۲/۸	۳۳/۷	۱۹/۳
۲۰۰	۱۷۴/۲	۵۳/۱	۲۴/۵

ملاحظه می‌کنید که مقامت بازدارنده امیتر چنانکه انتظار می‌رود بهره را از مقدار β کاهش می‌دهد. این کاهش حساسیت مانند دیگر مزایای بازدارنده امیتر به بهای کاهش بهره بدست می‌آید.

خلاصه

- ترانزیستور BJT با توجه به شرایط بایاس خود در دو پیوندش، در یکی از این سه حالت کار می‌کند: قطع (اگر هر دو پیوند بایاس معکوس شود)، فعال (اگر EBJ بایاس مستقیم و CBJ بایاس معکوس شود)، و اشباع (اگر هر دو پیوند بایاس مستقیم شود).
- ترانزیستور BJT به عنوان تقویت‌کننده در حالت فعال کار می‌کند و به عنوان سوئیچینگ در حالتهای اشباع و قطع استفاده می‌شود.
- یک BJT که در حالت فعال کار می‌کند دارای مشخصات زیر است: $i_C = I_S\, e^{|v_{BE}|/V_T}$ ، جریان بیس $i_B = i_C/\beta$ ، و جریان امیتر $i_E=i_C+i_B$ است. همچنین $i_C = \alpha\, i_E$ و بنابراین $\beta = \alpha/(۱-\alpha)$ و $\alpha\beta=/(\beta=+۱)$
- برای اطمینان از حالت فعال، ولتاژ کلکتور یک ترانزیستور npn بایستی بزرگتر از ولتاژ بیس باشد. در یک ترانزیستور pnp ، ولتاژ کلکتور بایستی کمتر از ولتاژ بیس باشد.
- در جریان ثابت کلکتور، مقدار ولتاژ بیس - امیتر در ازای هر درجه سانتیگراد افزایش دما، ۲ mV کاهش می‌یابد.
- تحلیل dc مدارات ترانزیستوری بطور عمده با این فرض ساده می‌گردد که $|V_{BE}| \cong ۰/۷\text{ V}$ است.
- برای آنکه BJT به عنوان یک تقویت‌کننده خطی کار کند، برای کار در حالت فعال بایاس می‌شود و سیگنال v_{be} کوچک نگهداشته می‌شود $(v_{be}<<V_T)$.
- برای سیگنالهای کوچک، BJT به عنوان یک منبع جریان دارای کنترل ولتاژ خطی با هدایت انتقالی $g_m = I_C / V_T$ عمل میکند. مقاومت ورودی بین بیس و امیتر، با نظر به بیس، $r_\pi = \beta / g_m$ است.
- طراحی بایاس مستوجب برقراری یک جریان dc کلکتور است که تا حد ممکن مستقل از مقدار β باشد.
- در پیکربندی امیتر مشترک، امیتر از نظر سیگنال زمین شده است، سیگنال به بیس اعمال می‌شود، و خروجی از کلکتور بدست می‌آید. بهره ولتاژ زیاد و مقاومت ورودی بالنسبه زیاد بدست می‌آید. اما پاسخ فرکانس بالا محدود می‌گردد.
- مقاومت ورودی تقویت‌کننده امیتر مشترک در صورتی افزایش می‌یابد که یک مقاومت کنار گذر نشده در پایه امیتر داشته باشد.
- در پیکربندی بیس مشترک، بیس از نظر سیگنال زمین شده است، سیگنال ورودی به امیتر اعمال شده است، و خروجی از کلکتور بدست می‌آید. بهره ولتاژ زیاد و پاسخ فرکانسی عالی بدست می‌آید، اما مقاومت ورودی کم است. تقویت‌کنندهٔ بیس مشترک به عنوان میانگیر جریان بکار می‌رود.
- در امیتر پیرو، کلکتور از نظر سیگنال به زمین وصل است. سیگنال ورودی به بیس اعمال می‌شود، و خروجی از امیتر دریافت می‌گردد. اگرچه بهره ولتاژ کمتر از واحد است، مقاومت ورودی خیلی زیاد و مقاومت خروجی خیلی کم است. مدار به عنوان یک تقویت‌کننده واسطه‌ای یا میانگیر ولتاژ مفید است.
- دریک ترانزیستور اشباع شده،

$$I_{C\text{sat}}=(V_{CC}-V_{CE\text{sat}})/R_C \text{ و } |V_{CE\text{sat}}| \cong ۰/۲\text{ V}$$

می‌باشد. نسبت $I_{C\text{sat}}$ به جریان بیس را βی واداشته می‌نامند که کوچکتر از β است. مقاومت کلکتور به امیتر، $R_{CE\text{sat}}$ ، کوچک است (چند ده اهم).
- در مدار دارای امیتر باز ، $(i_E = ۰)$ ، CBJ با ولتاژ معکوس BV_{CBO} که معمولاً بیشتر از ۵۰ V است، شکسته می‌شود. برای $i_E > ۰$ ولتاژ شکست کمتر از BV_{CBO} است، در پیکربندی امیتر مشترک، ولتاژ شکست تعیین شده است که حدود نصف BV_{CBO} می‌باشد. پیوند امیتر - بیس در بایاس ۸-۶ V می‌شکند. این شکست معمولاً تأثیر معکوس بر β BV_{CEO} معکوس دارد.
- عملکرد BJT در فرکانس بالا و سیگنال کوچک با مدل هیبرید π در شکل ۷۰-۴ مدل سازی شده است. در اینجا $C_\pi=C_{de}+C_{je}$ که $C_{de}=\tau_F g_m$ و C_μ ظرفیت پیوند کلکتور - بیس در بایاس معکوس است.
- β ی ترانزیستور (یا h_{fe}) با فرکانس با سرعت ۲۰dB/decade افت می‌کند و در فرکانس $f_T=g_m/۲\pi(C_\pi+C_\mu)$ به واحد می‌رسد.

مسائل

بخش ۱-۴: ساختمان فیزیکی و حالات کار

۱-۴ ولتاژهای پایه‌های چند ترانزیستور npn در مدارهایی اندازه‌گیری

شده و نتایج در جدول زیر ثبت شده‌اند:

شماره	E	B	C	حالت
۱	۰	۰/۷	۰/۷	
۲	۰	۰/۸	۰/۱	
۳	−۰/۷	۰	۰/۷	
۴	−۰/۷	۰	−۰/۶	
۵	۰/۷	۰/۷	۰	
۶	−۲/۷	−۲/۰	۰	
۷	۰	۰	۵/۰	
۸	−۰/۱	۰	۵/۰	

در این جدول مقادیر بر حسب ولت هستند. در هر مورد حالت ترانزیستور (قطع، فعال، اشباع) را تعیین کنید. مورد ۵ کمی سخت است: توجه کنید که هر چند ترانزیستور متقارن نیست، ولی می‌تواند در حالتی با عوض شدن نقش کلکتور و امیتر کار کند که حالت معکوس نامیده می شود

بخش ۲-۴: عملکرد ترانزیستور npn در حالت فعال

۴-۲ مساحت یک امیتر ترانزیستور npn $10\mu m \times 10\mu m$ است. چگالی ناخالصی عبارت است از: امیتر $N_D=10^{19}/cm^3$ بیس $N_A=10^{17}/cm^3$ کلکتور $N_D=10^{15}/cm^3$. ترانزیستور در دمای $T=300k$ کار می‌کند و در آن $n_i=1.5\times10^{10}/cm^3$ است . برای الکترونهای بیس $L_n=19\mu m$ و $D_n=21.3cm^2/s$ است. برای حفره‌های نفوذکرده به امیتر $L_p=0.6\mu m$ و $D_p=1.7cm^2/s$. I_s و β را به ازای عرض بیس (الف) $W=1\mu m$ ، (ب) $W=2\mu m$ (پ) $W=5\mu m$ بیابید در حالت (ب) به ازای $I_c=1mA$ ، I_B ، I_E ، V_{BE} و بار حامل‌های اقلیت ذخیره شده در بیس را بیابید.

۴-۳ دو ترانزیستور که با یک روش ساخته شده، اما دارای سطوح پیوند متفاوت هستند، هنگام کار در ولتاژ بیس - امیتر ۰/۶۹ V دارای جریان کلکتور ۰/۱۳ و ۱۰/۹ mA می‌باشند. I_S هر دو قطعه را بدست آورید. نسبت سطح پیوندها چقدر است؟

۴-۴ در یک BJT خاص، جریان بیس ۷/۵ mA و جریان کلکتور ۹۴۰mA است. β و α را برای این قطعه بدست آورید.

۴-۵ اندازه‌گیریهای انجام شده بر روی گونه‌ای از ترانزیستورها که در مواردی ناقص (و یا احتمالاً اشتباه) است در زیر نشان داده شده است

ترانزیستور	i_C(mA)	i_B(mA)	i_E(mA)	α	β
a	۱۰/۰		۱۰/۱		۱۰۰
b		۰/۰۲	۱/۱۲		
c	۰/۶۳			۰/۹۸۴	۶۳
d	۹۸/۰		۹۹/۰	۰/۹۹۰	۹۸
e		۰/۰۰۱	۰/۰۱۱		۱۰
f	۱۰/۰	۰/۲	۱۰/۱		۱۰۰
g	۱۰/۱	۰/۱	۱۰/۰	۰/۹۹	
h	۰/۹۹۰	۰/۰۱۰			۹۹
i		۰/۰۱۵		۰/۹۹۵	۱۹۳

محاسبات و داده‌های از قلم افتاده را بدست آورده و موارد تناقض را برای هریک، ذکر کنید.

۴-۶ برای یک ترانزیستور npn خاص که به نحوی درست بایاس شده، به ازای ولتاژ بیس - امیتر $0.63V$ و $0.7V$ جریان کلکتور به ترتیب 1mA و 10mA است. مقادیر n و I_s این ترانزیستور را بیابید. اگر دو ترانزیستور از این نوع با هم موازی و بین بیس و امیترهای مشترکشان ولتاژ 0.65V اعمال شود، جریان کلکتور کل چقدر است؟

۴-۷ نشان دهید برای یک ترانزیستور که در آن α تقریباً واحد است اگر α بمیزان $(\frac{\Delta\alpha}{\alpha})$ تغییر کند، تغییرات β تقریباً به شکل زیر خواهد بود.

$$\frac{\Delta\beta}{\beta} \cong \beta\left(\frac{\Delta\alpha}{\alpha}\right)$$

برای $\beta = 100$ و تغییرات α به میزان 0.1 %، $\frac{\Delta\beta}{\beta}$ را بدست آورید.

۴-۸ مدلهای سیگنال بزرگ BJT را در شکلهای (ب و ت ۵-۴) درنظر بگیرید. اندازه‌های نسبی دیودهای D_E و D_B برای ترانزیستورهایی با $\beta = 10$ و $\beta = 1000$ چقدر است؟

۴-۹ در یک BJT خاص هنگامی که جریان کلکتور 10 mA است، $v_{BE}=0.7V$ و $i_B = 100\ \mu A$ است با استفاده از این داده‌ها مدلهای ترانزیستور را به شکل (ت و الف ۵-۴) رسم کنید.

۴-۱۰ با استفاده از ترانزیستور npn مدل شکل (ب ۵-۴)، حالتی را درنظر بگیرید که بیس به زمین وصل شده، کلکتور از طریق مقاومت $1k\Omega$ به یک منبع 10 V متصل شده، و یک منبع جریان 5 mA به امیتر وصل گشته با پلاریته‌ای که جریان از امیتر خارج شود. اگر $\beta=100$ و $I_S = 10^{-14}A$ باشد، ولتاژ امیتر، جریان کلکتور، و جریان بیس را محاسبه کنید.

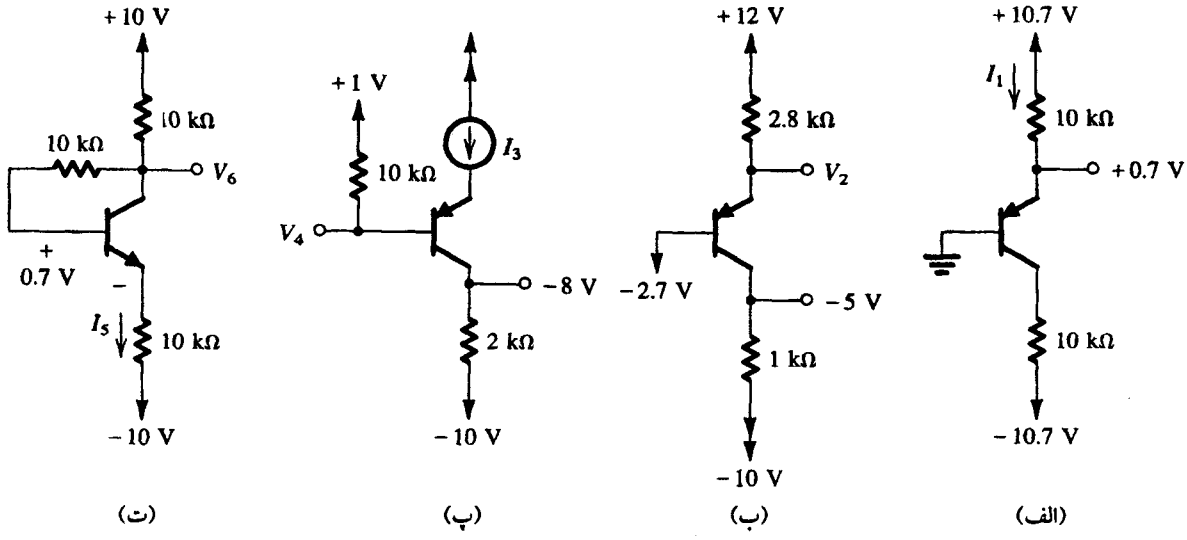
۴-۱۱ جریان نشتی I_{CBO}ی یک ترانزیستور در 25 °C برابر با 15 nA است. چنانچه دمای قطعه به 75 °C افزایش یابد، جریان نشتی I_{CBO} چقدر می‌تواند بشود؟

۴-۱۲ مدل BJT ، npn شکل (پ ۵-۴) را با نمایش منبع جریان I_{CBO} تکمیل کنید. بر حسب این عمل جریانهای i_B و i_C و i_E به چه مقداری تغییر پیدا می‌کنند. در حالی که امیتر زمین بوده و کلکتور به تغذیه مثبت متصل است، بیس مدار باز می‌شود جریانهای کلکتور و امیتر را پیدا کنید.

۴-۱۳ از ملاحظهٔ شکل ۶-۴ درمی‌یابیم که ترانزیستور یک قطعه متقارن نیست. یعنی، تعویض پایانه‌های کلکتور و امیتر قطعه‌ای با مقادیر متفاوت α و β بدست می‌دهد که آنرا مقادیر معکوس یا وارونه می‌نامند و با α_R و β_R مشخص می‌شوند. اتصالات پایانه‌های کلکتور و امیتر یک ترانزیستور npn بطور تصادفی عوض شده است. جریانهای امیتر و بیس بدست آمده به ترتیب 5mA و 1mA است. مقادیر α_R و β_R چقدر هستند؟

بخش ۳-۴: ترانزیستور pnp

۴-۱۴ شکل ۸-۴ دو مدل سیگنال بزرگ برای ترانزیستور npn نشان می‌دهد که در حالت فعال کار می‌کند. دو مدل دیگر ترسیم کنید که با شکل‌های (ت و ب ۵-۴) که در مورد npn است، موازی باشد.



شکل (م ۱۹-۴)

۴-۱۵ مدل سیگنال بزرگ شکل (ب ۸-۴) را درنظر بگیرید که برای یک ترانزیستور دارای $I_S = ۱۰^{-۱۴}$ A و $\beta = ۴۰$ بکار رفته است. چنانچه امیتر به زمین وصل شود، بیس به یک منبع جریان وصل شود که جریان ۱۰ μA از آن کشیده شود، و کلکتور به یک منبع ۱۰ V− وصل گردد، ولتاژ کلکتور و جریان امیتر را بدست آورید.

۴-۱۶ یک ترانزیستور *pnp* در $i_C = ۱$ A با $v_{EB} = ۰/۸$ V کار می‌کند. در $i_C = ۱۰$ mA، v_{EB} مورد انتظار چقدر باید باشد؟ در $i_C = ۵$ A چقدر؟

۴-۱۸ در مدل بزرگ سیگنال شکل ۴-۸ اندازه دیودها را به ازای $\beta = ۹۹$ مقایسه کنید.

۴-۱۷ بهره جریان امیتر مشترک یک ترانزیستور *pnp*، ۵۰ می‌باشد، بهره جریان بیس مشترک آن چقدر است؟

بخش ۴-۴: علامتها و قراردادهای مداری

۴-۱۹ در مدارهای شکل (م ۱۹-۴) فرض کنید ترانزیستور دارای β زیاد باشند. اندازه‌گیریهای روی مدار انجام شده و نتایج روی شکل نوشته شده است. جریانها و ولتاژهای مشخص‌شده روی مدار را بدست آورید.

۴-۲۰ بر اساس اندازه‌گیریهای انجام شده روی شکل (م ۲۰-۴)، مقدار β را برای هر ترانزیستور بدست آورید.

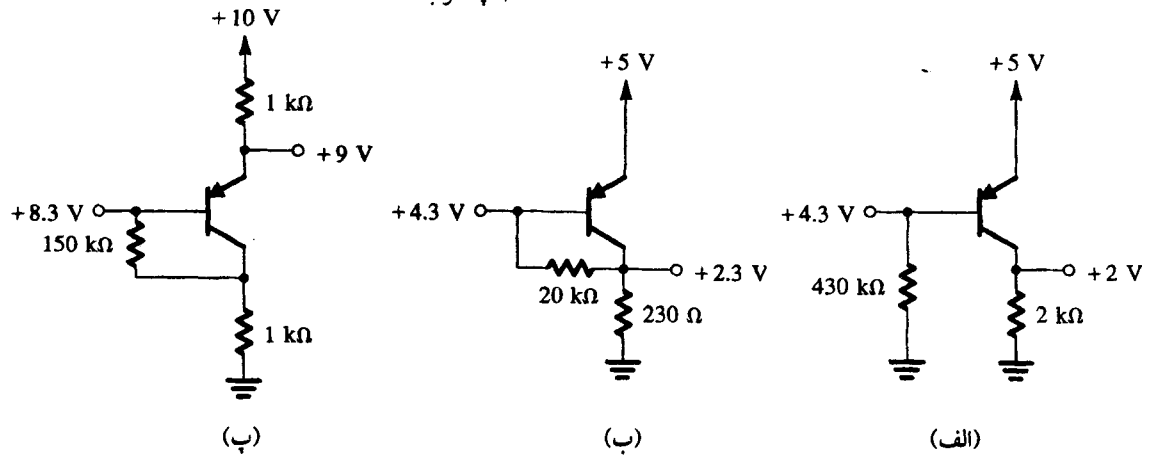
ط ۴-۲۱ با امتحان مقادیر مقاومت‌های استاندارد ۵٪ در طراحی مثال (۴-۱) نزدیکترین مقاومت به مدار اصلی ۵/۱ kΩ و ۶/۸ kΩ می‌باشند. با این مقادیر و استفاده از محاسبات تقریبی (بطور مثال $V_{BE} \cong ۰/۷$ V و $\alpha \cong ۱$) مقادیر ولتاژ و جریان کلکتور را تعیین کنید.

ط ۴-۲۲ مدار مثال ۴-۱ را برای بدست آوردن $V_C = +۱$ V و $I_C = ۰/۵$ mA دوباره طراحی کنید.

بخش ۴-۵: نمایش ترسیمی مشخصه‌های ترانزیستور

۴-۲۳ با استفاده از معادلهٔ (۴-۲۱) i_C نسبت به v_{CE} را برای یک ترانزیستور با مشخصات $I_S = ۱۰^{-۱۵}$ A و $V_A = ۱۰۰$ V رسم کنید. منحنی‌ها را برای ۷۴ و ۰/۷۳، ۰/۷۲، ۰/۷، ۰/۶۵ = v_{BE} رسم کنید. مشخصه‌ها را برای v_{CE} بالاتر از ۱۵ ولت نشان دهید.

۴-۲۴ در یک BJT که جریان امیتر آن در دمای ۲۵ °C مقدار ثابت ۱ mA است، $v_{BE} = ۰/۶۷$ V می‌باشد انتظار دارید v_{BE} در دماهای صفر و ۱۰۰ °C چقدر باشد؟



شکل (م ۲۰-۴)

۴-۲۵ یک ترانزیستور *npn* خاص در دمای $20^\circ C$ کار می‌کند، جریان امیتر آن ۰/۵ و ولتاژ امیتر - بیس آن ۶۹۲mV است.
(الف) اگر دمای پیوند به $50^\circ C$ برسد، v_{EB} چقدر می‌شود؟
(ب) اگر $n=1$ و ولتاژ امیتر - بیس مقدار ثابت ۷۰۰mV باشد، در $20^\circ C$ و $50^\circ C$ جریان امیتر چقدر است؟

۴-۲۶ برای یک ترانزیستور *npn* خاص با $v_{BE}=670\,mV$ و $I_C=3\,mA$ شیب منحنی i_c-v_{CE} برابر $3\times10^{-5}\,S$ است. مقاومت خروجی چقدر است؟ ولتاژ ارلی این ترانزیستور چقدر است؟ مقاومت خروجی به ازای جریان کلکتور ۳۰mA چقدر است؟

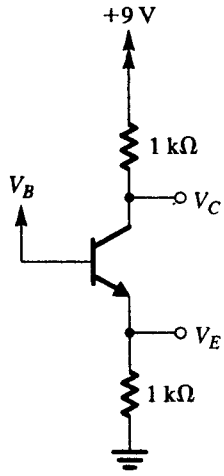
۴-۲۷ در یک BJT که دارای ولتاژ ارلی ۲۰۰ V است مقاومت خروجی در جریان ۱ mA چقدر است؟ در ۱۰۰ μA چقدر؟

۴-۲۸ مقاومت خروجی یک BJT در جریان ۱۰ μA، ۱۰ μA است. مقدار ولتاژ ارلی آن چقدر باید باشد؟ اگر جریان به ۱۰ mA افزایش داده شود مقاومت خروجی چقدر می‌شود؟

۴-۲۹ مدار شکل (الف ۱۵-۴) را درنظر بگیرید. اگر V_{BE} طوری تنظیم شود که در $V_{CE} = 1$ V جریان $I_C = 1$ mA باشد، در V_{BE} ثابت در صورت افزایش V_{CE} به ۱۱ V، $I_C = 1/2$ mA خواهد بود، V_A و r_o را در جریان $I_C = 1$ mA بدست آورید.

بخش ۶-۴: تحلیل مدارهای ترانزیستوری در حالت dc

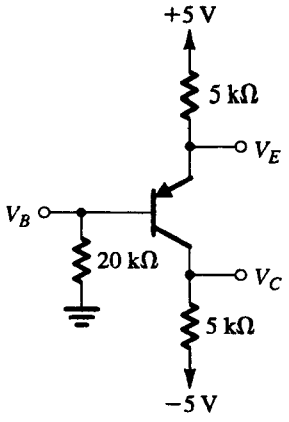
۴-۳۰ ترانزیستور مدار شکل (م ۳۰-۴) دارای β زیاد است. V_E و V_C را در حالات (الف) $V_B = +3$ V (ب) $V_B = +1$ V و (پ) $V_B = 0$ V بدست آورید. فرض کنید $V_{BE} \cong 0/7$ V باشد.



شکل (م ۳۰-۴)

۴-۳۱ ترانزیستور مدار شکل (م ۳۰-۴) دارای β زیاد است. بالاترین مقدار V_B را در صورت ماندن ترانزیستور در حالت فعال، تعیین کنید.

ط ۴-۳۲ فرض کنید در مدار شکل (م ۲۵-۴) V_B با استفاده از مدار تقسیم ولتاژ از یک منبع ۹ V تأمین شده و β خیلی زیاد باشد (یعنی چشم‌پوشی از جریان بیس) مدار تقسیم ولتاژ را طوری طراحی کنید که $V_B = 3$V شود. جریان در مدار تقسیم ولتاژ باید ۰/۲ mA باشد. اکنون اگر $\beta = 100$ باشد، با تحلیل مدار جریان و ولتاژ کلکتور را بدست آورید.



شکل (م ۳۳-۴)

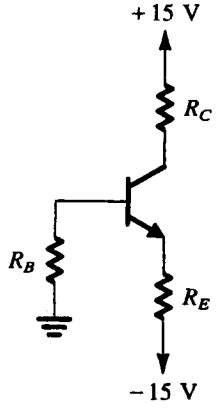
۴-۳۳ با اندازه‌گیری ولتاژ امیتر ترانزیستور مدار شکل (م ۳۳-۴)، مقدار آن ۱ V بدست آمده است. با فرض $V_{BE} = 0/7$ V مقادیر V_B، I_B، I_E، I_C، β و α را بدست آورید. (تعجب‌آور نیست که با یک اندازه‌گیری کوچک بتوان همه این مقادیر را بدست آورد؟)

ط ۴-۳۴ مدار شکل (الف ۱۹-۴) را برای بدست آوردن جریان کلکتور ۲ mA و ولتاژ کلکتور ۵ V- دوباره طراحی کنید (یعنی مقادیر جدیدی برای R_E و R_C بدست آورید) فرض کنید $\alpha \cong 1$ باشد.

۴-۳۵ برای مدار شکل (م ۳۵-۴) ولتاژهای مشخص شده و جریان شاخه‌ها را بیابید. فرض کنید β خیلی بزرگ است و $|V_{BE}| = 0/7$V.

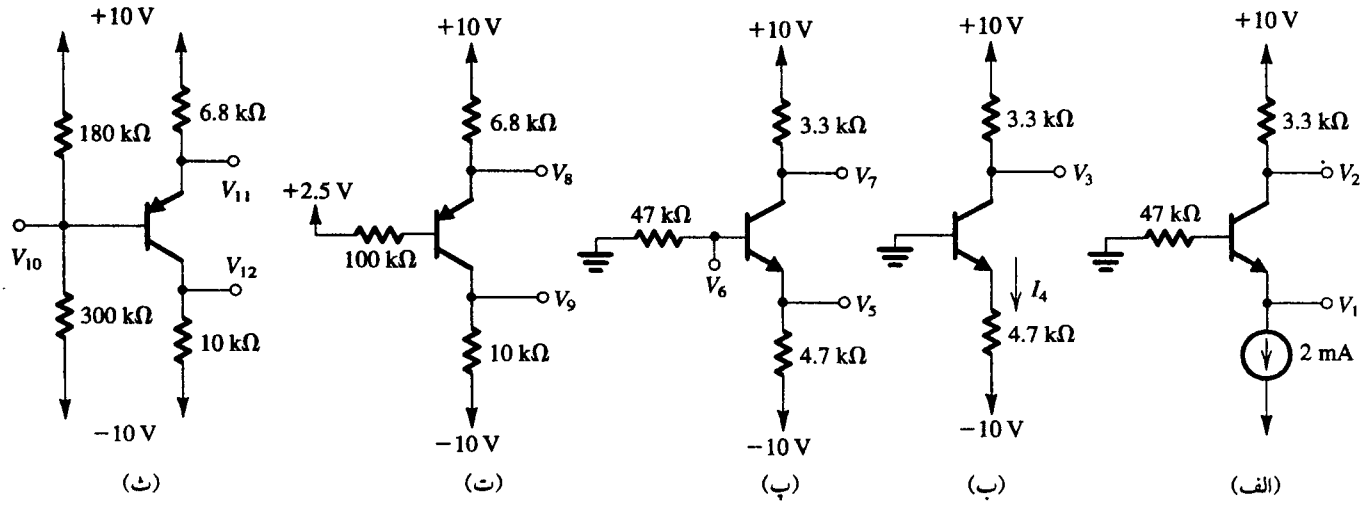
۴-۳۶ مسئله ۳۵-۴ را با فرض $\beta=100$ حل کنید. فرض کنید $|V_{BE}| = 0/7$V

ط **۴-۳۷** می‌خواهیم مدار شکل (م ۳۷-۴) را طوری طراحی کنیم که جریان امیتر، ۱ mA و ولتاژ کلکتور ۵ V باشد. مقدار اسمی β ترانزیستور ۱۰۰، ولی گستره آن ۵۰ تا ۱۵۰ می‌باشد. طراحی شما بایستی جریان امیتر خواسته شده را در $\beta = 100$ تضمین کند و در مقادیر دیگر β تغییرات از ۱۰% مقدار اسمی‌اش تجاوز نکند. R_B بایستی تا حدامکان بزرگ باشد. مقادیر R_B، R_C و R_E را بر اساس نزدیکترین مقدار کیلواهم آنها نمایش دهید. گستره جریان و ولتاژ کلکتور موردانتظار، مطابق با تمام گسترهٔ مقادیر β، چقدر است؟



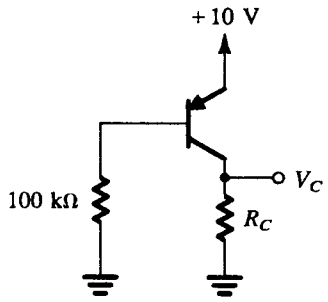
شکل (م ۳۷-۴)

ط ۴-۳۸ برای ترانزیستور *pnp* مدار شکل (م ۳۲-۴) $\beta = 50$ می‌باشد.



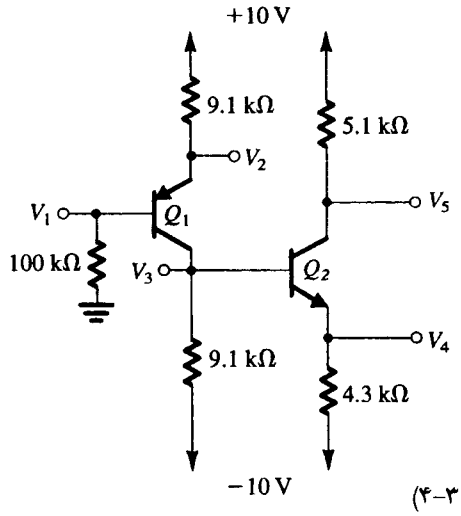
شکل (م ۳۵-۴)

مقدار R_C را برای $V_C = +5\ V$ بدست آورید. اگر این ترانزیستور دیگری با $\beta = 100$ عوض شود چه اتفاقی می‌افتد؟



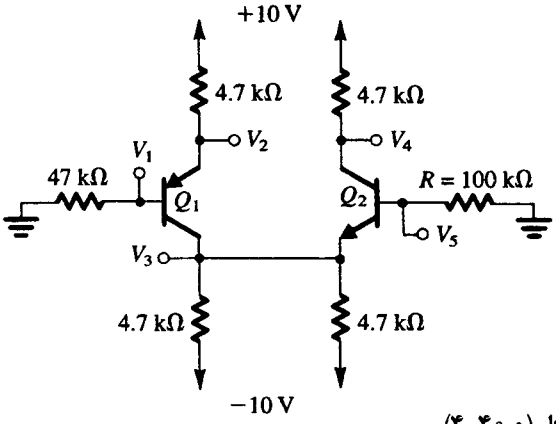
شکل (م ۳۸-۴)

۳۹-۴ برای مدل شکل (م ۳۹-۴) ولتاژ تمام گره‌ها را به ازای (الف) β خیلی بزرگ، (ب) $\beta=100$، (پ) $\beta=10$ بدست آورید.



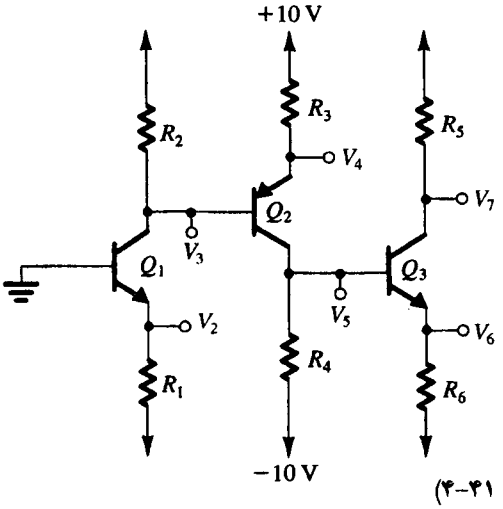
شکل (م ۳۹-۴)

۴۰-۴ در مدار شکل (م ۴۰-۴) ولتاژهای نام‌گذاری شده را بیابید؛ داریم (الف) $\beta=0$، (ب) $\beta=100$.



شکل (م ۴۰-۴)

****۴۱-۴** مدار شکل (م ۴۱-۴) را به ازای $\beta=\infty$ طرح کنید تا جریان‌های کلکتور Q_1، Q_2، Q_3 به ترتیب ۲mA، ۳mA، ۴mA باشد، $V_4=0$، $V_5=-4V$، $V_7=2V$. نزدیکترین مقاومت ۵٪ استاندارد را با توجه به جدول پیوست (ت) به کار برید. حال V_3، V_4، V_5، V_6، V_7، را به ازای $\beta=100$ بیابید.



شکل (م ۴۱-۴)

بخش ۷-۴: ترانزیستور به عنوان تقویت‌کننده

۴-۴۲ ترانزیستوری را درنظر بگیرید که برای کار در حالت فعال در جریان dc کلکتور I_C بایاس شده است. جریان سیگنال کلکتور را به صورت کسری از I_C (یعنی i_c/I_C) برای سیگنالهای ورودی v_{be} به مقادیر ۱+ ، ۱- ، ۲+ ، ۲- ، ۵+، ۵-، ۸+، ۸- ، ۱۰+ ، ۱۰- ، ۱۲+ ، ۱۲- میلی‌ولت، محاسبه کنید. در هر حالت محاسبه را به دو صورت انجام دهید.
(الف) با استفاده از مشخصهٔ نمایی
(ب) با تقریب سیگنال کوچک
نتایج را به صورت جدول نشان دهید. در مورد گسترهٔ اعتبار تقریب سیگنال کوچک توضیحاتی بدهید.

۴-۴۳ یک ترانزیستور با $\beta = ۱۲۰$ در جریان dc کلکتور ۱/۵ mA بایاس شده است. مقادیر g_m ، r_π و r_e را بدست آورید. مسئله را با جریان بایاس ۱۵۰mA تکرار کنید.

۴-۴۴ یک ترانزیستور npn در $I_C=۲/۵\text{mA}$ بایاس شده است. g_m آن چقدر است؟ اگر $\beta=۵۰$، مقاومت‌های کوچک سیگنال دیده شده از امیتر (r_e) و دیده شده از بیس (r_p) چقدر است؟ اگر کلکتور به مقاومت با ۱۰kΩ وصل باشد، و سیگنالی با دامنهٔ نوک ۱۰mV بین بیس و امیتر اعمال شود، سیگنال ولتاژ خروجی چقدر است؟

۴-۴۵ طراحی می‌خواهد یک تقویت کنندهٔ ترانزیستوری با $g_m=۱۰۰\text{mA/V}$ و مقاومت ورودی بیس بزرگتر از ۱۰۰۰Ω بسازد. جریان امیتر باید چه باشد؟ β ترانزیستور باید از چه مقداری بزرگتر باشد؟

ط ۴-۴۶ برای عملکرد خطی معقول یک BJT v_{be} باید به کمتر از ۱۰ mV محدود شود. این محدوده منطبق بر چه درصدی از جریان بیس است؟ در یک طراحی که مقدار سیگنال خروجی با دامنه نوک ۱۰ mA موردنیاز است، میزان جریان بیس لازم، چقدر است؟ مقدار g_m متناظر با آن چقدر است؟

۴-۴۷ یک ترانزیستور با g_m اسمی ۸۰ mA/V و β در محدودهٔ ۵۰ تا ۲۰۰ کار می‌کند. بعلت اینکه مدار بایاس کمی غیرایده‌آل است ۲۵ % ± تغییر در I_C داریم. با نگاه به بیس، حداکثر مقاومتهای دیده شده چقدر است؟

۴-۴۸ در مدار شکل ۴-۲۳، V_{BE} طوری تنظیم شود که $V_C=۲\text{V}$ باشد. اگر $V_{CC}=۱۰\text{V}$ ، $R_C=۲\text{k}\Omega$ و سیگنال v_{be} بر حسب ولت، $v_{be}=۰/۰۰۴\sin\omega t$ اعمال شود، عباراتی برای مقادیر لحظه‌ای کل $i_C(t)$ ، $v_C(t)$ و $i_B(t)$ بدست آورید. $\beta = ۱۰۰$ می‌باشد. بهرهٔ ولتاژ چقدر است؟

ط* ۴-۴۹ می‌خواهیم مدار تقویت‌کنندهٔ شکل ۴-۲۳ را با شرط ثابت‌بودن V_{CC} طراحی کنیم. اگر سیگنال ورودی $v_{be} = \hat{V}_{be}\sin\omega t$ باشد که در آن $\hat{V}_{be}$ مقدار ماکزیمم برای خطی‌بودن است، نشان دهید برای اینکه نتیجه طراحی منجر به بزرگترین سیگنال در کلکتور شود بدون اینکه BJT از حالت فعال خارج گردد باید داشته باشیم:

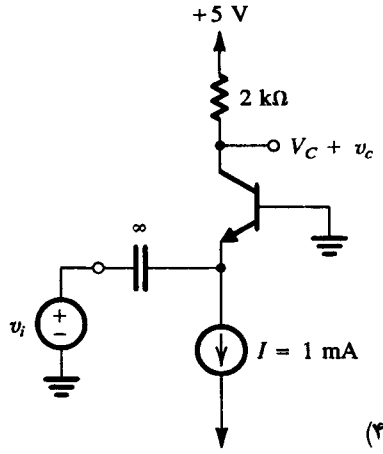
$$R_C I_C = (V_{CC} - V_{BE} - \hat{V}_{be}) / \left(1 + \frac{\hat{V}_{be}}{V_T}\right)$$

عبارتی برای بهره ولتاژ حاصل،بدست آورید. در حالت $V_{CC}=۱۰\text{V}$ ، $V_{BE}=۰/۷$ ، $\hat{V}_{be}=۵\text{mV}$ ، ولتاژ dc در کلکتور، دامنه سیگنال ولتاژ خروجی و بهره ولتاژ را بدست آورید.

بخش ۸-۴: مدلهای مدار معادل سیگنال کوچک

۴-۵۰ یک BJT که برای کار در حالت فعال در جریان dc کلکتور ۰/۵ mA بایاس شده است دارای $\beta = ۱۲۰$ است. چهار مدل کامل سیگنال کوچک BJT (شکلهای ۴-۲۶ و ۴-۲۷) با مقادیر پارامترهای آنها را ارائه کنید.

۴-۵۱ تقویت‌کننده ترانزیستوری شکل (م ۴-۵۱) با منبع جریان I و β خیلی زیاد بایاس شده است. ولتاژ dc کلکتور، V_C ، و g_m را بدست آورید. بجای ترانزیستور مدل هیبرید π خلاصه شدهٔ آن را از شکل (الف ۴-۲۶) قرار دهید (توجه کنید که منبع جریان dc ، I مدار باز می‌شود). بهره ولتاژ v_c/v_i را پیدا کنید.



شکل (م ۴-۵۱)

۴-۵۲ برای مدار شکل ۴-۵۲ ، $R_c=۱\text{k}\Omega$ ، $g_m=۱۰۰\text{mA/V}$ ، $\beta=۵۰$ ولتاژ نوک تا نوک خروجی برابر ۱/۵V است. ولتاژ ac ورودی و جریان ac بیس چقدر است؟

۴-۵۳ با توجه به شکل‌های ۴-۲۶ (الف) و (ب) رابطه g_m و β بیان شده را ثابت کنید. تنها از اطلاعات داده شده در این شکلها استفاده کنید.

۴-۵۴ برای ترانزیستوری با $I_B=۷/۶\mu\text{A}$ و $\beta=۱۰۴$ ، r_p و g_m چقدر است؟ r_e و α چقدر است؟

۴-۵۵ برای یک ترانزیستور pnp با $I_E=۰/۸۰\text{mA}$ و $\alpha=۰/۹۹$ ، r_e ، r_p ، β چقدر است؟

۴-۵۶ بخش کوچک سیگنال مثال ۴-۹ ولتاژ را از دید تقویت با کنترل توسط جریان بیس، متناظر با شکل ۴-۲۶ (ب) تکرار کنید.

۴-۵۷ در مدار (الف ۴-۲۸) ولتاژ بایاس V_{BB} dc به ۲V کاهش می‌یابد. بهره حاصل را به ازای $V_{BE}=۰/۷\text{V}$ و $\beta=۱۰۰$ بیابید.

۴-۵۸ تقویت کنندهٔ شکل ۴-۲۸ تحلیل شده در مثال ۴-۹ را در شرایطی که β مقدار کاملاً مشخصی ندارد درنظر بگیرید. به ازای چه مقدار β ترانزیستور در آستانه اشباع قراردارد؟ پس نتیجه می‌گیریم برای این مدار β

بزرگ خطرناک است. حال اثر کاهش β را، مثلاً با $\beta=۲۵$ درنظر بگیرید. r_c g_m و r_n چه می‌شود؟ بهره ولتاژ کل چقدر است؟ می‌بینید که این مدار، یعنی بایاس با کنترل جریان بیس، به β بسیار حساس است و معمولاً توصیه نمی‌شود.

۴-۵۹ مدار شکل ۳۰-۴ را با این فرض که مقاومت داخلی منبع سیگنال ۱۰۰Ω است درنظر بگیرید. بهرهٔ ولتاژ، یعنی نسبت خروجی تقویت‌کننده به ولتاژ مدار باز سیگنال چقدر است؟ ماکزیمم ولتاژ مدار باز سیگنال چقدر است؟ ماکزیمم ولتاژ مدار باز ورودی که می‌توان به این مدار اعمال کرد، بدون این که خروجی بریده شود، چقدر است؟

۴-۶۰ مقاومت های مدار شکل ۳۰-۴ را n برابر کنید تا مقاومت دیده شده از ورودی ۷۵Ω شود. بهره ولتاژ چقدر می‌شود؟ مدارهای با بیس زمین شدهٔ این چنین، در سیستمهای تلویزیون کابلی به کار می‌روند، زیرا در این سیستمها برای بالا بودن کیفیت سیگنال مقاومت بار باید با مقاومت‌های معادل کابل منطبق باشد.

۴-۶۱ با استفاده از مدل مدار معادل شکل (الف ۲۷-۴) مدل مدار معادل یک تقویت‌کنندهٔ ترانزیستوری را که در آن R_e بین امیتر و زمین اتصال یافته، کلکتور زمین شده و سیگنال ورودی v_b بین بیس و زمین متصل می‌شود، رسم کنید (فرض می‌شود ترانزیستور در ناحیه فعال است) نشان دهید: (الف) بهرهٔ ولتاژ بین بیس و امیتر یعنی v_e/v_b از رابطهٔ زیر بدست می‌آید:

$$\frac{v_e}{v_b} = \frac{R_e}{R_e + r_e}$$

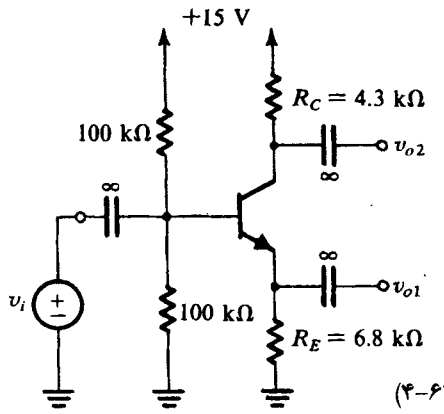
(ب) مقاومت ورودی عبارتست از $R_{in} \equiv \frac{v_b}{i_b} = (\beta + ۱)(R_e + r_e)$

مقادیر عددی (v_e / v_b) و R_{in} را در حالت $R_e = ۱\ \text{k}\Omega$ و $\beta = ۱۰۰$ و جریان بایاس امیتر $I_E = ۱\ \text{mA}$ بدست آورید.

۴-۶۲ هنگامی که کلکتور یک ترانزیستور به بیس آن متصل شود ترانزیستور هنوز (بطور داخلی) در ناحیه فعال عمل می‌کند چون پیوند کلکتور بیس هنوز در تأثیر بایاس معکوس است با استفاده از مدل خلاصه شده هیبرید - π ، مقاومت افزایشی (سیگنال کوچک) قطعه دو پایانهٔ حاصل، را بدست آورید.

ط**۴-۶۳ با استفاده از آرایش شکل (الف ۳۰-۴) یک تقویت‌کننده طراحی کنید. منبع تغذیه ±۱۰V موجود است. مقاومت منبع سیگنال، ۱۰۰Ω بوده و مقاومت ورودی تقویت‌کننده باید با این مقدار مساوی باشد. (توجه کنید که $R_{in} = r_e // R_E \cong r_e$). بهره ولتاژ و سیگنال خروجی تقویت‌کننده باید تا حدامکان زیاد باشند بدون اینکه از عملکرد خطی سیگنال کوچک خارج شویم. (یعنی مولفه سیگنال روی پیوند بیس امیتر از ۱۰ mA بیشتر نباشد.) مقادیر R_E و R_C را بدست آورید. بهرهٔ ولتاژ بدست آمده چقدر است؟

***۴-۶۴** ترانزیستور مدار شکل (م ۶۴-۴) در ناحیه فعال است. با فرض اینکه β خیلی زیاد است جریان بایاس کلکتور I_C را پیدا کنید. بجای ترانزیستور مدل مدار معادل سیگنال کوچک شکل (الف ۲۷-۴) را قرار دهید. (منبع تغذیه dc را اتصال کوتاه کنید). با تحلیل مدار معادل تقویت‌کنندهٔ حاصل نشان دهید:



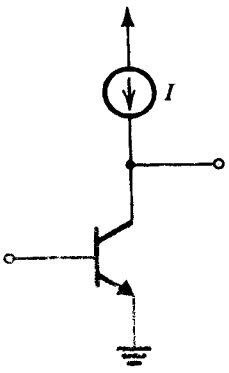
شکل (م ۶۴-۴)

$$\frac{v_{o۱}}{v_i} = \frac{R_E}{R_E + r_e}$$

$$\frac{v_{o۲}}{v_i} = \frac{-\alpha R_C}{R_E + r_e}$$

مقادیر این بهرهٔ ولتاژها را بدست آورید. ($\alpha \cong ۱$)

۴-۶۵ در طراحی تقویت‌کننده مدار مجتمع BJT ، از ترتیب نشان داده شده در شکل (م ۶۵-۴) اغلب استفاده می‌شود. در اینجا ترانزیستور با یک منبع جریان ثابت تغذیه کننده کلکتور بایاس شده است. مدار خارجی (که نشان داده نشده) به گونه‌ای ترتیب یافته که یک ولتاژ dc ثابت در کلکتور ظاهر می‌شود. با استفاده از مدل مدار معادل هیبرید π شامل r_o ، نشان دهید که بهرهٔ ولتاژ سیگنال کوچک بدست آمده از بیس به کلکتور معادل $-(V_A/V_T)$ است. برای $V_A=۱۰۰\text{V}$ ، مقدار بهره را بدست آورید.



شکل (م ۶۵-۴)

بخش ۹-۴: تحلیل ترسیمی

۴-۶۶ منحنی مشخصه‌های شکل (۳۶-۴) را با داده‌های تنظیمی اضافهٔ زیر درنظر بگیرید: از پایین‌ترین خطوط رنگی، ۳۰ و ۲۰ و ۱۰ و ۱ = i_B و ۴۰μA . خطوط را افقی و β را ۱۰۰ فرض کنید. برای $V_{CC} = ۵\ \text{V}$ ، $R_C=۱\text{k}\Omega$ ، مقدار نوک به نوک نوسان ولتاژ کلکتور در صورت تغییر i_B در گسترهٔ ۱۰ تا ۴۰ μA چقدر است؟ اگر در نقطهٔ بایاس (نه آنکه در شکل نشان داده شده) $V_{CE} = \frac{۱}{۲} V_{CC}$ باشد. مقادیر I_B و I_C را بدست آورید. اگر در این جریان $V_{BE} = ۰/۷\ \text{V}$ ، و $R_B = ۱۰۰\ \text{k}\Omega$ باشد مقدار V_{BB} را بدست آورید.

*۴-۶۷ مشخصه‌های $i_C - v_{CE}$ را برای یک ترانزیستور *npn* دارای $\beta=100$ و $V_A = 100$ رسم کنید. منحنی مشخصه‌ها را برای i_B برابر ۲۰، ۵۰، ۸۰ و ۱۰۰ μA رسم کنید. این منحنی‌ها را با فرض $i_C = \beta\, i_B$ و $v_{CE}=0$ و همچنین خط بار بدست آمده را برای $V_{CC} = 10$ V و $R_C=1k\Omega$ رسم کنید. اگر جریان dc بیس ۵۰ μA باشد، معادله‌ای برای منحنی $i_C - v_{CE}$ متناظر با آن و خط بار بنویسید. هر دو معادله را برای بدست آوردن V_{CE} و I_C حل کنید. اگر سیگنال ورودی باعث اضافه‌شدن سیگنالی با دامنه نوک ۳۰ μA به I_B شود مؤلفه‌های i_C و v_{CE} متناظر با آن را بدست آورید.

بخش ۱۰-۴: بایاس BJT در طراحی مدار گسسته

ط ۴-۶۸ مدار شکل ۴-۳۸ در حالت $V_{CC} = 9$ V برای بدست آوردن ولتاژ $\frac{1}{3} V_{CC}$ روی هریک از مقاومت‌های R_E و R_C، $I_E = 0.5$ mA و جریان مدار تقسیم ولتاژ $0.2\, I_E$ طراحی کنید. طراحی را با فرض بزرگ بودن β انجام دهید. سپس مقدار واقعی I_E بدست آمده را با یک BJT دارای $\beta = 100$ پیدا کنید.

ط**۴-۶۹ می‌خواهیم مدار بایاس شکل ۴-۳۹ را برای یک BJT با مقدار β نامی ۱۰۰ طراحی کنیم

(الف) بزرگترین نسبت (R_B / R_E) را که باقی‌ماندن I_E را در ۵% مقدار نامی‌اش برای $\beta = 50$ و $\beta = 150$ تضمین کند بدست آورید.

(ب) با استفاده از نسبت مقاومت قسمت (الف) عبارتی برای ولتاژ $V_{BB} = V_{CC} R_2/(R_1+R_2)$ که منجر به افت ولتاژ $V_{CC}/3$ روی R_E شود بدست آورید.

(پ) برای $V_{CC} = 10$ V مقدار لازم را برای R_1، R_2 و R_E را به منظور بدست آوردن $I_E = 2$ mA و برآوردن شرایط پایداری I_E در قسمت (الف) پیدا کنید.

(ت) R_C را طوری پیدا کنید که برای مقداراسمی β، $V_{CE} = 3$ V شود.

ط*۴-۷۰ بااستفاده از طرح دو منبعی شکل ۴-۴۰ با منابع ±۵V یک مدار بایاس برای دستیابی به این مشخصات طرح کنید: $I_C=0.1$mA؛ به ازای $\beta=\infty$ ولتاژ کلکتور - امیتر ۰/۴ ولتاژ منبع و امیتر باشد، اگر β به ۷۰ برسد، V_{CE} حداکثر ۲۰% زیاد شود. از مقاومت‌های استاندارد ۵% (پیوست ث) استفاده کنید. مقادیر R_B، R_E و R_C را تعیین کنید. I_C و V_{CE} را به ازای $\beta=70$ بیابید.

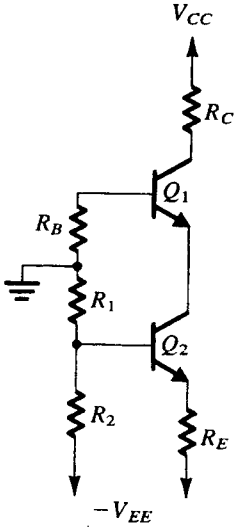
ط*۴-۷۱ با استفاده از منبع تغذیه ±۵ V می‌خواهیم مدار شکل (۴-۳۹) در حالتی که سیگنال به امیتر اعمال شده و بنابراین R_B حذف می‌شود، طراحی کنیم مقادیر R_E و R_C را طوری پیدا کنید که جریان dc امیتر، ۱ mA شده و بهره کلکتور ماکزیمم بوده و امکان نوسان سیگنال ±۱ V در کلکتور وجود داشته باشد. اگر درجه حرارت از مقدار نامی ۲۵ °C به ۱۲۵ °C افزایش یابد. درصد تغییر جریان بایاس کلکتور و کاهش در نوسان سیگنال را تخمین بزنید. علاوه بر تغییر ۲- mV/°C در V_{BE} فرض کنید β در این محدودهٔ حرارت از ۵۰ تا ۱۵۰ تغییر کند.

ط ۴-۷۲ با استفاده از منبع تغذیه ۵ V مدار شکل (۴-۴۰) را برای ایجاد جریان dc امیتر ۰/۵ mA و نوسان سیگنال ±۱ V در کلکتور طراحی کنید. BJT دارای β نامی = ۱۰۰ می‌باشد. اگر از BJT واقعی با مقدار β = ۵۰ استفاده شود جریان امیتر چقدر خواهد بود؟ میزان نوسان سیگنال در کلکتور چقدر؟ برای β = ۱۵۰ مسئله را تکرار کنید.

ط ۴-۷۳ مدار بایاس با فیدبک شکل ۴-۴۱ را برای دستیابی به این مشخصات طراحی کنید: $V_{CC}=3$V، $I_C=0.1$mA، $V_{CE} = 1.4$V؛ داریم $\beta = 100$ از مقاومت‌های استاندارد ۵% (پیوست ت) استفاده کنید. مقادیر مقاومت‌ها را تعیین کرده، سپس I_C و V_{CE} را به ازای $\beta = 50$ و $\beta = 200$ بیابید.

ط*۴-۷۴ باگذاشتن مقاومت R_R بین بیس و امیتر مدار شکل ۴-۴۱ آن را تغییر دهید. مدار حاصل را برای دستیابی به مشخصات بیان شده در مسئله ۴-۷۳ طراحی کنید، همچنین باید طرح به نحوی باشد که اگر جای ترانزیستور دارای $\beta=\infty$ ترانزیستوری با $\beta = 70$ قرارگیرد، V_{CE} حداکثر ۰/۲V کم شود. مقاومت‌ها را از میان مقاومت‌های استاندارد ۵% (جدول پیوست ث) برگزینید.

ط**۴-۷۵ مدار بایاس جریان شکل ۴-۷۵ جریان بایاس Q_1 را به نحوی مستقل از مقدار R_B و تقریباً مستقل از β_1 تعیین می‌کند (به شرطی که Q_2 فعال بماند). مدار را به نحوی تعیین کنید که این مشخصات را ارائه کند: منابع تغذیه ±۵V؛ $I_C=0.1$mA، $V_{RE}=2$V به ازای $\beta=\infty$ به ازای $\beta=50$ ولتاژ روی R_E حداکثر ۵% استفاده کنید (پیوست ث را ببینید). R_1 و R_2، R_E، R_B، R_C را تعیین کنید. به ازای $\beta = 50$، ۱۰۰، ۲۰۰ مقادیر I_{C1} و V_{CE1} را بیابید.

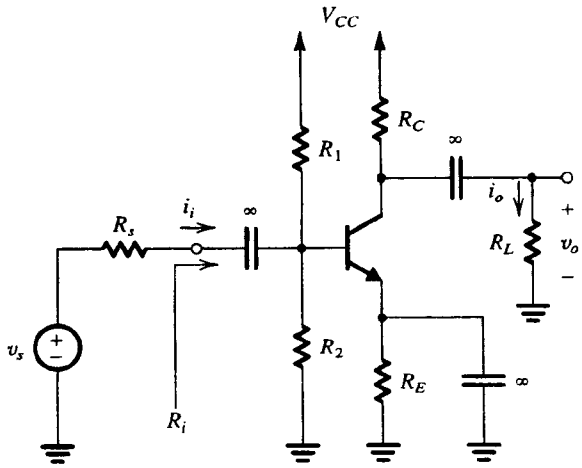


شکل (م ۴-۷۵)

بخش ۱۱-۴: پیکربندی‌های اساسی تقویت‌کنندهٔ یک طبقه

۴-۷۶ تقویت کنندهٔ امیتر مشترکی از نوع نشان داده شده در شکل ۴-۴۳ (الف) در جریان $I_C=0.1$mA بایاس شده و مقاومت کلکتور آن $R_C=47k\Omega$ است. β ترانزیستور ۱۰۰ و V_A آن بزرگ است. R_i، بهرهٔ ولتاژ (v_o/v_s) به ازای $R_s=100k\Omega$، R_o را بیابید. با استفاده از این نتایج بهرهٔ ولتاژ کل را هنگام اتصال مقاومت بار $10k\Omega$ به کلکتور بیابید.

۴-۷۷ مسئله ۴-۷۶ را برای حالتی که مقاومت 250Ω در مسیر سیگنال امیتر قراردارد بیابید. ماکزیمم دامنهٔ سیگنال سینوسی ورودی را برای دو حالت بودن و نبودن R_C، به نحوی که برای پرهیز از اعوجاج ولتاژ بیس - امیتر از 5_mV تجاوز نکند، مقایسه کنید.



شکل (م ۷۸-۴)

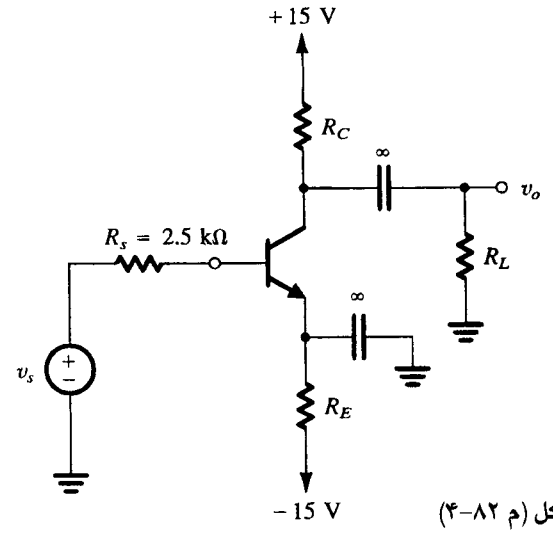
۴-۷۸ در تقویت‌کننده امیتر مشترک شکل (م ۷۸-۴) فرض کنید $V_{CC}=9V$، $R_1 = 27\ k\Omega$، $R_2 = 15\ k\Omega$، $R_E = 1/2\ k\Omega$ و $R_C = 2/2 k\Omega$ باشد. ترانزیستور دارای $\beta = 100$ و $V_A = 100\ V$ می‌باشد. جریان بایاس dc ی I_E را حساب کنید. اگر تقویت‌کننده با یک منبع با مقاومت $R_s = 10 k\Omega$ و بار $2k\Omega$ کار کند مدل هیبرید - π آن را جایگزین ترانزیستور کرده مدار معادل تقویت‌کننده را رسم کنید. مقادیر R_i، G_m، R_o، A_v و A_i را بدست آورید.

ط ۷۹-۴ با استفاده از شکل (م ۷۸-۴) تقویت‌کننده‌ای طراحی کنید که با مقاومت منبع $10\ k\Omega$ و مقاومت بار $2\ k\Omega$ با بهرهٔ ولتاژ $(v_o/v_s) = -8V/V$ کار کند. منبع تغذیهٔ موجود، $9\ V$ است. جریان امیتر را $2\ mA$ و جریان بیس را در حدود یک دهم جریان مقسم ولتاژ و V_{BB} را تقریباً یک سوم منبع تغذیه درنظر بگیرید. ترانزیستور دارای $\beta = 100$ و $V_A = 100\ V$ است.

۴-۸۰ یک طراح با امتحان شرایط گفته شده در مسئله (۷۸-۴) و تخمین بهرهٔ تقریبی $-8\ V/V$، می‌خواهد امکان بهبود آن را با کاهش بارگذاری ورودی تقویت‌کننده توسط منبع بررسی کند. بعنوان یک آزمایش مقاومتها را با ۳ برابر کردن آنها به این صورت تغییر داده است: (با توجه به مقادیر استاندارد مقاومتهای ۵٪) $R_1 = 82\ k\Omega$، $R_2 = 47\ k\Omega$، $R_E = 3/6\ k\Omega$، $R_C = 6/8 k\Omega$. با $V_{CC} = 9\ V$، $R_s = 10 k\Omega$، $R_L = 2\ k\Omega$، $\beta = 100$ و $V_A = 100 V$ بهره چقدر می‌شود؟

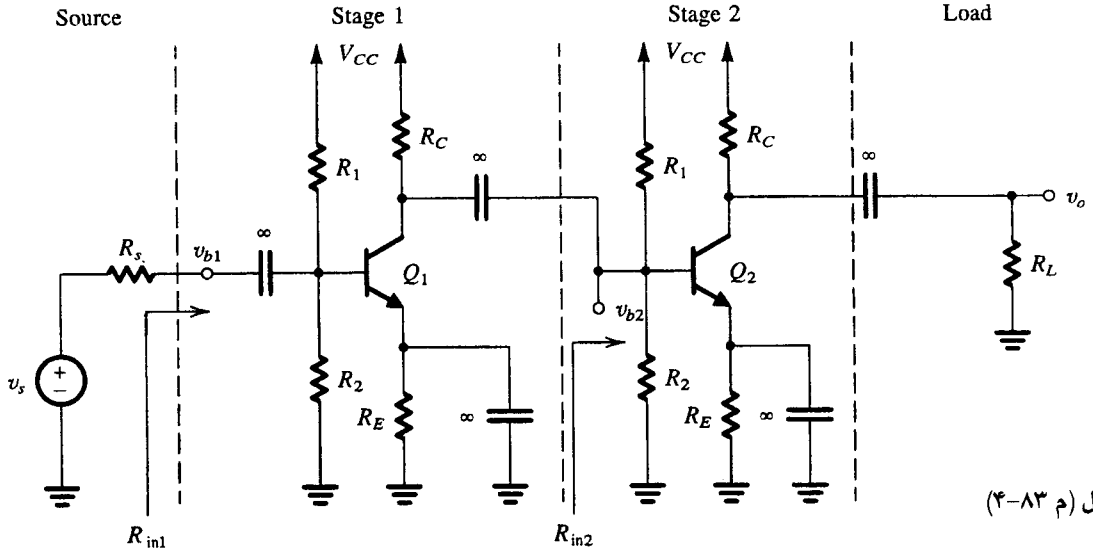
ط ۸۱-۴ مدار تقویت کنندهٔ CE شکل ۴۳-۴ (الف) را درنظربگیرید. I و R_C را برای دستیابی به مشخصات زیر تعیین کنید:
(الف) $R_i \approx 5 k\Omega$ (ب) بهرهٔ ولتاژ از بیس به کلکتور ماکزیمم شده، به ازای سیگنال v_{be} برابر $5mV$ ولتاژ کلکتور از ولتاژ بیس کمتر نشود.
v_s را یک منبع سینوسی با مؤلفه dc صفر، منبع تغذیهٔ موجود را $V_{cc}=5V$ و ترانزیستور را دارای $\beta=100$ و ولتاژ ارلی بزرگ فرض کنید. بهرهٔ ولتاژ از بیس به کلکتور چقدر است؟ بهرهٔ ولتاژ کل به ازای $R_s=10 k\Omega$ چقدر است؟

۴-۸۲ در مدار شکل (م ۸۲-۴) v_s یک موج سینوسی کوچک با میانگین صفر است. ترانزیستور دارای $\beta = 100$ می‌باشد.
(الف) مقدار R_E را برای برقراری جریان dc تقریباً $1mA$ در امیتر بدست آورید.
(ب) مقدار R_C را برای ایجاد ولتاژ dc کلکتور تقریباً $+5\ V$ پیدا کنید.
(پ) برای $R_L = 5\ k\Omega$ و $r_{o\,\text{ترانزیستور}} = 100\ k\Omega$، مدار معادل سیگنال کوچک تقویت‌کننده را رسم کرده، بهره ولتاژ کلی آن را تعیین کنید.



شکل (م ۸۲-۴)

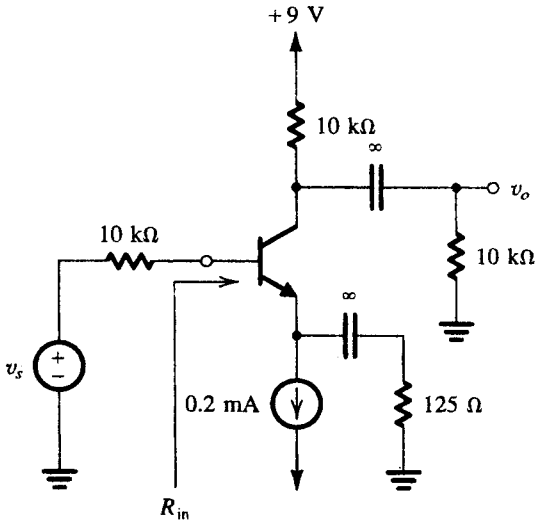
***۴-۸۳** تقویت‌کننده شکل (م ۸۳-۴) شامل دو تقویت‌کنندهٔ امیتر مشترک یکسان که بطور متوالی بهم اتصال یافته‌اند می‌باشد. دقت کنید که مقاومت ورودی طبقه دوم یعنی R_{in2} شامل مقاومت بار طبقه اول نیز می‌باشد.
(الف) برای $V_{CC} = 15\ V$، $R_1 = 100\ k\Omega$، $R_2 = 47\ k\Omega$،



شکل (م ۸۳-۴)

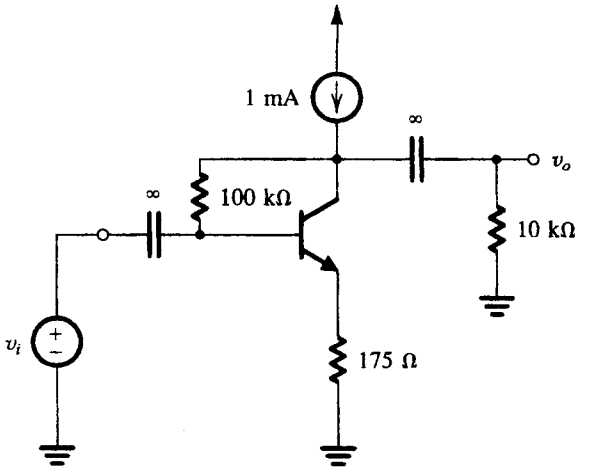
R_E=۳/۹ و R_C = ۶/۸ kΩ و β = ۱۰۰ جریان dc ولتاژ کلکتور هریک از ترانزیستورها را بدست آورید.
(ب) مدار معادل سیگنال کوچک هر تقویت‌کننده را بطور کامل رسم کرده، همهٔ مقادیر مؤلفه‌های آنها را بدست آورید.
(پ) R_{in1} و v_{b1}/v_s را برای R_s = ۵ kΩ پیدا کنید.
(ت) R_{in2} و v_{b2}/v_{b1} را بدست آورید.
(ث) برای R_L = ۲ kΩ، v_o / v_{b2} را پیدا کنید.
(ج) بهرهٔ ولتاژ کلی v_o / v_s را بدست آورید.

۴-۸۴ در مدار شکل (م ۸۴-۴) V_s یک موج سینوسی کوچک با میانگین صفر است. R_{in} و بهرهٔ v_o / v_s را بدست آورید. فرض کنید β = ۵۰ باشد. اگر دامنه سیگنال v_{be} به ۵ mV محدود شود، بزرگترین سیگنال خروجی چقدر است؟ سیگنال خروجی متناظر با آن چقدر است؟



شکل (م ۸۴-۴)

۴-۸۵* BJT مدار شکل (م ۸۵-۴) دارای β = ۱۰۰ می‌باشد.
(الف) جریان dc و ولتاژ کلکتور را بدست آورید.
(ب) بجای ترانزیستور، مدل T آن را قرار داده مدار معادل سیگنال کوچک تقویت‌کننده را رسم کنید. مدار حاصل را تحلیل کرده، بهرهٔ ولتاژ v_o / v_i را تعیین کنید.



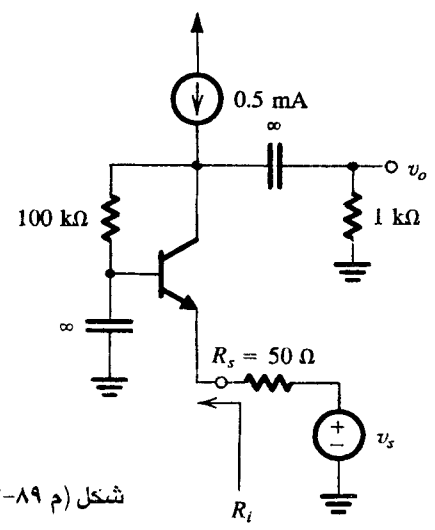
شکل (م ۸۵-۴)

۴-۸۶* با مراجعه به روابط تقریبی بهرهٔ ولتاژ (بر حسب β ترانزیستور) برای تقویت‌کنندهٔ CE شامل R_e در جدول ۲-۴، فرض کنید BJT در جریان امیتر ۱ mA بایاس شود. مقاومت منبع R_s = ۱۰ kΩ است BJT دارای β، در محدودهٔ ۵۰ تا ۱۵۰ با مقدار نامی ۱۰۰ می‌باشد.
(الف) نسبت بهره ولتاژ ماکزیمم به مینیمم بدون R_e چقدر است؟
(ب) برای محدودکردن نسبت بهره ولتاژ ماکزیمم به مینیمم، به عدد ۱/۲، R_e باید چقدر باشد؟
(پ) اگر از R_e قسمت (ب) استفاده کنیم، ضریب کاهش بهره (در مقایسه با حالت بدون R_e) برای BJT با مقدار β نامی، چقدر است؟

۴-۸۷ تقویت کنندهٔ CB شکل ۴-۴۵ را در حالی که مقاومت بار ۱۰kΩ با خازنی بزرگ به کلکتور وصل شده است درنظر بگیرید. فرض کنید R_C=۱۰kΩ ، V_{CC}=۱۰V ، R_s=۵۰Ω . I باید چه باشد تا مقاومت ورودی دیده شده از امیتر با مقاومت منبع (یعنی ۵۰Ω) برابر باشد؟ بهرهٔ ولتاژ حاصل از منبع به بار چقدر است؟ فرض کنید α≈۱.

ط۴-۸۸** تقویت کننده CB شکل (الف ۴-۴۵) را درنظربگیرید سیگنال ولتاژ کلکتور با خازنی بزرگ به مقاومت بار ۱kΩ تزویج شده است. منابع تغذیه ±۵V ، مقاومت منبع ۵۰Ω است. مدار را طوری طراحی کنید که مقاومت ورودی تقویت کننده با مقاومت منبع منطبق باشد، و دامنه سیگنال خروجی ماکزیمم مقدار بدون اعوجاج داشته باشد (v_{be} به ۱۰mV محدود شود). I_E و R_C را یافته، بهرهٔ ولتاژ کل و ماکزیمم دامنهٔ مجاز سیگنال خروجی را محاسبه کنید.

۴-۸۹ برای مدار شکل م ۸۹-۴ مقاومت ورودی R_i و بهرهٔ ولتاژ v_o/v_s را بیابید. دامنهٔ سیگنال منبع v_s را کوچک و β را بزرگ فرض کنید. حتی اگر ولتاژ کلکتور از ولتاژ بیس حدود ۰/۴V کمتر باشد، باز ترانزیستور در ناحیه فعال می‌ماند.



شکل (م ۸۹-۴)

۴-۹۰ امیتر پیرو شکل الف ۴-۴۶ را با I=۱mA ، β=۱۰۰ ، V_A=۱۰۰V ، R_s=۲۰kΩ و R_L=۱۰۰V را درنظر بگیرید.
(الف) R_i ، v_b/v_s و v_o/v_s را بیابید.
(ب) اگر v_s سینوسی باشد، دامنه‌اش باید به چه مقداری محدود شود تا ترانزیستور همواره در ناحیه فعال بماند؟ به ازای این دامنه، دامنه ولتاژ روی پیوند بیس - امیتر چقدر است؟
(پ) اگر بخواهیم دامنهٔ سیگنال روی پیوند بیس - امیتر از ۱۰mV نگذرد، v_s باید چه باشد؟ v_o به ازای این v_s چه دامنه‌ای دارد؟

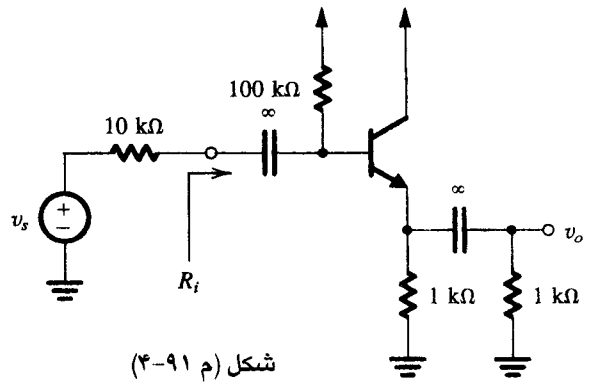
(ت) بهرهٔ ولتاژ مدار باز v_o/v_s را هنگام اتصال بار $R_L = ۵۰۰\,\Omega$ بدست آورید.

۴-۹۱ در مدار امیتر پیرو شکل (م ۷۱-۴) BJT دارای β در محدودهٔ ۲۰ تا ۲۰۰ است. (یک وضعیت بد برای طراح) برای دو مقدار حدی β ($\beta = ۲۰$ و $\beta = ۲۰۰$) مقادیر زیر را بدست آورید:

(الف) I_E و V_E و V_B

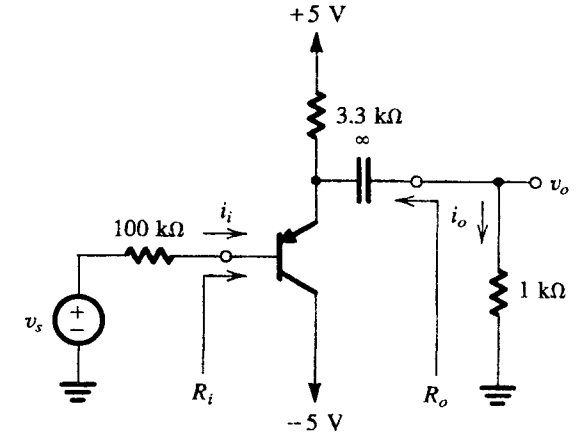
(ب) مقاومت ورودی R_i

(پ) بهرهٔ ولتاژ v_o / v_s



شکل (م ۹۱-۴)

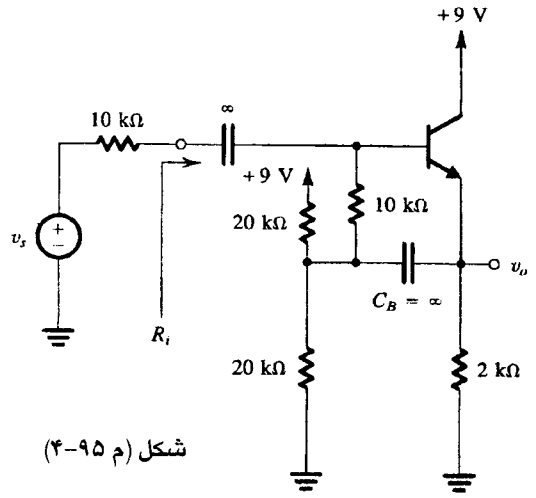
۴-۹۲ در امیتر پیرو شکل (م ۷۲-۴) منبع سیگنال مستقیماً به بیس ترانزیستور متصل شده است. اگر مؤلفهٔ dc سیگنال v_s صفر باشد جریان dc امیتر را بدست آورید. فرض کنید $\beta = ۱۲۰$ باشد. با صرفنظرکردن از r_o، R_i، بهره ولتاژ v_o/v_s، بهره جریان i_o / i_i و مقاومت خروجی R_o را پیدا کنید.



شکل (م ۹۲-۴)

۴-۹۳* در امیتر پیرو شکل (الف ۴۶-۴) منبع سیگنال مستقیماً به بیس متصل می‌شود. مؤلفهٔ dc سیگنال v_s صفر است. $\beta = ۱۰۰$ و $V_A = ۱۲۵\ V$ می‌باشد. مقاومت خروجی چقدر است؟ بهره ولتاژ v_o/v_s را در حالت بدون بار و بار $۱k\Omega$ بدست آورید. در حالتی که بار $۱\ k\Omega$ به مدار متصل است بزرگترین سیگنال منفی خروجی را پیداکنید. اگر کار مدار در بالای نقطه‌ای که پیوند بیس - کلکتور با $۰/۲\ V$ بایاس مستقیم شده است رضایت‌بخش باشد بزرگترین سیگنال خروجی مثبت چقدر است؟

۴-۹۴ امیتر پیرو شکل ۴۶-۴ (الف) به ازای مقاومت منبع $۱۰k\Omega$، بهرهٔ ولتاژ مدار بازی برابر ۰/۹۹ و مقاومت خروجی ۲۰۰Ω دارد. اگر مقاومت منبع $۲۰k\Omega$ شود، مقاومت خروجی به ۳۰۰Ω می‌رسد. بهرهٔ ولتاژ را به ازای مقاومت خروجی $۳۰k\Omega$ و مقاومت بار $۱k\Omega$ بیابید.



شکل (م ۹۵-۴)

۴-۹۵ در مدار شکل (م ۹۵-۴) که **بوت استرپ پیرو** نام دارد:

(الف) جریان dc امیتر و g_m، r_e و r_π را بدست آورید، از $\beta = ۱۰۰$ استفاده کنید.

(ب) بجای BJT مدل هیبرید - π آن را قرار دهید (با صرفنظرکردن از r_o) و با تحلیل مدار، مقاومت ورودی R_i و بهرهٔ ولتاژ v_o / v_s را بدست آورید.

(پ) قسمت (ب) را در حالتی که خازن C_B مدار باز شود تکرار کنید. نتایج را برای دریافتن مزایای بوت استرپ‌کردن با قسمت (ب) مقایسه کنید.

۴-۹۶** در مدار امیتر پیرو شکل (م ۹۶-۴) ترانزیستور $Q_۱$ دارای $\beta=۲۰$ و $Q_۲$ دارای $\beta = ۲۰۰$ است از اثر r_o صرفنظر شده و $V_{BE} = ۰/۷V$ می‌باشد.

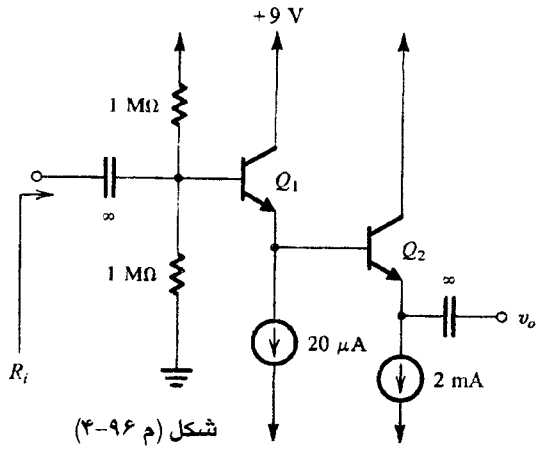
(الف) جریان dc امیتر $Q_۱$ و $Q_۲$ و ولتاژهای dc، $V_{B۱}$ و $V_{B۲}$ را بدست آورید.

(ب) اگر مقاومت بار $R_L = ۱\ k\Omega$ به خروجی متصل شود بهرهٔ ولتاژ بیس به امیتر $Q_۲$، $v_o / v_{b۲}$، و مقاومت ورودی را با نگاه به بیس $Q_۲$، $R_{ib۲}$ را بدست آورید (راهنمایی: $Q_۲$ را یک امیتر پیرو که به بیس آن ولتاژ $v_{b۲}$ اعمال شده درنظر بگیرید)

(پ) به جای $Q_۲$، مقاومت ورودی آن، $R_{ib۲}$ را از قسمت (ب) قرار دهید. با تحلیل مدار امیتر پیرو $Q_۱$ مقاومت ورودی R_i، و بهره ولتاژ بیس به امیتر $v_{e۱}/v_{b۱}$ آن را تعیین کنید.

(ت) اگر به مدار منبعی با مقاومت $۱۰۰k\Omega$ اعمال شود، $v_{b۱}/v_s$ را بدست آورید.

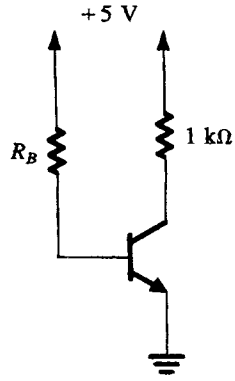
(ث) بهرهٔ ولتاژ کلی v_o / v_s را پیداکنید.



شکل (م ۹۶-۴)

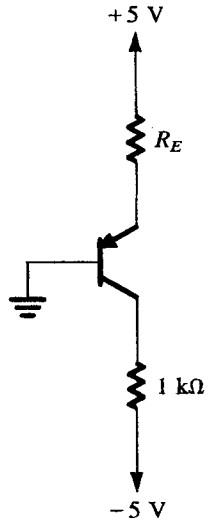
بخش ۱۲-۴: ترانزیستور به عنوان کلید - قطع و اشباع

ط ۹۷-۴ در مدار شکل (م ۷۸-۴) مقدار R_B را طوری که ترانزیستور با ضریب فراراه‌انداز ۱۰ اشباع شود بدست آورید. BJT دارای ۳۰ = مینیمم β و V_{CEsat} = ۰/۳V می‌باشد. مقدار βی واداشته چقدر است؟



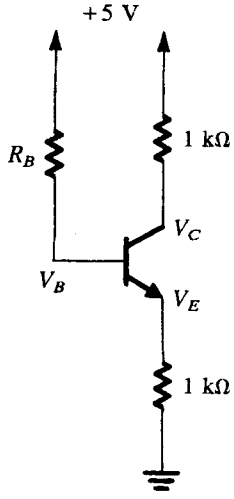
شکل (م ۹۷-۴)

ط ۹۸-۴ در مدار شکل (م ۹۸-۴) مقدار R_E را طوری بدست آورید که ترانزیستور با β واداشته ۵ اشباع شود.

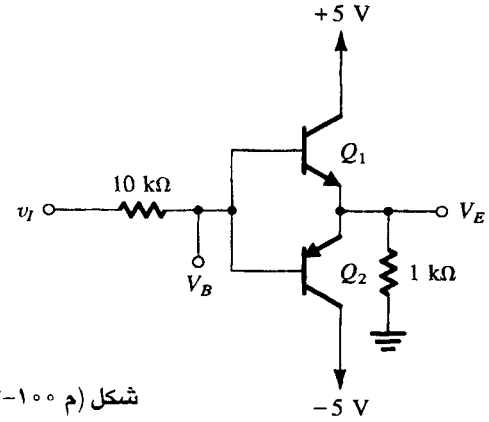


شکل (م ۹۸-۴)

۹۹-۴ در مدار شکل (م ۹۹-۴)، V_B، V_E و V_C را برای R_B با مقادیر ۱kΩ و ۱۰kΩ، ۱۰۰kΩ پیدا کنید. فرض کنید ۱۰۰ = β باشد.



شکل (م ۹۹-۴)



شکل (م ۱۰۰-۴)

۱۰۰-۴ در مدار شکل (م ۱۰۰-۴)، V_B و V_E را برای v_I = ۰، و ۳V+، ۵V− و ۱۰ V− بدست آورید. BJT دارای ۱۰۰ = β می‌باشد.

****۱۰۱-۴** برای کلید وارونگر شکل ۴۷-۴ موارد ثبت شده در جدول زیر را درنظر بگیرید؛ در تمام موارد V_{CC}=+۵V، R_C=۵kΩ و R_B=۱۰۰kΩ. برای ترانزیستور β=۱۰۰ و n=۱، v_{BE}=۰/۷V به ازای i_C=۱mA در ناحیهٔ فعال، v_{BE}=۰/۸V در ناحیهٔ اشباع با تحریک زیاد (به خاطر مقاومت اهمی ناحیه بیس)، v_{BC} داخلی به ازای جریان مستقیم ۱mA برابر ۰/۵V است. محلهای خالی جدول را به دو طریق پر کنید:
(الف) با مدل سادهٔ V_{BE}=۰/۷V. اگر فکر می‌کنید محاسبه دقیقتری ممکن است (بند بعد را ببینید) نتیجه را داخل پرانتز بنویسید.
(ب) با محاسبهٔ دقیق به کمک رابطهٔ نمایی دیود، نتیجه را سمت راست نتیجه بدست آمده از روش سریع بنویسید. مینیمم ورودی که به ازای β=۲۰۰ و β=۵۰ اشباع ترانزیستور را تضمین می‌کند چقدر است؟

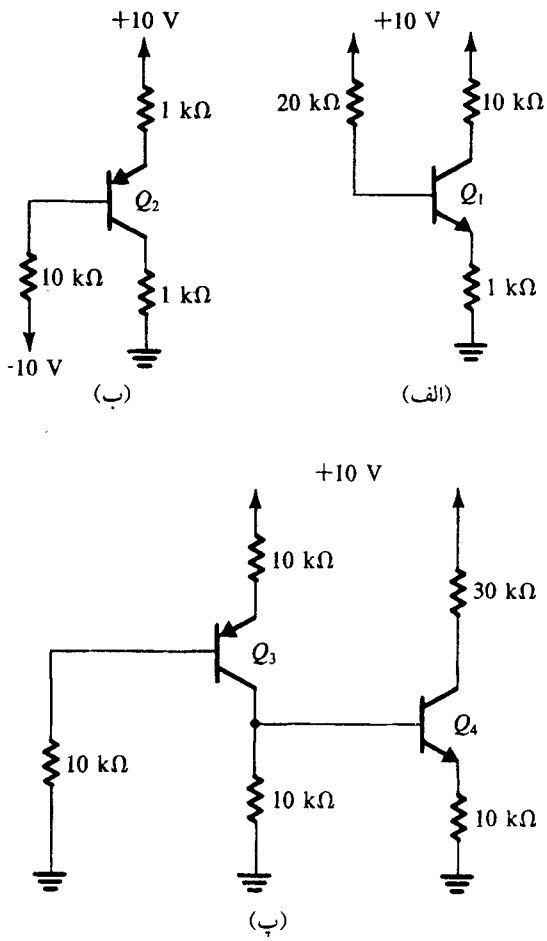
مورد	v_I	v_{BE}	v_C	ناحیه کار	واداشته β
۱	۰/۵				
۲			۰/۷		
۳			۰/۸		
۴	۵/۰				
۵	۲/۰				
۶	۱/۰				
۷	۰/۲				
۸	۰/۶				

۱۰۲-۴ با استفاده از مدل اتصال کوتاه سه پایانه‌ای ترانزیستور اشباع شده، مقادیر تقریبی ولتاژ کلکتور مدارهای شکل (م ۱۰۲-۴) را بیابید. در مورد هر ترانزیستور β واداشته را بیابید.

بخش ۱۳-۴: یک مدل بزرگ سیگنال برای BJT : مدل ابرز - مول

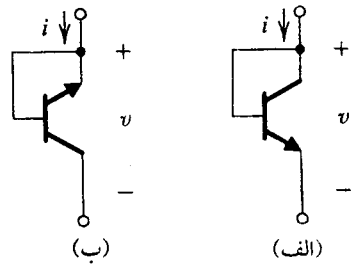
۱۰۳-۴ تمرین ۳۸-۴ را برای ترانزیستوری با α_R=۰/۵ تکرار کنید.

۱۰۴-۴ ترانزیستوری که با مدل ابرز - مول شکل ۵۵-۴ مشخص شده است با امیتر و کلکتور زمین شده و جریان بیس ۱mA کار می‌کند. اگر پیوند کلکتور ۱۰ برابر پیوند امیتر باشد و α≈۱، i_C و i_E را بیابید.



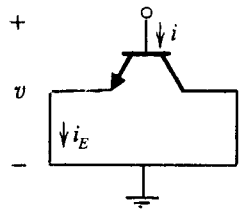
شکل (م ۱۰۲-۴)

۴-۱۰۵ عباراتی برای مشخصه iv ترانزیستورهای با اتصال دیودی شکل م ۱۰۵-۴ برحسب I_s، α_F و α_R بیابید. اگر دو ترانزیستور مشابه باشند و جریانهای i برابر I باشد، v برای دیود (الف) ۰/۷V و برای دیود (ب) برای ۰/۶V است. اندازه نسبی پیوندهای امیتر - بیس و کلکتور - بیس را بیابید.



شکل (م ۱۰۵-۴)

۴-۱۰۶ برای ترانزیستور با اتصال دیودی شکل م ۱۰۶-۴ i_E و i را برحسب v، I_s، β_F و β_R بیابید. نسبت جریانها (یعنی i_E/i) را نیز بیابید. توجه کنید که برای این مسئله مدل انتقال مناسبترست.



شکل (م ۱۰۶-۴)

۴-۱۰۷ ترانزیستوری با β_F=۱۰۰ و α_R=۰/۲ با جریان بیس ثابت و کلکتور باز کار می‌کند. V_{CEsat} را بیابید.

****۴-۱۰۸** ترانزیستوری با جریان بیس ثابت I_B در اشباع کار می‌کند. مشخصهٔ $v_{CE}-v_C$ با معادلهٔ (۴-۱۱۴)، با گذاشتن i_C/I_B به جای β_{forced}، بیان می‌شود (شکل ۵۶-۴ را ببینید). مقاومت فزاینده $\partial v_{CE}/\partial i_C$ در اشباع را بیابید و آن را با فرض β_F << ۱ ساده کنید. سپس نشان دهید که مینیمم مقاومت فزاینده R_{CEsat} به ازای جریان کلکتور $\beta_F I_B/2$ (یعنی با $\beta_{forced} = \beta_f/2$) به دست می‌آید و مقدار آن عبارت است از $4V_T/\beta_F I_B$. با برونیابی خط مماس در این نقطه نشان دهید که ولتاژ افست متناظر با این حالت $V_T[\ln(\beta_F/\beta_R) - 2]$ است. می‌نیمم R_{CEsat} و ولتاژ افست را به ازای I_B = ۱mA، β_F = ۵۰ و β_R = ۰/۱ بیابید.

***۴-۱۰۹** با استفاده از اطلاعات جدول ۴-۴ V_{CEsat} بر حسب i_C ترانزیستوری با جریان بیس I_B = ۱mA را رسم کنید. مقدار مینیمم مقاومت فزاینده $R_{CEsat} = \partial v_{CEsat}/\partial i_C$ را بیابید. نشان دهید که این مینیمم به ازای $i_C \approx \beta_F I_B/2$ رخ می‌دهد. با برونیابی خط مماس در این نقطه ولتاژ افست این ترانزیستور را بیابید. نتیجه را با نتیجهٔ مسئله ۱۰۸-۴ مقایسه کنید.

***۴-۱۱۰** یک ترانزیستور npn با امیتر متصل به زمین، β_F = ۱۰۰ و β_R = ۱ در مداری با I_B = ۱mA و β_{forced} = ۱۰ قرار دارد.
(الف) جریان تمام شاخه‌های مدل ابرزمول شکل ۵۵-۴ این ترانزیستور را بیابید.
(ب) به ازای $I_s = 10^{-14}$A، ولتاژ روی دو پیوند و V_{CEsat} را بیابید.
(پ) درستی V_{CEsat} به دست آمده در بند (ب) را با استفاده از معادلهٔ (۴-۱۱۴) نشان دهید.
(ت) اگر کلکتور را مدار باز کنیم مقادیر جدید V_{CE}، V_{BC} و V_{CEsat} چه خواهد بود؟

***۴-۱۱۱** V_{CEsat} یک ترانزیستور دو قطبی با جریان ثابت بیس، امیتر زمین شده و کلکتور مدار باز ۶۰mV است. اگر کلکتور را به زمین وصل کنیم و امیتر را مدار باز کنیم V_{CEsat} برابر ۱mV− می‌شود. β_R و β_F این ترانزیستور را بیابید.

بخش ۱۴-۴: وارونگر منطقی با BJT

۴-۱۱۲ مدار وارونگر شکل ۶۰-۳ را در نظر بگیرید. در تمرین ۴۱-۴ عبارت زیر برای V_{OH}، هنگام اتصال به N وارونگر مشابه داده شد:

$$V_{OH} = V_{CC} - R_C\frac{V_{CC}-V_{CE}}{R_C + R_B/N}$$

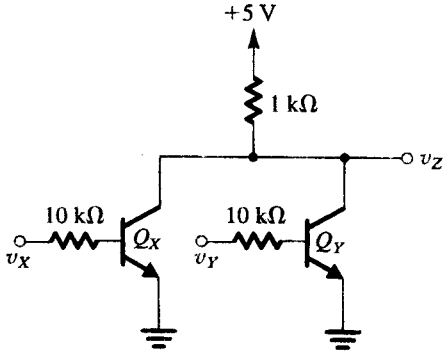
به ازای همان مقادیر به کار رفته در تحلیل درس (یعنی V_{CC} = ۵V، R_C = ۱kΩ، R_B = ۱۰kΩ و V_{BE} = ۰/۷V) ماکزیمم N را برای این که حاشیهٔ نویز بالا NM_H حداقل ۱V باشد، تعیین کنید. فرض کنید β = ۵۰ و V_{CEsat} = ۰/۲V.

۴-۱۱۳ هدف این مسئله یافتن توان مصرفی مدار وارونگر شکل ۶۰-۴ در دو حالت آن است. همان مقادیر داده شده در درس را فرض کنید (یعنی V_{CC} = ۵V، R_C = ۱kΩ، R_B = ۱۰kΩ، و V_{BE} = ۰/۷V).
(الف) به ازای ورودی پایین (۰/۲V) ترانزیستور خاموش است. فرض کنید

وارونگر به ده وارونگر مشابه وصل است. کل جریان تامین شده توسط وارونگر و توان تلف شده در R_C را بیابید.
(ب) به ازای ورودی H ترانزیستور اشباع می‌شود. توان مصرف شده در وارونگر را با چشم پوشی از توان مصرف شده در مدار بیس بیابید.
(پ) با استفاده از نتایج بندهای الف و ب توان متوسط مصرف شده در وارونگر را بیابید.

ط ۴-۱۱۴ یک وارونگر ترانزیستوری برای کار با منبع ۱/۵V طراحی کنید. اگر ورودی با مقاومتی برابر R_C به منبع ۱/۵V وصل باشد، کل توان مصرفی باید ۱mW و β واداشته ۱۰ باشد. فرض کنید $V_{BE} = ۰/۷V$ و $V_{CEsat} = ۰/۲V$.

۴-۱۱۵ در مدار شکل م ۴-۱۱۵ اعمال ورودیهای ۵V و ۰/۲V به X و Y (به صورت تمام ترکیبهای ممکن) را در نظر بگیرید. نتایج را در جدولی ثبت کنید. چند ترکیب ممکن است؟ اگر یکی از ورودیها بالا باشد چه رخ می‌دهد؟ اگر هر دو ورودی پایین باشند چطور؟ این یک دروازهٔ منطقی برای ساختن تابع NOR، $Z = \overline{x + y}$ است.



شکل (م ۴-۱۱۵)

۴-۱۱۶ وارونگر شکل ۴-۶۰ را در حالتی که خازن بار C بین گرهٔ خروجی و زمین وصل است در نظر بگیرید. می‌خواهیم اثر C بر زمان تاخیر پایین به بالا t_{PLH} را بیابیم (زمانهای تاخیر وارونگر در شکل ۳۵-۱ تعریف شده‌اند) به این منظور فرض کنید قبل از $t = ۰$ ترانزیستور روشن و اشباع است، یعنی $v_o = v_{OL} = V_{CEsat}$. در $t = ۰$ ورودی پایین آمده، ترانزیستور فوری خاموش می‌شود. توجه کنید که چشمپوشی از زمان خاموش شدن ترانزیستور اشباع شده فرضی غیر واقعی است، ولی کمک می‌کند تا تنها اثر C را در نظر بگیریم. (زمانهای تغییر حالت ترانزیستور را در فصل ۱۴ بررسی می‌کنیم.) حال با ترانزیستور خاموش شده، خازن از طریق R_C پر شده، ولتاژ آن به طور نمایی از $V_{OL} = V_{CEsat}$ به $V_{OH} = V_{CC}$ می‌رود. $v_o(t)$ را بیابید. مقدار t_{PHL} را، که زمان رسیدن v_O به $\frac{1}{2}(V_{OH}+V_{OL})$ است بیابید. فرض کنید $V_{CC} = ۵V$، $C_{CEsat} = ۰/۲V$، $R_C = ۱k\Omega$ و $C = ۱۰pF$. (راهنمایی: پاسخ پله مدارهای RC در بخش ۷-۱ مرور و در ضمیمه به تفصیل بررسی شده است.)

***۴-۱۱۷** وارونگر شکل ۴-۶۰ را در حالتی که خازن بار C بین گرهٔ خروجی و زمین وصل است در نظر بگیرید. می‌خواهیم اثر C بر زمان تاخیر بالا به پایین t_{PHL} را بیابیم (زمانهای تاخیر وارونگر در شکل ۳۵-۱ تعریف شده‌اند). به این منظور فرض کنید قبل از $t = ۰$ ورودی بالا رفته ترانزیستور فوراً روشن می‌شود. چشم پوشی از زمان روشن شدن ترانزیستور فرض غیر واقعی است، ولی کمک می‌کند تا تنها اثر C را در نظر بگیریم. (زمانهای تغییر حالت ترانزیستور را در فصل ۱۴ بررسی می‌کنیم.) حال چون خازن نمی‌تواند فوراً تخلیه شود، ترانزیستور فوراً اشباع نمی‌شود؛ بلکه در حالت فعال مانده، کلکتور آن جریان ثابت $\beta(V_{CC} - V_{BE})/R_B$ را تامین می‌کند. معادل تونن مدار پرکننده خازن را یافته، نشان دهید ولتاژ به طور نمایی از V_{CC} شروع شده، به مقدار منفی $[V_{CC} - \beta(V_{CC} - V_{BE})R_C/R_B]$ میل می‌کند. عبارت $v_O(t)$ را بیابید. این تخلیهٔ نمایی با رسیدن v_O به $V_{OL} = V_{CEsat}$ و اشباع ترانزیستور متوقف می‌شود. t_{PHL} را، که زمان رسیدن v_O به $\frac{1}{2}(\omega_{OH} + V_{OL})$ است بیابید. همان مقادیر مسئلهٔ ۴-۱۱۶ را با $C = ۱۰pF$ و $\beta = ۵۰$ به کار برید. اگر مسئله ۴-۱۱۶ را حل کرده‌اید t_{PLH} و t_{PHL} را مقایسه کرده، زمان تأخیر t وارونگر را بیابید. (راهنمایی: پاسخ پله مدارهای RC در بخش ۷-۱ مرور و در پیوست و به تفصیل بررسی شده است.)

۴-۱۱۸ توزیع بار حاملهای اقلیت ذخیره شده در بیس یک ترانزیستور اشباع شده را در نظر بگیرید [شکل ب ۴-۶۲ را ببینید]. اگر ترانزیستور بیشتر وارد اشباع شده، v_{BC} به مقدار ۰/۱V زیاد شود (مثلاً از ۰/۵V به ۰/۶V برسد) مقدار افزایش بار ذخیره شده‌ای که به شیب توزیع تعلق ندارد (یعنی بار متناظر با بخش خاکستری شکل) چقدر است؟

بخش ۴-۱۵: مشخصات کامل ترانزیستور در حالت ایستا و اثرهای مرتبه دوم

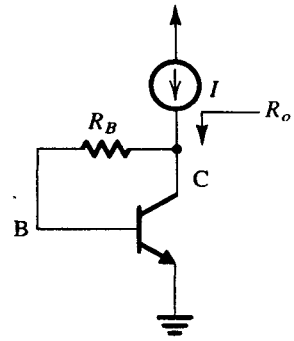
***۴-۱۱۹** با استفاده از مدل هیبرید - π شکل (۴-۶۴) عبارتی برای مقاومت خروجی BJT در آرایش CB بدست آورید. بدین منظور بیس را زمین، امیتر را مدار باز، و ولتاژ آزمایشی v_x را بین کلکتور و زمین اعمال کنید. جریان i_x کشیده شده از v_x را بدست آورده و نشان دهید مقاومت خروجی v_x / i_x عبارتست از $r_\mu // [r_\pi + (\beta + ۱)r_o]$ که تقریباً مساوی $r_\mu \beta // r_o$ می‌شود.

۴-۱۲۰ با استفاده از مدل هیبرید - π شکل ۴-۶۴ عبارتی برای مقاومت خروجی BJT در آرایش CE هنگامی که به بیس یک منبع جریان ثابت اعمال شده است بدست آورید (شکل ۴-۶۵ را ملاحظه کنید) بدین منظور امیتر را زمین، بیس را مدار باز و ولتاژ آزمایشی v_x را بین کلکتور و زمین اعمال کنید. جریان i_x کشیده شده از v_x را بدست آورده، نشان دهید مقاومت خروجی v_x / i_x از رابطهٔ $r_o // [(r_\mu + r_\pi) / \beta]$ بدست می‌آید که تقریباً با $r_o // (r_\mu \beta)$ مساوی است.

۴-۱۲۱ ترانزیستوری را که به شکل (۴-۶۴) مدل شده با $r_\mu = ۱۰\beta r_o$ و اعمال یک منبع جریان ثابت به بیس که باعث تولید جریان ۲/۵ mA در کلکتور شده است درنظر بگیرید. ولتاژ کلکتور (بدون شکست) به ۱۰V می‌رسد. انتظار دارید اگر $V_A = ۲۰۰$ V باشد جریان کلکتور چقدر افزایش پیدا کند؟ (راهنمایی: مقاومت خروجی ترانزیستور CE، که به بیس آن منبع جریان ثابت اعمال شود، تقریباً $r_o // (r_\mu / \beta)$ است)

۴-۱۲۲ در یک مدار BJT با I_B با $I_B = ۰/۵mA$، در $I_C = ۱۰mA$ به ترتیب $V_{CEsat} = ۱۷۰$. مقاومت اشباع و ولتاژ انسداد آن را بیابید. β_F و β_R را نیز تعیین کنید.

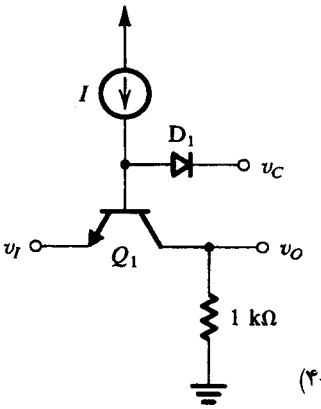
۴-۱۲۳ در مدار شکل ۴-۱۲۳ برای ترانزیستور $\beta = ۱۰۰$، $V_A = ۲۰۰V$ و $I = ۱mA$ و $R_B = ۱۰m\Omega$. برای این ترانزیستور فرض کنید $r_\mu = \beta r_o$ باشد. r_o چقدر است؟ مقاومت خروجی فزاینده R_o این مدار



شکل (م ۱۲۳-۴)

چقدر است؟ اگر بین نقطهٔ B و زمین خازن بزرگی قرار گیرد R_o چه می‌شود؟

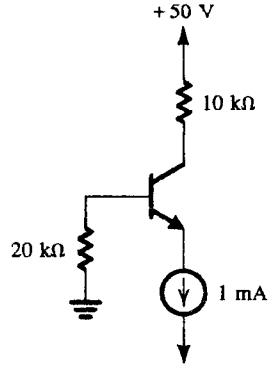
۴-۱۲۴ در مدار شکل م ۱۲۴-۴ ترانزیستور Q_1 به صورت کلیدی برای اتصال پایانه‌های ورودی و خروجی کار می‌کند. وضعیت کلید (بسته یا باز بودن آن) توسط ولتاژ v_C اعمال شده به دیود D_1 تعیین می‌شود، D_1 مشابه پیوند بیس - امیتر ترانزیستور Q_1 است. به ازای $v_I = -2V$، چه مقدار v_C بسته شدن کلید را تضمین می‌کند؟ باز بودن آن را چطور؟ به ازای $\beta = 100$ می‌نیمم مقدار I باید چقدر باشد؟ به ازای چه مقدار I، β واداشته برابر ۵ می‌شود؟ با فرض $V_{CEsat} \leq 0/1V$ انتظار دارید v_O چه باشد؟ چه جریانی از ورودی می‌گذرد؟



شکل (م ۱۲۴-۴)

۴-۱۲۵ یک BJT که با $i_B = 8\mu A$ و $i_C = 1/2$ mA کار می‌کند دچار کاهش $0/8\mu A$ در جریان بیس می‌شود مشاهده می‌شود در صورت ثابت نگهداشتن v_{CE} کاهش متناظر در جریان کلکتور، ۰/۱ mA است. مقادیر h_{FE} و h_{fe} بکاررفته چقدر است؟ اگر جریان بیس از $8\mu A$ به $10\mu A$ و v_{CE} از ۸ V به ۱۰V افزایش پیدا کند جریان کلکتور حاصل چقدر می‌شود؟ (فرض کنید $V_A = 100V$ و از اثر r_μ صرفنظر کنید).

۴-۱۲۶ یک BJT که در آن BV_{CBO}، ۳۰ V است به شکل (م ۱۲۶-۴) متصل شده است ولتاژهای کلکتور، بیس و امیتر چقدر است؟



شکل (م ۱۲۶-۴)

۴-۱۲۷ یک ترانزیستور npn با $I_C = 0/5$mA و $V_{CB} = 2V$ کار می‌کند و برای آن $\beta_o = 100$، $V_A = 50V$، $\tau_F = 30$ps، $C_{jeo} = 20$fF، $C_{\mu o} = 30$fF، $r_x = 100\Omega$. مدل هیبرید کامل را رسم و مقادیر تمام عناصر آن را مشخص کنید. f_T را بیابید.

۴-۱۲۸ اندازه‌گیری f_{fe} یک ترانزیستور npn در ۵۰۰MHz نشان می‌دهد که در $I_C = 0/2$mA، h_{fe} به ترتیب ۲/۵ و ۱۱/۶ است. همچنین C_μ را اندازه گرفته‌ایم و آن را ۰/۰۵pF یافته‌ایم. f_T را در دو جریان یاد شده بیابید. τ_F و C_{je} چقدرند؟

۴-۱۲۹ برای یک BJT خاص که در $I_C = 1$mA کار می‌کند، $C_\mu = 1$pF و $C_\pi = 10$pF و $\beta = 150$، ω_T و ω_β را بیابید.

۴-۱۳۰ برای وضعیت توصیف شده در مسئله ۱۲۹-۷، C_π یک ظرفیت تهی تقریباً ثابت ۲pF دارد. ω_T ترانزیستور را در $I_C = 0/1$mA به دست آورید.

۴-۱۳۱ برای یک BJT خاص با ابعاد کوچک هنگام کار در $I_C = 0/5$mA، داریم $f_T = 5$GHz و $C_\mu = 0/1$pF. C_π چقدر است؟ g_m، r_π و f_β به ازای $\beta = 150$ را نیز بیابید.

۴-۱۳۲ برای یک BJT با پهنای باند بهره واحد ۱GHz و $\beta_o = 200$ در چه فرکانسی اندازهٔ h_{fe} برابر ۱۰ می‌شود؟ f_β چقدر ست؟

***۴-۱۳۳** اگر امپدانس ورودی مختلط یک BJT در فرکانس بالا، در حالتی که کلکتور و امیتر از لحاظ ac زمین هستند، اندازه‌گیری شود، بخش حقیقی آن برابر r_x است. اگر $r_x \leq r_\pi/10$، این آزمایش باید در چه فرکانسی (بر حسب ω_β) انجام شود تا r_x با دقتی بهتر از ۱۰٪ به دست آید؟

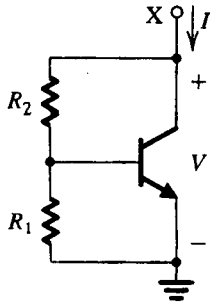
۴-۱۳۴ جدولی را که برای ترانزیستورهای (الف) تا (چ) داده شده است کامل کنید. r_x را نادیده بگیرید.

ترانزیستور	I_E (MA)	r_e (Ω)	g_m (MA/V)	r_π (kΩ)	β_o	f_t (MHz)	C_μ (pF)	C_π (pF)	f_β (MHz)
(الف)	۱				۱۰۰	۴۰۰	۲		
(ب)		۲۵					۲	۱۰/۷	۴
(پ)				۲/۵۲۵		۴۰۰		۱۳/۸	۴
(ت)	۱۰				۱۰۰	۴۰۰	۲		
(ث)	۰/۱				۱۰۰	۱۰۰	۲		
(ج)	۱				۱۰	۴۰۰	۲		
(چ)						۸۰۰	۱	۹	۸۰

مسائل عمومی

***۴-۱۳۵** در مدار دو پایانه شکل (م ۱۳۵-۴) که ضرب‌کنندهٔ V_{BE} نامیده می‌شود، فرض کنید I بقدر کافی بزرگ و β خیلی زیاد باشد و رابطه‌ای برای ولتاژ dc، V و مقاومت افزایشی بین X و زمین پیدا کنید.

مقدار V و مقاومت افزایشی را برای $R_1 = R_2 = 1\,k\Omega$، $I = 10$ mA و V $V_{BE} = 0/7$ بدست آورید. مسئله را با $\beta = 100$ تکرار کنید. عموماً، چه مقداری از I «مقدار کافی» برای برآوردن شرایط خواسته شده است؟



شکل (م ۱۳۵-۴)

کتابشناسی

E. J. Angelo, Jr., *Electronics: BJTs, FETs, and Microcircuits,* New York: McGraw-Hill, 1969.

I. Getreu, *Modeling the Bipolar Transistor,* Beaverton, Ore.: Tektronix, Inc., 1976.

P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed., New York: Wiley, 1993.

P. E. Gray and C. L. Searle, *Electronic Principles,* New York: Wiley, 1971.

D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* 2nd ed., New York: McGraw-Hill, 1988.

J. Millman and A. Grabel, *Microelectronics,* 2nd ed., New York: McGraw-Hill, 1987.

D. L. Pulfrey and N. G. Tarr, *Introduction to Microelectronic Devices,* Englewood Cliffs, NJ: Prentice-Hall, 1989.

J. M. Rabaey, *Digital Integrated Circuits,* Englewood Cliffs, NJ: Prentice-Hall, 1996.

G. W. Roberts and A. S. Sedra, *SPICE,* New York: Oxford University Press, 1997.

C. L. Searle, A. R. Boothroyd, E. J. Angelo, Jr., P. E. Gray, and D. O. Pederson, *Elementary Circuit Properties of Transistors,* Vol. 3 of the SEEC Series, New York: Wiley, 1964.

فصل ۵

ترانزیستورهای اثر میدانی (FET ها)

۵-۱ ساختمان و کار فیزیکی MOSFET نوع افزایشی
۵-۲ مشخصه‌های ولتاژ - جریان MOSFET افزایشی
۵-۳ MOSFET نوع تهی
۵-۴ مدارهای MOSFET در DC
۵-۵ MOSFET به مثابه یک تقویت کننده
۵-۶ بایاس مدارهای تقویت کننده MOS
۵-۷ پیکربندی اساس تقویت کننده‌های مدار مجتمع MOS یک طبقه
۵-۸ وارونگر منطق دیجیتالی CMOS
۵-۹ MOSFET به مثابه یک سوئیچ آنالوگ
۵-۱۰ ظرفیت داخلی MOSFET و مدل فرکانس بالا
۵-۱۱ ترانزیستور اثر میدانی پیوندی (JFET)
۵-۱۲ قطعات گالیوم آرسناید - MESFET
خلاصه-مسائل-کتابشناسی

مقدمه

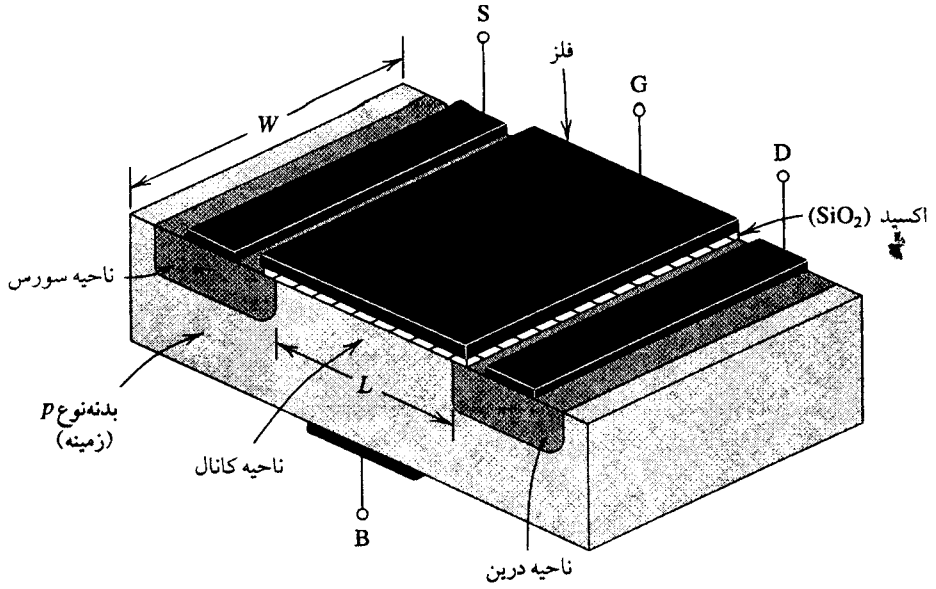
در این فصل نوع با اهمیت دیگری از ترانزیستور یعنی ترانزیستور اثر میدانی (FET) را مطالعه می‌کنیم. مانند BJT ولتاژ بین پایانه‌های FET شارش جریان در سومین پایانه را کنترل می‌کند. از FET نیز به عنوان تقویت‌کننده و به عنوان سوئیچ می‌توان استفاده نمود.

نام ترانزیستور اثر میدانی به خاطر کار فیزیکی آن است، بخصوص نشان داده خواهد شد که مکانیزم کنترل جریان بر اساس میدان الکتریکی است که با اعمال ولتاژ پایانه کنترل بوجود می‌آید. همچنین نشان داده خواهد شد که بسته به نوع FET ، هدایت جریان فقط بوسیله یک نوع حامل (الکترونها یا حفره‌ها) انجام می‌شود. نام دیگر FET (**ترانزیستور تک‌قطبی**) از همین جاست.

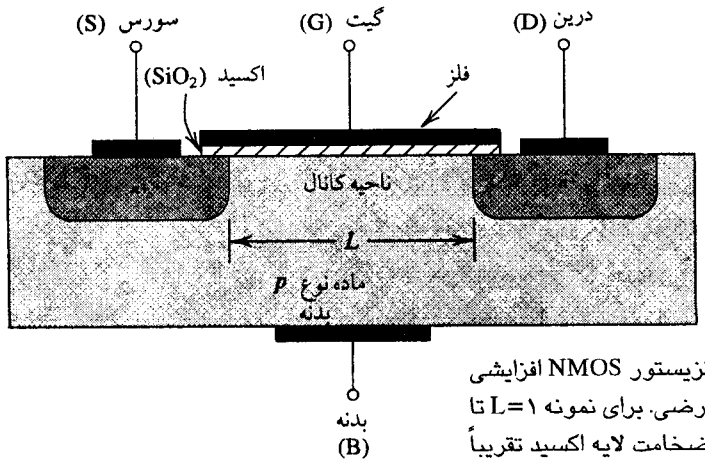
اگرچه تصور ساخت FET از دهه ۱۹۳۰ شناخته شده بود اما فقط در دهه ۱۹۶۰ این قطعه وجود خارجی پیدا کرد. در اواخر دهه ۱۹۷۰ نوع مخصوصی از FET ، بنام ترانزیستور اثر میدانی نیمه‌هادی اکسید فلز (یا به اختصار MOSFET) کاربرد فراوان یافت. در مقایسه BJT ها، ترانزیستورهای MOS بسیار کوچکتر ساخته می‌شوند (یعنی وسعت کمی از یک تراشه سیلیکونی اشغال می‌کنند)، و مراحل ساخت آنها نسبتاً ساده است (ضمیمه الف را ملاحظه کنید). بعلاوه، منطق دیجیتال و توابع حافظه با مدارهایی ساخته می‌شوند که انحصاراً از MOSFET ها استفاده کرده‌اند. (یعنی هیچ دیود یا مقاومتی لازم نیست). به این دلایل، در حال حاضر مدارهای مجتمع بزرگ مقیاس (VLSI) از تکنولوژی MOS استفاده می‌کنند. برای مثال میکروپروسسورها و تراشه‌های حافظه از این قبیل هستند.

اگرچه خانواده FET شامل انواع قطعات است و ما چند تا از آنها را بررسی خواهیم کرد، اما فصل عمدتاً به MOSFET نوع افزایشی اختصاص دارد که پرکاربردترین ترانزیستور اثر میدانی محسوب می‌شود. اهمیت MOSFET ها با توجه به وسعت کاربردشان به اندازه ترانزیستور BJT است.

هدف این فصل آشنایی بیشتر خواننده با MOSFET است: کار فیزیکی، مشخصه پایه‌های آن، مدلهای مداری، اساس کاربرد مدار آنها به عنوان



(الف)



(ب)

شکل ۱-۵ . ساختار فیزیکی ترانزیستور NMOS افزایشی **(الف)** نمای سه بعدی **(ب)** مقطع عرضی. برای نمونه L=۱ تا w = ۲ ، ۱۰ μm تا ۵۰۰ μm و ضخامت لایه اکسید تقریباً ۰/۱μm تا ۰/۰۲ است.

تقویت کننده، و وارونگر منطق دیجیتال . ملاحظه خواهید کرد که مطالعه MOSFET با توجه به این حقیقت است که کاربرد آن بیشتر در مدارهای مجتمع مطرح می‌باشد.

۱-۵ ساختمان و کار فیزیکی MOSFET نوع افزایشی

MOSFET نوع افزایشی پرکاربردترین ترانزیستور اثر میدانی است. در این بخش، ساختمان و کار فیزیکی آنرا بررسی می‌کنیم. سپس مشخصه‌های جریان و ولتاژ قطعه را در بخش بعد مطالعه می‌کنیم.

ساختمان قطعه

شکل (۱-۵)، ساختمان فیزیکی MOSFET نوع افزایشی کانال n را نشان می‌دهد. معنی نامهای «افزایشی» و «کانال n» به زودی روشن خواهد شد. ترانزیستور بر ماده‌ای از نوع P ساخته شده که یک قرص سیلیکون کریستال منفرد است که برای قطعه (و یا برای کل مدار IC ها) استحکام فیزیکی به همراه دارد. دو ناحیه نوع n با ناخالصی زیاد، که در شکل به صورت **سورس** n^+ و **درین** n^+ نمایان است، در ماده مبنا ایجاد شده است. یک لایه نازک (حدود ۰/۱ میکرون) اکسید سیلیکون (SiO_2) که یک عایق الکتریکی کامل است، بر سطح ماده مبنا رشد داده می‌شود تا سطح بین نواحی سورس و درین را بپوشاند. فلزی بر بالای لایه اکسید قرار داده می‌شود تا **الکترود گیت** قطعه ساخته شود. برای ناحیه سورس، ناحیه درین، و ماده بدنه که به آن بدنه نیز گفته می‌شود، نیز اتصالات فلزی برقرار می‌شود. به این ترتیب چهارپایانه بوجود می‌آید: پایانه گیت (G) ، پایانه سورس (S) ، پایانه درین (D) ، و پایانه بدنه یا ماده مبنا (B) .

در این جا، روشن می‌شود که نام قطعه (FET نیمه هادی اکسیدفلز) چگونه با توجه به ساختمان فیزیکی قطعه بوجود آمده است. البته، این نام، عمومی است و به FET های فاقد فلز الکترود گیت نیز اطلاق می‌شود.

در حقیقت در بیشتر MOSFET های مدرن از فرآیندی موسوم به تکنولوژی گیت سیلیکون استفاده می‌شود که در آن نوع مخصوصی از

سیلیکون به نام پلی‌سیلیکون، برای شکل‌گرفتن الکترود گیت بکار می‌رود (ضمیمه الف را ملاحظه کنید). توضیح ما از کار MOSFET و مشخصه‌های آن ربطی به نوع الکترود گیت ندارد.

نام دیگر MOSFET، **FET باگیت عایق** یا به اختصار IGFET است. این اسم به خاطر ساختمان فیزیکی قطعه است و گویای این موضوع است که الکترود گیت از نظر الکتریکی با بدنه قطعه (لایه اکسید) عایق شده است. عایق‌بودن گیت موجب می‌شود جریان پایانه گیت بسیار کوچک (حدود 10^{-15} A) باشد.

مشاهده کنید که ماده مبنا پیوندهای pn و نواحی سورس و درین را بوجود می‌آورند. در حالت عادی، پیوندهای $p-n$ همواره بایاس معکوس (تغذیه معکوس) می‌شوند. چون درین نسبت به سورس دارای ولتاژ مثبت خواهد بود، دو پیوند pn با اتصال پایانه بدنه به پایانه سورس، قطع خواهد بود. در توضیحات بعدی فرض بر این است که MOSFET در چنین حالتی است. به این ترتیب، در اینجا فرض بر این است که ماده مبنا اثری در کار قطعه ندارد و MOSFET به صورت یک قطعه سه پایانه کار می‌کند و پایانه‌ها عبارتند از: گیت (G)، سورس (S)، و درین (D).

خواهیم دید که ولتاژ اعمال شده به گیت، جریان بین سورس و درین را کنترل می‌کند. این جریان در امتداد مسیر درین به سورس و در ناحیه‌ای موسوم به «ناحیه کانال» حرکت می‌کند. این ناحیه دارای طول L و عرض W است. این دو پارامتر در MOSFET مهم هستند. معمولاً L در حدود ۱۰ μm، و W در حدود ۲ تا ۵۰۰ μm است. در پایان توجه کنید که برخلاف BJT ها، MOSFET ها قطعات قرینه‌اند. یعنی سورس و درین آنها را می‌توان جابجا کرد بدون آنکه تغییری در مشخصه‌های قطعه حادث شود.

کار بدون ولتاژ گیت

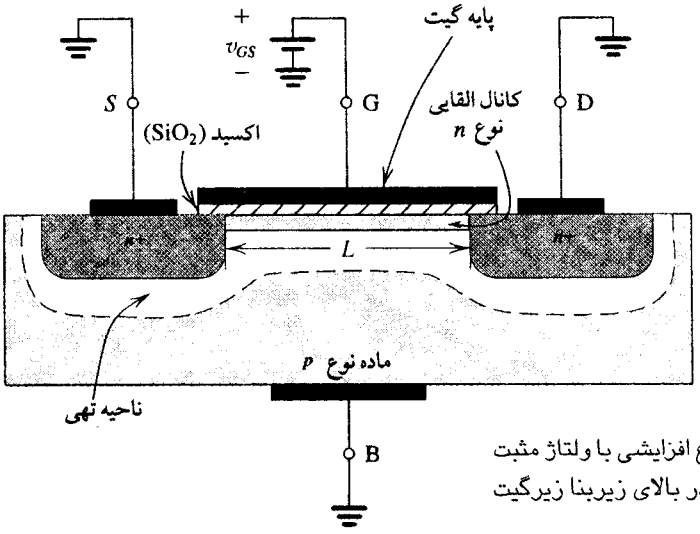
بدون اعمال ولتاژ به گیت، دو دیود پشت به پشت بطور سری بین درین و سورس وجود دارد. یک دیود با پیوند $p-n$ بین ناحیه درین n^+ و ماده نوع P تشکیل می‌شود و دیود دیگر از پیوند $p-n$ بین ماده نوع p و ناحیه سورس n^+ بوجود می‌آید. این دیودهای پشت به پشت با هدایت جریان درین به سورس مخالف می‌کنند وقتی ولتاژ V_{GS} اعمال می‌شود. در واقع، مسیر بین درین و سورس دارای مقاومت بسیار زیاد (حدود $10^{12}\Omega$) است.

ایجاد یک کانال برای حرکت جریان

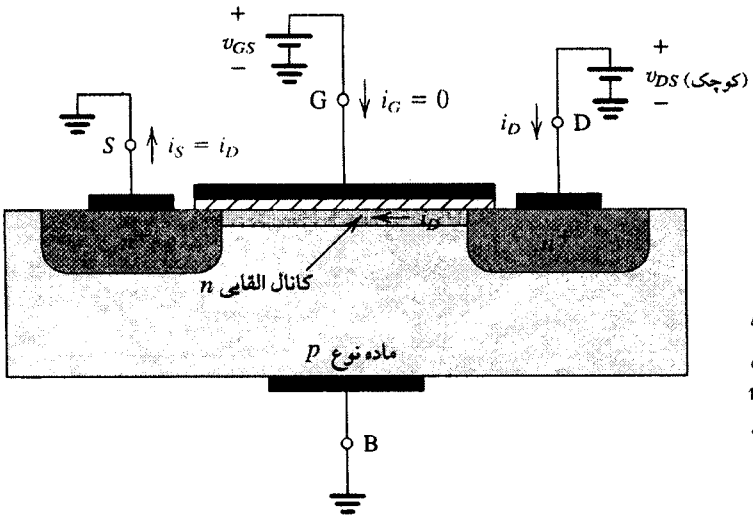
وضعیت ترسیم شده در شکل (۲-۵) را درنظر بگیرید. در اینجا سورس و درین به زمین وصل شده‌اند و یک ولتاژ مثبت به گیت اعمال گشته است. چون سورس به زمین وصل شده است، ولتاژ گیت بین گیت و سورس اعمال می‌شود و بنابراین با v_{GS} نشان داده می‌شود. ولتاژ مثبت گیت در وهله اول موجب دورکردن حفره‌های آزاد (که بارهای مثبت هستند) از ناحیه زیر گیت (ناحیه کانال) می‌شود. این حفره‌ها به پایین و در سوی ماده بدنه حرکت داده می‌شوند، در جای آنها یک ناحیه تهی بجای می‌ماند. ناحیه تهی **مملو** از بارهای منفی مربوط به اتمهای پذیرنده است. این بارها «عریان» و بی‌حفره هستند زیرا حفره‌های طبیعی به سمت ماده بدنه هل داده شده‌اند.

در اینصورت، ولتاژ مثبت گیت الکترونهای نواحی درین و سورس n^+ را (که به وفور یافت می‌شوند) به داخل ناحیه کانال جذب می‌کند. وقتی تعداد قابل ملاحظه‌ای از الکترونها در مجاورت سطح ماده مبنا زیر گیت جمع شوند، ناحیه n بوجود می‌آید، و مطابق شکل نواحی سورس و درین را پیوند می‌دهد. حال اگر ولتاژی بین سورس و درین اعمال شود، جریانی از الکترونهای متحرک از این ناحیه تحریک شده n عبور می‌کند.

به این ترتیب ناحیه تحریک شده n یک دالان یا **کانال** بوجود می‌آورد که در آن جریان از درین به سورس جاری می‌شود. به همین دلیل هم کانال نامیده می‌شود. متناظر با آن MOSFET شکل ۲-۵ است که **MOSFET کانال n** یا **ترانزیستور NMOS** نامیده می‌شود. دقت کنید که MOSFET کانال n در ماده مبنا نوع P ایجاد می‌شود: با تغییر سطح ماده مبنا از p به n کانال تشکیل می‌شود. در اینصورت کانال تحریک شده **یک لایه وارونه** نامیده می‌شود.



شکل ۲-۵. ترانزیستور NMOS نوع افزایشی با ولتاژ مثبت اعمال شده به گیت. کانال n القاشده در بالای زیربنا زیرگیت ایجاد می‌شود.



شکل ۳-۵ . ترانزیستور NMOS با $v_{GS} > V_t$ و v_{DS} کوچک اعمال‌شده به آن. قطعه مانند یک هدایت کننده انتقالی که مقدار آن با v_{GS} تعیین می‌شود عمل می‌کند. مشخصاً هدایت انتقالی کانال متناسب با $v_{GS} - V_t$ و بنابراین i_D متناسب با v_{DS} $(v_{GS} - V_t)$ می‌باشد توجه کنید ناحیه تخلیه نشان داده نشده است (برای ساده‌کردن کار)

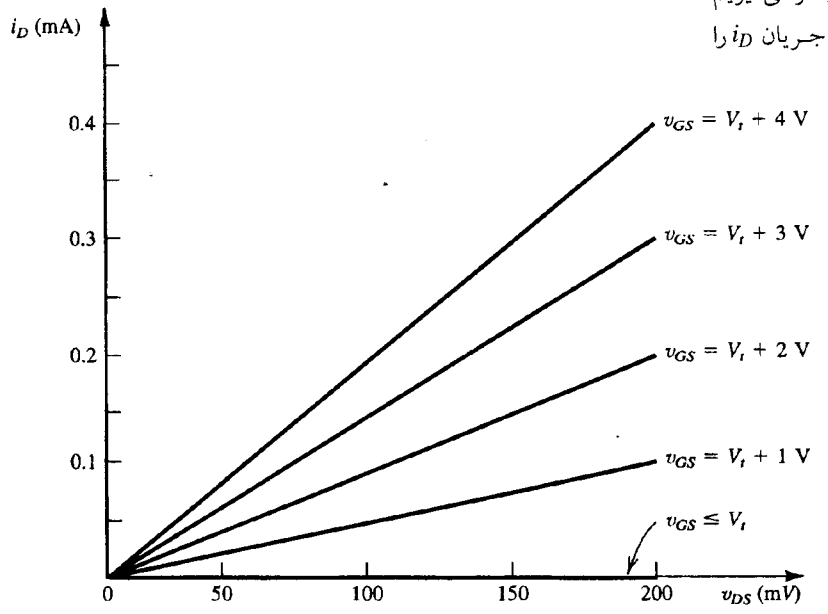
مقدار v_{GS} که در آن تعداد زیادی از الکترونهای متحرک در ناحیه کانال جمع می‌شوند تا کانال هدایت ایجاد شود را ولتاژ آستانه می‌نامیم و با V_t نشان می‌دهیم. بدیهی است که V_t برای یک FET کانال n مثبت است. مقدار V_t در اثنای ساخت قطعه کنترل می‌گردد و معمولاً در حدود ۱ تا ۳ V قرارداد می‌شود.

گیت و بدنه MOSFET دو صفحه موازی یک خازن و لایه اکسید، دی‌الکتریک آن را بوجود می‌آورند. ولتاژ مثبت گیت سبب جمع‌شدن بار مثبت روی صفحه بالایی خازن (الکترود مثبت) می‌شود. بار منفی صفحه پایین بوسیله الکترونهای کانال القایی بوجود می‌آید. به این ترتیب، میدان الکتریکی در راستای عمودی شکل می‌گیرد. این میدان است که اندازه بار کانال را کنترل می‌کند و بنابراین هدایت کانال را تعیین می‌کند و به نوبه خود، جریان وقتی از کانال عبور خواهد کرد که ولتاژ v_{DS} اعمال شود.

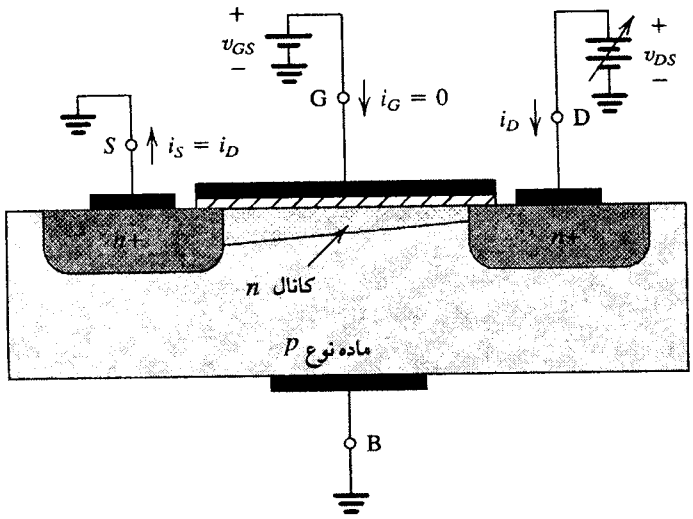
اعمال یک V_{DS} کوچک

با داشتن یک کانال القایی، اکنون یک ولتاژ مثبت v_{DS} بین درین و سورس مطابق شکل (۳-۵) اعمال می‌کنیم. ابتدا حالتی را درنظر می‌گیریم که v_{DS} کوچک (و مثلاً ۰/۱ یا ۰/۲ ولت) باشد. ولتاژ v_{DS} جریان i_D را بوجود می‌آورند که از کانال القایی n می‌گذرد. جریان بوسیله الکترونهای آزادی بوجود می‌آید که از سورس به درین نقل‌مکان می‌کنند. (نام سورس و درین به معنی ابتدا و انتها نیز از همین جاست) . بطور قراردادی ، جهت جریان مخالف حرکت بارهای منفی است. بنابراین، جریان کانال، i_D ، بنابر شکل (۳-۵) از درین به سورس خواهد بود. اندازه i_D به تمرکز الکترونهای کانال بستگی دارد که آن نیز به نوبه خود به اندازه v_{DS} وابسته است. به خصوص برای $v_{GS} = V_t$ ، کانال همچنان القایی و جریان هدایت شده هم ناچیز و قابل چشم‌پوشی است. وقتی v_{GS} از V_t بیشتر شود، الکترونهای بیشتری جذب کانال می‌شوند، ممکن است افزایش حاملهای بار کانال را به صورت افزایش عمق کانال مشاهده کنیم. نتیجه کانالی با هدایت بیشتر یا معادل آن کانالی با مقاومت کمتر است. در حقیقت، هدایت کانال متناسب با **افزونی ولتاژ گیت** $(v_{GS} - V_t)$ است که به ولتاژ مؤثر نیز موسوم است. در نتیجه جریان i_D متناسب با $v_{GS} - V_t$ و البته، متناسب با v_{DS} است که جریان i_D را بوجود می‌آورد.

شکل ۴-۵ به ازای مقادیر مختلف v_{GS} نموداری از i_D در برابر v_{DS}



شکل ۴-۵ . مشخصه‌های $i_D - v_{DS}$ MOSFET شکل ۳-۵ فرض بر این است که MOSFET دارای $V_t = 1$V باشد و ولتاژ بین درین و سورس آن، v_{DS} کوچک باشد. قطعه مانند یک مقاومت خطی عمل می‌کند که مقدار آن با v_{GS} کنترل می‌شود.



شکل ۵-۵ . عملکرد ترانزیستور NMOS افزایشی. در صورت افزایش v_{DS}، کانال القایی باریک‌شده و مقاومت افزایشی آن زیاد می‌شود. در اینجا v_{GS} در مقداری بزرگتر از V_t ثابت نگهداشته می‌شود.

نشان می‌دهد. مشاهده می‌کنیم که MOSFET مانند یک مقاومت خطی کار می‌کند که اندازه‌اش بوسیله v_{GS} کنترل می‌شود. مقاومت به ازای $v_{GS} \leq V_t$ بی‌نهایت است و مقدارش با افزونی‌یافتن v_{GS} از V_t، کاهش می‌یابد.

توضیح بالا، مبین آنست که برای هدایت MOSFET، یک کانال بایستی القا شود. سپس افزایش v_{GS} بالاتر از ولتاژ آستانه V_t کانال را افزایش می‌دهد. به همین دلیل **کار در حالت افزایشی** و MOSFET **نوع افزایشی** نام‌گرفته‌اند. در پایان، جریانی که پایانه سورس را ترک می‌کند (i_S) برابر با جریانی است که به پایانه درین (i_D) وارد می‌شود، و جریان گیت $i_G = 0$ است.

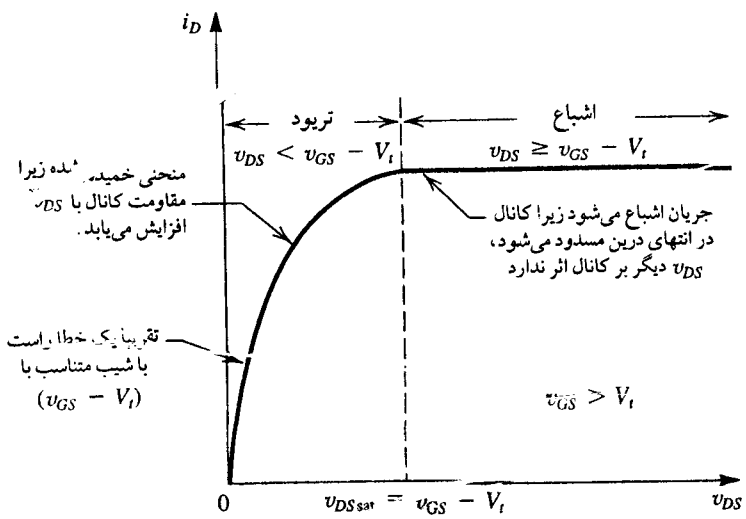
تمرین

۵-۱ از توضیح بالا درباره کار MOSFET با v_{DS} کوچک، متوجه می‌شویم که i_D متناسب است با $(v_{GS}-V_t)v_{DS}$. ثابت تناسب قطعه ویژه‌ای را بدست آورید که مشخصات آنها در شکل ۴-۵ ترسیم شده است. همچنین محدوده مقاومت درین به سورس متناسب با v_{GS} برابر با ۲ تا ۵ ولت مشخص کنید.

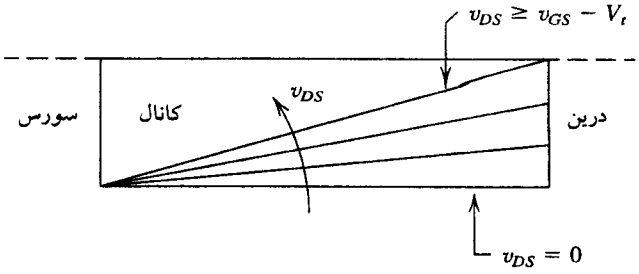
جواب . ۰/۵mA/V^2 ؛ ۲۱kΩ تا ۰/۵kΩ ❑

کار MOSFET وقتی v_{DS} افزایش می‌یابد

اینک وضعیتی را درنظر می‌گیریم که v_{DS} افزایش می‌یابد. برای این منظور فرض می‌کنیم v_{GS} در مقداری بزرگتر از V_t ثابت فرض شود. به شکل (۵-۵) مراجعه کنید و توجه کنید که v_{DS} به صورت افت ولتاژ دو سر طول کانال ظاهر می‌شود. یعنی همچنان که در امتداد کانال از سورس به درین پیش می‌رویم، ولتاژ (که نسبت به سورس اندازه‌گیری شده) از ۰ تا v_{DS} افزایش می‌یابد. بنابراین ولتاژ بین گیت و نقاطی در امتداد کانال از v_{GS} در انتهای سورس تا $v_{GS} - v_{DS}$ در انتهای درین کاهش می‌یابد. چون عمق کانال به این ولتاژ بستگی دارد، درمی‌یابیم که کانال دارای عمق یکنواختی نیست؛ بلکه کانال مطابق شکل (۵-۵) غیریکنواخت بوده و در انتهای سورس عمیق‌تر و در انتهای درین کم عمق‌تر می‌شود. باافزایش v_{DS}، کانال باریک‌تر شده و مقاومتش متناسب با آن افزایش می‌یابد. بنابراین منحنی i_D-v_{DS} به صورت یک خط مستقیم امتداد ندارد بلکه مطابق شکل (۶-۵) دارای خمیدگی است. در نتیجه، وقتی v_{DS} افزایش یابد تا مقداری که ولتاژ بین گیت و کانال درین به V_t کاهش یابد، یعنی $V_t = v_{GS} - v_{DS}$ یا $v_{DS} = v_{GS} - V_t$ عمق کانال در درین تقریباً به صفر کاهش می‌یابد، و



شکل ۶-۵ . جریان درین i_D نسبت به ولتاژ درین به سورس V_{DS} برای ترانزیستور NMOS افزایشی که در $v_{GS} > V_t$ کار می‌کند.



شکل ۷-۵ . افزایش v_{DS} باعث باریک شدن کانال می‌شود. هنگامی که v_{DS} به $v_{GS}-V_t$ می‌رسد، کانال در انتهای درین دفعتاً مسدود می‌شود. افزایش v_{DS} بیش از $v_{GS}-V_t$ اثر کمی (از نظر تئوری بدون اثر) روی شکل کانال دارد.

کانال **مسدودشده** تلقی می‌شود. افزایش v_{DS} ورای این مقدار تأثیر ناچیزی (در تئوری، بی‌تأثیر است) بر شکل کانال دارد و جریان عبوری از کانال هنگامی که $v_{DS} = v_{GS} - V_t$ است ثابت می‌ماند. به این ترتیب جریان درین در این مقدار **اشباع** می‌شود، و MOSFET به مرحله‌ای وارد می‌شود که آنرا **ناحیه اشباع** می‌نامند. ولتاژ v_{DS} که در آن اشباع روی می‌دهد را با $v_{DS\text{اشباع}}$ نشان می‌دهیم.

$$v_{DS\text{اشباع}} = v_{GS} - V_t \qquad (۵-۱)$$

به طور مسلم به ازای هر مقداری از $v_{GS} \geq V_t$، یک مقدار $v_{DS\text{اشباع}}$ وجود دارد. قطعه در ناحیه اشباع کار می‌کند اگر $v_{DS} \geq v_{DS\text{اشباع}}$ باشد، ناحیه بدست آمده مشخصهٔ $i_D - v_{DS}$ به ازای $v_{DS} < v_{DS\text{اشباع}}$ **ناحیه تریود** نامیده می‌شود.

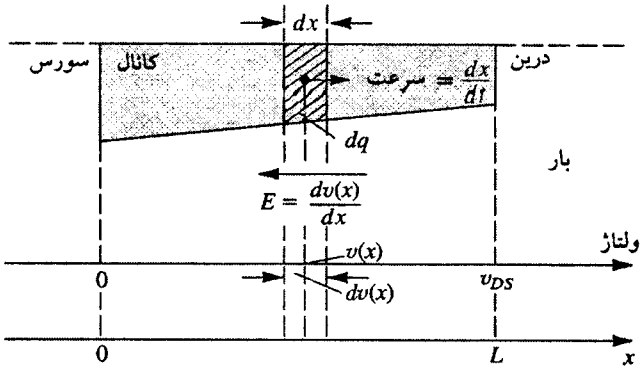
برای کمک به مشاهده اثر v_{DS}، در شکل (۵-۷) نمودارهایی از کانال را نشان داده‌ایم که با ثابت ماندن v_{GS}، در v_{DS} افزایش بوجود می‌آید. از لحاظ نظری، هر افزایشی در v_{DS}، بیش از $v_{DS\text{اشباع}}$ (که برابر با $v_{DS} - V_t$ است) بر شکل کانال تأثیری ندارد و فقط در دو سر ناحیه تهی کانال و ناحیه درین n^+ ظاهر می‌شود.

بدست آوردن رابطه $i_D - V_{DS}$

شرح بالا درباره رفتار فیزیکی MOSFET در یافتن رابطه‌ای برای مشخصه $i_D - v_{DS}$ شکل (۵-۶) می‌تواند مفید باشد. فرض کنید ولتاژ v_{GS} به گیت و سورس اعمال شود طوری که $v_{GS}>V_t$، و ولتاژ v_{DS} بین درین و سورس اعمال گردد. ابتدا کار قطعه را در ناحیه تریود در نظر بگیرید؛ یعنی فرض کنید $v_{DS}<v_{GS} - V_t$ باشد. کانال مانند شکل ۵-۸ به شکل گووه (به تدریج باریک شونده) در خواهد آمد.

جزء کوچکی از کانال با طول dx در نقطه‌ای به فاصله x از سورس در نظربگیرید و فرض کنید ولتاژ در این نقطه $v(x)$ باشد. ولتاژ بین گیت و این نقطه یعنی $v_{GS} - v(x)$، حتماً باید بزرگتر از ولتاژ آستانه V_t باشد و بار الکتریکی [illegible] کانال به صورت زیر می‌تواند بیان می‌شود:

$$dq(x) = -C_{ox} W\, dx[v_{GS} - v(x) - V_t)] \qquad (۵-۲)$$



شکل ۸-۵ . بدست آوردن مشخصه i_D-v_{DS} در ترانزیستور NMOS

که در آن C_{ox} ظرفیت در واحد سطح خازنی است که صفحه‌های موازی آن بوسیله الکترود گیت و کانال شکل گرفته است. لایه اکسید عایق این خازن را تشکیل می‌دهد. به این ترتیب :

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \qquad (۵-۳)$$

که در آن ε_{ox} گذردهی اکسید سیلیکون و τ_{ox} ضخامت لایه اکسید را نشان می‌دهد. دقت کنید که چون $dq(x)$ بار منفی است، در رابطهٔ ۲-۵ علامت منفی به آن افزوده‌ایم.

ولتاژ v_{DS} یک میدان الکتریکی در امتداد کانال و در جهت منفی xها (در نقطه x) ایجاد می‌کند. این میدان به صورت زیر بیان می‌گردد:

$$E(x) = \frac{dv(x)}{dx}$$

میدان الکتریکی $E(x)$ سبب راندن بار الکتریکی $dq(x)$ به سمت درین با سرعت $\frac{dx}{dt}$ می‌شود:

$$\frac{dx}{dt} = -\mu_n E(x) = \mu_n \frac{dv(x)}{dx} \qquad (۵-۴)$$

که در آن μ_n جابجایی الکترون در کانال است. اکنون می‌توان جریان رانش را از **ضرب** بار در واحد طول $\frac{dq(x)}{dx}$ (از معادلهٔ ۲-۵) **در** سرعت رانش در معادله (۴-۵) به صورت زیر به دست آورد:

$$i = -\mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$

گرچه جریان در نقطه خاصی ارزیابی شد. اما باید در تمام نقاط کانال مقدار ثابتی باشد. از این رو باید، منفی جریان درین به سورس i_D باشد، به این صورت

$$i_D = \mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$

که آنرا به صورت زیر می‌توان نوشت:

$$i_D\, dx = \mu_n C_{ox} W [v_{GS} - V_t - v(x)]\, dv(x)$$

با انتگرال‌گیری از دو طرف معادله به ازای $x = 0$ تا $x = L$ و متناسب با آن

به ازای $v(0) = 0$ تا $v(L) = v_{DS}$ بدست می‌آید:

$$\int_0^L i_D\,dx = \int_0^{v_{DS}} \mu_n C_{ox} W [v_{GS} - V_t - v(x)]\,dv(x)$$

و بدست می‌آید:

$$i_D = (\mu_n C_{ox})\left(\frac{W}{L}\right)\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2} v_{DS}^2\right] \quad (۵-۵)$$

که این رابطه برای مشخصه $i_D - v_{DS}$ در ناحیه تریود است. برای ناحیه اشباع از جایگزینی $v_{DS} = v_{GS} - V_t$ رابطه‌ای به این صورت بدست می‌آید:

$$i_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)(v_{GS} - V_t)^2 \quad (۵-۶)$$

که به طور خلاصه مقدار جریان ثابت (در v_{GS} معینی) در ناحیه اشباع را بدست می‌دهد.

در معادله‌های (۵-۵) و (۵-۶) عبارت $\mu_n C_{ox}$ ثابتی است که در فرآیند تکنولوژی ساخت ترانزیستور MOS تعیین می‌گردد. این عبارت به عنوان **شاخصه تراهدایتی فرآیند** (شاخصه هدایت انتقالی فرآیند) شناخته می‌شود و چنانکه بزودی خواهیم دید، تعیین کننده هدایت انتقالی MOSFET است. با k'_n نشان داده می‌شود و دارای بعد A/V^2 است.

$$k'_n = \mu_n C_{ox} \quad (۵-۷)$$

جدول ۱-۵ خلاصه‌ای از شاخصه‌های فناوری تولید را برمی‌شمارد که رابطه جریان - ولتاژ ترانزیستور NMOS با نمونه مقادیر آن را تعیین می‌کند. معادله‌های (۵-۵) و (۵-۶) بر حسب k'_n چنین بازنویسی می‌شود:

ناحیه تریود:

$$i_D = k'_n \frac{W}{L}\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2} v^2_{DS}\right] \quad (\text{الف ۵-۵})$$

ناحیه اشباع:

$$i_D = \frac{1}{2} k'_n \frac{W}{L}(v_{GS} - V_t)^2 \quad (\text{الف ۵-۶})$$

مشاهده می‌کنید که جریان درین متناسب است با نسبت عرض کانال W به طول آن L. این نسبت را **نسبت سیمای** MOSFET می‌نامیم. مقادیر W و L بوسیله طراح مدار انتخاب می‌شود تا مشخصه $i-v$ دلخواه بدست آید.

جدول ۱-۵. شاخصه‌های فناوری تولید که رابطه $i-v$ را در MOSFET تعیین می‌کند.

تحرک پذیری الکترون:	$\mu_n \approx 580\,cm^2/Vs$
ضخامت اکسید:	$t_{ox} = 0.02$ تا $0.1\mu m$
گذردهی اکسید:	$\varepsilon_{ox} = 3.97\varepsilon_0 = 3.97\times 8.85\times 10^{-14} = 3.5\times 10^{-13} F/cm$
ظرفیت اکسید:	$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = 1.75 fF/\mu m^2$ برای $t_{ox} = 0.02\mu m$ $= 0.35 fF/\mu m^2$ برای $t_{ox} = 0.1\mu m$
شاخصه هدایت انتقالی تولید:	$k'_n = \mu_n C_{ox}$ $\approx 100\mu A/V^2$ برای $t_{ox} = 0.02\mu m$ $\approx 20\mu A/V^2$ برای $t_{ox} = 0.1\mu m$

تمرین

۵-۲ برای کار در ناحیه تریود رابطه‌ای بنویسید تا از آن رابطه مقاومت درین به سورس $r_{DS} = \frac{v_{DS}}{i_D}$ بدست آید وقتی v_{DS} کوچک است. مقدار v_{DS} را در یک ترانزیستور NMOS با $k'_n = \mu_n C_{ox} = 20\mu A/V^2$، $V_t = 1V$ و $W/L = 100\mu m/10\mu m$ بیابید اگر در $V_{GS} = 5V$ کار کند.

جواب. $1/[k'_n(\frac{W}{L})(v_{GS} - V_t)]$ ؛ $1.25 k\Omega$ ❑

MOSFET کانال P

یک MOSFET نوع افزایشی کانال P (یا ترانزیستور PMOS) بر یک ماده مبنای نوع n با نواحی P^+ برای درین و سورس ساخته می‌شود. حاملهای بار حفره‌ها هستند. قطعه به همان صورتی کار می‌کند که قطعه کانال n کار می‌کرد با این فرق که v_{GS} و v_{DS} منفی و ولتاژ آستانه V_t منفی است. همچنین جریان i_D به پایانه سورس وارد می‌شود و از پایانه درین خارج می‌گردد.

تکنولوژی PMOS ، تکنولوژی غالب است. البته، چون قطعات NMOS کوچکتر ساخته می‌شوند و با سرعت بیشتر کار می‌کنند و چون NMOS به ولتاژ تغذیه کمتر از PMOS نیاز دارد، در عمل NMOS جایگزین PMOS می‌شود. با این وجود، آشنایی با ترانزیستور PMOS به دو دلیل مهم است: قطعات PMOS همچنان در طراحی مدارهای گسترده بکار می‌رود و مهمتر از آن، هم PMOS و هم NMOS در مدارهای **MOS مکمل** یا **CMOS** استفاده می‌شود.

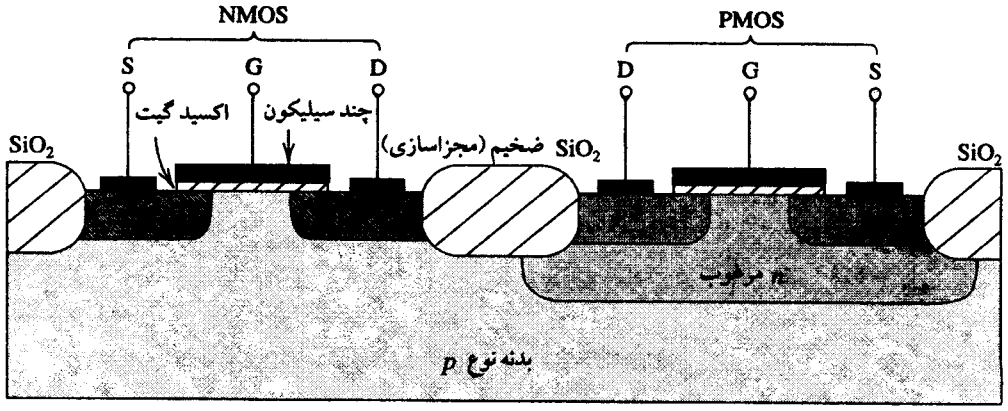
MOS مکمل یا CMOS

چنانکه از نامش برمی‌آید، در تکنولوژی MOS از ترانزیستورهای MOS با دو نوع پلاریته استفاده می‌شود. اگرچه مدارهای CMOS از نظر ساخت نسبت به NMOS قدری پیچیده‌تر هستند، دسترسی قطعات مکمل امکان طراحی مداری توانمند را میسر ساخته است. در زمان حاضر، CMOS در بین تکنولوژی‌های مدار مجتمع MOS . سودمندترین آنان است. این بیان برای مدارهای آنالوگ و دیجیتال هر دو مصداق دارد. در سرتاسر این کتاب روش‌های مداری CMOS را بررسی خواهیم کرد.

شکل (۹-۵) برش عرضی یک تراشه CMOS و چگونگی ساخت ترانزیستورهای PMOS و NMOS را نشان می‌دهد. مشاهده می‌کنید که وقتی ترانزیستور NMOS مستقیماً در ماده نوع p ساخته می‌شود، ترانزیستور PMOS در یک ناحیه خاص n موسوم به n مرغوب ساخته می‌شود. این دو قطعه بوسیله یک ناحیه ضخیم اکسید که به مثابه یک عایق عمل می‌کند، از هم جدا می‌شوند.

کار ترانزیستور MOS در ناحیه زیرآستانه

توضیحات بالا درباره کار MOSFET بیانگر آن است که به ازای $v_{GS} < V_t$ ، هیچ جریانی از قطعه عبور نمی‌کند و قطعه قطع می‌شود. این نظر کاملاً صحیح نیست زیرا دیده می‌شود که به ازای مقادیر v_{GS} کوچکتر



شکل ۹-۵. سطح مقطع مدار مجتمع CMOS. توجه کنید که ترانزیستور PMOS در یک ناحیه نوع n جداگانه موسوم به n مرغوب شکل گرفته است. روش دیگری نیز ممکن است، آنکه از بدنه نوع n استفاده شود و قطعه n در ماده مرغوب p ساخته شود.

اما نزدیک به V_t، جریان کوچک درین شارش می‌یابد. در این **ناحیه زیرآستانه** کار ترانزیستور، جریان درین به v_{GS} بطور نمایی ربط می‌یابد، که خیلی شبیه به رابطه $i_C - v_{BE}$ یک BJT است.

اگرچه در اغلب موارد، ترانزیستور MOS با $v_{GS} > V_t$ کار می‌کند، اما موارد خاص و زیادی هم وجود دارد که از کار آن در ناحیه زیرآستانه استفاده می‌شود. در این کتاب کار در ناحیه زیرآستانه موردنظر نیست.

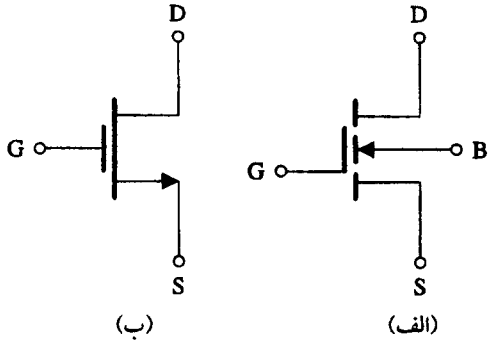
۵-۲ مشخصه‌های ولتاژ - جریان MOSFET افزایشی

بر اساس ساختمان فیزیکی تشریح شده در بخش قبل برای کار MOSFET افزایشی، در این بخش، مشخصه کامل ولتاژ و جریان آنرا ارائه می‌کنیم. این مشخصه‌ها در فرکانسهای پایین یا dc اندازه‌گیری می‌شوند که آنرا مشخصه‌های استاتیک می‌نامند. اثرات پویا (دینامیک) که کار MOSFET را در فرکانسهای بالا و در سرعتهای سویچینگ زیاد محدود می‌کند در فصل ۱۰-۵ بررسی خواهد شد.

علامت مداری

شکل (الف ۱۰-۵) علامت مداری MOSFET نوع افزایشی کانال n را نشان می‌دهد. این علامت کاملاً توصیف‌کننده است: خط عمودی مبین الکترودگیت است؛ خط منقطع عمودی کانال را نشان می‌دهد - خط بریده (منقطع) نشان دهنده آن است که کانال نوع افزایشی بدون اعمال یک ولتاژ مثبت مناسب بوجود نمی‌آید؛ و فضای بین خط گیت و خط کانال نشان‌دهنده آن است که الکترود گیت از بدنه قطعه عایق‌بندی شده است. پلاریته پیوند pn بین ماده نوع p و کانال n با پیکان روی خط نشان‌دهنده بدنه علامت‌گذاری شده است. این پیکان همچنین پلاریته ترانزیستور را نشان می‌دهد. مثلاً در اینجا قطعه از نوع کانال n است.

اگرچه MOSFET قطعه‌ای متقارن است، اما اختصاص یک پایانه به عنوان سورس و دیگری را به عنوان درین هنگام کاربرد در مدارات امری سودمند است (بدون اینکه نیاز به نوشتن S در کنار سورس و D در کار



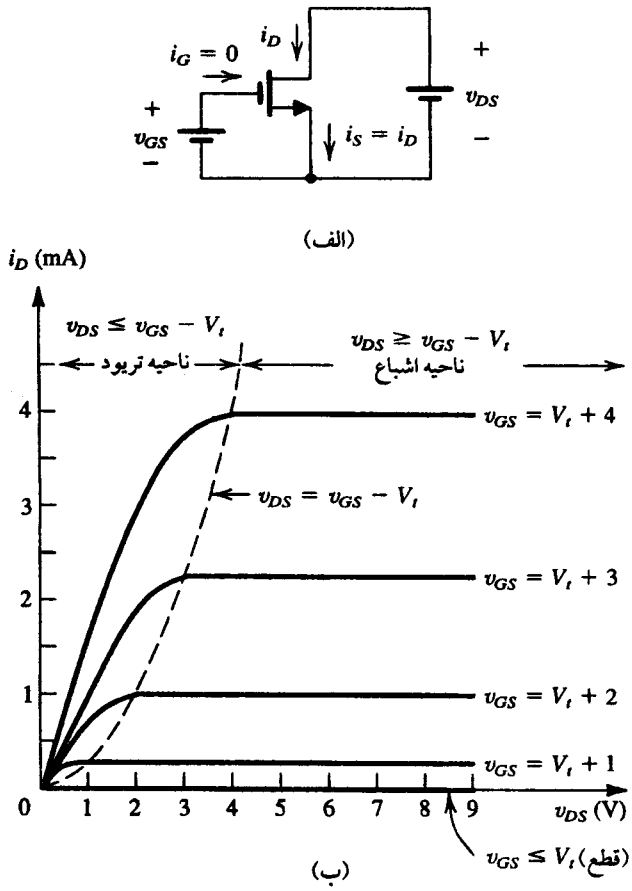
شکل ۱۰-۵. (الف) نماد مداری برای MOSFET افزایشی کانال n. (ب) نماد مداری ساده شده برای MOSFET کانال n افزایشی با زیربنای (B) متصل شده به سورس (s)

درین باشد). برای این کار خط گیت، نزدیکتر به سورس نسبت به درین ترسیم می‌شود.

اگرچه علامت شکل (الف ۱۰-۵) توضیح دهنده است اما پیچیده و غیراستادانه بنظر می‌رسد. یک علامت ساده‌تر برای حالتی که بدنه به سورس متصل است در شکل (ب ۱۰-۵) ملاحظه می‌شود. در این علامت، پیکان روی پایانه سورس جهت عادی جریان را نشان می‌دهد و دو منظور را بیان می‌کند: سورس و درین را متمایز می‌کند، و پلاریته قطعه را می‌نمایاند.

مشخصه‌های $i_D - v_{DS}$

شکل (الف ۱۱-۵) یک MOSFET نوع افزایشی کانال n را نشان می‌دهد که به آن ولتاژهای v_{GS} و v_{DS} اعمال شده و جهت عادی جریان در آن نشان داده شده است. از این مدار غیرعملی برای اندازه‌گیری مشخصه‌های $i_D - v_{DS}$ استفاده می‌شود، که گروهی از منحنی‌ها را شامل می‌شود که هریک با یک v_{GS} ثابت اندازه‌گیری می‌شود. از مطالعه کار فیزیکی بخش قبلی، انتظار داریم که هر منحنی $i_D - v_{DS}$ دارای شکل (۶-۵) باشند. شکل (ب ۱۱-۵) یک مجموعه از مشخصه‌های $i_D - v_{DS}$



شکل ۱۱-۵ . (الف) یک MOSFET افزایشی کانال n که v_{GS} و v_{DS} به آن اعمال شده و مسیر جریانها (ب) مشخصه‌های $i_D - v_{DS}$ برای یک قطعه با $V_t = 1V$ و $k'_n(W/L) = 0/5\ mA/V^2$

را نشان می‌دهد. درک کامل مشخصه‌های پایانه MOSFET برای کسی که بخواهد مدارهای MOS را طراحی کند، دارای اهمیت اساسی است.

منحنی‌های مشخصه شکل (ب ۱۱-۵) نشان می‌دهد که برای MOSFET سه ناحیه متمایز وجود دارد: **ناحیه قطع، ناحیه تریود، و ناحیه اشباع**. از ناحیه اشباع وقتی استفاده می‌شود که FET به عنوان یک تقویت‌کننده کار کند. برای کار به عنوان یک سویچ، ناحیه‌های قطع و تریود استفاده می‌شوند. وقتی $v_{GS} < V_t$ باشد، قطعه قطع می‌شود. برای کار MOSFET در ناحیه تریود ابتدا بایستی یک کانال القاء شود.

$$v_{GS} \ge V_t \text{ (کانال القاءشده)} \qquad (۵-۸)$$

و سپس v_{DS} کوچک نگهداشته شود به حدی که کانال، پیوسته باقی بماند. این کار وقتی انجام می‌شود که ولتاژ گیت به درین مطمئناً مقدار زیر باشد:

$$v_{GD} > V_t \text{ (کانال پیوسته)} \qquad (۵-۹)$$

این شرایط را به آسانی می‌توان بر حسب عبارت v_{DS} با نوشتن رابطه $v_{GD} = v_{GS} + v_{SD} = v_{GS} - v_{DS}$ بیان کرد.

$$v_{GS} - v_{DS} > V_t$$

که با دوباره مرتب‌کردن آن بدست می‌آید:

$$v_{DS} < v_{GS} - V_t \text{ (کانال پیوسته)} \qquad (۵-۱۰)$$

از معادله (۹-۵) یا معادله (۱۰-۵) می‌توان عملکرد ناحیه تریود را معین کرد. به عبارت دیگر، MOSFET افزایشی کانال n در ناحیه تریود کار می‌کند وقتی v_{GS} بزرگتر از V_t و ولتاژ درین حداقل به اندازه V_t ولت بزرگتر از ولتاژ گیت است. در ناحیه تریود، مشخصه‌های $i_D - v_{DS}$ را با رابطه (۵-۵) به صورت زیر می‌توان بیان نمود.

$$i_D = k'_n \frac{W}{L} [(v_{GS} - V_t) v_{DS} - \frac{1}{2} v^2_{DS}] \qquad (۵-۱۱)$$

که در آن $k'_n = \mu_n C_{ox}$ شاخصه هدایت انتقالی فرآیند است؛ و مقدارش با فناوری ساخت (بنابر جدول ۱-۵) مشخصه می‌گردد. اگر v_{DS} به قدر کافی کوچک باشد طوری که از v^2_{DS} در معادله (۱۱-۵) بتوان صرفنظر کرد، نزدیک به مبداء رابطه زیر را برای مشخصه‌های $i_D - v_{Ds}$ بدست می‌آوریم.

$$i_D \cong k'_n \frac{W}{L} (v_{GS} - V_t) v_{DS} \qquad (۵-۱۲)$$

این رابطه خطی، کار ترانزیستور MOS را به عنوان یک مقاومت خطی r_{DS} بیان می‌کند.

$$r_{DS} \equiv \frac{v_{DS}}{i_D} = [\, k'_n \frac{W}{L} (v_{GS} - V_t)]^{-1} \qquad (۵-۱۳)$$

که مقدارش بوسیله v_{GS} کنترل می‌شود. این ناحیه کار را در بخش قبل توضیح دادیم (به شکل ۴-۵ مراجعه کنید).

برای آنکه MOSFET در ناحیه اشباع کار کند، یک کانال باید به طور القایی بوجود آید،

$$v_{GS} \ge V_t \text{ (کانال القایی)} \qquad (۵-۱۴)$$

و با افزایش v_{DS} به مقداری که در نتیجه آن ولتاژ گیت - درین به پایین‌تر از مقدار V_t کاهش یابد، در انتهای درین انسداد بوجود آید.

$$v_{GD} \le V_t \text{ (کانال مسدود)} \qquad (۵-۱۵)$$

این شرط را به سادگی برحسب v_{DS} به صورت زیر می‌توان بیان نمود:

$$v_{DS} \ge v_{GS} - V_t \text{ (کانال مسدود)} \qquad (۵-۱۶)$$

به بیان دیگر، MOSFET نوع افزایشی کانال n در ناحیه اشباع کار می‌کند. اگر v_{GS} بزرگتر از V_t باشد و افت ولتاژ درین نسبت به گیت از V_t ولت کمتر نباشد.

مرز بین ناحیه تریود و ناحیه اشباع بوسیله رابطه زیر مشخص می‌شود:

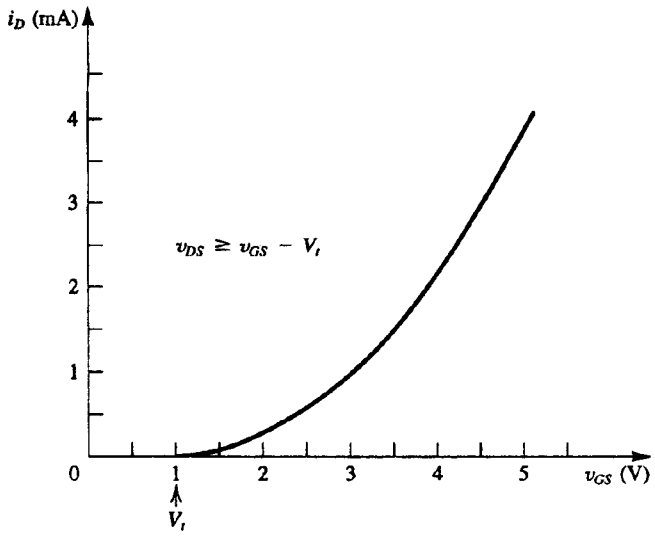
$$v_{DS} = v_{GS} - V_t \text{ (مرز)} \qquad (۵-۱۷)$$

از قراردادن v_{DS} در معادله (۵-۵)، مقدار اشباع جریان i_D به صورت

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2 \qquad (۵-۱۸)$$

بدست می‌آید.

بنابراین جریان درین در ناحیه اشباع و مستقل از ولتاژ درین v_{DS}



شکل ۱۲-۵ . مشخصه $i_D - V_{GS}$ برای یک ترانزیستور NMOS افزایشی در ناحیه اشباع ($V_t = 1V$ و $k'_n(W/L) = 0/5 mA/V^2$)

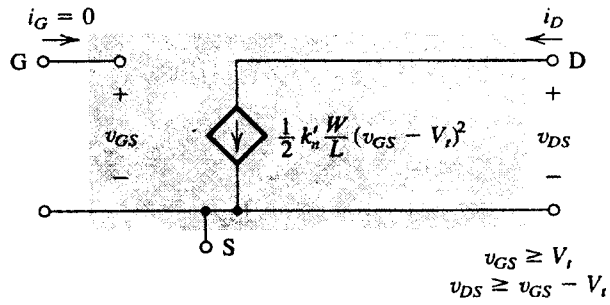
است و بوسیله ولتاژ گیت v_{GS} از رابطه مرتبه دوم معادله (۱۸-۵) بدست می‌آید. نموداری از آن در شکل (۱۲-۵) نشان داده شده است.

بنابراین MOSFET در ناحیه اشباع مانند یک منبع جریان ایده‌آل کار می‌کند که مقدار آن بوسیله v_{GS} به صورت رابطه غیرخطی معادله (۱۸-۵)، کنترل می‌شود. شکل (۱۳-۵) کار MOSFET را در ناحیه اشباع نشان می‌دهد. توجه کنید که این مدار، مدل مدار معادل سیگنال بزرگ آن است.

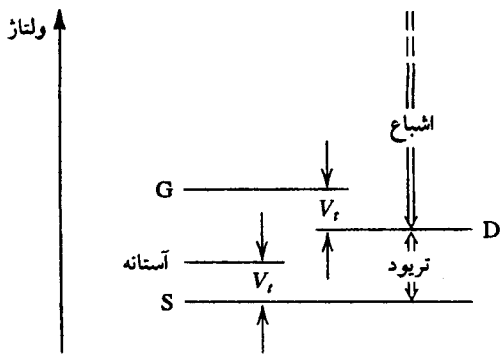
با نگاهی به مشخصه‌های $i_D - v_{DS}$ در شکل (ب ۱۱-۵) ملاحظه می‌کنیم که مرز بین نواحی تریود و اشباع با یک منحنی منقطع نشان داده شده است. چون این منحنی با $v_{DS} = v_{GS} - V_t$ مشخص شده، معادله‌اش از جایگزینی v_{DS} به جای $v_{GS} - V_t$ در معادله ناحیه تریود (معادله ۱۱-۵) یا در معادله ناحیه اشباع (معادله ۱۸-۵) بدست می‌آید. نتیجه چنین است:

$$i_D = \frac{1}{2} k'_n \frac{W}{L} v^2_{DS} \qquad (۵-۱۹)$$

باید توجه شود که مشخصه‌های شکلهای (۱۱-۵) و (۱۲-۵) و (۴-۵) برای یک MOSFET با $k'_n (\frac{W}{L}) = 0/5 \ mA/V^2$ و $V_t = 1 \ V$ مناسب است.



شکل ۱۳-۵ . مدل مدار معادل سیگنال بزرگ در یک MOSFET کانال n که در ناحیه اشباع کار می‌کند.



شکل ۱۴-۵ . سطوح نسبی ولتاژهای پایه‌های ترانزیستور NMOS افزایشی برای کار در ناحیه تریود و در ناحیه اشباع

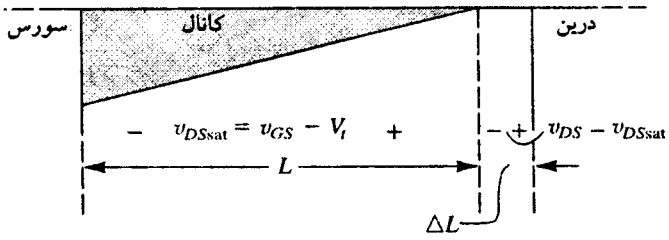
و بالاخره، نمودار شکل (الف ۱۴-۵) سطوحی را نشان می‌دهد که پایانه‌های ترانزیستور NMOS نوع افزایشی باید در حالت کار در ناحیه تریود و در ناحیه اشباع داشته باشند.

مقاومت خروجی محدود در حالت اشباع

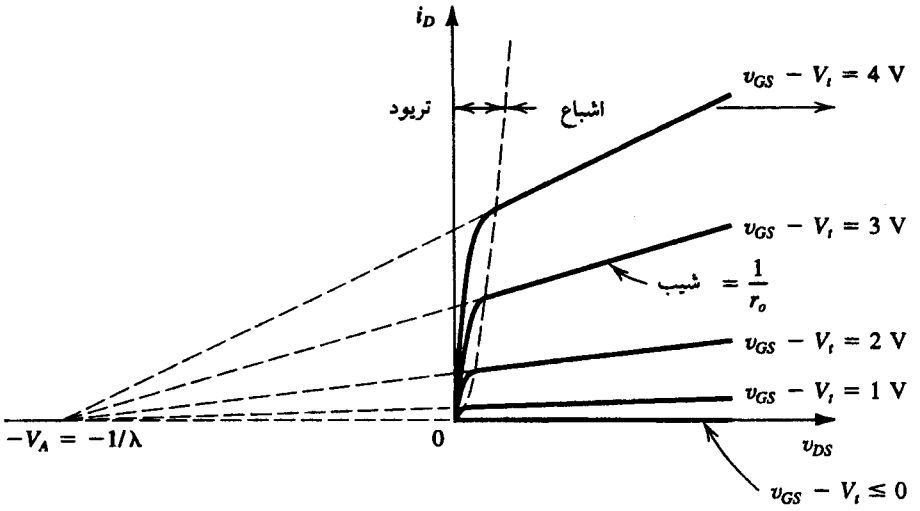
کاملاً مستقل بودن i_D از v_{DS} در حالت اشباع و بدنبال آن مقاومت نامحدود خروجی در درین (با توجه به شکل ۱۳-۵) یک ایده‌آل‌سازی است که بر اساس آن، وقتی انتهای درین مسدود می‌شود، افزایش بیشتر v_{DS} تأثیری بر شکل کانال نخواهد داشت. در عمل، افزایش v_{DS} بیش از اشباع v_{DS} تأثیر چندانی بر کانال ندارد. بخصوص، چنانچه v_{DS} افزایش یابد، نقطه انسداد کانال به آهستگی از درین به سمت سورس جابجا می‌شود. این عمل در شکل ۱۵-۵ نشان داده شده است که از آن متوجه می‌شویم که ولتاژ دو سر کانال در $v_{GS} - V_t = v_{DSsat}$ ثابت می‌ماند و ولتاژ اضافی اعمال شده به درین به عنوان افت ولتاژ دو سر ناحیه باریک تهی بین انتهای کانال و ناحیه درین ظاهر می‌شود. این ولتاژ الکترونهایی که به انتهای کانال می‌رسند را شتاب می‌دهد و آنها را به سوی ناحیه تهی به داخل درین می‌راند.

بنابراین، طول مؤثر کانال کاهش می‌یابد، پدیده‌ای که به **مدولاسیون طول کانال** معروف است. حال چون i_D نسبت معکوس با طول کانال (معادله ۱۸-۵) دارد، بنابراین i_D، با v_{DS} افزایش می‌یابد.

مجموعه‌ای از مشخصه‌های $i_D - v_{DS}$ که اثر مدولاسیون طول کانال را



شکل ۱۵-۵ . افزایش v_{DS} بیش از اشباع v_{DS} موجب می‌شود نقطه انسداد به آرامی از درین فاصله بگیرد، و بنابراین طول موثر به اندازه ΔL کاهش می‌یابد.



شکل ۱۶-۵. اثر v_{DS} روی i_D در ناحیه اشباع. پارامتر V_A ی MOSFET برای نمونه در گسترهٔ ۳۰ تا ۲۰۰ V قرار دارد.

نشان می‌دهد، در شکل (۱۶-۵) نشان داده شده است. ارتباط نسبتاً خطی i_D به v_{DS} در ناحیه اشباع با به حساب‌آوردن ضریب $1 + \lambda v_{DS}$ در معادله i_D به صورت زیر، تحلیل می‌گردد.

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \qquad (۵-۲۰)$$

که ثابت مثبت λ یکی از شاخصه‌های MOSFET است. با مشاهده معادله (۲۰-۵) فرض می‌کنیم که L ثابت باقی می‌ماند و در رابطه i_D با v_{DS} به حساب می‌آید و ضریب $(1 + \lambda v_{DS})$ را شامل می‌گردد. از شکل ۱۶-۵، مشاهده می‌کنیم که خط راست مشخصه $i_D - v_{DS}$ در حالت اشباع، محور v_{DS} را در نقطه $v_{DS} = -1/\lambda \equiv -V_A$ قطع می‌کند که V_A ولتاژی مثبت شبیه به ولتاژ ارلی BJT است. معمولاً اندازه λ بین ۰/۰۰۵ تا $0/03\ V^{-1}$ است و متناظر با آن V_A در محدوده ۲۰۰ تا ۳۰ ولت است. توجه به این نکته مهم است که کانال کوچکتر در قطعه از اثر مدولاسیون طول کانال مشکل سازتر است. در واقع، ولتاژ V_A با L نسبت مستقیم دارد؛ بنابراین دو قطعه ساخته شده با فرآیند یکسان، و طول‌های L_1 و L_2، دارای ولتاژهای ارلی V_{A1} و V_{A2} به صورت زیر می‌باشند:

$$\frac{V_{A1}}{V_{A2}} \approx \frac{L_1}{L_2}$$

مسلم است که مدولاسیون طول کانال مقاومت خروجی را در حالت اشباع محدود می‌کند. تعیین مقاومت خروجی r_o به صورت زیر می‌باشد:

$$r_o \equiv \left[\frac{\partial i_D}{\partial v_{DS}}\right]^{-1}_{v_{GS} = \text{ثابت}} \qquad (۵-۲۱)$$

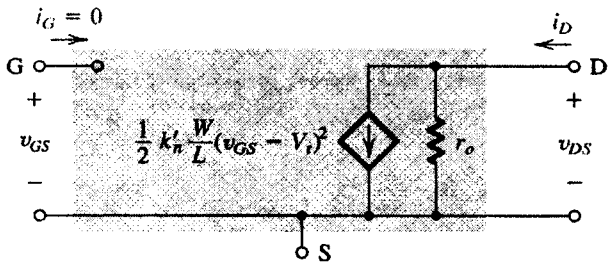
در نتیجه

$$r_o = [\lambda \frac{k'_n}{2} \frac{W}{L} (V_{GS} - V_t)^2]^{-1}$$

که به صورت زیر تقریب می‌گردد:

$$r_o \cong [\lambda I_D]^{-1} \qquad (۵-۲۲)$$

که I_D متناسب با مقدار مخصوصی از v_{GS} است که در آن r_o تعیین شده



شکل ۱۷-۵. مدل مدار معادل سیگنال بزرگ MOSFET کانال n در ناحیه اشباع شامل مقاومت خروجی r_o. مقاومت خروجی، وابستگی خطی i_D به v_{DS} را مدلسازی کرده و به صورت $r_o = V_A / I_D$ ارائه می‌کند.

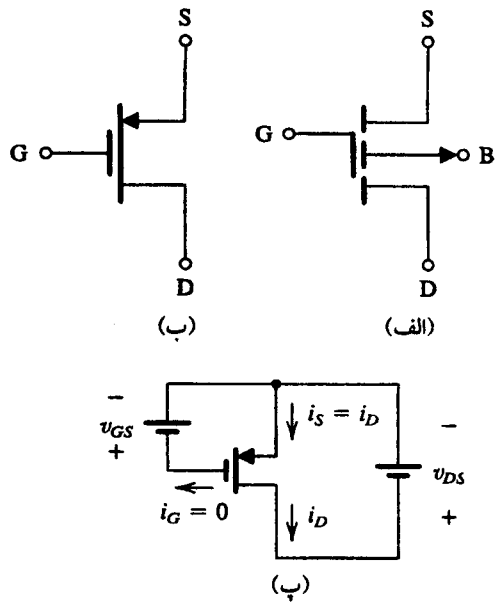
است. تقریب در معادله (۲۲-۵) بر اساس چشمپوشی از اثر ضریب $1 + \lambda v_{DS}$ بر مقدار r_o در معادله (۲۰-۵) است - یک تقریب مرتبه دوم. معادله (۲۲-۵) را به صورت دیگری می‌توان نوشت:

$$r_o \cong V_A / I_D \qquad (۵-۲۳)$$

بنابراین مقاومت خروجی با جریان I_D بایاس dc نسبت عکس دارد. در پایان، در شکل (۱۷-۵) نشان می‌دهیم که مدل مدار معادل سیگنال بزرگ شامل r_o است.

مشخصه‌های MOSFET کانال P

علامت مداری MOSFET نوع افزایشی کانال P در شکل (الف ۱۸-۵) نشان داده شده است. معمولاً وقتی بدنه به سورس متصل است، آنرا به صورت سادهٔ شکل (ب ۱۸-۵) نشان می‌دهند. پلاریته ولتاژ و جریان قطعه در حالت کار عادی در شکل (پ ۱۶-۵) مشخص شده است. به خاطر داشته باشید که در قطعه کانال P، ولتاژ آستانه V_t منفی است، برای اتصال یک کانال، ولتاژی به گیت اعمال می‌کنیم که منفی‌تر از V_t باشد،



شکل ۱۸-۵ . (الف) نماد مداری برای MOSFET افزایشی کانال P (ب) نمای مداری ساده شده در حالتی که زیربنا (بدنه B) به سورس متصل شده است (پ) MOSFET با ولتاژهای اعمال شده و مشخص‌کردن جهت‌های جریان. توجه کنید v_{GS} و v_{DS} منفی بوده و i_D به بیرون از پایانه درین جاری می‌شود.

$$v_{GS} \leq V_t \text{ (کانال القایی)} \qquad (۵-۲۴)$$

و ولتاژی به درین اعمال می‌کنیم که از ولتاژ سورس منفی‌تر باشد (مثلاً v_{DS} منفی است، یا برابر با آن، v_{SD} مثبت است). مطابق شکل جریان i_D از پایانه درین خارج می‌شود. برای کار در ناحیه تریود بایستی v_{DS} به صورت زیر باشد:

$$v_{DS} \geq v_{GS} - V_t \text{ (کانال پیوسته)} \qquad (۵-۲۵)$$

یعنی، ولتاژ درین بایستی حداقل به اندازه $|V_t|$ از ولتاژ گیت بزرگتر باشد. جریان i_D همانند NMOS در معادله (۵-۵) بدست می‌آید. به جز در جایگزینی k'_n با k'_p،

$$i_D = k'_p \frac{W}{L} [(v_{GS} - V_t) v_{DS} - \frac{1}{2} v^2_{DS}] \qquad (۵-۲۶)$$

که در آن v_{GS}، V_t، و v_{DS} منفی هستند و شاخصه هدایت انتقالی k'_p از رابطه زیر بدست می‌آید.

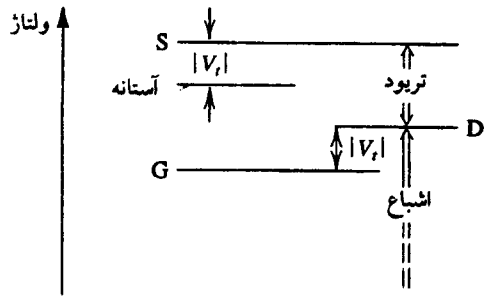
$$k'_p = \mu_P C_{ox} \qquad (۵-۲۷)$$

که μ_P قابلیت حرکت حفره‌ها در کانال القایی نوع P است. معمولاً $\mu_P \cong 0/4\, \mu_n$ است با این پیامد که در فناوری فرآیند با ضخامت اکسید $0/1\mu m$، k'_p تقریباً برابر با $8\,\mu A/V^2$ است.

برای کار در حالت اشباع، v_{DS} باید به صورت زیر باشد:

$$v_{DS} \leq v_{GS} - V_t \text{ (کانال مسدود)} \qquad (۵-۲۸)$$

یعنی، ولتاژ درین باید کمتر از ولتاژ گیت به اضافه $|V_t|$ + باشد. جریان i_D از همان معادله (۵-۲۰) بدست می‌آید که برای NMOS استفاده



شکل ۱۹-۵ . سطوح نسبی ولتاژهای پایانه‌ای ترانزیستور PMOS افزایشی در حالت کار در ناحیه تریود و ناحیه اشباع.

می‌شد. این بار نیز k'_p به جای k'_n جایگزین شده است.

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \qquad (۵-۲۹)$$

که v_{GS}، V_t، λ، و v_{DS} همه منفی هستند.

سرانجام، نمودار شکل (۱۹-۵) سطوح نسبی ولتاژ پایانه‌های ترانزیستور PMOS نوع افزایشی را برای کار در ناحیه تریود و ناحیه اشباع نشان می‌دهد.

نقش بدنه - اثر بدنه

در موارد بسیاری، پایانه B ماده زمینه (یا بدنه) به پایانه سورس متصل می‌شود. که این سبب ایجاد بایاس معکوس در پیوند pn بین بدنه و کانال القایی می‌شود (شکل ۵-۵ را ملاحظه کنید). در چنین حالتی بدنه نقشی را در عملکرد مدار بازی نمی‌کند و وجودش بطور کلی قابل اغماض است.

در مدارهای مجتمع، معمولاً بدنه در تعداد زیادی از ترانزیستورهای MOS مشترک است. به منظور حفظ حالت بایاس (تغذیه) معکوس در پیوند بدنه کانال، بدنه معمولاً به منبع تغذیه منفی در یک مدار NMOS متصل می‌شود (در مدار PMOS به منبع مثبت‌تر وصل می‌شود). ولتاژ معکوس حاصل بین سورس و بدنه (V_{SB} در قطعه کانال n) بر عملکرد قطعه تأثیر دارد. برای درک این مطلب، یک ترانزیستور NMOS درنظر گرفته فرض کنید بدنه نسبت به سورس منفی باشد. ولتاژ بایاس معکوس ناحیه تهی را عریض‌تر می‌کند (با توجه به شکل ۲-۵). این امر به نوبه خود عمق کانال را کاهش می‌دهد. برای برگرداندن کانال به شکل قبلی آن، v_{GS} بایستی افزایش یابد.

اثر V_{SB} را بر کانال به راحتی به صورت تغییر در ولتاژ آستانه V_t می‌توان نشان داد. بخصوص می‌توان نشان داد که افزایش ولتاژ بایاس معکوس بدنه V_{SB} سبب افزایش V_t می‌شود با توجه به رابطه زیر

$$V_t = V_{t0} + \gamma [\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}] \qquad (۵-۳۰)$$

که در آن V_{t0} ولتاژ آستانه $V_{SB} = 0$ است؛ و ϕ_f پارامتر فیزیکی با $(2\phi_f)$ معمولاً $0/6$ V، γ پارامتر فرآیند ساخت است و از رابطه زیر بدست می‌آید:

$$\gamma = \frac{\sqrt{2q N_A \varepsilon_s}}{C_{ox}} \qquad (\text{الف } ۵-۳۰)$$

که در آن N_A تراکم ناخالصی ماده نوع p و ε_s گذردهی سیلیکون ($1/04\times10^{-12}$F/cm) است. شاخصه γ دارای بعد $\sqrt{V}$ است و معمولاً $0/5V^{1/2}$ می‌باشد. در پایان، توجه کنید که معادله (۳۰-۵) برای قطعات کانال p با V_{SB} جایگزین شده با بایاس معکوس ماده به یک اندازه مفید است.

معادله (۳۰-۵) بیانگر آن است که افزایش ولتاژ V_{SB} موجب افزایش تغییر V_t می‌شود که این امر خود سبب افزایش تغییر i_D می‌شود حتی اگر v_{GS} ثابت نگهداشته شود. نتیجه آن است که ولتاژ بدنه i_D را کنترل کند؛ بنابراین، بدنه مانند یک گیت دیگر برای MOSFET عمل می‌کند، پدیده‌ای که به **اثر بدنه** معروف است. اثر بدنه چنانکه در بخش ۷-۵ خواهیم دید، موجب تنزل قابل ملاحظه در توانایی انجام کار مدار می‌شود.

اثرات دما

هر دو کمیت V_t و K به دما حساسند. اندازه V_t به ازای افزایش هر ۱ درجه سانتی‌گراد حدود ۲ mV کاهش می‌یابد. این کاهش در $|V_t|$ سبب افزایش جریان درین می‌گردد، با این وجود چون K با دما کاهش می‌یابد و اثر آن غالب است، اثر کلی مشاهده شده از افزایش دما، کاهش در جریان درین است. این نتیجه بسیار جالب سبب شده تا MOSFET ها در مدارات توان بکار روند (فصل ۹).

شکست و حفاظت ورودی

با افزایش ولتاژ درین، وضعی پیش می‌آید که در آن پیوند pn بین ناحیه درین و بدنه می‌شکند. (بخش ۱۳-۳ را ببینید) این شکست بهمنی معمولاً در ولتاژهای بین ۵۰ تا ۱۰۰ ولت روی می‌دهد و سبب افزایش سریع جریان می‌گردد.

اثر دیگر شکست که در قطعات جدید در ولتاژهای پایین‌تر (حدود ۲۰ ولت) اتفاق می‌افتد، **منفذ عبور** نامیده می‌شود. این پدیده در قطعات دارای کانال کوتاه وقتی رخ می‌دهد که ولتاژ درین به قدری افزایش یابد که ناحیه تهی در برگیرنده ناحیه درین از طریق کانال تا سورس توسعه یابد. در آن هنگام جریان درین به سرعت افزایش می‌یابد. منفذ عبور معمولاً موجب معیوب شدن دائم قطعه نمی‌شود.

نوع دیگر شکست وقتی روی می‌دهد که ولتاژ گیت به سورس از ۵۰V زیادتر شود. این مقدار ولتاژ شکست اکسید گیت است و سبب خرابی دائمی قطعه می‌گردد. اگرچه ۵۰ V زیاد است، بیاد داشته باشید که MOSFET دارای امپدانس ورودی زیاد است، و بنابراین مقادیر کوچک بار استاتیک جمع شده در خازن گیت، موجب این ولتاژ شکست می‌شود.

برای ممانعت از تجمع بار استاتیک بر روی خازن گیت MOSFET، معمولاً از قطعات محافظ گیت در ورودی مدارهای مجتمع MOS استفاده می‌شود. مکانیزم حفاظت با استفاده از دیودهای محدودکننده صورت می‌گیرد. (شکل ۴۸-۱۳ را ملاحظه کنید).

تمرینها

۵-۳ در یک ترانزیستور NMOS نوع افزایشی با $V_t = 2$ V، سورس، زمین‌شده و منبع dc ی ۳ V به گیت متصل شده است. در هریک از حالات زیر، قطعه در چه ناحیه‌ای کار می‌کند؟ (الف) $V_D = 0/5$ V (ب) $V_D=1$V، (پ) $V_D = 5$ V

جواب. (الف) تریود؛ (ب) اشباع؛ (پ) اشباع

۵-۴ اگر قطعه NMOS تمرین ۱-۵ دارای $\mu_nC_{OX} = 20\ \mu A/V^2$، $W=100\mu m$ و $L = 10\ \mu m$ باشد، مقدار جریان درین را که منجر به هریک از سه حالت (الف)، (ب) و (پ) در تمرین ۱-۵ شود پیدا کنید. از وابستگی i_D به v_{DS} در اشباع صرفنظر کنید.

جواب. (الف $75\ \mu A$ (ب) $100\ \mu A$ (پ) $100\ \mu A$

۵-۵ یک ترانزیستور NMOS نوع افزایشی با $V_t = 2$ V در $v_{GS}=v_{DS}=3$ V جریان $i_D = 1$ mA را هدایت می‌کند با صرفنظرکردن از وابستگی i_D به v_{DS} در اشباع مقدار i_D را برای $v_{DS} = 5$ V و $v_{GS} = 4$ V بدست آورید. مقاومت درین به سورس، r_{DS} را نیز برای مقادیر کوچک v_{DS} و $v_{GS} = 4$ V پیدا کنید.

جواب. ۴ mA، ۲۵۰ Ω

۵-۶ یک MOSFTE افزایشی با $k'_n\frac{W}{L} = 0/2\ \mu A/V^2$، $V_t = 1/5$ V و $\lambda = 0/02V^{-1}$ در $v_{GS} = 3/5$ V کار می‌کند. جریان درین را در $v_{DS}=2$V و $v_{DS} = 10$ V بدست آورید. مقاومت خروجی r_o را در این مقدار v_{GS} تعیین نمایید.

جواب. ۰/۴۱۶ mA، ۰/۴۸ mA، ۱۲۵ kΩ

۵-۷ یک ترانزیستور IC NMOS دارای $W = 100\ \mu m$، $L=10\ \mu m$، $\mu_nC_{OX} = 20\ \mu A/V^2$، $V_A = 100$ V، $\gamma = \frac{1}{2}V^{1/2}$، $V_{t0} = 1$ V و $2\phi_f = 0/6$V است. مقدار V_t را در $V_{SB} = 4$ V بدست آورید. همچنین برای $V_{GS} = 3$ V و $V_{DS} = 5$ V، I_D را در $V_{SB} = 0$ V و $V_{SB} = 4$ V محاسبه کنید. مقاومت خروجی r_O در هریک از این حالات چقدر است؟

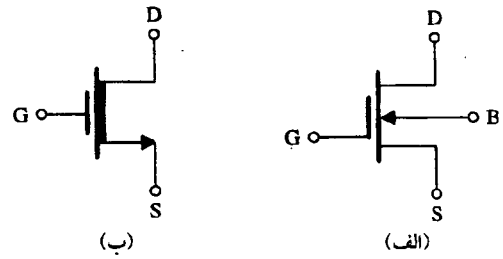
جواب. ۱/۷ V، ۰/۴۲ mA، ۰/۱۷۷ mA، ۲۵۰ kΩ، ۵۹۲kΩ

۵-۸ یک ترانزیستور PMOS افزایشی دارای $k'_p\frac{W}{L} = 100\ \mu A/V^2$ و $V_t=-2$V می‌باشد اگر گیت زمین شده و سورس به ۵ V+ متصل شود، بیشترین ولتاژی که می‌توان به درین اعمال کرد طوری که قطعه در حالت اشباع باشد چقدر است؟ با اغماض از r_o محدوده جریان درین را برای $v_D = -5$V بدست آورید.

جواب. ۲ V+؛ ۰/۴۵ mA ❑

۵-۳ MOSFET نوع تهی

در این بخش به اختصار درباره نوع دیگری از MOSFET، یعنی MOSFET نوع تهی توضیح می‌دهیم. ساختمان آن شبیه MOSFET نوع افزایشی است با این تفاوت مهم که: MOSFET تهی دارای یک کانال نشاندنی است. بنابراین یک MOSFET نوع تهی کانال n دارای ناحیه سیلیکونی نوع n است که سورس n^+ را به درین n^+ در بالای بدنه نوع p



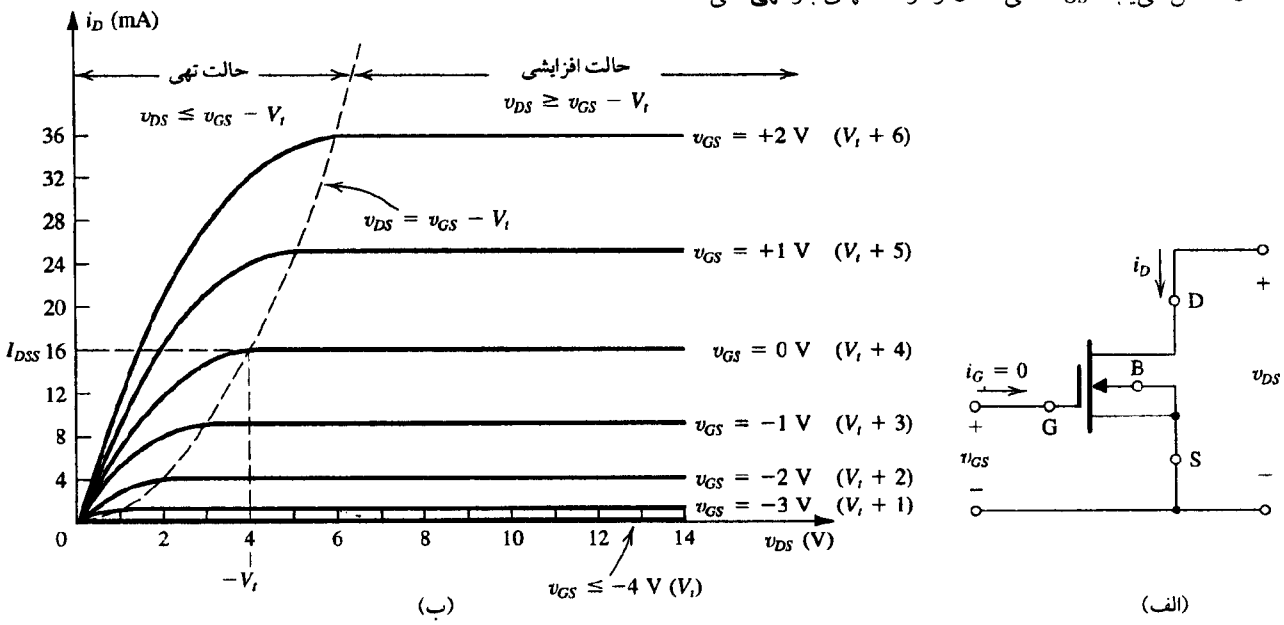
شکل ۲۰-۵. (**الف**) نماد مداری برای MOSFET نوع تهی کانال n (**ب**) نماد مداری ساده شده قابل کاربرد در حالتی که زیربنا (B) به سورس (S) متصل شده است.

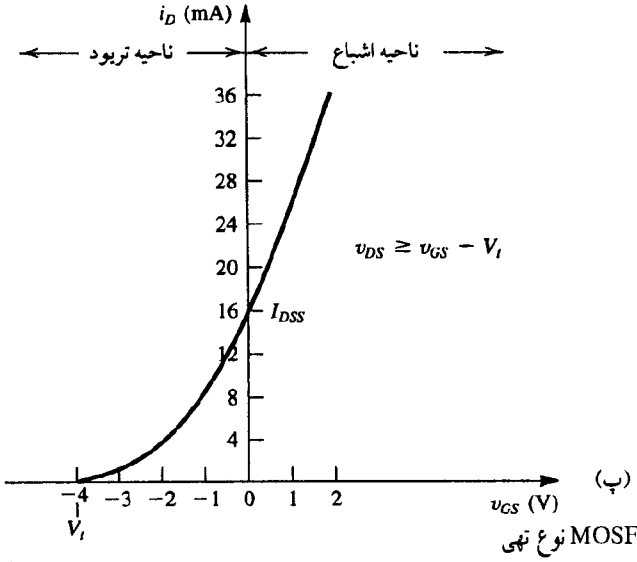
متصل می‌کند. بنابراین اگر ولتاژ v_{DS} به درین و سورس اعمال گردد، جریان i_D به ازای $v_{GS} = 0$ جریان پیدا می‌کند. به عبارت دیگر، بر خلاف MOSFET افزایشی، به القای کانال نیازی نیست.

عمق کانال و بنابراین هدایت آن درست مثل قطعه نوع افزایشی بوسیله v_{GS} کنترل می‌شود. با اعمال یک ولتاژ مثبت v_{GS}، کانال با جذب الکترون بیشتر به داخل آن گسترش می‌یابد. بنابراین، با اعمال یک ولتاژ منفی v_{GS}، که سبب راندن الکترونهای کانال می‌شود، کانال کم عمق‌تر شده، میزان هدایت آن کاهش می‌یابد. v_{GS} منفی کانال را از حاملهای بار **تهی** می‌کند و این حالت کار (v_{GS} منفی) **حالت تهی** نامیده می‌شود. با افزایش مقدار v_{GS} در جهت منفی، مقدار آن به حدی می‌رسد که کانال از حامل‌های بار تهی شده و i_D به صفر کاهش می‌یابد حتی اگر v_{DS} همچنان اعمال شود. این مقدار منفی v_{GS} را ولتاژ آستانه MOSFET نوع تهی کانال n می‌نامیم. توضیح بالا بدرستی نشان می‌دهد که MOSFET نوع تهی می‌تواند با اعمال یک v_{GS} مثبت، در حالت افزایشی کار کند و با اعمال یک ولتاژ v_{GS} منفی در حالت تهی عمل کند. مشخصه‌های $i_D - v_{DS}$ این قطعه شبیه به MOSFET افزایشی است با این تفاوت که V_T ی قطعه تهی کانال n منفی است.

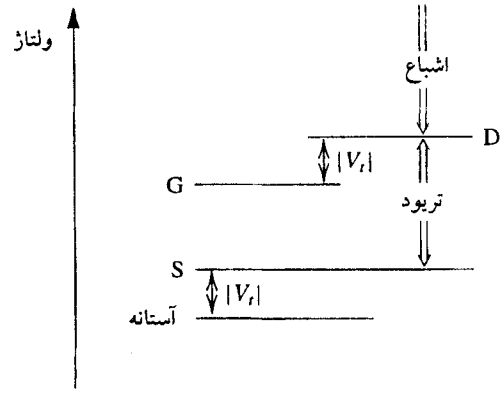
شکل (الف ۲۰-۵) علامت مداری MOSFET نوع تهی کانال n را نشان می‌دهد. این علامت با آنچه در وهله اول از قطعه نوع افزایشی دیدیم متفاوت است: خط عمودی نشانگر کانال ضخیم و پررنگ است و نشان می‌دهد که یک کانال فیزیکی وجود دارد. وقتی بدنه (B) به سورس (S) متصل باشد، از علامت ساده شده شکل (ب ۲۰-۵) استفاده می‌شود. این علامت با علامت قطعه افزایشی تفاوت دارد و ناحیه سایه‌دار آن نشان‌دهنده کانال نشاندنی آن است.

مشخصه‌های $i_D - v_{DS}$ در MOSFET کانال n نوع تهی به ازای $V_t = -4\text{V}$ و $k'_n \frac{W}{L} = 2\ \text{mA/V}^2$ در شکل (ب ۲۱-۵) ترسیم شده است.





شکل ۲۱-۵. مشخصه‌های جریان - ولتاژ MOSFET تهی کانال n در $V_t = -4\text{V}$ و $k'_n(W/L) = 2\ \text{mA/V}^2$: (**الف**) ترانزیستور با مشخص‌کردن پلاریته ولتاژها و جریانها (**ب**) مشخصه‌های $i_D - v_{DS}$ (**پ**) مشخصه‌های $i_D - v_{GS}$ در اشباع



شکل ۲۲-۵ . سطوح نسبی ولتاژهای پایانه‌ای ترانزیستور NMOS نوع تهی برای کار در ناحیه‌های تریود و اشباع. وضعیت نشان داده شده برای کار در حالت افزایشی است (v_{GS} مثبت است)

اگرچه این مشخصه‌ها وابستگی i_D را به v_{DS} در حالت اشباع نشان نمی‌دهد. اما این وابستگی وجود دارد و از این جهت با قطعه افزایشی یکسان است. ملاحظه می‌کنید که به علت منفی‌بودن ولتاژ آستانه V_t، NMOS تهی در ناحیه تریود تا وقتی کار می‌کند که ولتاژ درین از ولتاژ گیت افزایشی بیش از $|V_t|$ نداشته باشد. برای آنکه در حالت اشباع کار کند، ولتاژ درین باید حداقل به اندازه $|V_t|$ ولت بزرگتر از ولتاژ گیت باشد. نمودار شکل (الف ۲۲-۵) سطوح نسبی ولتاژ پایانه ترانزیستور NMOS تهی را برای دو ناحیه کار نشان می‌دهد. نحوه دیگر نمایش این اطلاعات در شکل (ب ۲۲-۵) نشان داده شده است.

شکل (پ ۲۱-۵) که مشخصه $i_D - v_{GS}$ را در حالت اشباع نشان می‌دهد، مبین حالتهای کار افزایشی و تهی است.

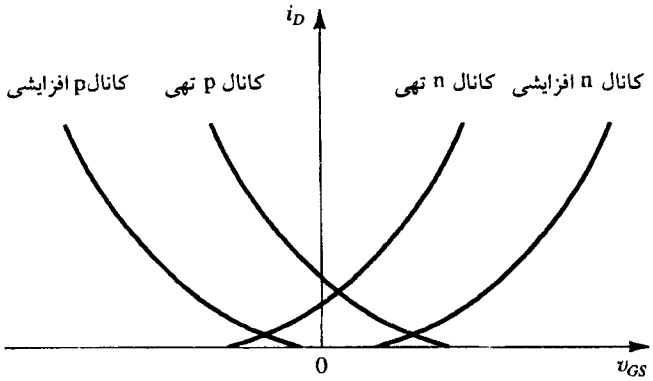
مشخصه‌های جریان - ولتاژ در MOSFET نوع تهی همان است که در بخش قبل به صورت معادله‌هایی برای قطعه افزایشی آورده شد با این تفاوت که در قطعه تهی کانال n، V_t منفی است.

پارامتر دیگر MOSFET تهی، مقدار جریان درین است که در حالت اشباع با $v_{GS} = 0$ بدست آمد. این پارامتر با I_{DSS} مشخص می‌شود و در شکل‌های (پ و ب ۲۱-۵) نشان داده شده است و به صورت زیر می‌توان آنرا نمایش داد:

$$I_{DSS} = \frac{1}{2} k'_n \frac{W}{L} V_t^2 \qquad (۵-۳۱)$$

MOSFET های نوع تهی را بر همان تراشه‌های MOSFET نوع افزایشی می‌سازند که در نتیجه آن، چنانکه در بخش بعد خواهیم دید مدارهایی با مشخصات بهتر ساخته می‌شود.

در بالا، فقط قطعات تهی کانال n را توضیح دادیم. ترانزیستورهای PMOS تهی به صورت مجزا در دسترسند و مشابه قطعات کانال n کار می‌کنند با این تفاوت که پلاریته ولتاژها (از جمله V_t) معکوس می‌شود. همچنین در قطعه کانال p، i_D از سورس به درین جاری می‌شود، به پایانه سورس وارد و از پایانه درین خارج می‌گردد. بطور خلاصه، نمودارهای



شکل ۲۳-۵ . ترسیم مشخصه‌های $i_D - v_{GS}$ برای MOSFET های افزایشی و تهی با هر دو پلاریته (کار در ناحیه اشباع) توجه کنید منحنی مشخصه‌ها محور v_{GS} را در V_t قطع می‌کنند و قدری اختلاف بین مقادیر $|V_t|$ قطعات کانال p و کانال n وجود دارد.

مشخصه $i_D - v_{GS}$ در MOSFET های نوع تهی و افزایشی با دو پلاریته (کار در حالت اشباع) نشان داده می‌شود. سرانجام، توجه خواننده را به خلاصه‌ای از مشخصه‌های MOSFET تهی در شکل ۲۳-۵ جلب می‌کنیم.

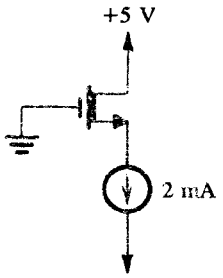
تمرینها

۹-۵ در یک ترانزیستور NMOS نوع تهی با $V_t = -2$ V و $k'_n \frac{W}{L} = 2\text{mA/V}^2$، مینیمم v_{DS} مورد نیاز برای کار در ناحیه اشباع را بیابید وقتی $v_{GS} = +1$V باشد. مقدار متناظر i_D چقدر است؟

جواب. ۳ V؛ ۹ mA .

۱۰-۵ MOSFET نوع تهی شکل ۱۰-۵ ت دارای $k'_n \frac{W}{L} = 4\text{mA/V}^2$ و $V_t = -2$V است. از اثر v_{DS} بر i_D در ناحیه اشباع چشمپوشی کرده، ولتاژ ظاهر شده در پایانه سورس را بدست آورید.

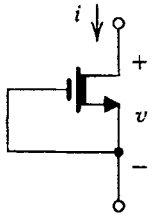
جواب. +۱ V.



شکل (۱۰-۵ ت)

۱۱-۵ i را به صورت تابعی از v برای مدار (۱۱-۵ ت) بیابید. اثر v_{DS} را بر i_D در ناحیه اشباع نادیده بگیرید.

جواب. $i = k'_n \frac{W}{L}[-V_t v - \frac{1}{2} v^2]$ به ازای $v \le -V_t$؛ و $i = \frac{1}{2} k'_n \frac{W}{L} V_t^2$ به ازای $v \ge -V_t$. ❑



شکل (۱۱-۵ ت)

۵-۴ مدارهای MOSFET در DC

مشخصه‌های ولتاژ - جریان انواع مختلف MOSFET را بررسی کردیم. اکنون مدارهایی را درنظر می‌گیریم که در آنها فقط مقادیر dc مشخص شده است. بخصوص مثالهایی از تحلیل و طراحی مدارهای MOSFET را با ولتاژ dc نشان می‌دهیم.

مثال ۱-۵

مدار شکل ۲۴-۵ را طوری طراحی کنید که ترانزیستور در I_D=۰/۴mA و V_D = +۱ V کارکند. ترانزیستور NMOS دارای V_t =۲V، $\mu_n C_{OX}$ = ۲۰ μA/V^2، L = ۱۰ μm و W = ۴۰۰ μm می‌باشد. اثر مدولاسیون طول کانال را نادیده بگیرید (فرض کنید که λ = ۰ باشد).

حل:

چون V_D = ۱ V به معنی کار در ناحیه اشباع است، از رابطه ناحیه اشباع i_D، برای تعیین مقدار موردنیاز v_{GS} استفاده می‌کنیم.

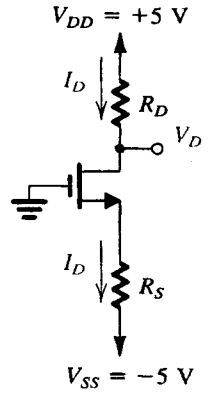
$$I_D = \frac{۱}{۲}\mu_n C_{ox}\frac{W}{L}(v_{GS} - V_t)^۲$$

$$۰/۴ = \frac{۱}{۲} \times ۲۰ \times ۱۰^{-۳} \times \frac{۴۰۰}{۱۰}(V_{GS} - ۲)^۲$$

این معادله دو مقدار ۱ V و ۳ V را برای V_{GS} بدست می‌دهد، مقدار اولی تأثیر فیزیکی ندارد چون کمتر از V_t می‌باشد. بنابراین V_{GS}=۳V است. با مراجعه به شکل (۲۴-۵) ملاحظه می‌کنیم که گیت دارای پتانسیل صفر است؛ بنابراین سورس باید در ۳ V- باشد، و مقدار موردنیاز R_S از رابطه زیر تعیین می‌گردد.

$$R_S = \frac{V_S - (-V_{SS})}{I_D}$$

$$= \frac{-۳ - (-۵)}{۰/۴} = ۵\ K\Omega$$



شکل ۲۴-۵. مدار مثال ۱-۵

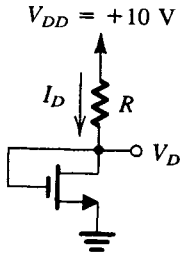
برای ایجاد ۱+ ولت dc در درین، باید R_D را به صورت زیر انتخاب کنیم

$$R_D = \frac{V_{DD} - V_D}{I_D}$$

$$= \frac{۵-۱}{۰/۴} = ۱۰\ K\Omega$$

مثال ۲-۵

مدار شکل ۲۶-۵ را طوری طراحی کنید که جریان I_D با ۰/۴ mA بدست آید. مقدار موردنیاز R، و ولتاژ dc ی V_D را بیابید. فرض کنید ترانزیستور NMOS دارای V_t=۲V ، $\mu_n C_{OX}$=۲۰μA/V^2، L=۱۰μm، و W = ۱۰۰ μm باشد. از اثر مدولاسیون کانال چشم‌پوشی کنید (یعنی فرض کنید λ = ۰ باشد).



شکل ۲۵-۵. مدار مثال ۲-۵

حل:

چون V_{DG} = ۰ است، FET در ناحیه اشباع کار می‌کند. بنابراین

$$I_D = \frac{۱}{۲}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_t)^۲$$

$$۰/۴ = \frac{۱}{۲}(۲۰)(۱۰^{-۳})(۱۰۰/۱۰)(V_{GS} - ۲)^۲$$

که دو مقدار برای V_{GS} بدست می‌دهد؛ یعنی ۴ و ۰. مقدار دوم عملکرد فیزیکی را سبب نمی‌شود زیرا کمتر از V_t است. بنابراین، V_{GS} = ۴V و ولتاژ درین برابر خواهد بود با

$$V_D = +۴\ V$$

مقدار لازم برای R از رابطه زیر بدست می‌آید:

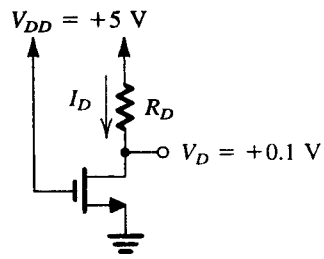
$$R = \frac{V_{DD} - V_D}{I_D} = \frac{۱۰ - ۴}{۰/۴} = ۱۵\ k\Omega$$

مثال ۳-۵

مدار شکل (۲۶-۵) را طوری طراحی کنید که ولتاژ درین برابر با ۰/۱V باشد. مقاومت مؤثر بین درین و سورس در این نقطه کار چقدر است؟ فرض کنید که V_t = ۱ V و $k'_n(\frac{W}{L})$ = ۱ mA/V^2 باشد.

حل:

چون ولتاژ درین ۴/۹ V کوچکتر از ولتاژ گیت است و V_t=۱V



شکل ۲۶-۵ . مدار مثال ۳-۵

می‌باشد. MOSFET در ناحیه تریود کار می‌کند. بنابراین جریان I_D به صورت زیر بدست می‌آید:

$$I_D = ۱ \times [(۵ - ۱) \times ۰/۱ - \frac{۱}{۲} \times ۰/۰۱] = ۰/۳۹۵ \text{ mA}$$

مقدار لازم برای R_D از رابطه زیر بدست می‌آید:

$$R_D = \frac{V_{DD} - V_D}{I_D} = \frac{۵ - ۰/۱}{۰/۳۹۵} = ۱۲/۴ \text{ k}\Omega$$

(بطور مسلم، عملاً در طراحی از مقادیر استاندارد موجود مثلاً مقاومت‌های ۵٪ ، در این موقعیت ۱۲ kΩ، با توجه به ضمیمه ج، انتخاب می‌شود.) مقاومت مؤثر درین به سورس به صورت زیر بدست می‌آید:

$$r_{DS} = \frac{V_{DS}}{I_D} = \frac{۰/۱}{۰/۳۹۵} = ۲۵۳ \ \Omega$$

مثال ۴-۵

مدار شکل (الف ۲۷-۵) را تحلیل کرده، ولتاژ همه گره‌ها و جریان همه شاخه‌ها را تعیین کنید. فرض کنید $V_t = ۱$ V و $k'_n (\frac{W}{L}) = ۱ \text{ mA/V}^۲$ باشد. از اثر مدولاسیون طول کانال چشم‌پوشی کنید (یعنی فرض کنید $\lambda = ۰$ است).

حل:

چون جریان گیت صفر است، ولتاژ گیت به سهولت بوسیله مقسم ولتاژی بدست می‌آید که از دو مقاومت ۱۰ MΩ تشکیل شده است.

$$V_G = ۱۰ \times \frac{۱۰}{۱۰ + ۱۰} = +۵ \text{ V}$$

با این ولتاژ مثبت در گیت ترانزیستور NMOS روشن خواهد شد. البته ما نمی‌دانیم که آیا ترانزیستور در ناحیه کار اشباع و یا در ناحیه تریود عمل می‌کند. فرض می‌کنیم کار در ناحیه اشباع باشد، مسئله را حل کرده و سپس صحت این فرض را بررسی می‌کنیم. بدیهی است اگر فرض ما درست درنیاید، مجبوریم مسئله را برای عمل در ناحیه تریود حل کنیم.

با مراجعه به شکل (ب ۲۷-۵)، چون ولتاژ گیت ۵ V و ولتاژ سورس $I_D \times ۶ = ۶ I_D$ است داریم:

$$V_{GS} = ۵ - ۶ I_D$$

بنابراین I_D از رابطه زیر بدست می‌آید:

$$I_D = \frac{۱}{۲} k'_n (\frac{W}{L}) (V_{GS} - V_t)^۲$$

$$= \frac{۱}{۲} \times ۱ \times (۵ - ۶I_D - ۱)^۲$$

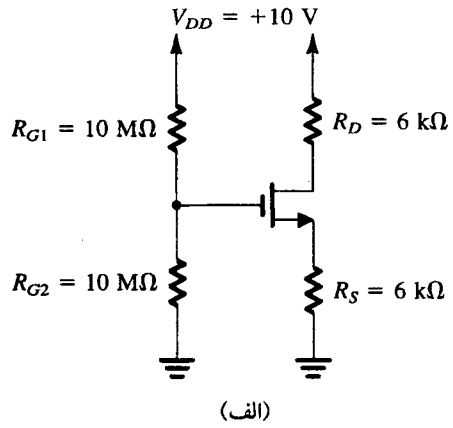
که معادله درجه دوم زیر را بر حسب I_D بدست می‌دهد:

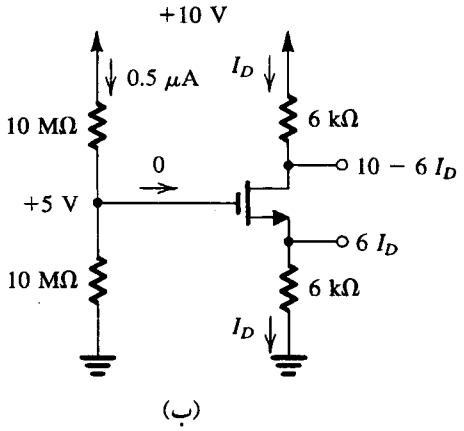
$$۱۸ I^۲_D - ۲۵ I_D + ۸ = ۰$$

این معادله دو مقدار برای I_D ارائه می‌کند، ۰/۸۹ mA و ۰/۵mA . اولین پاسخ ولتاژ سورس ۵/۳۴ = ۶×۰/۸۹ را نتیجه می‌دهد، که بزرگتر از ولتاژ گیت است و موجب عملکرد فیزیکی نمی‌شود. بنابراین

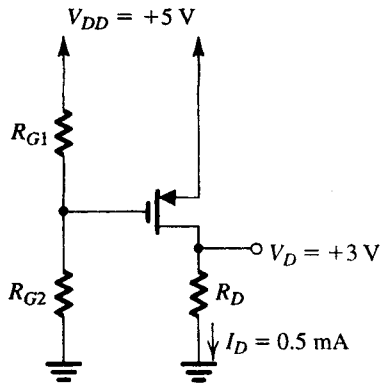
$$I_D = ۰/۵ \text{ mA}$$
$$V_S = ۰/۵ \times ۶ = ۳ \text{ V}$$
$$V_{GS} = ۵ - ۳ = ۲ \text{ V}$$
$$V_D = ۱۰ - ۶ \times ۰/۵ = +۷ \text{ V}$$

چون $V_D > V_G - V_t$ است، ترانزیستور همانگونه که ابتدا فرض شده بود در حالت اشباع کار می‌کند.





شکل ۲۷-۵ . (الف) مدار مثال ۴-۵ (ب) مدار و بعضی از جزئیات تحلیل



شکل ۲۸-۵. مدار برای مثال ۵-۵

مثال ۵-۵

مدار شکل ۲۸-۵ را طوری طراحی کنید که ترانزیستور با $I_D = ۰/۵\text{mA}$ و $V_D = +۳\text{ V}$ در اشباع کار کند. فرض کنید ترانزیستور PMOS نوع افزایشی دارای $V_t = -۱\text{ V}$ و $K = ۰/۵\text{mA/V}^۲$ باشد. فرض کنید $\lambda = ۰$ است بزرگترین مقداری که R_D حین عمل در ناحیه اشباع دارد چقدر است؟

حل:

چون MOSFET در اشباع است و $I_D = ۰/۵\text{ mA}$، می‌توانیم بنویسیم:

$$۰/۵ = ۰/۵\,[V_{GS} - (-۱)]^۲$$

به یاد داریم که V_{GS} باید منفی باشد $(V_{GS} < V_t)$، بنابراین تنها راه حل این معادله که سبب عملکرد فیزیکی می‌شود در آن است که $V_{GS} = -۲\text{V}$ باشد. اکنون چون سورس +۵V است، ولتاژ گیت باید در ۳ V+ تنظیم شود. این کار با انتخاب دقیق مقادیر $R_{G۱}$ و $R_{G۲}$ امکان‌پذیر است. یک انتخاب عملی $R_{G۱} = ۲\text{M}\Omega$ و $R_{G۲} = ۳\text{M}\Omega$ است.

مقدار R_D از رابطه زیر بدست می‌آید:

$$R_D = \frac{V_D}{I_D} = \frac{۳}{۰/۵} = ۶\text{ k}\Omega$$

عمل در حالت اشباع تا جایی ادامه می‌یابد که V_D به اندازه $|V_t|$ از V_G افزونتر شود. یعنی:

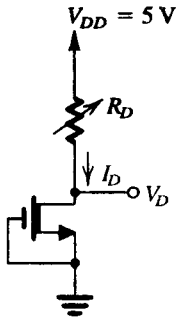
$$V_{D\text{ماکزیمم}} = ۳ + ۱ = ۴\text{ V}$$

این مقدار ولتاژ درین با R_D از رابطه زیر بدست می‌آید:

$$R_D = \frac{۴}{۰/۵} = ۸\text{ k}\Omega$$

مثال ۶-۵

در مدار شکل ۲۹-۵، MOSFET نوع تهی از طریق مقاومت متغیر R_D با جریان ثابت $۱۰۰\mu\text{A}$ تغذیه شده است. اگر $k'_n = ۲۰\mu\text{A/V}^۲$ و



شکل ۲۹-۵. مدار برای مثال ۶-۵

$V_t = -۱\text{V}$ باشد، نسبت W/L را بدست آورید. همچنین محدوده مقادیر R_D را با جریان ثابت $۱۰۰\mu\text{A}$ محاسبه کنید. فرض کنید $\lambda = ۰$ است.

حل:

چون ترانزیستور تهی به ازای $v_{GS} = ۰$ هدایت می‌کند، در این مدار نیز MOSFET هدایت خواهد کرد. برای هدایت یک جریان ثابت I_D مادامی که R_D تغییر می‌کند (و در نتیجه V_D متغیر است)، MOSFET بایستی در حالت اشباع کار کند و می‌بایست دارای λی کمی باشد (در اینجا $\lambda = ۰$). در حالت اشباع ترانزیستور

$$I_D = \frac{۱}{۲} k'_n \frac{W}{L}(V_{GS} - V_t)^۲$$

بنابراین

$$۱۰۰ = \frac{۱}{۲}\times ۲۰ \times \frac{W}{L}[۰ - (-۱)]^۲$$

که نتیجه می‌دهد:

$$\frac{W}{L} = ۱۰$$

حالت اشباع کار در حالت زیر باقی می‌ماند.

$$V_{DS} \geq V_{GS} - V_t = ۰ - (-۱) = ۱$$

یعنی

$$V_D \geq ۱\text{V}$$

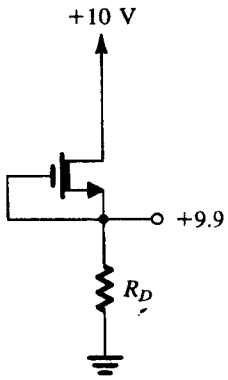
اکنون چون $V_D = V_{DD} - R_D I_D$ است، ماکزیمم مقدار ممکن برای R_D خواهد بود:

$$\frac{V_{DD} - V_{D\text{مینیمم}}}{I_D} = \frac{۵ - ۱}{۰/۱} = ۴۰\text{k}\Omega$$

بنابراین R_D می‌تواند بین ۰ تا $۴۰\text{k}\Omega$ تغییر کند.

مثال ۷-۵

مدار شکل ۳۰-۵ را طوری طراحی کنید که ولتاژ dc ی سورس $+ ۹/۹\text{ V}$ شود. در این نقطه کار، مقاومت مؤثر بین سورس و درین ترانزیستور چقدر است؟ فرض کنید $V_t = -۱\text{ V}$ و $k'_n(\frac{W}{L}) = ۱\text{mA/V}^۲$ باشد.



شکل ۳۰-۵. مدار برای مثال ۷-۵

حل:

در اینجا V_G به اندازه ۰/۱ V از V_D کوچکتر است، که از $|V_t|$ مورد نیاز برای کار در ناحیه اشباع کوچکتر است. بنابراین ترانزیستور NMOS نوع تهی درناحیه تریود با $V_{DS} = ۰/۱$ V و $V_{GS} = ۰$ V کار می‌کند. به این ترتیب جریان درین I_D از رابطه زیر بدست می‌آید:

$$I_D = ۱\,[(۰ - (-۱)) \times ۰/۱ - \frac{۱}{۲} \times ۰/۰۱]$$
$$\cong ۰/۱ \text{ mA}$$

R_D را بنا به رابطه زیر انتخاب می‌کنیم

$$R_D = \frac{۹/۹ \text{ V}}{۰/۱\text{mA}} = ۹۹ \text{ k}\Omega = ۱۰۰ \text{ k}\Omega$$

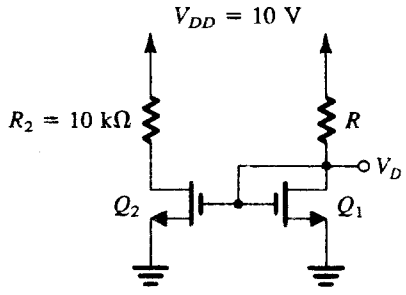
مقاومت مؤثر سورس به درین برابر است با:

$$r_{DS} = \frac{V_{DS}}{I_D} = \frac{۰/۱ \text{ V}}{۰/۱ \text{ mA}} = ۱ \text{ k}\Omega$$

تمرینها

۵-۱۲ در مدار مثال (۱-۵)، بزرگترین مقداری که R_D می‌تواند داشته باشد تا MOSFET در حالت اشباع باقی بماند را پیدا کنید.
جواب. ۱۷/۵ kΩ

۵-۱۳ مدار شکل ۲۵-۵ را درنظر بگیرید که در مثال ۲-۵ طراحی شد. فرض کنید مطابق شکل (۱۳-۵ ت)، V_D به گیت ترانزیستور دیگر (Q_2) اعمال شود. فرض کنید Q_1 با Q_2 یکسان باشد. جریان درین و ولتاژ Q_2 را بدست آورید. (فرض کنید $\lambda = ۰$ باشد).
جواب. ۰/۴ mA؛ ۶ V+

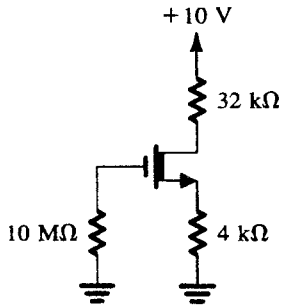


شکل (۱۳-۵ ت)

۵-۱۴ مدار شکل ۲۶-۵ را درنظر بگیرید، که در مثال ۳-۵ طراحی شد. اگر مقدار R_D دو برابر مقداری باشد که در مثال ۳-۵ بدست آمد، مقادیر جدید V_D، I_D و r_{DS} را بیابید.
جواب. ۰/۰۵ V؛ ۰/۲ mA؛ ۲۵۰ Ω

ط ۵-۱۵ ۲ مدار شکل (الف ۲۷-۵) را با مقادیر جدید مقاومت‌ها درنظر بگیرید. مدار را طوری طراحی کنید که حدود ۴ V در گیت، ۱ mA جریان درین، و ۴ V ولت در درین بدست آید. ترانزیستور دارای $V_t = ۲$ V، $k'_n (\frac{W}{L}) = ۲\text{mA/V}^۲$ و $\lambda = ۰$ است.
جواب. مقادیر احتمالی برای R_{G1} و R_{G2} به ترتیب ۶/۲ MΩ و ۳/۹MΩ هستند؛ $R_S = ۸۲۰$ Ω؛ $R_D = ۵/۶$ kΩ می‌باشد. (توجه کنید که این مقادیر، استاندارد و دارای تولرانس ۵% می‌باشند. ضمیمه ج را ملاحظه کنید. نتیجه، ۳/۸۶V در گیت، ۱/۰۳ mA جریان درین، و ۴/۲۳ V ولتاژ درین است.

۵-۱۶ مدار شکل (۱۶-۵ ت) را تحلیل کنید تا I_D و V_D بدست آید. MOSFET تهی دارای $V_t = -۱$V، $k'_n(W/L) = ۱\text{mA/V}^۲$ و $\lambda = ۰$ است.
جواب. ۰/۱۲۵mA؛ ۶V.



شکل (۱۶-۵ ت)

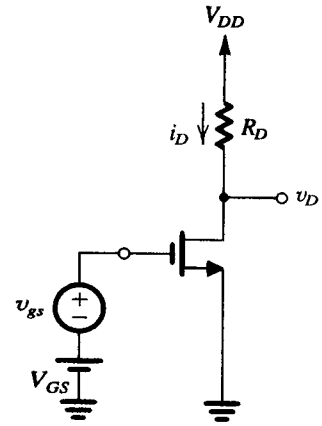
۵-۵ MOSFET به عنوان تقویت کننده

در این بخش، کار MOSFET را به عنوان یک تقویت کننده بررسی می‌کنیم. مدار غیر عملی شکل ۳۱-۵ را در نظر می‌گیریم. در آن یک MOSFET افزایشی با ولتاژ dc ی V_{GS} (که به صورت باتری نشان داده شده) بایاس می‌شود، و سیگنال v_{gs} برای تقویت به ورودی اعمال شده است. ولتاژ خروجی در درین بدست می‌آید. به دو دلیل این مدار عملی نیست:

۱- بایاس MOSFET با باتری مجزای V_{GS} بطور مسلم غیر عملی است؛ روش بایاس در بخش بعد مطالعه خواهد شد.

۲- مقاومت R_D در مدار درین استفاده شده است. چون بیشتر تقویت کننده‌های MOSFET در قالب مدارهای مجتمع ساخته می‌شود. مقاومتها در آنها به دشواری تشخیص داده می‌شوند. ترانزیستورهای MOS چنانکه در بخش‌های بعد خواهیم دید، به عنوان قطعات بار استفاده می‌شود.

البته مقدمتاً مدار شکل ۳۱-۵ می‌تواند اساس کار MOSFET را به عنوان یک تقویت کننده نشان دهد.



شکل ۳۱-۵. مدار غیر عملی (ذهنی) MOSFET برای بررسی آن به عنوان یک تقویت کننده

محاسبه نقطه بایاس DC

برای آنکه MOSFET به عنوان یک تقویت کننده کار کند، بایستی در نقطه‌ای در ناحیه اشباع بایاس گردد. این حالت مشابه کار BJT در ناحیه فعال است. برای تعیین بایاس dc یا نقطه کار MOSFET شکل ۳۱-۵، سیگنال v_{gs} را صفر می‌کنیم و جریان درین را از رابطه زیر بدست می‌آوریم:

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_t)^2 \qquad (۵-۳۲)$$

که در آن از مدولاسیون طول کانال صرفنظر کرده‌ایم (یعنی فرض کردیم $\lambda = 0$ باشد). ولتاژ dc ی درین، V_{DS} یا به اختصار V_D (چون S زمین مدار است). چنین خواهد بود:

$$V_D = V_{DD} - R_D I_D \qquad (۵-۳۳)$$

برای اطمینان از کار در ناحیه اشباع، باید داشته باشیم

$$V_D > V_{GS} - V_t$$

بعلاوه، چون ولتاژ درین دارای مؤلفه سیگنال خواهد بود، V_D بایستی به اندازه کافی بزرگتر از $(V_{GS} - V_t)$ باشد تا نوسان سیگنال مورد نظر در این نقطه ممکن باشد. این نکته به زودی با شکل توضیح داده می‌شود.

جریان سیگنال در پایانه درین

اکنون، حالتی را در نظر بگیرید که سیگنال v_{gs} به ورودی اعمال شود، مجموع ولتاژ گیت به سورس لحظه‌ای v_{GS} از رابطه زیر بدست می‌آید:

$$v_{GS} = V_{GS} + v_{gs} \qquad (۵-۳۴)$$

متناظر با آن، جریان لحظه‌ای کل، i_D، می‌شود:

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L}\right) (V_{GS} + v_{gs} - V_t)^2 \qquad (۵-۳۵)$$

$$= \frac{1}{2} k'_n \left(\frac{W}{L}\right) (V_{GS} - V_t)^2 + k'_n \left(\frac{W}{L}\right) (V_{GS} - V_t) v_{gs} + \frac{1}{2} k'_n \left(\frac{W}{L}\right) v^2_{gs}$$

اولین عبارت سمت راست معادله (۵-۳۵) را به عنوان جریان I_D سکون یا جریان dc (معادله ۵-۳۲) می‌شناسیم. عبارت دوم مؤلفه جریان را نشان می‌دهد که با سیگنال ورودی v_{gs} نسبت مستقیم دارد. عبارت آخری مؤلفه جریان است که متناسب با مربع سیگنال ورودی می‌باشد. مؤلفه آخری نامطلوب است زیرا سبب اعوجاج غیرخطی می‌شود. برای کاهش اعوجاج غیرخطی MOSFET، سیگنال ورودی بایستی کوچک باشد:

$$\frac{1}{2} k'_n \left(\frac{W}{L}\right) v^2_{gs} \ll k'_n \left(\frac{W}{L}\right) (V_{GS} - V_t) v_{gs}$$

در نتیجه

$$v_{gs} \ll 2 (V_{GS} - V_t) \qquad (۵-۳۶)$$

چنانچه **شرط سیگنال کوچک** تحقق یابد، از آخرین عبارت معادله (۵-۳۵) چشم‌پوشی کرده و i_D را به صورت زیر بیان می‌کنیم

$$i_D \cong I_D + i_d \qquad (۵-۳۷)$$

که در آن سیگنال جریان i_d از رابطه زیر بدست می‌آید:

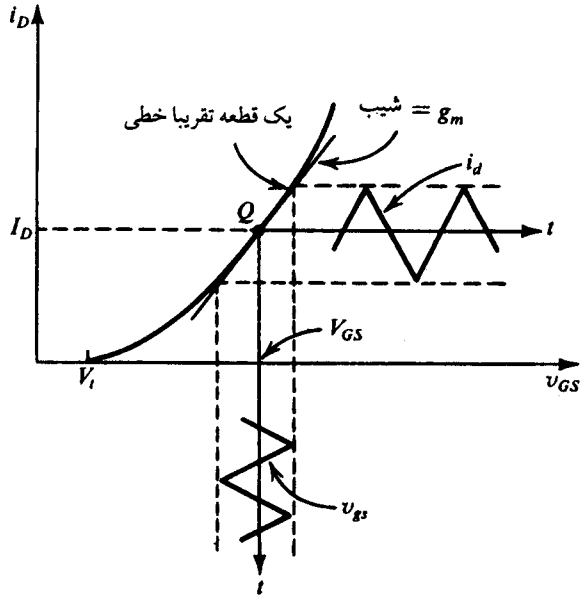
$$i_d = 2K (V_{GS} - V_t) v_{gs}$$

ثابت ربط دهنده i_d و v_{gs}، **هدایت انتقالی** g_m است

$$g_m \equiv \frac{i_d}{v_{gs}} = k'_n \frac{W}{L} (V_{GS} - V_t) \qquad (۵-۳۸)$$

شکل (۵-۳۲) یک تعبیر ترسیمی از کار سیگنال کوچک تقویت‌کننده MOSFET افزایشی ارائه می‌کند. توجه کنید که g_m برابر با شیب مشخصه $i_D - v_{GS}$ در نقطه کار است:

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{GS} = V_{GS}} \qquad (۵-۳۹)$$



شکل ۳۲-۵. عملکرد سیگنال کوچک تقویت‌کنندهٔ MOSFET افزایشی

بهره ولتاژ

با مراجعه به مدار شکل (الف ۳۱-۵)، ولتاژ درین لحظه‌ای کل v_D را به صورت زیر می‌توان نوشت:

$$v_D = V_{DD} - R_D i_D$$

در شرایط سیگنال کوچک داریم:

$$v_D = V_{DD} - R_D (I_D + i_d)$$

که آنرا به صورت زیر می‌توان بازنویسی کرد.

$$v_D = V_D - R_D i_d$$

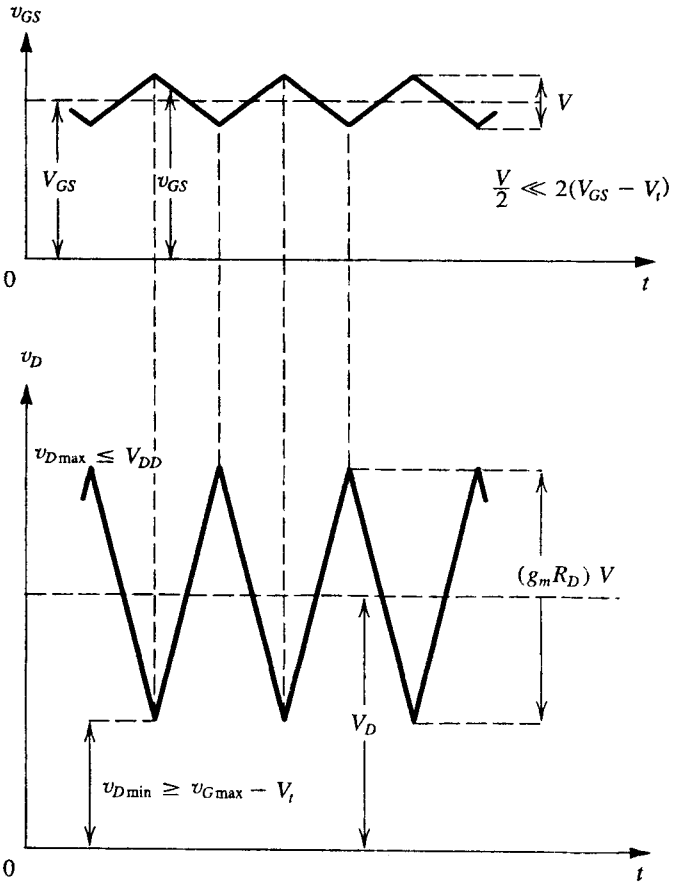
بنابراین مؤلفه سیگنال ولتاژ درین عبارت است از:

$$v_d = - i_d R_D = - g_m R_D v_{gs}$$

که نشان می‌دهد که بهره ولتاژ از رابطه زیر بدست می‌آید:

$$\frac{v_d}{v_{gs}} = - g_m R_D \qquad (۵-۴۰)$$

علامت منفی در معادله (۵-۴۰) نشان می‌دهد که فاز سیگنال خروجی v_d نسبت به سیگنال ورودی v_{gs} دارای ۱۸۰ درجه اختلاف است. این مطلب در شکل (۵-۳۳) بطور ترسیمی نشان داده شده است. برای اطمینان از کار خطی فرض آن است که سیگنال ورودی دارای شکل موج مثلثی با دامنه بسیار کوچکتر از $(V_{GS} - V_t)$ ۲، شرط سیگنال کوچک از معادله (۵-۳۶) باشد. برای کار در ناحیه اشباع بطور مداوم، مینیمم مقدار v_D نباید به اندازه بیش از V_t از مقدار v_G متناظرش کمتر شود. همچنین



شکل ۵-۳۳ . مجموع ولتاژهای لحظه‌ای v_{GS} و v_{DS} برای مدار شکل (الف ۳۱-۵)

ماکزیمم مقدار v_D بایستی کمتر از V_{DD} باشد؛ علاوه بر این FET به ناحیه قطع وارد شده و نوک سیگنال خروجی برش خواهد خورد.

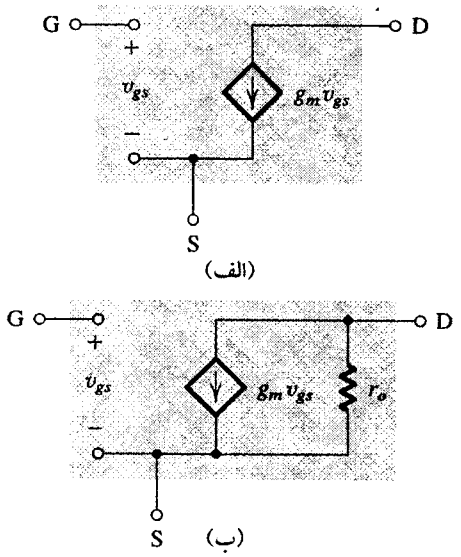
جداسازی تحلیل DC و تحلیل سیگنال

از تحلیل بالا می‌بینیم که در تقریب سیگنال کوچک، کمیتهای سیگنال بر کمیتهای dc قرار می‌گیرند. بطور نمونه، جریان درین کل i_D برابر است با جریان dc ی I_D بعلاوه جریان سیگنال i_d، ولتاژ درین کل برابر با $v_D=V_D+v_d$ است و الی آخر. این امر موجب میشود تا با جداسازی محاسبات dc یا بایاس، از محاسبات سیگنال کوچک، تحلیل و طراحی تا حد زیادی آسان شود. به این ترتیب، وقتی نقطه کار dc ثابت بوجود آید و همه کمیتهای dc محاسبه گردد، در آنصورت می‌توان تحلیل سیگنال را بدون درنظر گرفتن کمیتهای dc انجام داد.

مدلهای مدار معادل سیگنال کوچک

از نظر سیگنال، FET مانند یک منبع جریان کنترل شده با ولتاژ عمل می‌کند. یک سیگنال v_{gs} بین گیت و سورس اعمال می‌شود و جریان $g_m v_{gs}$ در پایانه درین بدست می‌آید. مقاومت ورودی این منبع دارای کنترل، بسیار بزرگ و در حالت ایده‌آل، بی‌نهایت است. مقاومت خروجی - یعنی مقاومت با نظر به درین- نیز بزرگ است، و فرض کرده‌ایم بی‌نهایت باشد. با کنار هم قراردادن اینها به مدار شکل (الف ۳۴-۵) می‌رسیم که عملکرد سیگنال کوچک FET و بنابراین مدل سیگنال کوچک یا مدار معادل سیگنال کوچک را نشان می‌دهد.

در تحلیل یک مدار تقویت‌کننده FET، این قطعه بایستی با مدار معادل شکل (الف ۳۴-۵) جایگزین گردد. بقیه مدار بی‌تغییر باقی می‌مانند بجز **منابع ولتاژ** dc **که با مدارات اتصال کوتاه جایگزین می‌شوند.** این نتیجه برآمده



شکل ۵-۳۴ . مدلهای سیگنال کوچک MOSFET : (**الف**) صرفنظر کردن از وابستگی i_D به v_{DS} در ناحیه اشباع (اثر مدولاسیون طول کانال) و (**ب**) درنظر گرفتن اثر مدولاسیون طول کانال که با مقاومت $r_o = |V_A|/I_D$ مدل شده است.

از این حقیقت است که ولتاژ دو سر یک منبع ولتاژ dcی ایده‌آل، تغییر نمی‌کند و بنابراین همواره ولتاژ سیگنال صفر در دو سر منبع ولتاژ dc وجود خواهد داشت. از مدار بدست آمده برای تحلیل سیگنال دلخواه و محاسبه بهره ولتاژ می‌توان استفاده نمود.

جدی‌ترین مشکل مدل سیگنال کوچک شکل (الف ۳۴-۵) آن است که فرض کرده‌ایم که جریان درین در حالت اشباع، مستقل از ولتاژ درین است، از مطالعه مشخصه‌های MOSFET در اشباع، می‌دانیم که جریان درین به واقع بطور خطی به v_{DS} وابسته نیست. چنین وابستگی‌ای بوسیله مقاومت محدود r_o بین درین و سورس مدل شده است، که مقدار آن به طور تقریبی از رابطه

$$r_o \cong \frac{|V_A|}{I_D} \qquad (۵-۴۱)$$

بدست می‌آید. که $V_A = 1/\lambda$ پارامتر MOSFET است که آنرا می‌توان تعیین و اندازه‌گیری کرد. معمولاً r_o در محدوده ۱۰ تا ۱۰۰۰ kΩ است. این امر موجب می‌شود که مطابق شکل (ب ۳۴-۵) دقت مدل سیگنال کوچک با قرار گرفتن r_o به موازات منبع کنترل دار، بهبود یابد.

توجه به این نکته مهم است که پارامترهای مدل سیگنال کوچک g_m و r_o به نقطه بایاس dc ی FET بستگی دارد. با مراجعه دوباره به شکل (الف ۳۱-۵)، ملاحظه می‌کنیم که از جایگزینی FET با مدل سیگنال کوچک شکل (ب ۳۴-۵)، رابطه بهره ولتاژ بدست می‌آید.

$$\frac{v_d}{v_{gs}} = -g_m (R_D // r_o) \qquad (۵-۴۲)$$

بنابراین، مقاومت خروجی محدود r_o سبب کاهش اندازه بهره ولتاژ می‌شود.

اگر چه تحلیل بالا بر یک ترانزیستور NMOS افزایشی انجام شد، اما نتیجه درباره قطعات PMOS نیز صادق است (k'_n در MOSFETهای تهی با k'_p جایگزین شده). بطور خاص، مدلهای مدار معادل شکل ۳۴-۵ برای هر MOSFET بکار می‌رود. همچنین توجه کنید که مدار معادل (ب ۳۴-۵) با مدل هیبرید πی BJT (در شکل ۳۳-۴) یکسان است با این تفاوت که در MOSFET، چون جریان گیت صفر است $r_\pi = \infty$ می‌باشد.

هدایت انتقالی g_m

اکنون نگاهی دقیقتر به هدایت انتقالی MOSFET می‌اندازیم. که از معادله (۳۸-۵) بدست می‌آید:

$$g_m = k'_n (W/L)(V_{GS} - V_t) \qquad (۵-۴۳)$$

این رابطه بیانگر آن است که g_m به $k'_n = \mu_n C_{ox}$ و نسبت W/L ترانزیستور MOS بستگی دارد. بنابراین برای بدست آوردن هدایت انتقالی نسبتاً بزرگتر، قطعه بایستی کوچک و پهن باشد. همچنین ملاحظه می‌کنیم که در یک قطعه مشخص، هدایت انتقالی با افزونی ولتاژ $V_{eff} = V_{GS} - V_t$ متناسب است مقداری که بوسیله آن ولتاژ بایاس V_{GS} از ولتاژ آستانه V_t افزونتر می‌شود. البته، توجه کنید که افزایش g_m با بایاس قطعه در V_{GS} بزرگتر دارای این اشکال است که نوسان سیگنال ولتاژ مجاز درین کاهش می‌یابد.

با قراردادن $\sqrt{2I_D/k'_n(W/L)}$ (از معادله ۴۳-۵) به جای $(V_{GS}-V_t)$ در معادله (۴۳-۵) رابطه مفید دیگری برای g_m می‌توان بدست آورد. نتیجه چنین است:

$$g_m = \sqrt{2k'_n}\sqrt{W/L}\sqrt{I_D} \qquad (۵-۴۴)$$

این رابطه نشان می‌دهد که:

۱- در یک MOSFET معین، g_m متناسب با ریشه دوّم جریان بایاس dc است.

۲- در یک جریان بایاس معین، g_m با $\sqrt{W/L}$ متناسب است.

برعکس، هدایت انتقالی ترانزیستور پیوندی دوقطبی (BJT) که در فصل ۴ بررسی شد، متناسب با جریان بایاس است و مستقل از ابعاد فیزیکی و هندسی قطعه می‌باشد.

برای درک عمیق مقادیر g_m بدست آمده در MOSFET ها، یک قطعه مدار مجتمع درنظر بگیرید که با $I_D = 1$ mA کار کند و دارای $k'_n = 20\mu A/V^2$ باشد. معادله (۴۴-۵) نشان می‌دهد که به ازای $W/L=1$، $g_m=0.2$ mA/V است که به این ترتیب قطعه‌ای با $W/L=100$ دارای $g_m = 2$ mA/V است. برعکس، یک BJT که جریان کلکتور آن 1mA است دارای $g_m=40$mA/V می‌باشد. برای g_m رابطه مفید دیگری از جایگزینی $2I_D(V_{GS} - V_t)^2$ به جای $k'_n(w/L)$ در معادله (۴۳-۵) بدست می‌آید:

$$g_m = \frac{2I_D}{V_{GS} - V_t} = \frac{I_D}{(V_{GS} - V_t)/2} \qquad (۵-۴۵)$$

بنابراین g_m نسبت جریان بایاس dc به نصف ولتاژ مؤثر $V_{eff} = V_{GS} - V_t$ است. این رابطه بسیار شبیه به رابطه‌ای در BJT است که در آن $g_m = I_C/V_T$ می‌باشد. با یک تفاوت مهم: V_T هرگاه 25mV باشد، مقادیر عملی $(V_{GS} - V_t)/2$ حداقل 0.1V است. بنابراین بار دیگر مشاهده می‌کنیم که g_m در BJT بسیار بزرگتر از MOSFETها است.

البته، با وجود g_m کم MOSFET ها، این قطعات دارای امپدانس ورودی زیاد، ابعاد کوچک، اتلاف توان کم، و سهولت ساخت است.

مثال ۸-۵

شکل (الف ۳۵-۵) یک تقویت‌کننده MOSFET افزایشی مجزا را نشان می‌دهد که سیگنال ورودی v_i از طریق یک خازن بزرگ به آن تزویج (کوپلاژ) شده است و سیگنال خروجی از درین توسط یک خازن بزرگ دیگر به مقاومت بار R_L منتقل می‌شود. می‌خواهیم این مدار تقویت‌کننده را تحلیل کنیم تا بهره ولتاژ سیگنال کوچک و مقاومت ورودی آن بدست آید. ترانزیستور دارای $V_t=1.5$V، $k'_n(W/L)=0.25$mA/V^2، و $V_A = 50$ V است. فرض کنید خازنهای تزویج به اندازه‌ای بزرگ هستند که برای فرکانسهای موردنظر اتصال کوتاه عمل کنند.

حل:

ابتدا نقطه کار dc را به صورت زیر ارزیابی می‌کنیم:

$$I_D = \frac{۱}{۲} \times ۰/۲۵ (V_{GS} - ۱/۵)^۲ \qquad (۵-۴۶)$$

برای ساده‌کردن مسئله از مدولاسیون طول کانال صرفنظر می‌کنیم. چون جریان dc ی گیت صفر است، ولتاژ dc روی R_G ظاهر نمی‌شود. بنابراین $V_{GS} = V_D$ است. با جایگزینی آن در معادله (۴۶-۵) داریم:

$$I_D = ۰/۱۲۵ (V_D - ۱/۵)^۲ \qquad (۵-۴۷)$$

نیز

$$V_D = ۱۵ - R_D I_D = ۱۵ - ۱۰ I_D \qquad (۵-۴۸)$$

از حل معادله (۴۷-۵) و (۴۸-۵) با هم، بدست می‌آید:

$$I_D = ۱/۰۶ \text{ mA} \quad \text{و} \quad V_D = ۴/۴ \text{ V}$$

(توجه کنید که حل دیگر معادله درجه دوم در عمل معنی ندارد)

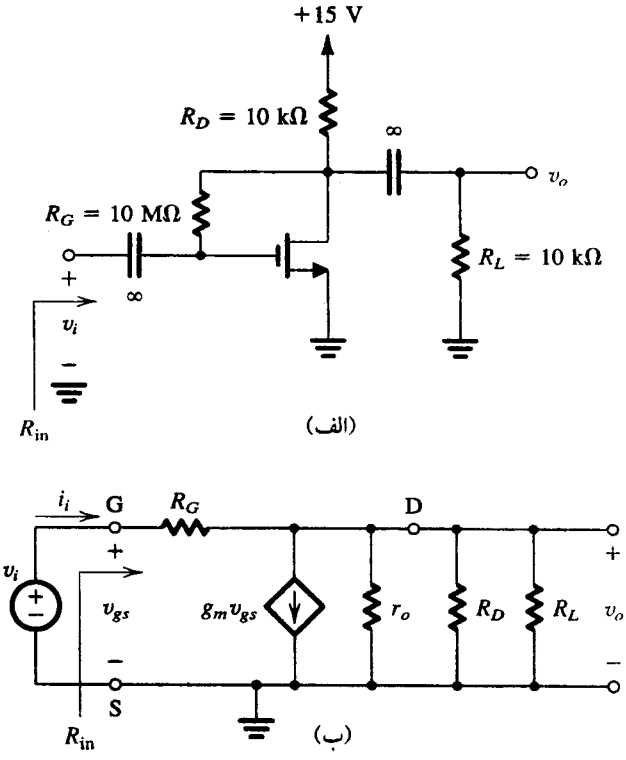
مقدار g_m از رابطه زیر بدست می‌آید:

$$g_m = k'_n \frac{W}{L} (V_{GS} - V_t)$$
$$= ۰/۲۵ (۴/۴ - ۱/۵) = ۰/۷۲۵ \text{ mA/V}$$

مقاومت خروجی r_o از رابطه زیر بدست می‌آید:

$$r_o = \frac{V_A}{I_D} = \frac{۵۰}{۱/۰۶} = ۴۷ \text{ k}\Omega$$

شکل (ب ۳۵-۵) مدار معادل سیگنال کوچک تقویت‌کننده را نشان می‌دهد. چون R_G خیلی بزرگ (۱۰ MΩ) است، جریانی که از آن



شکل ۳۵-۵ . مثال ۸-۵: (الف) مدار تقویت کننده (ب) مدل مدار معادل

می‌گذرد را در مقایسه با منبع دارای کنترل $g_m v_{gs}$، می‌توان نادیده گرفت. بنابراین ولتاژ خروجی را به صورت زیر می‌توانیم بنویسیم:

$$v_o \cong - g_m v_{gs} (R_D // R_L // r_o)$$

چون $v_{gs} = v_i$، بهره ولتاژ برابر است با:

$$\frac{v_o}{v_i} = - g_m (R_D // R_L // r_o)$$
$$= - ۰/۷۲۵ (۱۰ // ۱۰ // ۴۷) = - ۳/۳ \text{ V/V}$$

برای بررسی مقاومت ورودی R_{in}، متوجه می‌شویم که جریان ورودی i_i به صورت زیر داده می‌شود:

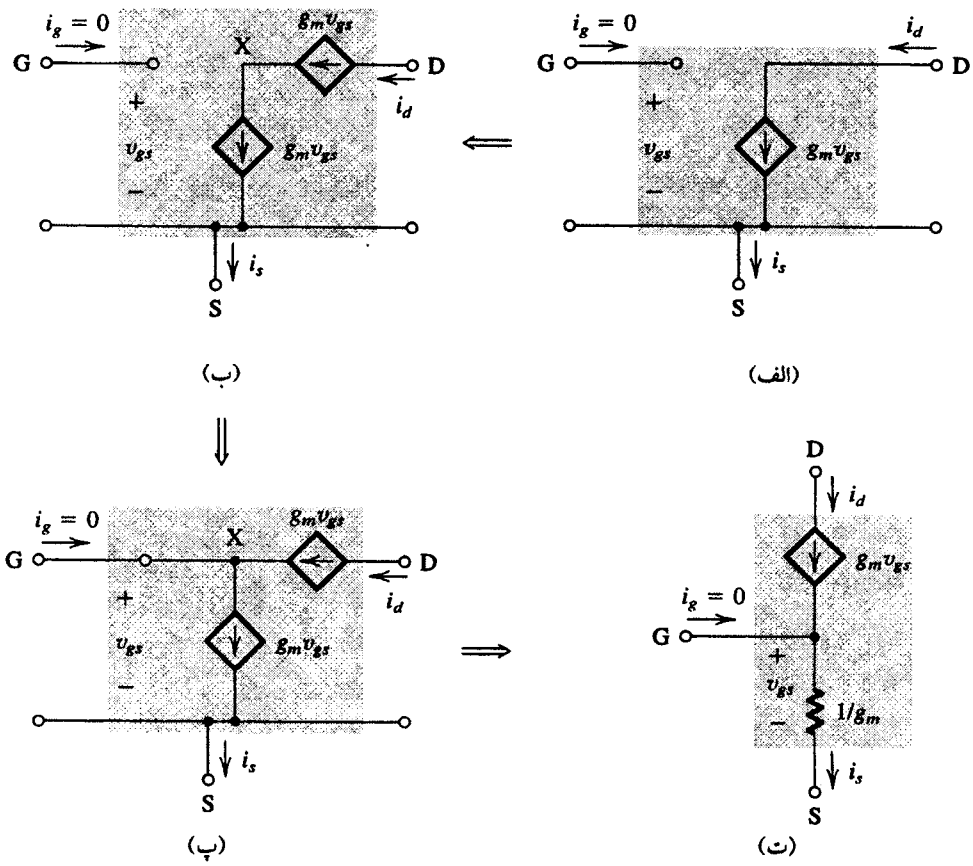
$$i_i = (v_i - v_o) / R_G$$
$$= \frac{v_i}{R_G} \left(۱ - \frac{v_o}{v_i}\right)$$
$$= \frac{v_i}{R_G} [۱ - (- ۳/۳)] = \frac{۴/۳ v_i}{R_G}$$

بنابراین

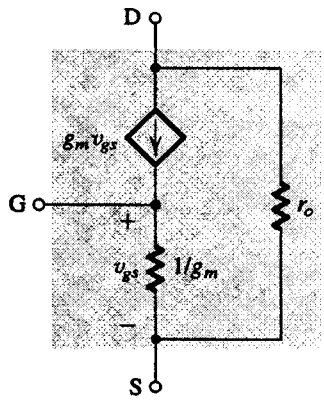
$$R_{in} \equiv \frac{v_i}{i_i} = \frac{R_G}{۴/۳} = \frac{۱۰}{۴/۳} = ۲/۳۳ \text{ M}\Omega$$

مدل مدار معادل T

در اثنای یک تبدیل مدار ممکن است مدل مدار معادل دیگری برای MOSFET ارائه کرد. ارائه چنین مدلی، موسوم به مدل T، در شکل (۳۶-۵) نشان داده شده است. شکل (الف ۳۶-۵) مدار معادلی را نشان می‌دهد که در بالا بدون r_o بررسی شد. در شکل (ب ۳۶-۵) یک منبع جریان دوم $g_m v_{gs}$ به طور سری به منبع جریان دارای کنترل اضافه شده است. این افزودن بطور مسلم جریانهای پایانه را تغییر نمی‌دهد و بنابراین مجازاست. گره مدار بوجود آمده جدید، یعنی X به پایانه G گیت در شکل (پ ۳۶-۵) متصل شده است. ملاحظه می‌کنید که جریان گیت تغییر نمی‌کند؛ یعنی برابر با صفر باقی می‌ماند و بنابراین این اتصال نمی‌تواند مشخصه‌های پایانه را تغییر دهد. اکنون متوجه می‌شویم که یک منبع جریان $g_m v_{gs}$ داریم که به دو سر ولتاژ کنترل v_{gs} متصل شده است. این منبع دارای کنترل را با یک مقاومت می‌توانیم جایگزین کنیم تا وقتی این مقاومت جریانی به اندازه منبع بکشد بنابراین مقدار مقاومت برابر با $v_{gs}/g_m v_{gs} = ۱/g_m$ می‌شود. این جایگزینی در شکل (ت ۳۶-۵) نشان داده شده که مدل دیگری را نشان می‌دهد. ملاحظه می‌کنید که i_g همچنان صفر، و برابر با i_s است و همه با مدل اصلی شکل (الف ۳۶-۵) یکسان می‌باشند. مدل شکل (ت ۳۶-۵) نشان می‌دهد که مقاومت بین گیت و سورس با نگاه سورس برابر $۱/g_m$ است. این مورد و مدل T در بسیاری موارد سودمند است، توجه کنید که مقاومت بین گیت و سورس، با نظر به درون گیت، بی‌نهایت می‌باشد. مدل T بدون r_o ارائه شد. چنانچه لازم باشد، در شکل (ت ۳۶-۵) بین درین و سورس مقاومت r_o قرار می‌گیرد. همانطور که در شکل ۳۷-۵ نشان داده شده است.



شکل ۳۶-۵. توسعه مدل مدار معادل T برای FET، برای راحتی کار r_o حذف شده اما می‌توان آنرا بین D و S در مدل T (ت) اضافه کرد.



شکل ۳۷-۵. مدل T ی MOSFET به همراه مقاومت درین به سورس r_o

مدل‌سازی اثر بدنه

همانگونه که در بخش ۲-۵ آمده، اثر بدنه در MOSFET وقتی اتفاق می‌افتد که بدنه به سورس متصل نیست اما به منبع تغذیه منفی مدار مجتمع وصل است. در اینصورت ماده (بدنه) به زمین سیگنال متصل است اما چون سورس به زمین سیگنال وصل نیست، ولتاژ سیگنال v_{bs} بین بدنه (B) و سورس (S) ظاهر می‌شود. در بخش (۲-۵) گفته شد که ماده بدنه به عنوان «گیت سورس» در MOSFET و خیلی شبیه به گیت FET عمل می‌کند. بنابراین سیگنال v_{bs} موجب مؤلفه جریان درین می‌شود که به صورت $g_{mb}v_{bs}$ خواهیم نوشت، که در آن g_{mb} **هدایت انتقالی بدنه** است و به صورت زیر تعریف می‌گردد:

$$g_{mb} \equiv \frac{\partial i_D}{\partial v_{BS}} \Bigg|_{\substack{v_{GS} = \text{ثابت} \\ v_{DS} = \text{ثابت}}} \qquad (۵-۴۹)$$

به خاطر داشته باشید که i_D به v_{BS} بستگی دارد چون V_t به V_{BS} وابسته است. از معادله‌های (۱۸-۵)، (۳۰-۵) و (۳۸-۵) استفاده می‌شود تا بدست آید:

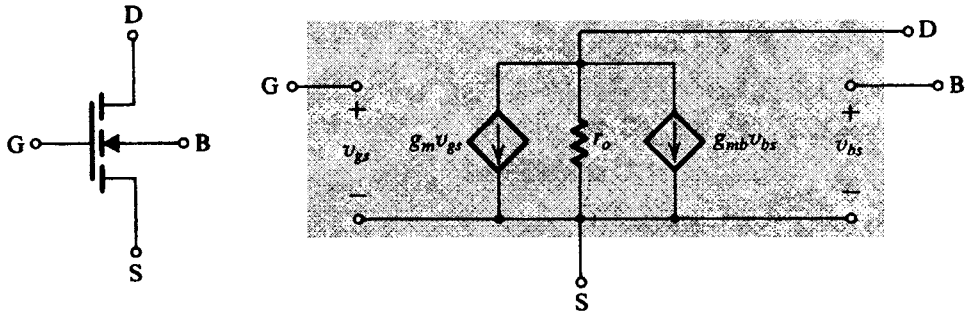
$$g_{mb} = \chi g_m \qquad (۵-۵۰)$$

که در آن

$$\chi \equiv \frac{\partial V_t}{\partial V_{SB}} = \frac{\gamma}{۲\sqrt{۲\phi_f + V_{SB}}} \qquad (۵-۵۱)$$

معمولاً مقدار χ در محدوده ۰/۱ تا ۰/۳ است.

شکل (۳۸-۵) مدل MOSFET افزایشی را نشان می‌دهد که شامل منبع کنترل‌دار $g_{mb}\ v_{bs}$ است که اثر بدنه را مدل‌سازی می‌کند. از این مدل وقتی استفاده می‌شود که ماده بدنه به سورس متصل نباشد.



شکل ۳۸-۵ . مدل مدار سیگنال کوچک در یک MOSFET که در آن بدنه به سورس متصل نیست.

تمرینها

۵-۱۷ در تقویت کننده شکل ۳۱-۵، فرض کنید $V_{DD} = ۵V$، $R_D = ۱۰k\Omega$، $V_t = ۱V$، $k'_n = ۲۰\mu A/V^۲$، $W/L = ۲۰$، $V_{GS} = ۲V$، و $\lambda = ۰$ باشد. (الف) جریان dcی I_D و ولتاژ dcی V_D را بدست آورید. (ب) g_m را بیابید. (پ) بهره ولتاژ را پیدا کنید. (ت) اگر $v_{gs} = ۰/۲\sin\omega t$ باشد، v_d را بدست آورید با فرض این که تقریب سیگنال کوچک شده است. بیشترین و کمترین مقدار v_d چقدر است؟ (ث) از معادله (۳۵-۵) برای تعیین مؤلفه‌های مختلف i_D می‌توان استفاده کرد، با استفاده از $(\sin^۲\omega t = \frac{۱}{۲} - \frac{۱}{۲}\cos ۲\omega t)$، نشان دهید که تغییر ناچیزی در I_D بوجود می‌آید (چه مقدار؟) و مولفه هارمونیک دوم (مولفه‌ای با فرکانس ۲ω) وجود دارد، دامنه مؤلفه هارمونیک دوم به عنوان درصدی از دامنه سیگنال مبنا بیان شود.

جواب. (الف) $۲۰۰\mu A$ ، ۳V ؛ (ب) ۰/۴mA/V ؛ (پ) −۴V/V ؛ (ت) ولت $v_d = -۰/۸\sin\omega t$ ، ۲/۲V ، ۳/۸V ؛ (ث) ۵% ، $i_D = (۲۰۴ + ۸۰\sin\omega t - ۴\cos ۲\omega t)\mu A$

۵-۱۸ یک ترانزیستور NMOS افزایشی دارای $\mu_n C_{ox} = ۲۰\ \mu A/V^۲$، $W/L = ۶۴$، $V_t = ۱\ V$، و $\lambda = ۰/۰۱$ است، g_m و r_o را بدست آورید وقتی (الف) ولتاژ بایاس $V_{GS} = ۲\ V$ باشد و (ب) جریان بایاس $I_D = ۱mA$ باشد.

جواب. (الف) ۱/۲۸ mA/V، ۱۵۶ kΩ؛ (ب) ۱/۶ mA/V؛ ۱۰۰ kΩ

۵-۱۹ یک MOSFET افزایشی در $I_D = ۰/۱mA$ کار می‌کند و دارای $g_m = ۱mA/V$ است. اگر $k'_n = ۵۰\mu A/V^۲$ باشد، نسبت W/L مورد نیاز چقدر است؟

جواب. ۱۰۰

۵-۲۰ با توجه به $\mu_p = ۰/۴\mu m$، نسبت عرض ترانزیستور PMOS به عرض ترانزیستور NMOS را بدست آورید طوری که دو قطعه در شرایط بایاس یکسان دارای g_m مساوی باشند. دو قطعه دارای طول کانال مساوی‌اند و با فرآیند CMOS یکسان ساخته شده‌اند.

۵-۲۱ در یک ترانزیستور NMOS با $۲\phi_f = ۰/۶V$، $\gamma = ۰/۵V^{۱/۲}$ و $V_{SB} = ۴V$. مقدار $\chi \equiv g_{mb}/g_m$ را پیدا کنید.

جواب. ۰/۱۲ ❑

۵-۶ بایاس مدارهای تقویت کننده MOS

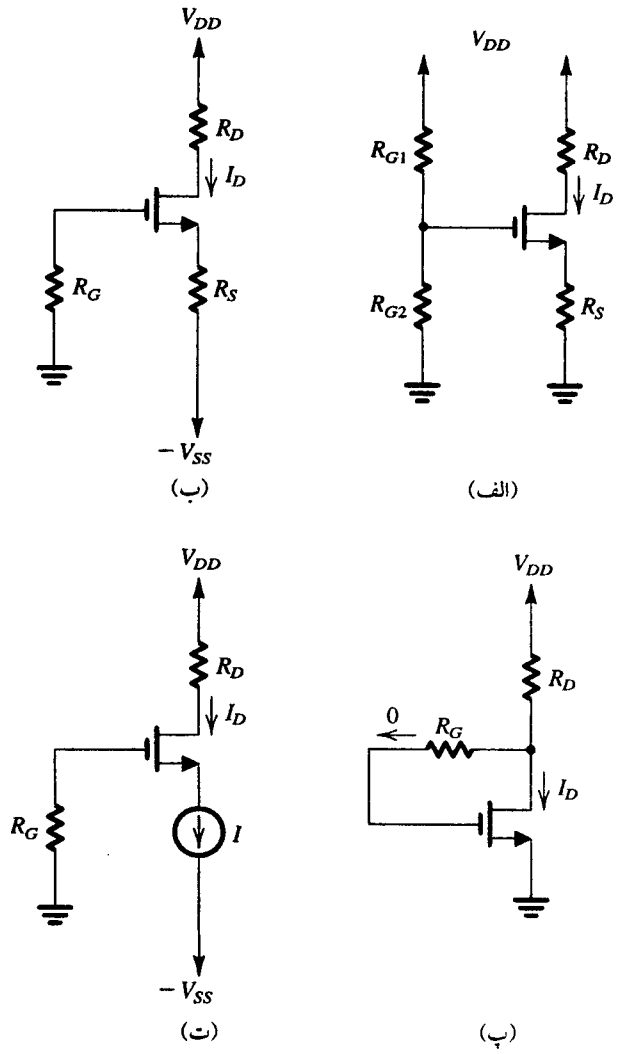
همانگونه که در بخش قبل ذکر شد، گام اساسی در طراحی تقویت کننده MOSFET ، ایجاد نقطه کار dc مناسب برای ترانزیستور است. این مرحله را طراحی بایاس یا تغذیه می‌نامند. نقطه کار dc یا نقطه بایاس با I_D جریان پایدار و قابل پیش بینی جریان dcی درین و ولتاژ dcی سورس درین مشخص می‌شود. ولتاژ سورس درین برای کار در حالت اشباع به ازای هر سیگنال ورودی لازم است .

در بخش ۱۰-۴، روشهای طراحی بایاس تقویت کننده BJT مجزا را بررسی کردیم. همه این روشها برای بایاس تقویت کننده‌های MOSFET مجزا قابل استفاده است. به دلیل آشنایی خواننده با این روشها و نیز به دلیل متداول نبودن تقویت کننده‌های MOS مجزا، این مباحث را به تفصیل بحث نمی‌کنیم. در عوض به اختصار درباره چگونگی بایاس مدار مجزا مطالبی خواهیم آورد و بقیه بخش را به روشهای بایاس تقویت کننده MOS در مدار مجتمع اختصاص می‌دهیم.

۵-۶-۱ بایاس تقویت کننده‌های MOSFET مجزا

شکل ۳۹-۵ چهار روش بایاس MOSFET در طراحی مدار مجزا نشان می‌دهد. در مقایسه با موارد مشابه آنها در BJT ، طراحی شبکه‌های بایاس شکل ۳۹-۵ تا حدی ساده‌تر است زیرا جریان گیت $I_G = ۰$ است. از سوی دیگر، V_{GS} تغییرات بیشتری نسبت به V_{BE} در BJT دارد که معمولاً در محدوده کوچکی تغییر می‌کند.

مدار شکل الف ۳۹-۵ روش مرسوم و کلاسیک مدار است که با یک منبع تغذیه شده است. مقسم ولتاژ $R_{G۱}$ ، و $R_{G۲}$ ولتاژ ثابتی در گیت ایجاد می‌کند و مقاومت خود بایاس R_S ، به سورس وصل شده است. چون $I_G = ۰$ ، پس $R_{G۱}$ و $R_{G۲}$ می‌توانند خیلی بزرگ (در حدود MΩ) انتخاب شوند و موجب شوند مقاومت ورودی تقویت کننده برای یک منبع سیگنال (با تزویج یک خازن به گیت) بزرگ باشد (که این مزیتی نسبت به BJT است). مقاومت R_S مانند مشابهش R_E در BJT ، فیدبک منفی ایجاد می‌کند، و به ثبات I_D کمک می‌کند. سرانجام، R_D هم تا حد ممکن بزرگ انتخاب می‌شود تا بهره زیاد بدست دهد و هم به اندازه کافی کوچک انتخاب می‌شود تا نوسان سیگنال مطلوب در درین ممکن باشد و



شکل ۳۹-۵ . مدارهای بایاس MOSFET در تقویت کننده‌های مجزا **(الف)** روش مرسوم با بکارگیری یک ولتاژ ثبات درگیت و مقاومت خود بایاس R_S ؛ **(ب)** نسخه خلاصه شده (الف) وقتی دو منبع تغذیه در دسترس‌اند ؛ **(پ)** یک مدار ساده و جالب با استفاده از منبع جریان ثابت ؛ **(ت)** مدار سورس مشترک با مقاومت فیدبک با استفاده از مقاومت R_G

MOSFET همواره در اشباع باقی بماند. توجه کنید که این مدار در مثال ۴-۵ تحلیل شد.

وقتی دو منبع تغذیه در دسترس باشند، که معمولاً هم چنین است، روش بایاس مانند شکل ب ۳۹-۵ تا حدی ساده‌تر می‌باشد. اساس مدار همان است که در شکل الف ۳۹-۵ ملاحظه می‌شود. مقاومت R_G زمین dc ی گیت را ایجاد می‌کند و مقاومت ورودی زیادی برای منبع سیگنالی که با خازن به گیت اعمال می‌شود، فراهم می‌سازد.

یک روش ساده‌تر و راحت‌تر بایاس در شکل (پ ۳۹-۵) نشان داده شده است. در اینجا، یک منبع جریان ثابت I پایانه سورس را تغذیه می‌کند؛ و $I_D=I$ را ایجاد می‌کند. به زودی مدارهای MOSFET را بررسی می‌کنیم که با منابع جریان ثابت کار می‌کنند. مقاومت‌های R_G و R_D همان وظایفی را دارند که در دو مدار قبل توضیح داده شد.

در پایان، مدار شکل ت ۳۹-۵ دارای مقاومت فیدبک بزرگ R_G است که سبب مساوی شدن ولتاژ dc گیت با ولتاژ درین می‌گردد (زیرا $I_G=0$ است). **سیگنال ورودی می‌تواند با تزویج خازنی به گیت اعمال شود و** خروجی از درین گرفته شود و در نتیجه یک تقویت کننده سورس مشترک ساده شکل می‌گیرد، در مثال ۸-۵ چنین مداری را مطالعه کردیم. مشاهده می‌کنید که تغییرات سیگنال خروجی بایستی در جهت منفی تا $|V_t|$ محدود گردد، با این وجود ولتاژ درین به پایین‌تر از $V_{GS}-V_t$ افت می‌کند و قطعه از ناحیه اشباع خارج می‌شود. در پایان توجه کنید که اگرچه مدارهای شکل ۳۹-۵ برای قطعه کانال n است، اما روش بالا را به راحتی برای MOSFET کانال p می‌توان بکاربرد.

تمرین‌ها

۵-۲۲ مدار شکل ب ۳۹-۵ را برای یک MOSFET را طوری طراحی کنید که $k'_n(W/L)=0/5\ \text{mA/V}^2$ و $V_t=2\text{V}$ ، و از دو منبع $\pm 10\text{V}$ استفاده کند طوری طراحی کنید که $I_D=1\text{mA}$ و نوسان سیگنال درین $\pm 2\text{V}$ باشد. برای سیگنالی که با تزویج خازنی به گیت وارد می‌شود، مقاومت ورودی مورد نیاز $1\text{M}\Omega$ باشد. فرض کنید $\lambda=0$ است.

جواب. $R_D=10\text{K}\Omega$ ، $R_S=6\text{K}\Omega$ ، $R_G=1\text{M}\Omega$

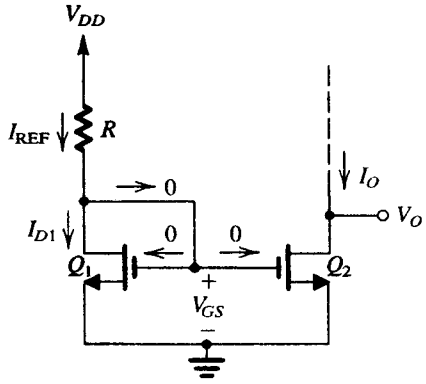
۵-۲۳ در مدار مثال ۲۲-۵ ، تغییر در جریان درین را بدست آورید وقتی این MOSFET با دیگری جانشین شده باشد که در آن $V_t=3\text{V}$ باشد.

جواب. -14% ❑

۵-۶-۲ روش بایاس در تقویت کننده‌های MOS مدار مجتمع

اساس فلسفه : مدارهای شکل ۳۹-۵ برای بایاس تقویت کننده‌های MOSFET ساخته شده در یک مدار مجتمع (IC) مناسب نیستند. زیرا در آن از مقاومت‌های زیادی استفاده می‌شود. در طراحی مدار مجتمع MOS ، استفاده از مقاومت‌ها توصیه نمی‌شود، چون برای یک مقاومت حتی متوسط، سطح نسبتاً وسیعی از تراشه سیلیکون نیاز است و بنابراین از نظر اقتصادی گران است. هزینه بر اساس " قیمت واقعی سیلیکون" است. بعلاوه، بدون مراحل پرهزینه اضافی مقاومت‌های درون یک IC دارای تولرانس زیادی هستند. در عوض یک MOSFET در سطح کوچکی از یک تراشه IC می‌تواند ساخته شود و شاخصه‌های آن نیز به خوبی قابل کنترل می‌باشد. با توجه به آنچه گفته شد، فلسفه طراحی IC بر اساس به حداقل رساندن مقاومت‌ها و استفاده بیشتر از ترانزیستورها برای کارهای مورد نیاز در طراحی مدارهای الکترونیک است.

دلیل دیگر نامناسب بودن روش بایاس شکل ۳۹-۵ در IC ها آن است که در این مدارها سیگنال ورودی باید با خازن انتقال یابد و سیگنال خروجی نیز به طبقه دیگر یا به بار باید با خازن منتقل گردد. و نیز از خازن‌های کنارگذر باید برای برقراری اتصال زمین ac استفاده نمود. اگرچه خازن‌ها در قالب IC می‌توانند ساخته شوند، اما ملاحظه محدودیت سطح تراشه سبب بوجود آمدن ظرفیت‌هایی تا چند پیکوفاراد، و یا حداکثر چند ده



شکل ۴۰-۵. مداری برای یک MOSFET منبع جریان ثابت

پیکوفاراد می‌شود. این امر بیرون از قاعده و توان استفاده از خازن‌های پرظرفیت کنارگذر و انتقال است. از اینرو روش‌های متفاوت در طراحی IC های MOS و تقویت‌کننده‌های BJT در بخش‌ها و فصل‌های بعد ارائه خواهد شد.

اساس منبع جریان MOSFET. در بایاس تقویت‌کننده‌های IC ی MOS از منبع جریان ثابت استفاده می‌شود. بویژه یک جریان ثابت تولید می‌شود و سپس به مواضع مختلف در IC داده می‌شود تا جریان‌های بایاس dc طبقات مختلف تقویت کننده تأمین شود.

شکل ۴۰-۵ مدار ساده یک منبع جریان ثابت MOS را نشان می‌دهد. قلب مدار ترانزیستور Q_1 است که درین و گیت آن به هم وصل شده‌اند و بنابراین در ناحیه اشباع کار می‌کند. در نتیجه:

$$I_{D1} = \frac{1}{2} k_n' \left(\frac{W}{L}\right)_1 (V_{GS} - V_t)^2 \qquad (۵-۵۲)$$

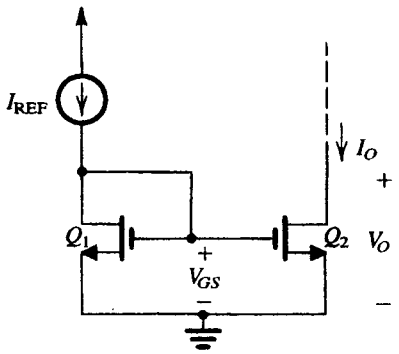
که در آن مدولاسیون طول کانال نادیده گرفته شده (با فرض اینکه $\lambda=0$). جریان درین Q_1 با مقاومت R (که اغلب بیرون IC است) از منبع V_{DD} تأمین می‌شود. چون جریان‌های گیت صفر است:

$$I_{D1} = I_{REF} = \frac{V_{DD} - V_{GS}}{R} \qquad (۵-۵۳)$$

که جریان R، جریان منبع شناخته می‌شود و با I_{REF} نشان داده می‌شود. با در نظر داشتن مقادیر شاخصه‌های Q_1 و مقدار دلخواه I_{REF}، از معادله‌های (۵-۵۲) و (۵-۵۳) برای بدست آوردن مقدار مناسب R می‌توان استفاده کرد. اینک Q_2 را درنظر می‌گیریم: دارای همان V_{GS} ترانزیستور Q_1 است. بنابراین اگر فرض کنیم در حالت اشباع کار می‌کند، جریان درین که جریان خروجی منبع جریان، I_O است خواهد بود:

$$I_O = I_{D2} = \frac{1}{2} k_n' \left(\frac{W}{L}\right)_2 (V_{GS} - V_t)^2 \qquad (۵-۵۴)$$

که در آن مدولاسیون طول کانال را نادیده گرفته‌ایم. با معادله‌های (۵-۵۲) تا (۵-۵۴) می‌توانیم جریان خروجی I_O را به جریان مرجع I_{REF} مرتبط می‌کنیم:



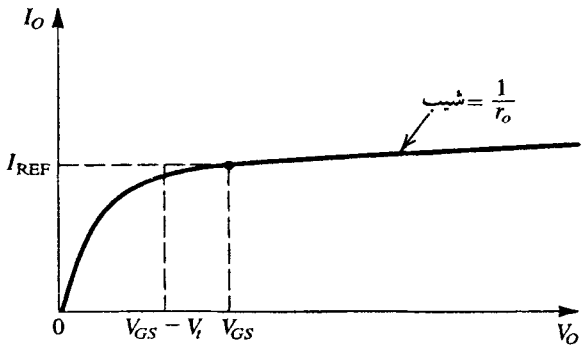
شکل ۴۱-۵. آینه جریان MOSFET

$$\frac{I_O}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1} \qquad (۵-۵۵)$$

این رابطه ساده و جالب است. از اتصال خاص Q_1 و Q_2 جریان خروجی I_O ایجاد می‌شود که با جریان مرجع I_{REF} بوسیله نسبت سیمای دو ترانزیستور به هم مرتبطند؛ یعنی رابطه بین I_O و I_{REF} با ابعاد هندسی ترانزیستور تعیین می‌گردد، در حالت خاص ترانزیستورهای یکسان، $I_O=I_{REF}$، و مدار به سادگی جریان مرجع را در پایانه خروجی عکس می‌کند. جریان مداری شامل Q_1 و Q_2، **آینه جریان** نامیده می‌شود، نامی که به نسبت ابعاد قطعه ارتباطی ندارد.

شکل ۴۱-۵ مدار آینه جریان مرجع را نشان می‌دهد که برای تفهیم بهتر جریان ورودی از یک منبع جریان تهیه شده است. بهره جریان یا نسبت انتقال جریان در آینه جریان از معادله ۵۵-۵ بدست می‌آید. خوانند مدار آینه جریان با BJT ها را در شکل ب ۴۲-۴ بخاطر دارد. در پایان، باید دقت شود که مدار ۴۱-۵ صورت اساسی مدارهای آینه جریان است: در فصل ۶ مدار آینه جریان پیچیده‌تری با MOS و BJT ارائه خواهد شد. در طراحی تقویت‌کننده‌های IC، آینه های جریان اساسی‌ترین قسمت هستند.

اثر V_O بر I_O. در مباحث بالا درباره کار منبع جریان شکل (۴۰-۵)، فرض کردیم که Q_2 در حالت اشباع کار می‌کند. بطور مسلم اگر قرار باشد Q_2 جریان ثابتی در خروجی ایجاد کند، باید در ناحیه اشباع کار کند. برای اطمینان از اینکه Q_2 در حالت اشباع است، مداری که درین Q_2 به آن متصل



شکل ۴۲-۵. مشخصه خروجی منبع جریان شکل ۴۰-۵ و آینه جریان شکل ۴۱-۵ وقتی Q_1 و Q_2 یکسان و منطبق‌اند.

است باید ولتاژ درین V_O را ایجاد کند طوری که در رابطه زیر صدق کند:

$$V_O \geq V_{GS} - V_t \qquad (۵-۵۶)$$

به بیان دیگر، منبع جریان در ولتاژهای V_O به اندازه $|V_t|$ ولت کمتر از V_{GS} بطور صحیح کار خواهد کرد. اگرچه پیش از این صرفنظر کرده بودیم مدولاسیون طول کانال اثر بسزایی بر کار منبع جریان دارد. برای سادگی بیشتر قطعات Q_1 و Q_2 را یکسان فرض کنید. فقط در حالتی از V_O که دو قطعه V_{DS} یکسانی دارند یعنی در $V_O=V_{GS}$، I_O جریان درین Q_2، با جریان Q_1 یعنی I_{REF} برابر خواهد بود. با افزایش V_O به بیش از این مقدار، I_O متناسب با افزایش مقاومت خروجی r_{o2} ی Q_2، افزایش می‌یابد. این موضوع در شکل ۴۲-۵، با نمایش I_O در مقابل V_O نشان داده شده است. مشاهده می‌کنید که چون Q_2 با V_{GS} ثابت که با عبور I_{REF} گذرنده از قطعه Q_1 تعیین می‌شود کار می‌کند، منحنی شکل ۴۲-۵ منحنی مشخصه i_D-V_{DS} منحنی Q_2 به ازای V_{GS} برابر با مقدار ویژه V_{GS} است.

بطور خلاصه، منبع جریان شکل ۴۰-۵ آینه جریان شکل ۴۱-۵ دارای مقاومت خروجی R_o است:

$$R_O = \frac{\Delta V_O}{\Delta I_O} = r_{o2} = \frac{V_{A2}}{I_O} \qquad (۵-۵۷)$$

که در آن I_O از معادله (۵-۵۴) بدست می‌آید و V_{A2} ولتاژ ارلی Q_2 است. همچنین بیاد داشته باشید که V_A با طول کانال ترانزیستور متناسب است؛ از اینرو برای بدست آوردن مقادیر مقاومت خروجی بزرگ باید در طراحی منابع جریان از ترانزیستورهای با کانال‌های طولانی استفاده شود.

مثال ۹-۵

داریم $V_{DD}=5V$ و $I_{REF}=100\mu A$. می‌خواهیم مدار شکل (۴۰-۵) را طوری طراحی کنیم که جریان خروجی $100\mu A$ باشد. R را بیابید اگر Q_1 و Q_2 در تطابق باشند، طول کانال آنها $10\mu m$، عرض کانالشان $100\mu m$، $V_t=1V$، $k'_n=20\mu A/V^2$ باشد. کمترین مقدار ممکن V_O چقدر است؟ فرض کنید که در اثر فناوری ساخت یک ولتاژ ارلی بوجود آید به صورت $V_A=10L$ که در آن L برحسب میکرون و V_A برحسب ولت است. مقاومت خروجی منبع جریان را بدست آورید. همچنین تغییر در جریان خروجی بدست آمده از ۳V تغییر در V_O را بدست آورید.

حل:

$$I_{D1} = I_{REF} = 100 = \frac{1}{2} \times 20 \times \frac{100}{10} (V_{GS} - 1)^2$$

درنتیجه

$$V_{GS} = 2\ V$$

$$R = \frac{5 - 2}{100\mu A} = 30k\Omega$$

$$V_{Omin} = V_{GS} - V_t = 2 - 1 = 1\ V$$

در ترانزیستورهای استفاده شده، $L=10\mu m$ است. بنابراین

$$V_A = 10 \times 10 = 100V$$

$$r_o = \frac{100\ V}{100\mu A} = 1\ M\Omega$$

جریان خروجی در $V_O=V_{GS}=2V$ برابر با $100\mu A$ خواهد بود. اگر V_O به اندازه ۳V+ تغییر کند، تغییر متناظر در I_O خواهد بود:

$$\Delta I_O = \frac{\Delta V_O}{r_o} = \frac{+3\ V}{1\ M\Omega} = +3\ \mu A$$

یا ٪۳

تمرین

۵-۲۴ در منبع جریان مثال ۹-۵، فرض کنید فقط با تغییر W_2، بخواهیم دو برابر جریان خروجی (مثلاً بدست آوردن، $I_O = 200\mu A$) را بدست آوریم. مقدار W_2 چقدر باید باشد؟ مقاومت خروجی منبع جریان در طراحی مجدد چقدر باید باشد؟ جریان خروجی در $V_O=+5V$ را بدست آورید.

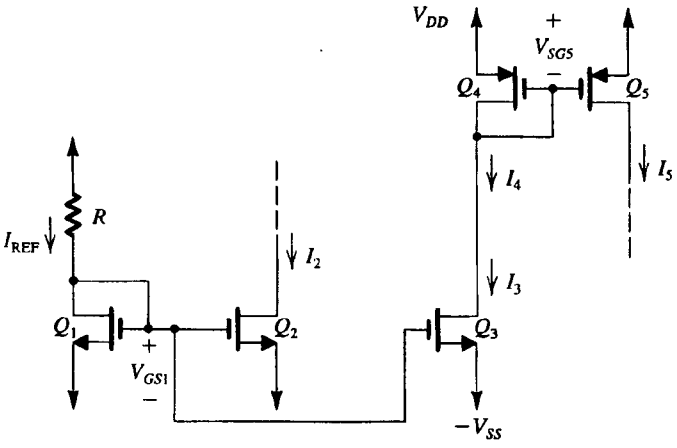
جواب. $200\mu m$، $0/5M\Omega$، $206\ \mu A$ ❑

مدارهای کشش جریان

همانگونه که پیش از این گفته شد، وقتی یک جریان ثابت ایجاد شد، باید عیناً دیگرسازی شود، تا جریان‌های بایاس dc برای طبقات مختلف تقویت‌کننده در یک IC بدست آید. بطور مسلم آینه‌های جریان برای انجام این کار مناسب است. شکل ۴۳-۵ یک مدار ساده کشش جریان را نشان می‌دهد. در اینجا Q_1 و R جریان مرجع I_{REF} را تعیین می‌کنند. ترانزیستورهای Q_1 و Q_2 و Q_3 یک آینه جریان با دو خروجی بوجود می‌آورند

$$I_2 = I_{REF}\frac{(W/L)_2}{(W/L)_1}$$

$$I_3 = I_{REF}\frac{(W/L)_3}{(W/L)_1}$$



شکل ۴۳-۵. مدار کشش جریان

ولتاژهای درین Q_2 و Q_3 به صورت زیر هستند:

$$V_{D2}, V_{D3} > -V_{SS} + V_{GS1} - V_{tn}$$

که در آن V_{tn} ولتاژ آستانه قطعهٔ کانال n است. این شرط به معنی آن است که V_{D2} و V_{D3} باید حدود یک ولت از ولتاژ منفی منبع تغذیه ($-V_{ss}$) بیشتر باشد.

با نگاهی دوباره به مدار شکل ۴۳-۵، ملاحظه می‌کنیم که جریان I_3 به ورودی جریان آینه اعمال می‌شود. جریان آینه بوسیله قطعات دارای کانال pی Q_4 و Q_5 ساخته می‌شود. این آینه جریان زیر را ایجاد می‌کند:

$$I_5 = \frac{(W/L)_5}{(W/L)_4}$$

که در آن $I_4 = I_3$. برای آنکه Q_5 در اشباع بماند، ولتاژ درین به صورت زیر محدود می‌شود:

$$V_{D5} < V_{DD} - V_{SG5} + |V_{tp}|$$

که در آن V_{tp}، ولتاژ آستانه قطعهٔ کانال p است. درانتها نکته مهم قابل توجه آن است که وقتی Q_2 جریان خروجی I_2 را از بار (که در شکل نشان داده نشده) می‌کشد، Q_5 جریان خروجی I_5 را به درون بار (که نشان داده نشده) هُل می‌دهد. از اینرو Q_5، **چشمه جریان** نامیده می‌شود و در همان حال Q_2 بهتر است **چاهک جریان** نامیده شود. در یک IC، چشمه جریان و چاهک جریان هر دو نیازند.

در فناوری CMOS، وجود ترانزیستورهای کانال p و n، طراحی CMOS را نسبت به NMOS تنها، آسانتر می‌کند.

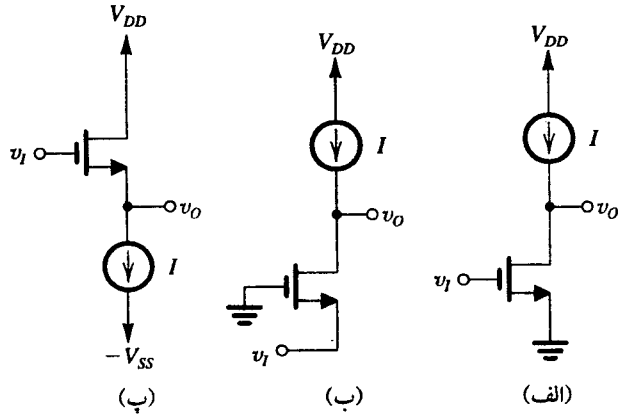
تمرین

۵-۲۵ در مدار شکل ۴۳-۵، فرض کنید $V_{DD}=V_{SS}=5V$، $V_{tn}=1V$، $V_{tp}=-1V$ باشد. طول همه کانال‌ها برابر $10\mu m$ است، $k_n' = 20\mu A/V^2$ و $k_p' = 8\mu A/V^2$ و $\lambda = 0$ می‌باشد. به ازای $I_{REF}=10\mu A$، پهنای همه ترانزیستورها را بدست آورید طوری که $I_2=50\mu A$، $I_3=2.5\mu A$ و $I_5=50\mu A$ باشد. لازم است ولتاژ درین Q_5، $0.5V$ کمتر از منبع تغذیه منفی و ولتاژ درین Q_5، $0.5V$ بیشتر از منبع تغذیه مثبت باشد.

جواب. $W_1=40\mu m$ ؛ $W_2=200\mu m$ ؛ $W_3=10\mu m$ ؛ $W_4=25\mu m$ ؛ $W_5=500\mu m$ ❑

۵-۷ پیکربندی‌های اصلی ICهای تقویت‌کننده‌های یک طبقه

در این بخش پیکربندی‌های اساسی به کار رفته در مدارهای تقویت کننده MOSFET مدار مجتمع را بررسی می‌کنیم. در این مدارها اصول طراحی IC یعنی استفاده از قطعات فعال (MOSFET) برای پیاده کردن همه یا قسمتی از مدار لازم است. در بخش قبل درباره فلسفه استفاده از منبع جریان در بایاس MOSFET مطالبی گفته شد. در اینجا یک گام فراتر رفته، منابع جریان را به جای مقاومت‌های بار استفاده می‌کنیم. تقویت‌کننده‌های بدست آمده را **تقویت‌کننده‌های دارای بار فعال** می‌نامیم. درست عکس حالت عادی که در آن عناصر بار غیرفعال مانند مقاومت‌ها



شکل ۴۴-۵ . اساس (یا استخوان بندی) سه تقویت کننده تک طبقه‌ای مدارمجتمع MOS . **(الف)** منبع جریان؛ **(ب)** گیت مشترک؛ **(پ)** درین مشترک یا سورس پیرو. به کاربرد منابع جریان به مثابه عناصر بار در اینجا با نام تقویت کننده با بار فعال توجه کنید.

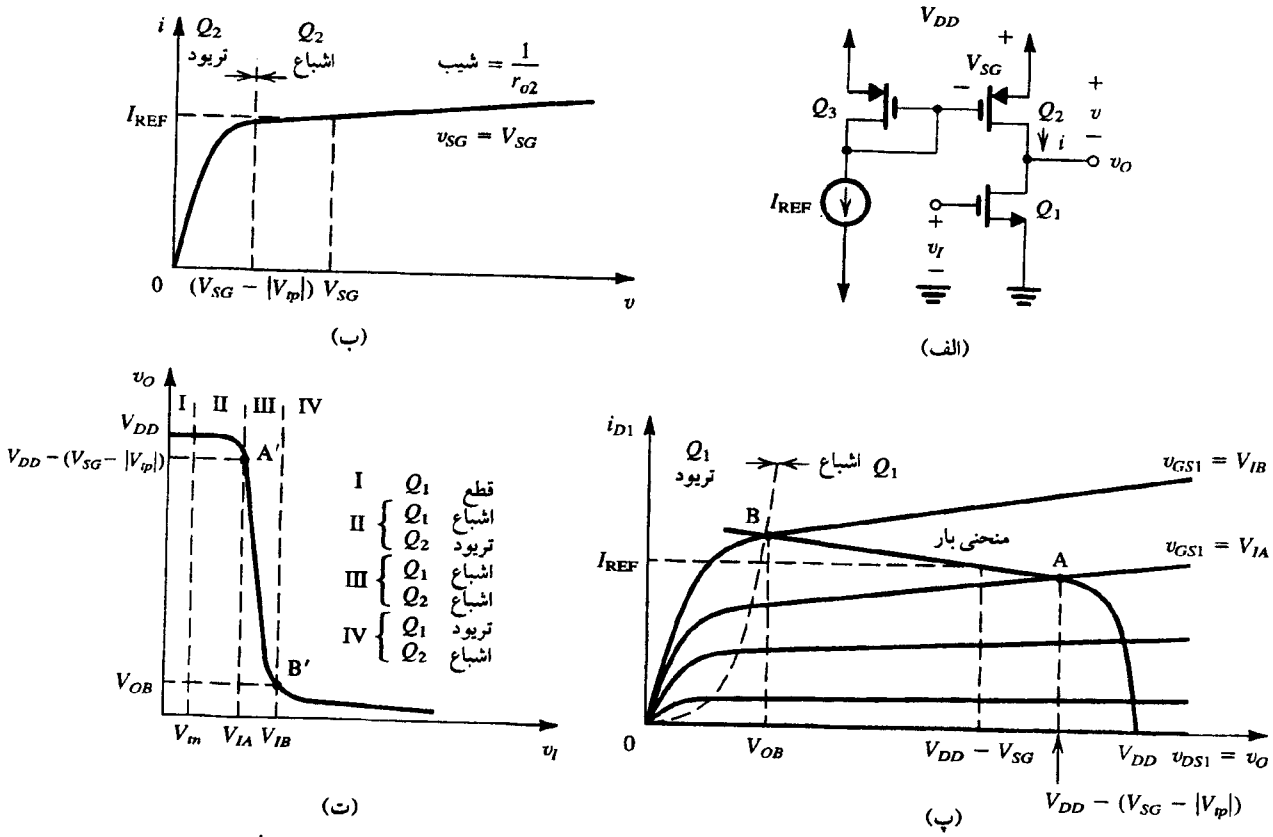
بکار رفته بود.

شکل ۴۴-۵ اساس (یااستخوان‌بندی) پیکربندی اصلی را ارائه می‌کنیم: تقویت کننده سورس مشترک (CS) در (الف)؛ تقویت کننده گیت مشترک در (ب)، تقویت کننده درین مشترک (CD) در (پ). چنانکه بزودی خواهیم دید، منابع جریان با استفاده از مدار ساده بخش قبل بوجود می‌آید. مسلماً در مدارهای CS و CG به منبع جریان نوع PMOS نیاز داریم. اما در سورس پیرو، به مدار NMOS شکل ۴۰-۵ نیاز است. این امر موجب می‌شود که برای ساخت مدارهای تقویت کننده شکل ۴۴-۵، به قطعات کانال n و p و در نتیجه به استفاده از فناوری CMOS نیاز است. امروزه CMOS پرکاربردترین فناوری در طراحی مدارهای مجتمع آنالوگ و دیجیتال می‌باشد.

۵-۷-۱ تقویت‌کننده سورس مشترک CMOS

شکل الف ۴۵-۵ مدار تقویت کننده سورس مشترک CMOS را نشان می‌دهد. این مدار بر اساس مدار شکل (الف ۴۴-۵) و بار منبع جریان I است که با ترانزیستور Q_2 ساخته می‌شود. این ترانزیستور، خروجی آینه جریان متشکل از Q_2 و Q_3 است و با جریان بایاس I_{REF} تغذیه می‌شود. فرض خواهیم کرد که Q_2 و Q_3 از یک نوع هستند، که در اینصورت مشخصه $i-v$ قطعه بار، همان مشخصه شکل ب ۴۵-۵ خواهد بود. این همان مشخصه منحنی i_D-v_{DS} ترانزیستور کانال pی Q_2 در ولتاژ ثابت سورس - گیت V_{SG} می‌باشد. مقدار V_{SG} با عبور جریان بایاس مرجع I_{REF} از Q_3 تعیین می‌شود. مشاهده می‌کنید که مطابق انتظار، Q_2 مانند یک منبع جریان کار می‌کند وقتی در حالت اشباع باشد و این هنگامی بدست می‌آید که $v=v_{SD}$ از $(V_{SG} - |V_{tp}|)$ افزونتر شود. وقتی Q_2 در حالت اشباع است، افزایش مقاومت محدودی را سبب می‌شود:

$$r_{o2} = \frac{|V_{A2}|}{I_{REF}} \qquad (۵-۵۸)$$



شکل ۴۵-۵ . تقویت کننده سورس مشترک CMOS : (الف) مدار؛ (ب) مشخصه $i-v$ بار فعال Q_2؛ (پ) طرح ترسیمی برای تعیین مشخصه انتقال؛ (ت) مشخصه انتقال

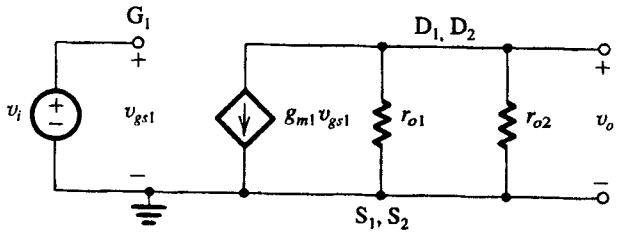
که در آن V_{A2} ولتاژ ارلی Q_2 است. به بیان دیگر، بار منبع جریان ایده‌آل نیست، اما مقاومت خروجی محدود آن با r_o ترانزیستور برابر است.

پیش از تعیین بهره ولتاژ سیگنال کوچک تقویت کننده، بررسی مشخصه انتقال v_O در مقابل v_I آموزنده است. این کار با استفاده از ساختار گرافیکی شکل پ ۴۵-۴ میّسر است. در اینجا مشخصه i_D-v_{DS} ترانزیستور تقویت کننده Q_1 را ترسیم کرده‌ایم و منحنی بار را بر آن قرارداده‌ایم. منحنی بار همان منحنی $i-v$ در شکل ب ۴۵-۵ درامتداد افقی برگردانده‌ایم و به اندازه V_{DD} ولت جابجا کرده‌ایم. اکنون چون $V_{GS1} = v_I$ می‌باشد. هر منحنی i_D-v_{DS} متناظر با مقدار معینی از v_I است. تقاطع هر منحنی با منحنی بار متناسب با مقداری از v_{DS1} است که با v_o برابر می‌باشد. به این ترتیب، نقطه به نقطه مشخصه v_O-v_I را می‌توانیم بدست آوریم. مشخصه‌انتقال نهایی در شکل ت ۴۵-۵ ترسیم شده است. چنانکه می‌بینید، چهار بخش دارد به نام‌های I ، II ، III و IV ، هریک به ازای یکی از چهار ترکیب حالتهای کار Q_1 و Q_2 بدست آمده است. ملاحظه می‌کنید که در نقطه عطف (شکست) A' و B' بر مشخصه انتقال متناظر با نقاط تقاطع A و B در شکل (پ ۴۵-۵) است. مطالعه دقیقتر مشخصه انتقال و جزئیات بیشتر با شما.

تعجب نکنید، برای تقویت کنندگی، بخش III دارای اهمیت است. در ناحیه III ، منحنی انتقال تقریباً خطی و بسیار تند است. و این نشانگر بهره ولتاژ زیاد می‌باشد.در ناحیه III ، ترانزیستور تقویت کننده Q_1 و ترانزیستور بار Q_2 در حالت اشباع کار می‌کند. بهره ولتاژ سیگنال کوچک از جایگزینی Q_1 با مدل سیگنال کوچکش و جایگزینی Q_2 با r_{o2} مقاومت خروجی‌اش بدست می‌آید. مقاومت خروجی Q_2 مقاومت بار Q_1 محسوب می‌شود. به این ترتیب مدل مدار معادل سیگنال کوچک شکل (۴۶-۵) بدست می‌آید. این مدل، تقویت کننده را در هر نقطه بایاس در ناحیه III مشخصه انتقال نشان می‌دهد. دراین ناحیه جریان بایاس Q_1 و Q_2 تقریباً I_{REF} است. با توجه به مدار معادل شکل ۴۶-۵ ، بهره ولتاژ به صورت زیر بدست می‌آید:

$$A_v \equiv \frac{v_o}{v_i} = -g_{m1}(r_{o1} \| r_{o2}) \qquad (۵-۵۹)$$

خیلی زود درمی‌یابیم که بار کل درین معادل ترکیب موازی r_{o1} و r_{o2} است. چون این مقاومت‌ها معمولاً بزرگ هستند، بار Q_1 بزرگ است و بهره ولتاژ



شکل ۴۶-۵ . مدار معادل سیگنال کوچک تقویت کننده سورس مشترک CMOS شکل الف ۴۵-۵ . این مدل وقتی بکار می‌رود که تقویت کننده در نقطه بایاس بر ناحیه III منحنی مشخصه‌اش در شکل ت ۴۵-۵ کار کند.

نیز بزرگ خواهد بود، حتی اگر g_{m1} بزرگ نباشد، در حقیقت، مقاومت بار بزرگ است که سبب جالب بودن بار فعال می‌شود؛ این امر دستیابی به بهره بزرگ را بدون استفاده از مقاومت بزرگ درین (R_D) ممکن می‌سازد. چنین مقاومتی سطح بزرگی از تراشه را می‌گیردو مشکل جدی‌تر از آنکه به منبع تغذیه dc بسیار بزرگ نیاز دارد (بطور مثال، مقدار V_{DD} مورد نیاز برای آنکه $R_D=1M\Omega$ جریان $I_D=0.1mA$ ایجاد کند، حداقل ۱۰۰V می‌باشد).

عبارت بهره در معادل (۵-۵۹) را برحسب شاخصه‌های فیزیکی MOSFET ها می‌توان نوشت و از جایگزینی جریان بایاس T_{REF} با r_{o2} از معادله (۵-۵۸) و برای g_{m1} و r_{o1} داریم:

$$g_{m1} = \sqrt{2k'_n\left(\frac{W}{L}\right)_1 I_{REF}}$$

$$r_{o1} = \frac{|V_{A1}|}{I_{REF}}$$

نتیجه می‌شود که:

$$A_v = -\frac{\sqrt{2k'_n\left(\frac{W}{L}\right)_1}}{\frac{1}{|V_{A1}|}+\frac{1}{|v_{A2}|}}\frac{1}{\sqrt{I_{REF}}} \qquad (5\text{-}60)$$

که از آن درمی‌یابیم که اندازه بهره نسبت معکوس با ریشه دوم جریان بایاس I_{REF} دارد. وقتی $|V_{A1}| \cong |V_{A2}| = A_A$ است، عبارت بهره به صورت زیر خلاصه می‌شود

$$A_v \cong -\sqrt{\frac{1}{2}k'_n\left(\frac{W}{L}\right)_1}\frac{V_A}{\sqrt{I_{REF}}} \qquad (5\text{-}61)$$

تقویت کننده سورس مشترک CMOS برای ارائه بهره ولتاژی بین ۲۰ تا ۱۰۰ طراحی می‌شود. دارای مقاومت ورودی بسیار زیاد است؛ در نتیجه مقاومت خروجی‌اش نیز زیاد می‌باشد.

دو نظریه درباره تقویت‌کننده سورس مشترک شایان ذکر است:

۱ - مدار تحت تأثیر بدنه نیست زیرا پایانه‌های سورس Q_1 و Q_2 از نظر سیگنال زمین محسوب می‌شوند.

۲ - مدار معمولاً قسمتی از یک مدار تقویت کننده بزرگتر است (چنانکه در فصل‌های ۶ و ۱۰ خواهیم دید) و برای اطمینان از کار در ناحیه III مشخصه انتقال، از فیدبک منفی استفاده می‌شود.

مثال ۱۰-۵

تقویت کننده سورس مشترک CMOS شکل (الف ۴۵-۵) را درنظر بگیرید. وقتی $V_{DD} = 10V$ ، $V_{tn} = |V_{tp}| = 1V$ ، $\mu_n C_{ox} \cong 2\mu_p C_{ox} = 20\mu A/V^2$ ، $W = 100\mu m$ ، $L = 10\mu m$ و $|V_A| = 100V$ در قطعات p و n ، $I_{REF} = 100\ \mu A$ است. بهره ولتاژ سیگنال کوچک را بدست آورید.

همچنین مختصات نقاط حدی ناحیه تقویت را در مشخصه انتقال، یعنی A' و B' بدست آورید.

حل:

$$g_{m1} = \sqrt{2k'_n\left(\frac{W}{L}\right)_1 I_{REF}}$$

$$= \sqrt{2\times 20\times\frac{100}{10}\times 100} = 0.2mA/V$$

$$r_{o1} = r_{o2} = \frac{|V_A|}{I_{REF}} = \frac{100V}{100\mu A} = 1M\Omega$$

در نتیجه

$$A_v = -g_{m1}(r_{o1}\,||\,r_{o2})$$
$$= -0.2\ (mA/V)\times 500\ (k\Omega) = -100V/V$$

نقاط حدی ناحیه تقویت کننده در منحنی مشخصهٔ انتقال (ناحیه III) به صورت زیر بدست می‌آید (با توجه به شکل ۴۵-۵):

ابتدا V_{GS} ی Q_2 و Q_4 متناظر با $I_D = I_{REF} = 100\mu A$ را با استفاده از رابطه زیر بدست می‌آوریم:

$$I_D = \frac{1}{2}k'_p\left(\frac{W}{L}\right)_1(V_{SG}-|V_{tp}|)^2\left(1+\frac{V_{SD}}{|V_A|}\right)$$

چون $V_{SD} = V_{SG} << |V_A|$ است، با صرفنظر کردن از ضریب جمله آخر در سمت راست، مطلب را ساده می‌کنیم. نتیجه $V_{SG} = 2.41\ V$ است. بنابراین در نقطه A' داریم:

$$V_{OA} = V_{DD} - (V_{SG} - |V_{tp}|) = 8.59V$$

برای یافتن مقدار متناظر v_1 ، V_{IA} ، یک رابطه برای v_0 در مقابل v_I در ناحیه III بدست می‌آوریم. با توجه به اینکه در ناحیه III ، Q_1 و Q_2 در حالت اشباع هستند و جریانهای برابر عبور می‌دهند، می‌توانیم بنویسیم:

$$i_{D1} = i_{D2}$$

$$\frac{1}{2}k'_n\left(\frac{W}{L}\right)_1(v_1-V_{tn})^2\left(1+\frac{v_o}{|V_A|}\right) = \frac{1}{2}k'_n\left(\frac{W}{L}\right)_2$$
$$(V_{SG}-|V_{tp}|)^2\left(1+\frac{V_{DD}-v_o}{|V_A|}\right)$$

از جایگزینی I_{REF} به جای $\frac{1}{2}k'_p\left(\frac{W}{L}\right)(V_{SG}-|V_{tp}|)^2$ بدست می‌آید:

$$\frac{1}{2}k'_n\left(\frac{W}{L}\right)_1(v_1-V_{tn})^2 = I_{REF}\frac{1+\frac{V_{DD}}{|V_A|}-\frac{v_o}{|V_A|}}{1+\frac{v_o}{|V_A|}}$$

$$\approx I_{REF}\left[1+\frac{V_{DD}}{|V_A|}-\frac{2v_O}{|V_A|}\right]$$

که در آن v_O بر حسب V_I به صورت زیر بیان می‌گردد:

(۵-۶۲)

$$v_o = \frac{|V_A|}{2}\left[1+\frac{V_{DD}}{|V_A|}-\frac{k'_n(W/L)_1}{2I_{REF}}(v_1-V_{tn})^2\right]$$

این رابطه معادله ناحیه III مشخصه انتقال است. اگرچه شامل v_I^2 است اما مهم نیست؛ زیرا ناحیه III خیلی باریک است، v_I خیلی کم تغییر می‌کند و مشخصه تقریباً خطی است. با جایگزین کردن $v_O = V_{OA} = ۸/۵۹V$، مقدار متناظر V_I بدست می‌آید؛ یعنی $V_{IA} = ۱/۹۶V$ است. برای تعیین مختصات B'، ملاحظه می‌کنیم که آنها با $V_{OB}=V_{IB}-V_{tn}$ به هم مرتبطند. از جایگزینی در معادله (۶۲-۵) و حل آن $V_{IB}=۲/۰۴V$ و $V_{OB}=۱/۰۴V$ بدست می‌آید. بنابراین پهنای ناحیه تقویت کننده چنین بدست می‌آید:

$$\Delta V_I = V_{IB} - V_{IA} = ۰/۰۸V$$

و گستره خروجی متناظر می‌شود:

$$\Delta V_O = V_{OB} - V_{OA} = -۷/۵۵V$$

بنابراین بهره ولتاژ سیگنال برابر است با :

$$\frac{\Delta V_O}{\Delta V_I} = \frac{-۷/۵۵}{۰/۰۸} = -۹۴/۴V/V$$

که به مقدار سیگنال کوچک یعنی ۱۰۰- خیلی نزدیک است. به این معنی که ناحیه III منحنی انتقال کاملاً خطی است.

تمرین

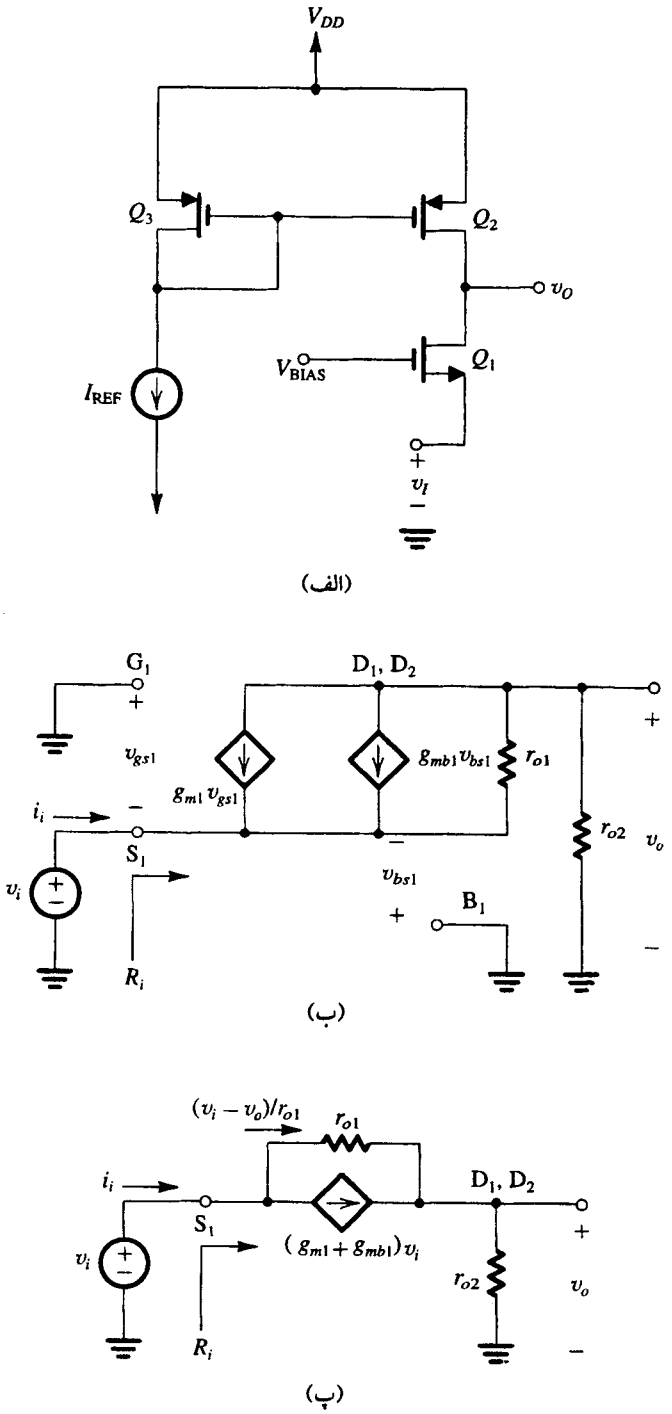
۵-۲۶ یک تقویت کننده سورس مشترک CMOS با تکنولوژی ساخت ۰/۸ μm دارای $W/L = ۱۰۰\ \mu m/۱/۶\mu m$ برای همه ترانزیستورها، $k'_n = ۹۰\ \mu A/V^2$، $k'_p = ۳۰\ \mu A/V^2$، $I_{REF}=۱۰۰\ \mu A$، $V_{An}=۸L(\mu m)$ ولت، $|V_{Ap}| = ۱۲L(\mu m)$ ولت است. پیدا کنید g_{m1}، r_{o1}، r_{o2} و بهره ولتاژ را.

جواب. ۱/۰۶ mA/V ؛ ۱۲۸ kΩ ؛ ۱۹۲ kΩ ؛ -۸۱/۴ V/V ❑

۵-۷-۲ تقویت کننده گیت مشترک CMOS

شکل الف ۴۷-۵ تقویت کننده گیت مشترک CMOS را نشان می‌دهد. توجه کنید که این مدار شبیه مدار سورس مشترک است با این تفاوت که گیت به ولتاژ dc ی ثابت V_{BIAS} وصل شده و سیگنال ورودی به سورس اعمال می‌گردد. ولتاژ سیگنال گیت صفر است، به همین دلیل نیز به این پیکربندی گیت مشترک گفته می‌شود.

با جایگزین کردن Q_1 به جای مدار معادل سیگنال کوچک آن و جایگزینی Q_2 به جای مقاومت خروجی‌اش r_{o2}، مدار معادل تقویت کننده شکل (ب ۴۷-۵) بدست می‌آید. مشاهده کنید که چون سورس Q_1 به زمین وصل نیست، بین بدنه و سورس سیگنال ولتاژ v_{bs1} ظاهر می‌شود، و بنابراین منبع جریان $g_{mb1}v_{bs1}$ را در مدل داریم. بررسی مدل نشان می‌دهد که چون گیت از نظر سیگنال زمین شده است، $v_{gs1} = -v_i$ است. همچنین، بدنه از نظر سیگنال زمین است پس $v_{bs1} = -v_i$ می‌باشد. به این ترتیب منابع کنترل شده برحسب v_i بیان می‌شود و مدار ساده شکل (پ ۴۷-۵) بدست می‌آید که بهره ولتاژ و مقاومت محدودی را از تحلیل آن می‌توان بدست آورد. با



شکل ۴۷-۵ . تقویت کننده گیت مشترک CMOS : (الف) مدار ؛ (ب) مدار معادل سیگنال کوچک؛ و (پ) نسخه خلاصه شده مدار در (ب)

توجه به اینکه جریانی که از r_{o1} می‌گذرد به صورت $(v_i-v_O)/r_{o1}$ می‌تواند بیان گردد، معادله گره، در گره خروجی به صورت زیر نوشته می‌شود:

$$\frac{v_i - v_o}{r_{o1}} + (g_{m1} + g_{mb1})\, v_i = \frac{v_o}{r_{o2}}$$

این معادله را برای بدست آوردن بهره ولتاژ می‌توان به این ترتیب دوباره نویسی کرد:

$$A_v \equiv \frac{v_o}{v_i} = \left(g_{m1} + g_{mb1} + \frac{1}{r_{o1}}\right)(r_{o1} \| r_{o2}) \quad (۶۳-۵)$$

معمولاً $1/r_{o1} << g_{m1}$ است و از آن می‌توان چشم پوشید تا بدست آید:

$$A_v \cong (g_{m1} + g_{mb1})(r_{o1} \| r_{o2}) \qquad (۵-۶۴)$$

ملاحظه می‌کنید که در اینجا عبارت بهره شبیه به معادله بهره در تقویت کننده CS است با دو تفاوت: تقویت کننده CG ناوارونگر است، همچنین بهره‌اش از اثر بدنه تأثیر می‌پذیرد. البته جالب توجه است که در این حالت اثر بدنه بهره را افزایش می‌دهد (حدود ٪۲۰ است چون $g_{mb} = \chi gm$ و $\chi = ۰/۱$ تا ۰/۳ می‌باشد).

مقاومت ورودی R_i ی تقویت کننده CG از مدار معادل شکل پ ۴۷-۵ بدست می‌آید به شرح زیر: جریان ورودی i_i از معادله گره در ورودی بدست می‌آید:

$$i_i = (g_{m1} + g_{mb1})\, v_i + \frac{v_i - v_o}{r_{o1}}$$

از جایگزینی v_O با استفاده از رابطه بهره در معادله (۶۳-۵) نتیجه می‌شود:

$$R_i \equiv \frac{v_i}{i_i} \cong \frac{1}{(g_{m1} + g_{mb1})}\left(1 + \frac{r_{o2}}{r_{o1}}\right) \qquad (۵-۶۵)$$

این رابطه از مقدار مورد انتظار $(1/g_{m1})$ از دو جنبه تفاوت دارد: اول آنکه اثر بدنه که با g_{m1} نشان داده می‌شود با g_{m1} جمع می‌شود و مقاومت ورودی را به آرامی (حدود ٪۲۰) کاهش می‌دهد. دوم، ضریب $(1+\frac{r_{o2}}{r_{o1}})$ نتیجه بزرگ بودن مقاومت بار r_{o2} است. از آنجا که $r_{o2} \cong r_{o1}$، مقاومت ورودی با ضریب ۲ افزایش می‌یابد.

بطور خلاصه، مدار CG بهره‌ای برابر با بهره تقویت کننده CS دارد اما مقاومت ورودی آن خیلی کمتر است.

مهمترین کاربرد تقویت کننده گیت مشترک در مداری موسوم به **مدار کاسکود** است، که در فصل ۶ دربارهٔ آن بحث خواهد شد.

تمرین

۵-۲۷ یک تقویت کننده گیت مشترک CMOS با فناوری ۰/۸ μm دارای $W/L = ۱۰۰\ \mu m/۱/۶\ \mu m$ در همه ترانزیستورها می‌باشد. $k'_n = ۹۰\ \mu A/V^2$، $k'_p = ۳۰\mu A/V^2$، $I_{REF} = ۱۰۰\ \mu A$، $V_{An} = ۸L(\mu m)$ و $|V_{Ap}| = ۱۲L$ است اثر بدنه χ در Q_2 برابر با ۰/۱۵ است. پیدا کنید g_{m1}، g_{mb1}، r_{o1}، r_{o2}، A_v، R_i را.

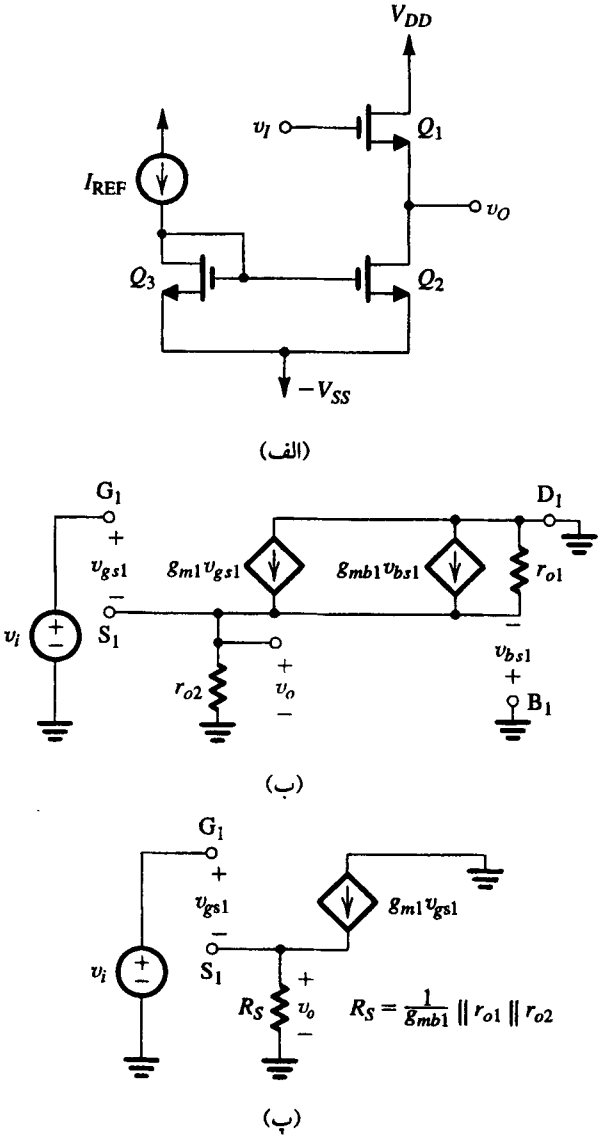
جواب. ۱/۰۶ mA/V ، ۰/۱۶ mA/V ، ۱۲۸ kΩ ، ۱۹۲ kΩ ، ۹۳/۷ V/V ؛ ۲/۰۵ kΩ ❑

۵-۳-۷ پیکربندی درین مشترک یا سورس پیرو

مانند تقویت کننده امیتر پیرو که در بخش ۱۱-۴ بررسی شد، از تقویت کننده سورس پیرو نیز به عنوان یک تقویت میانگیر (واسطه) استفاده می‌شود، اگرچه بهره آن کمتر از واحد است، اما دارای مقاومت خروجی کم است و قادر است یک بار با امپدانس کم را تغذیه کند بی آنکه بهره زیادی تلف شود. تقویت کننده سورس پیرو به عنوان طبقه خروجی در تقویت کننده‌های چندطبقه بکار می‌رود. عمل واسطه بودن بین دو امپدانس نیز در افزایش پاسخ فرکانس بالای تقویت کننده‌ها کاربرد فراوان یافته است و نیز برای تسریع کار مدارهای دیجیتال نیز مناسب است.

شکل الف ۴۸-۵ مدار یک سورس پیرو در IC ی MOS را نشان می‌دهد. چون درین ترانزیستور تقویت کننده Q_1 از نظر سیگنال به زمین وصل شده، مدار را درین مشترک می‌نامند. ترانزیستور Q_1 با منبع جریان ثابتی بایاس می‌شود که از آینه جریان Q_1-Q_2 بدست می‌آید. علاوه بر تأمین جریان بایاس سورس Q_1، ترانزیستور Q_2 به مثابه یک بار فعال برای Q_1 عمل می‌کند، چون r_{o2} مقاومت خروجی Q_2 است، این بار مؤثری است که در سورس Q_1 ملاحظه می‌شود. البته، اگر پایانه خروجی به بار مقاومتی R_L دیگری وصل شود، به موازات R_{o2} ظاهر شده و به راحتی در تحلیل زیر می‌تواند مطرح شود.

می‌خواهیم رفتار سیگنال کوچک مدار سورس پیرو را برای بدست آوردن بهره ولتاژ و مقاومت خروجی تحلیل کنیم. مقاومت ورودی بطور مسلم خیلی بزرگ است زیرا سیگنال به گیت یک MOSFET (یعنی Q_1) اعمال



شکل ۴۸-۵. سورس پیرو: (**الف**) مدار؛ (**ب**) مدار معادل سیگنال کوچک و (**پ**) نسخه خلاصه شده مدار معادل

شده است. توجه کنید که این یک برتری است برای امیتر پیرو که مقاومت ورودی‌اش، اگرچه زیاد است، با β کوچک BJT محدود می‌گردد.

از جایگزینی Q_1 با مدل سیگنال کوچک آن و دخالت دادن اثر بدنه به دلیل آنکه پایه سورس زمین سیگنال نیست، مدار معادلی مانند شکل ب۴۸-۵ بدست می‌آید. اگرچه این مدار کمی پیچیده بنظر می‌رسد، اما با بررسی دقیق آن، می‌توانیم آنرا بطور قابل ملاحظه‌ای ساده کنیم. در نهایت، ملاحظه می‌کنید که بدنه (B_1) زمین سیگنال است، بنابراین $v_{bs1} = -v_{s1}$، که در آن v_{s1} ولتاژ سورس Q_1 (با نام S_1) است. در نتیجه منبع جریان کنترل شده $g_{mb1}v_{bs1} = -g_{mb1}v_{s1}$ است، به این معنی که در عمل جریان $g_{mb1}v_{s1}$ از پایانه سورس S_1 خارج می‌شود. بنابراین می‌توان منبع جریان کنترل شده را با مقاومت $(1/g_{mb1})$ متصل به S_1 و زمین جایگزین کرد. در آن صورت مقاومت با دو مقاومت دیگر بین S_1 و زمین یعنی r_{o1} و r_{o2} می‌تواند ترکیب شود. اگر معادل موازی سه مقاومت را با R_S نشان دهیم می‌شود:

$$R_s = (1/g_{mb1}) \| r_{o1} \| r_{o2} \qquad (۵-۶۶)$$

مدار معادل ساده شده شکل پ ۴۸-۵ را می‌توان بدست آورد. ولتاژ خروجی v_o را به صورت زیر می‌توان نوشت:

$$v_o = v_{s1} = g_{m1}R_s v_{gs1} \qquad (۵-۶۷)$$

ولتاژ ورودی v_i برحسب v_{gs1} به صورت زیر بیان می‌شود:

$$v_i = v_{gs1} + v_{s1} = v_{gs1} + g_{m1}R_S v_{gs1}$$

بنابراین:

$$v_i = (1 + g_{m1}R_S)v_{gs1} \qquad (۵-۶۸)$$

از ترکیب معادله‌های (۵-۶۷) و (۵-۶۸) بهره ولتاژ بدست می‌آید:

$$A_v \equiv \frac{v_o}{v_i} = \frac{g_{m1}R_S}{1 + g_{m1}R_S} \qquad (۵-۶۹)$$

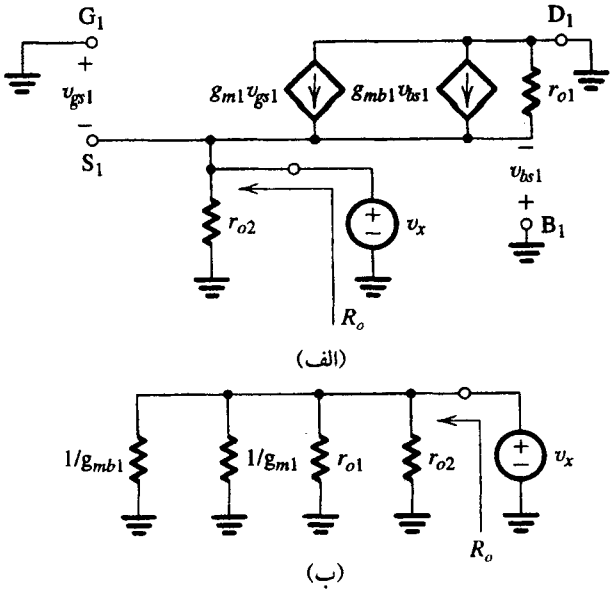
معمولاً $g_{m1}R_S \gg 1$ است، و بهره ولتاژ کمتر از واحد اما نزدیک به آن است. بنابراین سیگنال سورس (v_o) تقریباً از سیگنال ورودی (v_i) پیروی می‌کند، و نام سورس پیرو به مدار تعلق می‌گیرد.

رابطه دیگری برای A_v که جلوه دیگری از کار سورس پیرو را بدست می‌دهد، زمانی بدست می‌آید که صورت و مخرج معادله (۵-۶۹) را بر R_S تقسیم کنیم و سپس با استفاده از معادله (۵-۶۶) به جای R_S معادل بگذاریم. درنتیجه:

$$A_v = \frac{g_{m1}}{g_{m1} + g_{mb1} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}}} \qquad (۵-۷۰)$$

در اینجا، باید توجه شود که بار اضافی R_L بین خروجی و زمین وصل شود، عبارت معادله ۵-۷۰ با اضافه کردن عبارت $1/R_L$ در مخرج، تغییر می‌کند. معمولاً r_{o1} و r_{o2} آنقدر بزرگ هستند که می‌توان از $\frac{1}{r_{o1}}$ و $\frac{1}{r_{o2}}$ در مقایسه با g_{m1} می‌توان صرفنظر کرد بنابراین:

$$A_v \cong \frac{g_{m1}}{g_{m1} + g_{mb1}} \qquad (۵-۷۱)$$



شکل ۴۹-۵. (الف) برای تعیین مقاومت خروجی سورس پیرو، v_i در صفر تنظیم شده و ولتاژ آزمون v_x به پایانه خروجی اعمال شده است. (ب) نسخه خلاصه شده‌ای از مدار در (الف) با منابع جریان کنترل شده‌ای که با مقاومت‌های معادل استفاده شده با استفاده قضیه جذب منبع، جایگزین شده است.

اکنون با توجه به $g_{mb1} = \chi g_{m1}$ بدست می‌آید:

$$A_v = \frac{1}{1 + \chi} \qquad (۵-۷۲)$$

به این ترتیب، بهره سورس پیرو با بار فعال با اثر بدنه مخالف است؛ یعنی بهره بین ۱۰ تا ۳۰٪ (۰/۳ تا ۰/۱ = χ) کاهش می‌یابد.

برای تعیین مقاومت خروجی R_o، سیگنال ورودی v_i را اتصال کوتاه می‌کنیم، به این ترتیب سیگنال گیت Q_1 را به زمین وصل می‌نماییم، ولتاژ آزمون v_x را به پایانه خروجی یعنی به پایانه S_1 در شکل الف ۴۹-۵ اعمال می‌کنیم. اینک ملاحظه می‌کنید که $v_{gs1} = -v_{s1}$؛ بنابراین می‌توانیم قضیه جذب منبع را بکار ببریم و منبع دارای کنترل $g_{m1}v_{gs1}$ را با مقاومت $1/g_{m1}$ متصل بین سورس و زمین، جایگزین کنیم. در نتیجه مدار ساده شکل ب ۴۹-۵ بدست می‌آید، که در آن می‌توان R_o را از رابطه زیر بدست آورد:

$$R_o = (1/g_{m1}) \| (1/g_{mb1}) \| r_{o1} \| r_{o2} \qquad (۵-۷۳)$$

معمولاً r_{o1} و r_{o2} آنقدر بزرگ هستند که در مقایسه با $1/g_{m1}$ از آنها صرفنظر شود، بنابراین

$$R_o = (1/g_{m1}) \| (1/g_{mb1}) = \frac{1}{g_{m1}(1 + \chi)} \qquad (۵-۷۴)$$

بهره ولتاژ بدست آمده را می‌توان با R_o استفاده کرد و بهره را بدست آورد وقتی بار R_L به خروجی سورس پیرو متصل می‌شود:

$$A_v|_{R_L} = A_v|_{R_L=\infty} \frac{R_L}{R_o + R_L} \qquad (۵-۷۵)$$

که در آن $A_v|_{R_L=\infty}$ بهره ولتاژ بدون R_L است، که همان عبارت معادله‌های ۵-۷۰، ۵-۷۱، ۵-۷۲ می‌باشد.

تمرین

۵-۲۸ سورس پیرو شکل ۴۸-۵ را درنظر بگیرید که با فناوری CMOS و ۰/۸μm ساخته شده است. فرض کنید در همه ترانزیستورها $W/L = ۱۰۰$ m/۱/۶ μm باشد و $k'_n = ۹۰\mu A/V^۲$، $I_{REF} = ۱۰۰\mu A$، ولت $A_{An} = ۸L$ (μm) و $\chi = ۰/۱۵$ است. پیدا کنید $g_{m۱}$، $g_{mb۱}$، $r_{o۱}$، $r_{o۲}$، A_v، R_o را. بهره ولتاژ چقدر خواهد بود اگر خروجی به یک مقاومت ۱۰kΩ وصل شود؟

جواب. ۱/۰۶ mA/V؛ ۰/۱۶ mA/V؛ ۱۲۸ kΩ؛ ۱۲۸ kΩ؛ ۰/۸۰ V/V؛ ۸۰۹ Ω؛ ۰/۸۶ V/V ❑

۵-۷-۴ طبقات تقویت‌کننده فقط با NMOS

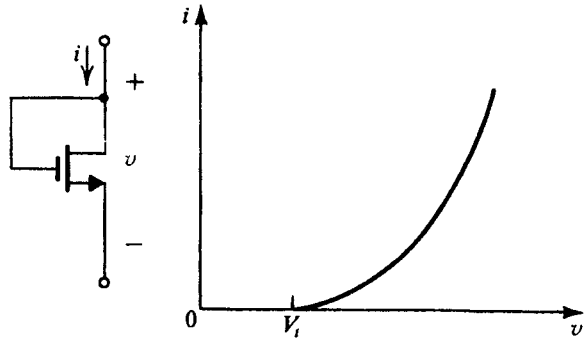
چنانکه پیشتر گفته شد، فناوری CMOS هم اکنون پرکاربرد ترین شیوه در طراحی مدارهای آنالوگ و دیجیتال است. در دسترس بودن قطعات کانال‌های p و n طراحی را بدون استفاده موازی از هر IC دیگر ممکن می‌سازد. با این وجود پیش از پایان بردن این مبحث، مفید است درباره دو تقویت کننده MOS که در آنها فقط از ترانزیستورهای NMOS استفاده شده، به اختصار مطالبی گفته شود.

مدارهای فقط NMOS در دوره‌ای متداول بودند، زیرا با آنها یک دستگاه کامل ساخته می‌شد. مرحله ساخت NMOS ساده‌تر از CMOS است و تراکم بسته‌بندی تراشه می‌تواند بسیار زیاد باشد. امروزه کاربرد این مدارها در دستگاه‌های آنالوگ و دیجیتال محدود گشته است. در این مدارها از ترانزیستورهای NMOS به مثابه قطعات دو پایانه به عنوان بار تقویت‌کننده استفاده می‌شود.

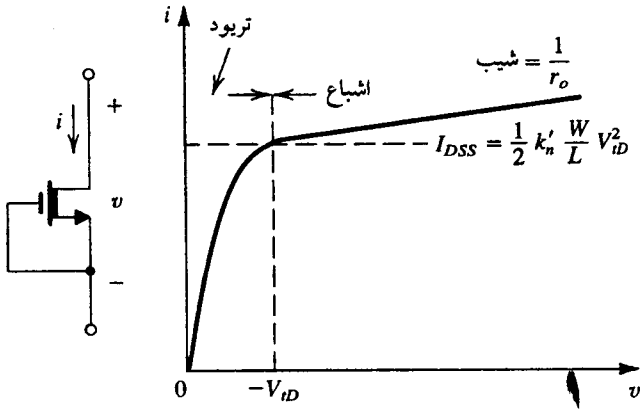
قطعات بار NMOS. در فناوری NMOS، دو نوع بار استفاده می‌شود: MOSFET افزایشی با درین متصل شده به گیت، و MOSFET تهی با گیت متصل به سورس. شکل ۵۰-۵ ترانزیستور افزایشی "با اتصال دیود" را نشان می‌دهد که مشخصه $i-v$ آن از رابطه زیر توصیف می‌شود:

$$i = \frac{۱}{۲} k_n' \frac{W}{L} (v - V_t)^۲, \; v \geq V_t \qquad (۵-۷۶)$$

بیاد داشته باشید که از MOSFET با اتصال دیود در مدارهای آینه جریان استفاده کردیم. با مدل سیگنال کوچک MOSFET، به راحتی می‌توان



شکل ۵۰-۵. ترانزیستور MOS افزایشی به صورت اتصال دیودی، و مشخصه $i-v$ آن



شکل ۵۱-۵. ترانزیستور MOS تهی به صورت اتصال دیودی و مشخصه $i-v$ آن

نشان داد که مقاومت سیگنال کوچک MOSFET افزایشی با اتصال دیود تقریباً برابر است با $۱/g_m$.

MOSFET تهی با اتصال دیود و مشخصه $i-v$ آن در شکل ۵۱-۵ نشان داده شده است. برای کار در ناحیه اشباع، ولتاژ دو سر قطعه دو پایانه باید بیش از $-V_{tD}$ باشد، که در آن V_{tD}، ولتاژ آستانه MOSFET تهی است که منفی و حدود ۱− تا ۳V− می‌باشد. در حالت اشباع، مشخصه $i-v$ از رابطه زیر بدست می‌آید:

$$i = \frac{۱}{۲} k'_n \frac{W}{L} V^۲_{tD} \left(۱ + \frac{v}{V_A}\right) \qquad (۵-۷۷)$$

که در آن V_A ولتاژ ارلی است. این معادله به صورت زیر بازنویسی می‌شود:

$$i = I_{DSS} \left(۱ + \frac{v}{V_A}\right) \qquad (۵-۷۸)$$

که در آن I_{DSS} نشان دهنده جریان درین به سورس است وقتی گیت به سورس اتصال کوتاه باشد:

$$I_{DSS} = \frac{۱}{۲} k'_n \frac{W}{L} V^۲_{tD} \qquad (۵-۷۹)$$

توجه کنید که وقتی در حالت اشباع کار می‌کند، قطعه بار تهی دارای مقاومت فزاینده‌ای (r_o) است بسیار بزرگتر از مقاومت فزاینده قطعه بار افزایشی ($۱/g_m$). بنابراین، قطعه تهی مانند یک عنصر بار فوق العاده است.

تقویت کننده NMOS با بار افزایشی. شکل (الف ۵۲-۵) یک تقویت کننده NMOS با بار افزایشی را نشان می‌دهد. مشخصه انتقال ولتاژ، v_o در برابر v_I، با استفاده از نمودار ترسیمی شکل (ب ۵۲-۵) بدست می‌آید. مشخصه بدست آمده در شکل (پ ۵۲-۵) ترسیم شده و سه ناحیه مجزای آن به وضوح نمایان است. ملاحظه می‌کنید که اگرچه ترانزیستور بار $Q_۲$ در همه حال در وضعیت اشباع بسر می‌برد، ترانزیستور تقویت کننده $Q_۱$ می‌تواند در حالت قطع (ناحیه I) در حالت اشباع (ناحیه II) و یا در منطقه تریود (ناحیه III) کار کند. همچنین بدست آوردن رابطه‌ای مرتبط با v_O و v_I در ناحیه II مشخصه انتقال کاری آسان است:

$$v_O = \left(V_{DD} - V_t + \sqrt{\frac{(W/L)_1}{(W/L)_2}V_t}\right) - \sqrt{\frac{(W/L)_1}{(W/L)_2}v_I} \qquad (۵-۸۰)$$

که در آن فرض شده $V_{t1} = V_{t2} = V_t$، $\lambda = 0$ باشد و اثر بدنه نیز نادیده انگاشته شده است. ملاحظه کنید که این رابطه یک رابطه خطی است و گویای اینکه تقویت کننده در سیگنال‌های بزرگ خطی است و بهره آن چنین است:

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \qquad (۵-۸۱)$$

بنابراین بهره با ابعاد هندسی دو قطعه تعیین می‌شود و مقدار آن در قطعات معینی مقداری ثابت است. برای بدست آوردن بهره نسبتاً زیاد، ترانزیستور تقویت کننده Q_1 کوتاه و پهن ساخته می‌شود در حالیکه ترانزیستور Q_2 بلند و باریک ساخته می‌شود. با این وجود تحقق بهره بیش از ۱۰ دشوار می‌باشد. چون سورس Q_2 از نظر سیگنال زمین نیست، اثر بدنه بر کار Q_2 تأثیر خواهد داشت. با استفاده از مدل‌های مدار معادل سیگنال کوچک، می‌توان نشان داد که در صورت درنظر گرفتن اثر بدنه، و چشم پوشی از r_{o1} و r_{o2}، رابطه بهره به صورت زیر درمی‌آید:

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}}\frac{1}{1+\chi_2} \qquad (۵-۸۲)$$

که در آن $\chi_2 = g_{mb2}/g_{m2}$ است. پس اثر بدنه بهره را حدود ٪۲۰ کاهش می‌دهد.

در پایان، توجه کنید که تقویت کننده با بار افزایشی علاوه بر بهره کم و ثابت (مستقل از جریان بایاس) یک عیب دیگر نیز دارد: دامنه تغییرات خروجی نسبتاً محدود است زیرا v_O نمی‌تواند از $(V_{DD} - V_t)$ بیشتر شود.

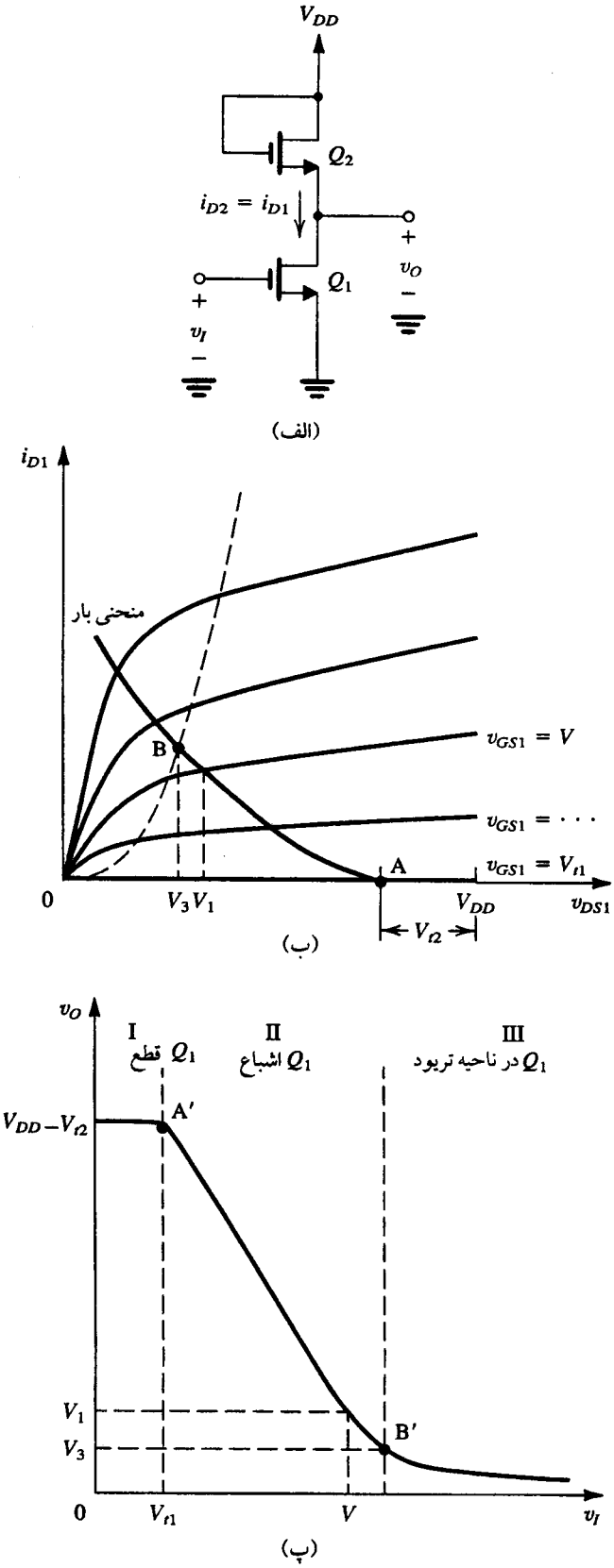
تمرین

۵-۲۹ در تقویت کننده با بار افزایشی فرض کنید $W_1 = 100\,\mu m$، $L_1 = 6\,\mu m$، $W_2 = 6\,\mu m$ و $L_2 = 30\,\mu m$ است. اگر ناحیه اثر بدنه $\chi = 0/2$ باشد. بهره ولتاژ را با درنظرگرفته اثر بدنه و بدون آن بدست آورید. تأثیر r_o را نادیده بگیرید.

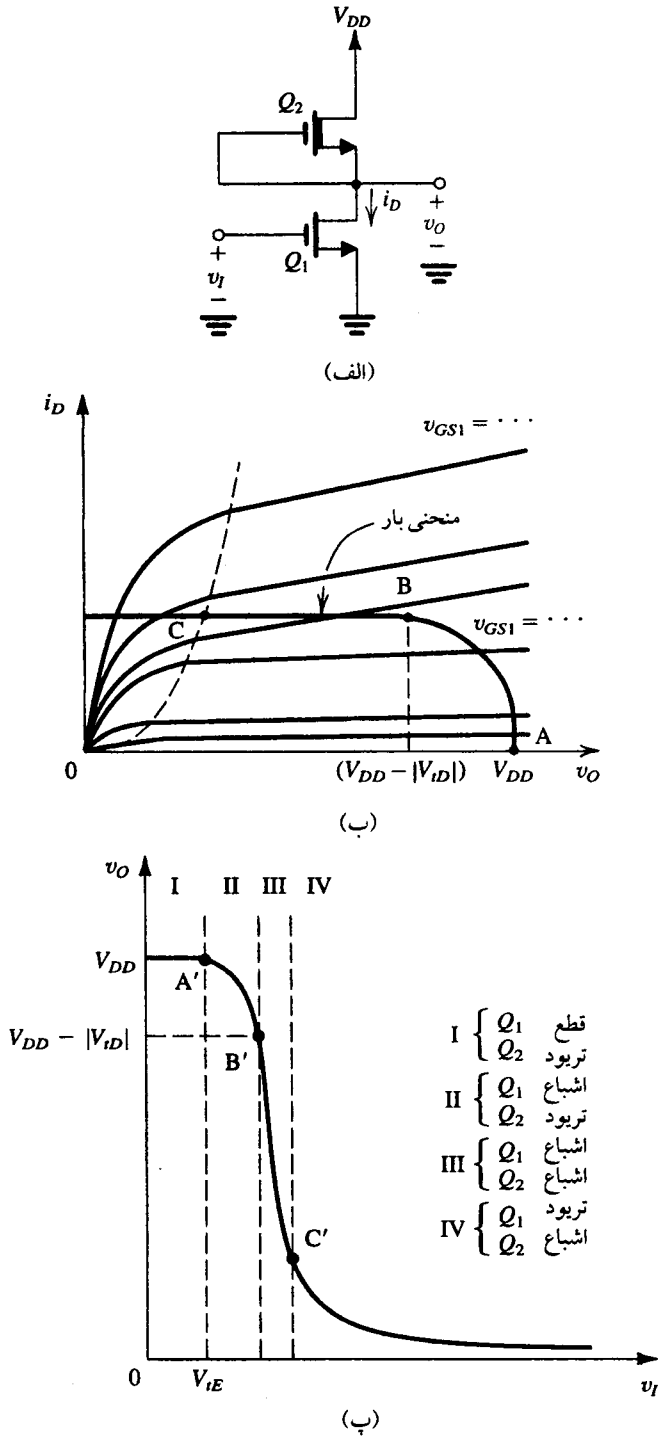
جواب. $-9/12$ V/V ؛ $-7/61$ V/V ❑

تقویت کننده NMOS با بار تهی. استفاده از بار تهی تقویت کننده بهتر از تقویت کننده با بار افزایشی نتیجه می‌دهد. این نوع تقویت کننده در شکل (الف ۵-۵۳) نشان داده شده است. برای لحظه‌ای اثر بدنه را درباره ترانزیستور Q_2 نادیده می‌گیریم، از روش ترسیمی شکل (ب ۵-۵۳) برای بدست آوردن مشخصه انتقال تقویت کننده که در شکل (پ ۵-۵۳) ترسیم شده استفاده می‌کنیم. مطابق شکل مشخصه دارای شیب تند است، یعنی بهره ولتاژ ناحیه III زیاد است، که از ترانزیستورهای Q_1 و Q_2 و کار در حالت اشباع آنها بدست می‌آید.

برای کار در ناحیه III مشخصه انتقال، مدار معادل سیگنال کوچک در



شکل ۵-۵۲. (الف) تقویت کننده NMOS با بار افزایشی؛ (ب) تعیین ترسیمی مشخصه انتقال؛ (پ) مشخصه انتقال



شکل ۵-۵۳ . تقویت کننده NMOS با بار تهی (**الف**) مدار؛ (**ب**) طرح ترسیمی برای تعیین مشخصه انتقال ؛ و (**پ**) مشخصه انتقال .

شکل ۵-۵۴ بکار می‌رود. در این مدار منبع دارای کنترل $g_{mb2}v_{bs2}$، اثر بدنه را در Q_2 مدل می‌کند. غیر از این، تنها شاخصه نشان دهنده Q_2 مقاومت خروجی r_{o2} آن است. تحلیل مدار شکل ۵-۵۴ ساده است و از آن رابطه بهره زیر بدست می‌آید:

$$A_v \equiv \frac{v_O}{v_i} = -g_{m1}\left[\left(\frac{1}{g_{mb1}}\right) \| r_{o1} \| r_{o2}\right] \qquad (۵-۸۳)$$

متأسفانه، معمولاً $\frac{1}{g_{mb2}}$ خیلی کوچکتر از r_{o1} و r_{o2} است، در نتیجه بهره تقریباً از رابطه زیر بدست می‌آید:

$$A_v \cong \frac{-g_{m1}}{g_{mb2}} = \frac{-g_{m1}}{\chi g_{m2}}$$

بنابراین

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}}\,\frac{1}{\chi} \qquad (۵-۸۴)$$

از مقایسه معادله (۵-۸۴) با رابطه بهره تقویت‌کننده بار افزایشی (در معادله ۵-۸۲) آشکار می‌شود که بهره تقویت‌کننده تهی با ضریب $\left(\frac{1+\chi}{\chi}\right)$ بزرگتر است. چون χ معمولاً ۰/۱ تا ۰/۳ است بهره با ضریب ۳ تا ۱۰ افزایش می‌یابد. با این وجود، این هنوز کمی کمتر از بهره مورد انتظار در تقویت کننده CMOS است.

به طور خلاصه، اگرچه تقویت کننده بار تهی تا اندازه‌ای ساده‌تر از مدار CMOS است، اما CMOS کاربرد بیشتری دارد. بعلاوه CMOS در طراحی انعطاف بیشتری دارد.

تمرین

۵-۳۰ در تقویت کننده بار تهی فرض کنید $W_1 = 100\ \mu m$، $L_1 = 6\mu m$، $W_2 = 6\ \mu m$، $L_2 = 30\ \mu m$ باشد. اگر شاخصه اثر بدنه $\chi = 0/2$ باشد بهره ولتاژ را بدست آورید. اثر r_o را نادیده بگیرید.

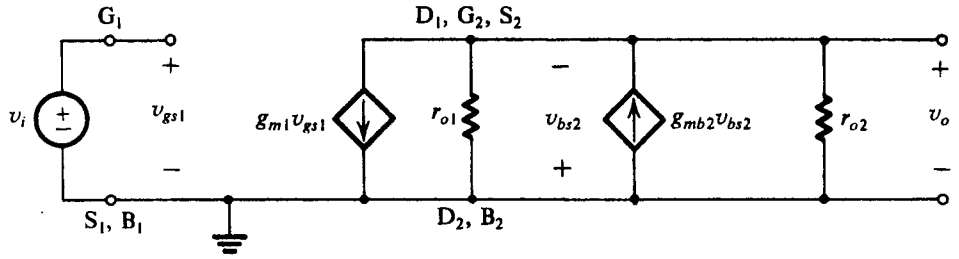
جواب. −۴۵/۶ V/V ❑

۵-۷-۵ تذکر نهایی

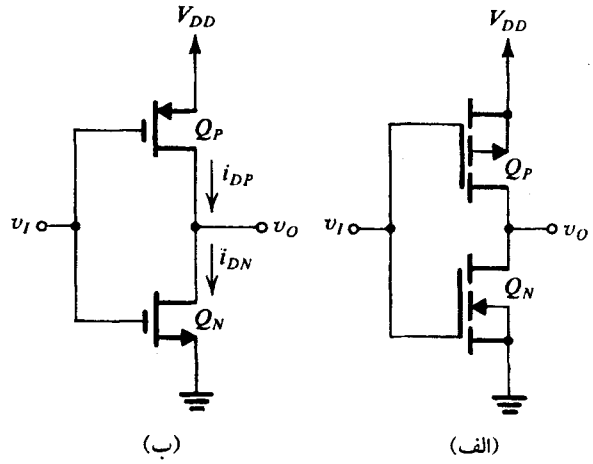
در این بخش پیکربندی‌های اساسی تقویت‌کننده‌های مدار مجتمع MOS را بررسی کردیم. در فصل ۶ مدارهای پیچیده‌تر با عملکرد بهتر این مدارها و مدارهای دیگر MOS را بررسی خواهیم کرد.

۵-۸ وارونگر منطق دیجیتالی CMOS

مدارهای منطقی MOS مکمل یا CMOS از اوایل دهه ۱۹۷۰ به صورت بسته‌بندی‌های استاندارد برای ساخت دستگاه‌های دیجیتال در



شکل ۵-۵۴ . مدار معادل سیگنال کوچک تقویت کننده بار تهی در شکل الف ۵-۵۳، شامل اثر بدنه Q_2



شکل ۵۵-۵ . (الف) وارونگر CMOS (ب) مدار خلاصه شده وارونگر

دسترس بوده‌اند. این بسته‌ها گیت‌های منطقی و دیگر قسمت‌های سازنده یک دستگاه دیجیتال را شامل می‌شد. هر بسته شامل چند گیت (مدارهای با تجمع کم یا SSI) تا چند ده گیت (مدارهای با تجمع متوسط یا MSI) بود.

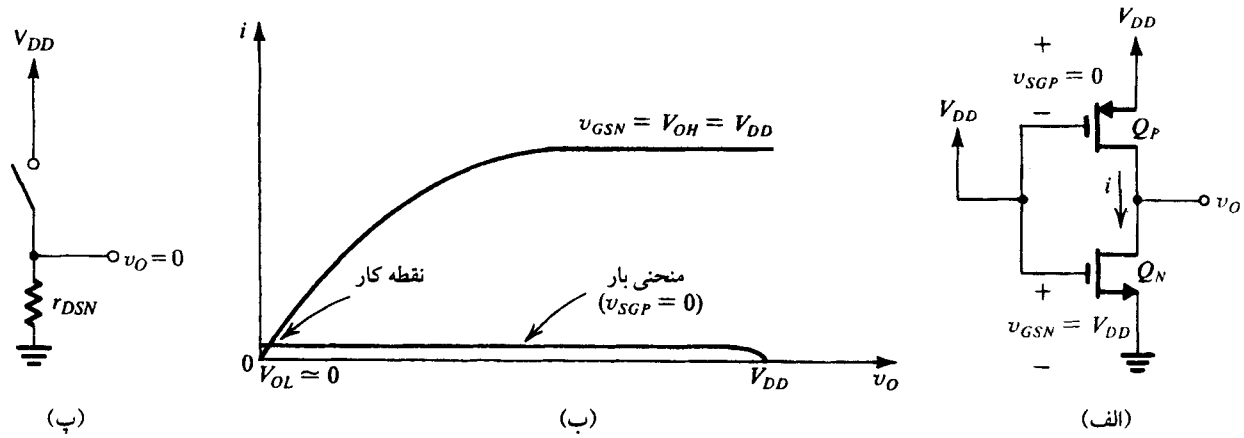
در اواخر دهه ۱۹۷۰ ، که دوره مدارهای با تجمع زیاد و خیلی زیاد (LSI و VLSI صدها تا صدها هزار گیت در هر بسته) آغاز شد، NMOS فناوری ساخت برتر به حساب می‌آمد. در مدارهای VLSI اولیه، مانند ریزپردازنده‌های اولیه از فناوری NMOS استفاده می‌شد. در چنین مدارهایی ابتدا از تقویت کننده‌هایی با بار افزایشی و سپس بارتهی در پیکربندی وارونگر بکار می‌رفت. اگرچه در آن زمان قابلیت‌ها و مزایای CMOS کاملاً شناخته شده بود، اما فناوری ساخت CMOS آنقدر پیچیده بود که ساخت IC های VLSI اقتصادی بنظر نمی‌رسید. هم اکنون فناوری CMOS حقیقتاً در همه سطوح در کاربردهای دیجیتال و آنالوگ جانشین NMOS شده است.

در فناوری‌های ساخت IC مدارهای دیجیتال، اصلی‌ترین جزء مدار، وارونگر منطقی است. وقتی طرز کار و مشخصه‌های مدار وارونگر کاملاً درک شد، نتایج حاصله به طراحی گیت‌های منطقی و مدارهای پیچیده دیگر خواهد انجامید. اساس وارونگر CMOS در شکل ۵۵-۵ نشان داده شده است. در این مدار از دو نوع MOSFET افزایشی یکسان استفاده شده است. یکی Q_N ، با کانال n و دیگری Q_P با کانال p. همچنان که دیده می‌شود، بدنه هر قطعه به سورس آن متصل است بنابراین اثر بدنه وجود ندارد. از اینرو نمودار ساده شده شکل ب ۵۵-۵ استفاده می‌شود. چنانکه بزودی خواهیم دید مدار CMOS همان ساختار مفهومی وارونگری را داراست که در فصل ۱ درباره آن بحث شد. که در آن یک جفت کلید به صورت مکمل با ولتاژ ورودی v_I کار می‌کنند.

کار مدار

ابتدا دو وضعیت حدی را درنظر می‌گیریم : یکی وقتی که v_I در سطح 0 منطقی و تقریبا ۰V می‌باشد، دیگری زمانی که v_I در سطح 1 منطقی و تقریباً V_{DD} ولت است. در هر دو حالت، Q_N قطعه کانال n را به عنوان ترانزیستور راه‌انداز و Q_p قطعه کانال p را به عنوان بار درنظر می‌گیریم. چون مدار کاملاً متقارن است، این فرض اختیاری است و معکوس آن نیز نتیجه مشابهی دارد.

شکل ۵۶-۵ حالتی را نشان می‌دهد که $v_I = V_{DD}$ است. همچنین منحنی مشخصه i_D-v_{DS} برای Q_N ، $v_{GSN} = V_{DD}$ نشان داده شده است. (دقت کنید که $i_D = i$ و $V_{DSN}=v_O$ می‌باشد). بر منحنی مشخصه Q_N ، منحنی بار قرارگرفته است که منحنی i_D-v_{SD} ترانزیستور Q_p در حالتی است که $v_{SGP} = 0$ V می‌باشد. چون $v_{SGP}<|V_t|$ است، منحنی بار یک خط راست افقی نزدیک به سطح صفر جریان می‌باشد. نقطه کار در محل تقاطع دو منحنی است که در آن ولتاژ خروجی نزدیک به صفر (معمولاً کمتر از ۱۰mV) و جریانی که از دو قطعه می‌گذرد نیز تقریباً صفر است. به این معنی که توان تلف شده در مدار خیلی کم (معمولاً کسری از میکرو وات) است. البته توجه کنید، که اگرچه Q_N با جریان نزدیک به صفر و ولتاژ درین - سورس صفر کار می‌کند (نزدیک به منطقه مسطح i_D-v_{DS}) اما نقطه کار بر ناحیه شیب تند منحنی مشخصه $i_D - v_{DS}$ قراردارد. به این ترتیب Q_N یک مسیر کم مقاومت بین پایانه خروجی و زمین ایجاد



شکل ۵۶-۵ . عملکرد وارونگر وقتی v_I بالا است: (الف) مدار با $v_I=V_{DD}$ (منطق ۱ یا V_{OH})؛ (ب) طرح ترسیمی برای تعیین نقطه کار ؛ و (پ) مدار معادل

می‌کند که مقاومت آن با استفاده از معادله (۱۳-۵) به صورت زیر بدست می‌آید:

$$r_{DS} = 1/\left[k'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{tn})\right] \qquad (۵-۸۵)$$

شکل (پ ۵۶-۵) مدار معادل وارونگر را وقتی ورودی زیاد است نشان می‌دهد. این مدار نشان می‌دهد که $v_O \equiv V_{OL} = 0\text{V}$ است، و توان تلف شده در وارونگر صفر می‌باشد.

وضعیت حدی دیگر، وقتی $v_I = 0\text{V}$ است، در شکل ۵۷-۵ نشان داده شده است. در این حالت Q_N به ازای $v_{GSN} = 0$ کار می‌کند؛ به این ترتیب مشخصه $i_D - v_{DS}$ آن تقریباً به یک خط راست افقی نزدیک به سطح صفر جریان است. منحنی بار مشخصه $i_D - v_{DS}$ قطعه کانال p با $v_{SGP} = V_{DD}$ است. مطابق شکل، در نقطه کار ولتاژ خروجی تقریباً برابر با V_{DD} است (معمولاً کمتر از ۱۰mV پایین‌تر از V_{DD}) و جریان در هر دو قطعه همچنان نزدیک به صفر است. از اینرو توان تلف شده در مدار در هر دو حالت حدی خیلی کوچک است.

شکل (پ ۵۷-۵) مدار معادل وارونگر را نشان می‌دهد وقتی ورودی پایین (کم) است. در اینجا می‌بینیم که Q_p یک مسیر با مقاومت کم بین پایانه خروجی و منبع تغذیه dc ی V_{DD} برقرار می‌کند. این مقاومت از رابطه زیر بدست می‌آید:

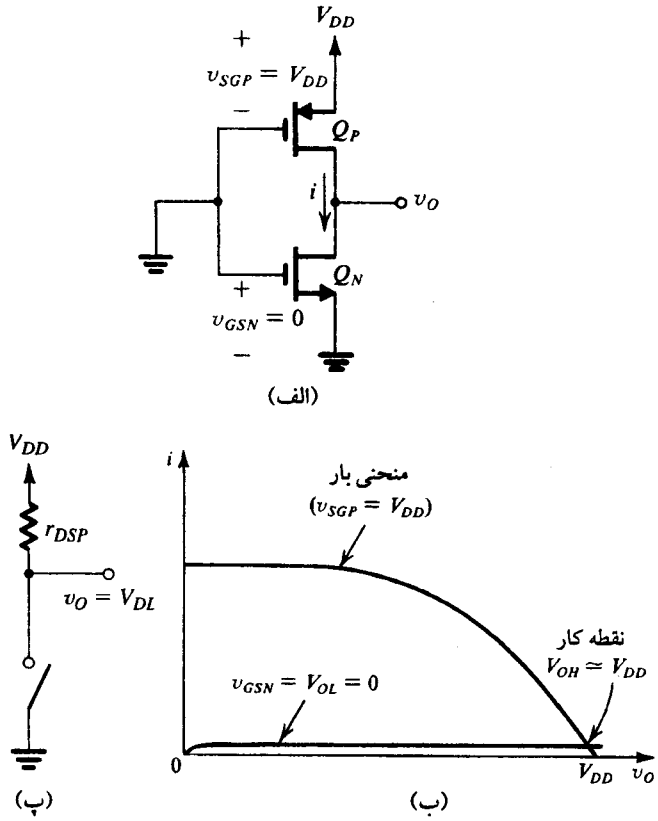
$$r_{DSP} = 1/\left[k'_p \left(\frac{W}{L}\right)_p (V_{DD} - |V_{tp}|)\right] \qquad (۵-۸۶)$$

با مدار معادل تأیید می‌شود که در این حالت $v_O = V_{OH} = V_{DD}$ و توان تلف شده در وارونگر صفر است. البته باید توجه شود که با وجود صفر بودن جریان سکون، توانایی راه‌اندازی بار وارونگر CMOS بالاست. برای مثال، وقتی ورودی بالا باشد، ترانزیستور Q_N در شکل ۵۶-۵، می‌تواند جریان بار بزرگی را بکشد. چنانکه بزودی خواهیم دید این جریان می‌تواند خازن بار را به سرعت تخلیه کند. به دلیل کشیدن جریان بار و هل دادن ولتاژ خروجی به سمت زمین، ترانزیستور Q_N به عنوان قطعه "پایین کش" شناخته می‌شود. مشابه با آن، وقتی ورودی پایین است، مطابق مدار شکل ۵۷-۵ ترانزیستور Q_p می‌تواند برای جریان بار بالنسبه زیاد منبع باشد. این جریان به سرعت خازن بار را شارژ می‌کند و بنابراین ولتاژ خروجی را به سمت V_{DD} بالا می‌کشد. از اینرو Q_p را قطعه "پایین کش" می‌نامند. با این مفاهیم در مدار شکل ۳۲-۱ آشنا شده‌اید.

از مباحث بالا نتیجه می‌گیریم که وارونگر CMOS به مثابه یک وارونگر ایده‌آل رفتار می‌کند به شرح زیر:

۱- سطوح ولتاژ خروجی 0 و V_{DD} است. بنابراین خروجی بیشترین تغییرات ممکن را دارد. این مطلب و اینکه می‌توان مدار را طوری طراحی کرد که مشخصه انتقال آن متقارن باشد، حاشیه نویز بزرگی ایجاد می‌کند.

۲- توان مصرفی ایستای وارونگر در هر دو حالت صفر است (اتلاف توان در اثر جریان نشتی را نادیده گرفته‌ایم). (بیاد داشته باشید که اتلاف



شکل ۵۷-۵. عملکرد وارونگر CMOS وقتی v_I پایین است: **(الف)** مدار با $v_I = 0\text{V}$ (منطق ۰ یا V_{OL})؛ **(ب)** طرح ترسیمی برای تعیین نقطه کار؛ و **(پ)** مدار معادل

توان ایستا با توان مصرفی پویا (دینامیک) ناشی از سوئیچ کردن‌های مکرر وارونگر تفاوت دارد).

۳- یک مسیر کم مقاومت بین خروجی و زمین در حالت خروجی پایین و یا در حالت خروجی بالا یعنی V_{DD} وجود دارد. این مسیرهای کم مقاومت ۰ یا V_{DD} بودن ولتاژ خروجی را مستقل از نسبت‌های (W/L) و یا دیگر شاخصه‌های ترانزیستور تضمین می‌کند. بعلاوه، کم بودن مقاومت خروجی سبب کمتر شدن حساسیت نسبت به نویز می‌شود.

۴- قطعات فعال بالاکش و پایین کش موجب می‌شوند وارونگر توانایی راه‌اندازی با خروجی بالا در هر دو جهت داشته باشد. چنانکه خواهیم دید این کار سرعت کار را به طور قابل ملاحظه‌ای افزایش می‌دهد.

۵- مقاومت ورودی وارونگر بی‌نهایت است (زیرا $I_G = 0$ می‌باشد). بنابراین وارونگر می‌تواند وارونگرهای مشابه زیادی را راه‌اندازی کند بدون آنکه سطح سیگنال کاهش یابد. البته، هر وارونگر اضافی ظرفیت بار وارونگر راه‌انداز را افزایش می‌دهد و سرعت کار را کم می‌کند. به زودی زمان‌های سوئیچ وارونگر بررسی خواهد شد.

مشخصه انتقال ولتاژ

با تکرار روش ترسیمی، به ازای مقادیر میانی v_I، مشخصه انتقال

(VTC) وارونگر CMOS را می‌توان بدست آورد. در ادامه نقاط بحرانی منحنی انتقال را محاسبه می‌کنیم. برای این به رابطه‌های $i-v$ در Q_N و Q_P نیازداریم. در Q_N چنین است:

$$i_{DN} = k'_n\left(\frac{W}{L}\right)_n [(v_I - V_{tn})v_O - \frac{1}{2}v_O^2] \qquad (۵-۸۷)$$

به ازای $v_O \le v_I - V_{tn}$

و

$$i_{DN} = \frac{1}{2}k'_n\left(\frac{W}{L}\right)_n (v_I - V_{tn})^2 \qquad (۵-۸۸)$$

به ازای $v_O \ge v_I - V_{tn}$

به ازای $v_O \le v_I + |V_{tp}|$ و

$$i_{DP} = \frac{1}{2}k'_p\left(\frac{W}{L}\right)_p (V_{DD} - v_I - |V_{tp}|)^2 \qquad (۵-۹۰)$$

وارونگر CMOS بـه گونه‌ای طراحی می‌شود که $V_{tn} = |V_{tp}|$ و $k'_n(\frac{W}{L})_n = k'_p(\frac{W}{L})_p$ باشد. توجه داشته باشید که چون μ_p، ۰/۳ تا ۰/۵ مقدار μ_nاست، برای آنکه $k'(\frac{W}{L})$ دو قطعه برابر شود، باید پهنای کانال pی ترانزیستور دو تا سه برابر قطعه ترانزیستور کانال nساخته شود. مطلب ویژه آنکه، هر دو قطعه طوری طراحی می‌شوند که طول مساوی داشته باشند و پهنایشان با رابطه زیر به هم ربط پیدا کند.

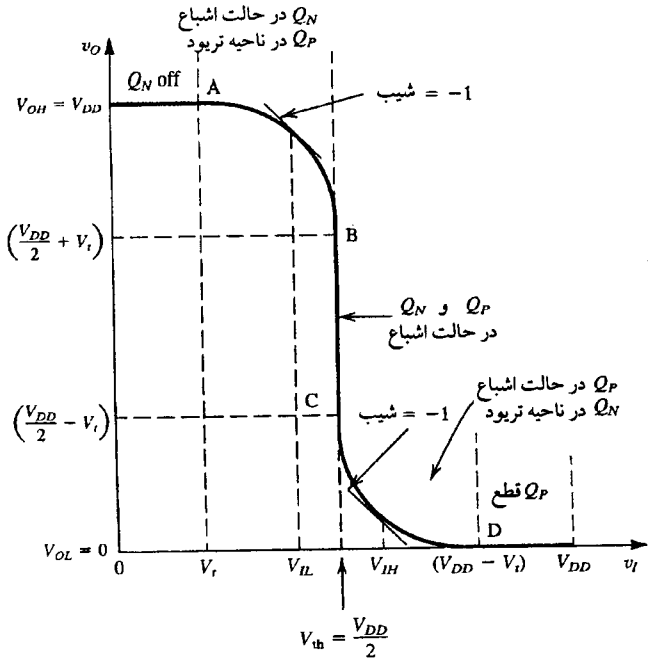
$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

در نتیجه $k'_n(\frac{W}{L})_n = k'_p(\frac{W}{L})_p$، و وارونگر مشخصه انتقال متقارن خواهد داشت و توانایی راه‌اندازی جریان در هر مسیر (بالاکش و پایین‌کش) یکسان خواهد بود.

وقتی Q_N و Q_P از یک نوع و در تطابق با هم باشند، مشخصه انتقال وارونگر CMOS مانند شکل ۵۸-۵ خواهد بود. همانگونه که نشان داده شده است، مشخصه انتقال متناسب با ترکیبات مختلف حالات Q_N و Q_P دارای پنج ناحیه مجزا است. ناحیه عمودی BC وقتی بدست می‌آید که Q_N و Q_P در ناحیه اشباع کار کند. بهره وارونگر در این ناحیه بی‌نهایت است زیرا از مقاومت محدود خروجی در حالت اشباع صرفنظر شده است. از قرینه آن می‌توان فهمید که این ناحیه عمودی در $v_I = V_{DD}/2$ حادث می‌شود و با $v_O(B) = V_{DD}/2 + V_t$ و $v_O(C) = V_{DD}/2 - V_t$ مرزبندی شده است.

از بخش ۷-۱ بیاد دارید که علاوه بر V_{OL}، V_{OH} دو نقطه دیگر روی منحنی انتقال، حاشیه‌های نویز وارونگر را تعیین می‌کنند. این نقاط عبارتند از: ماکزیمم منطق 0 یا "پایین" در ورودی، یعنی V_{IL}، و مینیمم منطق 1 یا "زیاد" در ورودی یعنی V_{IH}. این دو نقطه به طور معمول نقاطی از منحنی هستند که بهره فزاینده آنها واحد باشد (مثلاً در شیب ۱ V/V−).

برای تعیین V_{IH}، ملاحظه می‌کنیم که Q_N در منطقه تریود است، و بنابراین جریان از رابطه ۸۷-۵ بدست می‌آید، در همانحال Q_P در حالت اشباع است و جریان از رابطه (۹۰-۵) بدست می‌آید. از مساوی قراردادن i_{DN} و



شکل ۵۸-۵. مشخصه انتقال ولتاژ وارونگر CMOS

i_{DP} با فرض یکنوع بودن ترانزیستورها، داریم:

$$(v_I - V_t)\, v_O - \frac{1}{2}v_O^2 = \frac{1}{2}(V_{DD} - v_I - V_t)^2 \qquad (۵-۹۱)$$

از دیفرانسیل گیری دو طرف معادله نسبت، v_I بدست می‌آید:

$$(v_I - V_t)\frac{dv_O}{dv_I} + v_O - v_O\frac{dv_O}{dv_I} = -(V_{DD} - v_I - V_t)$$

که در آن $v_I = V_{IH}$ و $dv_O/dv_I = -1$ را جایگزین کرده بدست آوریم

$$v_O = V_{IH} - \frac{V_{DD}}{2} \qquad (۵-۹۲)$$

از جایگزین کردن $v_I = V_{IH}$ در معادله (۹۱-۵) و v_O از معادله (۹۲-۵) بدست می‌آید:

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \qquad (۵-۹۳)$$

V_{IL} نیز به همین شیوه بدست می‌آید. از طرفی با استفاده از رابطه تقارن می‌توان نوشت:

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$$

با توجه به V_{IH} از معادله (۹۳-۵)، V_{IL} بدست می‌آید:

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \qquad (۵-۹۴)$$

حاشیه‌های نویز به صورت زیر بدست می‌آید:

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \qquad (۵-۹۵)\\ &= V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t)\\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned}$$

$$NM_L = V_{IL} - V_{OL} \qquad (۵-۹۶)$$

$$= \frac{1}{8}(3V_{DD} + 2V_t) - 0$$

$$= \frac{1}{8}(3V_{DD} + 2V_t)$$

مطابق انتظار، به علت تقارن مشخصه انتقال حاشیه‌های نویز برابرند. البته اگر Q_N و Q_P در تطابق نباشند، مشخصه‌های انتقال، دیگر متقارن نبوده و حاشیه‌های نویز برابر نخواهد بود (مسئله ۹۴-۵ را ملاحظه کنید).

تمرین

۵-۳۱ در یک وارونگر CMOS با MOSFET های یکنوع (منطبق) و دارای $V_t = 1$ V بدست آورید: V_{IL}، V_{IH} و حاشیه‌های نویز را اگر $V_{DD} = 5$V باشد.

جواب. ۲/۱ V ؛ ۲/۹ V ؛ ۲/۱ V

۵-۳۲ یک وارونگر CMOS با $V_{tn} = |V_{tp}| = 2$V، $(W/L)_p = 40$ و $(W/L)_n = 20$، $\mu_n C_{ox} = 2\mu_p C_{ox} = 20\mu A/V^2$ و $V_{DD}=10$ V در نظر بگیرید. هنگامی که $v_I=V_{DD}$ است، ماکزیمم جریانی را بدست آورید که وارونگر می‌تواند فروکشد و $v_O \leq 0/5$ باقی بماند.

جواب. ۱/۵۵mA

۵-۳۳ یک وارونگر با فناوری CMOS در ۱/۲μm ساخته شده است و مینیمم طول کانال را داراست (یعنی $L_n=L_P=1/2\mu m$) اگر $W_n=1/8\,\mu m$ باشد، W_P را طوری بدست آورید که Q_N و Q_P منطبق باشند. در این فناوری $k'_n = 80\mu A/V^2$ و $k'_p = 27\mu A/V^2$ است. مقاومت خروجی وارونگر را به ازای $v_O = V_{OL}$ محاسبه کنید.

جواب. ۵/۴ μm ؛ ۲ kΩ

۵-۳۴ نشان دهید که ولتاژ آستانه V_{th} یک وارونگر CMOS (با توجه به شکل ۵۸-۵) از رابطه زیر بدست می‌آید:

$$V_{th} = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{1 + r}$$

که در آن

$$r = \sqrt{\frac{k'_p(W/L)_p}{k'_n(W/L)_n}}$$

عملکرد دینامیکی

همانطور که در بخش ۷-۱ توضیح داده شد، سرعت عملکرد یک دستگاه دیجیتال (مانند کامپیوتر) با **تأخیر انتشار** گیت‌های سازنده دستگاه تعیین می‌شود. چون وارونگر، در حقیقت اساس گیت منطقی در IC های دیجیتال است، تأخیر انتشار وارونگر نیز شاخصه اصلی فناوری ساخت دستگاههای دیجیتال است. درادامه تغییر حالت وارونگر CMOS را تحلیل می‌کنیم و تأخیر انتشار آن را تعیین می‌کنیم. شکل الف ۵۹-۵ یک وارونگر را با خازن C بین خروجی و زمین نشان می‌دهد C مجموع ظرفیت‌های داخلی MOSFET های Q_N و Q_P، ظرفیت اتصال بین پایانه خروجی و ورودی گیت‌های منطقی وارونگر دیگر و ظرفیت داخلی کل بارها یاگیت‌ها است. فرض می‌کنیم مانند شکل (ب ۵۹-۵) وارونگر با یک پالس ایده‌آل راه‌اندازی شود (پالسی که زمان افت و خیز آن صفر باشد). چون مدار متقارن است (با این فرض که MOSFET ها از یکنوع و دارای انطباق هستند)، زمان افت و خیز شکل موج خروجی یکسان می‌باشد. از اینرو کافی است تنها فرآیند روشن شدن یا خاموش شدن را درنظر بگیریم. در اینجا اولی درنظر گرفته می‌شود.

شکل (پ ۵۹-۵) مسیر حرکت نقطه کار را نشان می‌دهد که در آن پالس ورودی در زمان $t=0$ از $V_{OL} = 0$ به $V_{OH} = V_{DD}$ می‌رسد. درست قبل از لبه ابتدایی پالس ورودی (یعنی در $t=0-$) ولتاژ خروجی با V_{DD} برابر است و ولتاژ خازن نیز همین مقدار است. در زمان $t=0$، v_I به V_{DD} صعود می‌کند و فوراً Q_P را خاموش می‌کند.

از این پس، مدار معادل شکل ت ۵۹-۵ است با مقدار اولیه $v_O = V_{DD}$. پس نقطه کار در $t=0+$ نقطه E است که در آن Q_N در ناحیه اشباع است و جریان بزرگی از آن می‌گذرد. با تخلیه C، جریان Q_N ثابت می‌ماند تا ولتاژ خروجی به $v_O = V_{DD} - V_t$ (در نقطه F) برسد. اگر فاصله زمانی تخلیه خازن را با t_{PHL1} (که اندیس HL نشان‌دهنده انتقال بالا به پایین را نشان می‌دهد) نشان دهیم، می‌توان نوشت:

$$t_{PHL1} = \frac{C\,[V_{DD} - (V_{DD} - V_t)]}{\frac{1}{2}k'_n\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2} \qquad (5\text{-}97)$$

$$= \frac{CV_t}{\frac{1}{2}k'_n\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2}$$

فراتر از نقطه F، ترانزیستور Q_N در منطقه تریود کار می‌کند، و در نتیجه جریانش از معادله (۸۷-۵) بدست می‌آید. این قسمت از زمان تخلیه با رابطه زیر توصیف می‌گردد:

$$i_{DN}dt = -Cdv_O$$

از جایگزینی برای i_{DN} از معادله (۸۷-۵) و بازنویسی معادله دیفرانسیل، بدست می‌آوریم:

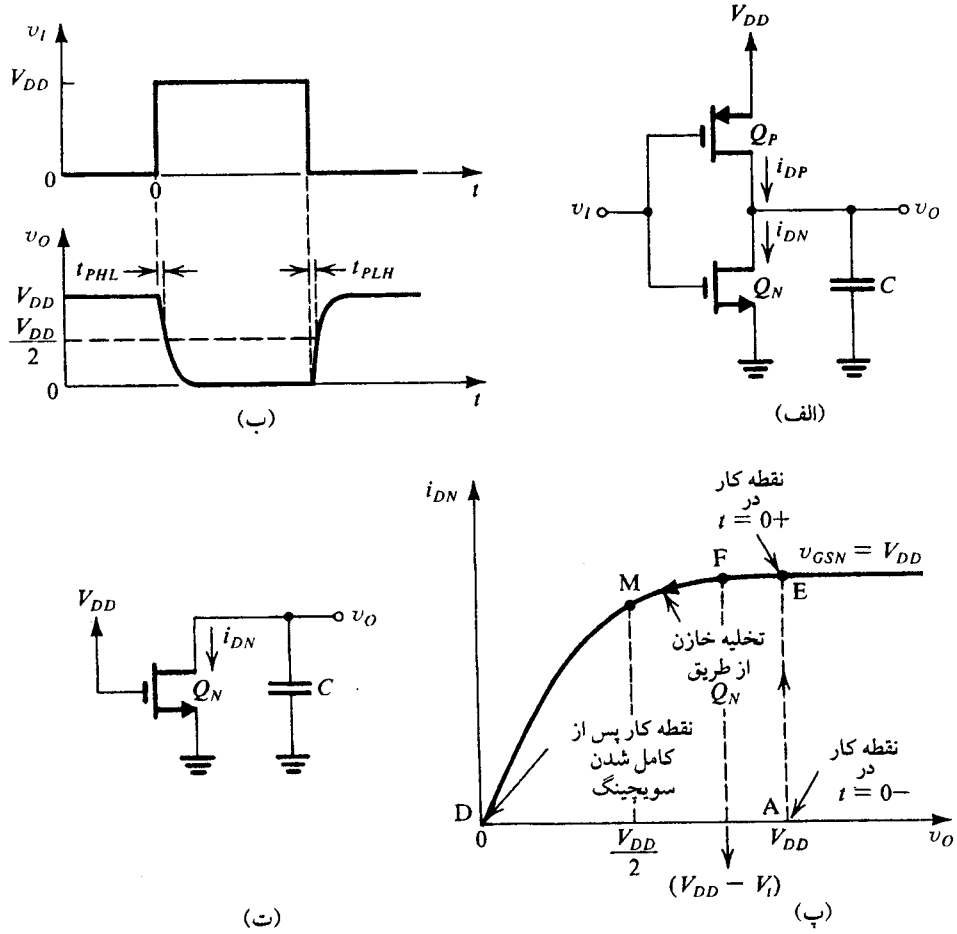
$$-\frac{k'_n(W/L)}{2C}\,dt = \frac{1}{2(V_{DD} - V_t)}\,\frac{dv_O}{\frac{1}{2(V_{DD} - V_t)}v_O^2 - v_O} \qquad (5\text{-}98)$$

برای محاسبه زمان تأخیر t_{PHL} هنگامی که v_O از $(V_{DD}-V_t)$ به نقطه ٪۵۰ یعنی $v_O = V_{DD}/2$ کاهش می‌یابد، از هر دو طرف معادله (۹۸-۵) انتگرال می‌گیریم. این فاصله زمانی را با t_{PHL2} نشان می‌دهیم و بدست می‌آوریم:

$$-\frac{k'_n(W/L)_n}{2c}\,t_{PHL2} \qquad (5\text{-}99)$$

$$= \frac{1}{2(V_{DD} - V_t)}\int_{v_o = V_{DD} - V_t}^{v_o = V_{DD}/2} \frac{dv_O}{\frac{1}{2(V_{DD} - V_t)}v_O^2 - v_O}$$

با استفاده از این رابطه



شکل ۵۹-۵ . عملکرد پویای یک وارونگر CMOS با بار خازنی ؛ (**الف**) مدار؛ (**ب**) شکل موج‌های ورودی و خروجی ؛ (**پ**) مسیر نقطه کار (به صورت گلوله) همانطور که ورودی بالا می‌رود و C از طریق Q_N تخلیه می‌شود؛ (**ت**) مدار معادل طی زمان تخلیه خازن

$$\int \frac{dx}{ax^2 - x} = \ln\left(1 - \frac{1}{ax}\right)$$

می‌توان انتگرال معادله (۹۹-۵) را محاسبه کنیم وبدست آوریم

(۵-۱۰۰)

$$t_{HPL2} = \frac{C}{k'_n(W/L)_n\,(V_{DD} - V_t)} \times \ln\left(\frac{3V_{DD} - 4V_t}{V_{DD}}\right)$$

از جمع کردن دو مؤلفه t_{PHL} در معادله‌های (۹۷-۵) و (۱۰۰-۵) بدست می‌آید:

(۵-۱۰۱)

$$t_{PHL} = \frac{2C}{k'_n(W/L)_n\,(V_{DD} - V_t)} \left[\frac{V_t}{V_{DD} - V_t} + \frac{1}{2}\ln\left(\frac{3V_{DD} - 4V_t}{V_{DD}}\right)\right]$$

در حالت معمول $V_t \approx 0/2\ V_{DD}$ است، این معادله به رابطه زیر کاهش می‌یابد:

(۵-۱۰۲)

$$t_{PHL} = \frac{1/6C}{k'_n(W/L)_n\,V_{DD}}$$

تحلیل مشابه دربارهٔ فرآیند خاموش شدن، برای t_{PHL} رابطه‌ای مانند معادله (۱۰۲-۵) بدست می‌دهد با این تفاوت که $k'_p(W/L)_p$ به جای $k'_n(W/L)_n$ قرار می‌گیرد. تأخیر انتشار t_p متوسط t_{PHL} و t_{PLH} است. از معادله (۱۰۲-۵) متوجه می‌شویم که برای کم شدن زمان تأخیر و سریع شدن کار مدار، C باید به حداقل برسد، سه شاخصه انتقال هدایتی k' باید بزرگ باشد، نسبت W/L ترانزیستور افزایش یابد، و ولتاژ V_{DD} منبع تغذیه زیاد شود.

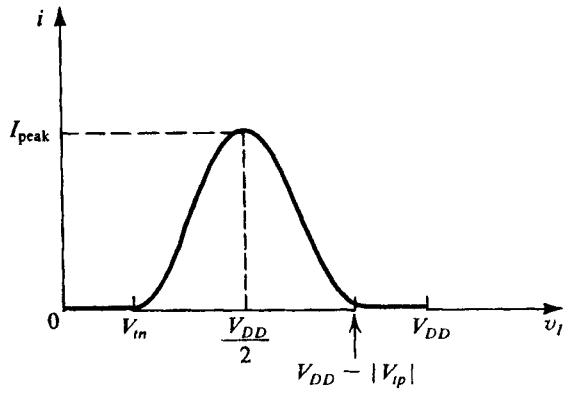
تمرینها

۵-۳۵ یک وارونگر CMOS در مدار VLSI که با منبع تغذیه ۵V کار می‌کند، دارای $(W/L)_n = 10\ \mu m/5\ \mu m$ ، $(W/L)_p = 20\ \mu m/5\ \mu m$ ، $V_{tn} = |V_{tp}| = 1\ V$ ، $\mu_n C_{ox} = 2\mu_p C_{ox} = 20\mu A/V^2$ است. اگر ظرفیت مؤثر کل $0/1\ PF$ باشد، پیدا کنید t_{PHL} ، t_{PLH} ، t_p را.

جواب. $0/8$ ns ، $0/8$ ns ، $0/8$ ns

۵-۳۶ در وارونگر CMOS تمرین ۳۲-۵ ، که برای کار در مدارهای SSI و MSI درنظر گرفته شده، t_p را بدست آورید اگر مقاومت بار ۱۵ PF باشد.

جواب. ۶ns ❑



شکل ۶۰-۵. جریان در وارونگر CMOS در برابر ولتاژ ورودی

توان مصرفی و شارش جریان

با سوئیچ شدن وارونگر CMOS، جریان از ترانزیستورهای سری Q_N و Q_P می‌گذرد. شکل ۶۰-۵ جریان وارونگر را به مثابه تابعی از v_I نشان می‌دهد. ملاحظه می‌کنید که نوک یا قله جریان در آستانه سوئیچینگ $v_I = V_{th} = V_{DD}/2$ است. این جریان به اتلاف توان دینامیک (پویا) در وارونگر CMOS می‌انجامد. البته قسمت اعظم توان تلف شده پویا از عبور جریان در Q_N و Q_P بدست می‌آید وقتی وارونگر دارای بارخازنی C است. برای این قسمت از توان مصرفی رابطه‌ای به شرح زیر مطرح می‌شود: بار دیگر شکل الف ۵۹-۵ را درنظر بگیرید. در $t=0^-$، $v_O=v_{DD}$ است و انرژی ذخیره شده در خازن $\frac{1}{2}CV^2_{DD}$ می‌باشد. در لحظه $t = 0$، v_I بالا رفته به V_{DD} می‌رسد، Q_P خاموش می‌گردد و Q_N روشن می‌شود. در اینصورت ترانزیستور Q_N خازن را تخلیه می‌کند، و در پایان مرحله تخلیه، ولتاژ خازن به صفر کاهش می‌یابد. به این ترتیب در طی مدت تخلیه، انرژی $\frac{1}{2}CV^2_{DD}$ از خازن C دریافت می‌شود و در Q_N تلف می‌گردد. اینک نیم سیکل دیگر را درنظر بگیرید وقتی که v_I کاهش یافته به صفر می‌رسد. ترانزیستور Q_N خاموش می‌شود، و Q_P هدایت می‌کند و خازن را شارژ می‌نماید. فرض کنید جریان لحظه‌ای که از طریق Q_P به C می‌رسد، i باشد. این جریان از منبع V_{DD} بدست می‌آید. به این ترتیب، انرژی بدست آمده از منبع جریان در خلال دوره تناوب شارژ برابر با $\int V_{DD}\, i\, dt = V_{DD} \int i\, dt = V_{DD}Q$ خواهد بود. که در آن Q بار خازن است؛ یعنی $Q = CV_{DD}$ می‌باشد. بنابراین، انرژی بدست آمده از منبع طی مدت شارژ CV^2_{DD} است. در پایان زمان شارژ، ولتاژ خازن V_{DD} خواهد بود، و انرژی ذخیره شده در آن $\frac{1}{2}CV^2_{DD}$ خواهد شد. این امر سبب می‌شود در طی مدت شارژ، نیمی از انرژی دریافتی از منبع $\frac{1}{2}CV^2_{DD}$، در Q_P تلف گردد.

از مباحث بالا، در می‌یابیم که در هر سیکل از مجموع انرژی مصرفی CV^2_{DD} در وارونگر، $\frac{1}{2}CV^2_{DD}$ انرژی در Q_N و $\frac{1}{2}CV^2_{DD}$ در Q_P از بین می‌رود. اکنون اگر وارونگر با سرعت f سیکل در ثانیه سوئیچ شود، توان مصرفی دینامیک در آن خواهد بود:

$$P_D = fCV^2_{DD} \qquad (۵-۱۰۳)$$

ملاحظه می‌کنیم که فرکانس کار با تأخیر انتشار مرتبط است: هر چه تأخیر انتشار کمتر شود، فرکانس کار مدار بیشتر و بنابر معادله (۵-۱۰۳)، توان مصرفی مدار بیشتر خواهد شد. نمایی از میزان کیفیت مدار معینی را **حاصلضرب تأخیر - توان** (DP) مشخص می‌کند

$$DP = P_D t_p$$

حاصلضرب تأخیر - توان در یک مدار دیجیتال خاص، یک ثابت است که از آن برای مقایسه روش‌های مختلف استفاده می‌شود. بطور مسلم کمتر بودن مقدار DP به معنای مؤثرتر بودن این روش است. حاصلضرب توان - تأخیر، دارای واحد ژول است، و آن انرژی تلف شده در سیکل کار است. به این ترتیب در CMOS هایی که توان تلف شده از نوع پویا می‌باشد، DP را به صورت CV^2_{DD} درنظر می‌گیریم.

تمرینها

۵-۳۷ در وارونگر مثال ۳۲-۵، جریان نوک بدست آمده از V_{DD} در اثنای سوئیچینگ را بدست آورید.
جواب. ۱/۸ mA

۵-۳۸ فرض کنید وارونگر ۳۲-۵ یک بار خازن ۱۵PF داشته باشد. اتلاف توان پویا را بدست آورید. وقتی وارونگر در فرکانس ۲MHz سوئیچ شود. جریان متوسط بدست آمده از منبع تغذیه چقدر است؟
جواب. ۰/۳ mA ؛ ۳ mV

۵-۳۹ یک تراشه VLSI با ۱۰۰ ۰۰۰ گیت با فناوری CMOS ۱/۲μm ساخته شده است. فرض کنید ظرفیت بار ۳۰ fF باشد. اگر تراشه با یک منبع ۵V کار کند و با سرعت ۱۰۰MHz سوئیچ شود، (الف) اتلاف توان در گیت، (ب) اتلاف توان کل در تراشه را بدست آورید با این فرض که فقط ۳۰٪ گیت‌ها در هر لحظه سوئیچ شود.
جواب. ۲/۵۲ W ؛ ۷۵ μW ❑

تذکر نهایی

در این بخش، توضیحاتی درباره مدارهای دیجیتال CMOS ارائه کردیم. به این مطلب در فصل ۱۳ بازخواهیم گشت که در آن گیت‌های منطقی CMOS و دیگر مدارهای دیجیتال CMOS بررسی خواهند شد.

۵-۹ MOSFET به مثابه یک سوئیچ آنالوگ

وارونگر CMOS که در بخش قبل بررسی شد، کاربرد مهمی از MOSFET یعنی یک سوئیچ کنترل با ولتاژ است. بطور خاص، ولتاژ اعمال شده به گیت‌های Q_N و Q_P آنها را روشن و خاموش می‌کند. در وضعیت خاموشی، MOSFET مانند یک مدار باز بین سورس و درین رفتار می‌کند، در حالیکه در وضعیت روشن، بین درین و سورس MOSFET مقاومت r_{DS} وجوددارد. مقدار مقاومت سوئیچ به موقعیت نقطه کار در ناحیه تریود در منحنی i_D-v_{DS} و نیز به ولتاژ گیت سورس و ابعاد قطعه بستگی دارد. بطور خاص، بیاد داشته باشید که برای کار در ناحیه مجاور مبدأ، (v_{DS}

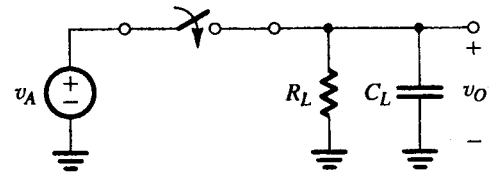
کوچک)، یک MOSFET کانال n دارد:

$$r_{DS} = \frac{1}{k'_n\left(\frac{W}{L}\right)(V_{GS} - V_t)}$$

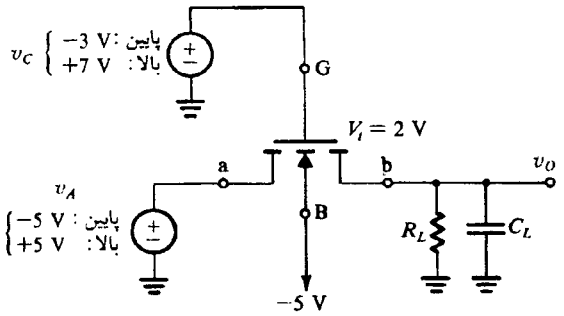
اگرچه مطلوب آن است که اندازه r_{DS} کم باشد، اما کار وارونگر دیجیتال اساساً بر اساس این مقدار نمی‌باشد. در سوئیچ‌های دیجیتال معمولاً چنین است. یعنی برای سوئیچ کردن سیگنال‌های دیجیتال از MOSFET استفاده می‌شود. این گونه کاربردها شامل طراحی وارونگرهای آنالوگ به دیجیتال، و دیجیتال به آنالوگ (فصل ۱۰) و فیلترهای سوئیچ خازنی (فصل ۱۱) است. در چنین مواردی، سوئیچ را **سوئیچ آنالوگ** می‌نامند و کار مدار با همان مشخصه سوئیچ آنالوگ می‌باشد. در ادامه، ابتدا مشخصات مطلوب یک سوئیچ آنالوگ را درنظر می‌گیریم، سپس نشان خواهیم داد که اگرچه یک ترانزیستور MOS می‌تواند به عنوان یک سوئیچ آنالوگ استفاده شود، مشخصه‌های آن تا حدودی کمتر از مقدار ایده‌آل است. سرانجام نشان خواهیم داد که MOSFET های کانال p و کانال n که بطور موازی به هم متصلند، یک سوئیچ آنالوگ عالی ارائه می‌کنند. مدار بدست آمده با فناوری CMOS ساخته می‌شود و به عنوان گیت انتقال CMOS شناخته می‌شود.

سوئیچ آنالوگ

برای ارزیابی مقتضیات جدی‌تر آنالوگ و مقایسه آن با سوئیچ دیجیتال، مدار شکل ۶۱-۵ را درنظر بگیرید. در اینجا سیگنال آنالوگ v_A به بار تشکیل شده از R_L و خازن موازی C_L، وارد می‌شود. وقتی سوئیچ باز است، بطور مسلم مطلوب آن است که مدار مانند یک مدار باز عمل کند. در نتیجه مقاومت در حالت خاموش سوئیچ باید خیلی زیاد و در حالت ایده‌آل بی‌نهایت باشد. در وضعیت بسته بودن، سوئیچ تا حد ممکن مانند یک مدار اتصال کوتاه عمل می‌کند. ملاحظه می‌کنید که مقاومت حالت روشن سوئیچ باشبکه بار یک مقسم امپدانس ایجاد می‌کند. از اینرو یک مقاومت روشن زیاد، موجب تضعیف شدن سیگنال می‌شود. همچنین با خازن بار یک فیلتر پایین گذر ایجاد می‌کند. این امر سبب می‌شود که اندازه و فاز سیگنال بدست آمده در خروجی بطور جدی به مقدار مقاومت سوئیچ بستگی داشته باشد. مشکل جدی‌تر وقتی اتفاق می‌افتد که مقدار مقاومت سوئیچ روشن به اندازه v_A بستگی داشته باشد. اگر اینطور باشد نسبت مقسم ولتاژ به اندازه v_A بستگی دارد، و سیگنال خروجی غیرخطی می‌شود.



شکل ۶۱-۵. یک سوئیچ آنالوگ که سیگنال آنالوگ v_A را به مداری متصل می‌کند که شامل مقاومت R_L و خازن موازی C_L است. سوئیچ با یک سیگنال کنترل ولتاژ کار می‌کند (در اینجا نشان داده نشده است).



شکل ۶۲-۵. استفاده از یک ترانزیستور NMOS منفرد برای پیاده سازی سوئیچ آنالوگ در مدار شکل ۶۱-۵

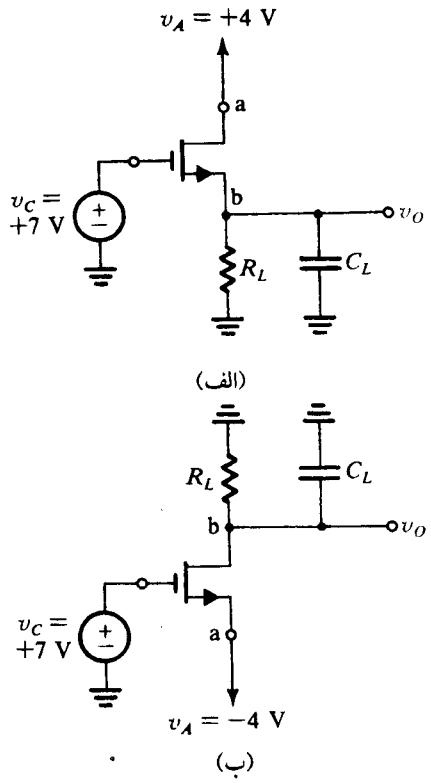
در پایان دقت شود که چون v_A می‌تواند مثبت یا منفی باشد، سوئیچ باید بتواند جریان را در هر دو جهت هدایت کند؛ یعنی، بایدیک کلید دو سویه باشد.

سوئیچ آنالوگ NMOS

ابتدا یک MOSFET را برای سوئیچ آنالوگ شکل ۶۱-۵ در نظر می‌گیریم. چنین مداری با استفاده از یک ترانزیستور NMOS در شکل ۶۲-۵ ترسیم شده است. برای توضیح دقیقتر، فرض کنیم v_A در حدود ±۵V باشد.

برای آنکه پیوندهای pn، بدنه به سورس یا بدنه به درین در همه حال بایاس معکوس شود، پایانه بدنه به ۵V− وصل شده است. سیگنال کنترل v_C برای روشن و خاموش کردن سویچ است. فرض کنید که قطعه دارای ولتاژ آستانه V_t = ۲V باشد. بنابراین برای روشن شدن ترانزیستور به ازای هر مقدار از سیگنال ورودی، مقدار بالای v_C باید حداقل ۷V+ باشد. مشابه آن، برای خاموش شدن ترانزیستور به ازای هر مقدار از سیگنال ورودی، مقدار پایین v_C باید حداکثر ۳V− باشد. البته این مقادیر در عمل ناکافی است، چون ترانزیستور در مقادیر حدی واقعاً روشن و واقعاً خاموشند. در هر حالت، می‌بینیم که محدوده ولتاژ کنترل باید حداقل برابر با محدوده سیگنال آنالوگ ورودی است که سویچ می‌شود. اگر چه متأسفانه، چنانکه پیشتر گفته شد مقاومت حالت روشنی سویچ تا حد زیادی به مقدار سیگنال ورودی آنالوگ بستگی داد، که این مشخصه نامطلوبی است. عیب مشهود دیگر، مقادیر نامتناسب برای v_C است.

ملاحظه می‌کنید که در شکل ۶۲-۵ مشخص نشده است که کدام پایه سورس و کدام درین است. ابتدا نباید آنها را نامگذاری کنیم زیر MOSFET قطعه‌ای متقارن است و سورس و درین می‌توانند به جای هم عوض شوند. نکته با اهمیت در کار قطعه به مثابه سویچ در همین امکان جابجایی پایه‌های آن است. بطور خاص، از دو پایانه، پایانه با ولتاژ بالاتر به عنوان درین کار می‌کند. بنابراین، اگر سیگنال ورودی آنالوگ مثبت، و مثلاً ۴V باشد، در آنصورت پایانه a، پایانه درین و پایانه b، سورس خواهد بود. در این حالت، (وقتی v_C بالا است) مدار شبیه به شکل الف ۶۳-۵ خواهد بود. به آسانی دیده می‌شود که قطعه در ناحیه تریود کار می‌کند و v_O خیلی نزدیک به مقدار سیگنال آنالوگ ورودی یعنی ۴V+ می‌باشد. از



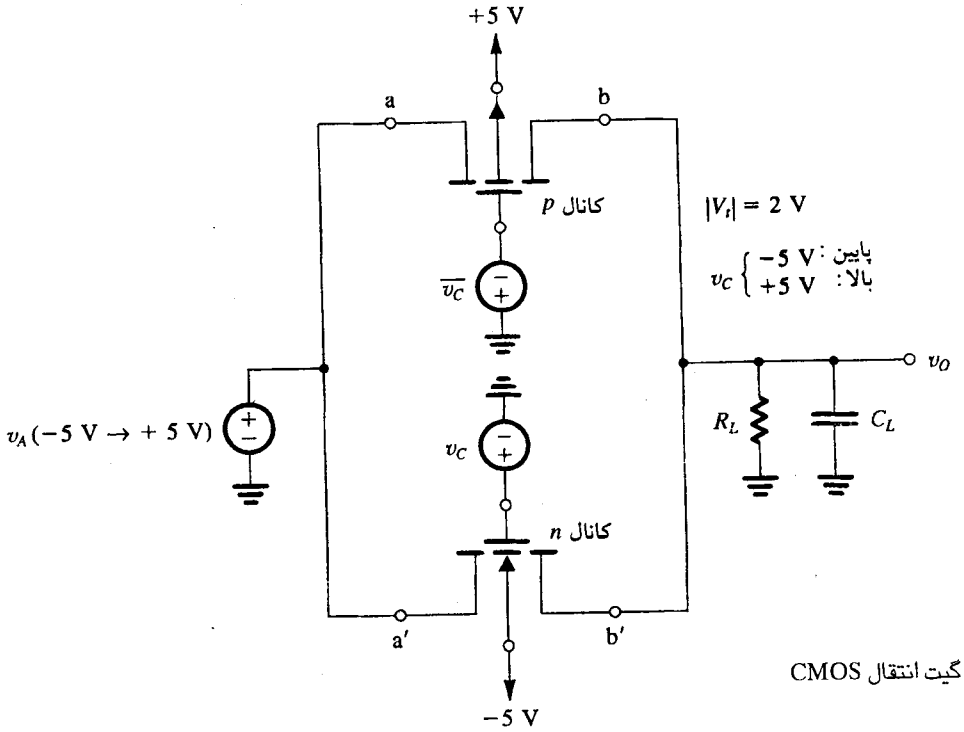
شکل ۶۳-۵. روشی برای بررسی کار مدار شکل ۶۲-۵ وقتی v_C بالاست: (**الف**) v_A مثبت است؛ (**ب**) v_A منفی است.

سوی دیگر، اگر سیگنال ورودی منفی، و مثلاً ۴V− ، باشد، در آنصورت پایانه b به عنوان درین و پایانه a، سورس عمل خواهد کرد. در این حالت، مدار (به ازای v_C بالا) به شکل آشنای ب ۶۳-۵ در خواهد آمد. در اینجا، بار دیگر تصریح می‌شود که قطعه در ناحیه تریود عمل می‌کند، و v_O فقط کمی بالاتر از مقدار سیگنال ورودی یعنی ۴V− است.

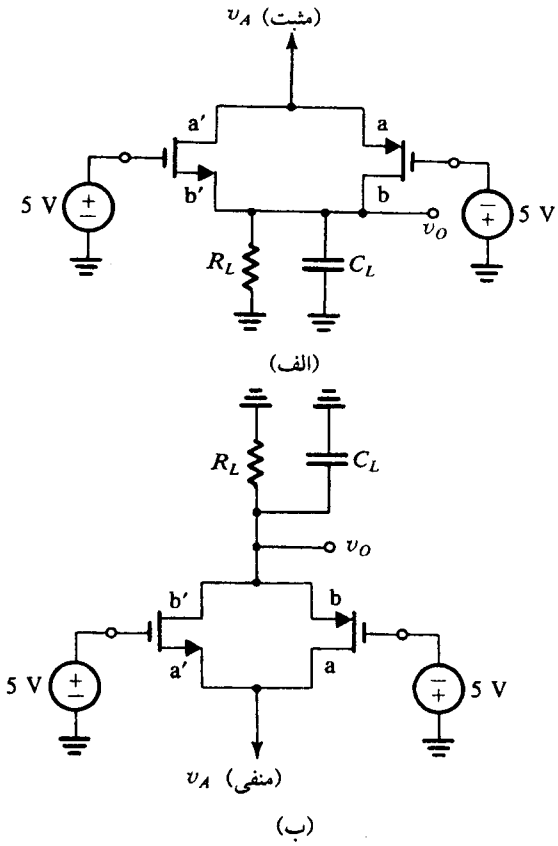
گیت انتقال CMOS

اجازه بدهید تا سوئیچ CMOS جالب دیگری را که در شکل (۶۴-۵) نشان داده شده ملاحظه کنیم. این مدار عموماً با نام **گیت انتقال** شناخته شده است. مانند حالت قبل، فرض می‌کنیم که سیگنال آنالوگی که قرار است قطع و وصل شود بین ۵ V− تا ۵V+ قرار دارد. برای جلوگیری از مستقیم‌شدن تغذیه پیوندهای بدنه در هر لحظه، بدنه قطعه کانال p به سطح مثبت‌تر (۵ V+) و بدنه قطعه کانال n به سطح منفی (۵ V−) متصل گردیده است. گیت ترانزیستورها بوسیله دو سیگنال مکمل v_C و $\overline{v_C}$ کنترل شده‌اند. برخلاف سوئیچ NMOS ، در اینجا سطوح v_C برابر با همان سطوح سیگنال آنالوگ، ۵ V+ و ۵ V− است، بنابراین قطعه کانال n همواره از هدایت کانال n به ازای هر v_A (در محدوده ۵ V− تا ۵V+) ممانعت خواهد شد. در همان زمان گیت قطعه کانال p در ۵V+ بوده و باز مانع هدایت آن برای هر مقدار v_A (در محدوده ۵V− تا ۵ V+) می‌گردد. بنابراین با v_C در سطح پایین، سوئیچ باز است.

برای اینکه سوئیچ بسته شود، باید سیگنال کنترل v_C را به سطح بالای ۵ V+ ببریم. گیت قطعه کانال n هم باید در ۵ V+ باشد و بنابراین به ازای هر مقدار v_A ، در محدوده ۵ V− تا ۳ V+ هدایت خواهد کرد. بطور همزمان، گیت قطعه کانال p در ۵ V− خواهد بود و بنابراین برای مقادیری از v_A در محدوده ۳ V− تا ۵ V+ هدایت خواهد کرد. می‌بینیم که برای مقادیری از v_A که کمتر از ۳ V− باشد فقط قطعه کانال n هدایت کرده و برای مقادیر v_A ، بزرگتر از ۳ V+ فقط قطعه کانال p هادی است. برای فاصله ۳ V− تا ۳ V+ هر دو قطعه روشن خواهند بود. بعلاوه می‌توانیم ببینیم که هر قدر یکی از قطعات هادی‌تر شود هدایت در دیگری کمتر می‌شود. بنابراین با کاهش مقاومت r_{DS} در یکی، این مقاومت در دیگری افزایش می‌یابد که این به معنی ثابت‌ماندن معادل موازی دو مقدار، که مقاومت "on" در سوئیچ است، خواهد بود. در واقع این یکی از مزایای



شکل ۶۴-۵. گیت انتقال CMOS



شکل ۶۵-۵ . مدارهای معادل برای بررسی کار گیت انتقال در وضعیت بسته (on) ؛ **(الف)** v_A مثبت است؛ **(ب)** v_A منفی است.

گیت انتقال CMOS نسبت به سوئیچ NMOS است. این مزیت علاوه بر مزیت کار CMOS به ازای سطوح مناسب‌تر سیگنال در CMOS است.

کار گیت انتقال (در حالت وصل) می‌تواند با توجه به دو مدار معادل در شکل (۶۵-۵) بهتر توجیه شود. در اینجا مدار در شکل (الف ۶۵-۵) مربوط به حالتی است که v_A مثبت و شکل (ب ۶۵-۵) مربوط به v_A منفی است. به خاصیت تعویض‌پذیری سورس و درین در هر دو قطعه توجه کنید. همچنین به طرز کار گیت انتقال CMOS توجه نمایید که در آن درین یکی به سورس دیگری و بالعکس وصل شده است.

در مقایسه با سوئیچ NMOS منفرد، گیت انتقال بخاطر استفاده از مدارهای پیچیده در سطح تراشه بزرگتر عملکرد بهتری دارد. استفاده از MOSFET منفرد یا گیت انتقال بستگی به مقتضیات استفاده و کاربرد مدار دارد.

اگر چه گیت انتقال CMOS به عنوان یک سوئیچ آنالوگ بسیار خوب در طراحی مدار دیجیتال کاربرد دارد. (فصل ۱۳) در پایان، گیت انتقال را در شکل (۶۶-۵) به همراه نماد مداری آن نشان می‌دهیم.

تمرین

۵-۴۰ گیت انتقال CMOS را به همراه معادلش در شکل (ب ۶۵-۵) درنظر بگیرید. فرض کنید هر دو قطعه دارای $|V_t| = 2$ V و $k'(W/L) = 100\ \mu A/V^2$ بوده و نیز $R_L = 50$ kΩ باشد. به ازای (الف) $v_A = -5$ V (ب) $v_A = -2$V (پ) $v_A = 0$ V ، v_O و مقاومت کل سوئیچ را بدست آورید. [راهنمایی: چون هر دو قطعه در ناحیه تریود کار خواهند کرد و v_{DS} کوچک است، از $i_D \cong 2K(v_{GS}-V_t)v_{DS}$ برای قطعه کانال n و از $[i_D=2K(v_{GS}-|V_t|)v_{DS}]$ برای کانال p استفاده کنید.

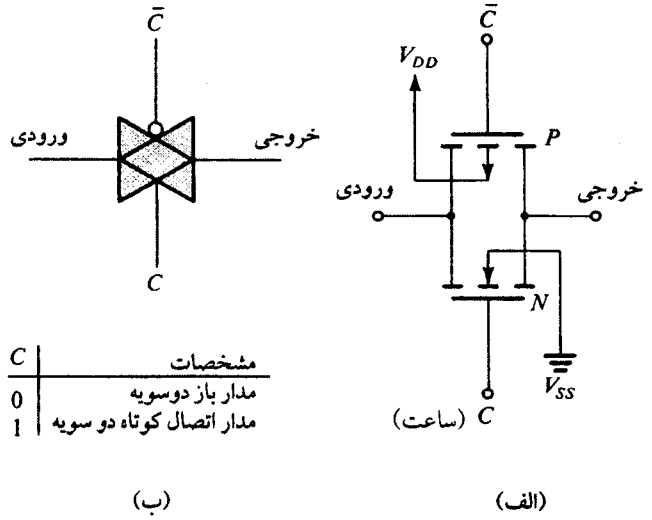
جواب. $-4/787$ V ، $1/25$ K ؛ (ب) $-1/986$ V ، $1/649$ V ؛ (پ) 0 V ، $1/66$ kΩ ❑

تذکر نهایی: مقایسه سویچهای آنالوگ BJT و MOSFET

در طراحی سویچهای آنالوگ، MOSFET خیلی مناسبتر از BJT است. اساساً به این دلیل که مشخصه‌های i_D-v_{DS} در MOSFET درست از مبدأ می‌گذرد و به طور متقارن به داخل ربع سوم کشیده می‌شود. بر عکس، مشخصه‌های i_C-v_{CE} در BJT ، محور v_{CE} را در یک ولتاژ محدود، تقریباً صفر، (حدود ۰/۱V) قطع می‌کند. به این ترتیب سویچ BJT یک ولتاژ افست به نمایش می‌گذارد. (بخش ۱۲-۴ را ملاحظه کنید).

۵-۱۰ ظرفیت داخلی MOSFET و مدل فرکانس بالا

از بررسی رفتار فیزیکی MOSFET در بخش ۱-۵ ، دانستیم که ترانزیستور دارای ظرفیت خازنی داخلی است. از مشخصه $i-v$ی MOSFET یکی از این ظرفیت‌های خازنی، یعنی ظرفیت گیت به کانال را بدست می‌آوریم. این کار را کردیم، البته با این فرض که بارهای روی این خازنها دفعتاً بدست می آیند. به بیان دیگر، زمان محدود شارژ و تخلیه انواع گوناگون ظرفیت داخلی را درنظر نگرفتیم. به عنوان نتیجه در مدل‌های بدست آمده قطعه، مثلاً در مدل سیگنال کوچک، ظرفیت‌های داخلی مطرح نشده بود. استفاده از این مدل‌ها بهره ثابت تقویت کننده را مستقل از فرکانس پیش‌بینی می‌کرد. البته، متأسفانه می‌دانیم که این حالت وجود ندارد؛ در واقع بهره تقویت کننده MOSFET در فرکانس‌های بالا افت می‌کند. مشابه آن وارونگر MOSFET دارای تأخیر انتشار غیرصفر و



C	مشخصات
0	مدار باز دوسویه
1	مدار اتصال کوتاه دو سویه

شکل ۶۶-۵ . گیت انتقال CMOS و نماد مداری آن

محدود است. برای آنکه این نتایج را بتوان پیش بینی کرد، مدل MOSFET بایستی با ظرفیت های داخلی در نظر گرفته شود. موضوع این بخش همین است.

برای درک منشاء ظرفیت‌های داخلی به شکل ۱-۵ مراجعه کنید. اساساً دو نوع خازن داخلی در MOSFET وجود دارد:

۱ - اثر خازنی گیت: پایه گیت با کانال صفحات موازی یک خازن را شکل می‌دهند و لایه اکسید عایق بین دو صفحه را بوجود می‌آورد. در بخش ۱-۵ دربارهٔ ظرفیت اکسید یا گیت بحث شد و مقدار آنرا در واحد سطح به صورت C_{ox} نشان دادیم.

۲ - ظرفیت های سورس بدنه و لایه تهی درین بدنه: این ظرفیت ها مربوط به پیوند بایاس معکوس pn است که با منبع سورس $n+$ (که انتشار سورس نامیده می‌شود) و ماده بدنه نوع p، و نیز ناحیه درین $n+$ (انتشار درین) و ماده بدنه.

این دو اثر خازنی با وجود خازن‌ها در مدل MOSFET بین چهارپایانه‌اش G، D، S، B می‌توانند مدل شوند. در مجموع پنج ظرفیت خازنی وجود دارد: C_{gs}، C_{gd}، C_{gb}، C_{sb} و C_{db}، که اندیس‌ها نشان دهنده موقعیت ظرفیت‌ها در مدل است. در ادامه نشان می‌دهیم که چگونه مقادیر پنج مدل ظرفیت تعیین می‌شوند. این کار را برای بررسی دو اثر خارجی به طور جداگانه انجام می‌دهیم.

اثر ظرفیت گیت

اثر ظرفیت گیت با سه ظرفیت خازنی C_{gs}، C_{gd}، C_{gb} می‌توانند مدل شوند. مقادیر این خازن‌ها به صورت زیر تعیین می‌شوند.

۱ - وقتی MOSFET در ناحیه تریود با v_{DS} کار می‌کند، کانال دارای عمق یکنواخت است. ظرفیت گیت - کانال $WL\ C_{ox}$ خواهد بود و با تقسیم آن به تساوی بین گیت و سورس مدل می‌شود؛ بنابراین

$$C_{gs} = C_{gd} = \frac{1}{2} WL\ C_{ox} \text{(ناحیه تریود)} \quad (۵-۱۰۴)$$

به طور مسلم این رابطه تقریبی است (همانگونه که همه مدلها هستند) اما در ناحیه تریود خوب کار می‌کنند حتی اگر v_{DS} کوچک نباشد.

۲ - وقتی MOSFET در حالت اشباع کار کند. کانال یک شکل باریک شونده خواهد داشت و در انتهای درین و یا نزدیک به انتهای آن مسدود خواهد شد. می‌توان نشان داد که ظرفیت گیت به کانال در این حالت تقریباً $\frac{2}{3} WL\ C_{ox}$ است و با درنظر گرفتن تمام مقدار C_{gs}، و مقدار صفر برای C_{gd} (چون کانال در درین مسدود است) می‌توانند مدل شود. بنابراین:

$$\left.\begin{aligned} C_{gs} &= \frac{2}{3} WL\ C_{ox} \quad (۵-۱۰۵) \\ C_{gd} &= 0 \quad (۵-۱۰۶) \end{aligned}\right\} \text{ناحیه اشباع}$$

۳ - وقتی MOSFET قطع است، کانال محو می‌شود، و بنابراین $C_{gs}=C_{gd}=0$. البته، می‌تواند اثر ظرفیت خازنی گیت را با در نظرگرفتن WLC_{ox} در ظرفیت مدل بدنه - گیت مدل سازی کرد.

بنابراین:

$$\left.\begin{aligned} C_{gs} &= C_{gd} = 0 \quad (۵-۱۰۷) \\ C_{gb} &= WL\ C_{ox} \quad (۵-۱۰۸) \end{aligned}\right\} \text{ناحیه قطع}$$

۴- یک مؤلفه خازنی کوچک اضافی وجود دارد که باید به C_{gs} و C_{gd} در همه فرمول‌های قبلی اضافه شود. این ظرفیت حاصل این واقعیت است که انتشار درین و سورس به آرامی در اکسید گیت گسترش می‌یابد. اگر طول همپوشانی با L_{ov} نشان داده شود، ملاحظه می‌کنیم که مؤلفه ظرفیت همپوشانی عبارتست از:

$$C_{ov} = WL_{ov}\ C_{ox} \quad (۵-۱۰۹)$$

بطور معمول $L_{ov}=0/1-0/2\mu m$ که کسری قابل ملاحظه‌ای از طول کانال در فناوری CMOS زیرمیکرون مدرن است.

ظرفیت‌های پیوند

ظرفیت‌های لایه تهی دو پیوند pn بایاس معکوس که بین نفوذ سورس و درین و بدنه تعیین می‌شوند، با استفاده از فرمول بخش ۳-۳ (معادله ۳-۲۵) ارائه می‌گردد. به این ترتیب، در نفوذ سورس، ظرفیت سورس بدنه، C_{sb} خواهد بود:

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}} \quad (۵-۱۱۰)$$

که C_{sb0} مقدار C_{sb} در بایاس صفر سورس بدنه است. V_{SB} اندازه ولتاژ بایاس است، و V_O ولتاژ ذاتی پیوند (۰/۶ تا ۰/۸V) می‌باشد. بطور مشابه، در نفوذ درین، ظرفیت بدنه - درین C_{db} چنین است:

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}} \quad (۵-۱۱۱)$$

که در آن C_{db0} ظرفیت در ولتاژ بایاس معکوس صفر است و V_{DB} اندازه ولتاژ بایاس معکوس می‌باشد. توجه کنید که فرض کرده‌ایم در هر دو پیوند، ضریب شیب (گرادیان) $m=\frac{1}{2}$ است.

باید توجه داشت که ظرفیت پیوندها شامل یک مؤلفه ناشی از طرف پایین نفوذ و مؤلفه‌ای دیگر ناشی از دیواره‌های اطراف نفوذ است. به همین دلیل، ملاحظه می‌کنید که هر نفوذ سه دیواره جانبی دارد که در تماس با ماده اصلی است و بنابراین در ظرفیت پیوند نقش دارد (دیواره چهارم به کانال وصل است). در مدل‌های پیشرفته MOSFET ، دو مؤلفه از ظرفیت‌های پیوند به طور جداگانه محاسبه شده‌اند.

فرمول‌های ظرفیت‌های پیوند درمعادله (۵-۱۱۰) و (۵-۱۱۱) با فرض کار سیگنال کوچک است. این فرمول‌ها، البته برای بدست آوردن متوسط مقادیر تقریبی ظرفیت‌ها تغییر داده می‌شوند وقتی که ترانزیستورها در شرایط سیگنال بزرگ مانند مدارهای منطقی کار می‌کنند. مقادیر نمونه ظرفیت‌های گوناگون از MOSFET کانال n در یک روش بالنسبه مدرن CMOS ($1/2\mu m$) در تمرین زیر داده شده است.

تمرین

۵-۴۱ در یک MOSFET کانال با t_{ox} = ۲۰nm ، L = ۲/۴μm ، V_o=۰/۸V ، C_{bd_o}=C_{sb_o}=۴۰ fF ، L_{ov} = ۰/۱۵μm ، W = ۱۰μm و $|V_{SB}|$ = $|V_{DB}|$=۲V ، بدست آورید ظرفیت‌های زیر را وقتی ترانزیستور در حالت اشباع کار کند: C_{ox} ، C_{ov} ، C_{gs} ، C_{gd} ، C_{sb} ، C_{db} .

جواب. ۱/۷۵fF/μm^2 ؛ ۲/۶fF ؛ ۳۰/۶fF ؛ ۲/۶fF ؛ ۲۱/۴fF ؛ ۲۱/۴fF ❑

مدل فرکانس بالای MOSFET

شکل الف ۶۷-۵ مدل سیگنال کوچک MOSFET را با چهار خازن C_{gs} ، C_{gd} ، C_{sb} ، C_{db} نشان می‌دهد. این مدل برای پیش بینی پاسخ تقویت کننده‌های فرکانس بالای MOSFET استفاده می‌شود. البته این مدل برای تحلیل با کاغذ و قلم کاملاً پیچیده و دشوار است و برای استفاده از شبیه سازی‌های کامپیوتری مانند SPICE دارای محدودیت است. خوشبختانه وقتی سورس به بدنه وصل است، مدل مانند شکل ب ۶۷-۵ در حد قابل ملاحظه ساده می‌شود. در این مدل ، C_{gd} ، اگرچه کوچک است نقش مهمی در تعیین پاسخ فرکانس بالای تقویت کننده‌ها ایفا می‌کند (فصل ۷) و به همین دلیل در مدلها منظور می‌شود. از سوی دیگر ظرفیت C_{db} معمولاً نادیده گرفته می‌شود و در نتیجه در تحلیل با کاغذ و قلم به قدر کافی ساده خواهد بود. مدار بدست آمده در شکل پ ۶۷-۵ نشان داده شده است.

مدار معادل MOSFET شکل (پ ۶۷-۵) شکل ۷۰-۴ را تقریباً بطور کامل نشان می‌دهد. در نتیجه مانند مدل π هیبرید به مدل MOSFET مراجعه خواهیم کرد.

فرکانس بهره واحد MOSFET (f_T)

نمودی از شایستگی کار فرکانس بالای MOSFET به عنوان یک تقویت کننده، فرکانس بهره واحد، f_T است. این وقتی تعیین می‌شود که بهره جریان مدار اتصال کوتاه پیکربندی سورس مشترک واحد باشد. توجه کنید که این تعریف با آنکه در فصل ۴ دربارهٔ BJT بدست آمد، یکسان است. شکل ۶۸-۵ مدل π هیبرید MOSFET را نشان می‌دهد که سورس به مثابه پایه مشترک بین درگاهی‌های ورودی و خروجی تعیین شده باشد. برای تعیین بهره جریان مدار اتصال کوتاه، ورودی با سیگنال منبع جریان I_i تغذیه می‌شود و پایانه خروجی اتصال کوتاه می‌گردد. به راحتی می‌بینیم که جریان مدار اتصال کوتاه از رابطه زیر بدست می‌آید:

$$I_o = g_m v_{gs} - s\, C_{gd} V_{gs}$$

با یادآوری اینکه C_{gd} در فرکانس‌های موردنظر کوچک است، عبارت دوم این معادله را می‌توان نادیده گرفت:

$$I_o \cong g_m V_{gs} \qquad (۵-۱۱۲)$$

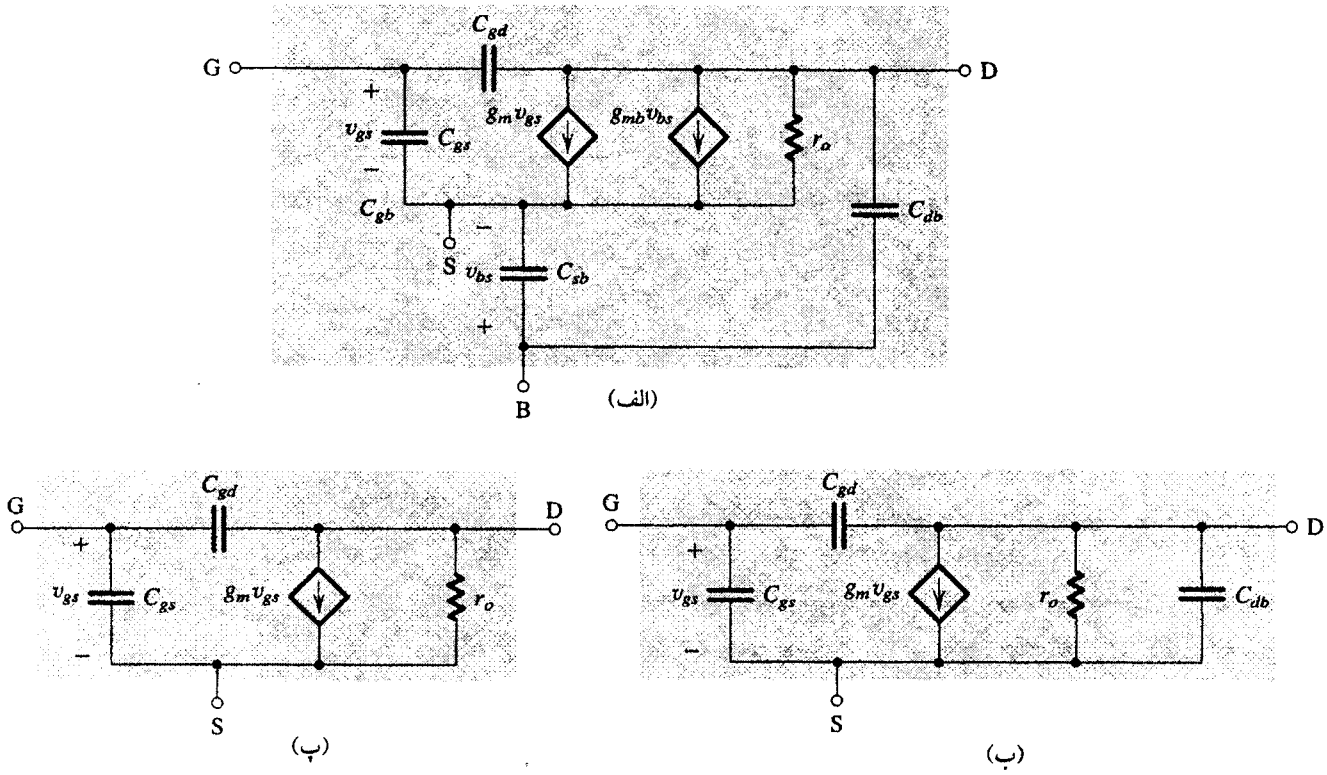
از معادله (۶۸-۵) می‌توان V_{gs} را برحسب جریان ورودی I_i به صورت زیر بیان نمود:

$$V_{gs} = I_i/s\ (C_{gs} + C_{gd}) \qquad (۵-۱۱۳)$$

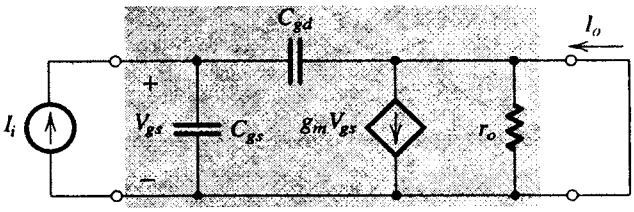
معادله‌های (۱۱۲-۵) و (۱۱۳-۵) را می‌توان تلفیق کرد و بهره جریان اتصال کوتاه را بدست آورد:

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \qquad (۵-۱۱۴)$$

در فرکانس‌های فیزیکی $s=j\omega$ ، می‌توان دید که اندازه بهره جریان در



شکل ۶۷-۵ . **(الف)** مدل مدار معادل فرکانس بالای MOSFET **(ب)** مدار معادل برای وقتی که سورس به بدنه وصل است؛ **(پ)** مدل مدار معادل (ب) که برای سهولت تحلیل از C_{db} آن چشم پوشی شده است.



شکل ۶۸-۵. تعیین بهره جریان اتصال کوتاه I_o/I_i.

فرکانس زیر واحد می‌شود:

$$\omega_T = g_m/(C_{gs} + C_{gd})$$

به این ترتیب، فرکانس بهره واحد $f_t=\omega_T/2\pi$

$$f_T = \frac{g_m}{2\pi\ (C_{gs} + C_{gd})} \qquad (۵-۱۱۵)$$

چون f_Tمتناسب با g_mاست و نسبت معکوس با ظرفیت‌های داخلی FET دارد، هرچه مقدار f_Tبیشتر باشد FET به عنوان یک تقویت کننده کارآمدتر است. از جایگزینی برای g_mاز معادله (۴۴-۵)، می‌توان f_Tرا برحسب جریان بایاس I_D تعریف کرد. از طرفی با جایگزینی برای g_mاز معادله (۴۳-۵)، f_tبرحسب ولتاژ مؤثر $V_{GS}-V_t$بیان می‌گردد. هر دو رابطه درک عمیق‌تری از کار فرکانس بالای MOSFET ارائه می‌کنند.

بطور نمونه، f_Tبین ۱۰۰MHz در فناوری‌های قدیمی‌تر (مثلاً فرآیند ۵μm برای CMOS) تا چند GHz در فناوری‌های سرعت بالا تغییر می‌کند.

تمرین

۵-۴۲ f_Tرا در MOSFET کانال n با ظرفیت‌های بدست آمده در تمرین ۵-۴۱ محاسبه کنید. فرض کنید کار در ۱۰۰μA انجام شود و $K'_n=100\mu A/V^2$ (با توجه به جدول (۱-۵).

جواب. ۱/۳۸GHz ❑

۵-۱۱ ترانزیستور اثر میدانی پیوندی (JFET)

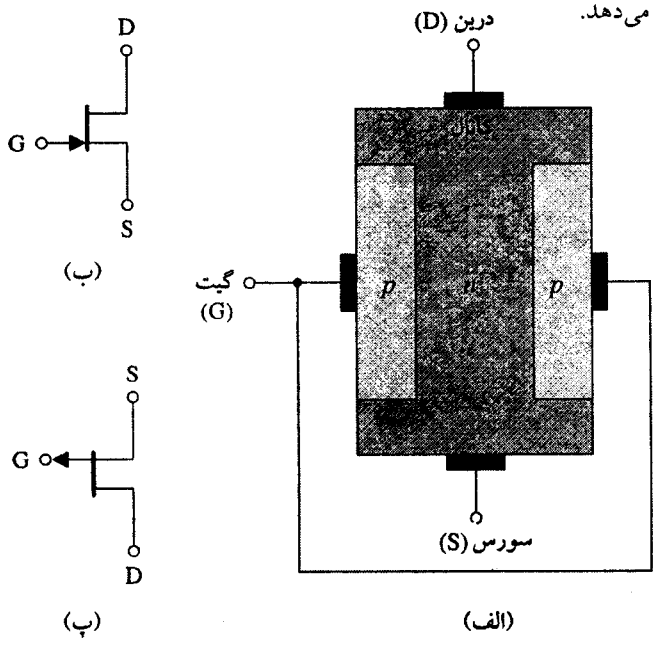
ترانزیستور اثر میدانی پیوندی یا JFET، شاید ساده‌ترین ترانزیستور موجود باشد. این قطعه دارای مشخصه‌های مهم زیاد است. از جمله مقاومت ورودی زیاد آن قابل توجه می‌باشد. البته متأسفانه مقاومت ورودی FETها از مقاومت ورودی MOSFET کمتر است. این مزیت MOSFET به همراه مزایای دیگر این قطعه، کاربرد آنرا در مدارهای مجتمع بزرگ مقیاس (VLSI) مسلم ساخته است. بنابراین بجز چند کاربرد خاص، JFET در حال حاضر یک قطعه پر مصرف نیست. یکی از کاربردهای آن استفاده از JFET به عنوان طبقه ورودی مدار مجتمع op-amp است که بقیه مدار آن از BJTها تشکیل شده است. طبقه ورودی JFET دارای مقاومت ورودی بزرگی است که بسیار بزرگتر از BJTهای موجود در یک op-amp است. در مدارهای مجزا، از JFET هم به عنوان تقویت کننده و هم به عنوان سوئیچ استفاده می‌شود. در این بخش، توضیح مختصری درباره ساختمان JFET، عملکرد آن و مشخصه‌های پایانه‌اش ارائه می‌کنیم. در سرتاسر این کتاب با تعدادی از مدارهای JFET آشنا می‌شویم.

ساختمان قطعه

مانند انواع دیگر ترانزیستورهای اثر میدانی، JFETها با دو پلاریته موجودند: کانال nو کانال p. شکل (الف ۶۹-۵) ساختمان ساده‌ای از یک FET کانال n نشان می‌دهد. این قطعه شامل باریکه‌ای از سیلیکون نوع n است که نواحی نوع pدر دو سمت آن نفوذ داده شده است. ناحیه nکانال است و نواحی نوع pکه از نظر الکتریکی به هم مرتبطند، گیت را تشکیل می‌دهند. عملکرد قطعه بر اساس بایاس معکوس پیوند pnبین گیت و کانال است. در واقع، از همین بایاس معکوس این پیوند است که برای کنترل پهنای کانال و بنابراین شارش جریان از درین به سورس استفاده می‌شود. نقش اصلی این پیوند pnدر کال FET علت نامگذاری این قطعه می‌باشد: ترانزیستور اثر میدانی پیوندی (JFET).

مسلم است که یک قطعه کانال pبا معکوس کردن لایه‌های دو نوع نیمه هادی بوجود می‌آید، یعنی با استفاده از سیلیکون نوع p کانال بوجود می‌آید و از سیلیکون نوع nبرای ناحیه گیت استفاده می‌شود.

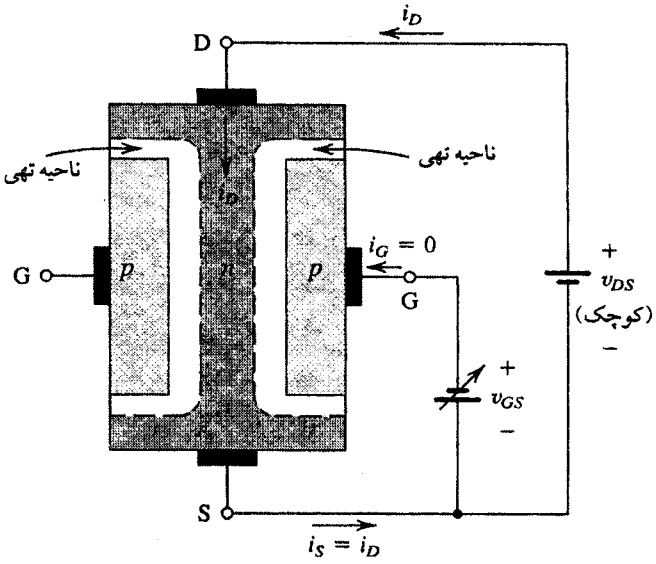
شکل (ب ۶۹-۵) و (پ) علامت مداری JFETبا دو نوع پلاریته را نشان می‌دهد. ملاحظه می‌کنید که پلاریته قطعه (کانال n یا کانال p) با جهت پیکان خط گیت را می‌نمایاند. اگر چه JFETقطعه‌ای متقارن است که سورس و درین آن را می‌توان جا به جا کرد، اما بهتر آن است که هنگام طراحی، یک پایانه به عنوان سورس و پایانه دیگر به عنوان درین مشخص شود. علامت مداری این تمایز به صورت نزدیکی گیت به سورس نشان می‌دهد.



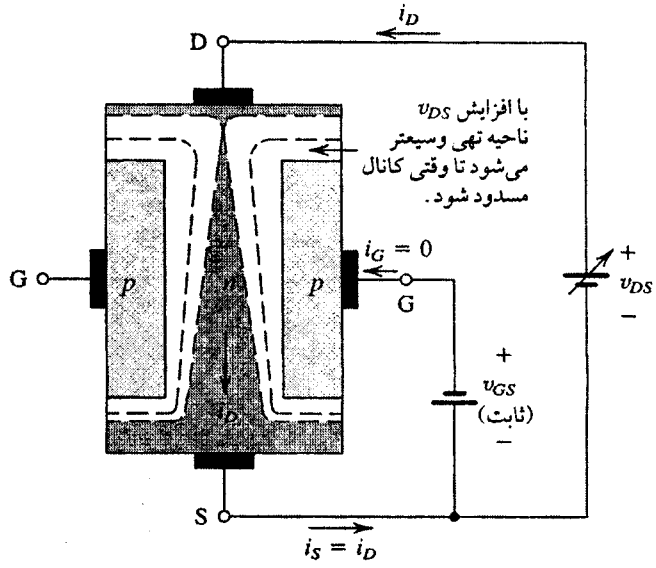
شکل ۶۹-۵. **(الف)** اساس ساختمان JFET کانال n. برای بررسی عملکرد قطعه، ساختمان آن خلاصه شده است **(ب)** علامت مداری JFET کانال n **(پ)** علامت مداری JFET کانال p.

عملکرد فیزیکی

شکل (الف ۷۰-۵) و JFET کانال n را ملاحظه کنید. (برای سهولت کار، ارتباط الکتریکی بین پایانه‌های گیت را نشان نداده‌ایم. فرض بر آن است که دو پایانه‌ای که با G مشخص شده‌اند با یکدیگر مرتبطند) . با $v_{GS} = 0$ اعمال ولتاژ v_{DS} سبب شارش جریان از درین به سورس می‌شود. وقتی v_{GS} منفی اعمال شود، ناحیه تهی پیوند گیت - کانال عریض‌تر شده و کانال متناسب با آن باریکتر می‌شود؛ بنابراین مقاومت کانال افزایش، و جریان i_D (در یک v_{DS} معین) کاهش می‌یابد. چون v_{DS} کوچک است، کانال تقریباً دارای پهنای یکنواخت است. JFET به سادگی مانند یک مقاومت عمل



(الف)



(ب)

شکل ۷۰-۵ . عملکرد فیزیکی JFET کانال n: **(الف)** به ازای v_{DS} کانال یکنواخت است و ترانزیستور مانند مقاومتی عمل می‌کند که مقدارش با v_{GS} کنترل می‌شود. **(ب)** افزایش v_{DS} موجب گووه‌ای شدن شکل کانال و حتی مسدود شدن آن می‌شود. توجه کنید که دو گیت از نظر الکتریکی به هم متصل شده‌اند اگر چه در اینجا نشان داده نشده‌اند.

می‌کند که مقدارش با v_{GS} کنترل می‌شود. اگر v_{GS} را در جهت منفی افزایش دهیم، به مقداری خواهیم رسید که ناحیه تهی در سراسر کانال پدید آید. در این مقدار v_{GS}، کانال که از حامل‌های بار (الکترونها) کاملاً تهی است، عملاً محو می‌شود. در نتیجه این مقدار v_{GS} ولتاژ آستانه قطعه، V_t است، که بطور مسلم برای یک JFET کانال n منفی است. در JFET ها، ولتاژ آستانه را ولتاژ انسداد می‌نامند و با V_p نشان داده می‌شود.

سپس موقعیت تصویر شده در شکل (ب ۷۰-۵) را در نظر بگیرید. در اینجا v_{GS} در ولتاژی بزرگتر (یعنی منفی‌تر) از V_t ثابت نگهداشته می‌شود و v_{DS} افزایش داده می‌شود. چون v_{DS} به صورت افت ولتاژ در دو سر طول کانال ظاهر می‌شود، ولتاژ با حرکت در امتداد طول از سورس به درین اضافه می‌شود. این امر موجب می‌شود که ولتاژ بایاس معکوس بین گیت و کانال در نقاط مختلف کانال فرق کند و در سر درین بیشترین مقدار باشد. بنابراین کانال تیغه‌ای شکل شده مشخصهٔ $i_D - v_{DS}$ غیر خطی می‌شود. وقتی بایاس معکوس سر درین، v_{GD}، به پایین‌تر از ولتاژ آستانه V_t افت کند. کانال در انتهای درین مسدود شده و جریان درین اشباع می‌گردد. بقیه عملکرد JFET بسیار شبیه MOSFET است که درباره آن توضیح داده شد.

توضیح بالا به روشنی نشان می‌دهد که JFET یک قطعه نوع تهی است. بنابراین مشخصه‌های آن به MOSFET نوع تهی شبیه است. این با یک استثناء درست است: که MOSFET نوع تهی در حالت افزایشی (چنانچه قطعه دارای کانال n باشد با اعمال یک v_{GS} مثبت) امری ممکن است در حالی که در این حالت کار JFET ناممکن می‌باشد. اگر سعی کنیم ولتاژ مثبت v_{GS} اعمال شود، پیوند pn گیت کانال بایاس مستقیم می‌شود و گیت کنترل کانال را متوقف می‌سازد. بنابراین ماکزیمم v_{GS} به صفر ولت محدود می‌شود، اگر چه این ولتاژ ممکن است به ۳V و یا بیشتر برسد زیرا پیوند pn اساساً در چنین ولتاژ مستقیم ناچیزی در حالت قطع باقی می‌ماند.

مشخصه های جریان - ولتاژ

مشخصه‌های ولتاژ جریان JFET همانند MOSFET نوع تهی است که در بخش ۳-۵ توضیح داده شد. با این تفاوت که در JFET، ماکزیمم v_{GS} مجاز معمولاً ۰V است. علاوه بر این JFET با عنوان ولتاژ انسداد V_p (که با V_t در MOSFET برابر است) و نیز جریان درین - سورس و گیت متصل به سورس، I_{DSS} معرفی می‌شود که متناسب است با $\frac{1}{2}k'_nV_t^2$ در MOSFET. با این جایگزینی، مشخصه‌های کانال n در JFET به صورت زیر تعریف می‌شوند:

قطع: $i_D = 0 \,,\, v_{GS} \le V_p$

ناحیه تریود: $v_{DS} \le v_{GS} - V_p \,,\, V_p \le v_{GS} \le 0$

$$i_D = I_{DSS}\left[2\left(1-\frac{v_{GS}}{V_p}\right)\left(\frac{v_{DS}}{-V_p}\right)-\left(\frac{v_{DS}}{V_p}\right)^2\right] \quad (۵-۱۱۶)$$

ناحیه اشباع (انسداد): $V_p \le v_{GS} \le 0 \,,\, v_{DS} \ge v_{GS} - V_p$

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 (1 + \lambda v_{DS}) \qquad (۵-۱۱۷)$$

که در آن λ معکوس ولتاژ ارلی است؛ $\lambda = 1/V_A$، و V_A و λ در قطعه‌های کانال n مثبت هستند.

به یاد داشته باشید که در قطعه کانال n، V_p منفی است، به بیان دیگر، برای آنکه $JFET$ در انسداد عمل کند، ولتاژ درین باید حداقل به اندازه $|V_p|$ از ولتاژ گیت بیشتر باشد.

چون پیوند گیت کانال همواره بایاس معکوس می‌شود، فقط یک جریان نشتی از پایانه گیت می‌گذرد. از فصل ۳ بیاد داریم که چنین جریانی در حدود 10^{-9} آمپر است. اگر چه i_G خیلی کوچک است، و تقریباً در همه موارد صفر فرض شده، بایستی توجه شود که جریان گیت یک JFET چندین مرتبه بزرگتر از جریان گیت یک MOSFET است. البته جریان اخیرالذکر به علت ساختمان عایق شده گیت بسیار ناچیز است. نکته پیچیده دیگر در JFET به دلیل وابستگی زیاد جریان نشتی گیت به دما است - تقریباً دو برابر شدن به ازای هر ۱۰ درجه سانتی‌گراد افزایش دما، درست مانند بایاس معکوس دیود. (فصل ۳ را ملاحظه کنید).

JFET کانال P

مشخصه‌های ولتاژ - جریان JFET کانال p با همان معادله‌های JFET کانال n توصیف می‌شوند. و البته توجه کنید که در JFET کانال p، V_p مثبت است، $0 \le v_{GS} < V_p$، v_{DS} منفی است، λ و V_A منفی است و جریان i_D از پایانه درین خارج می‌شود. برای آنکه JFET کانال p در انسداد عمل کند، باید $v_{DS} \le v_{GS} - V_p$، بدین معنی که ولتاژ درین باید حداقل به اندازه $|V_p|$ کمتر از ولتاژ گیت باشد. بعلاوه با $v_{DS} \ge v_{GS} - V_p$، JFET کانال p در ناحیه تریود کار می‌کند.

مدل سیگنال کوچک JFET

مدل سیگنال کوچک JFET همانند MOSFET است. [شکل ب ۳۴-۵ را ملاحظه کنید]. در اینجا g_m به صورت زیر است:

$$g_m = \left(\frac{2I_{DSS}}{|V_p|}\right)\left(1 - \frac{V_{GS}}{V_p}\right) \qquad (\text{الف } ۵-۱۱۸)$$

یا به عبارت دیگر

$$g_m = \left(\frac{2I_{DSS}}{|V_p|}\right)\sqrt{\frac{I_D}{I_{DSS}}} \qquad (\text{ب } ۵-۱۱۸)$$

که در آن V_{GS} و I_D کمیت‌های بایاس dc هستند، و

$$r_o = \frac{|V_A|}{I_D} \qquad (۵-۱۱۹)$$

در فرکانسهای بالا، مدار معادل شکل (پ ۶۷-۵) با C_{gs} و C_{gd}، ظرفیتهای تهی بکار می‌روند. بطور نمونه: $C_{gs} = 1$ تا ۳pF، $C_{gd} = 0.1$ تا ۰/۵pF، و $f_t = 20$ تا ۱۰۰MHz.

تمرین ها

در تمرینهای ۴۳-۵ تا ۴۶-۵، در نظر بگیرید JFET کانال n دارای $V_p = -4V$ و $I_{DSS} = 10mA$ باشد و بجز موارد ذکر شده، فرض کنید در انسداد (اشباع) مقاومت خروجی بی‌نهایت است.

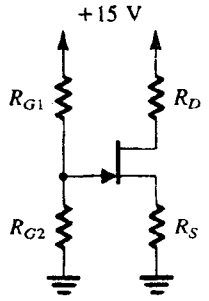
۵-۴۳ به ازای $v_{GS} = -2V$، مینیمم v_{DS} را برای قطعه بیابید که در حالت انسداد عمل کند. i_D را به ازای $v_{GS} = -2V$ و $v_{DS} = 3V$ محاسبه کنید.
جواب. ۲V ؛ ۲/۵mA

۵-۴۴ به ازای $v_{DS} = 3V$، تغییر i_D را متناسب با تغییر v_{GS} از $-2V$ تا $-1.6V$ بیابید.
جواب. ۱/۱mA

۵-۴۵ به ازای v_{DS} کوچک مقدار r_{DS} را در $v_{GS} = 0V$ و در $v_{GS} = -3V$ محاسبه کنید.
جواب. ۲۰۰Ω ؛ ۸۰۰Ω

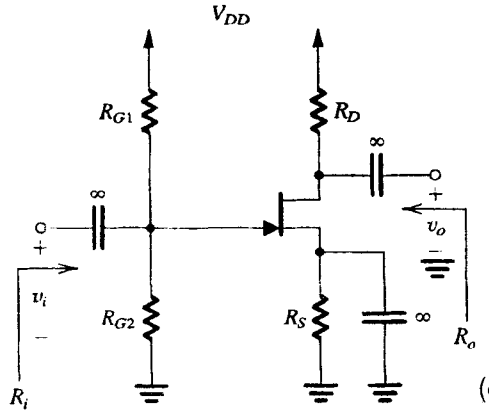
۵-۴۶ اگر $V_A = 100V$ باشد، مقاومت خرجی JFET، r_o را بیابید، وقتی در انسداد با جریان‌های ۱mA، ۲/۵mA و ۱۰mA عمل کند.
جواب. ۱۰۰KΩ ؛ ۴۰KΩ ؛ ۱۰KΩ

۵-۴۷ یک JFET کانال p با $V_p = -3V$ و $I_{DSS} = 9mA$ در نظر بگیرید (شکل ۴۷-۵ ت) اگر $v_{GS}=5V$ باشد، i_D را به ازای $v_{DS}=-1V$ و $v_{DS} = -2V$ بیابید. فرض کنید $\lambda = 0$ باشد.
جواب. ۱/۲mA ؛ ۱/۶mA



شکل (۴۷-۵ ت)

۵-۴۸ در JFET مدار تمرین ۴۷-۵، فرض کنید سیگنال ورودی v_i با خازن به گیت اعمال شود. یک خازن کنار گذر بین سورس و زمین متصل



شکل (۴۸-۵ ت)

شده و سیگنال خروجی v_o از درین با یک خازن بزرگ به دست می‌آید. تقویت کننده سورس مشترک بدست آمده در شکل (۴۸-۵ت) نشان داده شده است. g_m و r_o را محاسبه کنید (با فرض آنکه $V_A = 100V$). همچنین R_i، $A_v \equiv \frac{v_o}{v_i}$، و R_o را بدست آورید.

جواب. ۴mA/V ؛ ۲۵kΩ ؛ ۶۶/۷kΩ ؛ −۳/۸V/V ؛ ۹۶۲Ω ❑

۵-۱۲ قطعه‌های گالیوم-آرسناید MESFET-(GaAS)

قطعه‌هایی که تاکنون موردبحث قرارگرفته‌اند و در واقع اکثر قطعه‌های مدارهای بررسی شده در این کتاب، از سیلیکون ساخته شده‌اند. این امر بازتاب وضعیتی است که حداقل در سه دهۀ اخیر در صنعت میکروالکترونیک وجود داشته است. علاوه بر این با توجه به پیشرفتهای روزافزون تکنولوژی مدارها و قطعه‌های سیلیکونی، انتظار می‌رود برتری سیلیکون به عنوان مفیدترین مادۀ نیمه‌هادی سالها ادامه یابد. با این حال مادۀ نیمه‌هادی دیگری، درکاربردهای دیجیتالی که نیاز به سرعت بالا دارند و درکاربردهای آنالوگی که در فرکانسهای بسیار زیاد انجام می‌پذیرد، گوی سبقت را از سایر نیمه‌هادیها ربوده است. منظور ما گالیوم آرسناید (GaAs) که یک نیمه هادی مرکب از گالیوم عنصری از سومین ستون جدول تناوبی عناصر شیمیایی و ارسنیک که در ستون پنجم است می‌باشد. بنابراین GaAs به عنوان نیمه‌هادی III−V شناخته می‌شود.

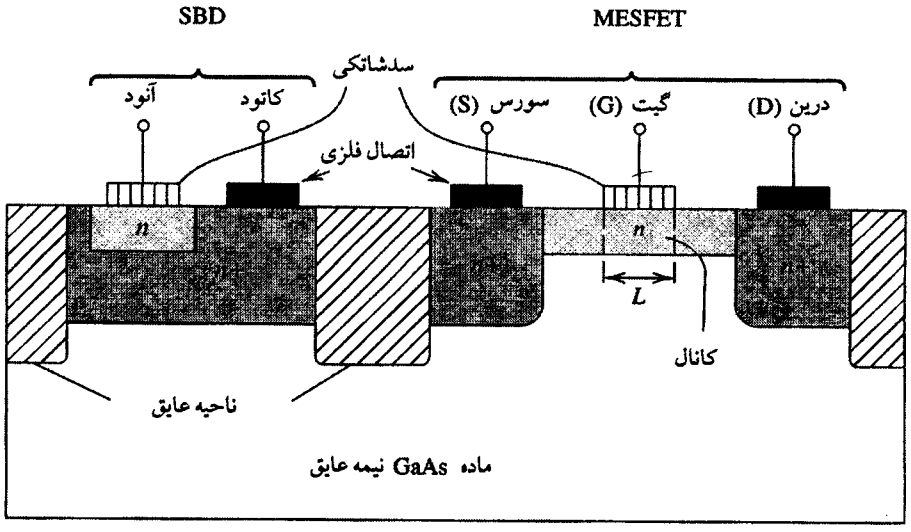
مزیت عمدۀ GaAs این است که سرعت الکترونها در GaAs نوع n بسیار سریعتر از سیلیکون‌ها می‌باشد. علت این امر آن است که در GaAs، تحرک نفوذی الکترون μ_n (که ثابتی مربوط به سرعت نفوذ الکترون در میدان الکتریکی می‌باشد: $\mu_n E$ = سرعت) ۵ تا ۱۰ برابر بیشتر از سیلیکون است. بنابراین در یک ولتاژ ورودی، قطعه‌های GaAs جریان خروجی بیشتری دارند و بالطبع g_m آنها بالاتر از قطعه سیلیکونی متناظر می‌باشد. جریان خروجی زیادتر سرعت شارژ و دشارژ خازنهای اغتشاشی را افزایش داده و باعث سرعت کار می‌شوند.

قطعه‌های گالیوم آرسناید چندین سال در طراحی تقویت‌کننده‌های با عناصر گسسته برای کاربردهای میکروموج (در گسترۀ فرکانسی 10^9 هرتز یا GHz) مورد استفاده قرار گرفته‌اند. اخیراً از این قطعات در طراحی مدارهای مجتمع دیجیتال با سرعت خیلی زیاد و IC های آنالوگ مانند op−amp هایی که در گستره فرکانسی چند صد MHz کار می‌کنند، استفاده شده است. اگرچه این تکنولوژی هنوز نوپاست، دچار کاستیهایی از قبیل مشکلات قابلیت اعتماد و بازدهی، و عموماً محدود به سطوح پایین فشرده‌سازی است. اما دارای قابلیتهای بالقوۀ زیادی می‌باشد. از این رو در این کتاب مدارها و قطعات GaAs بطور خلاصه بررسی می‌شوند. در این بخش قطعات GaAs اساسی را بررسی می‌کنیم، آرایش‌های مداری تقویت‌کننده اساسی در بخشهای ۸-۶ و مدارهای دیجیتال GaAs در بخش ۸-۱۴ مورد بحث قرار می‌گیرند.

قطعات GaAs اساسی

اگرچه تعدادی از تکنولوژیهای GaAs در مراحل مختلف توسعه و تکمیل وجود دارند، کاملترین آنها را مورد بررسی قرار می‌دهیم. عنصر فعال موجود در این تکنولوژی یک ترانزیستور اثر میدانی کانال n بنام **FET نیمه‌هادی فلزی** یا **MESFET** است. در این تکنولوژی نوعی دیود بنام **دیود سد شاتکی (SBD)** نیز معرفی می‌شود. ساختار این دو عنصر اساسی با نشان‌دادن مقطع عرضی آنها در شکل (۷۱-۵) تشریح شده است. مدار GaAs روی یک زیربنای GaAs خالص شکل گرفته است. از آنجا که هدایت GaAs ناخالص بسیار کم است، زیربنا حالت نیمه عایقی دارد. این امر بعنوان یک مزیت GaAs منجر به آسان‌شدن عایق‌سازی عناصر روی تراشه از یکدیگر می‌شود که نتیجۀ آن کاهش ظرفیتهای اغتشاشی بین عناصر و زمین مدار است.

مطابق شکل (۷۱-۵) یک دیود سد شاتکی شامل پیوند نیمه‌هادی-فلز است. بخاطر متمایزکردن فلزاتی که در اتصالات بکار می‌روند به این



شکل ۷۱-۵. مقطع عرضی دیود سد شاتکی GaAs (SBD) و MESFET

فلز، فلز سد شاتکی می‌گویند که تشکیل‌دهندهٔ آنود دیود و GaAs نوع n کاتود آن می‌باشد. توجه کنید که GaAs نوع n با ناخالصی زیاد، (که با n^+ مشخص می‌شود) برای پایین نگهداشتن ظرفیت‌های اغتشاشی بین ناحیه n و اتصال فلزی کاتود قرار می‌گیرد.

گیت MESFET از فلز سد شاتکی در اتصال مستقیم با GaAs نوع n که ناحیه کانال را تشکیل می‌دهد، شکل گرفته است. طول کانال، L با طول الکترود گیت مشخص می‌شود و بطور مشابه عرض W نیز همینگونه تعیین می‌گردد (در جهت عمود بداخل صفحه) برای کاهش ظرفیتهای اغتشاشی بین اتصالات درین و سورس و کانال، دو اتصال توسط GaAs با ناخالصی زیاد (n^+) احاطه شده‌اند.

از آنجا که دلیل اصلی استفاده از مدارهای GaAs دستیابی به سرعت و فرکانس زیاد کار است، طول کانال تا حدامکان کم می‌باشد. برای نمونه $L = ۰/۲ - ۲\ \mu m$ است. معمولاً همه ترانزیستورها روی تراشه IC نیز با همان طول ساخته می‌شوند و تنها عرض قطعه توسط طراح مشخص می‌گردد.

در تکنولوژی GaAs فقط MESFET های کانال n وجود دارند بعلت اینکه تحرک نفوذی حفره‌ها در GaAs پایین بوده و تمایل به ساخت MESFET های کانال p را کاهش می‌دهد. فقدان ترانزیستورهای مکمل یکی از معایب شناخته شدهٔ تکنولوژی GaAs می‌باشد، اما این امر، تنها طراح را به تلاشی بیش از حد معمول وامی‌دارد.

عملکرد قطعه

عملکرد MESFET بسیار شبیه JFET، با اصول فلزکاری شاتکی گیت نوع p، JFET، می‌باشد. (به شکل ۶۹-۵ رجوع نمایید) اصولاً ناحیه تهی در کانال زیرسطح گیت تشکیل شده و ضخامت آن با ولتاژ گیت v_{GS} کنترل می‌شود. این امر بنوبه خود باعث کنترل ابعاد کانال و در نتیجه آن، کنترل جریان درین به سورس در مقابل v_{DS} اعمال شده است. v_{DS} باعث باریک‌شدن کانال و انسداد آن در انتهای درین می‌شود.

متداولترین MESFET های GaAs موجود از نوع تهی با ولتاژ آستانه V_t (یا معادل با آن ولتاژ انسداد V_P) در گسترهٔ ۰/۵- تا ۲/۵ V- می‌باشند. این قطعات با مقادیر v_{GS} در گستره V_t منفی تا مقادیر مثبتی حدود چند ده ولت کار می‌کنند. اما هنگامی که v_{GS} به ۰/۷ V یا حدود آن برسد دیود سد شاتکی بین گیت و کانال بشدت هدایت کرده و ولتاژ گیت کنترل مؤثری روی جریان درین به سورس نخواهد داشت. هدایت گیت که در MOSFET ها امکان‌پذیر نبود، یکی دیگر از معایب مشخص MESFET می‌باشد.

MESFET های حالت افزایشی در تکنولوژیهای خاصی با فراگیری کمتر وجود دارند. این قطعات که معمولاً خاموش هستند از مسدودشدن کامل کانال در اثر گسترش ناحیه تهی در $v_{GS} = ۰$ حاصل می‌شوند. بنابراین $i_D = ۰$ می‌باشد. برای برقراری جریان از درین به سورس بایستی کانال را با اعمال ولتاژ مثبتی با اندازه کافی به گیت باز نمود. این امر ضخامت ناحیه تهی را به کمتر از ضخامت ناحیه کانال کاهش می‌دهد. برای نمونه ولتاژ آستانه V_t بین ۰/۱ تا ۰/۳ می‌باشد.

توصیف بالا از عملکرد MESFET این ذهنیت را ایجاد می‌کند که مشخصه‌های $i_D - v_{DS}$ در $v_{DS} = v_{GS} - V_t$ مانند حالت JFET سیلیکونی اشباع می‌شوند. اما مشاهده می‌کنیم که مشخصه‌های $i_D - v_{DS}$ برای MESFET های GaAs در مقادیر پایین v_{DS} اشباع شده و علاوه بر این ولتاژهای اشباع $v_{DS,sat}$ وابستگی زیادی به مقدار v_{GS} ندارند این پدیدهٔ «اشباع زودهنگام» به علت اینکه سرعت الکترونها در کانال متناسب با میدان الکتریکی باقی نمی‌ماند (که بنوبه خود با v_{ps} و L تعیین می‌شود، $E = v_{DS}/L$) مانند حالت سیلیکونی اتفاق می‌افتد. در عوض سرعت الکترون به مقدار نوک می‌رسد و سپس اشباع صورت می‌گیرد (یعنی عدم وابستگی به v_{DS}، ثابت است). اثر سرعت اشباع حتی در قطعاتی با طول کانال بسیار کم ($L \leq ۱\ \mu m$) در ولتاژهای کمتر از $(v_{GS} - V_t)$ اتفاق می‌افتد.

نهایتاً اشاره‌ای به نحوهٔ کار دیود شاتکی می‌کنیم. جریان مستقیم توسط حاملهای اکثریت (الکترونها) به طرف فلز سد شاتکی (آنود) برقرار می‌شود. بر خلاف دیود پیوندی pn، حاملهای اقلیت نقشی در عملکرد SBD ندارند. بنابراین SBD از اثرات ذخیرهٔ حاملهای اقلیت که ظرفیتهای نفوذی دیود پیوندی pn را افزایش می‌دهد مصون است. بدین ترتیب SBD تنها یک اثر خازنی دارد که مربوط به ظرفیت ناحیه تهی، C_j می‌باشد.

مدلها و مشخصات قطعه

مدل مرتبهٔ اول MESFET برای محاسبات دستی مناسب است و با اغماض از اثر سرعت اشباع بدست می‌آید. بنابراین مدل حاصل تقریباً معادل JFET است:

$$i_D = ۰ \text{ به ازای } v_{GS} < V_t$$

$$\text{به ازای } v_{GS} \geq V_t,\ v_{DS} < v_{GS} - V_t$$

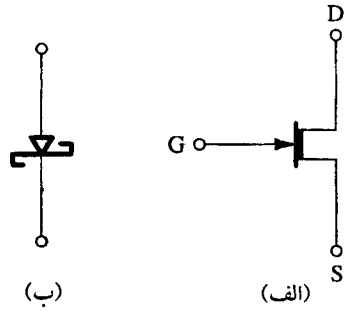
$$i_D = \beta\,[۲\,(v_{GS} - V_t)\,v_{DS} - v_{DS}^{۲}]\,(۱ + \lambda v_{DS})$$

$$\text{به ازای } v_{GS} \geq V_t\ ,\ v_{DS} \geq v_{GS} - V_t$$

$$i_D = \beta\,(v_{GS} - V_t)^{۲}\,(۱ + \lambda v_{DS}) \qquad (۵-۱۲۰)$$

اختلافهای بین این معادلات و معادلات JFET ها عبارتند از: (۱) ضریب مدولاسیون طول کانال، $۱ + \lambda v_{DS}$ در معادله ناحیه تریود نیز (که ناحیه اهمی هم خوانده می‌شود) خود را نشان می‌دهد علت این امر آن است که λی MESFET نسبتاً بزرگ بوده و درنظرگرفتن این ضریب منجر به بهتر انجام‌شدن سنجش مشخصات آن می‌شود؛ و (۲) شاخصه هدایت انتقالی β برای انطباق با اصطلاحات MOSEFT. بطور مسلم β به I_{DSS} در JFET و $k'(W/L)$ در MOSFET مرتبط است. (البته توجه کنید که این β با βی BJT کاملاً متفاوت است!)

شکل (الف ۷۲-۵) نماد مداری GaAs MESFET کانال n نوع تهی را نشان می‌دهد. از آنجا که فقط یک نوع ترانزیستور موجود است (کانال n) همه قطعات اینگونه رسم می‌شوند و در مورد اینکه کدام پایانه درین و



شکل ۷۲-۵ . نماد مداری برای (الف) یک MESFET گالیوم آرسنایدِ نوع تهی کانال n و (ب) یک دیود سد شاتکی (SBD)

کدامیک سورس است مشکلی نداریم.

نماد مداری دیود سد شاتکی در شکل (ب ۷۲-۵) به نمایش درآمده است. بر خلاف این حقیقت که عملکرد فیزیکی SBD متفاوت با دیود پیوندی pn است، مشخصه‌های $i-v$ آنها یکسان است. بنابراین مشخصه $i-v$، SBD، همان رابطه نمایی بررسی شده در فصل ۳ است. در GaAs SBD ثابت n برای نمونه در گستره ۱ تا ۱/۲ می‌باشد.

مدل سیگنال کوچک MESFET معادل با انواع FET می‌باشد. مقادیر پارامترها بصورت زیر بدست می‌آیند.

$$g_m = 2\beta (V_{GS} - V_t)(1 + \lambda V_{DS}) \qquad (۵-۱۲۱)$$

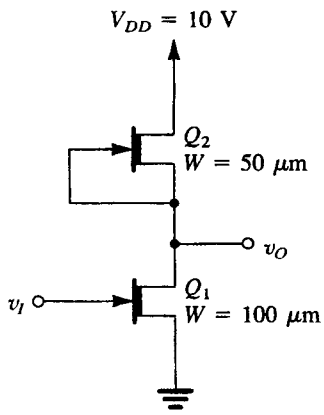
$$r_o \equiv \left[\frac{\partial i_D}{\partial v_{DS}}\right]^{-1} = 1/\lambda\beta (V_{GS} - V_t)^2 \qquad (۵-۱۲۲)$$

اما MESFET دارای مقدار نسبتاً بالایی برای λ ($0/3\ V^{-1}$ تا $0/1$) می‌باشد که منجر به کم‌بودن مقاومت خروجی r_o می‌باشد. این امر یک اشکال جدی تکنولوژی GaAs MESFET است که نتیجه آن بهره ولتاژ پایین برای هر طبقه می‌باشد. علاوه بر این می‌توان دریافت که r_o در فرکانسهای بالا کاهش می‌یابد. تکنیکهای طراحی مدار به منظور غلبه بر پایین‌بودن r_o در بخش ۸-۶ ارائه خواهند شد.

جدول ۲-۵ به عنوان یک مرجع آسان مقادیر نمونهٔ پارامترهای قطعه را در تکنولوژی MESFET به نمایش گذاشته است. قطعات این تکنولوژی دارای طول کانال $L = 1\ \mu m$ و عرض $W = 1\ \mu m$ می‌باشند مقادیر پارامترهای قطعات واقعی با مقیاس‌کردن متناسب آنها نسبت به عرض W بدست می‌آید. این فرآیند در مثال زیر تشریح شده است. غیر از موارد مشخص، در تمرینها و مسائل انتهای فصل از مقادیر جدول ۲-۵ استفاده کنید.

جدول ۲-۵ . نمونهٔ مقادیر پارامترهای GaAs MESFET و دیودهای شاتکی در تکنولوژی $L = 1\mu m$، نرمال شده نسبت به $W = 1\mu m$

$V_t = -1/0\ V$
$\beta = 10^{-4} A/V^2$
$\lambda = 0/1 V^{-1.5} A$
$I_s = 10^{-15} A$
$n = 1/1$



شکل ۷۳-۵ . مدار مثال ۱۱-۵: یک تقویت کنندهٔ سادهٔ MESFET

مثال ۱۵-۵

شکل ۷۳-۵ یک تقویت‌کنندهٔ GaAs MESFET ساده را با مقادیر مشخص شده W ترانزیستورها نشان می‌دهد. فرض کنید مولفه dc ی v_I، یعنی V_{GS1}، Q_1 را در جریانی که سورس Q_2 ایجاد می‌کند بایاس کرده است طوری که هر دو قطعه در اشباع بوده و خروجی dc مساوی $\frac{1}{2}$ ولتاژ تغذیه باشد. مقادیر زیر را بدست آورید:

(الف) مقادیر β را برای Q_1 و Q_2

(ب) V_{GS1}

(پ) g_{m1}، r_{o1} و r_{o2}

(ت) بهره ولتاژ سیگنال کوچک

حل:

(الف) مقدار β را می‌توان با توجه به مقدار ارائه شده در جدول ۲-۵ و استفاده از مقادیر مشخص شده برای W بصورت زیر بدست آورد.

$$\beta_1 = 100 \times 10^{-4} = 10^{-2}\ A/V^2 = 10\ mA/V^2$$

$$\beta_2 = 50 \times 10^{-4} = 5\times10^{-3}\ A/V^2 = 5\ mA/V^2$$

(ب)

$$I_{D2} = \beta_2 (V_{GS2} - V_t)^2 (1 + \lambda V_{DS2})$$

$$= 5(0 + 1)^2 (1 + 0/1\times5)$$

$$= 7/5\ mA$$

$$I_{D1} = I_{D2} = 7/5\ mA$$

$$7/5 = \beta_1 (V_{GS1} - V_t)^2 (1 + \lambda V_{DS1})$$

$$= 10 (V_{GS1} + 1)^2 (1 + 0/1 \times 5)$$

بنابراین

(پ)

$$V_{GS1} = -0/3\ V$$

$$g_{m1} = 2 \times 10 (-0/3 + 1)(1 + 0/1 \times 5)$$

$$= 21\ mA/V$$

$$r_{o1} = \frac{1}{0/1 \times 10 (-0/3 + 1)^2} = 2\ k\Omega$$

$$r_{o۲} = \frac{۱}{۰/۱ \times ۵ (۰ + ۱)^۲} = ۲\ \text{k}\Omega$$

(ت)
$$A_v = -g_{m۱} (r_{o۱} // r_{o۲})$$
$$= -۲۱ \times (۲ // ۲) = -۲۱\ \text{V/V}$$

تمرین

۵-۴۹ در یک MESFET با گیت متصل شده به سورس و $W=۱۰\ \mu\text{m}$ ، کمترین ولتاژ بین درین و سورس را برای کار در حالت اشباع بدست آورید. برای $V_{DS} = ۵$ V ، جریان I_D را پیدا کنید. مقاومت خروجی این منبع جریان چقدر است؟

جواب. ۱ V، ۱/۵ mA، ۱۰ kΩ ❑

۵-۱۳ مدل MOSFET اسپایس و نمونه‌های شبیه سازی

همانطور که در فصل ۳ دربارهٔ دیودها و در فصل ۴ دربارهٔ BJT دیدیم، این فصل را نیز با ارائه مدل SPICE دربارهٔ MOSFET به پایان می‌بریم. همچنین استفاده از SPICE را در شبیه سازی دو مدار تقویت کننده CMOS و وارونگر CMOS نشان دادیم.

مدل

مدل‌هایی که در فصل برای نشان دادن MOSFET استفاده شده، خلاصه شده یا مدل‌های از نوع مرتبه اولی است که برای ترانزیستورهای با کانال‌های نسبتاً بلند ($L=۵$ تا ۱۰ μm) مناسب می‌باشد. در MOSFET های با کانال کوتاهتر که غالب قطعات در حال حاضر از این گونه هستند، بخصوص برای آندسته که $L<۱\mu\text{m}$ است، اثرهای فیزیکی بسیاری را به میان می‌آورند که به حساب نیامده بودند. در نتیجه مدلهای سادهٔ مرتبهٔ اول رفتار ترانزیستور را به درستی نشان نمی‌دهند. اما قبل از ساخت باید مدل‌های استادانه‌تر و پیچیده‌تری برای تحلیل رفتار دقیق‌تر ترانزیستور بکار رود. چنین مدل‌هایی موجودند و رو به بهبودند و در SPICE از آنها استفاده می‌شود. به راستی، قدرت شبیه‌سازی کامپیوتر وقتی ارزیابی می‌شود که از آن برای تحلیل مدل‌های پیچیده استفاده شود.

اگرچه تحقیق بیشتر دربارهٔ مدل‌سازی MOSFET از حوصله این کتاب خارج است، اما مهم آن است که محدودیت‌های مدل‌های مرتبه اول را بدانید و از مدل‌های پیچیده‌تر و دقیقتر آگاه باشید. اسپایس امکان سه انتخاب در سطوح مختلف را ارائه می‌دهد: ساده‌ترین مدل یا مدل سطح ۱ بر اساس مطالبی است که در این فصل ارائه گردید (مانند قانون مربع رابطه $i-v$ در اشباع). مدل سطح ۲، مدلی پیچیده از حیث ساختار فیزیکی است که شاخصه‌هایش به راحتی تعیین نمی‌شوند و بنابراین پرکاربرد نیست. مدل سطح ۳ ترکیبی از روابط فیزیکی و تجربی است و MOSFET را به نحو مناسبی مدل می‌کند. شاخصه‌های این مدل باانداز‌ه‌گیریهای MOSFET بدست می‌آید. با توجه به این مطالب، توجه داشته باشید که سازندگان قطعات نیمه هادی سعی زیادی در مدل کردن مراحل کار خود می‌کنند. حق السعی آنها مدارهای ساخته شده‌ای است که رفتاری شبیه به رفتار پیش بینی شده با شبیه سازی است و بنابراین هزینه طراحی دوبارهٔ آن کاهش می‌یابد.

جدول ۳-۵ برخی شاخصه‌های مورد استفاده در مدل‌های MOSFET را نشان می‌دهد. ملاحظه می‌کنید مدل فرضی، مدل سطح است؛ یعنی اگر کاربر سطح مدل را تعیین نکند، در اینصورت مقادیر شاخصه‌های مجاز

جدول ۳-۵. شاخصه‌های مدل MOSFET در SPICE (فهرست قطعه)

نام شاخصه	نماد	نام اسپایس	واحدها	مقدار پیش فرض
سطح مدل SPICE	–	LEVEL	–	۱
ولتاژ آستانه بایاس صفر	$V_{t۰}$	VT0	V	0
هدایت انتقالی فرآیند	k'	KP	$A/V^۲$	۲×۱۰^{-۵}
شاخصه اثر بدنه	γ	GAMMA	$V^{۱/۲}$	۰
مدولاسیون طول کانال	λ	LAMBDA	$V^{-۱}$	۰
ضخامت اکسید	t_{ox}	TOX	m	۱×۱۰^{-۷}
نفوذ جانبی	L_{ov}	LD	m	۰
پتانسیل وارونگی سطح	$۲\phi_f$	PHI	V	۰/۶
ناخالصی زیرلایه	N_A ، N_D	NSUB	$cm^{-۳}$	۰
قابلیت تحرک سطحی	μ	U0	$cm^۲/Vs$	۶۰۰
مقاومت سورس	R_s	RS	Ω	۰
مقاومت درین	R_D	RD	Ω	۰
ظرفیت پیوند بدنه بایاس صفر	$C_{j۰}$	CJ	$F/M^۲$	۰
ضریب گرادیان پیوند بدنه	m	MJ	–	۰/۵
ظرفیت همپوشانی گیت - سورس	C_{ov}	CGSO	F/M	۰
ظرفیت همپوشانی گیت - درین	C_{ov}	CGDO	F/M	۰
پتانسیل طبیعی پیوند بدنه	$V_۰$	PB	V	۰/۸

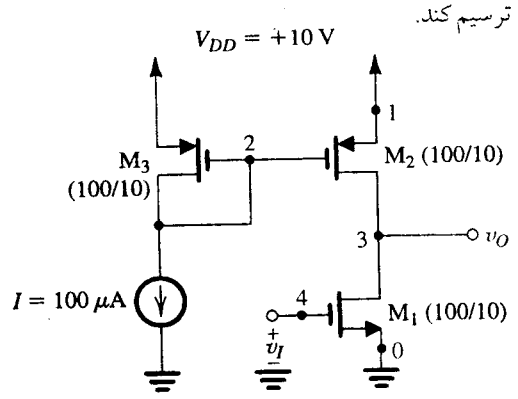
SPICE برای استفاده در سطح معینی باید ارائه گردد. تا SPICE آنها را برای سطح ۱ استفاده کند. بیشتر شاخصه‌های جدول ۳-۵ برای خواننده آشنا است اگر R_S و R_D که مقاومت‌های اهمی سورس و درین را نشان می‌دهند.

مانند مدل‌های BJT و دیود، کاربر می‌تواند برای هر شاخصه MOSFET مقداری تعیین کند و یا بگذارد SPICE مقدار پیش فرض خود را بکاربرد. ملاحظه کنید که بعضی از شاخصه‌ها زاید هستند. مثلاً ممکن است کاربر k' را در یک قطعه MOS ($k'_n = \mu_n C_{ox}$) مشخص کند و یا برعکس t_{ox} و μ_n را مشخص گذارد و بگذارد k'_n را SPICE معین کند. به همین ترتیب، شاخصه اثر بدنه γ بطور مستقیم تعیین می‌شود، یا پارامترهای فیزیکی مانند N_A که موجب می‌شود SPICE، γ را تعیین کند باید مشخص شوند.

همواره، مقادیر تعیین شده توسط کاربر مقدم است بر آنچه SPICE محاسبه می‌کند. بطور مثال کاربر می‌تواند شاخصه همپوشانی C_{gs} را (برحسب فاراد بر واحد عرض کانال) تعیین کند و یا بگذارد SPICE آنرا از t_{ox} و L_{ov} محاسبه کند. علاوه بر تعیین شاخصه‌های مدل، کاربر باید ابعاد قطعه را نیز معین کند. حداقل پهنا و طول باید مشخص باشد. در پایان، ملاحظه می‌کنیم که SPICE شاخصه‌های مدار معادل سیگنال کوچک MOSFET را با توجه به نقطه کار dc تعیین می‌کند و آنرا در تحلیل‌های آن بکار می‌برد.

مثال ۱۲-۵

به عنوان اولین نمونه شبیه سازی، از SPICE برای بررسی تقویت کننده CMOS، که در فصل ۷-۵ بررسی شده استفاده می‌کنیم. بطور خاص، مدار شکل ۴۵-۵ را شبیه سازی می‌کنیم که نحوه کار آن در مثال ۱۰-۵ تحلیل شده بود. مدار در شکل ۷۴-۵ دوباره ترسیم شده است. همه نقاط آن مشخص شده است. در پیوست (ت) فهرستی از ورودی SPICE ارائه شده است. از مدل سطح ۱ استفاده شده است و مقادیر سه شاخصه k'، V_{t0} و λ معلوم‌اند (همان مقادیر مثال ۱۰-۵). البته، W و L در هر سه ترانزیستور معین هستند. اسپایس باید منحنی مشخصه انتقال dc را به ازای v_1 بین ۰V تا ۱۰V محاسبه کرده، منحنی v_0 را ترسیم کند.



شکل ۷۴-۵. تقویت کننده CMOS برای شبیه‌سازی SPICE در مدل۱۲-۵. این مدار در مثال ۱۰-۵ تحلیل شد. مشخصه‌های ورودی در پیوست (ت) فهرست شده است.

شکل الف ۷۵-۵ منحنی انتقال بدست آمده را نشان می‌دهد که قسمت بهره زیاد آن برای v_I با حدود ۲V است. برای بررسی دقیقتر ناحیه بهره زیاد، مرور dc برای v_I بین ۱/۹V تا ۲/۱V تکرار شده است و با توجه به مرحله ۱۰۰ μA یک منحنی هموار بدست می‌آید. نتیجه در شکل (ب ۷۵-۵) نشان داده شده است، که از آن با استفاده از SPICE می‌توان حدود ناحیه خطی را بین v_I = ۱/۹۵۵ V تا ۲/۰۲۷ V بدست آورد. مقادیر متناظر ولتاژ خروجی ۸/۵۸۹ V و ۰/۹۹۶۶V است. این نتایج نشان می‌دهند که بهره این تقویت کننده حدود ۱۹۹V/V− است. با SPICE یک مدل سیگنال کوچک تحلیل می‌شود در نقطه بایاسی که با v_I=۲V معین می‌شود. نتیجه بدست آمده بهره سیگنال کوچک ۱۰۵V/V− است. این نتایج نزدیک است به مقداری که در تحلیل‌ها با کاغذ و قلم بدست می‌آمد یعنی ۹۵V/V− برای بهره سیگنال بزرگ و ۱۰۰V/V− برای بهره سیگنال کوچک در مثال ۱۰-۵.

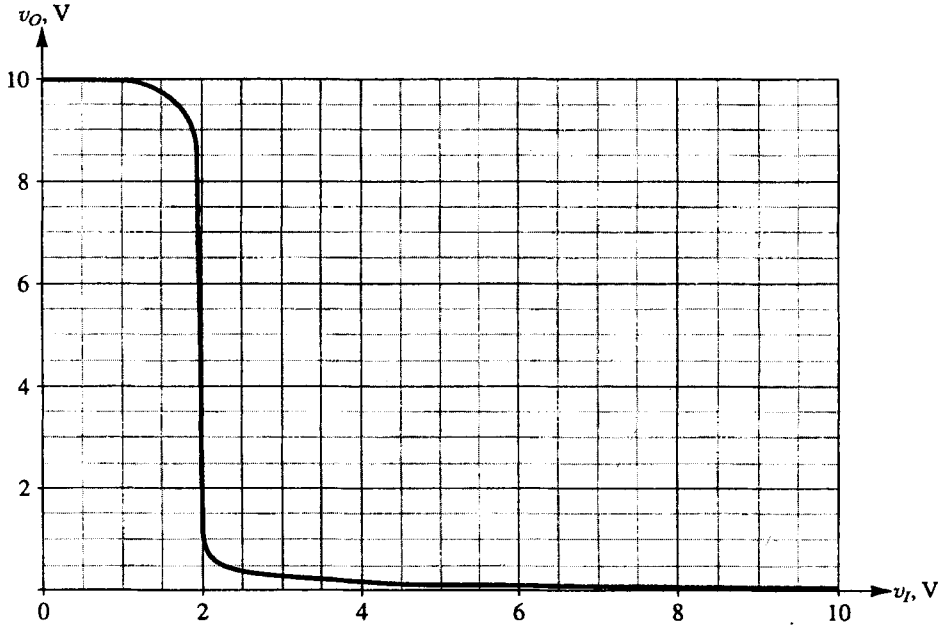
مثال ۱۳-۵

در مثال دوم، از SPICE برای شبیه سازی کار یک وارونگر CMOS استفاده می‌کنیم که در بخش ۸-۵ بررسی شد. مدار وارونگر در شکل ۷۶-۵ با نقاط مهم آن نشان داده شده است. پرونده ورودی SPICE در پیوست ت آورده شده، با توجه به مندرجات آن، از فناوری ۳μm برای MOSFET ها استفاده شده که شاخصه‌های اصلی مدل آنها برای قطعه کانال n عبارتند از V_{t0}=۰/۷V، k'_n=۴۰μA/V^2، γ=۱/۱V$^{1/2}$، λ=۰/۰۱V^{-1} و در قطعه کانال p عبارتند از: V_{t0}=−۰/۸V، k'_n=۱۲μA/V^2، γ=۰/۶V$^{1/2}$، λ=۰/۰۳V^{-1} یک مدل سطح ۳ استفاده شده است، و شاخصه‌های دیگر مدل در پرونده SPICE آورده شده است. علاوه بر این، ابعاد قطعه نیز آورده شده است: L=۳μm و W=۳μm برای قطعه کانال n، L=۳μm و W=۹μm برای قطعه کانال p. توجه کنید که طول کانال به گونه‌ای انتخاب شده که حداقل ممکن را داشته باشد. همچنین برای جبران این موضوع که μ_p حدود ۳۰ درصد μ_n است. قطعه کانال p، باید سه مرتبه پهن‌تر از ترانزیستور کانال n باشد.

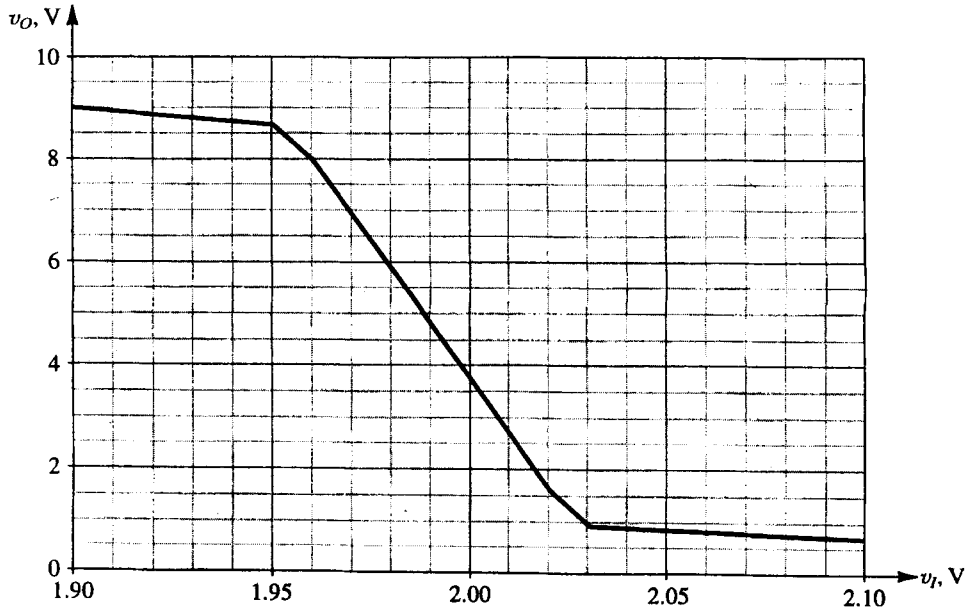
SPICE باید با تغییر v_I در محدوده ۰V تا ۵V در ۵۰μV، تحلیل dc انجام دهد و مشخصه انتقال ولتاژ (VTC) و جریان منبع وارونگر را در مقادیر گوناگون v_I بدست آورد. ترسیم دو تابع موردنظر است. VTC محاسبه شده SPICE در شکل الف ۷۷-۵ ترسیم شده است. ملاحظه می‌کنید که وارونگر به ازای نصف ولتاژ منبع سوئیچ می‌کند. البته شیب منحنی محدود است. در عوض مقادیر غیر صفر λ سبب محدود ماندن بهره وارونگر می‌شود. با استفاده از مکان مشتق گیری، V_{IL} و V_{IH} را به ترتیب ۲/۰۳V و ۲/۸۳V بدست می‌آوریم. اگر این نتایج را با مقادیر بدست آمده از فرمول‌های بخش ۸-۵ مقایسه کنیم، همخوانی دارد که بدست می‌آید:

V_{IL}=۲/۰۵V و V_{IH}=۲/۹۳V. حاشیه‌های نویز VTC که با SPICE

محاسبه شده عبارتند از : NM_H=۲/۱۷V و NM_L = ۲/۰۳V.
دوحاشیه نویز دقیقاً با هم برابر نیستند زیرا قطعات کانال p و n کاملاً با هم در تطابق نمی‌باشند.



(الف)



(ب)

شکل ۷۵-۵. (الف) منحنی انتقال DC ی تقویت کننده CMOS نشان داده شده در شکل ۷۴-۵ که با SPICE محاسبه شده (ب) مشخصه انتقال سیگنال بزرگ تقویت کننده CMOS در شکل ۷۴-۵ در ناحیه بهره زیاد آن

- بهره ولتاژ تقویت‌کننده سورس مشترک با بهره فعال حدود $-g_m r_o/2$ است.
- تقویت کننده گیت مشترک بهره ولتاژ بزرگ ارائه می‌کند، اما مقاومت ورودی‌اش بالنسبه پایین است. تقریباً برابر با $1/(g_m+g_{mb})$ است. کاربرد اصلی آن، در پیکربندی کاسکود در بخش ۶ است.
- تقویت کننده سورس پیرو بهره ولتاژی کمتر از واحد اما نزدیک به واحد است و در بسی باری معادل $1/(1+\chi)$ می‌باشد. مقاومت خروجی‌اش کوچک و تقریباً $1/(g_m+g_{mb})$ می‌باشد و آنرا مستعد جای گرفتن به عنوان یک تقویت کننده میانگیر یا طبقه خروجی می‌سازد.
- وارونگر CMOS با $V_{OH}=V_{DD}$ ، $V_{OL}=0$ ، ولتاژ آستانه $V_{DD}/2$ و لبه‌های نویز مساوی یک تابع وارونگر منطقی ایجاد می‌کند. برای جبران نابرابری مقادیر μ_n و μ_p وارونگر طوری طراحی می‌شود که $L_n=L_p$ و $W_p/W_n=\mu_n/\mu_p$ باشد. وارونگر در حالت خروجی پایین دارای امپدانس کم به زمین و در حالت خروجی زیاد دارای V_{DD} است.
- اگرچه وارونگر CMOS دارای اتلاف ایستایی ناچیز است، اما اتلاف توان پویای آن fcV_{DD}^2 است.
- تأخیر انتشار آن تقریباً $\frac{1/6C}{k'(W/L)V_{DD}}$ می‌باشد.
- گیت انتقال CMOS یک سوئیچ آنالوگ عالی با مقاومت سوئیچ n است که به ازای گسترهٔ وسیعی از سیگنالهای ورودی ثابت می‌باشد. در طراحی مدارهای دیجیتالی نیز کاربرد دارد.
- JFET در تعداد محدودی از کاربردهای طراحی مدارهای مجزا دیده می‌شود: مانند تقویت کننده؛ مقاومت ورودی بالا و به عنوان یک سوئیچ آنالوگ .
- قطعات گالیوم آرسنایدِ در تقویت کننده‌های فرکانس بالا و مدارهای دیجیتالی سرعت بالا کاربرد دارند. انواع تجارتی آنها بطور محدود در دسترس‌اند.

مسائل

بخش ۱-۵ : ساختمان و طرز کار MOSFET افزایشی

از داده‌های جدول ۱-۵ استفاده کنید. مگر این که خلاف آن ذکر شده باشد.

۵-۱ برای ساختن خازن از تکنولوژی CMOS استفاده شده است، به این منظور اتصال فلزی گیت و زیرلایه به عنوان صفحات خازن به کار رفته‌اند. برای این که ظرفیت خازن ۱ pF باشد چه مساحتی لازم است؟ ضخامت اکسید بین ۲۰ nm تا ۱۰۰ nm است. اگر صفحات خازن مربعی باشد، ماکزیمم ابعاد آن چقدر است؟

۵-۲ با توجه به این که $\mu_p \approx 0/4\,\mu_n$ است. ابعاد MOSFET کانال p را طوری تعیین کنید که پارامترهایش مانند MOSFET کانال n جدول ۱-۵ باشد.

۵-۳ با توجه به این که $\mu_p \approx 0/4\,\mu_n$ است. عرض نسبی دو MOSFET کانال n و کانال p چقدر باید باشد تا پارامتر هدایت انتقالی یکسانی داشته باشند؟

۵-۴ MOSFET کانال n با $k_n' = 50\ \mu A/V^2$ ، $V_t = 0/8$ V و $W/L = 20$ در نظر بگیرید. این MOSFET برای کار به عنوان کلید با v_{DS} کوچک به کار می‌رود و ولتاژ کنترل v_{GS} بین ۰ V تا ۵ V است. مقاومت کلید بسته و ولتاژ روی آن را به ازای $v_{GS} = 5$ V و $i_D = 1$ mA بیابید. با توجه به این که $\mu_p \approx 0/4\,\mu_n$ ، W/L چقدر باید باشد تا در این کاربرد MOSFET کانال p عملکردی مشابه MOSFET کانال n داشته باشد.

۵-۵ MOSFET کانال n که با تکنولوژی خاصی با مینیمم ضخامت اکسید ۲۰ μm ، مینیمم طول کانال ۱ μm و $V_t = 0/8$ V ساخته شده است، در ناحیهٔ تریودی با v_{DS} کوچک و v_{GS} بین ۰ V تا ۵ V+ کار می‌کند. برای این که حداقل مقاومت قابل دسترس ۱ kΩ باشد، عرض MOSFET باید چقدر باشد؟

۵-۶ یک MOSFET کانال n با $t_{ox} = 20$ nm ، $V_t = 0/8$ V و $W/L = 10$ در نظر بگیرید. جریان درین را در حالتهای زیر بیابید.

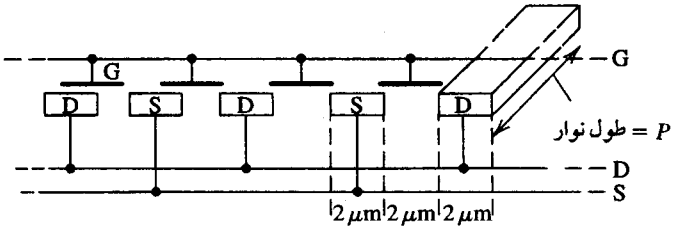
(الف) $v_{GS} = 5$ V و $v_{DS} = 1$ V

(ب) $v_{GS} = 2$ V و $v_{DS} = 1/2$ V

(پ) $v_{GS} = 5$ V و $v_{DS} = 0/2$ V

(ت) $v_{DS} = v_{GS} = 5$ V

۵-۷* ط می‌خواهیم یک NMOS قدرتی با توانایی جریاندهی ۱ A در حالت اشباع، به ازای v_{DS} به کوچکی ۲/۵ V را در نظر بگیریم. در تکنولوژی موجود $V_t = 0/9$ V ، ضخامت لایهٔ اکسید ۵۰ nm و طول گیت (که تقریباً برابر طول کانال است) ۲ μm است. در این فرایند C_{ox} و k_n' چقدر است؟ عرض کانال باید چه باشد؟ اگر ترانزیستور به صورت یک رشته نوارهای درین سورس ۲-μm و طول p (شکل م ۷-۵) ساخته شده باشد، کل مساحت لازم (با چشم‌پوشی از سطح اشغال شده توسط سیمهای اتصال) چقدر است؟ توجه کنید که p عرض ترانزیستورهای موازی است. p چقدر باید باشد؟ اگر این MOSFET به عنوان کلیدی با $v_{GS} = 5$ V و $i_D = 1$ A بکار رود، v_{DS} حاصل چقدر است؟



شکل (م ۷-۵)

بخش ۲-۵: مشخصات جریان - ولتاژ MOSFET افزایشی

۵-۸ یک MOSFET کانال n افزایشی که مشخصه‌اش در شکل ۱۱-۵ رسم شده است و برای آن $V_t = 1$ V و $k_n'(W/L) = 0/05\,mA/V^2$ ، با $v_{GS} = 3$ V کار می‌کند. به ازای $v_{DS} = 1$ V و $v_{DS} = 4$ V بیابید.

۵-۹ می‌خواهیم یک MOSFET افزایشی با $V_t = 1$ V و $k_n'(W/L) = 0/1\,mA/V^2$ در ناحیهٔ اشباع کار کند. اگر بخواهیم داشته باشیم $i_D = 0/2$ mA ، v_{GS} لازم و مینیمم v_{DS} را تعیین کنید. مسئله را برای $i_D = 0/8$ mA تکرار کنید.

۵-۱۰ جریان درین یک MOSFET افزایشی کانال n در $V_{GS} = V_{DS} = 9$V برابر ۴ mA و در $V_{GS} = V_{DS} = 5$V برابر ۱ mA اندازه‌گیری شده است. $k_n'(W/L)$ و V_t را برای این MOSFET بیابید.

ط ۵-۱۱ در یک فرایند تولید آی‌سی داریم $k_n' = ۵۰\ \mu A/V^۲$ و $V_t = ۱\ V$. در کاربردی که در آن $V_{GS} = V_{DS} = V_{منبع} = ۵V$، می‌خواهیم ترانزیستوری با طول $۲\mu m$ دارای جریان درین $۰/۸mA$ باشد. عرض کانال باید چقدر باشد؟

۵-۱۲ یک ترانزیستور NMOS افزایشی را که در ولتاژ گیت به سورس، V_{GS} ثابت کار می‌کند در نظر بگیرید. نشان دهید جریان درین به کسری از α مقدار حالت اشباع در

$$v_{DS} = (V_{GS}-V_t)(۱ - \sqrt{۱-\alpha})$$

کاهش می‌یابد. برای $V_t=۱V$، $V_{GS} = ۲V$، V_{DS} را برای $\alpha=۰/۵V$ و $\alpha=۰/۱$ بدست آورید.

۵-۱۳ جریان درین یک ترانزیسوتر NMOS که با $V_{DS} = ۰/۱V$ در ناحیه مقاومت خطی کار می‌کند، به ازای $v_{GS} = ۲\ V$ و $v_{GS} = ۳\ V$ به ترتیب $۴۰\mu A$ و $۸۰\mu A$ است. مقدار ظاهری ولتاژ آستانه V_t چقدر است؟ اگر $k_n' = ۴۰\ \mu A/V^۲$، W/L چقدر است؟ به ازای $v_{GS} = ۲/۵\ V$ و $v_{DS} = ۰/۱۵V$ چه جریانی از MOSFET می‌گذرد؟ اگر $v_{GS} = ۲/۵\ V$ به ازای چه مقدار v_{DS} کانال در درین مسدود می‌شود، و جریان حاصل چقدر است؟

۵-۱۴ در MOSFET کانال n با $V_t = ۰/۸\ V$ که با v_{GS} بین $۱/۵V$ تا $۴V$ کار می‌کند، بزرگترین مقدار v_{DS} که به ازای آن کانال پیوسته می‌ماند چقدر است؟

۵-۱۵ MOSFET کانال n با $W = ۱۰۰\ \mu m$، $L = ۵\mu m$، $k_n' = ۲۰\ \mu A/V^۲$ و $V_t = ۱\ V$ با v_{DS} بسیار کوچک به صورت مقاومتی خطی کار می‌کند. گسترهٔ مقاومتهای حاصل به ازای $۱/۱\ V \le v_{GS} \le ۱۱\ V$ چیست؟ جواب را در حالتهای زیر بیابید:

(الف) عرض MOSFET نصف شود

(ب) طول MOSFET نصف شود

(پ) هم طول و هم عرض MOSFET نصف شود

۵-۱۶* ترانزیستور افزایشی دارای مشخصهٔ شکل ۱۲-۵، با اتصال گیت به درین، به صورت قطعه‌ای دو پایانه‌ای عمل می‌کند. به ازای چه مقادیر v_{DS} جریان $۰/۲۵mA$ و $۱mA$ می‌شود؟ به ازای هر یک از این جریانها مقاومت افزایشی چقدر است؟ (معادلهٔ ۱۸-۵ را ملاحظه کنید) با وارون شدن قطبیت ولتاژ v_{DS}، مثلاً $-۵\ V$ شدن آن، چه روی می‌دهد؟ (**راهنمایی:** MOSFET عنصری متقارن است و جای درین و سورس آن را می‌توان عوض کرد.)

۵-۱۷ برای MOSFET خاصی که با v_{GS} ثابت در ناحیهٔ اشباع کار می‌کند، i_D به ازای $v_{DS} = ۴\ V$ و $v_{DS} = ۸\ V$ به ترتیب $۲\ mA$ و $۲/۲mA$ است. r_o، V_A و λ را بیابید.

۵-۱۸ برای یک MOSFET خاص $V_A = ۵۰\ V$ به ازای جریان درین $۱\ mA$ و $۱۰\ mA$ مقاومت خروجی چقدر است؟ در هر حالت به ازای ۱۰ درصد تغییر در v_{DS}، جریان درین چقدر تغییر می‌کند؟

ط ۵-۱۹ در یک تکنولوژی آی‌سی که طول استاندارد کانال $۲\ \mu m$ است، مقاومت خروجی MOSFET کانال n با $W/L = ۵$ در $۱۰۰\mu A$ برابر $۰/۵\ M\Omega$ است، که باید چهار برابر شود. برای حل مشکل ابعاد باید چگونه تغییر کنند؟ طول جدید MOSFET، نسبت W/L جدید، V_A در MOSFET اولی، و V_A در MOSFET جدید چقدر است؟

ط ۵-۲۰ در یک تکنولوژی NMOS خاص، مینیمم طول کانال $۱\mu m$ است که به $\lambda = ۰/۰۲\ V^{-۱}$ منجر می‌شود. اگر MOSFET با $L = ۳\mu m$ در $v_{DS} = ۱\ V$ کار کند و جریان آن $۸۰\mu A$ باشد، به ازای $v_{DS} = ۱۰\ V$ جریان درین چه می‌شود؟ درصد تغییر چقدر است؟ برای نصف کردن درصد تغییر چه باید کرد؟

۵-۲۱ در یک تکنولوژی با ضخامت اکسید $۲۰۰\ nm$ به ازای چه مقدار N_A داریم $\gamma = ۰/۵\ V^{۱/۲}$. اگر با همین N_A ضخامت اکسید به $۱۰۰nm$ رسانده شود، γ جدید چقدر است؟

۵-۲۲ در کاربرد خاصی، یک MOSFET کانال n با $۰ \le V_{SB} \le ۴V$ کار می‌کند. اگر مقدار نامی $V_{t۰}$ یک ولت باشد و $\gamma = ۰/۵\ V^{۱/۲}$، V_t در چه گستره‌ای قرار دارد؟ اگر ضخامت لایهٔ اکسید چهار برابر شود، ولتاژ آستانه به چه مقداری می‌رسد؟

۵-۲۳* برای یک ترانزیستور PMOS افزایشی داریم $k_p'\ (W/L) = ۸۰\ \mu A/V^۲$، $V_t = -۱/۵\ V$ و $\lambda = -۰/۰۲\ V^{-۱}$. گیت به زمین وصل است و سورس به $+۵\ V$. جریان درین را به ازای

(الف) $v_D = +۴\ V$ (ب) $v_D = +۱/۵\ V$

(پ) $v_D = ۰\ V$ (ت) $v_D = -۵\ V$ بیابید.

۵-۲۴ یک MOSFET کانال p با $|V_t| = ۱\ V$ و $|V_A| = ۵۰\ V$ در ناحیهٔ اشباع کار می‌کند و برای آن $|v_{GS}| = ۳\ V$، $|v_{DS}| = ۴\ V$ و $i_D = ۳\ mA$. مقادیر v_{GS}، v_{SG}، v_{SD}، v_{DS}، V_t، V_A، λ و $k_p'\ (W/L)$ را با علامت درست تعیین کنید.

۵-۲۵ یک MOSFET کانال p در ناحیهٔ اشباع کار می‌کند و ولتاژ سورس آن $۳\ V$ کمتر از ولتاژ زیر لایه است. V_t را به ازای $\gamma = ۰/۵\ V^{۱/۲}$، $۲\phi_f = ۰/۶\ V$ و $V_{t۰} = -۱\ V$ بیابید.

۵-۲۶ در جدول زیر نتایج اندازه‌گیریهای صورت گرفته بر ترانزیستورهای NMOS و PMOS در حال کار، ثبت شده است. در هر حالت نوع، ناحیه کار، $\mu C_{ox}W/L$، V_t را بدست آورید. V برحسب ولت، I برحسب μA، و $\mu C_{ox}W/L$ برحسب $\mu A/V^۲$ است.

آزمون	ترانزیستور	V_s	V_G	V_D	I_D
الف	۱	۰	۲	۵	۱۰۰
	۱	۰	۳	۵	۴۰۰
ب	۲	۵	۳	-۴/۵	۵۰
	۲	۵	۲	-۰/۵	۴۵۰
پ	۳	۵	۳	۴	۲۰۰
	۳	۵	۲	۰	۸۰۰
ت	۴	-۲	۰	۰	۷۲
	۴	-۴	۰	-۳	۲۷۰

۵-۲۷* (الف) با استفاده از رابطهٔ i_D در اشباع و با چشم‌پوشی از اثر مدولاسیون طول کانال (یعنی با فرض $\lambda = 0$) رابطهٔ $\Delta i_D/i_D$ بر °C را به عنوان تابعی از $\Delta k'/k'$ بر °C، ضریب حرارتی V_t برحسب V/°C و V_{GS} و V_t به دست آورید.
(ب) اگر به ازای هر °C افزایش درجه حرارت، V_t به اندازهٔ ۲mV کم شود، ضریب حرارتی k' را به نحوی تعیین کنید که جریان i_D ترانزیستور NMOS هنگام کار با $V_{GS} = 5$ V، تغییری به میزان ۰/۲ درصد بر °C داشته باشد. فرض کنید $V_t = 1$ V.

بخش ۵-۳: MOSFET نوع تهی

۵-۲۸ در یک MOSFET $k'_n W/L = 2\text{mA/V}^2$، $V_t=-3\text{V}$ سورس و گیت زمین شده‌اند ناحیه کار و جریان درین را در حالت (الف) $v_D = 0/1\text{V}$ (ب) $v_D = 1\text{V}$ (پ) $v_D = 3\text{V}$ و (ت) $v_D = 5\text{V}$ بدست آورید. از اثر مدولاسیون طول کانال صرفنظر کنید.

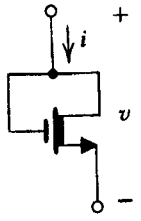
۵-۲۹ برای یک NMOS تهی $V_t=-2$ V، $k_n' W/L=200\ \mu\text{A/V}^2$ و $\lambda = 0/02\ \text{V}^{-1}$. جریان درین را به ازای $v_{GS} = 0$ و v_{DS} برابر ۱، ۲، ۳ و ۱۰ ولت بیابید. اگر عرض MOSFET دو برابر شود، این جریانها چقدر خواهند شد؟ اگر طول هم دو برابر شود چطور؟

۵-۳۰ با چشم پوشی از اثر مدولاسیون طول کانال نشان دهید در ترانزیستور NMOS نوع تهی شکل (م ۳۰-۵) رابطه $i-v$ بصورت زیر است:

$$i = k'_n W/L\ (v^2 - 2V_t v) \quad \text{به ازای} \quad v \geq V_t$$

$$i = k'_n W/L\ V^2 \quad \text{به ازای} \quad v \leq V_t$$

(بخاطر آورید که V_t منفی است). رابطهٔ $i-v$ را در حالت $V_t=-2$ V و $k'_n W/L=2\text{mA/V}^2$ بدست آورید.



شکل (م ۳۰-۵)

۵-۳۱ در مداری که در تمرین (۱۰-۵) تحلیل شد (به شکل ۱۰-۵ ت مراجعه کنید) هنگامی که ولتاژ درین به کمتر از ۱V+ کاهش پیدا کند، ولتاژ سورس چه مقداری دارد؟

۵-۳۲ در یک ترانزیستور NMOS نوع تهی که در ناحیه تریود با $v_{DS}=0/1$V کار می‌کند، جریان درین ۱mA در $v_{GS} = -1$V و ۳mA در $v_{GS} = +1$V است. I_{DSS} و V_t را بدست آورید.

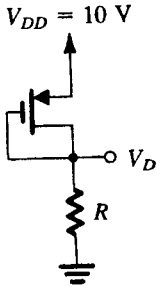
۵-۳۳ در یک ترانزیستور NMOS نوع تهی در ناحیه اشباع با $V_{DS}=5$V جریان درین ۱mA در $v_{GS} = -1$V و ۹mA در $v_{GS} = +1$V است. I_{DSS} و V_t را بدست آورید. فرض کنید $\lambda=0$ باشد.

بخش ۵-۴: مدارهای MOSFET در DC

ط ۵-۳۴ مدار شکل (۲۴-۵) را برای ایجاد جریان ۱mA و ولتاژ صفر ولت در درین طراحی کنید. MOSFET دارای مشخصات $V_t=2$V، $\mu_n C_{ox}=20\mu\text{A/V}^2$، $L=10\mu\text{m}$ و $W=400\mu\text{m}$ می‌باشد.

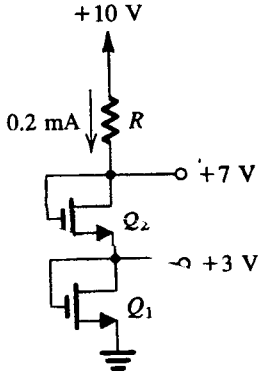
ط ۵-۳۵ مدار شکل (۱۳-۵ ت) را درنظر بگیرید. فرض کنید Q_1 و Q_2 دارای مشخصات $V_t=2$V، $\mu_n C_{ox}=20\mu\text{A/V}^2$، $L_1 = L_2 = 10\mu\text{m}$ و $W=100\mu\text{m}$ و $\lambda=0$ باشند.

ط ۵-۳۶ ترانزیستور PMOS در مدار شکل (م ۳۶-۵) دارای مشخصات $V_t=-2$V، $\mu_n C_{ox}=8\mu\text{A/V}^2$، $L=10\mu\text{m}$ و $\lambda=0$ می‌باشد. مقدار لازم بار R را به منظور برقراری جریان ۰/۱mA در درین و $V_D=7$V بدست آورید.



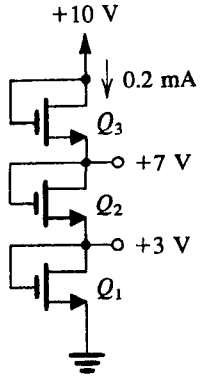
شکل (م ۳۶-۵)

ط ۵-۳۷ ترانزیستور NMOS در مدار شکل (۳۷-۵) دارای مشخصات $V_t=2$V، $\mu_n C_{ox}=20\mu\text{A/V}^2$، $\lambda=0$، $L_1 = L_2 = 10\mu\text{m}$ می‌باشد. مقادیر لازم عرض گیت را برای Q_1 و Q_2 و مقدار R را برای دستیابی به جریان و ولتاژهای مشخص شده روی شکل بدست آورید.



شکل (م ۳۷-۵)

ط ۵-۳۸ ترانزیستور NMOS در مدار شکل (۳۸-۵) دارای مشخصات $V_t=2$V، $\mu_n C_{ox}=20\mu\text{A/V}^2$، $\lambda=0$، $L_1=L_2=L_3=10\mu\text{m}$ می‌باشد. مقادیر لازم عرض گیت را برای Q_1، Q_2 و Q_3 را برای دستیابی به جریان و ولتاژهای مشخص شده روی شکل بدست آورید.



شکل (م ۳۸-۵)

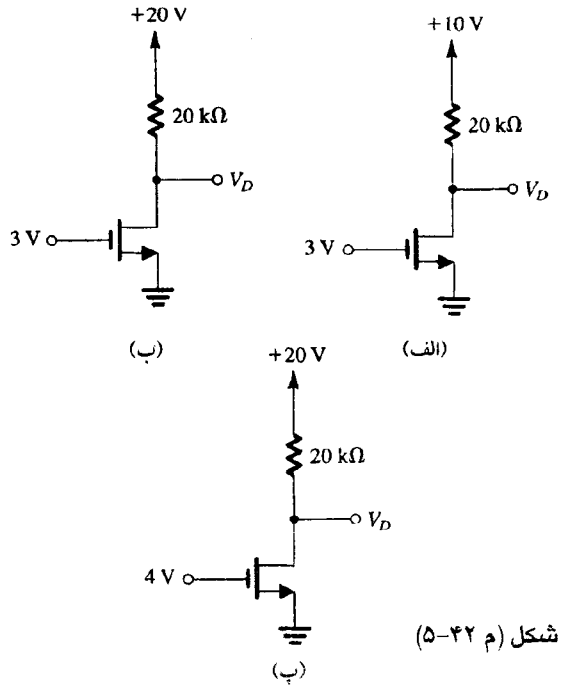
ط ۵-۳۹ مدار شکل (الف ۲۷-۵) را در نظر بگیرید. در مثال (۴-۵)

دریافتیم هنگامی که $V_t=1V$ و $k'_n W/L=1mA/V^2$ باشد جریان درین ۰/۵mA و ولتاژ آن ۷V+ است. اگر به جای این ترانزیستور، یکی دیگر با مشخصات $V_t=2V$ و $k'_n W/L=2mA/V^2$ قراردهیم، مقادیر جدید I_D و V_D را بدست آورید. در مورد نحوه کار مدار در اثر تغییر پارامترها قطعه توضیح دهید.

ط ۵-۴۰ با استفاده از یک ترانزیستور PMOS نوع افزایشی با $V_t=-1/5V$ و $k'_p W/L=1mA/V^2$ و $\lambda=0$ مداری طرح کنید که شبیه شکل (الف ۲۸-۵) باشد. با بکارگیری منبع تغذیه ۱۰V طوری طراحی کنید که ولتاژ گیت ۶V جریان درین ۰/۵mA و ولتاژ درین ۵V باشد. مقادیر R_S و R_D را بدست آورید.

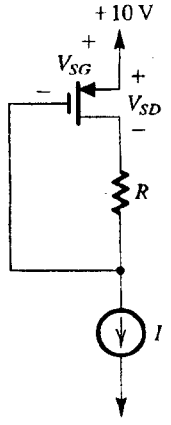
۵-۴۱ در هر یک از مدارهای شکل م ۴۱-۵ ولتاژهای مشخص شده را بیابید. برای تمام ترانزیستورها $k_n'(W/L) = 0/5\ mA/V^2$، $V_t = 2\ V$ و $\lambda = 0$.

۵-۴۲ در مدارهای شکل م ۴۲-۵ ولتاژ درین را به ازای $k_n'(W/L) = 200\ \mu A/V^2$، $V_t = 2\ V$ و $V_A = 20\ V$ بیابید.

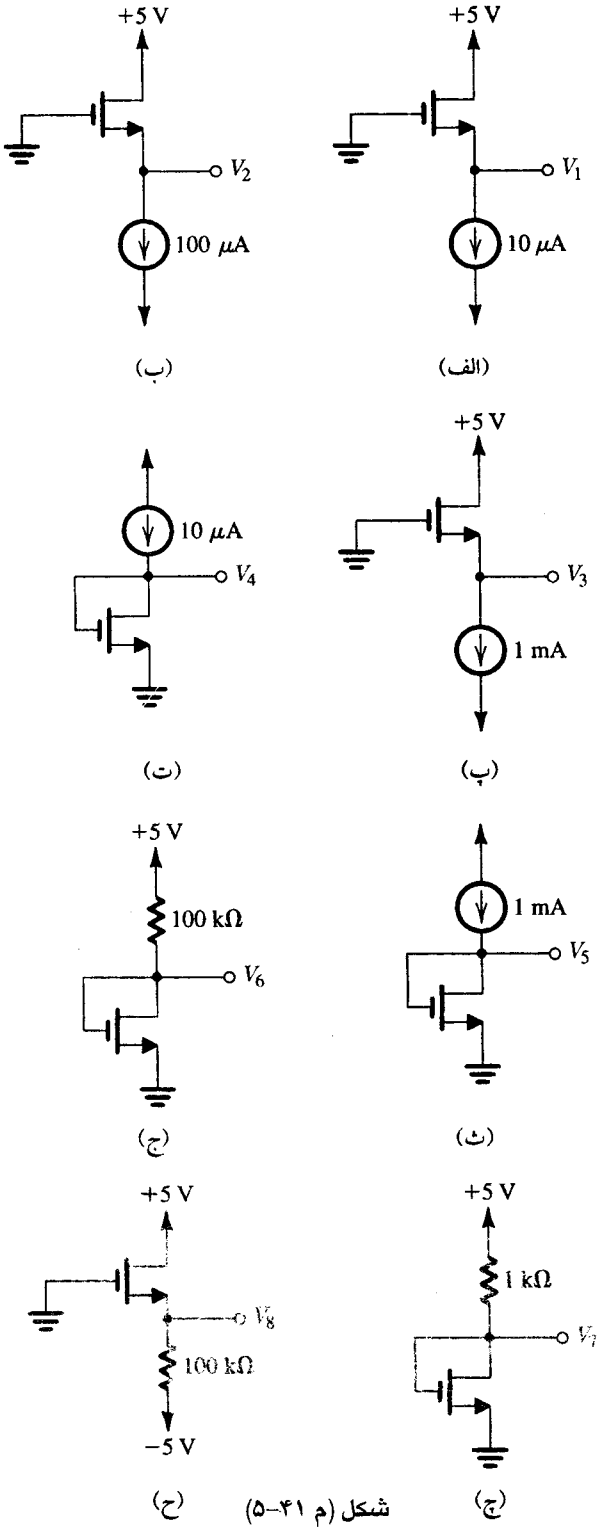


شکل (م ۴۲-۵)

۵-۴۳* برای PMOS مدار شکل م ۴۳-۵ داریم $k_p' = 8\ \mu A/V^2$، $W/L = 25$ و $|V_{tp}| = 1\ V$. با $I = 100\ \mu A$ ولتاژهای V_{SD} و V_{SG} را



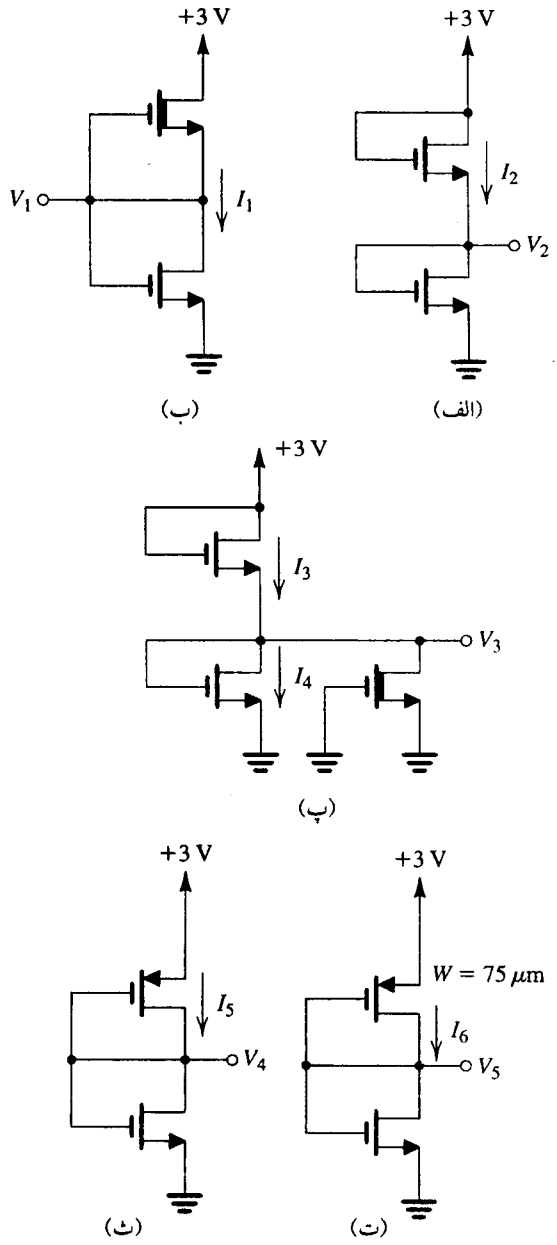
شکل (م ۴۳-۵)



شکل (م ۴۱-۵)

به ازای $R = 0$، $R = 10\ k\Omega$، $R = 30\ k\Omega$ و $R = 100\ k\Omega$ بیابید. به ازای چه مقدار R داریم: $V_{SG}=V_{SD}$؟ $V_{SD}=V_{SG}/2$؟ $V_{SD}=V_{SG}/10$؟

۵-۴۴** برای مدار شکل م ۴۴-۵، $\mu_p C_{ox}=20\ \mu A/V^2$، $\mu_p C_{ox}=2/5$، $|V_t| = 1\ V$، $\lambda = 0$، $\gamma = 0$، $L = 10\ \mu m$ و $W = 30\ \mu m$، مگر این که خلاف آن ذکر شده باشد. جریانها و ولتاژهای مشخص شده را بیابید.

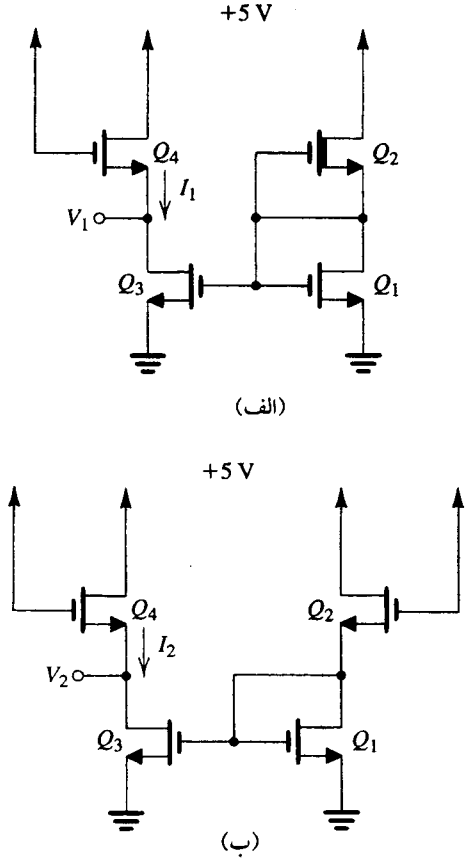


شکل (م ۴۴-۵)

۵-۴۵* برای MOSFETs مدارهای شکل م ۴۵-۵، $|V_t| = 1$ V ، $\lambda = 0$ ، $\gamma = 0$ ، $\mu_n C_{ox} = 20\ \mu A/V^2$ ، $L = 1\ \mu m$ و $W = 20\ \mu m$. ولتاژها و جریانهای مشخص شده را بیابید. (الف) همانند (ب) ولی برای $Q3$ و $Q4$ داریم $W = 200\ \mu m$.

بخش ۵-۵: MOSFET به عنوان تقویت‌کننده

۵-۴۶ این مسئله تحقیقی در مورد اعوجاج غیر خطی در تقویت کننده FET است. سیگنال v_{gs} را موج سینوسی با دامنه V_{gs} در نظر بگیرید و با جایگزینی $v_{gs} = V_{gs}\sin\omega t$ در معادله (۳۹-۵) و استفاده از رابطه مثلثاتی $\sin^2\theta = \frac{1}{2} - \frac{1}{2}\cos 2\theta$ نشان دهید نسبت سیگنال در فرکانس 2ω به سیگنال در فرکانس ω ، برحسب درصد که اعوجاج هارمونیک دوم نامیده می‌شود عبارتست از :



شکل (م ۴۵-۵)

$$\text{اعوجاج هارمونیک دوم} = \frac{1}{4}\frac{V_{gs}}{V_{GS}-V_t} \times 100$$

اگر در یک کاربرد خاص $V_t = 2$V و $V_{GS} = 5$V باشد بزرگترین دامنهٔ موج سینوسی ورودی در حالتی که اعوجاج هارمونیک دوم از ۱٪ بیشتر نشود چقدر است؟

۵-۴۷ یک ترانزیستور NMOS با $V_t = 2$V و $k'_n\ W/L = 1\text{mA/V}^2$ درنظر بگیرید برای کار در ناحیهٔ اشباع جریان بایاس dc ، I_D چقدر است؟ اگر یک سیگنال $+0.1$V به V_{GS} اضافه شود افزایش جریان کلکتور متناظر را با محاسبه جریان کلی کلکتور i_D و کم کردن جریان بایس dc ، I_D از آن بدست آورید.
مسئله را با سیگنال -0.1V تکرار کنید. با استفاده از نتایج، g_m این FET را در نقطه بایاس تخمین بزنید. این مقدار را با g_m بدست آمده از معادله (۳۸-۵) مقایسه کنید.

۵-۴۸ تقویت کنندهٔ FET شکل (الف ۳۱-۵) را در حالت $V_t = 2$V و $k'_n\ W/L = 1\text{mA/V}^2$ ، $V_{GS} = 4$V ، $V_{DD} = 10$V ، $R_D = 3.6\text{k}\Omega$ را در نظر بگیرید.
(الف) مقادیر dc ی ، I_D و V_D را بدست آورید.
(ب) مقدار g_m را در نقطه بایاس محاسبه کنید.
(پ) بهره ولتاژ را بدست آورید.
(ت) اگر MOSFET دارای $\lambda = 0.01\text{V}^{-1}$ باشد، r_o در نقطه بایاس و بهره ولتاژ را بدست آورید.

۵-۴۹ اثر اعوجاج غیرخطی توصیف شده در معادلهٔ (۳۵-۵) را بر

سیگنال مثلثی ورودی در نظر بگیرید. به ازای $V_{GS} - V_t = 1$ V، دامنهٔ V_p ورودی چقدر باشد تا نسبت جملهٔ مرتبه دوم معادلهٔ (۳۵-۵) به جملهٔ مرتبه اول ۰/۱ شود؟ به ازای این حالت، سیگنال خروجی خطی مورد نظر، مربع ورودی، و سیگنال خروجی واقعی را رسم کنید. دامنهٔ ورودی چقدر باشد تا نسبت جملهٔ غیرخطی به جملهٔ خطی ۰/۰۱ شود؟

ط*۵-۵۰ می‌خواهیم یک تقویت‌کننده NMOS برای ایجاد سیگنال خروجی با دامنهٔ ۰/۵۰ V روی مقاومت ۵۰ kΩ طراحی کنیم. اگر بخواهیم حداقل بهره ۵ V/V باشد، g_m لازم چقدر است؟ از MOSFETبا $V_t = 0/9$ V و منبع تغذیهٔ ۳ V استفاده می‌کنیم. I_D باید چقدر باشد؟ اگر $\mu_n C_{ox} = 100\ \mu A/V^2$، نسبت W/L باید چه باشد؟

۵-۵۱ اندازه‌گیریهای روی تقویت‌کننده‌ای NMOS با $R_D = 20$ kΩ صورت گرفته است. اندازه‌گیریهای dc نشان می‌دهد که ولتاژ روی مقاومت درین ۲ V و ولتاژ گیت- سورس ۱/۸ V است. اندازه‌گیریهای ac نشان می‌دهد بهرهٔ ولتاژ ۵- V/V است. g_m چقدر است؟ V_t ترانزیستور چقدر است؟

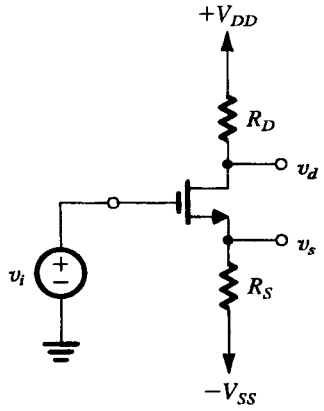
ط*۵-۵۲ در مدار شکل ۳۱-۵، $I_D = 100\ \mu A$، $V_{GS} - V_t = 1/2$V، $R_D = 50$ kΩ و $V_{DD} = 9$ V. به ازای $\lambda = 0$، $k_n'W/L$ چقدر است؟ g_m چقدر است؟ ولتاژ dc درین V_D چقدر است؟ ماکزیمم سیگنال درین که به ازای آن به لبهٔ مرز اشباع می‌رسیم چقدر است؟ بهرهٔ ولتاژ خطی مدار چقدراست؟ با فرض عملکرد خطی، به ازای چه دامنه‌ای از سیگنال ورودی ولتاژ درین به مرز اشباع می‌رسد؟ به ازای این سیگنال ورودی، دامنهٔ جملهٔ مرتبه دوم سیگنال خروجی چقدر است؟ آیا فرض عملکرد خطی درست است؟ به ازای چه مقدار v_{gs} جملهٔ مرتبه دوم ۱٪ جملهٔ مرتبه اول (خطی) است؟ دامنهٔ سیگنال خروجی چقدر است؟ اگر سیگنال ورودی همین مقدار باشد، ولتاژ منبع تغذیه را چقدر می‌توان پایین آورد، در حالی که کار در ناحیهٔ اشباع صورت گیرد و بهره ثابت بماند؟

۵-۵۳ در جدول زیر، که به MOSFET های افزایشی مربوط می‌شود، جاهای خالی را تا حد ممکن پر کنید. g_m را می‌توان در تمام موارد از یکی از معادلات (۴۳-۵)، (۴۴-۵) یا (۴۵-۵) به دست آورد. جریانها بر حسب mA، ولتاژها برحسب ولت و اندازه‌ها بر حسب μm هستند. فرض کنید $\mu_n = 500\ cm^2/Vs$، $\mu_p = 250\ cm^2/Vs$، $C_{ox} = 0/4\ fF/\mu m^2$ و $V_{eff} = V_{GS} - V_t$.

نمونه	نوع	I_D	V_{GS}	V_t	V_{eff}	W	L	$k'(W/L)W/L$	g_m
a	N	۱	۳	۲				۱۰۰	
b	N	۱			۳/۱۶	۵۰	۵		
c	N	۱۰			۲			۲۵۰	
d	N				۳/۱۶				
e	N	۰/۱				۱۰	۲		
f	N		۱/۸	۰/۸		۴۰	۴		
g	P	۱			۲			۲۵	
h	P		۳	۱					۵۰۰
i	P	۱۰				۴۰۰۰	۲		
j	P	۱۰			۴				
k	P				۱	۳۰	۳		
l	P	۰/۱			۵				۸

۵-۵۴ در یک تکنولوژی NMOS، $\mu_n C_{ox} = 20\ \mu A/V^2$ و $V_t = 1$V برای ترانزیستوری با $L = 10\mu m$، W چقدر باشد تا در $I_D = 0/5$mA، $g_m = 1$ mA/V باشد. مقدار V_{GS} لازم را نیز بیابید.

۵-۵۵ در تقویت‌کننده NMOS شکل (م ۵۵-۵) بجای ترانزیستور مدار معادل T آن را از شکل (ت ۳۶-۵) قراردهید. عبارتهایی برای بهره‌های ولتاژ v_s/v_i و v_d/v_i بدست آورید.

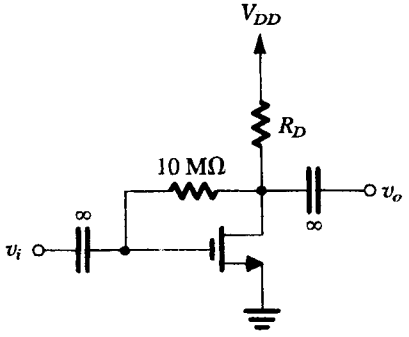


شکل (م ۵۵-۵)

ط*۵-۵۶ در این مسئله می‌خواهیم تغییر عملکرد تقویت‌کنندهٔ شکل م ۵۶-۵ را برحسب افزایش V_{GS} بررسی کنیم. حالتی با $V_{DD} = +5$V، $V_t = 1$V و $k'W/L = 2$ mA/V² در نظر بگیرید. اکنون از اثر ارلی چشم بپوشید و نشان دهید بهرهٔ ولتاژ عبارت است از

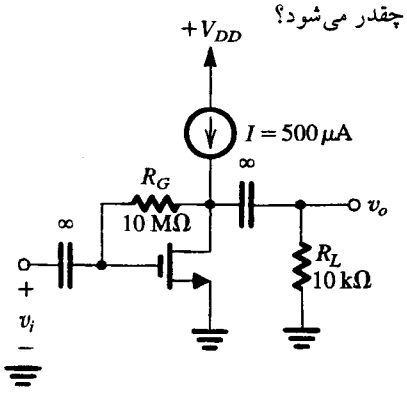
$$\frac{v_o}{v_i} = -\left(\frac{8}{V_{eff}} - 2\right)$$

که در آن $V_{eff} = V_{GS} - V_t$. جدولی از مقادیر V_{GS}، I_D، g_m، R_D و v_o/v_i برحسب V_{eff} ترتیب دهید. V_{eff} در گسترهٔ ۰/۱ V تا ۱ V تغییر می‌کند. به ازای $\lambda = 0/02\ V^{-1}$، مقدار تقریبی R_D برای دستیابی به بهرهٔ ۱۰V/V- را بیابید.



شکل (م ۵۶-۵)

۵-۵۷ برای NMOS مدار شکل م ۵۷-۵، $|V_t| = 0/9$ V و $V_A = 50$ V؛ داریم $V_D = 2$ V. بهرهٔ ولتاژ v_o/v_i چقدر است؟ اگر I_D به ۱mA برسد، V_D و بهره چقدر می‌شود؟



شکل (م ۵۷-۵)

۵-۵۸ در فرایند CMOS ۰/۸ μm ؛ V_{tn} = ۰/۸ V ؛ V_{tp}=-۰/۹V ، $\mu_n C_{ox}$ = ۹۰ μA/V۲ ، $\mu_p C_{ox}$ = ۳۰ μA/V۲ ، C_{ox} = ۱/۹ fF/μm۲ ، ϕ_f = ۰/۳۴ V ، γ = ۰/۵ V^{-1} ، V_A = ۸ L(μm) برای NMOS ، و $|V_A|$ = ۱۲ L(μm) برای PMOS . پارامترهای سیگنال کوچک (g_m ، r_o ، g_{mb}) ترانزیستورهای NMOS و PMOS دارای ابعاد W/L = ۲۰μm / ۲μm راکه با $|V_{SB}|$ = ۱ V در I_D = ۱۰۰μA بایاس شده‌اند بیابید. هر MOSFET باید با چه ولتاژ موثری ($V_{eff} = V_{GS} - V_t$) بایاس شود؟

بخش ۶-۵: بایاس مدارهای تقویت‌کنندهٔ MOS

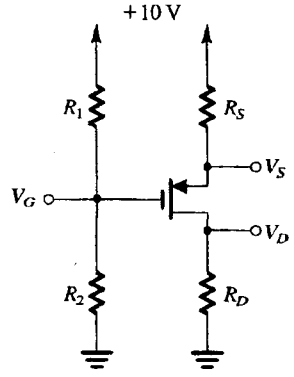
۵-۵۹ در یک دستگاه الکترونیکی با استفاده از نمای بایاس نشان داده شده در شکل (الف ۳۹-۵) ، خطای ساخت باعث شده R_S صفر شود. فرض کنید V_{DD}=۱۲V ، R_{G1}=۵/۶MΩ و R_{G2}=۲/۲MΩ باشد. مقدار V_G تولید شده چقدر است؟ اگر $k'_n(W/L)$ از ۲۲۰ تا ۳۸۰μA/V۲ و V_t از ۱/۳ تا ۲/۴ V متغیر باشند مقادیر حدی I_D برای این گستره‌ها، چقدر است؟ با چه مقداری از R_S ، مقدار I_D به ۰/۱۵mA می‌رسد؟ از مقاومت ۵% استفاده کنید. مقادیر حدی جریان چقدر می‌باشد؟

۵-۶۰ یک ترانزیستور NMOS افزایشی در مدار بایاس شکل (الف ۳۹-۵) ، با V_G=۴V و R_S=۱kΩ متصل شده است. ترانزیستور دارای V_t=۲V و $k'_n W/L$ = ۲mA/V۲ می‌باشد جریان بایاس حاصل چقدر است؟ اگر ترانزیستور با $k'_n W/L$ ی ۵۰ % بزرگتر مورد استفاده قرارگیرد افزایش I_D مدار چقدر است؟

۵-۶۱ مدار بایاس شکل (ب ۳۹-۵) در طرحی با V_G=۴V و R_S=۱kΩ بکار رفته است. برای یک MOSFET افزایشی با $k'_n W/L$ = ۲mA/V۲ ، ولتاژ سورس ، ۱V بدست آمده است. V_t این قطعه باید چقدر باشد؟ اگر قطعه‌ای با V_t ، ۰/۵V کمتر از این مقدار بکار رود، V_S چقدر می‌شود؟ جریان بایاس حاصل چقدر است؟

۵-۶۲ مدار شکل (ب ۳۹-۵) را برای یک MOSFET افزایشی با V_t=۲V و $k'_n W/L$ = ۲mA/V۲ طراحی کنید. فرض کنید V_{DD}=V_{SS}=۱۰V و طراحی را برای جریان بایاس dc ، ۱mA و بهره ولتاژ حداکثر (یعنی بزرگترین R_D ممکن) و نوسان ولتاژ درین با مقدار نوک به نوک ۲V انجام دهید. فرض کنید ولتاژ سیگنال در پایانه سورس FET صفر باشد.

ط*۵-۶۳ مدار شکل م ۶۳-۵ را به نحوی طراحی کنید که MOSFET در ناحیه اشباع، با V_{SD} دارای ۱ V فاصلهٔ از مرز ناحیهٔ تریودی، کار کند و برای آن‌که I_D = ۱ mA ، V_D = ۳ V . باید از مدار تقسیم ولتاژ جریان



شکل (م ۶۳-۵)

۱۰μA بگذرد. MOSFET دارای این مشخصات است:

(الف): افزایشی با $|V_t|$ = ۱ V و $k_p'W/L$ = ۰/۵ mA/V۲

(ب) تهی با $|V_t|$ = ۲V و $k_p'W/L$ = ۰/۵ mA/V۲

(پ) تهی با $|V_t|$ = ۳V و $k_p'W/L$ = ۰/۱۲۵ mA/V۲

(ت) تهی با $|V_t|$ = ۴V و $k_p'W/L$ = ۱/۲۵ mA/V۲

(ث) تهی با $|V_t|$ = ۲V و $k_p'W/L$ = ۱/۲۵ mA/V۲

نتایج را در جدولی با این ستونها درج کنید: V_t ، $k_p'W/L$ ، V_G ، V_D ، V_S ، R_1 ، R_2 ، R_S ، و R_D.

ط*۵-۶۴ مدار شکل الف ۳۹-۵ را با MOSFET دارای k_n' W/L = ۵۰۰μA/V۲ و V_t = ۱/۰V در نظر بگیرید، که با g_m ۰/۵mA/V بایاس شده است. ولتاژ گیت V_G و مقاومت سورس R_S را به نحوی تعیین کنید که اگر k_n' (W/L) نسبتاً ثابت باشد و V_t به مقدار ۱۰% تغییر کند، I_D بیش از ۵% تغییر نکند. بیشترین جریان درین چقدر می‌تواند باشد؟ مینیمم ولتاژ درین برای تضمین کار در ناحیهٔ اشباع چقدر است؟ اگر منبع تغذیه ۹V باشد و بخواهیم خروجی ۲V باشد، R_D چه مقداری می‌تواند داشته باشد؟ اگر سورس با خازن به زمین وصل شود، بهرهٔ ولتاژ از گیت به درین چقدر است؟ اگر بخواهیم بهره را دو برابر کنیم، R_D و منبع تغذیه باید چه تغییری بکند؟ به ازای هر دو منبع ۹V و منبع جدید، مقدار R_{G2} لازم برای بایاس را تعیین کنید؛ R_{G1} = ۱۰MΩ .

ط۵-۶۵** یک روش مفید بررسی پایداری جریان بایاس I_D بررسی حساسیت آن نسبت به پارامتری است که تغییر شدیدی دارد. حساسیت I_D نسبت به پارامتر $k = \frac{1}{2}k'(W/L)$ به صورت زیر تعریف می‌شود

$$S_K^{ID} = \frac{\delta I_D/I_D}{\delta K/K} = \frac{\delta I_D}{\delta K/K}\frac{K}{I_D}$$

اگر این مقدار را در تغییرات K (تولرانس K) ضرب کنیم، تغییر I_D به دست می‌آید. در این مسئله می‌خواهیم کاربرد تابع حساسیت در طراحی مدار بایاس شکل ب ۳۹-۵ را بررسی کنیم.

(الف) نشان دهید که به ازای V_t ثابت

$$S_K^{ID} = 1/(1 + 2\sqrt{k\, I_D}\, R_s)$$

(ب) برای MOSFET با k = ۱۰۰μA/V۲ با تولرانس ۱۰% ± ، و V_t=۱ ، مقدار R_s لازم برای داشتن I_D = ۱۰۰μA و تولرانس ۱% ± چقدر است؟ V_{GS} و V_{SS} لازم را بیابید.

(پ) به ازای V_{SS} = ۵V ، R_S لازم برای داشتن I_D = ۱۰۰μA را بیابید. تابع حساسیت را حساب کنید و تولرانس I_D را بیابید.

***۵-۶۶** مدار شکل پ ۳۹-۵ را با I = ۱mA ، R_G = ۰ ، R_D = ۵kΩ ، V_{DD} = ۱۰V در نظر بگیرید. رفتار مدار را به ازای MOSFET کانال n زیر در نظر بگیرید. ولتاژهای V_S ، V_D ، و V_{DS} حاصل را بیابید. جوابهایتان را در جدولی با ستونهای: MOSFET ، V_t ، k'_nW/L ، V_S ، V_D ، و V_{DS} ثبت کنید.

(الف) MOSFET افزایشی با V_t = ۱V و k'_nW/L = ۵۰۰μA/V۲

(ب) MOSFET تهی با V_t = −۲V و k'_nW/L = ۵۰۰μA/V۲

(پ) MOSFET تهی با V_t = −۳V و k'_nW/L = ۱۲۵μA/V۲

(ت) MOSFET تهی با V_t = −۴V و k'_nW/L = ۱/۲۵μA/V۲

(ث) MOSFET افزایشی با V_t = ۲V و k'_nW/L = ۱/۲۵μA/V۲

*۵-۶۷ اثر نصب MOSFET مسئلهٔ ۵-۶۶ در مدار شکل ت ۵-۳۹ را در نظر بگیرید. فرض کنید $R_G = 10M\Omega$ ، $R_D = 10k\Omega$ ، و $V_{DD}=10V$. در هر مورد ولتاژهای V_D و V_G و ناحیهٔ کار را تعیین کنید. جوابهایتان را در جدولی با ستونهای: ترانزیستور V_t ، k'_nW/L ، V_D ، V_G ، ناحیهٔ کار درج کنید.

ط ۵-۶۸ آرایش بایاس فیدبک شکل ت ۵-۳۹ را با منبع ۹V و NMOS دارای $V_t = 1V$ و $k'_nW/L = 0/4mA/V^2$ در نظر بگیرید. R_D را برای ایجاد جریان درین $0/2mA$ بیابید. اگر بخواهیم R_D از مقاومتهای ۵٪ برگزیده شود (پیوست ث) باید چه مقداری انتخاب کنیم؟ I_D و V_D حاصل چقدر است؟

۵-۶۹ مدار آینه جریان شکل ۵-۴۱ را به ازای حالتهای زیر در نظر بگیرید. در هر حالت I_D/I_{REF} را بیابید.

(الف) $W_2 = 3W_1$ ، $L_1 = L_2$

(ب) $W_2 = 10W_1$ ، $L_1 = L_2$

(پ) $W_2 = W_1/2$ ، $L_1 = L_2$

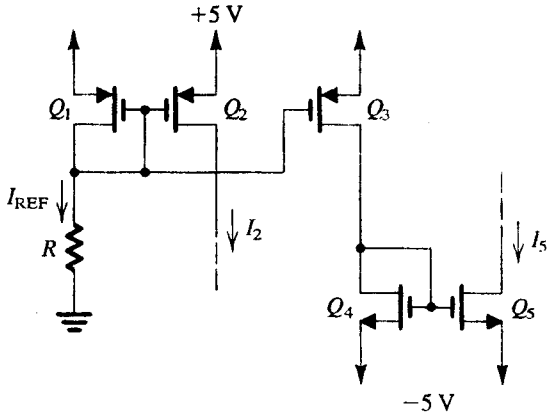
(ت) $L_1 = 2L_2$ ، $W_1 = W_2$

(ث) $L_1 = 10L_2$ ، $W_1 = W_2$

(ج) $L_1 = L_2/2$ ، $W_1 = W_2$

(چ) $L_1 = 3L_2$ ، $W_2 = 3W_1$

ط ۵-۷۰ مدار کشش جریان شکل م ۵-۷۰ با تکنولوژی خاصی با $k'_n = 90\mu A/V^2$ ، $k'_p = 30\mu A/V^2$ ، $V_{tn} = 0/8V$ ، و $V_{tp}=-0/9V$ ساخته شده است و برای تمام ترانزیستورها $L = 2\mu m$. مدار را برای دستیابی به $I_{REF}=20\mu A$ ، $I_2 = 100\mu A$ ، و $I_5 = 40\mu A$ طرح کنید. تا حد ممکن عرض ترانزیستورها را $2\mu m$ بگیرید. عرض ترانزیستورها و R را تعیین کنید. بالاترین ولتاژ درین Q_2 چه می‌تواند باشد؟ مینیمم ولتاژ درین Q_2 چه می‌تواند باشد؟ اگر $V_{An} = 8L$ و $|V_{Ap}| = 12L$ ، که L برحسب μm و V_A برحسب ولت است، مقاومتهای خروجی منبع جریان Q_2 و کشندهٔ جریان Q_2 چقدر است؟



شکل (م ۵-۷۰)

۵-۷۱ آینه جریان پایه را با ترانزیستورهای یکسان با $k'_nW/L = 40\mu A/V^2$ ، $V_t = 0/8V$ ، و $V_A = 20V$ در نظر بگیرید. فرض کنید $I_{REF} = 10\mu A$. به ازای چه ولتاژ خروجی I_o دقیقاً با I_{REF} برابر است؟ به ازای ۲V افزایش ولتاژ خروجی، جریان خروجی چقدر تغییر می‌کند؟

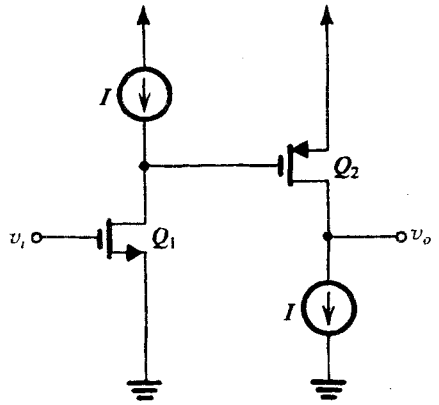
بخش ۵-۷: آرایشهای پایهٔ تقویت‌کننده‌های تک طبقهٔ مدار مجتمع

۵-۷۲ تقویت کنندهٔ CMOS شکل الف ۵-۴۵ را با $k'_p = 50\mu A/V^2$ ، $k'_n=2/5$ ، $|V_t| = 1V$ ، و $|V_A| = 50V$ در نظر بگیرید. I_{REF} و (W/L) را برای دستیابی به بهرهٔ ولتاژ $-100V/V$ و مقاومت خروجی $1M\Omega$ تعیین کنید.

۵-۷۳ تقویت کنندهٔ CMOS تحلیل شده در مثال ۵-۱۰ را در نظر بگیرید. اگر v_I یک مؤلفهٔ dc داشته باشد که سیگنالی سینوسی روی آن سوار باشد، این مؤلفهٔ dc چقدر باید باشد تا در خروجی بتوان ماکزیمم دامنهٔ تقریباً خطی را داشت؟ دامنهٔ سیگنال سینوسی خروجی چقدر است؟ (**راهنمایی:** در عمل تقویت کننده یک مدار فیدبک منفی دارد که باعث می‌شود در نقطه‌ای تقریباً وسط ناحیهٔ خطی کار کند.)

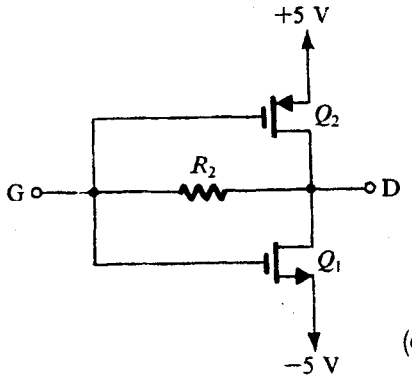
۵-۷۴ منبع تغذیه تقویت کنندهٔ CMOS مثال ۵-۱۰ ، 5V کم شده است. محدودهٔ خروجی برای خطی بودن عملکرد چقدر است؟

۵-۷۵ شکل م ۵-۷۵ یک تقویت کنندهٔ CMOS متشکل از ترکیب متوالی دو طبقهٔ سورس - مشترک را نشان می‌دهد. فرض کنید مقاومت خروجی منابع جریان بایاس بسیار بالاست، و بهرهٔ ولتاژ را برحسب g_m و r_o ترانزیستورهای Q_1 و Q_2 بیابید.



شکل (م ۵-۷۵)

**۵-۷۶ MOSFET های مدار شکل (م ۵-۶) کاملاً یکسان و دارای $k'_n(W/L)_1=k'_p(W/L)_2 = 50\mu A/V^2$ و $|V_t|=2V$ می‌باشند مقاومت $R_2=10M\Omega$ می‌باشد. برای G و D باز جریان‌های درین I_{D1} و I_{D2} چه مقداری دارند؟ برای $r_o=\infty$ ، بهرهٔ ولتاژ تقویت کننده از G به D چقدر



شکل (م ۵-۷۶)

است؟ برای r_o محدود ($r_o=|V_A|/I_D$ و $|V_A|=180\text{V}$) بهرهٔ ولتاژ از G به D و مقاومت ورودی در G چقدر است؟ اگر به G منبع v_i با مقاومت $1\text{M}\Omega$ (از طریق خازن کوپلینگ بزرگ) اعمال شود. بهرهٔ ولتاژ v_d/v_i را بدست آورید. در چه گستره‌ای از سیگنالهای خروجی Q_1 و Q_2 در ناحیه انسداد باقی می‌مانند؟

ط ۵-۷۷ (الف) معادلهٔ ۵-۵۹ بهرهٔ تقویت کنندهٔ سورس مشترک شکل الف ۵-۴۵ را به دست می‌دهد. g_{m1} را برحسب I_{D1} (که با I_{REF} برابرست) و $V_{eff1} = V_{GS1} - V_{tn}$ بیان کنید، همچنین با فرض $|V_{An}| = |V_{AP}|$ ، r_{o1} و r_{o2} را برحسب $|V_A|$ و I_{REF} بیان کنید و نشان دهید که

$$A_v \equiv \frac{-|V_A|}{V_{eff1}}$$

(ب) به ازای $|V_A| = 50\text{V}$ ولتاژ مؤثر Q_1 را برای دستیابی به بهره -100V/V تعیین کنید. به ازای $k'_n = 40\mu\text{A/V}^2$ و $I_{REF} = 10\mu\text{A}$ نسبت W/L ترانزیستور Q_1 باید چه باشد؟

۵-۷۸ برای تقویت کنندهٔ گیت مشترک CMOS به کمک معادلات (۵-۶۴) و (۵-۶۵) و بیان g_{mb1} به صورت χg_{m1}، بیان g_{m1} برحسب I_D (=I_{REF}) و V_{eff1} (=$V_{GS1} - V_{tn}$) و فرض $r_{o1}\approx r_{o2}\approx |V_A|/I_{REF}$ نشان دهید که

$$A_v = (1 + \chi)\frac{|V_A|}{V_{eff1}}$$

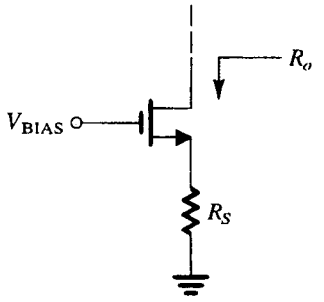
$$R_i = \frac{V_{eff1}}{I_{REF}(1 + \chi)}$$

(ب)مدار را برای دستیابی به $A_v = 100\text{V/V}$ و $R_i = 5\text{k}\Omega$ طرح کنید. فرض کنید $|V_A| = 50\text{V}$ ، $\chi = 0.2$ و $k'_n = 20\mu\text{A/V}^2$. I_{REF} و $(W/L)_1$ را تعیین کنید.

۵-۷۹ شکل م ۵-۷۹ MOSFET را در آرایش گیت مشترک نشان می‌دهد که مقاومت R_S در مدار سورس آن قرار دارد. نشان دهید که مقاومت کوچک سیگنال خروجی R_o عبارت است از

$$R_o = R_S + r_o(1 + g_m R_S)$$

از اثر بدنه چشم بپوشید. (**راهنمایی:** به جای MOSFET مدار معادل سیگنال کوچک آن را قرار دهید، ولتاژ v_x را به درین اعمال کرده، جریانی که از آن کشیده می‌شود را بیابید.)



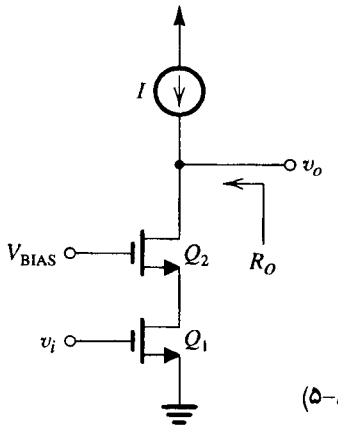
شکل (م ۵-۷۹)

۵-۸۰ مدار دنبال کنندهٔ سورس شکل ۵-۴۸ را با $k'_n = 20\mu\text{A/V}^2$ ، $V_t = 1\text{V}$ ، $V_A = 100\text{V}$ در نظر بگیرید. فرض کنید برای تمام ترانزیستورها $W/L = 10$ ، $I_{REF} = 200\mu\text{A}$ و $\chi = 0.1$ باشد. g_{m1} ، r_{o1} ، r_{o2} ، A_v ، و R_o را بیابید. اگر خروجی به یک مقاومت $10\text{k}\Omega$ وصل شود، بهرهٔ ولتاژ به چه مقداری می‌رسد؟

****۵-۸۱** شکل م ۵-۸۱ یک تقویت کنندهٔ MOS ، موسوم به آرایش آبشاری، را نشان می‌دهد. این مدار را در فصل ۶ مطالعه خواهیم کرد. فعلاً توجه کنید که این مدار یک تقویت کنندهٔ سورس مشترک Q_1 است که جریان خروجی‌اش به تقویت کنندهٔ گیت - مشترک Q_2 داده می‌شود. V_{BIAS} ولتاژ dc بایاس است. دو ترانزیستور مشابه‌اند و با جریان ثابت I بایاس شده‌اند. این تقویت کننده را می‌توان به دو صورت یک تقویت کننده انتقال هدایتی مدل کرد. منبع جریان را ایده‌آل فرض کرده، اثر بدنهٔ Q_2 را ندیده بگیرید.
(الف) نشان دهید که انتقال هدایتی اتصال کوتاه، که نسبت سیگنال جریان اتصال کوتاه خروجی به ولتاژ ورودی است، برابر g_{m1} است.
(ب) v_i را اتصال کوتاه کنید و با استفاده از معادل سیگنال کوچک ترانزیستورهای Q_1 و Q_2 نشان دهید که مقاومت خروجی عبارت است از

$$R_o = r_{o1} + r_{o2} + g_{m2} r_{o2} r_{o1} \approx g_{m2} r_{o2} r_{o1}$$

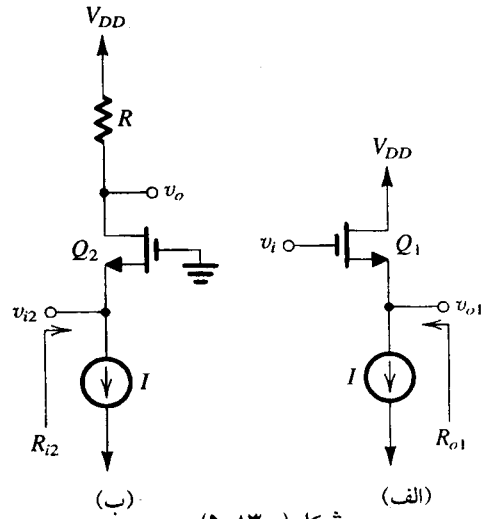
(پ) با استفاده از نتایج (الف) و (ب) بهرهٔ ولتاژ مدار باز v_o / v_i را بیابید. بهره را با آنچه در حالت نبودن Q_2 حاصل می‌شود (یعنی تقویت کنندهٔ سورس مشترک متشکل از Q_1 و بار منبع جریان I) مقایسه کنید.



شکل (م ۵-۸۱)

۵-۸۲ دنبال کنندهٔ سورس شکل الف ۵-۴۸ با جریان بایاس $100\mu\text{A}$ کار می‌کند و برای ترانزیستورآن $V_{t0} = 1\text{V}$ ، $W = 70\mu\text{m}$ ، $L = 5\mu\text{m}$ ، $\mu_n C_{ox} = 80\mu\text{A/V}^2$ ، $V_A = 90\text{V}$ ، $\gamma = 0.7\text{V}^{1/2}$ ، و $2\phi_f = 0.6\text{V}$ که V_{SB} در فاصله 1V تا 4V تغییر می‌کند. V_{GS} در چه گستره‌ای تغییر می‌کند؟ (توجه کنید که V_{GS} ولتاژ انسداد dc دنبال کنندهٔ سورس است.) بهرهٔ ولتاژ در چه گستره‌ای تغییر می‌کند؟ مقاومت خروجی در چه گستره‌ای تغییر می‌کند؟ (**راهنمایی:** معادلات (۵-۲۰) ، (۵-۵۱) و (۵-۷۲) را به کار برید.)

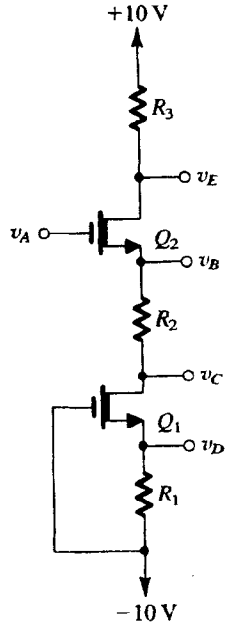
ط*۵-۸۳ (الف) برای دنبال کنندهٔ سورس شکل الف ۵-۸۳ بهرهٔ ولتاژ مدار باز v_{o1}/v_i و مقاومت خروجی R_{o1} را برحسب g_{m1} و χ بیابید. از اثر r_{o1} و مقاومت خروجی منبع جریان بایاس چشم بپوشید.
(ب) بهرهٔ ولتاژ v_{o2}/v_i و مقاومت ورودی R_i تقویت کنندهٔ گیت مشترک شکل ب در (م ۵-۸۳) را برحسب g_{m1} ، χ ، و R بیابید. اثر r_{o2} و مقاومت خروجی منبع جریان بایاس را ندیده بگیرید.
(پ) اگر پایانهٔ خروجی دنبال کنندهٔ سورس (الف) را به ورودی تقویت کنندهٔ گیت مشترک (ب) ببندیم، بهرهٔ ولتاژ کل v_o/v_i چقدر می‌شود؟
(پ) به ازای $V_{DD} = 5\text{V}$ و ولتاژ بایاس dc صفر ولت و درین Q_2 ، ولتاژ مؤثر $(V_{GS} - V_t)$ ترانزیستورهای Q_1 و Q_2 را برای دستیابی به بهرهٔ کل 25V/V تعیین کنید.
(ت) به ازای $I = 50\mu\text{A}$ و $k'_n = 50\mu\text{A/V}^2$ ، R و (W/L) دو ترانزیستور را بیابید.



شکل (م ۸۳-۵)

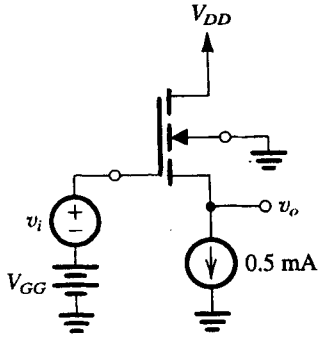
ط ۸۴-۵ مدار شکل م ۸۴-۵ را در نظر بگیرید که در آن Q_1 و R_1 جریان بایاس Q_2 را تعیین می‌کند. R_2 اثری بر بایاس Q_2 ندارد ولی کار جالبی انجام می‌دهد. R_3 مقاومت بار است. Q_1 و Q_2 با هم ساخته شده‌اند. یعنی یکسان و منطبق‌اند. برای CMOS تهی $I_{DSS} = 4\text{mA}$ و $|V_t| = 2\text{V}$، ولتاژ ورودی به نحوی است که Q_1 در اشباع می‌ماند. $k'_n(W/L)$ چقدر است؟

R_1 را برای داشتن $I_{D1} = I_{D2} = 1\text{mA}$ تعیین کنید. $R_2 = R_1$ است. R_3 را طوری برگزینید که $v_E = 6\text{V}$ شود. v_C به ازای $v_A = \pm 1\text{V}$ چقدر است؟ رفتار جالب این است که گرهٔ C گره A را دنبال می‌کند. این مدار را می‌توان سورس پیرو نامید، ولی چه پیروی! ولتاژ انسداد صفر است. توجه کنید که R_2 لازم نیست، زیرا گرهٔ B نیز A را دنبال می‌کند، ولی با ولتاژ انسداد مثبت. در بسیاری از کاربردها R_2 اتصال کوتاه می‌شود. با افزایش ولتاژ A، سرانجام Q_2 وارد ناحیهٔ تریودی می‌شود. این اتفاق به ازای چه مقدار v_A رخ می‌دهد؟ با کاهش v_A نیز Q_1 وارد ناحیهٔ اشباع می‌شود. این اتفاق به ازای چه مقدار v_A رخ می‌دهد؟ با کاهش v_A نیز Q_1 وارد ناحیهٔ اشباع می‌شود. این اتفاق به ازای چه مقدار v_A رخ می‌دهد؟ (توجه کنید که گسترهٔ خطی v_A و v_C بین او دو مقدار است.)



شکل (م ۸۴-۵)

***۸۵-۵** برای MOSFET مدار شکل م ۸۵-۵ داریم $V_{to} = 1\text{V}$، $k'_n(W/L) = 1\text{mA/V}^2$، $\gamma = 0.5\text{V}^{1/2}$، $2\phi_f = 0.6\text{V}$. به ازای $V_{GG} = 5\text{V}$، منفی‌ترین ولتاژ ورودی که به ازای آن پیوند زیر لایه - سورس هدایت نمی‌کنند چقدر است؟ اگر بخواهیم دامنهٔ مثبت سیگنال ورودی نیز همین مقدار باشد، V_{DD} چقدر باید باشد؟ χ چقدر است؟ بهرهٔ ولتاژ سیگنال کوچک در ناحیهٔ خطی عملکرد چقدر است؟



شکل (م ۸۵-۵)

ط ۸۶-۵ (الف) در یک بار، که MOS افزایشی متصل شده بصورت دیود است. عبارتی برای مقاومت افزایشی برحسب جریان کار و ابعاد قطعه بدست آورید.

(ب) در یک کاربرد خاص با بهره‌گیری از MOSFET با حداقل عرض کانال، می‌خوانیم مقاومت بار با ضریب ۳ بدون تغییر در جریان کار افزایش یابد چگونه باید این کار را انجام دهیم؟

۸۷-۵ بار MOS افزایشی در یک تقویت کنندهٔ MOS افزایشی دارای عرض کانال ۱/۱۰ و طول کانال ۱۰ برابر ترانزیستور تقویت کننده می‌باشد با چشم پوشی از اثرات r_o و اثر بدنه، بهرهٔ ولتاژ مورد انتظار چقدر است؟

ط ۸۸-۵ ترانزیستور راه‌انداز در یک تقویت کننده با بار افزایشی دارای نسبت $W/L=90$ می‌باشد با چشم پوشی از اثر r_o و فرض $\chi=0.2$، نسبت W/L بار را برای دستیابی به بهره ولتاژ سیگنال کوچک ۱۰− بدست آورید.

۸۹-۵ یک تقویت کنندهٔ MOSFET بار تهی دارای $(W/L)_1/(W/L)_2=4$ می‌باشد. با چشم پوشی از اثر r_o و $\chi=0.2$ بهرهٔ ولتاژ سیگنال کوچک را بدست آورید.

***۹۰-۵** مدار تقویت کنندهٔ با بار افزایشی را با یک مقاومت ۱۰ MΩ متصل بین ورودی و خروجی درنظر بگیرید. فرض کنید $V_{DD}=5\text{V}$ و $V_t=2\text{V}$ باشد. در هر یک از حالات زیر ولتاژ dc در خروجی و بهره ولتاژ سیگنال کوچک را بدست آورید.

(الف) $(W/L)_1 = (W/L)_2$

(ب) $(W/L)_2 = 0.1(W/L)_1$

(پ) $(W/L)_2 = 0.01(W/L)_1$

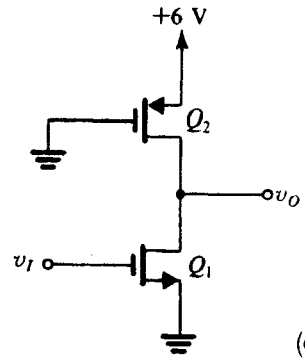
از اثرات r_o و بدنه صرفنظر کنید.

****۹۱-۵** در مدار شکل (م ۹۱-۵) فرض کنید $|V_t|=2\text{V}$ باشد. در هر یک از حالات زیر v_o متناظر با $v_I=0\text{V}$، ۳V، ۶V را بدست آورید.

(الف) $k'_p\,(W/L)_2 = k'_n\,(W/L)_1$

(ب) $k'_p\,(W/L)_2 = 0.1\,k'_n\,(W/L)_1$

(پ) $k'_p\,(W/L)_2 = 0.01\,k'_n\,(W/L)_1$



شکل (م ۹۱-۵)

بخش ۸-۵: وارونگر دیجیتال COMS

فرض کنید وارونگر به صورت استاندارد و با تکنولوژی ۱/۲μm ساخته شده است، مگر این که خلاف آن ذکر شود. برای این تکنولوژی $L = ۱/۲\mu m$ (مگر این که خلاف آن ذکر شود)؛ $W_n = ۱/۸\mu m$ (مگر این که خلاف آن ذکر شود)، $W_p = ۵/۴\mu m$ (مگر این که خلاف آن ذکر شود)؛ $k'_n = ۸۱\mu A/V^۲$، $k'_p = ۲۷\mu A/V^۲$؛ $V_{tn} = |V_{tp}| = ۰/۷۵V$؛ و $V_{DD} = ۵V$.

۵-۹۲ مقاومت خروجی وارونگر را به ازای (الف) $v_O = V_{OL}$؛ (ب) $v_O = v_{OH}$، بیابید.

۵-۹۳ ماکزیمم جریانی که وارونگر می‌تواند بدهد یا بکشد، و خروجی‌اش از مقداری که باید داشته باشد (زمین یا V_{DD}) بیش از ۰/۲V اختلاف پیدا نکند چقدر است؟

۵-۹۴ V_{IH}، V_{IL}، N_{MH} و NM_L را بیابید.

۵-۹۵ با استفاده از عبارتهای به دست آمده در تمرین ۳۴-۵ ولتاژ آستانهٔ وارونگر V_{th} را برای حالتی که MOSFET ها منطبق نیستند به دست آورید. V_{th} را برای حالت‌های $(W/L)_p = (W/L)_n$؛ $(W/L)_p=۲(W/L)_n$؛ $(W/L)_p=۳(W/L)_n$؛ و با حالت منطبق بیابید.

۱۳-۹۶* در یک وارونگر CMOS ترانزیستورهای n-کانال و p-کانال هم اندازه به کار رفته است. اگر $\mu_n = ۲\mu_p$، $|V_t| = ۱V$، و $V_{DD} = ۵V$، V_{IL} و V_{IH} و سپس حاشیه‌های نویز را بیابید.

۱۳-۹۷ تمرین ۳۱-۵ را به ازای $V_{DD} = ۱۰V$ و $V_{DD} = ۱۵V$ و تکرار کنید.

۱۳-۹۸ تمرین ۳۱-۵ را وقتی $V_t=۰/۵V$، $V_t = ۱/۵V$ و $V_t = ۲V$ است تکرار کنید.

ط ۵-۹۹ نشان دهید که در یک تکنولوژی با $V_{tn} = ۰/۲\ V_{DD}$ ماکزیمم جریانی که وارونگر CMOS می‌تواند بکشد و خروجی L آن از $۰/۱\ V_{DD}$ بیشتر نشود عبارت است از $۰/۰۷۵\ (\mu_n\ C_{ox})\ (W/L)_n\ V_{DD}^۲$. به ازای $V_{DD} = ۵V$، $\mu_n C_{ox} = ۲۰\mu A/V^۲$، و $L_n = ۵\mu m$، عرض ترانزیستور باید چه باشد تا این جریان ۱/۵mA شود؟

۵-۱۰۰ برای وارونگری که با تکنولوژی ۱/۲μm ساخته شده است، ماکزیمم جریانی که طی تغییر حالت از منبع تغذیه ۵V کشیده می‌شود چقدر است؟

۵-۱۰۱ اگر به وارونگر مسئلهٔ ۱۰۰-۵ خازن ۰/۰۵pF وصل باشد، توان مصرفی پویا هنگام تغییر حالت وارونگر با فرکانس ۱۰۰MHz را بیابید. توان متوسطی که از منبع تغذیه گرفته می‌شود چقدر است؟

۵-۱۰۲ t_{PHL} را به ازای بار خازنی $C = ۰/۰۵pF$ حساب کنید. هم معادلهٔ (۱۰۱-۵) و هم عبارت تقریبی (۱۰۲-۵) را به کار برید و نتایج را مقایسه کنید.

ط ۵-۱۰۳ می‌خواهیم تأخیر انتشار وارونگر به ازای بار ۰/۰۵pF از ۶۰ps نگذرد. W_n و W_p را تعیین کنید.

۵-۱۰۴ به کمک معادلهٔ (۱۰۱-۵) اثر تغییر V_t بر t_{pHL} را بررسی کنید. t_{PHL} را به ازای $V_t = ۰/۱V_{DD}$، $V_t = ۰/۲V_{DD}$، $V_t = ۰/۳V_{DD}$ بیابید.

۵-۱۰۵ تمرین ۳۵-۵ را برای وارونگری که تمام ابعاد ترانزیستورهایش ۲/۵ مرتبه کوچکتر شده است در نظر بگیرید. فرض کنید C_{ox} با همین ضریب بزرگ می‌شود و t_{PHL} را به ازای (الف) $C_L = ۰/۱pF$، و (ب) $C_L = ۰/۰۴pF$ بیابید.

۵-۱۰۶* (الف) در مشخصهٔ انتقال شکل ۵۸-۵ پاره خط BC عمودی است، زیرا از اثر ارلی چشم پوشیده‌ایم. با در نظر گرفتن اثر ارلی و استفاده از تحلیل سیگنال کوچک نشان دهید که شیب مشخصهٔ انتقال در $v_I=v_O=V_{DD}/۲$ عبارت است از

$$\frac{-۲\ |V_A|}{(V_{DD}/۲) - V_t}$$

که V_A ولتاژ ارلی Q_N و Q_P است. فرض کنید ترانزیستورهای Q_N و Q_P منطبق‌اند.

(ب) یک وارونگر CMOS با ترانزیستورهایی با $k'_n(W/L)_n=k'_n(W/L)_p$ اتصال مقاومت $R_G = ۱۰M\Omega$ بین ورودی و خروجی‌اش بایاس شده است. ولتاژ dc ورودی و خروجی را بیابید. بهرهٔ ولتاژ سیگنال کوچک و مقاومت ورودی تقویت کنندهٔ حاصل را بیابید. فرض کنید مشخصات وارونگر به صورت مشخص شده در ابتدای مسائل این بخش است و $|V_A| = ۵۰V$.

بخش ۹-۵: ترانزیستور MOSFET به عنوان سوئیچ آنالوگ

۵-۱۰۷ به ورودی یک کلید NMOS، سیگنال ورودی متغیر درگسترهٔ ±۵V اعمال شده و حالت آن با ولتاژ ±۱۰V کنترل می‌شود. مقاومت کانال را در دو مقدار حدی سیگنال هنگامی که ورودی کنترل در +۱۰V است و آن را روشن کرده، بدست آورید. اگر این کلید در مداری که مقاومت حلقهٔ آن R است بکار رود مقدار R برای اطمینان از افت ۱٪ سیگنال روی کلید چقدر است؟ ترانزیستور دارای $k'_n\ (W/L)=۱۰۰\mu A/V^۲$ و $V_t = ۱V$ است.

۵-۱۰۸ یک گیت انتقال CMOS با $k'_n\ (W/L)=۱۰۰\mu A/V^۲$ و

$|V_t|=1V$ از سیگنال‌های کنترل $\pm 5V$ برای سیگنال‌های ورودی در گسترهٔ $\pm 5V$ استفاده می‌کند. مقاومت کلید در مقادیر حدی سیگنال و سیگنال‌های صفر ولت چقدر است؟ اگر کلید در مواردی که مقاومت حلقهٔ آن R است بکار رود، مقدار R برای اطمینان از افت حداکثر ۱٪ سیگنال روی کلید، چقدر است؟

۵-۱۰۹ یک کلید CMOS برای اتصال منبع سینوسی $0.1 \sin\omega t$ به بار خازنی C بکاررفته است. با سیگنال‌های کنترل $\pm 5V$ و $k'_p (W/L)_p = k'_n (W/L)_n = 100\ \mu A/V^2$ ، $V_{tn}=|V_{tp}|=1V$ و فرکانس قطع سوئیچ در حالت $C=1000pF$ چقدر است؟

۵-۱۱۰ کلید آنالوگ شکل ۵-۶۲ را به ازای ورودیهای $\pm 3V$ ، و MOSFET دارای $V_{t0} = 1.0V$ ، $k'_n W/L = 0.2mA/V^2$ ، $\gamma = 0.7V^{1/2}$ ، $2\phi_f = 0.6V$ و بایاس $-3V$ زیرلایه در نظر بگیرید. بار از یک مقاومت $50k\Omega$ و یک خازن $100pF$ تشکیل شده است. سیگنال کنترل گیت باید چه باشد تا ولتاژ مؤثر گیت - سورس (یعنی $V_{GS} - V_t$) حداقل $2V$ باشد؟ اثر بدنه را در نظر بگیرید. به ازای ورودی‌های $\pm 3V$ ولتاژ خروجی را بدست آورید. اگر ورودی به طور ناگهانی از $+3V$ به $-3V$ برسد، جریان تخلیه‌کنندهٔ خازن بار را به ازای مقدار اولیهٔ v_o (که باید نزدیک $+3V$ باشد) و $v_O \approx 0V$ به دست آورید. متوسط این دو مقدار را بیابید و به کمک آن زمان رسیدن v_O به حدود $0V$ را تخمین بزنید. شکل موج خروجی را رسم کنید.

بخش ۱۰-۵: خازنهای داخلی و مدل فرکانس بالای MOSFET

۵-۱۱۱ مدل فرکانس بالای MOSFET ، شکل الف ۵-۶۷ را در نظر بگیرید. پارامترهای مدل را برای یک NMOS با $I_D = 100\mu A$ ، $V_{SB} = 2V$ و $V_{DS} = 5V$ حساب کنید. برای MOSFET داریم $W = 30\mu W$ ، $L = 10\mu m$ ، $t_{ox} = 0.1\mu m$ ، $\gamma = 0.5V^{1/2}$ ، $2\phi_f = 0.06m^2/V_s$ ، $\lambda = 0.02V^{-1}$ ، $C_{ox} = 0.35fF/\mu m^2$ ، $V_0 = 0.6V$ ، و $C_{db0} = C_{sb0} = 0.1pF$. فرض کنید ظرفیت همپوشانی گیت - سورس و گیت - درین $0.01pF$ و ظرفیت ناخواسته بین گیت و زیر لایه $0.05pF$ است. (توجه کنید که $g_{mb} = \chi g_m$ که در آن $\chi = \gamma/2(\sqrt{2\phi_f + V_{SB}})$).

۵-۱۱۲ f_T در MOSFET که با جریان $I_D = 100\mu A$ کار می‌کند و برای آن $\mu_n C_{ox} = 20\mu A/V^2$ ، $W = 30\mu m$ ، $L=10\mu m$ ، $C_{gs}=0.08pF$ ، و $C_{gd} = 0.01pF$ چقدر است؟

۵-۱۱۳ با توجه به تعریف ω_T MOSFET

$$\omega_T = \frac{g_m}{C_{gs} + C_{gd}}$$

و استفاده از تقریب $C_{gs} >> C_{gd}$ و چشم‌پوشی از مؤلفهٔ همپوشانی C_{gs} نشان دهید که

$$\omega_T \approx \frac{3}{L}\sqrt{\frac{\mu_n I_D}{2C_{ox} WL}}$$

پس برای دستیابی به ω_T بزرگ باید MOSFET را در جریان بزرگ به کار بریم. همچنین هر چه MOSFET کوچکتر باشد ω_T آن بزرگتر است.

۵-۱۱۴ با شروع از عبارت فرکانس بهرهٔ واحد MOSFET

$$\omega_T = \frac{gm}{C_{gs} + C_{gd}}$$

و استفاده از ترکیب $C_{gs} >> C_{gd}$ و چشم‌پوشی از مؤلفه همپوشانی C_{gs} نشان دهید که برای NMOS

$$\omega_T \approx 1.5 \frac{\mu_n}{L^2} (V_{GS} - V_t)$$

پس برای یک MOSFET هر چه ولتاژ مؤثر بزرگتر باشد، ω_T بزرگتر است.

f_T در MOSFET با $L = 2.4\mu m$ را در ولتاژهای مؤثر $0.25V$ ، $0.5V$ ، و $1V$ حساب کنید؛ داریم $\mu_n = 580 cm^2/V_s$.

بخش ۱۱-۵: ترانزیستور اثر میدانی پیوندی (JFET)

۵-۱۱۵ یک JFET از نوع نامعلوم (یعنی کانال p یا n) اما با دانستن اینکه یکی از دو پایانه‌ها سورس یا درین است دارای گیت شناور بوده و یک اهم‌متر بین سورس و درین متصل است. هنگامی که گیت به سیم منفی (قرمز رنگ) اهم متر اتصال یابد مقاومت خوانده شده تغییری نمی‌کند هنگامی که گیت به سیم مثبت (سیاه رنگ اهم متر اتصال یابد. مقاومت خوانده شده به شدت کم می‌شود، JFET از نوع کانال p است یا کانال n؟

۵-۱۱۶ یک کانال JFET کانال n گیت و سورس آن به هم وصل شده‌اند و بنابراین به قطعه دو پایانه تبدیل شده است اگر ولتاژ افت کرده روی قطعه را v و جریان قطعه را i بنامیم نشان دهید:

$$i = I_{DSS}[2(\frac{v}{-V_p}) - (\frac{v}{V_p})^2] \quad \text{برای} \quad 0 \le v \le -V_p$$

$$i = I_{DSS} \quad \text{برای} \quad v \ge V_p$$

هنگامی که از مدولاسیون طول کانال صرفنظر کنیم، وقتی که JFET در درین دچار انسداد کانال شود، مقاومت افزایشی این قطعه دو پایانه چقدر است؟ اگر اثر مدولاسیون طول کانال را به حساب آوریم، مقاومت افزایشی چقدر است؟

۵-۱۱۷ یک JFET کانال n به عنوان مقاومت کنترل شده با ولتاژ بکار می‌رود که در صورت کار FET در مقادیر کوچک v_{DS} ، تقریباً خطی است. نشان دهید مقاومت r_{DS} را می‌توان به شکل زیر بیان کرد:

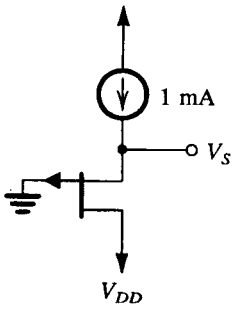
$$r_{DS} = [-V_P/(2I_{DSS})]/(1-v_{GS}/V_P)$$

برای $V_P = -4V$ و $I_{DSS} = 14mA$ گسترهٔ r_{DS} از صفر تا $0.9V_P$ را بدست آورید.

۵-۱۱۸ یک JFET کانال n با $I_{DSS}=4mA$ و $V_P=-2V$ درنظر بگیرید. مقادیر V_t و K را بدست آورید. اگر سورس زمین شده و ولتاژ dc به میزان $-1V$ به گیت اعمال شود. کمترین ولتاژ درین را که منجر به حالت انسداد شود بدست آورید. مقدار جریان درین متناظر با آن را پیدا کنید. اگر ولتاژ درین به میزان $10V$ افزایش یافته و λ برای این قطعه $0.01V^{-1}$ باشد. مقدار جدید جریان را بدست آورید.

۵-۱۱۹ یک JFET با $V_P=-1V$ و $I_{DSS} = 1mA$ که در حالت انسداد با $v_{GS} = 0$ کار می‌کند، مقاومت خروجی $100k\Omega$ را از خود نشان می‌دهد.

مقدار مقاومت خروجی هنگامی که قطعه در حالت انسداد با $v_{GS}=-0/5V$ کار کند چقدر است؟



شکل (م ۱۲۰-۵)

۵-۱۲۰ JFET کانال p در مدار شکل (م ۱۲۰-۵) دارای $V_p=3V$ می‌باشد. گسترهٔ V_{DD} را که قطعه در حالت انسداد عمل کند بدست آورید. اگر V_S در حالت انسداد، $-1V$ اندازه‌گیری شود، انتظار دارید I_{DSS} چقدر باشد؟ فرض کنید $\lambda=0$ باشد.

ط* ۵-۱۲۱ می‌خواهیم مداری مشابه مدار شکل الف ۳۹-۵ برای بایاس کردن یک JFET به کار ببریم. مشخصهٔ JFET بین دو مشخصهٔ حدی زیر قرار دارد: JFET «پایین» با $V_p=-2V$ و $I_{DSS}=4mA$، و JFET «بالا» با $V_p=-8V$ و $I_{DSS}=16mA$. داریم $V_{DD}=20V$. باید بزرگترین مقدار V_G را انتخاب کنید، به شرطی که افت ولتاژ روی R_D برابر $4V$ باشد. همچنین باید به ازای ترانزیستورهای دارای مشخصات ترانزیستور «پایین» داشته با شیم $V_{GS}=0V$، R_S باید چقدر باشد؟ جریان بایاس به ازای ترانزیستور «پایین» و ترانزیستور «بالا» چه مقداری خواهد بود؟

ط ۵-۱۲۲ مدار بایاس شکل الف ۳۹-۵ را در حالتی که به جای MOSFET، JFET داریم، در نظر بگیرید. مقادیر R_D، R_S، R_{G1}، و R_{G2} را به نحوی تعیین کنید که داشته باشیم $I_D=I_{DSS}/2$ و یک سوم ولتاژ روی R_D، یک سوم روی R_S و یک سوم آن روی FET (یعنی V_{DS}) قرار گیرد. فرض کنید $V_{DD}=15V$، $I_{DSS}=8mA$ و $V_p=-2V$. جریان شبکه مقسم ولتاژ گیت باید $1\mu A$ باشد.

***۵-۱۲۳** برای JFET مدار تقویت کنندهٔ شکل م ۱۲۳-۵ داریم $V_p=-4V$، $I_{DSS}=12mA$ و در $I_D=12mA$ مقاومت خروجی $r_o=25k\Omega$.

(الف) مقادیر بایاس V_G، I_D، V_{GS} و V_D را بیابید.

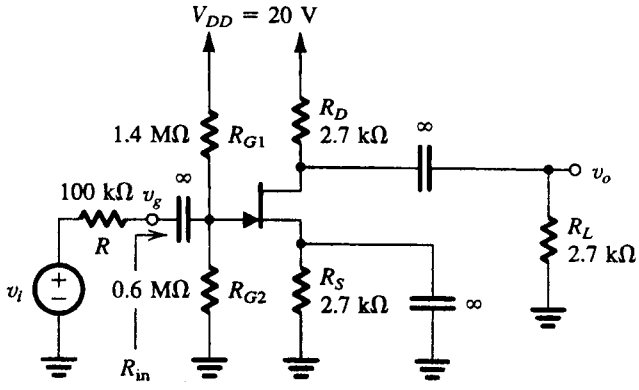
(ب) g_m را بیابید. (می‌توانید از همان فرمولهای MOSFET افزایشی استفاده کنید.) r_o را نیز بیابید.

(پ) به جای JFET مدل سیگنال - کوچک آن را قرار دهید و مدار معادل سیگنال - کوچک تقویت کننده را بیابید.

(ت) با استفاده از مدار معادل (پ) مقادیر R_{in} و v_g/v_i را بیابید.

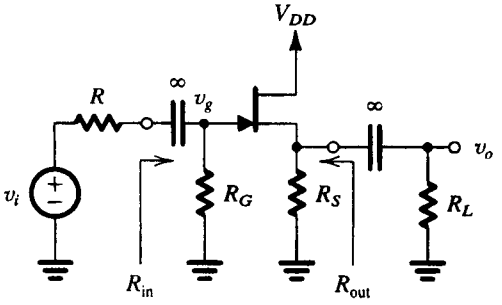
(ث) با استفاده از مدار معادل v_o/v_g را بیابید.

(ج) بهرهٔ ولتاژ کل v_o/v_i را بیابید.



شکل (م ۱۲۳-۵)

۵-۱۲۴ در JFET سورس پیرو شکل (م ۱۲۴-۵) $R_S=10k\Omega$ و $r_o=100k\Omega$ می‌باشد. بهره ولتاژ بدون بار (مدار باز) از گیت به سورس $0/9V/V$ است. g_m و R_{out} را بدست آورید. بهرهٔ ولتاژ v_o/v_g را در حالت $R_L=910\Omega$ نیز پیدا کنید.



شکل (م ۱۲۴-۵)

۵-۱۲۵ سورس پیرو شکل (م ۱۲۴-۵) در حالت R_S به ولتاژ تغذیه $-10V$ (بجای زمین) در نظر بگیرید. فرض کنید $V_{DD}=+10V$ و IFET دارای $V_P=-4V$، $I_{DSS}=12mA$ و $r_o=\infty$ باشد. مدار را طوری طرح کنید که مقاومت خروجی مساوی یا کمتر از 200Ω باشد. برای دستیابی به $R_{in}\geq 1M\Omega$، R_G باید چقدر باشد؟ بهرهٔ ولتاژ مدار باز از گیت به سورس را بدست آورید.

۵-۱۲۶ با استفاده از مقادیر پارامترهای جدول (۲-۵)، مقدار β را برای یک MESFET با $W=100\mu m$ بدست آورید. برای $V_{GS}=-0/5V$ و $V_{DS}=1V$، I_D را پیدا کنید. g_m و r_o را نیز در نقطه بایاس بدست آورید.

۵-۱۲۷ با استفاده از مقادیر پارامترهای جدول ۲-۵ یک منبع جریان MESFET (با اتصال گیت به سورس) طراحی کنید که در ولتاژ $2V$، جریان $6mA$ را تولید کند. عرض لازم برای ترانزیستور چقدر است؟ مقاومت خروجی منبع جریان چقدر است؟ (بخاطر آورید که در جدول ۲-۵، $L=1\mu m$ می‌باشد)

۵-۱۲۸ می‌خواهیم با سری کردن سه دیود سد - شاتکی هر یک با $W=5\mu m$ ولتاژ dc، $2/2V$ را بدست آوریم. چه جریانی برای بایاس لازم است؟ از مقادیر پارامترهای جدول (۲-۵) استفاده کنید (بخاطر آورید که مقادیر برای $L=1\mu m$ می‌باشند)

۵-۱۲۹ اگر در مثال (۱۱-۵) عرض هر یک از دو ترانزیستورها دو برابر شود مقادیر جدید بایاس و بهرهٔ ولتاژ حاصل را بدست آورید.

۵-۱۳۰ پارامتر رسانایی یک GaAs MOSFET در هر μm عرض $\beta=10^{-4}A/V^2$ است و برای آن $W=100\mu m$، $L=1\mu m$، $V_t=-1V$، و C_{gs} (در $V_{GS}=0V$) برابر $1/6fF$ بر هر μm عرض است. اگر f_T به ازای $V_{GS}=0V$ برابر $15GHz$ باشد، C_{gd} چقدر است؟

R. S. C. Cobbold, *Theory and Applications of Field-Effect Transistors,* New York: Wiley, 1969.

P. R. Gray, D. A. Hodges, and R. W. Brodersen, *Analog MOS Integrated Circuits,* New York: IEEE Press, 1980.

D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering,* New York: McGraw-Hill, 1975.

D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* 2nd ed; New York: McGraw-Hill, 1988.

D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design,* New York: Wiley, 1997.

S. I. Long and S. E. Butner, *Gallium Arsenide Digital Integrated Circuit Design,* New York: McGraw-Hill, 1990.

C. Mead, *Analog VLSI and Neural Systems,* Reading, MA: Addison Wesley, 1989.

P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed; New York: Wiley, 1993.

A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design,* New York: Wiley, 1984.

D. L. Pulfrey and N. G. Tarr, *Introduction to Microelectronic Devices,* Englewood Cliffs, NJ: Prentice-Hall, 1989.

J. M. Rabaey, *Digital Integrated Circuits,* Englewood Cliffs, NJ: Prentice-Hall, 1996.

G. Roberts and A. Sedra, *SPICE,* New York: Oxford University Press, 1997.

Y. Tsividis, "Design considerations in single-channel MOS analog integrated circuits—A tutorial," *IEEE Journal of Solid-State Circuits,* vol. SC-13, pp. 383–391, June 1978.

Y. Tsividis, *Operation and Modeling of the MOS Transistor,* New York: McGraw-Hill, 1987.

قسمت II

مدارهای آنالوگ

- فصل ۶ تقویت‌کننده‌های تفاضلی و چند طبقه
- فصل ۷ پاسخ فرکانسی
- فصل ۸ فیدبک
- فصل ۹ طبقات خروجی و تقویت‌کننده‌های توان
- فصل ۱۰ مدارهای مجتمع آنالوگ
- فصل ۱۱ تقویت‌کننده‌های تنظیمی و فیلترها
- فصل ۱۲ مدارهای مولد سیگنال و شکل دهنده موج

پیشگفتار

پس از مطالعه قطعات الکترونیک و آرایش مداری آنها، اینک طراحی مدارها و دستگاههای آنالوگ پیچیده‌تری را بررسی می‌کنیم. تقویت‌کننده‌ها اصلی‌ترین مدارهای آنالوگ هستند و از اینرو بخش اعظم قسمت II به مطالعه جنبه‌های گوناگون طراحی تقویت کننده اختصاص یافته است.

قسمت II با فصل ۶ و با مبحث پرکاربردترین تقویت‌کننده یعنی زوج تفاضلی آغاز می‌شود. در این فصل تحلیل و طراحی تقویت‌کننده‌های BJT ، MOSFET ، و MESFET ارائه شده است. همچنین BiMOS ، در مبحث طراحی تقویت کننده‌ها معرفی شده است که روشی جدید است و در آن از مزایای قطعات دو قطبی و نیز CMOS همزمان استفاده شده است. برای بدست آوردن بهره زیاد، طبقات تقویت‌کننده پشت سر هم بسته می‌شوند. فصل ۶ با معرفی تقویت‌کننده‌های چند طبقه خاتمه می‌یابد.

در سه فصل پیش، ظرفیت‌های داخلی قطعات نیمه‌هادی دیود، BJT ، و FET را بررسی کردیم و مدلهای فرکانس بالای آنها را توضیح دادیم. در فصل ۷ ، این مدلها را در تحلیل پاسخ فرکانسی پیکربندی‌های اصلی تقویت کننده بکار می‌گیریم. روشهای محدودسازی پاسخ فرکانسی پیکربندی‌های اصلی مشخص شده‌اند و مدارهای پیچیده‌تری برای برطرف کردن آن ارائه شده است.

بیشتر مدارهای الکترونیک دارای مدار فیدبک هستند. در فصل ۸ به آن می‌پردازیم . بررسی فیدبک برای کاربرد مناسب فیدبک در طراحی تقویت‌کننده‌ها ضروری است تا بهره دقیق بدست آید و از مشکلاتی مانند ناپایداری پرهیز گردد.

طراحی تقویت کننده‌هایی که توان زیاد به عنصر بار تحویل می‌دهند، نظیر تقویت‌کننده‌هایی که در یک دستگاه استریو، بلندگو را راه‌اندازی می‌کنند، کاملاً متفاوت است با آنچه درباره تقویت‌کننده‌های سیگنال کوچک گفته شده. این مبحث در فصل ۹ آمده است.

مدار مجتمع op-amp در فصل ۲ بررسی شد. با داشتن اطلاعات بیشتر درباره op-ampها این مدار را در فصل ۱۰ به طور مفصل بررسی می‌کنیم . در این فصل op-ampهای دو قطبی، CMOS ، و BiMOS را مطالعه می‌کنیم.

آخرین فصل قسمت II کاربردی است. فصل ۱۱ درباره طراحی فیلترهاست که بخش مهمی از دستگاههای مخابراتی و یا اندازه‌گیری است. طراحی فیلتر مبحثی مهم است.

در طراحی دستگاههای الکترونیک، نیاز به شکل موجهای گوناگون مانند امواج سینوسی، پالسی، و مربعی می‌باشد. تولید چنین سیگنالهایی موضوع فصل ۱۲ است.

فصل ۶

تقویت‌کننده‌های تفاضلی و چند طبقه‌ای

۶-۱ زوج تفاضلی BJT
۶-۲ عملکرد سیگنال کوچک ترانزیستور تفاضلی BJT
۶-۳ مشخصه‌های غیرایده‌آل دیگر در تقویت‌کننده تفاضلی
۶-۴ تغذیه مدارات BJT مجتمع
۶-۵ تقویت‌کننده BJT تفاضلی با بار فعال
۶-۶ تقویت‌کننده‌های تفاضلی MOS
۶-۷ تقویت‌کننده‌های BiCMOS
۶-۸ تقویت‌کننده‌های GaAs
۶-۹ تقویت‌کننده‌های چندطبقه
۶-۱۰ مثالی از شبیه سازی SPICE
خلاصه - مسائل - کتابشناسی

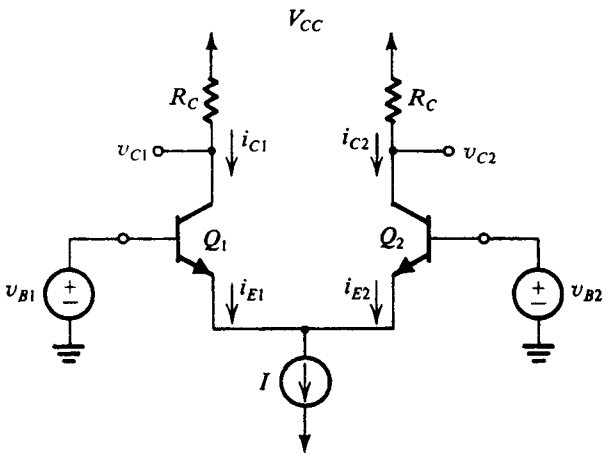
مقدمه

تقویت‌کننده‌های تفاضلی پرکاربردترین مدار در مدارهای مجتمع آنالوگ می‌باشند. بطور مثال، طبقه ورودی op-amp یک تقویت‌کننده تفاضلی است. همچنین تقویت‌کننده تفاضلی BJT اساس دسته‌ای از مدارهای منطقی با سرعت زیاد موسوم به منطق تزویج امیتری (ECL) است. این گونه از مدارها را در فصل ۱۴ مطالعه خواهیم کرد. در این فصل آن دسته از تقویت‌کننده‌های تفاضلی بررسی می‌شوند که از BJT ها، و MOSFET ها ساخته می‌شوند. همچنین روشهای بایاس‌کردن مدارهای مجتمع دوقطبی و MOS و GaAs شرح داده می‌شوند. در پایان فصل مبحثی درباره ساختمان تقویت‌کننده‌های چندطبقه خواهیم داشت. بررسی این گونه تقویت‌کننده‌ها با کمک مثال انجام خواهد شد.

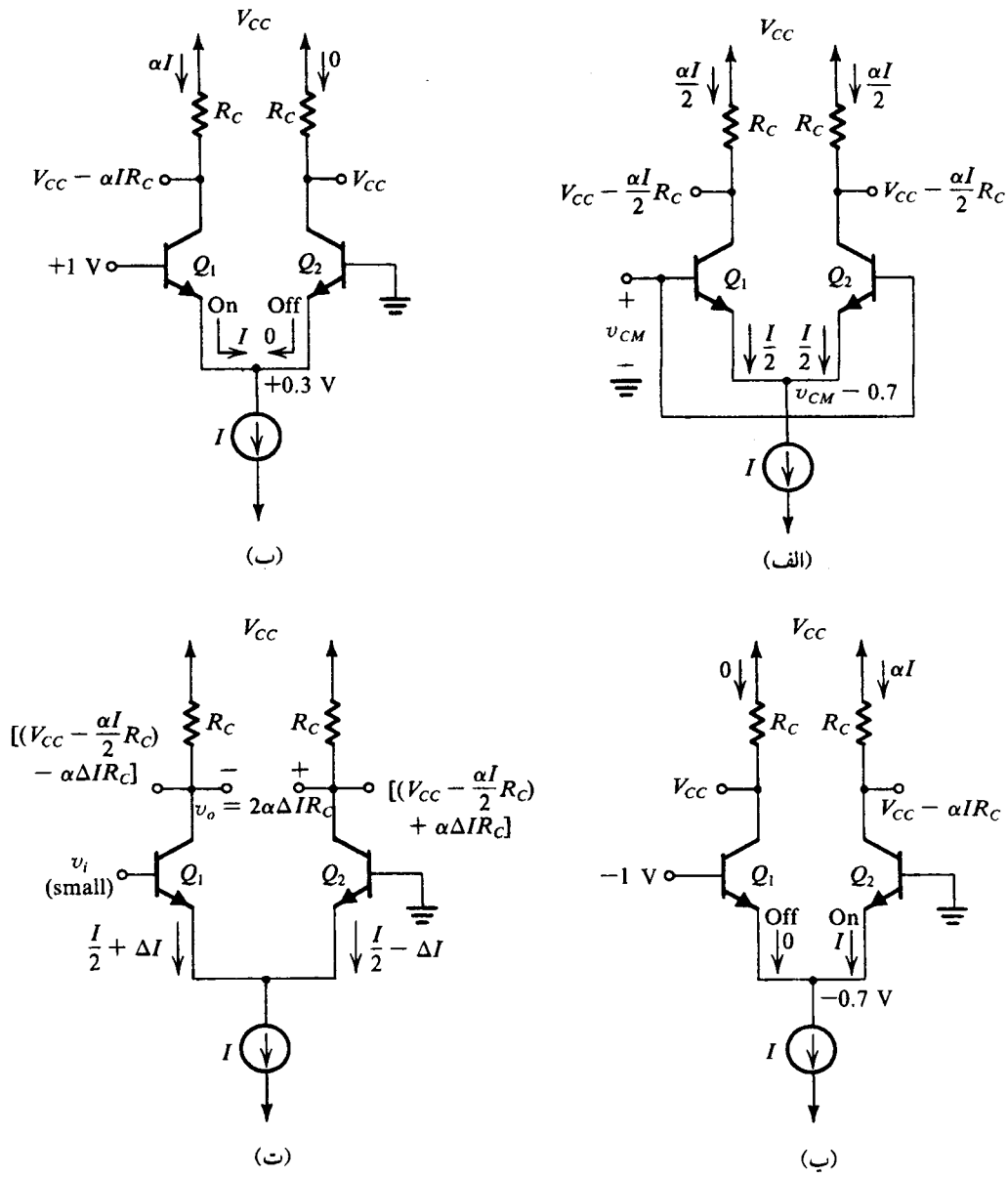
۶-۱ زوج تفاضلی BJT

بررسی کیفی نحوهٔ کار

شکل (۱-۶) اساس پیکربندی زوج تفاضلی را نشان می‌دهد. این مدار از دو ترانزیستور تطبیق شده Q_1 و Q_2 تشکیل شده که امیترهای آنها به یکدیگر متصلند و بوسیله منبع جریان ثابت I تغذیه می‌شود. منبع جریان ثابت معمولاً یک مدار ترانزیستوری نظیر مدار شرح داده شده در فصل ۴ [شکل (ب ۴۲-۴)] و بخش ۴-۶ است. اگرچه هر کلکتور



شکل ۱-۶. آرایش اساسی زوج تفاضلی BJT



شکل ۲-۶. حالات مختلف کار زوج تفاضلی (**الف**) زوج تفاضلی با سیگنال ورودی حالت مشترک v_{CM}. (**ب**) زوج تفاضلی با سیگنال ورودی تفاضلی «بزرگ». (**پ**) زوج تفاضلی با سیگنال ورودی تفاضلی بزرگ و پلاریته برعکس نسبت به (ب). (**ت**) زوج تفاضلی با سیگنال ورودی تفاضلی کوچک v_i

بوسیله یک مقاومت R_C به منبع ولتاژ مثبت V_{CC} متصل است، اما این اتصال در کار زوج تفاضلی مهم نیست یعنی، در موارد بسیار، دو کلکتور ممکن است به جای اتصال به مقاومتهای بار به ترانزیستورهای دیگر مرتبط باشند. آنچه اهمیت اساسی دارد آن است که مدارهای کلکتور به گونه‌ای باشند که Q_1 و Q_2 هرگز به اشباع نروند.

برای مشاهده کار زوج تفاضلی، نخست حالتی را درنظر بگیرید که دو بیس به هم مرتبط و به ولتاژ v_{CM} موسوم به **ولتاژ حالت مشترک** وصلند. در این صورت بنابر شکل (الف ۲-۶)، $v_{B1} = v_{B2} = v_{CM}$ است. چون Q_1 و Q_2 در تطبیق با یکدیگرند و با توجه به تقارن، جریان I بطور مساوی میان دو قطعه تقسیم می‌شود بطوری که $i_{E1} = i_{E2} = I/2$ و ولتاژ امیترها $v_{CM} - V_{BE}$ خواهد بود که در آن V_{BE} ولتاژ بیس-امیتر است [که در شکل (الف ۲-۶) تقریباً ۰/۷V فرض شده] و متناسب با جریان $I/2$ امیتر می‌باشد. ولتاژ در هر کلکتور برابر $V_{CC} - \frac{1}{2}\alpha I R_C$ می‌گردد و اختلاف ولتاژ دو کلکتور برابر صفر است.

اکنون فرض کنید مقدار سیگنال ورودی حالت مشترک یعنی v_{CM} تغییر داده شود. بدیهی است تا وقتی Q_1 و Q_2 در ناحیه فعال باقی بمانند، جریان I به تساوی بین Q_1 و Q_2 تقسیم شده و ولتاژ کلکتورها تغییر نخواهد کرد. در اینصورت زوج تفاضلی به سیگنال ورودی حالت مشترک پاسخ نمی‌دهد. (آنرا حذف می‌کند).

در آزمایشی دیگر، مطابق شکل (ب ۲-۶)، فرض کنید ولتاژ v_{B2} مقدار ثابتی باشد و مثلاً با زمین‌کردن B_2 مقدارش صفر باشد و فرض کنید $v_{B1} = +1$ V باشد. با کمی استدلال ملاحظه می‌شود که Q_1 روشن

خواهد شد و تمام جریان I را هدایت می‌کند و ترانزیستور Q_2 خاموش خواهد بود. برای آنکه Q_1 هدایت کند، ولتاژ امیتر باید تقریباً $+0.3V$ باشد تا پیوند امیتر - بیس در بایاس معکوس قرار گیرد. ولتاژهای کلکتور $v_{C1} = V_{CC} - \alpha I R_C$ و $v_{C2} = V_{CC}$ خواهد بود.

اکنون فرض می‌کنیم مطابق شکل (پ ۲-۶)، v_{B1} به -1 V تغییر داده شود. بار دیگر با کمی استدلال ملاحظه می‌شود که Q_1 خاموش خواهد شد و Q_2 همه جریان I را می‌کشد. ولتاژ امیتر مشترک -0.7 V خواهد بود یعنی پیوند بیس - امیتر Q_1 با 0.3 V در بایاس معکوس خواهد بود. ولتاژهای کلکتور نیز $v_{C1} = V_{CC}$ و $v_{C2} = V_{CC} - \alpha I R_C$ می‌گردد.

از مطالب بالا نتیجه می‌گیریم که زوج تفاضلی در حقیقت به **حالت تفاضلی یا سیگنالهای تفاضلی** پاسخ می‌دهد. در واقع، با یک تغییر بالنسبه کوچک در ولتاژها می‌توانیم تمام جریان بایاس را از یک طرف زوج به طرف دیگر کشاند.

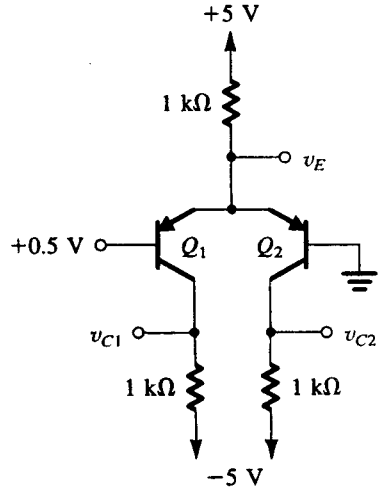
این خاصیت کشیدن جریان در زوج تفاضلی چنانکه در فصل ۱۴ ملاحظه خواهد شد موجب استفاده آن در مدارهای منطقی شده است. در واقع زوج تفاضلی همانند یک سوئیچ تک قطبی دو راهه عمل می‌کند که در تحقق وارونگر حالت جریانی شکل (۳۳-۱) از آن استفاده کردیم.

برای استفاده از زوج تفاضلی بعنوان یک تقویت‌کننده خطی، (مطابق شکل (ت ۲-۶))، یک سیگنال تفاضلی بسیار کوچک (چند میلی‌ولت) اعمال می‌کنیم که در نتیجه آن یکی از ترانزیستورها جریان $I/2 + \Delta I$ را و دیگری $I/2 - \Delta I$ را هدایت می‌کند. ΔI متناسب با تفاضل ولتاژ ورودی است. ولتاژ خروجی به دست آمده بین دو کلکتور $2\alpha \Delta I R_C$ خواهد بود که متناسب با تفاضل ولتاژ ورودی v_i است. عملکرد سیگنال کوچک زوج تفاضلی در بخش (۲-۶) بررسی خواهد شد.

تمرین

۱-۶ در مدار شکل (۱-۶ ت)، v_E، v_{C1}، و v_{C2} را بیابید. فرض کنید $|v_{BE}|$ یک ترانزیستور در حال هدایت تقریباً 0.7 V و $\alpha \cong 1$ باشد.

جواب. -0.7 V ؛ -5 V ؛ $+0.7$ V ❑



شکل (۱-۶ ت)

کار سیگنال بزرگ زوج تفاضلی BJT

اکنون زوج تفاضلی BJT شکل (۱-۶) را به اجمال تحلیل و بررسی می‌کنیم. چنانچه ولتاژ امیتر مشترک را با v_E مشخص کنیم، برای هریک از دو ترانزیستور می‌توان رابطه نمایی زیر را نوشت:

$$i_{E1} = \frac{I_S}{\alpha} e^{(v_{B1} - v_E)/V_T} \qquad (۶-۱)$$

$$i_{E2} = \frac{I_S}{\alpha} e^{(v_{B2} - v_E)/V_T} \qquad (۶-۲)$$

از ترکیب این دو معادله، رابطه زیر به دست می‌آید:

$$\frac{i_{E1}}{i_{E2}} = e^{(v_{B1} - v_{B2})/V_T} \qquad (۶-۳)$$

که با انجام عملیات بصورت زیر به دست می‌آید:

$$\frac{i_{E1}}{i_{E1} + i_{E2}} = \frac{1}{1 + e^{(v_{B2} - v_{B1})/V_T}} \qquad (۶-۴)$$

$$\frac{i_{E2}}{i_{E1} + i_{E2}} = \frac{1}{1 + e^{(v_{B1} - v_{B2})/V_T}} \qquad (۶-۵)$$

مدار شرط دیگری نیز دارد

$$i_{E1} + i_{E2} = I \qquad (۶-۶)$$

با استفاده از معادله (۶-۶) و معادله‌های (۴-۶) و (۵-۶) به دست می‌آید:

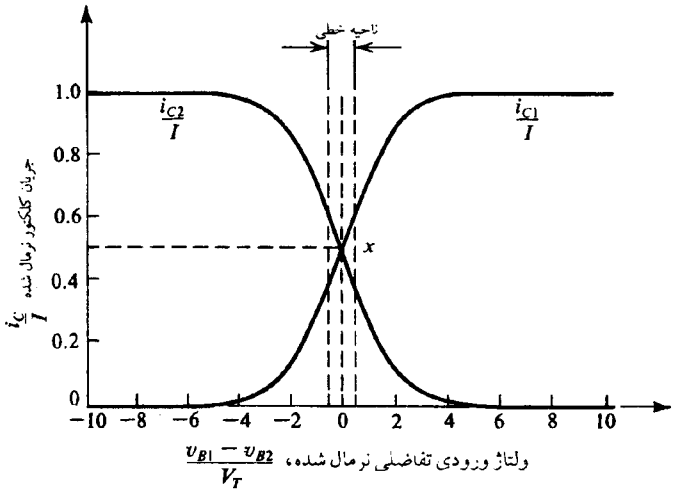
$$i_{E1} = \frac{I}{1 + e^{(v_{B2} - v_{B1})/V_T}} \qquad (۶-۷)$$

$$i_{E2} = \frac{I}{1 + e^{(v_{B1} - v_{B2})/V_T}} \qquad (۶-۸)$$

جریان‌های کلکتور i_{C1} و i_{C2} را به راحتی از ضرب جریان امیتر معادله‌های (۷-۶) و (۸-۶) در α می‌توان به دست آورد که معمولاً نزدیک به ۱ است.

کار اصلی تقویت‌کننده تفاضلی با معادله‌های (۷-۶) و (۸-۶) نشان داده شده است. قبل از هرچیز توجه کنید که تقویت‌کننده فقط به اختلاف ولتاژ $v_{B1} - v_{B2}$ پاسخ می‌دهد. یعنی چنانچه $v_{B1} = v_{B2} = v_{CM}$ باشد، جریان I به تساوی بین دو ترانزیستور بدون درنظر گرفتن ولتاژ حالت مشترکشان (v_{CM}) تقسیم می‌گردد. این اساس کار تقویت‌کننده تفاضلی است و علت نامگذاری این تقویت‌کننده نیز همین است.

مطلب مهم دیگر آنکه اختلاف ولتاژ نسبتاً کوچکی $v_{B1} - v_{B2}$ موجب می‌شود تا جریان I تقریباً بطور کامل از یکی از دو ترانزیستور بگذرد. شکل (۳-۶) نموداری از جریان دو کلکتور (با فرض $\alpha \cong 1$) را بصورت تابعی از سیگنال تفاضلی نشان می‌دهد. این نمودار نرمال شده است که در همه‌جا می‌تواند استفاده شود. توجه کنید که اختلاف ولتاژی حدود $4V_T$ ($\cong 100$ mV) برای قطع و وصل‌کردن تقریباً تمام جریان به طرف دیگر زوج کفایت می‌کند. این نکته که چنین سیگنال کوچکی می‌تواند جریان را از یک طرف زوج تفاضلی به طرف دیگر سوئیچ کند بدان معناست که زوج تفاضلی را می‌توان بعنوان یک سوئیچ جریانی سریع مورد استفاده قرار داد. دلیل دیگر سرعت بالای کار قطعه بعنوان سوئیچ این



شکل ۳-۶. مشخصه های انتقالی زوج تفاضلی BJT
شکل ۱-۶ با فرض $\alpha \cong 1$

است که هیچ یک از ترانزیستورها اشباع نمی‌شوند. اگر به یاد داشته باشید، در فصل ۴ گفتیم که ترانزیستور اشباع شده بار را روی بیس خود نگه می‌دارد که باید قبل از خاموش شدن قطعه، این بار حذف شود، بنابراین سرعت خاموش شدن آن پایین می‌آید. عدم اشباع ترانزیستورها در زوج تفاضلی باعث می‌شود که سریع‌ترین مدار منطقی موجود، حاصل شود (فصل ۱۴ را ببینید.)

در این فصل از مشخصه‌های انتقال غیرخطی زوج تفاضلی نشان داده شده در شکل (۳-۶) استفاده نمی‌شود. در ادامه به کاربرد زوج تفاضلی بعنوان تقویت‌کننده سیگنال کوچک خواهیم پرداخت. برای این منظور، سیگنال تفاضلی را به کمتر از $V_T/2$ محدود می‌کنیم تا روی بخش خطی مشخصه‌ها حول نقطه میانی x عمل کنیم.

تمرین

۶-۲ مقدار سیگنال تفاضلی ورودی مناسب را برای ایجاد $i_{E1} = 0/99I$ به دست آورید.

جواب. ۱۱۵ mV ❑

۶-۲ کار سیگنال کوچک تقویت‌کننده تفاضلی BJT

در این بخش کار زوج تفاضلی BJT را در تقویت سیگنال کوچک مطالعه می‌کنیم. شکل (۴-۶) یک زوج تفاضلی را نشان می‌دهد که یک ولتاژ تفاضلی v_d بین دو بیس آن اعمال شده است. به این معنی که تراز dc ورودی - یعنی سیگنال ورودی حالت مشترک - بطریقی برقرار شده است. بطور مثال، یکی از دو سر ورودی می‌تواند به زمین وصل شود و v_d به سر ورودی دیگر وصل گردد. می‌توان بصورت دیگر، تقویت‌کننده تفاضلی را از خروجی تقویت‌کننده تفاضلی دیگری تغذیه کرد. در این حالت، ولتاژ در یکی از سرهای ورودی $v_{CM} + v_d / 2$ است در حالی که در سرهای ورودی دیگر $v_{CM} - v_d/2$ می‌باشد. در مرحله بعد کار حالت مشترک را بررسی خواهیم کرد.

جریان کلکتور وقتی v_d اعمال می‌شود

بار دیگر مدار شکل (۴-۶) را ملاحظه می‌کنیم. برای پیداکردن جریانهای i_{C1} و i_{C2} بعنوان تابعی از سیگنال تفاضلی v_d و با قراردادن $v_{B1} - v_{B2} = v_d$، می‌توان از معادله‌های (۷-۶) و (۸-۶) استفاده نمود.

$$i_{C1} = \frac{\alpha I}{1 + e^{-v_d/V_T}} \qquad (۶-۹)$$

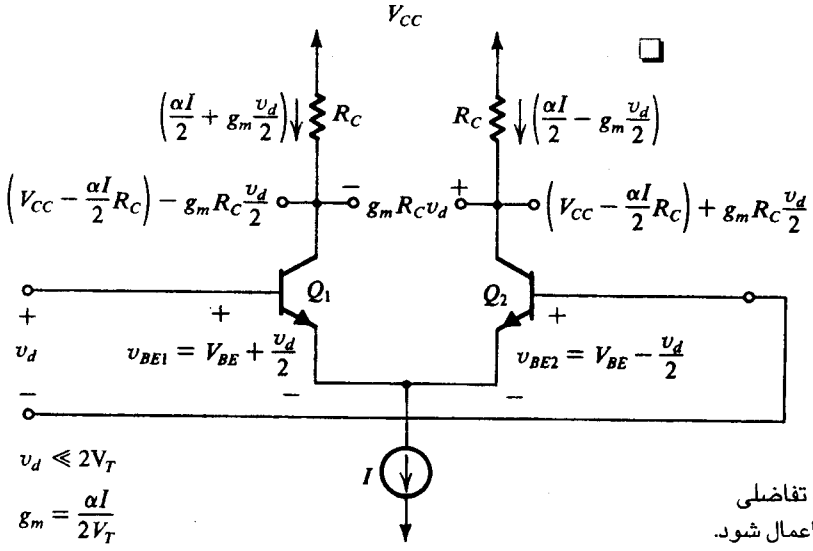
$$i_{C2} = \frac{\alpha I}{1 + e^{v_d/V_T}} \qquad (۶-۱۰)$$

از ضرب‌کردن صورت و مخرج طرف راست معادله (۹-۶) در $e^{(v_d/2V_T)}$ چنین می‌آید:

$$i_{C1} = \frac{\alpha I e^{v_d/2V_T}}{e^{(v_d/2V_T)} + e^{(-v_d/2V_T)}} \qquad (۶-۱۱)$$

فرض این است که $v_d << 2V_T$، به این ترتیب می‌توانیم تابع نمایی $e^{(\pm v_d/2V_T)}$ را بصورت سری در آورده و فقط دو عبارت اول آن را بنویسیم.

$$i_{C1} = \frac{\alpha I(1 + v_d/2V_T)}{1 + v_d/2V_T + 1 - v_d/2V_T}$$



شکل ۴-۶. جریان و ولتاژهای تقویت‌کننده تفاضلی هنگامی که سیگنال تفاضل کوچک v_d به آن اعمال شود.

بنابراین

$$i_{C1} = \frac{\alpha I}{2} + \frac{\alpha I}{2V_T}\frac{v_d}{2} \qquad (۶-۱۲)$$

با عملیات مشابه معادله (۶-۱۰) به دست می‌آید:

$$i_{C2} = \frac{\alpha I}{2} - \frac{\alpha I}{2V_T}\frac{v_d}{2} \qquad (۶-۱۳)$$

معادله‌های (۶-۱۳) و (۶-۱۲) نشان می‌دهند که وقتی $v_d = 0$ است، جریان I به تساوی بین دو ترانزیستور تقسیم می‌گردد. در این صورت هر ترانزیستور با جریان امیتر $I/2$ بایاس می‌شود. وقتی سیگنال کوچک v_d بطور تفاضلی (یعنی بین دو بیس) اعمال شود، جریان کلکتور Q_1 به اندازه نمو i_c افزایش می‌یابد و جریان کلکتور Q_2 به همان مقدار کاهش پیدا می‌کند. این ثابت می‌کند که کل جریان در Q_1 و Q_2 ثابت می‌ماند. جزء جریان سیگنال یا نموّ آن از رابطه زیر به دست می‌آید:

$$i_c = \frac{\alpha I}{2v_T}\frac{v_d}{2} \qquad (۶-۱۴)$$

معادله (۶-۱۴) تعبیر ساده‌ای دارد. ابتدا از روی تقارن مدار (شکل ۶-۴) ملاحظه می‌کنید که سیگنال تفاضلی v_d بین پیوندهای بیس - امیتر دو ترانزیستور به تساوی تقسیم می‌گردد. در این صورت مجموع ولتاژهای بیس - امیتر چنین خواهد بود:

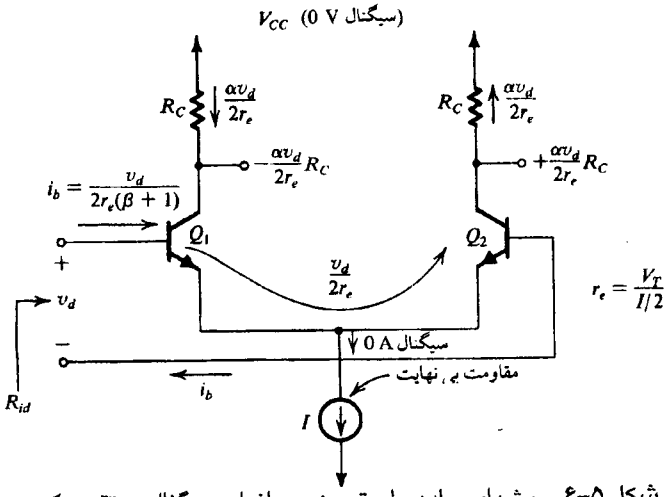
$$v_{BE}|_{Q_1} = V_{BE} + \frac{v_d}{2} \qquad (۶-۱۵)$$

$$v_{BE}|_{Q_2} = V_{BE} - \frac{v_d}{2} \qquad (۶-۱۶)$$

که در آن V_{BE} ولتاژ dc بیس - امیتر و متناسب با جریان $I/2$ امیتر است. بنابراین، جریان کلکتور Q_1 به اندازه $g_m v_d/2$ برابر افزایش می‌یابد و جریان کلکتور Q_2 به اندازه $g_m v_d/2$ برابر کاهش می‌یابد. در اینجا g_m هدایت انتقالی Q_1 و Q_2 است که مساویند و بصورت زیر به دست می‌آید.

$$g_m = \frac{I_C}{V_T} = \frac{\alpha I/2}{V_T} \qquad (۶-۱۷)$$

به این ترتیب معادله (۶-۱۴) بسادگی نشان می‌دهد که $i_c = g_m v_d/2$ می‌باشد.



شکل ۶-۵. روشهای ساده برای تعیین جریانهای سیگنال در تقویت‌کننده تفاضلی تحریک‌شده با سیگنال ولتاژ تفاضلی v_d. مقادیر dc نشان داده نشده است.

دیدگاه دیگر

تعبیر بسیار سودمند دیگری از نتایج بالا به دست می‌آید. فرض کنید که جریان منبع I ایده‌آل باشد. در آنصورت مقاومت افزودهٔ آن بی‌نهایت خواهد بود. بنابراین ولتاژ v_d در دو سر مقاومت کل $2r_e$ پدید می‌آید که

$$r_e = \frac{V_T}{I_E} = \frac{V_T}{I/2} \qquad (۶-۱۸)$$

متناظر با آن، بنابرشکل (۶-۵) جریان سیگنال i_e از رابطه زیر به دست می‌آید:

$$i_e = \frac{v_d}{2r_e} \qquad (۶-۱۹)$$

در این صورت، کلکتور Q_1 دارای نمو جریان i_c و کلکتور Q_2 دارای نقصان جریان i_c خواهد بود.

$$i_c = \alpha i_e = \frac{\alpha v_d}{2r_e} = g_m\frac{v_d}{2} \qquad (۶-۲۰)$$

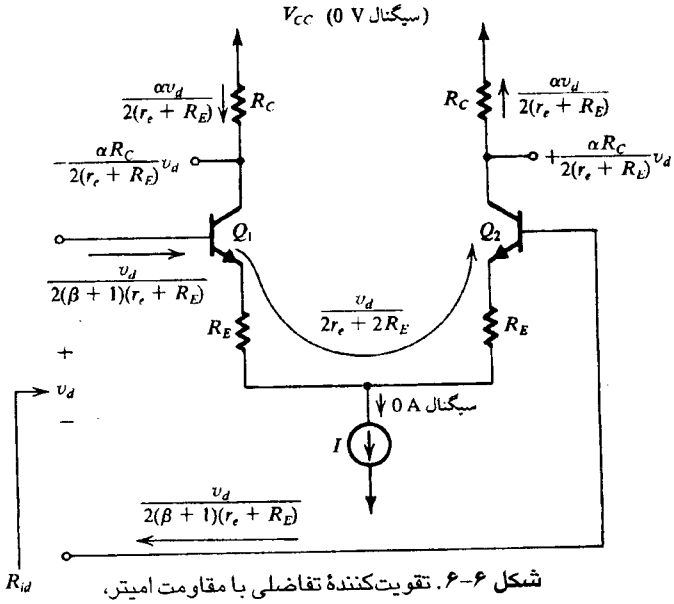
دقت شود که در شکل (۶-۵) فقط کمیت‌های سیگنالی نشان داده شده است. البته، این تلویحاً بدان معنی است که هر ترانزیستور با جریان امیتر $I/2$ تغذیه شده است.

این روش تحلیل بویژه زمانی سودمند است که مطابق شکل (۶-۶) مقاومتهایی در امیتر وجود داشته باشد. در این مدار داریم:

$$i_e = \frac{v_d}{2r_e + 2R_E} \qquad (۶-۲۱)$$

مقاومت تفاضلی ورودی

مقاومت تفاضلی در ورودی همان مقاومت بین دو بیس است. به این معنی که مقاومتی است که بوسیله ولتاژ تفاضلی ورودی v_d مشاهده می‌گردد، در تقویت‌کننده تفاضلی شکل‌های (۶-۴) و (۶-۵) ملاحظه می‌شود که جریان بیس Q_1، نمو i_b را نشان می‌دهد و جریان بیس Q_2، نقصان معادل آن را نمایش می‌دهد.



شکل ۶-۶. تقویت‌کنندهٔ تفاضلی با مقاومت امیتر، فقط مقادیر سیگنال نشان داده شده است.

$$i_b = \frac{i_e}{\beta + ۱} = \frac{v_d/۲r_e}{\beta + ۱} \qquad (۶-۲۲)$$

به این ترتیب مقاومت تفاضلی ورودی R_{id} بصورت زیر به دست می‌آید

$$R_{id} = \frac{v_d}{i_b} = (\beta + ۱)\, ۲r_e = ۲r_\pi \qquad (۶-۲۳)$$

این نتیجه بیان دیگری از قانون معروف انعکاس مقاومتی است. یعنی، مقاومتی که بین دو پیس مشاهده می‌شود برابر است با حاصلضرب مجموع مقاومتهای امیتر در $\beta + ۱$. با استفاده از این قانون، مقاومت تفاضلی ورودی مدار شکل (۶-۶) را بصورت زیر می‌توان به دست آورد:

$$R_{id} = (\beta + ۱)\,(۲r_e + ۲R_E) \qquad (۶-۲۴)$$

بهره ولتاژ تفاضلی

ثابت کرده‌ایم که برای ولتاژهای تفاضلی ورودی کوچک ($v_d < ۲V_T$؛ یعنی v_d کوچکتر از حدود ۲۰mV) جریانهای کلکتور بصورت زیر بدست می‌آید:

$$i_{C۱} = I_C + g_m \frac{v_d}{۲} \qquad (۶-۲۵)$$

$$i_{C۲} = I_C - g_m \frac{v_d}{۲} \qquad (۶-۲۶)$$

که

$$I_C = \frac{\alpha I}{۲} \qquad (۶-۲۷)$$

بنابراین مجموع ولتاژ کلکتورها چنین خواهد بود:

$$v_{C۱} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_d}{۲} \qquad (۶-۲۸)$$

$$v_{C۲} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_d}{۲} \qquad (۶-۲۹)$$

کمیت‌های داخل پرانتز، ولتاژهای dc کلکتورها هستند.

سیگنال خروجی تقویت‌کننده تفاضلی را می‌توان بصورت تفاضلی (یعنی بین دو کلکتور) یا تک‌سر (یعنی بین کلکتور و زمین) به دست آورد. چنانچه خروجی بصورت تفاضلی به دست آید، آنگاه بهره تفاضلی (در مقابل بهره حالت مشترک) در تقویت‌کننده تفاضلی چنین می‌شود:

$$A_d = \frac{v_{c۱} - v_{c۲}}{v_d} = -g_m R_C \qquad (۶-۳۰)$$

از سوی دیگر، چنانچه خروجی بصورت تک‌سر دریافت شود، (مثلاً بین کلکتور $Q_۱$ و زمین)، در آنصورت بهره تفاضلی از رابط زیر به دست می‌آید:

$$A_d = \frac{v_{c۱}}{v_d} = -\frac{۱}{۲} g_m R_C \qquad (۶-۳۱)$$

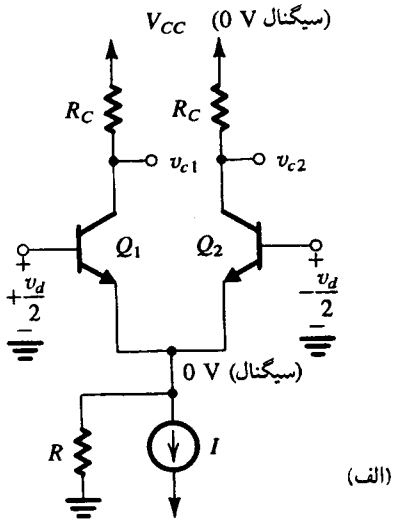
در تقویت‌کننده تفاضلی با مقاومتهایی در پایه امیتر شکل ۶-۶ وقتی خروجی بصورت تفاضلی گرفته شود، بهره تفاضلی از رابطه زیر بدست می‌آید:

$$A_d = -\frac{\alpha\,(۲R_C)}{۲r_e + ۲R_E} \approx -\frac{R_C}{r_e + R_E} \qquad (۶-۳۲)$$

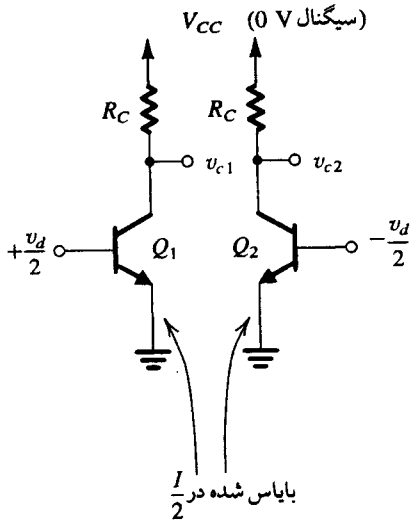
این معادله، یک معادله مشهور است، و بیانگر آن است که بهره ولتاژ برابر است با نسبت مقاومت کل مدار کلکتور ($۲R_C$) به مقاومت کل مدار امیتر ($۲r_e + ۲R_E$).

برابری تقویت‌کننده تفاضلی با تقویت‌کننده امیتر مشترک

تحلیل بالا و نتایج آن بسیار شبیه به تحلیل و نتایجی است که از یک طبقه تقویت‌کننده امیتر مشترک به دست آمد. همان‌گونه که در شکل (۷-۶) نشان داده شده، تقویت‌کننده تفاضلی درست برابر با یک تقویت‌کننده امیتر مشترک است. در شکل (الف ۷-۶) تقویت‌کننده تفاضلی با سیگنال تفاضلی v_d تغذیه می‌گردد و سیگنال تفاضلی بصورت **مکمل (پوشپول یا متعادل)** اعمال می‌شود. یعنی، وقتی پیس $Q_۱$ به اندازه $v_d/۲$ افزایش می‌یابد، پیس $Q_۲$ به اندازه $v_d/۲$ کاهش می‌یابد. همچنین مقاومت خروجی منبع جریان تغذیه یعنی R را نیز در مدار قرار داده‌ایم. از تقارن نتیجه می‌شود که ولتاژ سیگنال امیتر مشترک صفر است. به این ترتیب، مدار مورد بحث معادل است با دو تقویت‌کننده امیتر مشترک که در شکل (ب ۷-۶)



(الف)



(ب)

شکل ۷-۶ . معادل‌بودن تقویت‌کننده تفاضلی (الف) با دو تقویت‌کنندهٔ امیتر مشترک (ب) این معادل‌بودن فقط برای سیگنالهای ورودی تفاضلی معتبر است. هریک از دو تقویت‌کنندهٔ امیتر مشترک (ب) را می‌توان برای ارزیابی بهره تفاضلی، مقاومت ورودی تفاضلی و پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی و نظایر آن به کار برد.

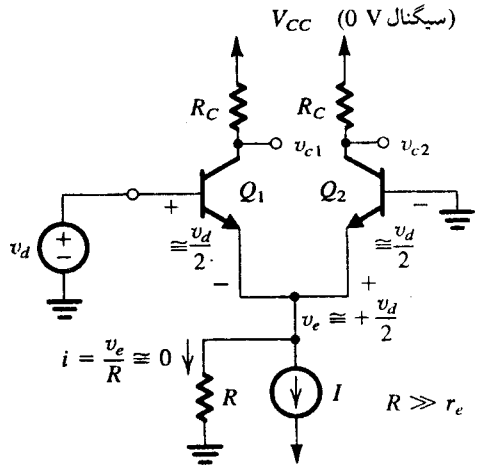
نشان داده شده است و هریک از دو ترانزیستور با جریان امیتر $I/2$ تغذیه‌می‌شود. دقت کنید که مقاومت خروجی محدود R منبع جریان بر کار مدار اثری نخواهد داشت. مدار معادل شکل (ب ۷-۶) فقط برای عملکرد تفاضلی معتبر است.

در بسیاری موارد، تقویت‌کننده تفاضلی به روش مکمل تغذیه نمی‌شود. بلکه می‌توان مطابق شکل (۸-۶) سیگنال ورودی را به یکی از پایه‌های ورودی اعمال نمود و پایه دیگر را به زمین وصل کرد. در این صورت ولتاژ سیگنال در امیترها صفر نخواهد بود و بنابراین مقاومت R بر عملکرد مدار تأثیر دارد. با این وجود اگر R بزرگ باشد ($R \gg r_e$) که معمولاً چنین است، آنگاه بنابر شکل (۸-۶)، v_d باز هم تقریباً به تساوی بین دو پیوند تقسیم می‌شود. بنابراین در این حالت، عملکرد تقویت‌کننده تفاضلی تقریباً مشابه حالت تغذیه متقارن است و از مدار امیتر مشترک معادل آن می‌توان استفاده کرد.

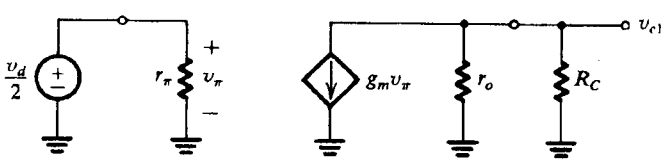
چون در شکل (۷-۶)، $v_{c2} = -v_{c1}$ می‌باشد، دو ترانزیستور امیتر مشترک شکل (ب ۷-۶) نتایج مشابهی در کار تقویت‌کننده تفاضلی ارائه می‌کنند. به این ترتیب برای تحلیل عملکرد سیگنال کوچک تفاضلی تقویت‌کننده تفاضلی فقط به یک ترانزیستور نیاز است و **نیم مدار تفاضلی** نامیده می‌شود. چنانچه ترانزیستور امیتر مشترک که با $v_d/2$ + تغذیه شده را به مثابه نیم مدار تفاضلی درنظر گرفته و ترانزیستور را با مدل مدار معادل فرکانس پایین آن جایگزین کنیم، مدار شکل (۹-۶) به دست می‌آید. در تعیین مقادیر پارامترهای مدل یعنی r_π، g_m، r_o بیاد داریم که نیم مدار در $I/2$ تغذیه شده است. بهره ولتاژ تقویت‌کننده تفاضلی (با خروجی تفاضلی به دست آمده) برابر است با بهره ولتاژ نیم مدار. یعنی $v_{c1} / (v_d/2)$. در اینجا ملاحظه می‌کنیم که با به میان‌آوردن r_o، رابطه بهره در معادله (۳۰-۶) بصورت

$$A_d = -g_m (R_C // r_o) \qquad (۶-۳۳)$$

درمی‌آید. مقاومت تفاضلی ورودی تقویت‌کننده تفاضلی دو برابر نیم‌مدار یعنی $2r_\pi$ است و در پایان مشاهده می‌کنیم که نیم مدار تفاضلی تقویت‌کننده شکل (۶-۶) یک ترانزیستور امیتر مشترک با مقاومت R_E در پایه امیتر است.



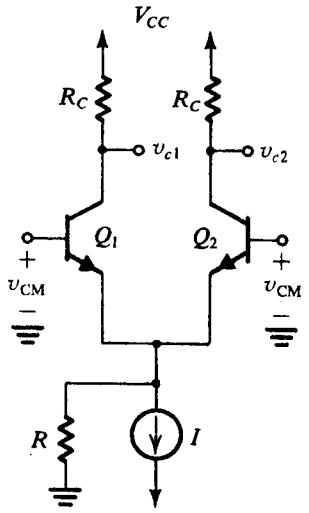
شکل ۸-۶. تقویت‌کننده تفاضلی در حالت خروجی تک - انتها (تکسر)



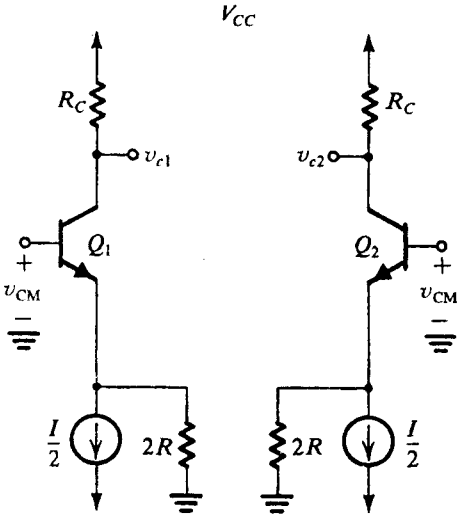
شکل ۹-۶. مدل مدار معادل برای نیم‌مدار تقویت‌کنندهٔ تفاضلی

بهره حالت مشترک

شکل (الف ۱۰-۶) یک تقویت‌کننده تفاضلی را نشان می‌دهد که بوسیله سیگنال ولتاژ حالت مشترک v_{CM} تغذیه شده است، مقاومت R، مقاومت افزایشی (نموی) منبع جریان تغذیه است. از تقارن برمی‌آید که این مدار معادل مداری است که در شکل (ب ۱۰-۶) مشاهده می‌شود. که در آن ترانزیستورهای Q_1 و Q_2 با جریان امیتر $I/2$ بایاس می‌شود و دارای مقاومت $2R$ در پایه امیتر است. به این ترتیب، ولتاژ خروجی حالت



(الف)



(ب)

شکل ۱۰-۶. (الف) تقویت‌کنندهٔ تفاضلی که به آن سیگنال ولتاژ حالت مشترک اعمال شده است. (ب) «نیم مدار» معادل برای محاسبات حالت مشترک

مشترک v_{c1} چنین خواهد بود:

$$v_{c1} = -v_{CM}\frac{\alpha R_C}{2R + r_e} \cong -v_{CM}\frac{\alpha R_C}{2R} \qquad (۶-۳۴)$$

در کلکتور دیگر سیگنال معادل حالت مشترک v_{c2} را خواهیم داشت:

$$v_{c2} \cong -v_{CM}\frac{\alpha R_C}{2R} \qquad (۶-۳۵)$$

اکنون، اگر خروجی تفاضلی گرفته شود، در آن صورت ولتاژ حالت مشترک خروجی $v_{c1} - v_{c2}$ صفر خواهد بود و بهره حالت مشترک نیز صفر خواهد بود. از سوی دیگر، اگر خروجی تک خروجی[1] (تک‌سر) در نظر گرفته شود، بهره حالت مشترک A_{cm} بی‌نهایت بوده و از رابطه زیر به دست می‌آید:[2]

$$A_{cm} = -\frac{\alpha R_C}{2R} \qquad (۶-۳۶)$$

چون در این حالت بهره تفاضلی عبارت است از:

$$A_d = \frac{1}{2} g_m R_C \qquad (۶-۳۷)$$

نسبت حذف حالت مشترک (CMRR) خواهد بود:

$$\text{CMRR} = \left|\frac{A_d}{A_{cm}}\right| \cong g_m R \quad \alpha \cong 1 \qquad (۶-۳۸)$$

معمولاً CMRR بر حسب dB بیان می‌شود:

$$\text{CMRR} = 20\log\left|\frac{A_d}{A_{cm}}\right| \qquad (۶-۳۹)$$

هر یک از مدارهای شکل (ب ۱۰-۶) **نیم‌مدار حالت مشترک** نامیده می‌شود.

در تحلیل بالا فرض بر آن است که مدار بطور کامل متقارن است. در حالی که مدارهای عملی بطور کامل متقارن نیستند، با این نتیجه که بهره حالت مشترک صفر نخواهد بود حتی اگر از خروجی تفاضلی گرفته نشود. برای روشنی مطلب حالت مدار کاملاً متقارن درنظر بگیرید بجز برای ΔR_C عدم تطابق در مقاومت کلکتور. یعنی فرض کنید کلکتور Q_1 دارای مقاومت بار R_C و کلکتور Q_2 دارای مقاومت بار $R_C + \Delta R_C$ است. در نتیجه

$$v_{c1} = -v_{CM}\frac{\alpha R_C}{2R + r_e}$$

$$v_{c2} = -v_{CM}\frac{\alpha(R_C + \Delta R_C)}{2R + r_e}$$

بنابراین سیگنال خروجی بر حسب سیگنال ورودی حالت مشترک خواهد بود.

$$v_o = v_{c1} - v_{c2} = v_{CM}\frac{\alpha \Delta R_C}{2R + r_e}$$

و بهره حالت مشترک مقدار زیر خواهد بود:

$$A_{cm} = \frac{\alpha \Delta R_C}{2R + r_e} \approx \frac{\Delta R_C}{2R}$$

این رابطه را بصورت زیر نیز می‌توان نوشت:

$$A_{cm} = \frac{R_C}{2R} \times \frac{\Delta R_C}{R_C} \qquad (۶-۴۰)$$

بهره حالت مشترک معادله (۴۰-۶) را با بهره حالت خروجی تک سر در معادله (۳۶-۶) مقایسه کنید. می‌بینیم که بهره حالت مشترک بسیار کوچکتر از حالت خروجی تفاضلی است. بنابراین، مثلاً طبقه تفاضلی ورودی op-amp معمولاً طبقه‌ای متعادل است که خروجی آن بصورت تفاضلی گرفته می‌شود. این امر ما را مطمئن می‌سازد که op-amp دارای بهره حالت مشترک پایین، یا متناظراً دارای CMRR بزرگ است.

سیگنالهای ورودی v_2 و v_1 به یک تقویت‌کننده تفاضلی معمولاً یک مؤلفه حالت مشترک، v_{CM} را شامل می‌شود:

$$v_{CM} \equiv \frac{v_1 + v_2}{2} \qquad (۶-۴۱)$$

و یک مؤلفه تفاضلی v_d بصورت:

$$v_d \equiv v_1 - v_2 \qquad (۶-۴۲)$$

بنابراین سیگنال خروجی از رابطه زیر به دست می‌آید:

$$v_o = A_d(v_1 - v_2) + A_{cm}\left(\frac{v_1 + v_2}{2}\right) \qquad (۶-۴۳)$$

مقاومت ورودی حالت مشترک

تعریف **مقاومت ورودی حالت مشترک** R_{icm} در شکل (الف ۱۱-۶) نشان داده شده است شکل (ب ۱۱-۶) نیم مدار حالت مشترک معادل را نشان می‌دهد. مقاومت ورودی آن $2R_{icm}$ است.

چون معمولاً مقاومت ورودی حالت مشترک بسیار بزرگ است. مقدار آن از مقاومتهای ترانزیستوری r_o و r_μ تأثیر می‌گیرد. این مقاومت‌ها در نیم مدار حالت مشترک معادل شکل (ب ۱۱-۶) نشان داده شده است. چون بهره حالت مشترک معمولاً کوچک است، سیگنال کلکتور بسیار کوچک می‌باشد. با فرض آنکه سیگنال کلکتور ۰ V است، می‌توان مطالب را بطور قابل ملاحظه‌ای ساده کرد. یعنی کلکتور زمین سیگنال است. با این فرض، مقاومت ورودی را با نگاه‌کردن می‌توان به دست آورد، بصورت زیر:

$$2R_{icm} = r_\mu // [(\beta + 1)(2R)] // [(\beta + 1) r_o]$$

بنابراین

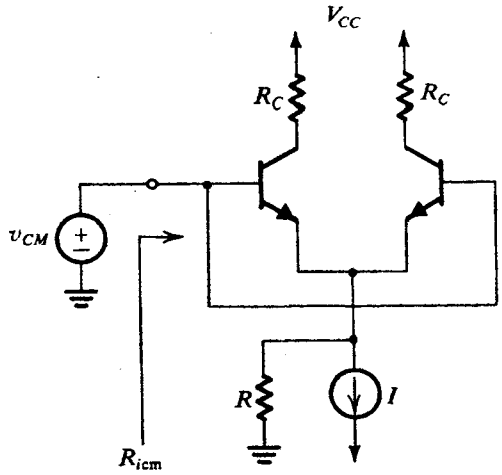
$$R_{icm} = \left(\frac{r_\mu}{2}\right) // \left[(\beta + 1)R\right] // \left[(\beta + 1)\frac{r_o}{2}\right] \qquad (۶-۴۴)$$

1– Single ended

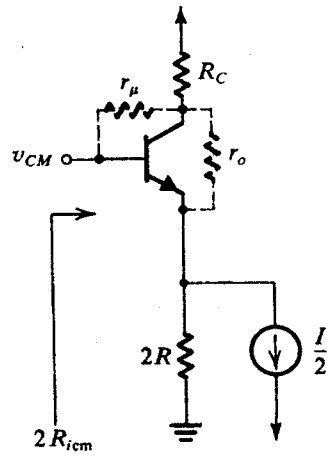
۲-عبارات معادله‌های (۳۴-۶) و (۳۵-۶) با چشمپوشی از r_o و r_μ به دست آمده‌اند. چنانچه با استفاده از مدار معادل کامل هیبرید π، v_{C1}/v_{CM} و v_{C2}/v_{CM} را به دست آوریم، تقریباً خواهیم داشت:

$$\frac{-\alpha R_C}{2R}\left[1 - 2R\left(\frac{1}{\beta r_o} + \frac{1}{\alpha r_\mu}\right)\right]$$

با فرض $2R << \beta r_o$ و $2R << \alpha r_\mu$ این رابطه به روابط معادله (۳۴-۶) و (۳۵-۶) منجر می‌شود.



(الف)



(ب)

شکل ۱۱-۶. (الف) تعریف مقاومت ورودی حالت مشترک (R_{icm})
(ب) نیم مدار حالت مشترک معادل شکل (۳-۶ ت)

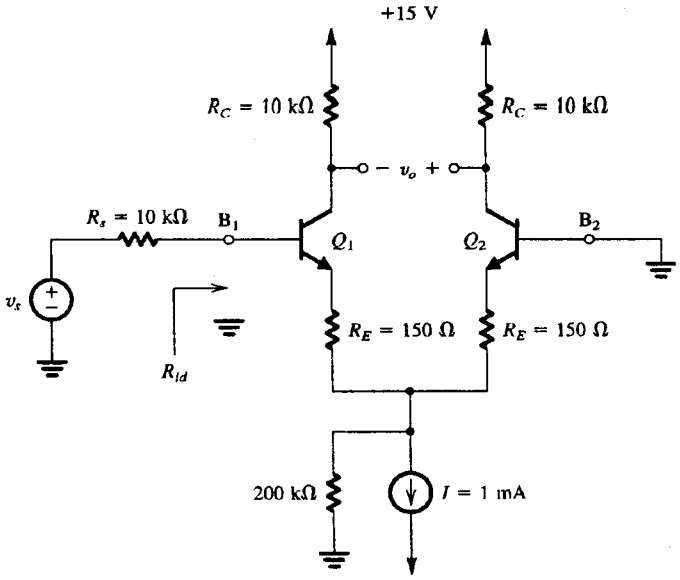
مثال ۱-۶

در تقویت‌کننده تفاضلی شکل (ت ۱۲-۶) از ترانزیستورهای با $\beta=100$ استفاده شده است: مقادیر زیر را تعیین کنید: (الف) مقاومت تفاضلی ورودی R_{id} (ب) بهره ولتاژ کل v_o/v_s (از اثر r_o صرفنظر کنید). (پ) بدترین وضعیت حالت مشترک را به دست آورید، در صورتی که دو مقاومت کلکتور تا حدود ۱% ± دقت داشته باشد. (ت) CMRR بر حسب dB. (ث) مقاومت حالت مشترک ورودی (با فرض آنکه ولتاژ اولی $V_A = 100\text{V}$ و $r_\mu = 10\beta r_o$ باشد).

حل:

(الف) هر یک از ترانزیستورها در جریان امیتر ۰/۵mA بایاس شده است. بنابراین داریم:

$$r_{e1} = r_{e2} = \frac{V_T}{I_E} = \frac{25\text{mV}}{0/5\text{mA}} = 50\Omega$$



شکل ۱۲-۶. مدار مثال ۱-۶

مقاومت ورودی تفاضلی برابر است با:

$$R_{id} = 2(\beta + 1)(r_e + R_E) = 2\times101\times(50+150) \cong 40\text{k}\Omega$$

(ب) بهره ولتاژ از منبع به بیس Q_1 عبارت است از:

$$\frac{v_{b1}}{v_s} = \frac{R_{id}}{R_s + R_{id}} = \frac{40}{10 + 40} = 0/8\text{V/V}$$

بهره ولتاژ از B_1 به خروجی عبارت است از:

$$\frac{v_o}{v_{b1}} \cong \frac{\text{کل مقاومت موجود در کلکتورها}}{\text{کل مقاومت موجود در امیترها}}$$

$$= \frac{2R_C}{2\,(r_e + R_E)} = \frac{2\times10}{2\,(50 + 150)\times10^{-3}} = 50\text{V/V}$$

بهره کلی نیز بصورت زیر است:

$$\frac{v_o}{v_s} = \frac{v_{b1}}{v_s}\,\frac{v_o}{v_{b1}} = 0/8\times50 = 40\text{V/V}$$

(پ) با توجه به معاله (۴۰-۶) داریم:

$$A_{cm} = \frac{R_C}{2R}\,\frac{\Delta R_C}{R_C}$$

در رابطه فوق $\Delta R_C = 0/02R_C$ در بدترین حالت است. بنابراین:

$$A_{cm} = \frac{10}{2\times200}\times0/02 = 5\times10^{-4}\text{V/V}$$

(ت)

$$\text{CMRR} = 20\log\frac{A_d}{A_{cm}} = 20\log\frac{40}{5\times10^{-4}} = 98\text{dB}$$

(ث)

$$r_o = \frac{V_A}{I/2} = \frac{100}{0/5} = 200\text{K}\Omega$$

$$r_\mu = 10\beta r_o = 10\times100\times200 = 200\text{M}\Omega$$

و با توجه به معادله (۴۴-۶)

$$R_{icm} = (\frac{r_\mu}{۲}) \parallel [(\beta + ۱) R] \parallel [(\beta + ۱) \frac{r_o}{۲}]$$
$$= ۱۰۰ \parallel (۱۰۱\times ۰/۲) \parallel (۱۰۱\times ۰/۱)\text{M}\Omega = ۶/۳\text{M}\Omega$$

تمرین

۳-۶ در مدار شکل (۴-۶)، فرض کنید $I = ۱\text{mA}$، $V_{CC} = ۱۵\text{V}$، $R_c = ۱۰\text{K}\Omega$ و $\alpha = ۱$ و ولتاژهای ورودی $v_{B۱} = ۵ + ۰/۰۰۵ \sin ۲\pi \times ۱۰۰۰t$ و $v_{B۲} = ۵ - ۰/۰۰۵ \sin ۲\pi \times ۱۰۰۰t$ باشد. (الف) اگر BJTها دارای $v_{BE} = ۰/۷\text{V}$ در جریان کلکتور ۱mA، باشند، ولتاژ امیترها را به دست آورید. (راهنمایی: به تقارن مدار توجه کنید). (ب) g_m هر یک از دو ترانزیستور را بیابید. (پ) i_C را برای دو ترانزیستور محاسبه کنید. (ت) v_C هر یک از دو ترانزیستور را به دست آورید. (ث) ولتاژ بین دو کلکتور را محاسبه کنید. (ج) بهره به دست آمده از سیگنال ۱۰۰۰Hz را بیابید.

جواب. (الف) ۰/۶۸۳V، (ب) ۲۰mA/V، و
(پ) $i_{C۱} = ۰/۵ + ۰/۱ \sin ۲\pi \times ۱۰۰۰t$ mA، و
$i_{C۲} = ۰/۵ - ۰/۱ \sin ۲\pi \times ۱۰۰۰t$ mA،
(ت) $v_{C۱} = ۱۰ - ۱ \sin ۲\pi \times ۱۰۰۰t$, V و
$v_{C۲} = ۱۰ + ۱ \sin ۲\pi \times ۱۰۰۰t$, V
(ث) $v_{C۲} - v_{C۱} = ۲ \sin ۲\pi \times ۱۰۰۰t$, V (ج) ۲۰۰V/V ❑

۶-۳ مشخصه‌های غیرایده‌آل دیگر تقویت‌کننده تفاضلی

ولتاژ افست ورودی

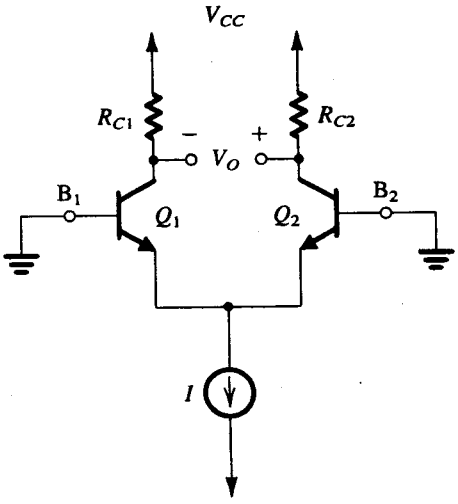
تقویت‌کننده تفاضلی ترانزیستوری را درنظر بگیرید که مطابق شکل (الف۱۳-۶) دو ورودی آن زمین شده است، اگر طرفین زوج تفاضلی کاملاً تطبیق داشته باشند (یعنی، $Q_۱$ و $Q_۲$ یکسان باشند و $R_{C۱}=R_{C۲}=R_C$ باشد)، در آن صورت جریان I بطور مساوی بین $Q_۱$ و $Q_۲$ منشعب می‌گردد و V_O صفر می‌شود. در مدارهای عملی، عدم تطابق‌هایی وجود دارد که حتی با زمین‌کردن هر دو ورودی، باعث ولتاژ خروجی dc برای V_O می‌شود. V_O را ولتاژ افست خروجی می‌نامیم. اغلب، V_O را بر بهره تفاضلی تقویت‌کننده، A_d تقسیم می‌کنیم تا کمیتی به نام ولتاژ افست ورودی، V_{OS} به دست آید.

$$V_{OS} = V_O / A_d \qquad (۶-۴۵)$$

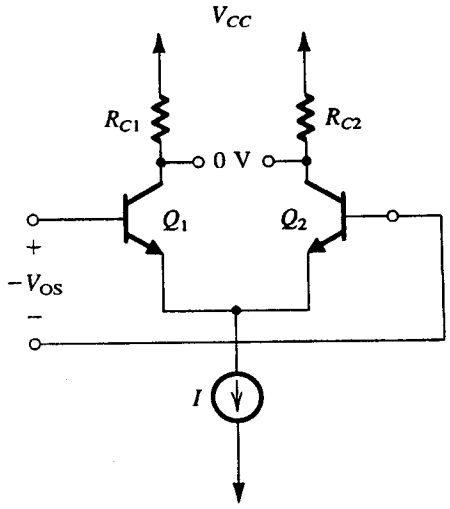
بطور مسلم، چنانچه ولتاژ $-V_{OS}$ را بین پایانه‌های ورودی تقویت‌کننده تفاضلی به کار ببریم، ولتاژ خروجی، به صفر کاهش خواهد یافت (شکل ب ۱۳-۶ را ملاحظه کنید). این امر منجر به تعریف معمول ولتاژ افست ورودی می‌گردد. البته باید به خاطر داشت که چون ولتاژ افست نتیجه عدم تطبیق ترانزیستور است، پلاریته آن از قبل مشخص نیست.

ولتاژ افست نتیجه عدم تطابقهای مقاومتهای بار $R_{C۱}$ و $R_{C۲}$ و عدم تطابقهای $Q_۱$ و $Q_۲$ است. ابتدا اثر عدم تطبیق بار را درنظر بگیرید. فرض کنید:

$$R_{C۱} = R_C + \frac{\Delta R_C}{۲} \qquad (۶-۴۶)$$



(الف)



(ب)

شکل ۱۳-۶. (الف) زوج تفاضلی ورودی با دو ورودی زمین شده. بعلت عدم تطبیق قطعه‌ها، ولتاژ dc محدود خروجی حاصل می‌شود. (ب) کاربرد ولتاژ آفست ورودی $V_{os} \equiv V_o/A_d$ در ورودی با پلاریته مخالف V_o را به صفر کاهش می‌دهد.

$$R_{C۲} = R_C - \frac{\Delta R_C}{۲} \qquad (۶-۴۷)$$

و فرض می‌کنیم که $Q_۱$ و $Q_۲$ در تطابق کاملند. نتیجه می‌شود که جریان I به تساوی بین $Q_۱$ و $Q_۲$ تقسیم شود و بنابراین:

$$V_{C۱} = V_{CC} - \left(\frac{\alpha I}{۲}\right)\left(R_C + \frac{\Delta R_C}{۲}\right)$$

$$V_{C۲} = V_{CC} - \left(\frac{\alpha I}{۲}\right)\left(R_C - \frac{\Delta R_C}{۲}\right)$$

به این ترتیب ولتاژ خروجی خواهد بود:

$$V_O = V_{C۲} - V_{C۱} = \alpha (\frac{I}{۲}) (\Delta R_C)$$

و ولتاژ افست ورودی عبارت است از:

$$V_{OS} = \frac{\alpha\,(I/۲)\,(\Delta R_C)}{A_d} \qquad (۶-۴۸)$$

از جایگزینی $A_d = g_m R_C$ و

$$g_m = \frac{\alpha\, I/۲}{V_T}$$

به دست می‌آید

$$|V_{OS}| = V_T\left(\frac{\Delta R_C}{R_C}\right) \qquad (۶-۴۹)$$

بعنوان مثال، وضعیتی را درنظر بگیرید که مقاومتهای کلکتور تا حدود ۱٪± دقت داشته باشند. آنگاه بدترین حالت تطابق عبارت است از:

$$\frac{\Delta R_C}{R_C} = ۰/۰۲$$

و ولتاژ افست ورودی به دست آمده چنین خواهد بود :

$$|V_{OS}| = ۲۵ \times ۰/۰۲ = ۰/۵\ \text{mV}$$

اکنون تأثیر عدم تطابق در ترانزیستورهای $Q_۱$ و $Q_۲$ را درنظر بگیرید. بطور خاص، فرض کنید ترانزیستورها دارای عدم تطابق در ناحیه پیوند امیتر - بیس باشند. این عدم تطابق سطح‌های پیوند سبب عدم تطابق متناسب در جریانهای مقیاس I_S می‌شود.

$$I_{S۱} = I_S + \left(\frac{\Delta I_S}{۲}\right) \qquad (۶-۵۰)$$

$$I_{S۲} = I_S - \left(\frac{\Delta I_S}{۲}\right) \qquad (۶-۵۱)$$

به شکل (الف ۱۳-۶) مراجعه کرده و توجه کنید که $V_{BE۱} = V_{BE۲}$. بنابراین، جریان I بین $Q_۱$ و $Q_۲$ به نسبت مقادیر I_S آنها تقسیم می‌شود. در نتیجه:

$$I_{E۱} = \frac{I}{۲}\left(۱ + \frac{\Delta I_S}{۲I_S}\right) \qquad (۶-۵۲)$$

$$I_{E۲} = \frac{I}{۲}\left(۱ - \frac{\Delta I_S}{۲I_S}\right) \qquad (۶-۵۳)$$

و این موجب می‌شود که ولتاژ افست خروجی بصورت زیر باشد:

$$V_O = \alpha\left(\frac{I}{۲}\right)\left(\frac{\Delta I_S}{I_S}\right) R_C$$

و ولتاژ افست ورودی متناظر مقدار زیر خواهد بود:

$$|V_{OS}| = V_T\left(\frac{\Delta I_S}{I_S}\right) \qquad (۶-۵۴)$$

بطور مثال، ۴٪ عدم تطابق در سطوح پیوند منجر به $\Delta I_S/I_S = ۰/۰۴$ و ۱ mV ولتاژ افست ورودی می‌شود. دست آخر، متوجه می‌شویم که چون دو عامل ولتاژ افست ورودی به هم مرتبط نیستند، بطور تخمینی، ولتاژ افست ورودی کل بصورت زیر به دست می‌آید:

$$V_{OS} = \sqrt{\left(V_T\frac{\Delta R_C}{R_C}\right)^۲ + \left(V_T\frac{\Delta I_S}{I_S}\right)^۲}$$

$$= V_T\sqrt{\left(\frac{\Delta R_C}{R_C}\right)^۲ + \left(\frac{\Delta I_S}{I_S}\right)^۲} \qquad (۶-۵۵)$$

منابع دیگری برای ولتاژ آفست ورودی نظیر عدم تطابق در مقادیر β و r_o نیز وجود دارد. بعضی از این منابع در مسائل انتهای فصل مورد بررسی قرار گرفته‌اند. یادآوری می‌کنیم که یک روش معمول برای جبران ولتاژ افست ایجاد عدم تطابق عمدی در مقادیر مقاومت‌های کلکتورهاست به نحوی که هنگام زمین بودن ورودی‌ها، ولتاژ خروجی صفر شود. این روش **حذف افست** در مسئله (۳۵-۶) مطرح شده است.

تغذیه ورودی و جریانهای افست

در یک زوج تفاضلی کاملاً متقارن، پایانه‌های ورودی جریانهای dc مساوی عبور می‌دهند. یعنی:

$$I_{B۱} = I_{B۲} = \frac{I/۲}{\beta + ۱} \qquad (۶-۵۶)$$

که جریان تغذیه ورودی تقویت‌کننده تفاضلی است.

عدم تطابق در مدار تقویت‌کننده و مهمتر از آن عدم تطبیق β، دو جریان dc ورودی را نابرابر می‌کند.

اختلاف در جریان افست ورودی، I_{OS}، است به شرح زیر:

$$I_{OS} = |I_{B۱} - I_{B۲}| \qquad (۶-۵۷)$$

فرض کنید

$$\beta_۱ = \beta + \left(\frac{\Delta\beta}{۲}\right)$$

$$\beta_۲ = \beta - \left(\frac{\Delta\beta}{۲}\right)$$

در آن صورت

$$I_{B۱} = \left(\frac{I}{۲}\right) \times \frac{۱}{\beta + ۱ + \Delta\beta/۲} \cong \frac{I}{۲} \times \frac{۱}{\beta + ۱}\left(۱ - \frac{\Delta\beta}{۲\beta}\right) \qquad (۶-۵۸)$$

$$I_{B۲} = \left(\frac{I}{۲}\right) \times \frac{۱}{\beta + ۱ - \Delta\beta/۲} \cong \frac{I}{۲} \times \frac{۱}{\beta + ۱}\left(۱ + \frac{\Delta\beta}{۲\beta}\right) \qquad (۶-۵۹)$$

$$I_{OS} = \frac{I}{۲(\beta + ۱)}\left(\frac{\Delta\beta}{\beta}\right) \qquad (۶-۶۰)$$

بطور معمول، جریان تغذیه ورودی، I_B، بصورت زیر تعیین می‌شود:

$$I_B \equiv \frac{I_{B۱} + I_{B۲}}{۲} = \frac{I}{۲(\beta + ۱)} \qquad (۶-۶۱)$$

بنابراین

$$I_{OS} = I_B\left(\frac{\Delta\beta}{\beta}\right)$$

بعنوان مثال، ۱۰٪ عدم تطابق در β موجب جریان افستی به اندازه یک دهم جریان تغذیه ورودی می‌شود.

گستره حالت مشترک ورودی

گستره حالت مشترک ورودی تقویت‌کننده تفاضلی گستره‌ای از ولتاژ ورودی v_{CM} است که در آن زوج تفاضلی برای سیگنالهای ورودی تفاضلی، مانند تقویت‌کننده خطی عمل می‌کند. حد بالای گستره حالت مشترک با خروج $Q_۱$ و $Q_۲$ از حالت فعال ورود به آنها به حالت اشباع تعیین می‌گردد. بنابراین حد بالا تقریباً برابر با ولتاژ dc کلکتور $Q_۱$ و $Q_۲$

است. حد پایین با خروج ترانزیستور تأمین‌کننده جریان بایاس dc از ناحیه فعال، و بنابراین مانند منبع جریان ثابت عمل نکردن، به دست می‌آید. مدارهای منبع جریان در بخش بعد بررسی می‌شود.

این بخش را با تذکر این نکته پایان می‌دهیم که تعاریف ارائه شده بالا برابر با تعاریفی است که در فصل ۲ برای op-amp‌ها ارائه شد. در حقیقت، همان‌گونه که در فصل ۱۰ ملاحظه خواهد شد، طبقه تفاضلی ورودی مدار op-amp است که در وهله نخست تعیین‌کننده ولتاژ اُفست op-amp، جریانهای بایاس ورودی و اُفست، و گستره حالت مشترک ورودی است.

تمرین

۶-۴ برای تقویت‌کننده تفاضلی ترانزیستوری که ترانزیستورهایی با $\beta = ۱۰۰$ دارد، به اندازه ۱۰٪ و یا بیشتر تطبیق دارند، و ناحیه پیوند آنها ۱۰٪ یا بیشتر تطبیق دارد، و مقاومت‌های کلکتور آنها ۲۰٪ یا بیشتر تطبیق دارند، V_{OS}، I_B، و I_{OS} را بیابید. جریان تغذیه dc برابر با $۱۰۰\ \mu A$ است.

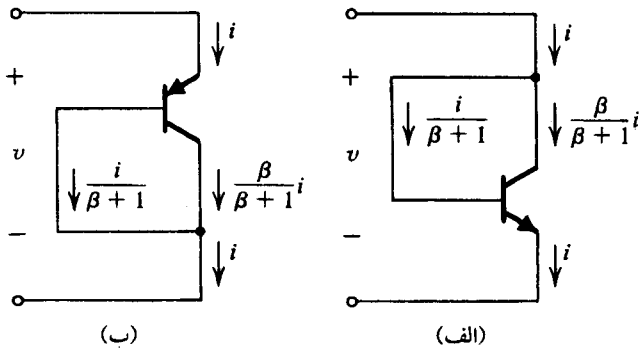
جواب. ۲/۵ mV؛ ۰/۵ μA؛ ۵۰ nA ❑

۶-۴ تغذیه در مدارهای مجتمع BJT

روشهای تغذیه BJT که در فصل ۴ بررسی شد، برای طراحی تقویت کننده‌های IC مناسب نیستند. این اشکال بدلیل نیاز به تعداد زیادی مقاومت (سه عدد برای هر طبقه تقویت‌کننده) و خازنهای بزرگ تزویج و خازنهای کنارگذر است. با تکنولوژی کنونی IC، ساخت خازنهای بزرگ تقریباً ناممکن است و ساخت مقاومتهای بزرگ اقتصادی نمی‌باشد. از سوی دیگر، تکنولوژی IC به طراح امکان استفاده از ترانزیستورهای زیاد با تولید ارزان را می‌دهد. بعلاوه، ساخت ترانزیستورهای با مشخصه‌های تطبیق یافته و سازگار با محیط، نیز امری آسان است. محدودیت‌ها و امکانات موجود، در تکنولوژی IC‌ها روشی از تغذیه را می‌نمایاند که کاملاً متفاوت است با آنچه در تقویت‌کننده‌های BJT بکار می‌رود.

در اساس، تغذیه در طراحی مدار مجتمع به استفاده از منابع جریان ثابت بستگی دارد. قبلاً دیده‌ایم که زوج تفاضلی از تغذیه منبع جریان ثابت استفاده می‌کند. در یک تراشه IC با چند طبقه تقویت‌کننده، یک جریان dc ثابت در یک محل تولید می‌شود و سپس در نقاط متعدد دیگر برای تغذیه طبقات مختلف تقویت‌کننده باز تولید می‌شود. این پدیده دارای این مزیت است که جریانهای تغذیه طبقات مختلف از یکدیگر پیروی می‌کنند وقتی در ولتاژ منبع تغذیه و یا دما تغییراتی بوجود می‌آید.

در این بخش، مدارهایی از منابع جریان و مدارهای فشارنده جریان را مطالعه می‌کنیم. اگرچه این مدارها در طراحی مدارهای گسترده می‌توانند استفاده شود، اما آنها را اساساً برای استفاده در طراحی IC می‌توان به کار برد. چنانچه خواهیم دید، منابع جریان و مدارهای تزریق کننده جریان دو قطبی شبیه مدارهای مشابه که با COMS پیاده‌سازی شده‌اند، می‌باشند. چند نوع ساده از COMS را در فصل ۵ بررسی کردیم و انواع دقیق‌تر را در بخش ۶-۶ خواهیم دید.



شکل ۶-۱۴. BJTهای متصل شده بصورت دیود

ترانزیستور اتصال دیودی

از بهم وصل‌کردن بیس وکلکتور یک ترانزیستور، قطعه‌ای دو پایانه بوجود می‌آید که دارای مشخصه $i-v$ یکسان با مشخصه $i_E - v_{BE}$ در BJT است. شکل (۶-۱۴) دو ترانزیستور اتصال دیودی، یک *npn* و یک *pnp* را نشان می‌دهد. مشاهده کنید که چون ترانزیستور در حالت فعال کار می‌کند ($v_{CB} = ۰$ موجب کار در حالت فعال می‌شود)، مطابق شکل (۶-۱۴) جریان i بنا به مقدار βی BJT بین بیس و کلکتور تقسیم می‌شود. به این ترتیب، از نظر داخلی، ترانزیستور همچنان مانند یک ترانزیستور در حالت فعال کار می‌کند. به همین دلیل مشخصه $i-v$ی دیود به دست آمده مانند مشخصه $i_E - v_{BE}$ یک BJT است.

می‌توان نشان داد (با تمرین ۵-۶) که مقاومت نموی ترانزیستور اتصال دیودی تقریباً برابر r_e است. در ادامه موارد استفاده بیشتر یک BJT اتصال دیودی را برمی‌شماریم.

تمرین

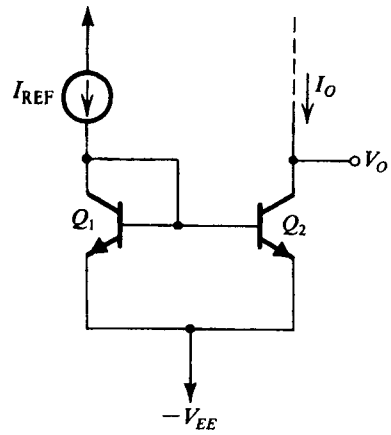
۶-۵ ترانزیستور BJT اتصال دیودی شکل (الف ۶-۱۴) را با مدل π هیبرید فرکانس پایین آن جایگزین کنید. در آن صورت نشان دهید مقاومت نموی این قطعه دو پایانه $[r_\pi // (1/g_m) // r_o] \cong r_e$ است. مقاومت نموی به ازای $i = ۰/۵\text{mA}$ را به دست آورید.

جواب. ۵۰ Ω ❑

آینه جریان

آینه جریان که ساده‌ترین نوع آن در شکل (۶-۱۵) نشان داده شده، پایه‌ای‌ترین ساختار در طراحی منابع جریان IC و مدارهای فشار جریان است. (آینه جریان MOS در فصل ۵ بررسی شد). آینه جریان از دو ترانزیستور دارای انطباق Q_1 و Q_2 تشکیل می‌شود که بیس‌ها و امیترهایشان به یکدیگر متصل است و بنابراین v_{BE} یکسان دارند. بعلاوه، با اتصال کوتاه کلکتور به بیس Q_1، این ترانزیستور مانند یک دیود وصل شده است.

آینه جریان بنابر شکل با منبع جریان ثابت I_{REF} تغذیه شده و جریان خروجی از کلکتور Q_2 به دست می‌آید. مدار تغذیه شده بوسیله کلکتور

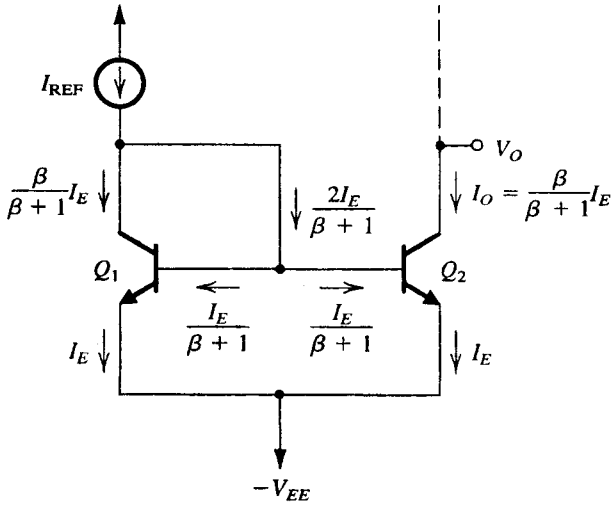


شکل ۱۵-۶ یک منبع جریان اساسی BJT

Q_2 (با بالاترنگه‌داشتن ولتاژ کلکتور از بیس) باید کار در حالت فعال ترانزیستور Q_2 را در همه حال تضمین کند. فرض کنید که BJT ها دارای β بزرگ و بنابراین جریانهای بیس آن‌ها در حد چشم‌پوشی کوچک هستند. جریان ورودی I_{REF} از ترانزیستور اتصال دیودی Q_1 جاری می‌شود و در نتیجه آن در دو سر Q_1 ولتاژی بوجود می‌آید که متناسب با مقدار I_{REF} است. این ولتاژ سپس بین بیس و امیتر Q_2 ظاهر می‌شود. چون Q_2 مانند Q_1 است، جریان امیتر Q_2 با I_{REF} یکسان خواهد بود. این امر موجب می‌شود که تا مادامی که Q_2 در ناحیه فعال باقی بماند، جریان کلکتور I_O تقریباً برابر با I_{REF} باشد. توجه کنید که تا وقتی Q_2 فعال باقی بماند، عملکرد آینه، مستقل از مقدار ولتاژ $-V_{EE}$ می‌باشد.

اکنون اثر βی محدود ترانزیستور را بر عملکرد آینه جریان بررسی می‌کنیم. تحلیل به این صورت است: چون Q_1 و Q_2 دارای تطابق هستند و دارای v_{BE} مساوی می‌باشند، جریان امیتر آنها مساوی خواهد بود. این نکته کلیدی است. بقیه تحلیل صریح و روشن است و در شکل (۱۶-۶) نشان داده شده است. در نتیجه:

$$I_O = \frac{\beta}{\beta + ۱} I_E \qquad I_{REF} = \frac{\beta + ۲}{\beta + ۱} I_E$$



شکل ۱۶-۶. تحلیل آینه جریان با در نظر گرفتن βی محدود برای BJTها

بنابراین بهره جریان آینه از رابطه زیر به دست می‌آید:

$$\frac{I_O}{I_{REF}} = \frac{\beta}{\beta + ۲} = \frac{۱}{۱ + ۲/\beta} \qquad (۶-۶۳)$$

که برای $\beta >> ۱$ به واحد می‌رسد. البته، توجه کنید که دوری بهره جریان از واحد می‌تواند نسبتاً زیاد باشد: با $\beta = ۱۰۰$، ۲% خطا به دست می‌آید.

عامل دیگری که I_O را I_{REF} نابرابر می‌کند، وابستگی خطی جریان کلکتور Q_2، یعنی I_O به ولتاژ کلکتور Q_2 است. در حقیقت، حتی اگر از اثر βی محدود چشم‌پوشی کرده، فرض کنیم Q_1 و Q_2 کاملاً در تطابقند، جریان I_O تنها در صورتی با I_{REF} برابر است که ولتاژ کلکتور Q_2 با ولتاژ بیس برابر باشد. با افزایش ولتاژ کلکتور، I_O افزایش می‌یابد. چون Q_2 در v_{BE} ثابت (که بوسیله I_{REF} تعیین می‌شود) کار می‌کند وابستگی I_O به V_O بوسیله r_oی Q_2 تعیین می‌شود. به عبارت دیگر، مقاومت خروجی آینه جریان شکل (۱۴-۶) با r_oی Q_2 برابر است.

از جمع‌کردن تأثیر βی محدود و اثر قبلی، جریان خروجی آینه بصورت زیر به دست می‌آید:

$$I_O \approx \frac{I_{REF}}{۱ + ۲/\beta}\left(۱ + \frac{V_O + V_{EE} - V_{BE}}{V_A}\right) \qquad (۶-۶۴)$$

توجه کنید که جملهٔ شامل اثر ارلی بگونه‌ای نوشته شده که هنگام صفر بودن v_{CB} مربوط به Q_2 (مانند v_{CB} مربوط به Q_1)، صفر شود، در این حالت تفاوت I_O با I_{REF} فقط ناشی از محدود بودن β می‌باشد.

تمرین

۶-۶ در مدار آینه جریان شکل (۱۵-۶) از ترانزیستورهای دارای $\beta=۱۰۰$ و $V_A = ۱۰۰$ V استفاده شده است. مقاومت خروجی و جریان خروجی را برای $I_{REF}=۱$mA، $V_{EE}=۵$V، و $V_O=+۵$V بیابید. فرض کنید که $V_{BE}\cong ۰/۷$V باشد.

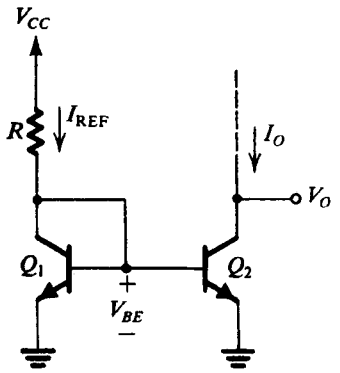
جواب. ۱/۰۷ mA ؛ ۱۰۰kΩ ❑

منبع جریان ساده

شکل (۱۷-۶) مدار منبع جریان ثابت BJT معمولی را نشان می‌دهد. در این مدار یک زوج ترانزیستور تطبیق‌یافته بصورت آینه جریان به کار رفته است، و دارای جریان مرجع ورودی به آینه I_{REF} است، که بوسیله مقاومت R متصل به منبع تغذیه مثبت V_{CC} تعیین می‌شود. جریان I_{REF} از رابطه زیر به دست می‌آید:

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} \qquad (۶-۶۵)$$

که V_{BE} ولتاژ بیس - امیتر متناسب با جریان امیتر I_{REF} است، با صرفنظر کردن از اثر βی محدود و وابستگی I_O به V_O، جریان خروجی I_O برابر با I_{REF} خواهد بود. مدار به مثابه یک منبع جریان ثابت عمل می‌کند تا وقتی که Q_2 در ناحیه فعال باقی بماند. یعنی، برای $V_O \geq V_{BE}$. مقاومت خروجی این منبع جریان، r_oی ترانزیستور Q_2 است. با در نظر گرفتن محدود بودن β و اثر ارلی جریان خروجی را می‌توان از ترکیب معادلات (۶۴-۶) و (۶۵-۶) و جایگزینی $V_{EE} = ۰$ به دست آورد.



شکل ۱۷-۶. منبع جریان ثابت BJT ساده

تمرین

ط ۷-۶ در مدار شکل (۱۷-۶) مقدار R را چنان بیابید که با $V_{CC} = 5V$ ، $I_O = 1\ mA$ به دست آید. فرض کنید که $V_{BE} \cong 0/7\ V$ باشد و از اثر r_o و βی محدود چشم‌پوشی کنید. با $\beta = 100$ و $V_A = 50V$ مقدار I_O را با $V_O = 3V$ پیدا کنید.

جواب. $1/025mA$ ، $4/3\ k\Omega$

۸-۶ با توجه به این نکته که BJT تا هنگامی که پیوند کلکتور بیس آن به اندازه ۰/۴ تا ۰/۵ ولت بایاس مستقیم نشود، وارد ناحیه اشباع نمی‌گردد، کمترین مقدار V_O که به ازای آن مدار منبع جریان ثابت شکل (۱۷-۶) بطور صحیح کار کند، چقدر است؟

جواب. ۰/۳ تا ۰/۲ ولت ❑

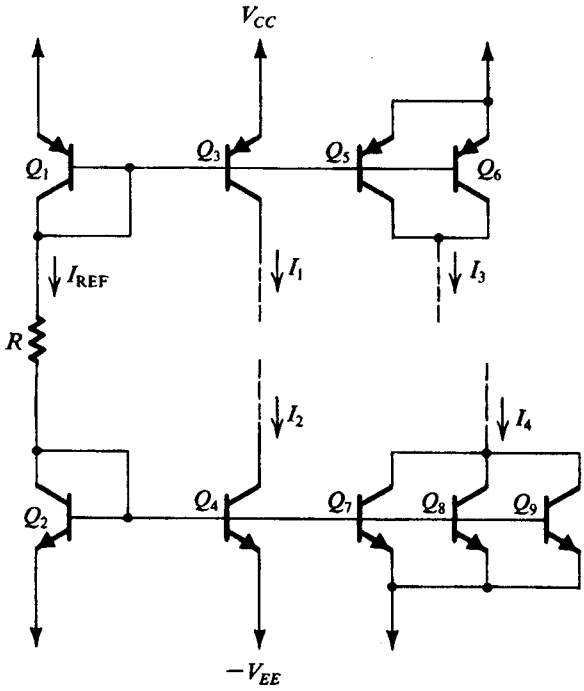
مدارهای فشار جریان

همانگونه که پیش از این آمد، در یک IC ، جریان مرجع dc در یک محل بوجود می‌آید و سپس در محلی دیگر برای تغذیه طبقات مختلف تقویت‌کننده IC ، باز تولید می‌گردد. بطور مثال، مدار نشان داده شده در شکل (۱۸-۶) را درنظر بگیرید. در این مدار از دو منبع تغذیه استفاده شده است، V_{CC} ، و $-V_{EE}$. جریان مرجع dc ی I_{REF} در شاخه‌ای تولید می‌شود که شامل ترانزیستور اتصال دیودی Q_1، مقاومت R، و ترانزیستور اتصال دیودی Q_2 است.

$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{EB1} - V_{BE2}}{R} \qquad (6\text{-}66)$$

اکنون برای ساده‌کردن، فرض می‌کنیم تمام ترانزیستورها دارای β بزرگ و در نتیجه جریان‌های بیس ناچیز و قابل چشم‌پوشی باشند. ترانزیستور اتصال دیودی Q_1 با Q_3 یک آینه جریان تشکیل می‌دهند. بنابراین Q_3 جریان ثابت I_1 را برابر با I_{REF} تهیه می‌کند. ترانزیستور Q_3 این جریان را برای هر باری می‌تواند تهیه کند تا وقتی که ولتاژ ظاهر شده در کلکتور از ولتاژ بیس $(V_{CC} - V_{EB3})$ تجاوز نکند.

برای بوجود آوردن یک جریان dc دو برابر مقدار I_{REF} ، دو ترانزیستور Q_5 و Q_6 بطور موازی متصل می‌شوند، و ترکیب این دو با Q_1 یک آینه بوجود می‌آورند. بنابراین $I_3 = 2\ I_{REF}$. توجه کنید که ترکیب



شکل ۱۸-۶. تولید چند جریان ثابت

موازی Q_5 و Q_6 معادل ترانزیستوری است که سطح پیوند امیتر بیس آن دو برابر Q_1 است و این دقیقاً همان کاری است که اگر این مدار بصورت IC ساخته می‌شد، انجام می‌گرفت. از آینه‌های جریان برای تهیه مضاربی از جریان مرجع استفاده می‌شود و این کار با طراحی ترانزیستورهایی انجام می‌شود که دارای نسبت سطح پیوند آنها با مضارب دلخواه مساوی باشند. این نکته قدری با حالت آینه MOS متفاوت است. در آینه MOS نسبت انتقال جریان با نسبت W/L دو ترانزیستور [معادله (۵۵-۵)]، و نه با نسبت سطوح دو قطعه، تعیین می‌شود.

ترانزیستور Q_4 با Q_2 یک آینه می‌سازد، و بنابراین Q_4 جریان ثابت I_2 را برابر با I_{REF} ایجاد می‌کند. توجه کنید به تفاوت اساسی بین Q_3 و Q_4 ، اگرچه هر دو جریانهای مساوی تهیه می‌کنند، Q_3 جریان خود را به قسمتهایی از مدار می‌دهد که ولتاژشان نبایستی از $V_{CC} - V_{EB3}$ تجاوز کند. از سوی دیگر، Q_4 جریانهایش را از قسمتهایی از مدار می‌گیرد که ولتاژشان نبایستی کمتر از $-V_{EE} + V_{BE4}$ بشود. بالاخره، برای تولید جریانی سه برابر مرجع، سه ترانزیستور Q_7 ، Q_8 و Q_9 موازی می‌شوند و این ترکیب با Q_2 بصورت آینه قرار می‌گیرد بازهم، در ساختمان IC باید Q_7، Q_8 و Q_9 با ترانزیستوری جایگزین شوند که سطح پیوند آن سه برابر Q_2 باشد.

در توضیح بالا اثرات βی محدود ترانزیستور نادیده گرفته شده است. این اثر را در حالت آینه با یک خروجی تحلیل کرده‌ایم. اثر βی محدود با افزایش تعداد خروجی‌ها جدی‌تر می‌شود. تعجبی ندارد زیرا افزودن ترانزیستورهای بیشتر به معنی آن است که جریان‌های بیس آنها بایستی بوسیله منبع جریان مرجع تأمین گردد.

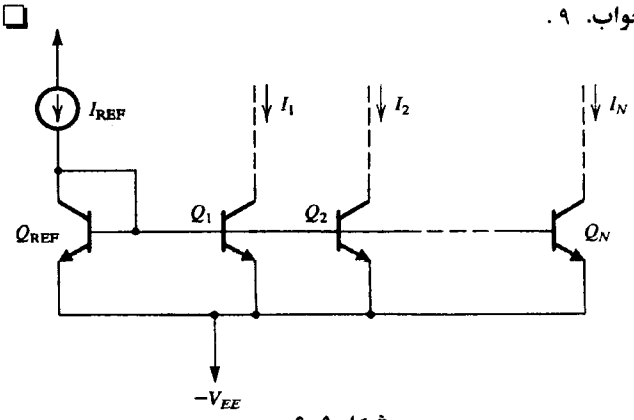
تمرین

۹-۶ شکل (ت ۹-۶) یک آینه جریان با N خروجی را نشان می‌دهد. فرض کنید همه ترانزیستورها تطبیق‌یافته و دارای βی محدود باشند و اثر مقاومت‌های خروجی محدود را نادیده بگیریم، نشان دهید که:

$$I_1 = I_2 = \ldots = I_N = \frac{1}{1 + (N+1)\beta}$$

به ازای $\beta = 100$ ماکزیمم تعداد خروجی را به دست آورید طوری که خطا از ۱۰٪ نگذرد.

جواب. ۹.



شکل ۹-۶ ت

مقایسه با مدارهای MOS

آینه جریان پایه‌ای، منبع جریان و مدارهای فشار جریان BJT بسیار شبیه همنوعان MOS خود هستند که در بخش (۲-۶-۵) بررسی شدند. اما چند اختلاف وجود دارد که بشرح زیر می‌باشند:

۱- آینه MOS دچار نقصان اثر محدود بودن β نیست.

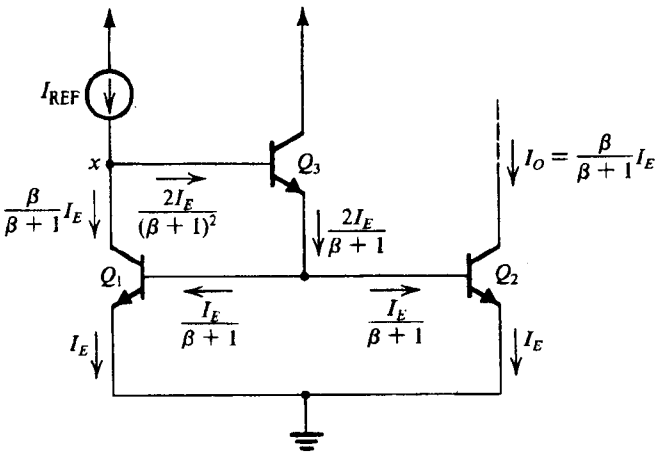
۲- در آینه و منبع جریان دو قطبی، ولتاژ خروجی می‌تواند در محدوده V_{CEsat} ولتاژ امیتر یعنی در حدود ۰/۲V باشد. (ولتاژ امیتر یا ولتاژ تغذیه dc و یا زمین است). مقدار متناظر در مدارهای MOS، $(V_{GS} - V_t)$ یا V_{eff} است که معمولاً بزرگتر از V_{CEsat} می‌باشد. توانایی کار در نزدیکی ولتاژ تغذیه نکته مهمی در طراحی IC است که ولتاژهای تغذیه را باید پایین نگه داشت.

۳- چنانچه قبلاً گفتیم، نسبت انتقال جریان در آینه دو قطبی توسط سطح نسبی ترانزیستورها تعیین می‌شود، در حالی که در آینه MOS توسط نسبت (W/L) تعیین می‌شود.

۴- هر دو آینه پایه‌ای MOS و دو قطبی دارای مقاومت خروجی $r_o = |V_A|/I$ هستند. اما $|V_A|$ معمولاً در قطعات MOS پایین‌تر است.

مدارهای اصلاح‌شده منبع جریان

دو پارامتر عملی در منبع جریان BJT به اصلاح نیاز دارد. اولی، وابستگی I_O به β است که نتیجه خطا در بهره جریان آینه است که با βی محدود ترانزیستور مطرح می‌شود. دومی، مقاومت خروجی منبع جریان است که برابر با r_oی ترانزیستور است و بنابراین به حدود ۱۰۰kΩ محدود می‌شود. نیاز به افزایش مقاومت خروجی منبع جریان را می‌توانیم مشاهده



شکل ۱۹-۶. آینه جریان با جبران سازی جریان بیس

کنیم اگر بیاد آوریم که بهره حالت مشترک تقویت‌کننده تفاضلی مستقیماً با مقاومت خروجی منابع تغذیه جریان تأمین می‌شود. همچنین در طبقه بعدی مشاهده می‌شود که در آن منابع جریان ترانزیستور معمولاً به جای مقاومت بار R_C تقویت‌کننده تفاضلی استفاده می‌شود. به این ترتیب برای به دست آوردن بهره ولتاژ زیاد، مقاومت خروجی زیاد مورد نیاز است.

اکنون روشهای گوناگون مداری را توضیح می‌دهیم که در آنها وابستگی به β کاهش می‌یابد و یا مقاومت خروجی آنها افزایش پیدا می‌کند. اولین مدار که در شکل (۱۹-۶) نشان داده شده است، ترانزیستور Q_3 را شامل می‌شود که امیترش جریانهای بیس Q_1 و Q_2 را تأمین می‌کند. سپس مجموع جریانهای بیس به $(\beta + 1)$ ترانزیستور Q_3 تقسیم می‌شود و جریان بسیار کوچکی را بوجود می‌آورد که باید بوسیله I_{REF} تأمین شود. تحلیل جزئیات آن که در نمودار مدار نشان داده شده، بر اساس این فرض است که Q_1 و Q_2 دارای تطابقند و بنابراین جریان‌های امیتر، I_E، یکسان دارند. معادله یک گره در گرهی به نام x چنین است:

$$I_{REF} = \left[\frac{\beta}{\beta+1} + \frac{2}{(\beta+1)^2}\right] I_E$$

چون

$$I_O = \frac{\beta}{\beta+1} I_E$$

موجب می‌شود که بهره جریان آینه بصورت زیر به دست آید.

$$\frac{I_O}{I_{REF}} = \frac{1}{1 + 2/(\beta^2 + \beta)} \qquad (۶-۶۷)$$

$$\cong \frac{1}{1 + 2/\beta^2} \qquad (۶-۶۸)$$

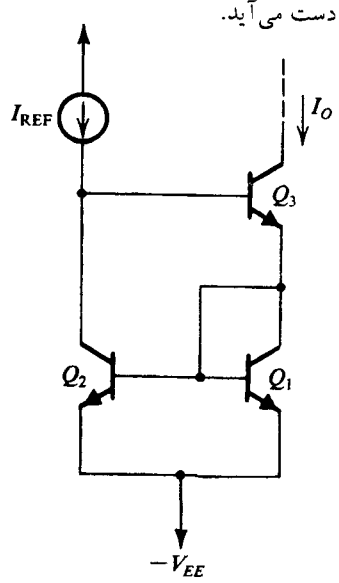
یعنی خطا به دلیل βی محدود از $2/\beta$ به $2/\beta^2$ کاهش یافته است؛ یک بهبود فوق‌العاده. و بالاخره توجه کنید که برای سادگی تحلیل، مدار نشان داده شده، با یک جریان I_{REF} تغذیه شده است. برای استفاده از مدار بعنوان یک منبع جریان، مقاومت R را بین گره x و منبع تغذیه V_{CC} وصل می‌کنیم.

$$I_{REF} = \frac{V_{CC} - V_{BE1} - V_{BE3}}{R} \qquad (۶-۶۹)$$

مدار آینه دیگر، که در آن هم جریان بیس جبران می‌شود و هم مقاومت خروجی افزایش می‌یابد، مطابق شکل (۲۰-۶) مدار **آینه ویلسون** است. در تحلیل‌های این مدار با درنظرگرفتن B ی محدود، معادله بهره جریانی به دست می‌آید که با معادله (۶۸-۶) یکسان است. منبع جریان ویلسون یک مقاومت خروجی ایجاد می‌کند که تقریباً برابر با $\beta r_o/2$ است که با ضریب $\beta/2$ بزرگتر از منبع جریان ساده شکل (۱۷-۶) می‌باشد. (مسأله ۶۳-۶ را ملاحظه کنید). اما آینه ویلسون دارای این عیب است که نوسان مجاز ولتاژ خروجی آن کاهش یافته است، توجه کنید که ولتاژ کلکتور Q_3 باید از ولتاژ تغذیه منفی به اندازهٔ $(V_{BE1}+V_{CEsat|3})$ که تقریباً در حدود ولت است، بزرگتر باشد.

تمرین

۱۰-۶ در آینه جریان ویلسون شکل (۲۰-۶) فرض کنید همه BJT ها تطابق یافته و دارای β ی محدودند. جریان امیترهای Q_1 و Q_2 را با I_E نشان می‌دهیم، I_{REF} و I_O را بر حسب I_E بیابید و نشان دهید که I_O/I_{REF} از معادله (۶۸-۶) به دست می‌آید. ❑



شکل ۲۰-۶. منبع جریان ویلسون

مدار منبع جریان دیگر، موسوم به **منبع جریان وایدلر**، در شکل (۲۱-۶) نشان داده شده است. این مدار با مدار آینه جریان اساسی از یک جهت مهم تفاوت دارد: مقاومت R_E در پایه امیتر Q_2 قرار گرفته است. با چشم‌پوشی از جریان‌های بیس می‌توانیم بنویسیم:

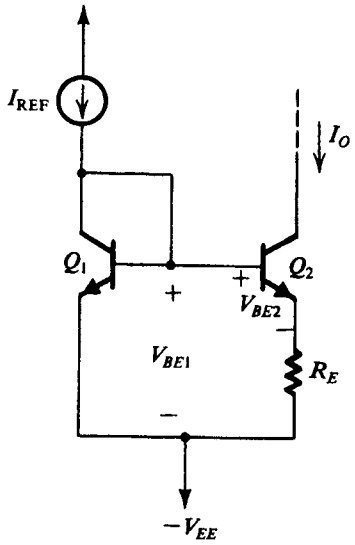
$$V_{BE1} = V_T \ln\left(\frac{I_{REF}}{I_S}\right) \qquad (۶-۷۰)$$

و

$$V_{BE2} = V_T \ln\left(\frac{I_O}{I_S}\right) \qquad (۶-۷۱)$$

که در آن فرض بر این است که Q_1 و Q_2 قطعات دارای تطابقند. از ترکیب معادله‌های (۷۰-۶) و (۷۱-۶) به دست می‌آید:

$$V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{REF}}{I_O}\right) \qquad (۶-۷۲)$$



شکل ۲۱-۶. منبع جریان وایدلر

اما با توجه به مدار می‌بینیم که:

$$V_{BE1} = V_{BE2} + I_O R_E \qquad (۶-۷۳)$$

بنابراین:

$$I_O R_E = V_T \ln\left(\frac{I_{REF}}{I_O}\right) \qquad (۶-۷۴)$$

در مثال زیر، طراحی و مزایای منبع جریان وایدلر را شرح می‌دهیم.

مثال ۲-۶

شکل (۲۲-۶) دو مدار نشان می‌دهد که جریان ثابت $I_O=10\mu A$ تولید می‌کند. با فرض اینکه V_{BE} برابر با ۰/۷ V در جریان ۱ mA باشد، و از تأثیر βی محدود چشم‌پوشی شود، مقادیر مقاومتهای موردنیاز را بیابید.

حل:

برای منبع جریان مدار شکل (الف ۲۲-۶) مقدار R_1 را چنان برمی‌گزینیم که $I_{REF} = 10\ \mu A$ باشد. در این جریان، افت ولتاژ دوسر Q_1 خواهد بود:

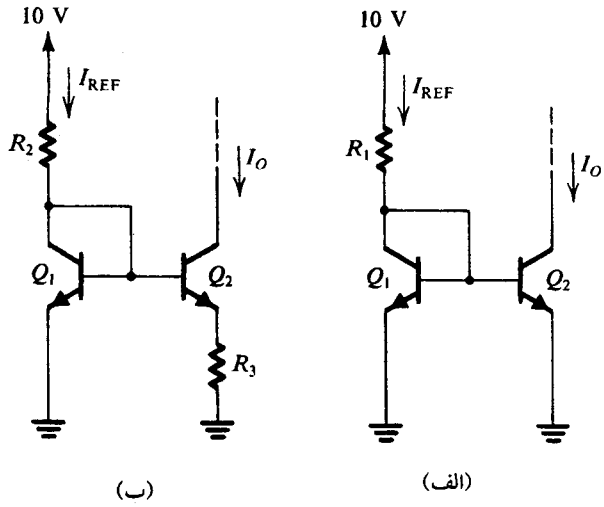
$$V_{BE1} = 0/7 + V_T \ln\left(\frac{10\ \mu A}{1 mA}\right) = 0/58\ V$$

$$R_1 = \frac{10 - 0/58}{0/01} = 942\ k\Omega$$

در مدار وایدلر شکل (ب ۲۲-۶)، ابتدا بایستی مقدار مناسبی را برای I_{REF} درنظر بگیریم. اگر $I_{REF} = 1\ mA$ درنظر گرفته شود، در آنصورت $V_{BE1} = 0/7\ V$ و R_2 از رابطه زیر به دست می‌آید:

$$R_2 = \frac{10 - 0/7}{1} = 9/3\ k\Omega$$

مقدار R_3 با استفاده از معادله (۷۴-۶) بصورت زیر به دست می‌آید:



شکل ۲۲-۶. مدارهای مثال ۱-۶

$$10 \times 10^{-6} R_3 = 0.025 \ln\left(\frac{1\ \text{mA}}{10\ \mu\text{A}}\right)$$

بنابراین

$$R_3 = 11.5\ \text{k}\Omega$$

از مثال بالا درمی‌یابیم که با به کارگیری مدار وایدلر یک جریان ثابت کوچک با استفاده از مقاومتهای بالنسبه کوچک به دست می‌آید. این مزیتی مهم است که به صرفه‌جویی‌های قابل ملاحظه در ابعاد IC می‌انجامد. در حقیقت مدار شکل (الف ۲۲-۶) با وجود مقاومت ۹۴۲kΩ، در قالب IC عملاً کاربردی ندارد.

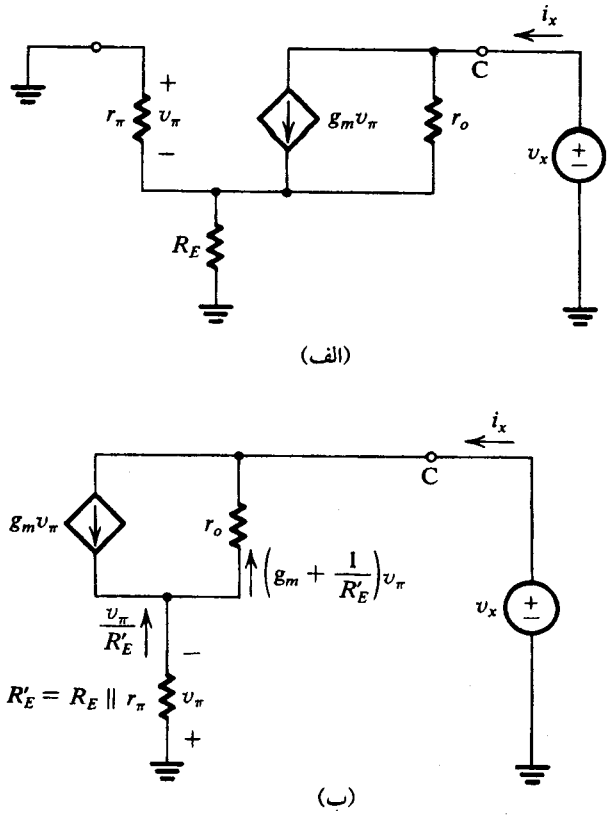
شاخصه مهم دیگر منبع جریان وایدلر مقاومت خروجی بزرگ آن است. افزایش مقاومت خروجی، بیشتر از آنچه در منبع جریان شکل (۱۷-۶) به دست آمد، ناشی از مقاومت امیتر R_E است. برای تعیین مقاومت خروجی Q_2 مطابق شکل (الف ۲۳-۶)، به جای ترانزیستور، مدل π هیبرید و فرکانس پایین آنرا جایگزین می‌کنیم و ولتاژ آزمون v_x را به کلکتور اعمال می‌کنیم. توجه کنید که در شکل بیس Q_2 به زمین وصل شده در حالی که در مدار اصلی شکل (۲۱-۶) چنین نیست. در حقیقت، از طریق ترانزیستور اتصال دیودی Q_1، بیس Q_2 به $-V_{EE}$ (زمین سیگنال) وصل شده است. البته، مقاومت نموی (r_e) ترانزیستور کوچک است، و بنابراین برای سادگی مطالب، فرض می‌کنیم که این مقاومت به اندازه کافی کوچک هست تا بیس Q_2 را به زمین سیگنال متصل بدانیم.

مدار شکل (الف ۲۳-۶) با تلفیق R_E و r_π موازی، ساده می‌شود و مطابق شکل (ب ۲۲-۶)، R'_E به دست می‌آید که جزئیات تحلیل را نشان می‌دهد. یک معادله حلقه چنین است:

$$v_x = -v_\pi - \left(g_m + \frac{1}{R'_E}\right) v_\pi r_o \qquad (۶-۷۵)$$

و معادله گره در نقطه C بصورت زیر است:

$$i_x = g_m v_\pi - \left(g_m + \frac{1}{R'_E}\right) v_\pi \qquad (۶-۷۶)$$



شکل ۲۳-۶. تعیین مقاومت خروجی منبع جریان وایدلر شکل ۲۱-۶

از تقسیم معادله (۷۵-۶) بر (۷۶-۶) مقاومت خروجی به دست می‌آید:

$$R_o \equiv \frac{v_x}{i_x} = \frac{1 + (g_m + \frac{1}{R'_E}) r_o}{1/R'_E}$$

که بصورت زیر می‌تواند مرتب گردد.

$$R_o = R'_E + (1 + g_m R'_E) r_o \qquad (۶-۷۷)$$

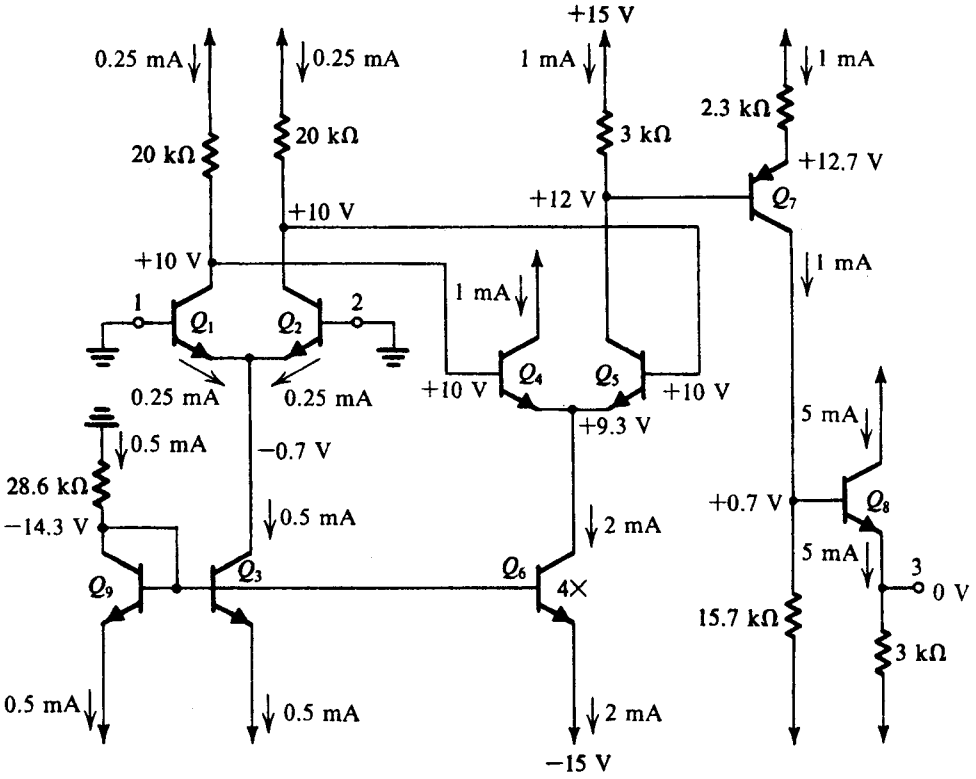
$$\cong (1 + g_m R'_E) r_o \qquad (۶-۷۸)$$

به این ترتیب، مقاومت خروجی با ضریب $1+g_m R'_E = 1+g_m(R_E//r_\pi)$ افزایش می‌یابد این رابطه، یک رابطه مهم و کلی است و مقاومت خروجی یک ترانزیستور با بیس زمین شده و مقاومت R_E در امیتر را نشان می‌دهد که ما بارها از آن استفاده خواهیم کرد. و بالاخره، توجه کنید که در تحلیلهای بالا از r_μ صرفنظر کرده‌ایم. البته، به راحتی می‌توان آنرا درنظر گرفت زیرا به موازات مقاومتی ظاهر می‌شود که بوسیله معادله (۷۸-۶) به دست می‌آید.

تمرین

۱۱-۶ مقاومت خروجی هریک از دو منبع جریان طراحی شده در مثال (۲-۶) را به دست آورید. فرض کنید $V_A = 100$ V، و $\beta = 100$ باشد.

جواب. (الف) ۱۰ MΩ؛ (ب) ۵۴ MΩ ❑



شکل ۲۴-۶. مدار مثال ۳-۶

مثال ۳-۶

شکل (۲۴-۶) مدار یک تقویت‌کننده عملیاتی ساده را نشان می‌دهد. پایانه‌های ۱ و ۲ که به زمین وصل شده‌اند، پایانه‌های ورودی op−amp و پایانه ۳ پایانه خروجی است.

(الف) یک تحلیل dc تقریبی (با فرض اینکه $|V_{BE}| \cong ۰/۷\ V$ و $\beta >> ۱$ است و با چشمپوشی از اثر ارلی) برای محاسبه جریانها و ولتاژهای dc، ارائه کنید. دقت کنید که سطح پیوند $Q_۶$ چهار برابر $Q_۳$ و $Q_۹$ است.

(ب) اتلاف توان سکون را در مدار محاسبه کنید.

(پ) اگر ترانزیستورهای $Q_۱$ و $Q_۲$ دارای $\beta = ۱۰۰$ باشند، جریان تغذیه ورودی op−amp را محاسبه کنید.

(ت) گستره حالت مشترک این op−amp چقدر است؟

حل:

(الف) مقادیر جریانها و ولتاژهای dc در مدار نشان داده شده است. این مقادیر با چشم‌پوشی از جریان بیس ترانزیستورها و با این فرض که β خیلی زیاد است، محاسبه گردیده است. تحلیل با تعیین جریان ترانزیستور اتصال دیودی $Q_۹$ صورت می‌گیرد که باید ۰/۵ mA باشد. در آن صورت ملاحظه می‌کنیم که ترانزیستور $Q_۳$، ۰/۵ mA و ترانزیستور $Q_۶$ به اندازه ۲ mA جریان عبور می‌دهند. ترانزیستور منبع جریان $Q_۳$، زوج تفاضلی ($Q_۱$، $Q_۲$) را با ۰/۵ mA جریان می‌دهد. بنابراین ترانزیستورهای $Q_۱$ و $Q_۲$ با ۰/۲۵ mA تغذیه می‌شوند. ولتاژ کلکتورهای $Q_۱$ و $Q_۲$، $+۱۰V = [+۱۵ - ۰/۲۵ \times ۲۰]$ خواهد بود.

در دومین طبقه تفاضلی که از $Q_۴$ و $Q_۵$ تشکیل شده، ولتاژهای امیتر را $۰/۹۳V=[۱۰-۰/۷]$ می‌یابیم. این زوج تفاضلی بوسیله ترانزیستور منبع جریان $Q_۶$ تغذیه می‌شوند که جریان ۲mA تهیه می‌کند. به این ترتیب، $Q_۴$ و $Q_۵$ در ۱mA تغذیه می‌شوند. اکنون ولتاژ کلکتور $Q_۵$ را بصورت $۱۲V = [+۱۵ - ۳\times۱]$ محاسبه می‌کنیم. این موجب می‌شود که ولتاژ امیتر ترانزیستور pnpی $Q_۷$ برابر $+۱۲.۷\ V$ باشد، و جریان امیتر $Q_۷$ برابر با $۱mA=۲/۳/(+۱۵ - ۱۲/۷)$ باشد.

۱ mA جریان کلکتور $Q_۷$ موجب می‌شود تا ولتاژ کلکتور $+۰/۷V=[-۱۵+۱\times۱۵/۷]$ باشد. امیتر $Q_۸$ به اندازه ۰/۷ V زیر ولتاژ بیس خواهد بود. بنابراین ولتاژ پایانه ۳ خروجی برابر صفر ولت خواهد بود. سرانجام جریان امیتر $Q_۸$ می‌تواند $۵mA=۳/[۰-(-۱۵)]$ محاسبه شود.

(ب) برای محاسبه اتلاف توان مدار در حالت سکون (یعنی، با سیگنال‌ورودی صفر)، بسادگی جریان dc را که مدار از هریک از دو منبع می‌کشد، حساب می‌کنیم. از منبع ۱۵ V+، جریان dc برابر است با $I^+=۰/۲۵+۰/۲۵+۱+۱+۱+۵=۸/۵mA$. بنابراین توان تولید شده بوسیله منبع تغذیه برابر با $P^+ = ۱۵ + ۸/۵ = ۱۲۷/۵\ mW$ است. منبع تغذیه ۱۵ V− جریان I^- را بصورت

$$I^- = ۰/۵+۰/۵+۲+۱+۵=۹mA$$

به دست می‌دهد. از اینرو توان ارائه شده بوسیله منبع منفی برابر است با $P^- = ۱۵\times۹ = ۱۳۵\ mW$. با افزودن P^+ و P^- توان کل تلف شده در مدار بصورت $P_D=P^+ + P^-=۲۶۲/۵mW$: P_D به دست می‌آید.

(پ) جریان تغذیه ورودی op−amp متوسط جریانی است که در دو

پایانه ورودی جریان می‌یابد (یعنی، در بیس‌های Q_1 و Q_3). این دو جریان مساوی‌اند. (زیرا فرض کرده‌ایم قطعات در تطابقند)؛ بنابراین جریان تغذیه بصورت زیر خواهد بود.

$$I_B = \frac{I_{E1}}{\beta + 1} = 2/5\,\mu A$$

(ت) حد بالای ولتاژ حالت مشترک ورودی بوسیله ولتاژی به دست می‌آید که در آن Q_1 و Q_2 حالت فعال را ترک کرده و به حالت اشباع وارد می‌شوند. این کار وقتی اتفاق می‌افتد که ولتاژ ورودی برابر با ولتاژ کلکتور باشد و یا از آن افزونتر یعنی ۱۰ V+ باشد. از اینرو حد بالای محدوده حالت مشترک ۱۰ V+ است.

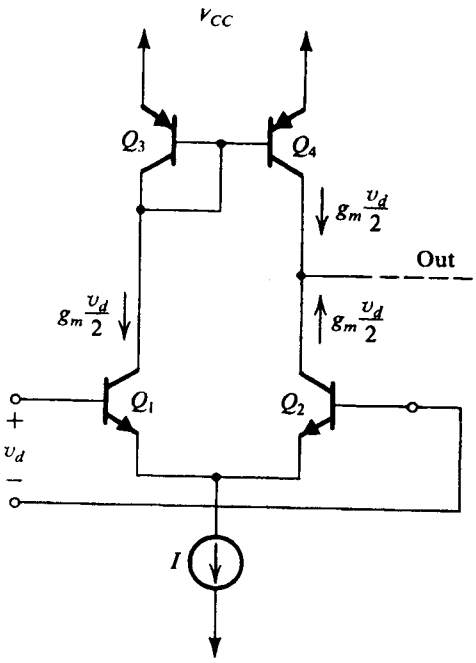
حد پایین محدوده حالت مشترک با ولتاژی تعیین می‌شود که در آن Q_3 حالت هدایت را ترک کرده و به این ترتیب Q_3 به پایین‌تر از ولتاژ بیس یعنی به ۱۴/۳ V− می‌رسد. نتیجه می‌شود که ولتاژ حالت مشترک نباید کمتر از ۱۳/۶V− = ۰/۷ + ۱۴/۳− باشد. به این ترتیب محدوده حالت مشترک ۱۳/۶− تا ۱۰ V+ است.

۶-۵ تقویت‌کننده تفاضلی BJT با بار فعال

قطعات فعال (ترانزیستورها) از مقاومتهای بزرگ و یا متوسط سطح سیلیکونی کمتری اشغال می‌کنند. به همین دلیل در فصل ۵ مدارهای تقویت‌کننده MOSFET گوناگونی را مطالعه کردیم که از MOSFET ها بعنوان بار استفاده می‌کرد. مشابه آن، بسیاری از تقویت‌کننده‌های مدار مجتمع BJT عملاً از BJT ها به مثابه بار به جای بارهای مقاومتی، R_C استفاده می‌کنند. در چنین مدارهایی، ترانزیستور بار BJT معمولاً بصورت یک منبع جریان ثابت بسته می‌شود و در نتیجه برای تقویت‌کننده‌های ترانزیستوری یک بار با مقاومت بسیار زیاد (مقاومت خروجی منبع جریان) خواهد داشت. از اینرو تقویت‌کننده‌هایی که از **بارهای فعال** بهره می‌برند، بهره ولتاژ زیادتری می‌توانند به دست دهند نسبت به تقویت‌کننده‌هایی که از بارهای غیرفعال (مقاومتی) استفاده می‌کنند. در این بخش، پیکربندی مداری را مطالعه می‌کنیم که در طراحی آی‌سی‌های BJT بسیار مشهور هستند.

مدار تقویت‌کننده تفاضلی با بار فعال در شکل (۲۵-۶) نشان داده شده است. ترانزیستورهای Q_1 و Q_2 یک زوج تفاضلی می‌سازند که با جریان ثابت I تغذیه می‌شوند. مدار بار از ترانزیستورهای Q_3 و Q_4 تشکیل می‌شود که بصورت آینه جریان بهم وصل شده‌اند. خروجی بصورت تک‌سر (تک‌خروجی) از کلکتور Q_2 دریافت می‌شود.

نخست حالتی را درنظر بگیرید که هیچ سیگنالی به ورودی اعمال نشده است (یعنی، دو پایانه ورودی به زمین وصل شده است). جریان I به تساوی بین Q_1 و Q_2 تقسیم می‌شود. بنابراین Q_1 جریانی تقریباً به اندازه $I/2$ از ترانزیستور اتصال دیودی Q_3 می‌کشد. با فرض اینکه $\beta >> 1$، آینه جریانی برابر و به اندازه $I/2$ از Q_4 تأمین می‌کند. چون این جریان برابر با جریانی است که از کلکتور Q_2 عبور می‌کند، هیچ جریانی از پایانه خروجی عبور نمی‌کند. البته، باید توجه کنید که در مدارهای عملی، ولتاژ



شکل ۲۵-۶. تقویت کننده تفاضلی با بار فعال

سکون dc در پایانه خروجی بوسیله طبقه تقویت‌کننده بعدی تأمین می‌شود. مثالی از این نوع در فصل ۱۰ مشاهده خواهد شد که در آن مدار داخلی op−amp نوع 741 به تفصیل شرح داده شده است.

اکنون موقعیتی را درنظر بگیرید که سیگنال تفاضلی v_d به ورودی اعمال می‌شود. سیگنالهای جریان $g_m (v_d/2)$ در کلکتورهای Q_1 و Q_2 با پلاریته‌ای به دست می‌آید که در شکل (۲۵-۶) نشان داده شده است. آینه جریان سیگنال جریان $g_m (v_d/2)$ را برای عبور از کلکتور Q_4 باز تولید می‌کند. بنابراین، در گره خروجی، دو سیگنال جریان داریم که با یکدیگر جمع می‌شوند تا سیگنال جریان کل $(g_m v_d)$ تولید شود. اکنون اگر مقاومت نشان داده شده بوسیله طبقه تقویت‌کننده بعدی خیلی بزرگ باشد، سیگنال ولتاژ در پایانه خروجی بوسیله جریان سیگنال کل $(g_m v_d)$ و مقاومت کل (بین پایانه خروجی و زمین)، R_o، تعیین می‌شود. یعنی

$$v_o = g_m v_d R_o \qquad (۶-۷۹)$$

مقاومت خروجی R_o معادل موازی مقاومت خروجی Q_2 و مقاومت خروجی Q_4 است. چون Q_2 در عمل بصورت امیتر مشترک کار می‌کند، مقاومت خروجی آن مساوی r_{o2} خواهد بود و همچنین از بررسی مدار آینه جریان در بخش قبل دریافتیم که مقاومت خروجی آن برابر با r_o ی Q_4 یعنی r_{o4} است. به این ترتیب

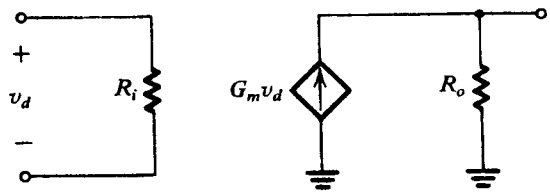
$$R_o = r_{o2} \parallel r_{o4} \qquad (۶-۸۰)$$

برای حالت $r_{o2} = r_{o4} = r_o$

$$R_o = r_o/2 \qquad (۶-۸۱)$$

و ولتاژ سیگنال خروجی خواهد بود:

$$v_o = g_m v_d (r_o/2) \qquad (۶-۸۲)$$



شکل ۲۶-۶. مدل سیگنال کوچک تقویت‌کننده تفاضلی شکل ۲۵-۶

به بهره ولتاژی بصورت زیر منجر می‌شود

$$\frac{v_o}{v_d} = \frac{g_m r_o}{۲} \qquad (۶-۸۳)$$

از جایگزینی $g_m = I_C / V_T$ و $r_o = V_A / I_C$، که در آن $I_C = I/۲$ است، به دست می‌آوریم:

$$g_m r_o = \frac{V_A}{V_T} \qquad (۶-۸۴)$$

که یک ثابت برای ترانزیستوری معین است. معمولاً $V_A = ۱۰۰$ V منجر به $g_m r_o = ۴۰۰۰$ و بهره ولتاژی حدود ۲۰۰۰ می‌گردد.

در بعضی موارد مقاومت ورودی طبقه تقویت بعدی ممکن است به همان اندازه R_o باشد و بنابراین بایستی در تعیین بهره ولتاژ به حساب آید. در چنین وضعی، مناسب آن است که تقویت‌کننده شکل (۲۵-۶) را بوسیله تقویت‌کننده هدایت انتقالی مدل شکل (۲۶-۶) نشان دهیم. در اینجا R_i مقاومت ورودی تفاضلی است، برای این حالت $R_i = ۲ r_\pi$ می‌باشد. هدایت انتقالی تقویت‌کننده G_m، هدایت انتقالی اتصال کوتاه است و برای این حالت داریم:

$$G_m = g_m = \frac{I/۲}{V_T}$$

و سرانجام، R_o مقاومت خروجی است که از معادله (۸۱-۶) به دست می‌آید.

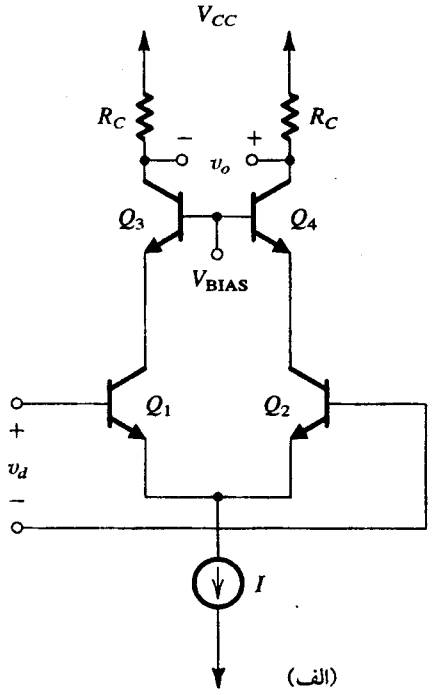
برای اینکه بازهم بهره ولتاژ زیادتر به دست آید، از مدارهای آینه جریان دقیق‌تر می‌توان استفاده کرد. همچنین می‌توان پیکربندی تقویت‌کننده تفاضلی را اصلاح کرد تا مقاومت خروجی $Q_۲$ افزایش یابد. استفاده از روش مرسوم به پیکربندی کاسکود (Cascode) یکی از راههای اصلاح است. به اختصار روش کاسکود را معرفی می‌کنیم.

در نظر گرفتن کار مدار جریان آینه شکل (۲۵-۶) مهم است. این مدار سیگنال جریان $g_m (v_d/۲)$ که توسط کلکتور $Q_۱$ تأمین شود، را وارونه می‌کند و جریان مساوی در کلکتور $Q_۴$ ایجاد می‌کند با پلاریته‌ای که با سیگنال جریان کلکتور $Q_۲$ جمع می‌شود. بدون آینه جریان (یعنی، فقط با استفاده از یک منبع جریان ساده) بهره ولتاژ نصف مقدار به دست آمده در بالا است.

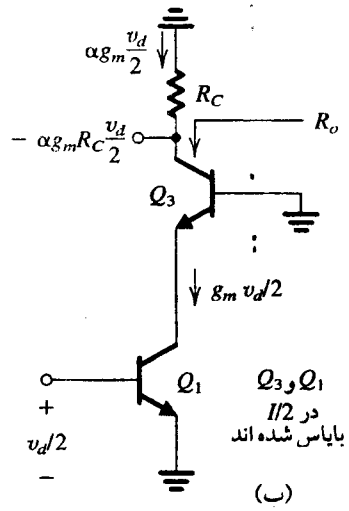
پیکربندی Cascode

یک شکل مهم تقویت‌کنندگی که به اختصار معرفی می‌شود، پیکربندی **cascode** است. این پیکربندی شامل یک طبقه امیتر مشترک (CE) است که پس از آن یک طبقه بیس مشترک (CB) می‌آید و بصورت تفاضلی آن در شکل (الف ۲۷-۶) دیده می‌شود. در این شکل، جفت ترانزیستور $Q_۱$ و $Q_۲$ اساس تقویت‌کننده تفاضلی را تشکیل می‌دهند که با سیگنالهای ورودی تفاضلی مانند یک تقویت‌کننده امیتر مشترک کار می‌کند. اگرچه یک بار غیرفعال (مقاومتی) نشان داده شده، اما آنرا با یک بار فعال می‌توان جایگزین ساخت.

نیم مدار تفاضلی شکل (ب ۲۷-۶) شامل کاسکود CE−CB براحتی قابل مشاهده است. همچنین از این شکل مشاهده می‌کنیم که بار مقاومتی که بوسیله ترانزیستور امیتر مشترک $Q_۱$ مشاهده می‌شود، دیگر R_C نیست بلکه مقاومت ورودی آن بسیار کمتر از مقاومت ترانزیستور بیس مشترک $Q_۳$، یعنی r_e است. در فصل ۷ خواهیم دید که کاهش در بار مؤثر مقاومتی $Q_۱$ منجر به بهبود شگفت‌انگیزی در پاسخ فرکانسی تقویت‌کننده می‌شود، که مهمترین شاخصه در تقویت‌کننده کاسکود است.



(الف)



(ب)

شکل ۲۷-۶. (الف) فرم تفاضلی تقویت‌کنندهٔ Cascode، (ب) نیم مدار تفاضلی

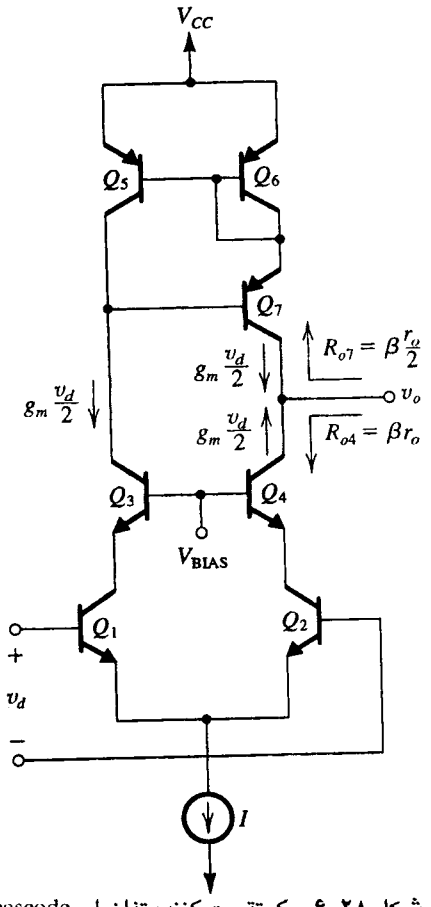
در ادامه بررسی نیم‌مدار تفاضلی، ملاحظه می‌کنیم که طبقه بیس مشترک به مثابه یک میانگیر جریان عمل می‌کند؛ یعنی جریان سیگنال $g_m v_d/2$ را از کلکتور Q_1 در مقاومت ورودی کم (r_e) دریافت می‌کند و یک جریان تقریباً مساوی ($\alpha g_m v_d/2$) به بار در مقاومت خروجی بسیار زیاد R_o تحویل می‌دهد. مقاومت خروجی زیاد دومین شاخصه مهم پیکربندی کاسکود است و بویژه وقتی مفید است که تقویت‌کننده با یک بار فعال استفاده شود. برای پیداکردن رابطه‌ای برای R_o، ملاحظه می‌کنیم که این مقاومت خروجی Q_4 است که دارای مقاومت امیتری برابر با r_o برای Q_1 می‌باشد. می‌توانیم از معادله (۶-۷۸) استفاده کرده، $R'_E = r_{\pi 4} // r_{o1} \cong r_{\pi 4}$ را جایگزین کنیم و بنابراین به دست آوریم:

$$R_o = r_{o4}(1 + g_{m4} r_{\pi 4})$$
$$= r_{o4}(1 + \beta_4) \cong \beta_4 r_{o4}$$

چون هر دو قطعه در جریان یکسانی ($I/2$) تغذیه می‌شوند، شاخصه‌های سیگنال کوچک متناظرشان مساوی است و بنابراین می‌توانیم اندیس‌ها را حذف کرده، R_o را بصورت زیر بیان کنیم:

$$R_o \cong \beta r_o \qquad (۶-۸۵)$$

از این‌رو مقاومت خروجی پیکربندی کاسکود β برابر مقاومت خروجی تقویت‌کننده امیتر مشترک است[1]. شکل (۶-۲۸) یک تقویت کننده تفاضلی cascode با بار فعال است که در آن از آینه جریان ویلسون استفاده شده است. مقادیر جریان حاصل از اعمال سیگنال ورودی تفاضلی



شکل ۶-۲۸. یک تقویت کننده تفاضلی cascode با بار فعال آینه جریان ویلسون

v_d و با فرض $\alpha_3 = \alpha_4 \approx 1$ در شکل نشان داده شده است. اگر چه این جریان‌ها در مدار اساسی شکل (۶-۲۵) اختلافی ندارند، در این جا بعلت وجود تقویت کننده cascode و منبع ویلسون، مقاومت در گره خروجی بیشتر است. مقادیر مقاومت‌ها نیز در شکل (۶-۲۷) مشخص شده است. بهره ولتاژ بصورت زیر است:

$$\frac{v_o}{v_d} = \frac{1}{3}\beta \left(\frac{V_A}{V_T}\right) \qquad (۶-۸۶)$$

بهره فوق از بهره مدار اساسی به اندازه ضریب ($\frac{2}{3}\beta$) بیشتر است. مدار cascode با MOSFETها نیز قابل پیاده‌سازی است، که این مطلب را در ادامه نشان خواهیم داد.

تمرینها

۶-۱۲ در تقویت‌کننده تفاضلی با بار فعال در شکل (۶-۲۵) که با جریان $I = 0.2\text{mA}$ تغذیه شده و در صورتی که BJT ها دارای $\beta = 200$ و $V_A = 100\ \text{V}$ می‌باشند، مقادیر R_i، G_m، R_o و بهره ولتاژ مدار باز را بیابید.

جواب. ۱۰۰ kΩ؛ ۴ mA/V؛ ۰/۵ MΩ؛ ۲۰۰۰ V/V

۶-۱۳ تمرین ۶-۱۲ را تکرار کنید. اما یک تقویت‌کننده کاسکود، را به جای زوج تفاضلی به کار ببرید. مقاومت خروجی تقویت کاسکود چقدر است؟

جواب. ۱۰۰ kΩ؛ ۴ mA/V؛ ۱ MΩ؛ ۴۰۰۰ V/V؛ ۲۰۰ MΩ

۶-۱۴ تمرین ۶-۱۲ را تکرار کنید اما به جای زوج تفاضلی، یک تقویت‌کننده کاسکود به کار ببرید و بار آینه جریان اساسی را با آینه جریان ویلسون عوض کنید.

جواب. ۱۰۰ kΩ؛ ۴ mA/V؛ ۶۶/۷ mΩ؛ 2.67×10^5 V/V. ❑

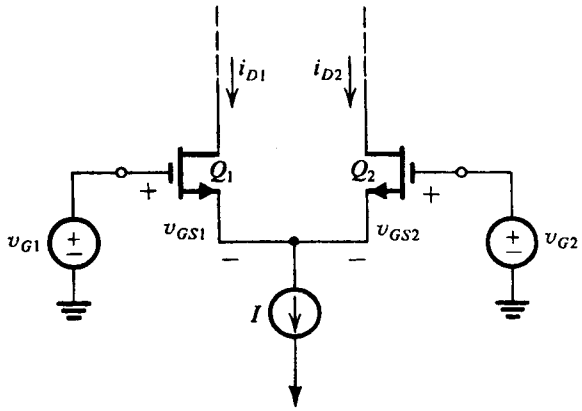
۶-۶ تقویت‌کننده‌های تفاضلی MOS

در دهه گذشته، ترانزیستور MOS در طراحی مدارهای مجتمع آنالوگ بسیار مهم بوده است. تاکنون بعضی از مدارهای تقویت‌کننده مدار مجتمع MOS را در فصل ۵ بررسی کرده‌ایم. بر اساس این مطلب، در این بخش زوج تفاضلی MOS توضیح داده می‌شود که مهمترین قسمت در IC های MOS می‌باشد. همچنین درباره آینه‌های جریان MOS بحث خواهیم کرد که برای تغذیه و بار زوج تفاضلی استفاده می‌شود. این بخش با مباحثی درباره تقویت‌کننده تفاضلی MOS با بار فعال به پایان می‌رسد.

زوج تفاضلی MOS

شکل (۶-۲۹) اساس زوج تفاضلی MOS را نشان می‌دهد. این مدار از دو MOSFET افزایشی Q_1 و Q_2 تشکیل شده که با منبع جریان ثابت I

۱- در این مرحله از r_μ مربوط به $Q3$ چشمپوشی کرده‌ایم. این مقاومت بصورت موازی با R_o ظاهر می‌شود. بنابراین تخمین بهتری از R_o، $R_o = \beta r_o \| r_\mu$ می‌باشد.



شکل ۲۹-۶. زوج تفاضلی MOSFET

بایاس شده است. Q_2 معمولاً مانند، مدارهای BJT بصورت آینه جریان بسته می‌شود. توجه داشته باشید که بارهای تقویت‌کننده‌های تفاضلی نشان داده نشده است. در این جا منظور ربط‌دادن جریان درین به ولتاژ ورودی است. البته، فرض بر این است که مدار بار به گونه‌ای است که زوج MOSFET زوج تفاضلی در ناحیه اشباع کار می‌کنند.

با فرض آنکه دو قطعه یکسانند و از مقاومت خروجی و تأثیر بدنه آنها چشم‌پوشی شود، می‌توانیم جریان درین را بصورت زیر بیان کنیم.

$$i_{D1} = \frac{1}{2} k_n' \frac{W}{L} (v_{GS1} - V_t)^2 \qquad (۶-۸۷)$$

$$i_{D2} = \frac{1}{2} k_n' \frac{W}{L} (v_{GS2} - V_t)^2 \qquad (۶-۸۸)$$

معادلات (۶-۸۷) و (۶-۸۸) را می‌توان بصورت زیر نوشت:

$$\sqrt{i_{D1}} = \sqrt{\frac{1}{2} k_n' \frac{W}{L}} (v_{GS1} - V_t) \qquad (۶-۸۹)$$

$$\sqrt{i_{D2}} = \sqrt{\frac{1}{2} k_n' \frac{W}{L}} (v_{GS2} - V_t) \qquad (۶-۹۰)$$

با تفریق معادله (۶-۹۰) از معادله (۶-۸۹) و قراردادن

$$v_{GS1} - v_{GS2} = v_{id}$$

که v_{id} ولتاژ ورودی تفاضلی است، به دست می‌آید:

$$\sqrt{i_{D1}} - \sqrt{i_{D2}} = \sqrt{\frac{1}{2} k_n' \frac{W}{L}} v_{id} \qquad (۶-۹۱)$$

منبع جریان تغذیه شامل محدودیت زیر است:

$$i_{D1} + i_{D2} = I \qquad (۶-۹۲)$$

معادلات (۶-۹۱) و (۶-۹۲) دو معادله‌اند که دو مجهول i_{D1} و i_{D2} دارند. آنها را می‌توان با هم حل کرد تا به دست آید:

$$i_{D1} = \frac{I}{2} + \sqrt{k_n' \frac{W}{L} I} \left(\frac{v_{id}}{2}\right) \sqrt{1 - \frac{(v_{id}/2)^2}{\left(I \Big/ k_n' \frac{W}{L}\right)}} \qquad (۶-۹۳)$$

$$i_{D2} = \frac{I}{2} - \sqrt{k_n' \frac{W}{L} I} \left(\frac{v_{id}}{2}\right) \sqrt{1 - \frac{(v_{id}/2)^2}{\left(I \Big/ k_n' \frac{W}{L}\right)}} \qquad (۶-۹۴)$$

در نقطه تغذیه (سکون)، $v_{id} = 0$ منجر می‌شود به

$$i_{D1} = i_{D2} = \frac{I}{2} \qquad (۶-۹۵)$$

متناظر با آن

$$v_{GS1} = v_{GS2} = V_{GS}$$

که در آن

$$\frac{I}{2} = \frac{1}{2} k_n' \frac{W}{L} (V_{GS} - V_t)^2 \qquad (۶-۹۶)$$

این رابطه را با دوباره‌نویسی معادلات (۶-۹۳) و (۶-۹۴) بصورت زیر می‌توان به کار برد:

$$i_{D1} = \frac{I}{2} + \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_t}\right)^2} \qquad (۶-۹۷)$$

$$i_{D2} = \frac{I}{2} - \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_t}\right)^2} \qquad (۶-۹۸)$$

به ازای $v_{id}/2 << V_{GS} - V_t$ (تقریب سیگنال کوچک)

$$i_{D1} \cong \frac{I}{2} + \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \qquad (۶-۹۹)$$

$$i_{D2} \cong \frac{I}{2} - \left(\frac{I}{V_{GS} - V_t}\right)\left(\frac{v_{id}}{2}\right) \qquad (۶-۱۰۰)$$

از فصل ۵ به یاد داریم که یک MOSFET که با جریان درین I_D تغذیه می‌شود دارای $g_m = 2 I_D / (V_{GS} - V_t)$ است؛ به این ترتیب می‌بینیم که برای هر ترانزیستور در زوج تفاضلی:

$$g_m = \frac{2\,(I/2)}{V_{GS} - V_t} = \frac{I}{V_{GS} - V_t} \qquad (۶-۱۰۱)$$

و معادله‌های (۶-۹۹) و (۶-۱۰۰) به سادگی بیان می‌کنند که به ازای سیگنالهای ورودی تفاضلی کوچک $v_{id} << 2\,(V_{GS} - V_t)$، جریان در Q_1 به اندازه i_d افزایش می‌یابد و جریان در Q_2 به اندازه i_d کاهش می‌یابد. که در آن:

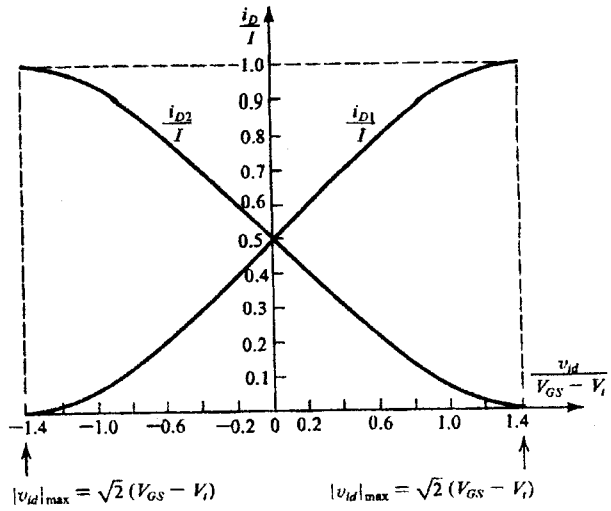
$$i_d = g_m\,(v_{id}/2) \qquad (۶-۱۰۲)$$

با مراجعه به معادله‌های (۶-۹۷) و (۶-۹۸)، مقدار v_{id} که در آن سوئیچینگ کامل روی می‌دهد (یعنی $i_{D1} = I$ و $i_{D2} = 0$ و یا برعکس به ازای v_{id} منفی) را می‌توانیم پیدا کنیم اگر عبارت دوم معادله (۶-۹۷) را مساوی $I/2$ قرار دهیم. نتیجه عبارت است از:

$$|v_{id}|_{\max} = \sqrt{2}\,(V_{GS} - V_t) \qquad (۶-۱۰۳)$$

شکل (۶-۳۰) نموداری از جریانهای i_{D1}/I و i_{D2}/I را در مقابل ولتاژ ورودی تفاضلی بهنجار $v_{id} / (V_{GS} - V_t)$ نشان می‌دهد.

سرانجام، ملاحظه می‌کنیم که به ازای سیگنالهای ورودی تفاضلی، هر MOSFET زوج به صورت یک تقویت‌کننده سورس مشترک عمل می‌کند و بنابراین دارای یک مقاومت خروجی برابر با r_o می‌باشد.



شکل ۳۰-۶. ترسیم‌های نرمال‌شده جریانهای زوج تفاضلی MOSFET. توجه کنید V_{GS} ولتاژ گیت به سورس است هنگامی که جریان درین مساوی جریان بایاس dc ($I/2$) باشد.

تمرین

۶-۱۵ یک تقویت‌کننده تفاضلی MOS دارای جریان تغذیه $I = 25\mu A$ است. این قطعه دارای $V_t = 1V$، $W = 120\mu m$، $L = 6\mu m$ و $(\mu_n C_{ox})$ برای این تکنولوژی $20\ \mu A/V^2$ است. V_{GS}، g_m و مقدار v_{id} را برای تمام جریان سوئیچینگ بیابید.

جواب. ۰/۳۵ V؛ ۰/۱ mA/V؛ ۱/۲۵ V ❑

ولتاژ افست

سه عامل در ولتاژ افست dc زوج تفاضلی MOS سهم دارند: عدم تطابق مقاومتهای بار، عدم تطابق در W/L، و عدم تطابق در V_t. این سه عامل را یک به یک بررسی می‌کنیم.

زوج تفاضلی شکل (۳۱-۶) را درنظر بگیرید که در آن برای سادگی تحلیل از بارهای مقاومتی استفاده شده است. چون هر دو ورودی به زمین وصل شده‌اند، ولتاژ خروجی V_O، ولتاژ افست خروجی dc است. ابتدا حالتی را درنظر بگیرید که Q_1 و Q_2 کاملاً درتطابقند اما در R_{D1} و R_{D2} یک عدم تطابق ΔR_D نشان می‌دهد.

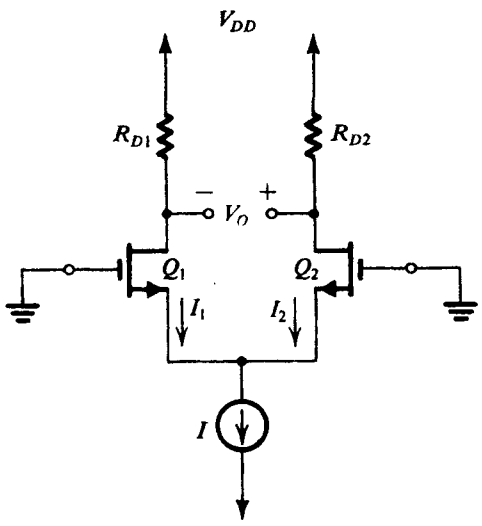
$$R_{D1} = R_D + \left(\frac{\Delta R_D}{2}\right) \qquad (۶-۱۰۴)$$

$$R_{D2} = R_D - \left(\frac{\Delta R_D}{2}\right) \qquad (۶-۱۰۵)$$

جریان I به تساوی بین Q_1 و Q_2 تقسیم می‌شود. با این وجود، بعلت عدم تطابق مقاومتهای بار، ولتاژ خروجی بصورت زیر به دست خواهد آمد:

$$V_O = \left(\frac{I}{2}\right)\Delta R_D \qquad (۶-۱۰۶)$$

ولتاژ افست ورودی متناظر از تقسیم V_O به بهره $g_m R_D$ و قراردادن g_m



شکل ۳۱-۶. زوج تفاضلی MOS با ورودیهای زمین‌شده، خروجی V_O، ولتاژ افست dc ی خروجی است.

از معادله (۱۰۱-۶)، به دست می‌آید. نتیجه چنین است:

$$V_{OS} = \left(\frac{V_{GS} - V_t}{2}\right)\left(\frac{\Delta R_D}{R_D}\right) \qquad (۶-۱۰۷)$$

سپس تأثیر عدم تطابق در نسبت‌های W/L قطعات Q_1 و Q_2 را در نظر بگیرید:

$$\left(\frac{W}{L}\right)_1 = \frac{W}{L} + \frac{1}{2}\Delta\left(\frac{W}{L}\right) \qquad (۶-۱۰۸)$$

$$\left(\frac{W}{L}\right)_2 = \frac{W}{L} - \frac{1}{2}\Delta\left(\frac{W}{L}\right) \qquad (۶-۱۰۹)$$

جریان I_1 و I_2 دیگر مساوی نخواهند بود؛ بلکه بسادگی نشان داده می‌شود که

$$I_1 = \frac{I}{2} + \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \qquad (۶-۱۱۰)$$

$$I_2 = \frac{I}{2} - \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \qquad (۶-۱۱۱)$$

با تقسیم نمو (افزایش) جریان

$$\frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right)$$

بر g_m نصف ولتاژ افست ورودی (به دلیل عدم تطابق مقادیر (W/L) به دست می‌آید. بنابراین

$$V_{OS} = \left(\frac{V_{GS} - V_t}{2}\right)\left(\frac{\Delta(W/L)}{(W/L)}\right) \qquad (۶-۱۱۲)$$

سرانجام، تأثیر عدم تطابق ΔV_t را بین دو ولتاژ آستانه درنظر می‌گیریم:

$$V_{t1} = V_t + \frac{\Delta V_t}{2} \qquad (۶-۱۱۳)$$

$$V_{t2} = V_t - \frac{\Delta V_t}{2} \qquad (۶-۱۱۴)$$

جریان I_1 از رابطه زیر به دست می‌آید:

$$I_1 = \frac{1}{2} k'_n \frac{W}{L}\left(V_{GS} - V_t - \frac{\Delta V_t}{2}\right)^2$$
$$= \frac{1}{2} k'_n \frac{W}{L}(V_{GS} - V_t)^2 \left[1 - \frac{\Delta V_t}{2(V_{GS} - V_t)}\right]^2$$

که به ازای $\Delta V_t << 2(V_{GS} - V_t)$، بصورت زیر می‌توان آنرا تقریب کرد.

$$I_1 \cong \frac{1}{2} k'_n \frac{W}{L}(V_{GS} - V_t)^2 \left(1 - \frac{\Delta V_t}{V_{GS} - V_t}\right)$$

مشابه آن:

$$I_2 \cong \frac{1}{2} k'_n \frac{W}{L}(V_{GS} - V_t)^2 \left(1 + \frac{\Delta V_t}{V_{GS} - V_t}\right)$$

نتیجه می‌شود که:

$$\frac{1}{2} k'_n \frac{W}{L}(V_{GS} - V_t)^2 = \frac{I}{2}$$

و افزایش (کاهش) جریان در Q_2 (Q_1) برابر است با:

$$\Delta I = \frac{I}{2} \times \frac{\Delta V_t}{V_{GS} - V_t}$$

از تقسیم ΔI بر g_m نصف ولتاژ افست ورودی (به دلیل ΔV_t) به دست می‌آید. بنابراین:

$$V_{OS} = \Delta V_t \qquad (۶-۱۱۵)$$

در تکنولوژی MOS گیت سیلیکونی جدید، ΔV_t به راحتی می‌تواند به ۲ mV برسد. ملاحظه می‌کنیم که ΔV_t هیچ همتایی در تقویت تفاضلی BJT ندارد. همچنین مقایسه V_{OS} زوج تفاضلی MOS در معادله‌های (۶-۱۰۷) و (۶-۱۱۲) با V_{OS} زوج تفاضلی BJT در معادله‌های (۶-۴۹) و (۶-۵۴)، نشان می‌دهد که ولتاژ افست در زوج MOS بزرگتر است زیرا $(V_{GS}-V_t)/2$ معمولاً بسیار بزرگتر از V_T می‌باشد. در خاتمه از معادله‌های (۶-۱۰۷) و (۶-۱۱۲) ملاحظه می‌کنیم که برای کوچک نگهداشتن V_{OS}، سعی می‌شود Q_1 و Q_2 در مقادیر پایین‌تر از $V_{GS} - V_t$ کار کنند.

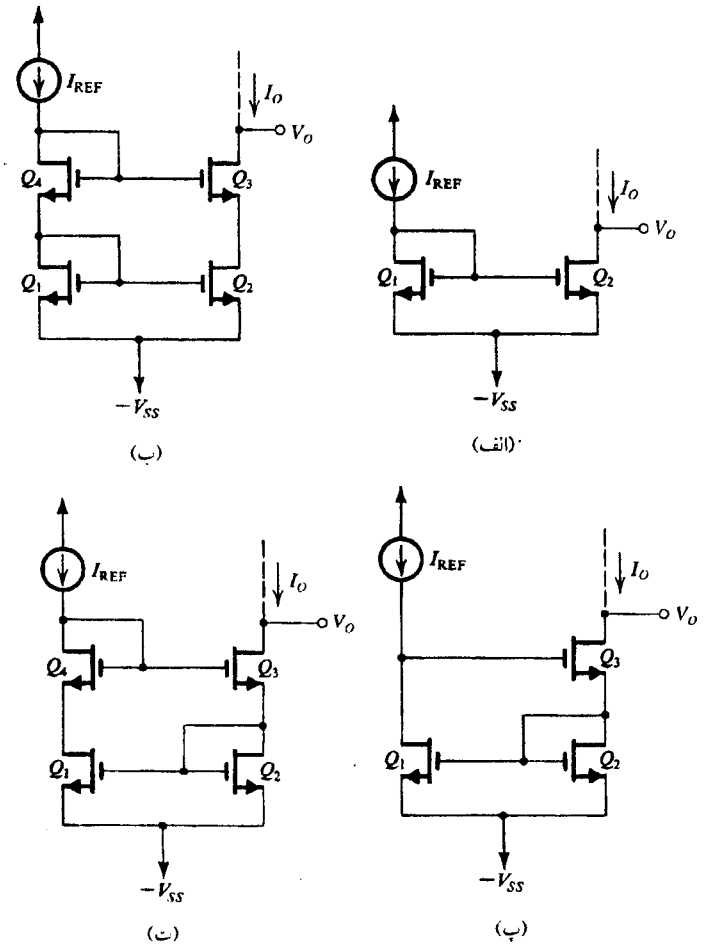
تمرین

۶-۱۶ در زوج تفاضلی MOS توضیح داده شده در تمرین ۶-۱۵، سه مؤلفه ولتاژ افست ورودی را بیابید. فرض کنید $\Delta R_D/R_D = \%2$، $\Delta(W/L)/(W/L) = \%2$ و $\Delta V_t = 2$ mV باشد.

جواب. ۲/۵ mV؛ ۲/۵ mV؛ ۲ mV ❑

آینه‌های جریان

مانند مدارهای مجتمع BJT، از آینه‌های جریان در طراحی منابع جریان برای تغذیه استفاده می‌شود تا به مثابه بارهای فعال به خوبی کار کند. مدار آینه جریان MOS که در شکل (الف ۶-۳۲) نشان داده شده در بخش ۶-۹ بررسی شده است، نادقیق‌بودن نسبت انتقال جریان به دلیل βی محدود BJT در آینه‌های MOS همانندی ندارد. بنابراین تنها پارامتر عملی مورد توجه مقاومت خروجی است. در آینه ساده شکل (الف ۶-۳۲)،



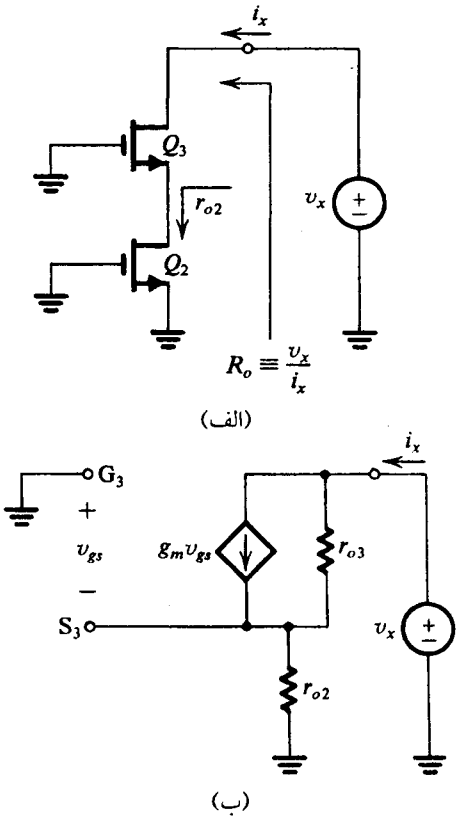
شکل ۶-۳۲. آینه جریان MOS: (الف) اساسی (ب) متوالی (پ) ویلسون (ت) ویلسون اصلاح شده

مقاومت خروجی تقریباً معادل r_{o2} است و ولتاژ خروجی می‌تواند در محدودهٔ V_{DSsat} تغذیه منفی نوسان نماید.

مقاومت خروجی را با استفاده از مدار کاسکود شکل (ب ۶-۳۲) یا آینه ویلسون شکل (پ ۶-۳۲) می‌توان افزایش داد. برای تعیین مقاومت خروجی از آینه جریان، از مدار معادل شکل (الف ۶-۳۳) استفاده می‌کنیم. توجه کنید که چون نمو (افزایش) مقاومت هریک از ترانزیستورهای اتصال دیودی Q_1 و Q_4 برابر با $1/g_m$ است و بنابراین نسبتاً کوچک است، فرض کرده‌ایم که ولتاژهای سیگنال در گیت‌های Q_2 و Q_3 تقریباً صفر هستند. از جایگزینی Q_2 به جای مقاومت خروجی r_{o2} و جایگزینی Q_3 به جای مدل مدار معادل آن، مدار شکل (ب ۶-۳۳) بدست می‌آید. تحلیل این مدار ساده است و منجر می‌شود به:

$$R_o \equiv \frac{v_x}{i_x} = r_{o3} + r_{o2} + g_{m3} r_{o3} r_{o2} \cong (g_{m3} r_{o3}) r_{o2} \qquad (۶-۱۱۶)$$

توجه کنید که این نتیجه را می‌توان با استفاده از معادله (۶-۷۸) با $r_\pi = \infty$ و بنابراین $R'_E = r_{o2}$ به دست آورد. معادله (۶-۱۱۶) بسادگی می‌گوید که کاسکود ترانزیستور Q_2 با ترانزیستور Q_3، مقاومت خروجی را از r_{o2} به $(g_{m3} r_{o3}) r_{o2}$ افزایش می‌دهد؛ افزایشی با ضریب $g_{m3} r_{o3}$ این ضریب معمولاً بین ۲۰ تا ۱۰۰ است و بنابراین عدد قابل توجهی برای افزایش



شکل ۳۳-۶. تعیین مقاومت خروجی آینهٔ cascode شکل (ب ۳۲-۶) توجه کنید برای ساده‌کردن کار فرض می‌کنیم ترانزیستورهای اتصال - دیودی Q_1 و Q_4 مقاومتهای کمی داشته و بنابراین آنها را اتصال کوتاه می‌کنیم.

مقاومت خروجی است، نتایج مشابهی از مدار ویلسون در شکل (پ ۳۲-۶) به دست می‌آید. البته، مدار ویلسون این مشکل را دارد که در آن ولتاژهای درین Q_1 و Q_2 برابر نبوده و بنابراین جریان‌ها نابرابر خواهند بود. این مشکل را با قراردادن ترانزیستور اتصال دیودی Q_4 مطابق شکل (ت ۳۲-۶) می‌توان برطرف کرد.

آینه جریان Cascode و آینه ویلسون اصلاح شده دچار عیب کاهش نوسان مجاز سیگنال هستند. برای دیدن این نکته، مدار Cascode شکل (ب ۳۲-۶) را در نظر گرفته، فرض کنید همه ترانزیستورها مانند هم بوده و V_{GS} مساوی داشته باشند. یادآوری می‌کنیم که ولتاژ گیت Q_3 به اندازه $2V_{GS}$ از تغذیه منفی بیشتر است. برای در اشباع ماندن Q_3، ولتاژ درین آن (که ولتاژ خروجی آینه یعنی V_o است) باید به اندازه بیش از V_t ولت، پایین‌تر از ولتاژ گیت باشد. بنابراین کمترین مقدار مجاز V_t ولت، پایین‌تر از ولتاژ گیت باشد. بنابراین کمترین مقدار مجاز V_o، به اندازه $(2V_{GS} - V_t)$ بیش از $-V_{SS}$ می‌باشد. این مقدار، به اندازه V_{GS} ولت بیش از مقدار متناظر در آینه ساده است، بنابراین Cascode باعث می‌شود که نوسان سیگنال به میزان V_{GS} ولت افت کند (که در تکنولوژی‌های جدید حدود ۱ تا ۱/۵ ولت است). از آن جا که ولتاژ منبع تغذیه باید تا حد امکان پایین باشد، این امر یک محدودیت جدی در طراحی به شمار می‌آید.

تمرین

۶-۱۷ مدار آینه جریان شکل (الف ۳۲-۶) را با $V_{SS} = -5$ V و $I_{REF}=10\mu A$ درنظر بگیرید. فرض کنید Q_1 و Q_2 همانند باشند و دارای $V_t=1$V، $\mu_n C_{ox}=20\mu A/V^2$، $L=10\mu m$، $W=40\mu m$، و $V_A=20$ V است. مقاومت خروجی V_{GS} و کمترین ولتاژ خروجی مجاز را بیابید.

جواب. ۲ MΩ؛ ۱/۵ V؛ −۴/۵ V.

۶-۱۸ تمرین ۶-۱۷ را برای آینه کاسکود شکل (ب ۳۲-۶) تکرار کنید، با فرض اینکه همه قطعات یکسان هستند.

جواب. ۱۶۴ MΩ؛ ۱/۵ V؛ −۳ V ❑

یک تقویت‌کننده CMOS با بار فعال

این بخش را با بحثی درباره صورت عمومی یک تقویت‌کننده تفاضلی در تکنولوژی CMOS به پایان می‌بریم. این مدار که در شکل (۳۴-۶) نشان داده شده، شامل زوج تفاضلی Q_1 و Q_2 است. بار این مدار، آینه جریان بوجود آمده از Q_3 و Q_4 است. ولتاژ تغذیه dc در خروجی معمولاً بوسیله طبقه تقویت‌کننده بعدی تعیین می‌شود که در فصل ۱۰ نشان داده خواهد شد.

این مدار مشابه مدار BJT شکل (۲۵-۶) است. جریان سیگنال i از رابطه زیر به دست می‌آید:

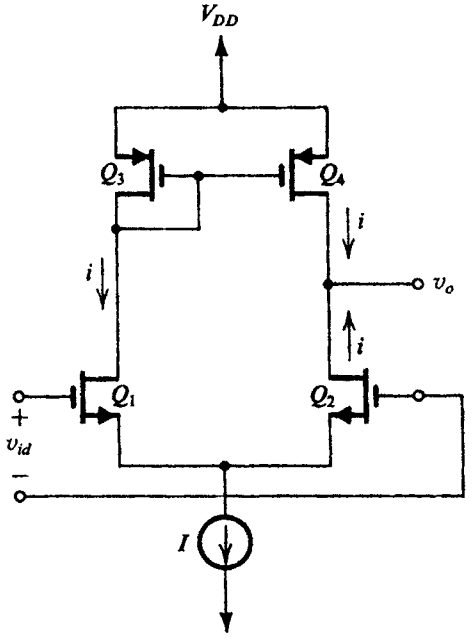
$$i = g_m (v_{id}/2)$$

که در آن داریم:

$$g_m = \frac{I}{V_{GS} - V_t}$$

ولتاژ سیگنال خروجی از رابطه زیر به دست می‌آید:

$$v_o = 2i\,(r_{o2} \,//\, r_{o4})$$



شکل ۳۴-۶. یک تقویت‌کننده تفاضلی با بار فعال در تکنولوژی CMOS

برای

$$r_{o2} = r_{o4} = r_o = \frac{V_A}{I/2}$$

ولتاژ خروجی می‌شود:

$$v_o = 2i(r_o/2) = ir_o = g_m(v_{id}/2)\, r_o$$

و بهره ولتاژ می‌شود:

$$A_v \equiv \frac{v_o}{v_{id}} = g_m\frac{r_o}{2}$$

$$= \frac{V_A}{V_{GS} - V_t} \qquad (۶-۱۱۷)$$

که در واقع نسبت ولتاژ ارلی به ولتاژ موثر $V_{eff} = V_{GS} - V_t$ در ترانزیستورهای در حال کار زوج تفاضلی است. در تکنولوژی‌های جدید بهره بین ۲۰ تا ۱۰۰ به دست می‌آید. برای به دست آوردن بهره ولتاژ بیشتر، از یک آینه جریان کاسکود و یک طبقه تفاضلی کاسکود دیگر می‌توان استفاده کرد. این امر بهره ولتاژ را با ضریب تقریباً ۱۰۰ افزایش می‌دهد، اما نوسان سیگنال خروجی مجاز را کاهش می‌دهد. در فصل ۱۰ درباره تقویت‌کننده‌های تفاضلی CMOS مطالبی بیشتری ارائه خواهد شد.

تمرین

۶-۱۹ بهره ولتاژ تقویت‌کننده تفاضلی مدار شکل (۶-۳۴) را در شرایط زیر به دست آورید:
$I = 25\ \mu A$ ، $V_t = 1\ V$ ، $W_1 = W_2 = 120\mu m$ ، $L_1 = L_2 = 6\ \mu m$ ، $\mu_n C_{ox} = 20\ \mu A/V^2$ ، $V_A = 20\ V$.

جواب. ۸۰ V/V. ❑

۶-۷ تقویت‌کننده BiCMOS

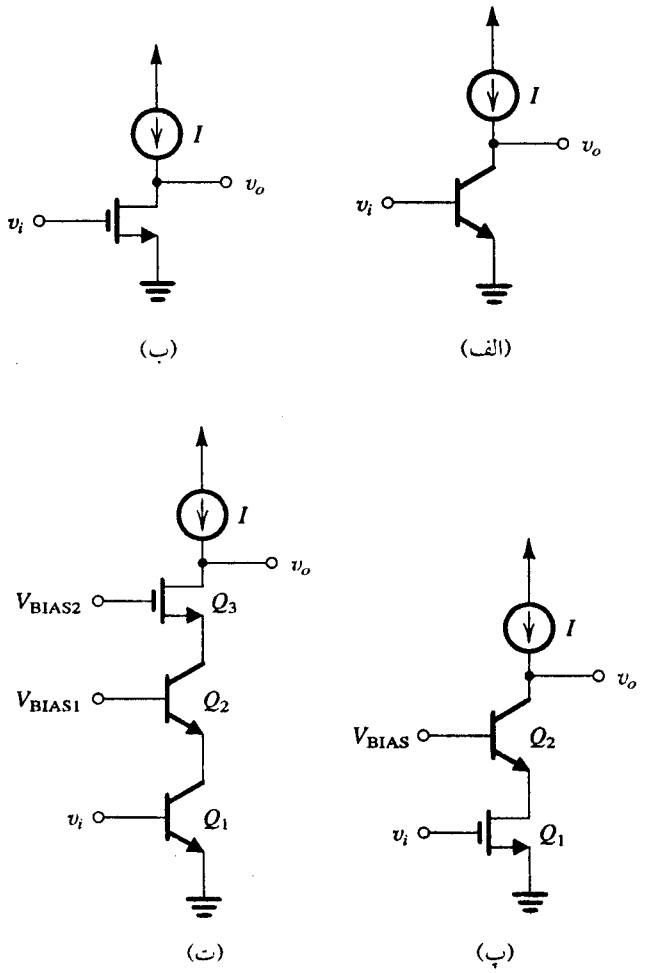
برای طراحی تقویت‌کننده‌های مجتمع و مدارهای آنالوگ دیگر دو تکنولوژی اساسی وجود دارد: تکنولوژی دو قطبی بر اساس BJT ، و تکنولوژی CMOS بر اساس ترانزیستورهای NMOS و PMOS . مزیت BJT بر MOSFET هدایت انتقالی بزرگتر (g_m) در جریان تغذیه dc مساوی است. بنابراین بهره ولتاژ بسیار زیادتری در یک طبقه تقویت‌کننده ترانزیستوری دوقطبی از مدار MOSFET متناظر آن بوجود می‌آید. همچنین چنانکه در فصل بعد خواهیم دید، عملکرد فرکانس بالای تقویت‌کننده دو قطبی از MOS همانند خود بهتر است.

از سوی دیگر، در عمل مقاومت ورودی نامحدود گیت MOSFET موجب می‌شود تا طراحی تقویت‌کننده‌های MOS با مقاومت زیاد ورودی و جریان تغذیه ورودی تقریباً صفر ممکن شود. همچنین، MOSFET در عمل یک سوئیچ عالی است؛ در حالی که یک BJT اشباع شده دارای چند دهم ولت ولتاژ افست است، مشخصه‌های $i-v$ و MOSFET دقیقاً از مبدأ می‌گذرد و افست صفر را به دست می‌دهد. دسترسی به سوئیچ‌های خوب در تکنولوژی CMOS موجب می‌شود تا استفاده از روشهای مدار آنالوگ در طراحی مداراتی از قبیل مبدلهای داده (فصل ۱۰) و فیلترها (فصل ۱۱) ممکن باشد، CMOS همچنین در حال حاضر پر استفاده‌ترین تکنولوژی مدار دیجیتال است.

از این رو ملاحظه می‌شود که هریک از دو تکنولوژی مداری، BJT و CMOS ، دارای مزایا و محدودیتهای خاص خود است. در تکنولوژی IC که دو نوع قطعه را تلفیق می‌کند، اجازه می‌دهد که هر مدار برای کاری که در آن مناسب‌تر است استفاده شود. هم‌اکنون چنین تکنولوژیی را BiCMOS می‌نامیم. این تکنولوژی در طراحی تراشه‌های دیجیتال و آنالوگ به همان اندازه ترکیب مدارهای دیجیتال و آنالوگ مفید هستند. مدارهای تقویت‌کننده BiCMOS در این بخش مطالعه می‌شود.

اساس طبقات تقویت‌کننده

قبل از بررسی دو طبقه تقویت‌کننده BiCMOS ، اساس تقویت‌کننده‌های MOS و BJT را بررسی می‌کنیم. شکل (الف ۳۵-۶) یک تقویت‌کننده امیتر مشترک BJT با بار فعال نشان می‌دهد. این مدار می‌تواند به تنهایی استفاده شود و یا به مثابه نیم مدار تفاضلی یک تقویت‌کننده تفاضلی درنظر گرفته شود. با فرض آنکه بار منبع جریان دارای مقاومت نموی (افزایشی) نامحدود باشد، مقاومت کل در کلکتور، مقاومت خروجی



شکل ۳۵-۶. طبقات تقویت‌کننده با بار فعال اساسی: (**الف**) دو قطبی (**ب**) MOS (**پ**) BiCMOS حاصل از ترکیب Q_1 با BJT ی Q_2 ، (**ت**) cascode BiCMOS دو برابر

BJT ، r_o، است و بنابراین بهره ولتاژ به دست آمده چنین است:

$$\frac{v_o}{v_i} = -g_m r_o \qquad (۶-۱۱۸)$$

$$= -\frac{I_C}{V_T}\frac{V_A}{I_C} = -\frac{V_A}{V_T} \qquad (۶-۱۱۹)$$

این مقدار بالاترین بهره‌ای است که از یک طبقه CE به دست می‌آید. معمولاً $V_A = ۵۰$ V است و چون $V_T = ۰/۰۲۵$ V است، در دمای اتاق **بهره ذاتی** طبقه CE حدود ۲۰۰۰ V/V می‌باشد. یک عیب این مدار مقاومت ورودی پایین، تقریباً برابر با r_πی BJT است.

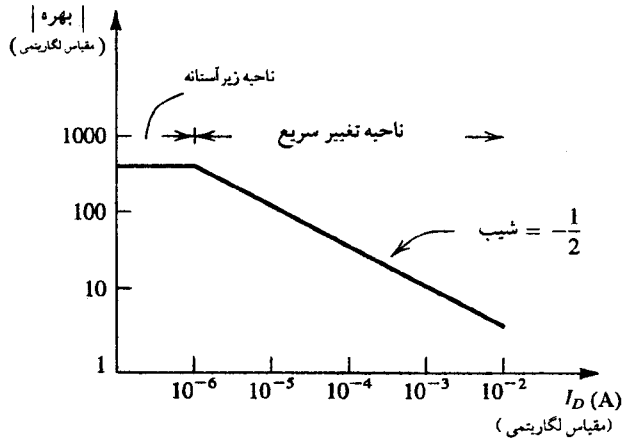
طبقه تقویت‌کننده MOSFET متناظر آن در شکل (ب ۳۵-۶) مشاهده می‌شود که در آن بهره ولتاژ برابر است با

$$\frac{v_o}{v_i} = -g_m r_o \qquad (۶-۱۲۰)$$

$$= -\sqrt{۲\mu_n C_{ox}(W/L)I}\Big/\lambda I$$

$$= -\frac{\sqrt{۲\mu_n C_{ox}(W/L)}}{\lambda\sqrt{I}} \qquad (۶-۱۲۱)$$

که در آن λ ضریب مدولاسیون طول کانال و $\lambda = ۱/V_A$ است. ملاحظه می‌کنیم که بر خلاف مدار BJT که بهره مستقل از مقدار جریان تغذیه است، بهره تقویت‌کننده MOSFET نسبت عکس با $\sqrt{I}$ دارد. شکل (۳۶-۶) نموداری از بهره ولتاژ در برابر جریان تغذیه نشان می‌دهد؛ که از آن متوجه می‌شویم که با کاهش جریان، بهره افزایش می‌یابد. در جریانهای خیلی کم، MOSFET به ناحیه زیرآستانه کار وارد می‌شود و بهره ثابت می‌گردد. باید توجه شود که اگرچه بهره بالاتر با کاهش سطح جریان تغذیه dc به دست می‌آید، بهای این کار کاهشی است که در پهنای باند تقویت‌کننده روی می‌دهد (فصل ۷).



شکل ۳۶-۶. بهرهٔ ولتاژ تقویت‌کنندهٔ سورس مشترک با بار فعال نسبت‌به جریان بایاس I_D. بیرون از ناحیه زیرآستانه این ترسیم، معادلهٔ (۱۲۱-۶) را در حالت $\mu_n C_{ox}=۲۰\mu A/V^۲$، $\lambda=۰/۰۵V^{-۱}$، $L=۲\mu m$ و $W=۲۰\mu m$ به تصویر می‌کشد.

چون برای جریان تغذیه I یکسان، g_m ترانزیستور MOS بسیار کمتر از BJT است و بعلاوه چون مقدار V_A و r_o متناظر BJT بزرگتر از MOSFET است (که V_A معمولاً ۲۰ V می‌باشد)، بهره ذاتی طبقه MOSFET معمولاً اندازه‌ای کمتر از اندازه تقویت‌کننده BJT است، البته، تقویت‌کننده MOSFET دارای مزایای مقاومت ورودی بی‌نهایت است.

تمرین

۶-۲۰ به ازای $I = ۱۰۰\mu A$، مطلوبست g_m، R_i، r_o، و بهره ولتاژ طبقات تقویت‌کننده CE و CS شکلهای (الف و ب ۳۵-۶). در BJT : $V_A = ۵۰V$ ، $\beta = ۱۰۰$. در MOSFET : $\lambda = ۰/۰۵\ V^{-۱}$ ، $\mu_n C_{ox} = ۲۰ mA/V^۲$، $L = ۲\ \mu m$، و $W = ۲۰\ \mu m$.

جواب. BJT : $R_i=۲۵k\Omega$ ، $r_o=۵۰۰k\Omega$ ، $g_m=۴mA/V$ ، بهره=۲۰۰۰V/V- ، MOSFET : $g_m = ۰/۲$ mA/V ، $R_i = \infty$ ، $r_o = ۲۰۰k\Omega$ ، بهره = ۴۰V/V-. ❑

بهره تقویت‌کننده MOSFET با کاسکودکردن آن با ترانزیستور دو قطبی $Q_۲$، افزایش می‌یابد. همانطور که در مدار BiCMOS شکل (پ ۳۵-۶) نشان داده شده است. دو دلیل وجود دارد برای آنکه یک ترانزیستور دوقطبی نسبت به MOSFET برای قطعه کاسکود $Q_۲$ ترجیح داده شود: مقاومت خروجی بیشتر و بنابراین بهره ولتاژ بیشتر، و از آن مهمتر، با ترانزیستور BJT ، پهنای باند بزرگتر به دست می‌آید. نکته دوم وقتی ارزیابی می‌شود که پاسخ فرکانسی تقویت‌کننده کاسکود را در فصل ۷ بررسی کنیم. با اولین نگاه بهره تقویت‌کننده BiCMOS را می‌توانیم دریابیم چون جریان سیگنال درین $Q_۱$ برابر $g_{m۱}v_i$ است. یک جریان تقریباً مساوی (با فرض آنکه $\alpha_۲ \cong ۱$) در کلکتور $Q_۲$ جریان می‌یابد، و یک ولتاژ خروجی $-(g_{m۱}v_i)R_o$ را به دست می‌دهد، که R_o مقاومت خروجی کلکتور $Q_۲$ است. با فرض آنکه جریان تغذیه منبع I دارای نمو مقاومت نامحدود باشد، مقاومت R_o فقط با نظر از پشت به درون کلکتور $Q_۲$ است. اکنون $Q_۲$ در امیترش دارای یک مقاومت R_E برابر با $r_{o۱}$ است، و ما می‌توانیم از معادله (۷۸-۶) برای یافتن مقاومت خروجی با قراردادن $R'_E = r_{o۱} // r_{\pi۲} \cong r_{\pi۲}$ استفاده کنیم. نتیجه می‌شود:

$$R_o \cong \beta_۲ r_{o۲} \qquad (۶-۱۲۲)$$

بنابراین بهره ولتاژ می‌شود:

$$\frac{v_o}{v_i} = -g_{m۱}\beta_۲ r_{o۲} \qquad (۶-۱۲۳)$$

که می‌تواند بسیار زیاد باشد.

تمرین

۶-۲۱ با استفاده از مشخصات قطعه داده شده در تمرین ۲۰-۶، بهره ولتاژ تقویت‌کننده BiCMOS شکل (پ ۳۵-۶) را بیابید.

جواب. ۱۰۰۰۰ V/V - ❑

طبقه تقویت‌کننده BiCMOS دیگری در شکل (ت ۳۵-۶) نشان داده شده است. در اینجا تأکید بر به دست آوردن مقاومت خروجی بسیار زیاد، R_o، و بهره زیاد متناسب با آن، $g_{m1} R_o$ است. این کار با **کاسکودکردن دومرتبه‌ای** انجام می‌شود که مرحله دوم کاسکود با استفاده از یک MOSFET (Q_3) تحقق می‌یابد. علت استفاده از MOSFET آن است که یک ترانزیستور BJT مقاومت خروجی را بیش از مقدار قابل دسترسی در کلکتور Q_2 افزایش نمی‌دهد. مقاومت محدود بیس-امیتر r_π باعث می‌شود که R'_E در معادله (۷۸-۶) تقریباً مساوی r_π و مقاومت خروجی βr_o شود، یعنی همان مقداری که قبلاً در کلکتور Q_2 فراهم بود. از سوی دیگر MOSFET، مقاومت را با ضریب $g_{m3} r_{o3}$ (از معادله ۱۱۶-۶) افزایش می‌دهد؛ بنابراین

$$R_o = (g_{m3} r_{o3})(\beta_2 r_{o2}) \qquad (۶-۱۲۴)$$

و بهره ولتاژ برابر است با:

$$\frac{v_o}{v_i} = -g_{m1} g_{m3} r_{o3} \beta_2 r_{o2} \qquad (۶-۱۲۵)$$

برای آنکه از مقاومت خروجی تقویت‌کننده BiCMOS استفاده کامل برده باشیم، منبع جریان I بایستی با یک مدار با مقاومت خروجی بسیار زیاد وجود داشته باشد (مثلاً یک کاسکود یا یک آینه کاسکود جریان) و گره خروجی بایستی بوسیله یک سورس پیرو میانگیر شود.

تمرین

۶-۲۲ با توجه به مشخصات قطعه در تمرین ۲۰-۶، R_o و بهره ولتاژ تقویت‌کننده BiCMOS کاسکود دومرتبه‌ای شکل (ت ۳۵-۶) را بیابید.
جواب. ۲۰۰۰ MΩ؛ -8×10^6 V/V ❑

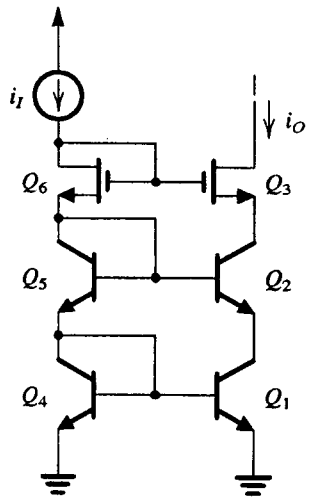
آینه‌های جریان

یک آینه جریان BiCMOS کاسکود دومرتبه‌ای که یک مقاومت خروجی بسیار زیاد ارائه می‌کند در شکل (۳۷-۶) نشان داده شده است. چنانچه فرض کنیم که مقاومت نموی (افزایشی) هریک از سه ترانزیستور اتصال دیودی (Q_4، Q_5 و Q_6) کوچک باشد، مقاومت خروجی آینه همان اندازه‌ای خواهد بود که برای مدار تقویت‌کننده شکل (ت ۳۵-۶) به دست می‌آید، یعنی همان که از معادله (۱۲۴-۶) به دست می‌آید. بنابراین، شاخصه بسیار با اهمیت این آینه مقاومت خروجی فوق‌العاده زیاد آن است.

تقویت‌کننده تفاضلی

از تحلیلهای ولتاژ افست زوج تفاضلی BJT در بخش (۳-۶) و از زوج تفاضلی MOS در بخش ۷-۶ می‌دانیم که V_{OS} برای تقویت‌کننده MOS (معمولاً ۱۰ mV) بزرگتر از آن تقویت‌کننده BJT (معمولاً ۱mV) است. این امر ناشی از دو عامل است:

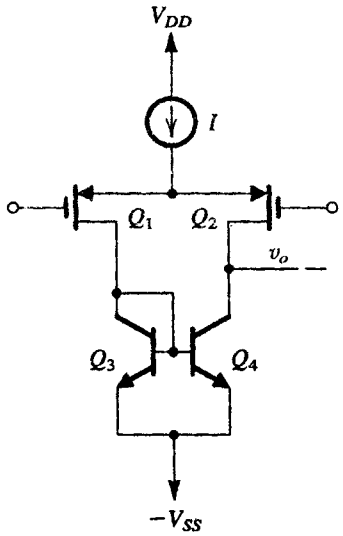
۱- زوج MOS مشکل عدم تطابق V_t دارد که به اندازه ۵ mV می‌باشد. در زوج BJT اثر همانند وجود ندارد.



شکل ۳۷-۶. آینه جریان کاسکود دو مرتبه‌ای BiCMOS

۲- مؤلفه‌های V_{OS} تقویت‌کنندهٔ MOS (علاوه بر آنکه ناشی از ΔV_t است) متناسب با $\frac{1}{2}(V_{GS} - V_t)$ می‌باشد که معمولاً ۰/۲ تا ۰/۵ ولت است. عامل متناظر آن در تقویت‌کننده BJT عبارت از ولتاژ حرارتی V_T می‌باشد که ۰/۰۲۵ V در دمای اتاق می‌باشد.

این موجب می‌شود که اگر ولتاژ افست ورودی یک نیاز جدی باشد، از یک زوج BJT استفاده شود، در غیر این صورت یک زوج تفاضلی MOS از نظر مقاومت خروجی (عملاً بی‌نهایت) و جریان تغذیه ورودی (صفر) می‌تواند مورد استفاده قرار گیرد. شکل (۳۸-۶) مدار یک تقویت‌کننده تفاضلی را نشان می‌دهد که از یک زوج PMOS ورودی و یک آینه BJT بعنوان مدار بار بهره می‌گیرد. چنین مداری می‌تواند بعنوان طبقه ورودی op-amp به کار رود. در فصل ۱۰ مطالب بیشتری راجع به مدارهای تقویت‌کننده عملیاتی BiCMOS ارائه خواهیم کرد. همچنین، مدارهای دیجیتال BiCMOS در فصل ۱۴ بررسی خواهد شد.



شکل ۳۸-۶. یک طبقه تقویت‌کننده تفاضلی BiCMOS با استفاده از زوج تفاضلی PMOS. برای مدار بار و طبقهٔ بعدی تقویت‌کننده (که نشان داده نشده‌اند) برای گسترش پهنای باند از BJT استفاده می‌شود.

۶-۸ تقویت‌کننده‌های GaAs

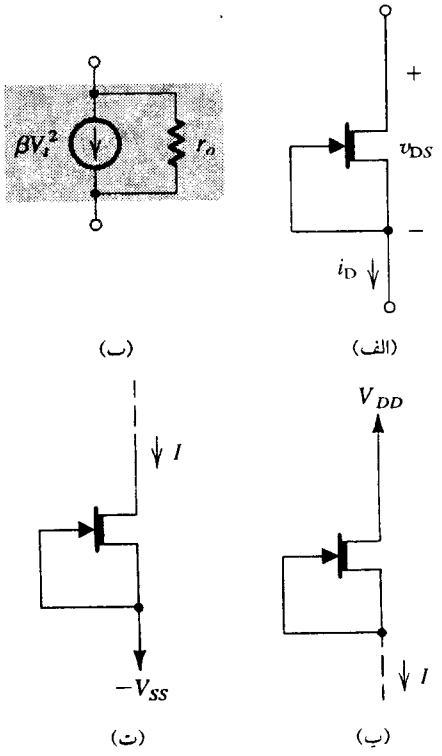
تکنولوژی گالیوم آرسناید (GaAs) طراحی تقویت‌کننده‌هایی باپهنای باند زیاد، حدود صدها مگاهرتز و حتی گیگا هرتز را ممکن ساخته است. در این بخش برخی از روشهای طراحی مدار را که در چند سال اخیر رونق داشته برای طراحی تقویت‌کننده‌های GaAs مطالعه می‌کنیم. چنانکه خواهیم دید، این روشها بر مشکل اصلی MOSFET یعنی، مقاومت بسیار کم آن در حالت اشباع پیشدستی می‌کند. پیش از آنکه ادامه دهید، مرور مطالب بخش ۱۲-۵ درباره قطعات GaAs توصیه می‌شود.

منابع جریان

منابع جریان نقشی اساسی در تقویت‌کننده‌های مدار مجتمع دارند، و برای تغذیه و نیز بعنوان بار فعال به کار گرفته می‌شود. در تکنولوژی GaAs ساده‌ترین راه برای به کاربردن یک منبع جریان، مطابق شکل (الف ۳۹-۶)، اتصال گیت MESFET نوع تهی به منبع آن است. چنانچه v_{DS} بزرگتر از $|V_t|$ نگهداشته شود، MESFET در اشباع کار خواهد کرد و جریان اشباع i_D برابر خواهد بود با:

$$i_D = \beta V_t^2 (1 + \lambda v_{DS}) \qquad (۶-۱۲۶)$$

بنابراین منبع جریان مدار معادل شکل (ب ۳۹-۶) را خواهد داشت که در آن مقاومت خروجی عبارت از r_oی MESFET است.



شکل ۳۹-۶. (الف) منبع جریان MESFET اساسی (ب) مدار معادل منبع جریان (پ) منبع جریان متصل شده به منبع تغذیه مثبت برای تغذیه جریانی بارها در ولتاژهای کمتر یا مساوی با $V_{DD} - |V_t|$
(ت) منبع جریان متصل شده به منبع تغذیه منفی برای کشیدن جریان از بارها در ولتاژهای بزرگتر یا مساوی با $-V_{SS} + |V_t|$

$$r_o = 1/\lambda\beta V_t^2 \qquad (۶-۱۲۷)$$

از اصطلاح JFET، $\beta V_t^2 = I_{DSS}$ و $\lambda = 1/|V_A|$ است. بنابراین:

$$r_o = |V_A| / I_{DSS} \qquad (۶-۱۲۸)$$

چون برای MESFET، λ بالنسبه زیاد (۰/۱ تا ۰/۳) است. مقاومت خروجی منبع جریان شکل (الف ۳۹-۶) معمولاً کوچک است، تحقق این منبع جریان در بسیاری موارد غیرعملی است. قبل از بررسی مفهوم افزایش تأثیر مقاومت خروجی منبع جریان، در شکل (پ ۳۹-۶) نشان می‌دهیم که چگونه منبع جریان می‌تواند به جریانهای سورس و به باری وصل شوند که ولتاژش به اندازه $V_{DD} - |V_t|$ باشد. از سوی دیگر همان قطعه مانند شکل (ت ۳۹-۶) وصل می‌شوند تا جریانهای کشیده از بار ولتاژش به اندازه $V_{SS} + |V_t|$ − کم باشد.

تمرین

۶-۲۳ با استفاده از مشخصه قطعه که در جدول ۲-۵ داده شده است، جریانی را بیابید که بوسیله یک MESFET با ۱۰ μm عرض و بصورت منبع جریان به دست آمده است. فرض کنید منبع به یک منبع ۵ V− وصل باشد، جریان را بیابید وقتی ولتاژ درین ۴ V− باشد. مقاومت خروجی منبع جریان چقدر است؟ چه تغییری در جریان رخ می‌دهد اگر ولتاژ درین به اندازه ۴ V+ بالا برود.

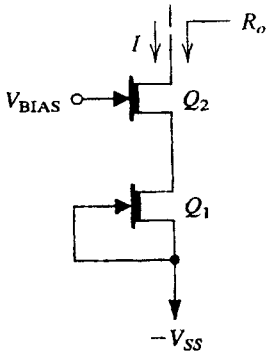
جواب. ۱/۱ mA؛ ۱۰ kΩ؛ ۰/۴ mA ❑

یک منبع جریان کاسکود

مقاومت خروجی منبع جریان با به کاربردن پیکربندی کاسکود مطابق شکل (۴۰-۶) افزایش می‌یابد. مقاومت خروجی R_oی منبع جریان کاسکود با استفاده از معادله (۱۱۶-۶) به دست می‌آید.

$$R_o \cong g_{m2} r_{o2} r_{o1} \qquad (۶-۱۲۹)$$

بنابراین، افزودن ترانزیستور کاسکود Q_2، مقاومت خروجی منبع جریان را با ضریب $g_{m2}r_{o2}$ افزایش می‌دهد که بهره ولتاژ ذاتی Q_2 است. در MESFET گالیوم آرسنید، $g_{m2}r_{o2}$ معمولاً ۱۰ تا ۴۰ است. برای آنکه گستره وسیعی از ولتاژهای خروجی منبع جریان کاسکود بدست آید، V_{BIAS} بایستی کمترین مقداری باشد که کار در حالت اشباع Q_1 را بدست می‌دهد.



شکل ۴۰-۶. اضافه‌کردن ترانزیستور cascode Q_2 مقاومت خروجی منبع جریان را با ضریب $g_{m2}r_{o2}$ افزایش می‌دهد یعنی: $R_o = g_{m2} r_{o2} r_{o1}$

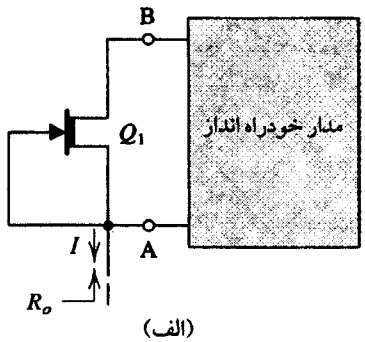
تمرین

ط ۲۴-۶ در منبع جریان کاسکود شکل (۴۰-۶) فرض کنید $V_{SS} = ۵\ V$ ، $W_۱ = ۱۰\ \mu m$ ، و $W_۲ = ۲۰\ \mu m$ ، و فرض کنید که قطعه دارای مقادیر پارامتری است مانند آنچه در جدول ۲-۵ ارائه شده (الف) مقدار V_{BIAS} را که منجر به کار $Q_۱$ در آستانه ناحیه اشباع می‌شود را بیابید (یعنی $V_{DS۱} = |V_t|$) وقتی ولتاژ خروجی ۳ V- باشد. (ب) کمترین ولتاژ مجاز خروجی منبع جریان چقدر است؟ (پ) به ازای $V_O = -۳V$ چه مقدار جریان خروجی به دست می‌آید؟ (ت) مقاومت خروجی منبع جریان چقدر است؟ (ث) چه تغییری در جریان خروجی به دست می‌آید وقتی ولتاژ خروجی از ۳V- به ۱ V+ افزایش می‌یابد.

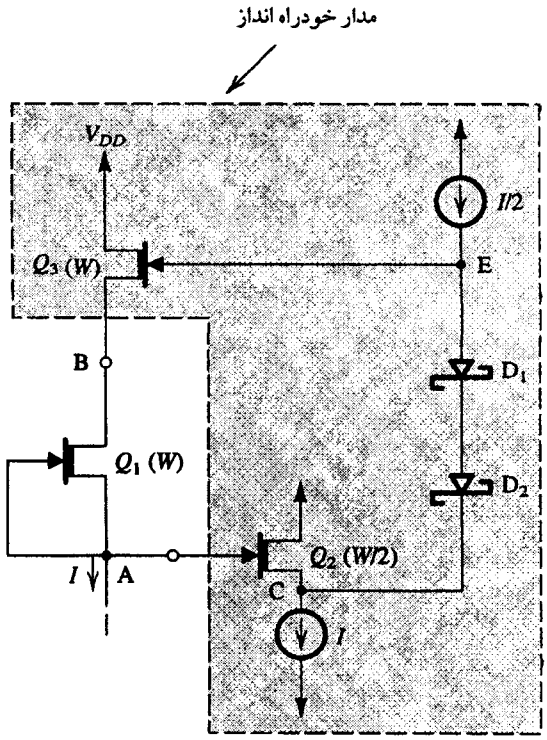
جواب. (الف) ۴/۳ V- ؛ (ب) ۳/۳ V - ؛ (پ) ۱/۱ mA؛ (ت) ۳۱۰ kΩ، (ث) ۰/۰۱۳ mA . ❑

افزایش مقاومت خروجی با بوت استرپ‌کردن

یکی از روشهایی که برای افزایش مقاومت خروجی مؤثر MESFET ، شامل منبع جریان متصل به MESFET به کار می‌رود، به نام **بوت‌استرپ** شناخته می‌شود. نظریه بوت‌استرپ در شکل (الف ۴۱-۶) نشان داده شده



(الف)



(پ)

است. در اینجا، مدار مجاور مستطیل، در گره پایین منبع جریان، ولتاژ v_A را حس می‌کند، و موجب می‌شود ولتاژ v_B در گره بالا با مقدار زیر ظاهر شود:

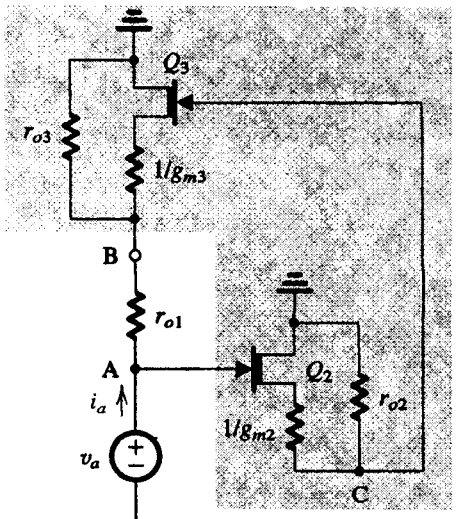
$$v_B = V_S + \alpha v_A \qquad (۶-۱۳۰)$$

که در آن V_S ولتاژ dc موردنیاز ترانزیستور منبع جریان در حالت اشباع ($V_S \geq |V_t|$) و α یک ثابت کوچکتر یا مساوی با ۱ است. مقاومت افزایشی خروجی منبع جریان بوت‌استرپ را با افزایش v_A به اندازه v_a نمو، می‌توان پیدا کرد. از معادله (۱۳۰-۶) در می‌یابیم که نمو به دست آمده در v_B برابر با $v_b = \alpha v_a$ است. بنابراین نمو جریان از منبع جریان برابر با $(v_a - v_b)/r_o$ یا $(۱ - \alpha) v_a/r_o$ است. در این صورت مقاومت خروجی R_o می‌شود:

$$R_o = \frac{v_a}{(۱ - \alpha) v_a / r_o} = \frac{r_o}{۱ - \alpha} \qquad (۶-۱۳۱)$$

به این ترتیب بوت استرپ مقاومت خروجی را با ضریب $۱/(۱-\alpha)$ افزایش می‌دهد که افزایش می‌یابد تا α به واحد برسد. بوت‌استرپ کامل با $\alpha = ۱$ بوجود می‌آید که در نتیجه آن $R_o = \infty$ می‌شود.

از مطالب بالا، متوجه می‌شویم که مدار بوت استرپ تغییراتی را که در



$R_o \equiv v_a/i_a$ (ب)

شکل ۴۱-۶. بوت استرپ کردن منبع جریان MESFET $Q_۱$ (الف) طرح اساسی (ب) یک پیاده‌سازی (پ) مدل مدار معادل سیگنال کوچک مدار (ب) برای تعیین مقاومت خروجی R_o

یک پایانه منبع جریان بوجود میآید حس کرده و موجب می‌شود تغییرات تقریباً مساوی در پایانه دیگر روی دهد، بنابراین یک ولتاژ تقریباً ثابت در دو سر منبع جریان بوجود می‌آید و تغییر جریان ترانزیستور منبع جریان به حداقل می‌رسد. کار مدار بوت استرپ شبیه به کار شخصی است که می‌کوشد خود را با کشیدن تسمه‌های چکمه‌اش از زمین بلند کند (!) مبدأ نام این روش مداری که بطور اتفاقی تکنولوژی گالیوم آرسناید نام گرفته است. بوت استرپ یک نوع فیدبک مثبت است. سیگنال v_b که بوسیله مدار بوت استرپ فیدبک می‌شود همفاز (دارای پلاریته یکسان با) سیگنال v_a است که می‌باید حس شود. در فصل ۸ فیدبک بحث خواهد شد.

یک کاربرد منبع جریان بوت استرپ شده در شکل (ب ۴۱-۶) نشان داده شده است. در اینجا ترانزیستور Q_2 یک سورس پیرو مورد استفاده در گره میانگیر A است که ولتاژش می‌بایست حس گردد. پهنای Q_2 نصف Q_1 است و با نصف جریان تغذیه کار می‌کند. (ترانزیستور Q_1 با Q_2 با **چگالی جریان یکسان** کار می‌کنند). به این ترتیب V_{GS} ترانزیستور Q_2 با V_{GS} ترانزیستور Q_1 برابر - و مثلاً صفر - می‌باشد. در نتیجه $V_C = V_A$ می‌باشد. دو دیود شاتکی بصورت یک باطری تقریباً ۱/۴V کار می‌کند، و در نتیجه ولتاژ dc در گره E برابر با ۱/۴V از V_C می‌شود. توجه کنید که ولتاژ سیگنال در گره C بطور کامل در گره E به دست می‌آید و فقط سطح dc تغییر می‌کند. گفته می‌شود، دیودها کار **تغییرسطح** را انجام می‌دهند. که یک کاربرد عمومی دیودهای شاتکی در تکنولوژی گالیوم آرسناید MESFET می‌باشد.

ترانزیستور Q_3 یک سورس پیرو است که با همان چگالی جریان Q_1 کار می‌کند و بنابراین V_{GS} آن باید صفر باشد. در نتیجه $V_B=V_E$ می‌شود. نتیجه نهایی آن است که مدار بوت استرپ موجب می‌شود ۱/۴V، ولتاژ dc در دو سر ترانزیستور منبع جریان Q_1 به دست آید و $|V_t|$ ی Q_1 کمتر از ۱/۴ V شود و Q_1 در صورت نیاز در حالت اشباع کار کند.

برای تعیین مقاومت خروجی منبع جریان بوت استرپ، مطابق شکل (پ ۴۱-۶)، ولتاژ نموی v_a را به گره A اعمال کنید. توجه کنید که این مدار معادل سیگنال کوچک با استفاده تلویحی مدل T (شامل r_o) برای هر FET به دست می‌آید با فرض اینکه دیودهای شاتکی به مثابه یک تغییردهنده سطح کامل عمل می‌کند (یعنی، بعنوان یک ولتاژ dc ی ایده‌آل برابر ۱/۴ V و با مقاومت داخلی صفر). تحلیل این مدار ساده است و به دست می‌دهد:

$$\alpha \equiv \frac{v_b}{v_a} = \frac{g_{m3}r_{o3}\dfrac{g_{m2}r_{o2}}{g_{m2}r_{o2}+1} + \dfrac{r_{o3}}{r_{o1}}}{g_{m3}r_{o3} + \dfrac{r_{o3}}{r_{o1}} + 1} \qquad (۶-۱۳۲)$$

که کوچکتر از واحد اما نزدیک به آن است همانگونه که درنظر بود. در آن صورت مقاومت خروجی R_o از رابطه زیر به دست می‌آید.

$$R_o \equiv \frac{v_a}{i_a} = \frac{r_{o1}}{1-\alpha} \qquad (۶-۱۳۳)$$

$$= r_{o1}\frac{g_{m3}r_{o3} + (r_{o3}/r_{o1}) + 1}{g_{m3}r_{o3}/(g_{m2}r_{o2}+1) + 1}$$

به ازای $r_{o3} = r_{o1}$، فرض کنید $g_{m3}r_{o3}$ و $g_{m2}r_{o2}$ بزرگتر از ۱ هستند و این رابطه برای g_m و r_o برای Q_2 و Q_3 استفاده شود، می‌توان نشان داد که:

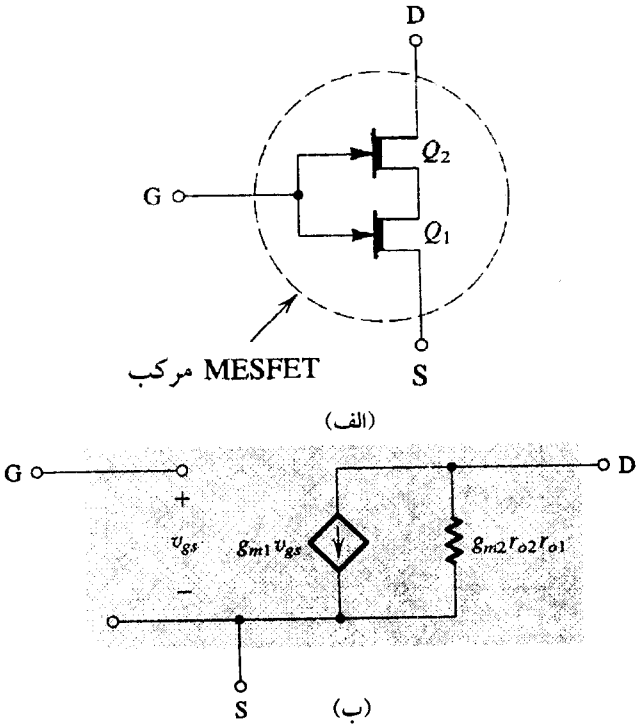
$$R_o \cong r_{o1}\,(g_{m3}r_{o3}/2) \qquad (۶-۱۳۴)$$

که یک مرتبه بزرگی در مقاومت خروجی نشان می‌دهد. البته، متأسفانه مدار نسبتاً پیچیده است.

یک پیکربندی کاسکود ساده - ترانزیستور مرکب

مقاومت خروجی بالنسبه کوچک MESFET یک محدودیت جدی در کار منابع جریان MESFET و انواع تقویت‌کننده MESFET ایجاد می‌کند. این مشکل با استفاده از پیکربندی MESFET مرکب نشان داده شده در شکل (الف ۴۲-۶) بجای یک MESFET منفرد برطرف می‌گردد. این مدار برای MESFET گالیوم آرسناید همتایی ندارد و فقط بدلیل پدیده اشباع تند این گونه قطعات، کار می‌کند. از توضیح بخش ۱۲-۵ بیاد داریم که اشباع تند به این دلیل است که در یک MESFET گالیوم آرسناید، جریان درین در ولتاژ اشباع v_{DS} که کمتر از $v_{GS} - V_t$ است اشباع می‌شود.

در MESFET مرکب شامل (الف ۴۲-۶)، Q_2 از Q_1 عریضتر ساخته می‌شود. در نتیجه چون دو قطعه با جریان یکسان هدایت می‌کند، Q_2 دارای ولتاژ گیت به سورس v_{GS2} خواهد بود که اندازه‌اش بسیار نزدیکتر به $|v_t|$ نسبت به $|v_{GS1}|$ است. (یعنی $|v_{GS2}| << |v_{GS1}|$). بطور مثال، اگر از قطعاتی استفاده کنیم که پارامترهای آن در جدول (۲-۵) آورده شده و از مدولاسیون لحظه‌ای طولی کانال ($\lambda = 0$) صرفنظر کنیم، درمی‌یابیم که برای $W_1=10\mu m$ و $W_2=90\mu m$، با جریان 1mA، $v_{GS1}=0$ و $v_{GS2}=-\frac{2}{3}V$ است. اکنون چون ولتاژ درین - سورس Q_1 برابر $v_{DS1} = -v_{GS2} + v_{GS1}$ است، ملاحظه می‌کنیم که v_{DS1} مثبت و



شکل ۴۲-۶. (الف) MESFET مرکب و (ب) مدل سیگنال کوچک آن

کوچکتر اما نزدیک به $v_{GS1} - V_t$ خواهد بود (در مثال ما $\frac{2}{3}$ V در مقایسه با ۱ V). بنابراین در غیاب اشباع سریع، Q_1 در ناحیه سه‌گانه عمل می‌کند. البته با اشباع سریع، ملاحظه می‌کنیم که کار در حالت اشباع با ۵ تا ۱۰ مرتبه عریضتر ساختن Q_2 نسبت به Q_1 به دست می‌آید.

MESFET مرکب شکل (الف ۴۲-۶) از پیکربندی کاسکودی حاصل می‌شود که در آن Q_2 ترانزیستور کاسکود است اما بدون خط تغذیه مجزا برای آنکه گیت ترانزیستور کاسکود را (مانند شکل ۴۰-۶) تغذیه کند. با جایگزینی Q_1 و Q_2 با مدلهای سیگنال کوچک آن می‌توان نشان داد که قطعه مرکب را با مدل مدار معادل شکل (ب ۴۲-۶) می‌توان جایگزین کرد. از اینرو وقتی g_m قطعه مرکب برابر با g_m قطعه Q_1 است، مقاومت خروجی به اندازه بهره ذاتی Q_2، یعنی $g_{m2}r_{o2}$ افزایش می‌یابد که معمولاً حدود ۱۰ تا ۴۰ می‌باشد. این یک افزایش اساسی است و علت جاذبه MESFET مرکب می‌باشد.

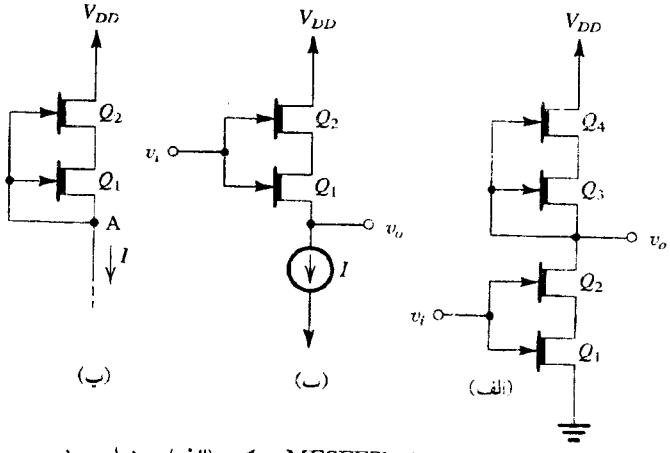
MESFET مرکب در مواردی بکار برده می‌شود که از مقاومت خروجی افزایش یافته آن استفاده شود. چند مثال در شکل (۴۳-۶) نشان داده شده است. مدار شکل (الف ۴۳-۶) از نوع منبع جریان با مقاومت خروجی افزایش یافته است. نمود دیگر کار این مدار با در نظرگرفتن Q_2 بعنوان یک سورس پیرو میسر می‌شود که موجب می‌شود درین Q_1 تغییرات ولتاژی در پایانه منبع جریان (گره A) بوجود آورد. نتیجه، بوت استرپ Q_1 و افزایش اثر مقاومت خروجی منبع جریان خواهد بود. این تعبیر از کار مدار منجر به نام‌گذاری دیگر شده است: منبع جریان بوت استرپ سرخود.

کاربرد MESFET مرکب بعنوان یک سورس پیرو در شکل (ب۴۳-۶) نشان داده شده است. با فرض اینکه جریان تغذیه منبع I ایده‌آل باشد، برای بهره می‌توان بصورت زیر نوشت:

$$\frac{v_o}{v_i} = \frac{r_{o,eff}}{r_{o,eff} + (1/g_{m1})}$$

$$= \frac{g_{m2}r_{o2}r_{o1}}{g_{m2}r_{o2}r_{o1} + (1/g_{m1})} \qquad (۶-۱۳۵)$$

که به مقدار ایده‌آل واحد بسیار نزدیکتر از بهره یک MESFET سورس پیرو منفرد است.



شکل ۴۳-۶. کاربردهای MESFET مرکب: **(الف)** بعنوان منبع جریان **(ب)** بعنوان سورس پیرو و **(پ)** بعنوان طبقه بهره

تمرین

۶-۲۵ با استفاده از مشخصه‌های قطعه در جدول ۲-۵، بهره ولتاژ یک سورس پیرو که از یک MESFET با $W = 10\ \mu m$ تشکیل شده را مقایسه کنید با یک MESFET پیرو مرکب با $W_1 = 10\ \mu m$ و $W_2 = 90\ \mu m$ برای سهولت، در هر دو حالت فرض کنید تغذیه با ۱ mA انجام می‌شود و هنگام محاسبه g_m، از مقدار λ چشم‌پوشی شود.

جواب. منفرد: ۰٫۹۵۲ V/V؛ مرکب: ۰٫۹۹۹ V/V ❑

مثال آخر از کاربرد MESFET مرکب در شکل (پ ۴۳-۶) نشان داده شده است. مدار یک طبقه بهره است که از MESFET مرکب (Q_1، Q_2) بعنوان راه‌انداز و از MESFET مرکب دیگری (Q_3، Q_4) بعنوان بار منبع جریان استفاده می‌کند. بهره سیگنال کوچک از رابطه زیر به دست می‌آید:

$$\frac{v_o}{v_i} = -g_{m1}R_o \qquad (۶-۱۳۶)$$

که در آن R_o، مقاومت خروجی است.

$$R_o = r_{o,eff}(Q_1, Q_2) \,//\, r_{o,eff}(Q_3, Q_4) \qquad (۶-۱۳۷)$$

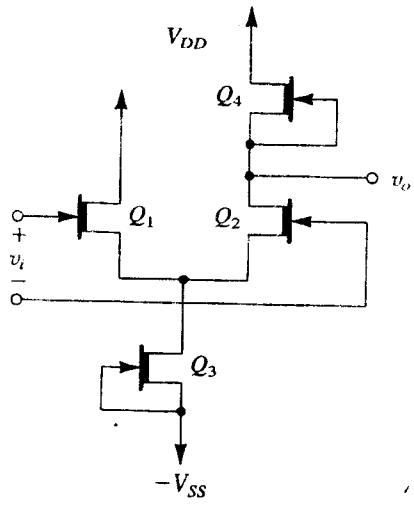
$$= g_{m2}r_{o2}r_{o1} \,//\, g_{m4}r_{o4}r_{o3}$$

تقویت‌کننده‌های تفاضلی

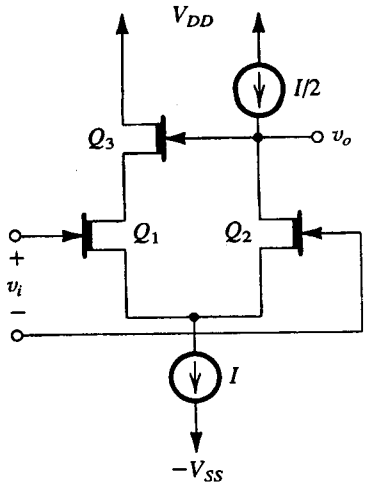
ساده‌ترین کاربرد یک تقویت‌کننده تفاضلی در تکنولوژی MESFET گالیوم آرسناید در شکل (۴۴-۶) نشان داده شده است. در اینجا Q_1 و Q_2 زوج تفاضلی را می‌سازند، Q_3 منبع جریان تغذیه را بوجود می‌آورد، و Q_4 بار (منبع جریان) فعال را تشکیل می‌دهد. عملکرد مدار در اثر مقاومت خروجی پایین Q_3 و Q_4 آسیب می‌بیند بهره ولتاژ از رابطه زیر به دست می‌آید:

$$\frac{v_o}{v_i} = -g_{m2}(r_{o2} \,//\, r_{o4}) \qquad (۶-۱۳۸)$$

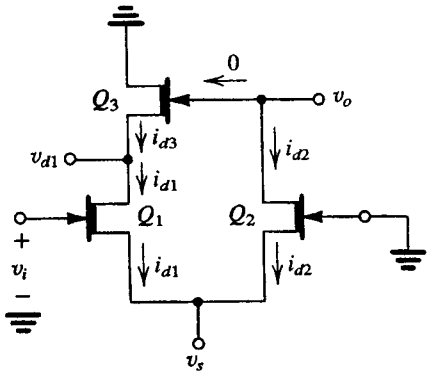
بهره با استفاده از یکی از کاربردهای منبع جریان اصلاح شده بالا، افزایش می‌یابد. همچنین یک روش بالنسبه ساده برای بالابردن بهره زوج تفاضلی MESFET ارائه شده است. چنین مداری در شکل (الف ۴۵-۶)



شکل ۴۴-۶. تقویت‌کننده تفاضلی سادهٔ MESFET



(الف)



(ب)

شکل ۴۵-۶ . **(الف)** یک تقویت‌کننده تفاضلی MESFET که بهره آن با استفاده از فیدبک مثبت از طریق سورس پیرو Q_3 افزایش یافته است. **(ب)** تحلیل سیگنال کوچک مدار (الف)

نشان داده شده است. وقتی درین Q_2 مانند گذشته با بار منبع جریان بارگذاری شود، سیگنال خروجی ظاهر شده از طریق سورس پیرو Q_3 به درین Q_1 فیدبک می‌شود. تحلیل سیگنال کوچک مدار در شکل (ب ۴۵-۶) نشان داده شده است که منابع جریان I و $\frac{I}{2}$ ایده‌آل فرض شده‌اند و بنابراین با مدارهای باز جایگزین شده‌اند. برای محاسبه بهره ولتاژ، پایانه گیت Q_2 را به زمین وصل کرده، سیگنال ورودی تفاضلی v_i را به گیت Q_1 اعمال کرده‌ایم. این تحلیل در مراحل زیر می‌آید:

۱- از گره خروجی می‌بینیم که $i_{d2} = 0$ است

۲- از گره منبع، چون $i_{d2} = 0$ است، درمی‌یابیم که $i_{d1} = 0$ است.

۳- از گره درین Q_1، چون $i_{d1} = 0$ است، به دست می‌آوریم $i_{d3} = 0$.

۴- برای هر ترانزیستور می‌نویسیم

$$i_d = g_m v_{gs} + v_{ds}/r_o = 0$$

سه معادله و سه مجهول v_{d1}، v_s، و v_o به دست می‌آوریم. از حل آن به دست می‌آید:

$$\frac{v_o}{v_i} = g_{m1} r_{o1} \Big/ \left[\frac{g_{m1} r_{o1} + 1}{g_{m2} r_{o2} + 1} - \frac{g_{m3} r_{o3}}{g_{m3} r_{o3} + 1}\right] \qquad (۶-۱۳۹)$$

اگر هر سه ترانزیستور دارای یک شکل هندسی باشند و در جریانهای dc برابر کار کنند، g_m و r_oی آنها مساوی خواهد بود و جملات معادله (۶-۱۳۹) بصورت زیر خلاصه می‌شود:

$$\frac{v_o}{v_i} \cong (g_m r_o)^2 \qquad (۶-۱۴۰)$$

کاربرد فیدبک مثبت در Q_3 ما را قادر می‌سازد تا بهره‌ای برابر با مربع بهره یک طبقه منفرد به دست آوریم.

تمرین

۶-۲۶ با استفاده از مشخصه‌های قطعه در جدول ۲-۵، بهره مدار تقویت‌کننده تفاضلی شکل (الف ۴۵-۶) را بیابید وقتی $I = 10\,\text{mA}$، و $W_1 = W_2 = W_3 = 100\,\mu\text{m}$ باشد.

جواب. ۷۸۴ V/V ❑

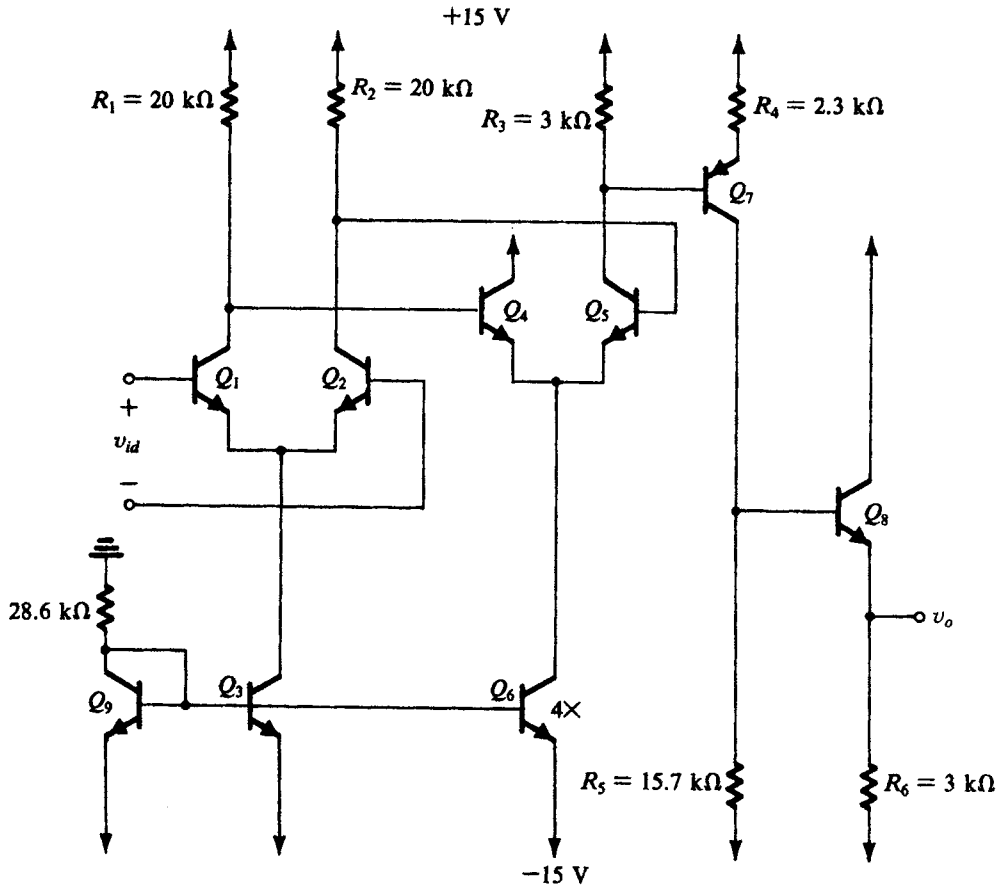
۶-۹ تقویت‌کننده‌های چندطبقه

تقویت‌کننده‌های ترانزیستوری در عمل معمولاً شامل چند طبقه مرتبط به هم بصورت کاسکود هستند. علاوه بر تأمین بهره، اولین طبقه (یا ورودی) معمولاً با مقاومت ورودی زیاد موردنیاز است تا وقتی تقویت‌کننده از یک منبع با مقاومت زیاد تغذیه می‌شود، سیگنال از بین نرود. در یک تقویت‌کننده تفاضلی، طبقه ورودی باید دارای حذف حالت مشترک زیاد نیز باشد. وظیفه طبقات وسط یک تقویت‌کننده کاسکود تأمین بهره ولتاژ اساسی است. بعلاوه، طبقات میانی وظایف دیگری مانند تبدیل سیگنال از حالت تفاضلی به حالت تک‌سر (تک‌خروجی) و تغییر سطح dc سیگنال نیز دارد. این دو کار و کارهای دیگر در این بخش با شکل نشان داده می‌شود و در فصل ۱۰ به تفصیل درباره آن بحث خواهد شد.

و سرانجام، وظیفه اصلی آخرین طبقه (خروجی) تقویت‌کننده تأمین مقاومت خروجی کم است تا وقتی یک بار مقاومتی ناچیز به تقویت‌کننده وصل می‌شود، بهره تلف نشود. همچنین، طبقه خروجی باید قادر به تأمین جریان موردنیاز بار به روشی مؤثر باشد، یعنی بدون اتلاف توان در ترانزیستورهای خروجی. تاکنون یک نوع تقویت‌کننده مناسب برای طبقات خروجی یعنی سورس پیرو و امیتر پیرو را بررسی کرده‌ایم، در فصل ۹ نشان خواهیم داد که سورس پیرو و امیتر پیرو از نظر بازده توان و دیگر شاخصه‌ها بهترین نیستند بلکه پیکربندی‌های دیگری برای طبقات خروجی وجود دارند که توان خروجی بسیار زیادی به دست می‌دهند.

برای نمایش ساختمان و روش تحلیل تقویت‌کننده‌های چندطبقه‌ای، این فصل را با مثال مبسوطی به پایان می‌بریم، مدار تقویت‌کننده‌ای که باید تحلیل شود در شکل (۴۶-۶) نشان داده شده است. تحلیل dc ی این مدار op-amp ساده در مثال ۳-۶ نشان داده شده است، که از خواننده می‌خواهیم قبل از ادامه، آنها را مطالعه کند.

مدار op-amp شکل (۴۶-۶) شامل چهارطبقه است، طبقه ورودی عبارت از **ورودی تفاضلی، و خروجی تفاضلی** است شامل دو ترانزیستور



شکل ۴۶-۶. یک مدار تقویت‌کننده چندطبقه (مثال ۴-۶)

Q_1 و Q_2 می‌باشد که با جریان منبع Q_3 تغذیه می‌شود. سومین طبقه نیز یک تقویت‌کننده ورودی تفاضلی است، اما خروجی آن تک‌سر است که از کلکتور Q_5 گرفته می‌شود. توجه کنید که تبدیل از تفاضلی به تک‌سر چنانکه بوسیله دومین طبقه ایجاد می‌شود سبب کاهش بهره با ضریب ۲ است. روش دقیقتر انجام این تبدیل در بخشهای ۵-۶ و ۷-۶ بررسی شد. در آن روش از آینه جریان بعنوان بار فعال استفاده شد.

علاوه بر تأمین بهره ولتاژ، سومین طبقه که از ترانزیستور *pnp*، Q_7 تشکیل می‌شود، وظیفه اساسی تغییر سطح dc سیگنال را برعهده دارد. بنابراین وقتی سیگنال کلکتور Q_5 مجاز نیست زیر ولتاژ بیس Q_5 (+۱۰V) نوسان کند، سیگنال در کلکتور Q_7 می‌تواند دارای نوسان منفی (و البته مثبت) باشد. از مطالعه op−amp در فصل ۲ بیاد داریم که پایانه خروجی op−amp قادر است نوسان مثبت و منفی داشته باشد. از این رو هر مدار op−amp، قاعده **تغییرسطح** خود را دارد. اگرچه استفاده از ترانزیستورهای مکمل راه‌حل ساده‌ای برای مشکل تغییر سطح است، اما صورتهای دیگر تغییر سطح وجود دارد که یکی از آنها در فصل ۱۰ آمده خواهد شد.

در پایان، دقت کنید که طبقه خروجی شامل امیتر پیرو Q_8 است و بطور ایده‌آل، سطح dc ی خروجی صفر ولت می‌باشد (همانگونه که در مثال ۳-۶ محاسبه شد).

مثال ۴-۶

با استفاده از کمیت‌های تغذیه dc که در مثال ۳-۶ به دست آمد و از تحلیل مدار شکل (۴۶-۶)، مقاومت ورودی، بهره ولتاژ، و مقاومت خروجی را به دست آورید.

حل:

مقاومت تفاضلی ورودی R_{id} از رابطه زیر به دست می‌آید.

$$R_{id} = r_{\pi 1} + r_{\pi 2}$$

چون Q_1 و Q_2 هریک با جریان امیتر ۰/۲۵ mA کار می‌کنند، نتیجه می‌شود که:

$$r_{e1} = r_{e2} = \frac{25}{0.25} = 100\ \Omega$$

فرض کنید $\beta = 100$ باشد، در آن صورت:

$$r_{\pi 1} = r_{\pi 2} = 101 \times 100 = 10.1\ k\Omega$$

بنابراین $R_{id} = 20.2\ k\Omega$ است.

برای به دست آوردن بهره اولین طبقه، ابتدا مقاومت ورودی دومین طبقه، R_{i2} را پیدا می‌کنیم،

$$R_{i2} = r_{\pi 4} + r_{\pi 5}$$

Q_4 و Q_5 هر دو با جریان امیتر ۱ mA کار می‌کنند، بنابراین

$$r_{e4} = r_{e5} = 25\ \Omega$$

$$r_{\pi 4} = r_{\pi 5} = 101 \times 25 = 2.525\ \text{k}\Omega$$

بنابراین $R_{i2} = 5.05\ \text{k}\Omega$ است. این مقاومت مطابق شکل (۴۷-۶) بین کلکتورهای Q_1 و Q_2 ظاهر می‌شود. از اینرو بهره اولین طبقه چنین خواهد بود:

$$A_1 \equiv \frac{v_{o1}}{v_{id}} \cong \frac{\text{مقاومت کل در مدار کلکتور}}{\text{مقاومت کل در مدار امیتر}}$$

$$= \frac{[R_{i2} \,//\, (R_1 + R_2)]}{r_{e1} + r_{e2}}$$

$$= \frac{(5.05\ \text{k}\Omega \,//\, 40\ \text{k}\Omega)}{200\ \Omega} = 22.4\ \text{V/V}$$

شکل (۴۸-۶) یک مدار معادل برای محاسبه بهره دومین طبقه نشان می‌دهد. چنانکه دیده می‌شود، ولتاژ ورودی دومین طبقه، ولتاژ خروجی اولین طبقه v_{o1} است. همچنین مقاومت R_{i3}، مقاومت ورودی سومین طبقه نشان داده شده که بوسیله Q_7 بوجود آمده. مقدار R_{i3} با ضرب‌کردن مقاومت کل امیتر Q_7 امیتر Q_7 در $\beta + 1$ به دست می‌آید.

$$R_{i3} = (\beta + 1)(R_4 + r_{e7})$$

چون Q_7 با جریان امیتر ۱ mA کار می‌کند:

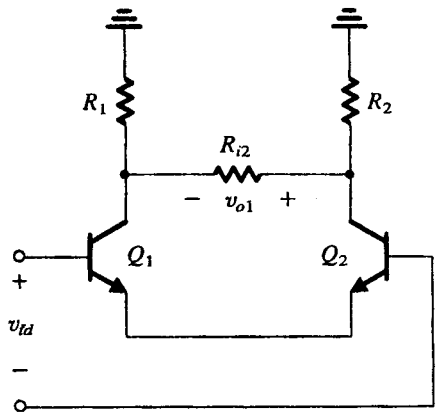
$$r_{e7} = \frac{25}{1} = 25\ \Omega$$

$$R_{i3} = 101 \times 2.325 = 234.8\ \text{k}\Omega$$

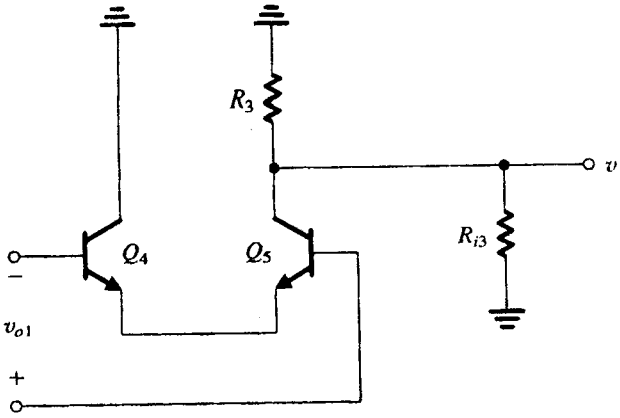
اکنون، A_2 بهره دومین طبقه را بصورت نسبت مقاومت کل در کلکتور به مقاومت کل در امیتر به دست می‌آوریم:

$$A_2 = \equiv \frac{v_{o2}}{v_{o1}} = -\frac{(R_3 \,//\, R_{i3})}{r_{e4} + r_{e5}}$$

$$= -\frac{(3\ \text{k}\Omega \,//\, 234.8\ \text{k}\Omega)}{50\ \Omega} = -59.2\ \text{V/V}$$



شکل ۴۷-۶. مدار معادل برای محاسبهٔ بهرهٔ طبقه ورودی تقویت‌کنندهٔ شکل (۴۶-۶)



شکل ۴۸-۶. مدار معادل برای محاسبه بهره طبقه دوم تقویت‌کننده شکل (۴۶-۶)

برای به دست آوردن بهره سومین طبقه، به مدار معادل شکل (۴۹-۶) مراجعه می‌کنیم، که در آن R_{i4} مقاومت ورودی طبقه خروجی بوجود آمده بوسیله Q_8 است. با استفاده از قانون بازتاب مقاومت مقدار R_{i4} را بصورت زیر محاسبه می‌کنیم:

$$R_{i4} = (\beta + 1)(r_{e8} + R_6)$$

که در آن

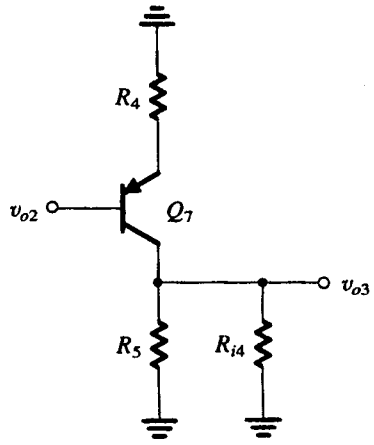
$$r_{e8} = \frac{25}{5} = 5\ \Omega$$

$$R_{i4} = 101\,(5 + 3000) = 303.5\ \text{k}\Omega$$

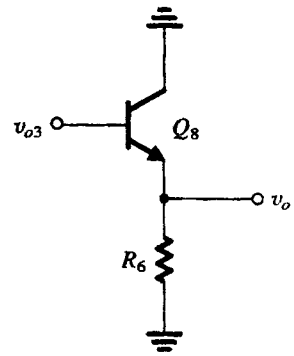
بهره سومین طبقه از رابطه زیر به دست می‌آید:

$$A_3 \equiv \frac{v_{o3}}{v_{o2}} \cong -\frac{(R_5 \,//\, R_{i4})}{r_{e7} + R_4}$$

$$= -\frac{(15.7\ \text{k}\Omega \,//\, 303.5\ \text{k}\Omega)}{2.325\ \text{k}\Omega} = -6.42\ \text{V/V}$$



شکل ۴۹-۶. مدار معادل ارزیابی بهره طبقه سوم مدار تقویت‌کننده شکل (۴۶-۶)



شکل ۵۰-۶ طبقه خروجی مدار تقویت‌کننده (۴۶-۶)

سرانجام برای به دست آوردن بهره A_4 طبقه خروجی به مدار معادل شکل (۵۰-۶) مراجعه کرده می‌نویسیم:

$$A_4 = \frac{v_o}{v_{o3}} = \frac{R_6}{R_6 + r_{e8}}$$
$$= \frac{3000}{3000 + 5} = 0/998 \cong 1$$

بهره ولتاژ کل تقویت‌کننده بصورت زیر به دست می‌آید.

$$\frac{v_o}{v_{id}} = A_1 A_2 A_3 A_4 = 8513 \text{ V/V}$$

یا $78/6$ dB.

برای به دست آوردن مقاومت خروجی R_o، پایانه خروجی شکل (۴۶-۶) را بدقت درنظر گرفته و از عقب به مدار نگاه می‌کنیم. با بازدید دقیق آن به دست می‌آوریم:

$$R_o = \{R_6 // [r_{e8} + R_5 / (\beta + 1)]\}$$

که نتیجه می‌شود $R_o = 152\ \Omega$.

تمرین

۶-۲۷ با استفاده از نتایج مثال ۴-۶، بهره ولتاژ کل تقویت‌کننده شکل (۴۶-۶) را به دست آورید وقتی به یک منبع با مقاومت $10\ k\Omega$ و بار $1k\Omega$ مرتبط است.

جواب. 4943 V/V

تحلیل با استفاده از بهره‌های جریان

روش دیگری برای تحلیل تقویت‌کننده‌های چند طبقه وجود دارد که گاهی ساده‌تر است. این روش مبتنی بر بهره‌های جریان و یا به عبارت دقیق‌تر ضرایب انتقال جریان است. در این روش انتقال سیگنال جریان در مسیر توالی تقویت‌کننده دنبال شده، همه ضرایب انتقال جریان محاسبه می‌شود. این روش را با یک مثال توضیح می‌دهیم.

شکل (۵۱-۶) مدار تقویت‌کننده‌ای را که آماده تحلیل سیگنال کوچک است، نشان می‌دهد. در روی نمودار، سیگنال‌های جریان کلیه شاخه‌ها و مقاومت‌های ورودی چهار طبقه تقویت‌کننده مشخص شده است. قبل از آغاز تحلیل باید آن‌ها را محاسبه نماییم.

هدف از تحلیل، تعیین بهره ولتاژ کلی (v_o/v_{id}) است، بدین منظور v_o را بر حسب سیگنال جریان در امیتر Q_8 یعنی i_{e8} و v_{id} را بر حسب جریان سیگنال ورودی، یعنی i_i، بصورت زیر بیان می‌کنیم:

$$v_o = R_6 i_{e8}$$
$$v_{id} = R_{i1} i_i$$

بنابراین بهره ولتاژ را می‌توان بر حسب بهره جریان (i_{e8}/i_i) بصورت زیر نوشت:

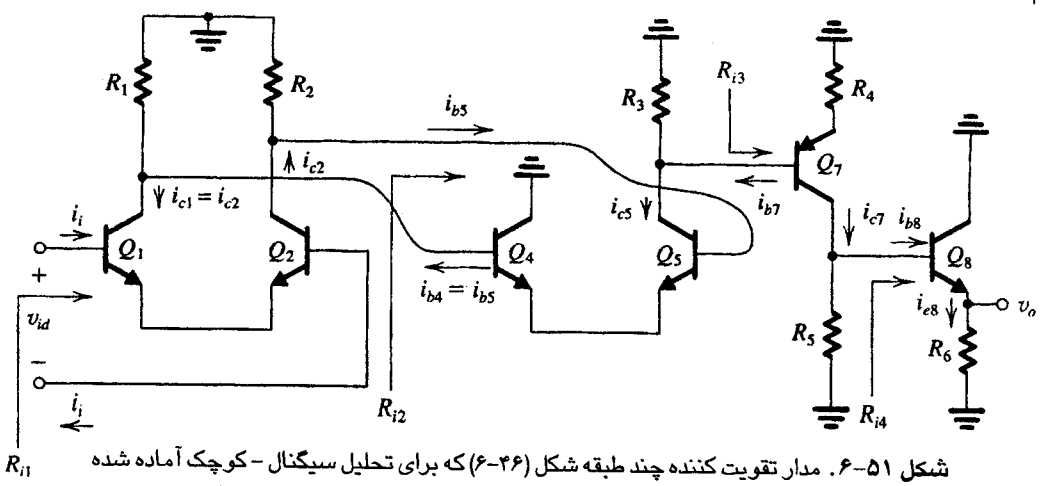
$$\frac{v_o}{v_{id}} = \frac{R_6}{R_{i1}} \frac{i_{e8}}{i_i}$$

سپس، بهره جریان (i_{e8}/i_i) را بر حسب سیگنال‌های جریان موجود در مدار بصورت زیر می‌نویسیم:

$$\frac{i_{e8}}{i_i} = \frac{i_{e8}}{i_{b8}} \times \frac{i_{b8}}{i_{c7}} \times \frac{i_{c7}}{i_{b7}} \times \frac{i_{b7}}{i_{c5}} \times \frac{i_{c5}}{i_{b5}} \times \frac{i_{b5}}{i_{c2}} \times \frac{i_{c2}}{i_i}$$

هر یک از ضرایب سمت راست یا بهره جریان یک ترانزیستور و یا نسبت تقسیم جریان است. بنابراین با توجه به معادله (۵۱-۶) می‌توانیم این ضرایب را پیدا کنیم.

$$\frac{i_{e8}}{i_{b8}} = \beta_8 + 1$$
$$\frac{i_{b8}}{i_{c7}} = \frac{R_5}{R_5 + R_{i4}}$$
$$\frac{i_{c7}}{i_{b7}} = \beta_7$$
$$\frac{i_{b7}}{i_{c5}} = \frac{R_3}{R_3 + R_{i3}}$$



شکل ۵۱-۶. مدار تقویت کننده چند طبقه شکل (۴۶-۶) که برای تحلیل سیگنال - کوچک آماده شده است. جریان‌های سیگنال و مقاومت ورودی چهار طبقه روی شکل نشان داده شده است.

$$\frac{i_{c5}}{i_{b5}} = \beta_5$$

$$\frac{i_{b5}}{i_{c2}} = \frac{(R_1 + R_2)}{(R_1 + R_2) + R_{i2}}$$

$$\frac{i_{c2}}{i_i} = \beta_2$$

این نسبتها را می‌توان به آسانی محاسبه کرده و بهره ولتاژ را به دست آورد. با کمی تمرین می‌توانید این تحلیل را خیلی سریع انجام دهید حتی بدون این که سیگنال‌های جریان را روی مدار مشخص نمایید. به بیان دیگر می‌توانید در طول مدار "گام بردارید" و از خروجی به ورودی یا برعکس ضرایب انتقال جریان را مانند یک زنجیره محاسبه کرده، بهره را به دست آورید.

تمرین

۶-۲۸ با استفاده از مقادیر مقاومت ورودی به دست آمده در مثال (۶-۴) ضرایب انتقال جریان را ارزیابی کرده، بهره جریان کلی و بهره ولتاژ را به دست آورید.

جواب. ضرایب انتقال جریان به ترتیب عبارتند از: ۱۰۱ ، ۰/۰۴۹۲ ، ۱۰۰ ، ۰/۰۱۲۶ ، ۱۰۰ ، ۰/۸۸۷۹ ، ۱۰۰A/A . بهره جریان کلی ۵۵۹۹۳A/A ، و بهره ولتاژ ۸۲۵۶V/V می‌باشد. این مقدار کلی با مقدار به دست آمده در مثال (۶-۴) متفاوت است و این تفاوت ناشی از تقریب‌هایی است که در مثال مذکور انجام شده است. (مانند $\alpha \cong 1$)

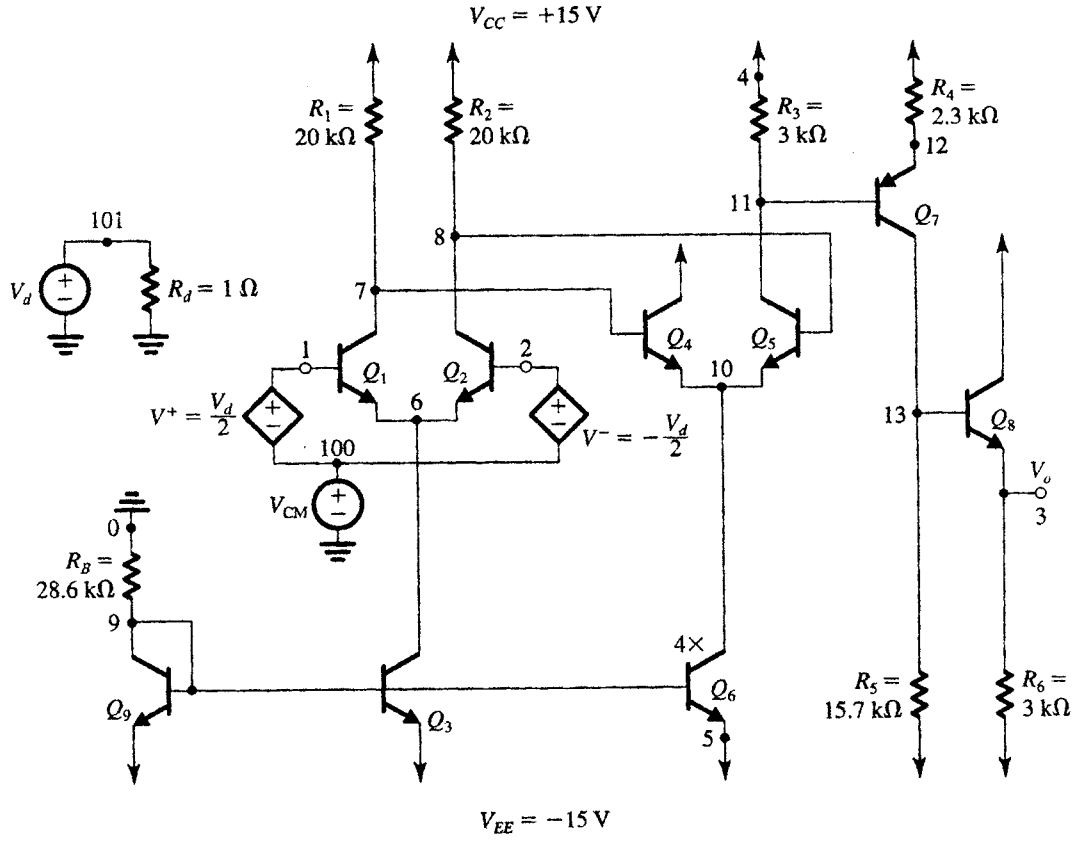
۶-۱۰ مثالی از شبیه‌سازی SPICE

این فصل را با ارائه مثالی از شبیه‌سازی SPICE به پایان می‌بریم. بدین منظور از یک مدار نسبتاً پیچیده استفاده می‌کنیم، یعنی مدار op-amp که بایاس dc آن را در مثال (۶-۳) تحلیل کردیم و عملکرد سیگنالی آن موضوع مثال (۶-۴) بود.

مثال ۶-۵

شبیه سازی SPICE برای یک تقویت کننده چند طبقه

مداری که برای تحلیل SPICE انتخاب کرده‌ایم، در شکل (۶-۵۲) نشان داده شده است و یک مدار op-amp چند طبقه می‌باشد. به نحوهٔ اعمال کردن سیگنال‌های حالت مشترک و تفاضلی توجه کنید. در شبیه سازی فرض می‌کنیم که ترانزیستورها دارای I_S=۱/۸fA ، β_F = ۱۰۰ و V_{AF}=۱۰۰V باشند. فایل ورودی SPICE در ضمیمه ت آمده است و شامل دو فرمان تحلیل است. (۱) فرمان نقطه کار dc که نقاط بایاس dc که نقاط بایاس dc و پارامترهای سیگنال-کوچک هر ترانزیستور، توان مصرفی تقویت کننده، ولتاژ افست خروجی، و جریان بایاس ورودی را تعیین می‌کند و (۲) فرمان جاروب dc که تعیین کننده مشخصه انتقالی سیگنال-بزرگ تقویت کننده یا تغییر مقدار سیگنال تفاضلی ورودی بین ۱۵V- و ۱۵V+ و نمو ۱۰۰ میلی ولتی می‌باشد که در این تحلیل، سیگنال ورودی حالت مشترک V_{CM}=۰ است.



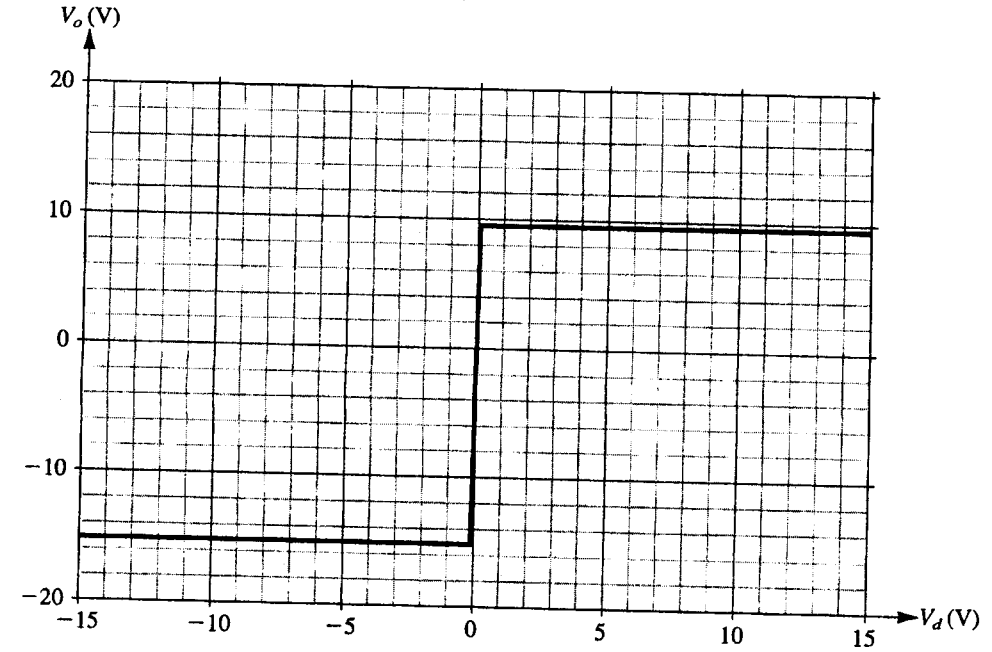
شکل ۶-۵۲. مدار تقویت کننده عملیاتی برای تحلیل SPICE در مثال (۶-۵). توجه کنید که بایاس dc این مدار را در مثال (۶-۳) و عملکرد سیگنال کوچک آن را در مثال (۶-۴) بررسی کردیم. به روش اعمال V_d و V_{CM} و توصیف آن‌ها برای SPICE توجه کنید، برای دیدن فایل ورودی SPICE به ضمیمه ت رجوع کنید.

برای کمک به محاسبات بایاس dc ، فایل ورودی شامل فهرستی از تخمین ولتاژ بعضی از گره‌هاست. فراهم کردن چنین اطلاعاتی باعث سرعت شبیه‌سازی شده، تمرکز را تضمین می‌نماید. اما، الگوریتم‌های بهبود یافته در نسخه‌های جدید SPICE ما را از فراهم کردن چنین اطلاعاتی بی‌نیاز کرده است.

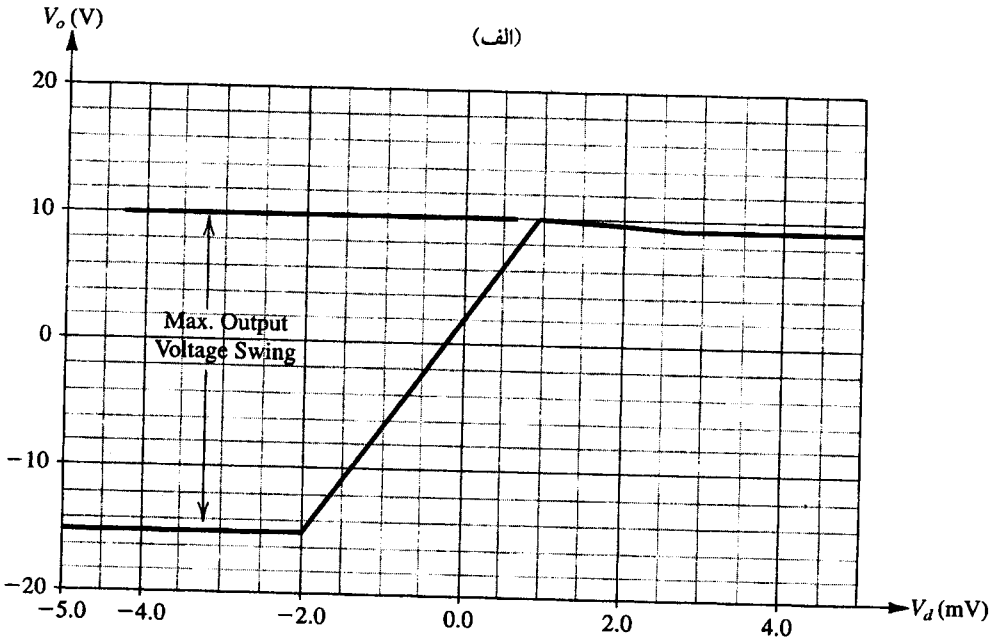
نتایج تحلیل بایاس dc در جدول ۱-۶ خلاصه شده است که مقادیر حاصل از تحلیل دستی مثال ۳-۶ را نیز به نمایش گذاشته است. به خاطر آورید که در تحلیل دستی، از اثر ارلی چشمپوشی کرده، β را بسیار بزرگ در نظر گرفته‌ایم. با وجود این، بیشترین خطا در محاسبه جریان بایاس فقط ۱۵٪ است. بنابراین اعتبار تحلیل دستی با تقریب‌های

جدول ۱-۶ . جریان‌های dc کلکتور مدار تقویت کننده عملیاتی شکل (۵۲-۶) بر حسب میلی آمپر، که با تحلیل دستی (مثال ۳-۶) و SPICE حاصل شده است.

ترانزیستور	تحلیل دستی	SPICE	درصد خطا
Q_1	۰/۲۵	۰/۲۶۶	-۰/۶
Q_2	۰/۲۵	۰/۲۶۶	-۰/۶
Q_3	۰/۵	۰/۵۳۷	-۶/۹
Q_4	۱	۱/۱۷	-۱۴/۵
Q_5	۱	۱/۱۳	-۱۱/۵
Q_6	۲	۲/۳۳	-۱۴/۲
Q_7	۱	۱/۱۵	-۱۳
Q_8	۵	۵/۴۸	-۸/۸
Q_9	۰/۵	۰/۴۷	+۶/۴



(الف)



(ب)

شکل ۵۳-۶ . (الف) مشخصه انتقالی تفاضلی سیگنال - بزرگ تقویت‌کننده تفاضلی شکل (۵۲-۶). ولتاژ حالت مشترک ورودی V_{CM} روی مقدار صفر تنظیم می‌شود. (ب) نمای توسعه یافته ناحیه بهره زیاد مشخصه انتقالی .

کلی به قوت خود باقی است و بینشی در مورد مدار به ما می‌دهد.
جدول (۱-۶) علاوه بر جریان‌های بایاس، افست dc خروجی را ۱/۵۸V، جریان بایاس ورودی را ۲/۴μA و توان مصرفی مدار را در حدود ۰/۳W نشان می‌دهد.

مشخصه انتقالی سیگنال-بزرگ تقویت‌کننده در شکل (الف ۵۳-۶) به نمایش در آمده است. توجه که مطابق انتظار، ناحیه بهره زیاد در همسایگی صفر ولت است، اما، قابلیت تفکیک محور ولتاژ ورودی آنچنان دقیق نسبت که اطلاعات بیشتری در مورد جزئیات ناحیه خطی به ما بدهد. بنابراین پس از تعیین محل ناحیه خطی، می‌توانیم از SPICE بخواهیم که نمایی توسعه یافته از آن را با جاروب v_α در گستره ۵mV- تا ۵mV+ با نمو ۱۰ میکرو ولتی نشان دهد. نتیجه، در شکل (ب ۵۳-۶) به نمایش در آمده است. توجه کنید که برای ورودی‌های کمتر از ۲mV-، خروجی در ۱۵V- در حالت اشباع می‌ماند. در ناحیه بین ۲mV- و حدود ۱mV+، سطح خروجی از ۱۵V- تا حدود ۱۰V+ بصورت خطی تغییر می‌کند. بنابراین نوسان ولتاژ خروجی این تقویت‌کننده بین ۱۵V- و ۱۰V+ است که یک گستره نامتقارن است. تخمین غیر دقیق بهره تقویت‌کننده را می‌توان از محدوده‌های ناحیه خطی بصورت

$$[10 - (-15)]V / 3 = 8.33\times10^{3} V/VmV$$

به دست آورد. در شکل (ب ۵۳-۶) نیز می‌بینیم که تقویت‌کننده دارای ولتاژ افست ورودی $V_{OS} = 180\mu V$ است. این مقدار متناظر با مقداری است که قبلاً برای ولتاژ افست خروجی یعنی ۱/۵۸V به دست آمده (یعنی $180\mu V\times8.33\times10^{3} \cong 1.58V$).

تأکید می‌کنیم که این ولتاژ افست ناشی از طراحی است و نتیجه عدم تطبیق عناصر یا قطعه‌ها نمی‌باشد، بنابراین می‌توانیم آن را افست سیستمی بنامیم.

هنگام کار عملی op-amp، از فیدبک منفی استفاده می‌کنیم (فصل‌های ۲، ۸ و ۱۰ را ببینید) و ولتاژ dc خروجی را در صفر تثبیت می‌نماییم. بنابراین برای تحلیل عملکرد سیگنال-کوچک مدار op-amp باید مدار را طوری بایاس کنیم که در این سطح ولتاژ خروجی کار کند. این کار را می‌توان با اعمال V_{OS} منفی به ورودی انجام داد. علاوه بر اعمال این ولتاژ dc به ورودی، یک سیگنال یک ولتی ac نیز به مدار اعمال می‌کنیم تا بهره، مقاومت ورودی و نظایر آن را محاسبه کنیم. نباید از این مقدار برای ورودی تعجب کنید، چون SPICE ابتدا مدار معادل سیگنال-کوچک را پیدا کرده و سپس این مدار خطی را تحلیل می‌کند البته تحلیل را می‌توان با هر دامنه‌ای برای ورودی انجام داد. هر دو تحلیل تابع انتقال و ac نیز انجام می‌شود (ضمیمه ت را ببینید)

نتایج شبیه سازی، بهره ولتاژ را $8.852\times10^{3} V/V$ و مقاومت ورودی را ۲۱/۱۴kΩ نشان می‌دهد. این مقادیر و سایر پارامترهای محاسبه شده توسط SPICE و مقادیر متناظر حاصل از تحلیل دستی مثال (۴-۶)، در جدول (۲-۶) ارائه شده است. جنبه‌های دیگر این مدار را بعلت محدودیت نشان نمی‌دهیم اما گستره حالت مشترک ورودی را بررسی می‌کنیم. این کار را با جاروب dc ولتاژ حالت مشترک ورودی V_{CM} در گستره ۱۵V- تا ۱۵V+ (که ولتاژهای تغذیه هستند) و ثابت بودن V_d در $V_{OS} = -180\mu V$- انجام می‌دهیم. نمودار V_o حاصل، در

جدول ۲-۶ مقایسه نتایج تحلیل تقویت‌کننده عملیاتی شکل (۵۲-۶) بصورت دستی (مثال‌های ۳-۶ و ۴-۶) و تحلیل SPICE

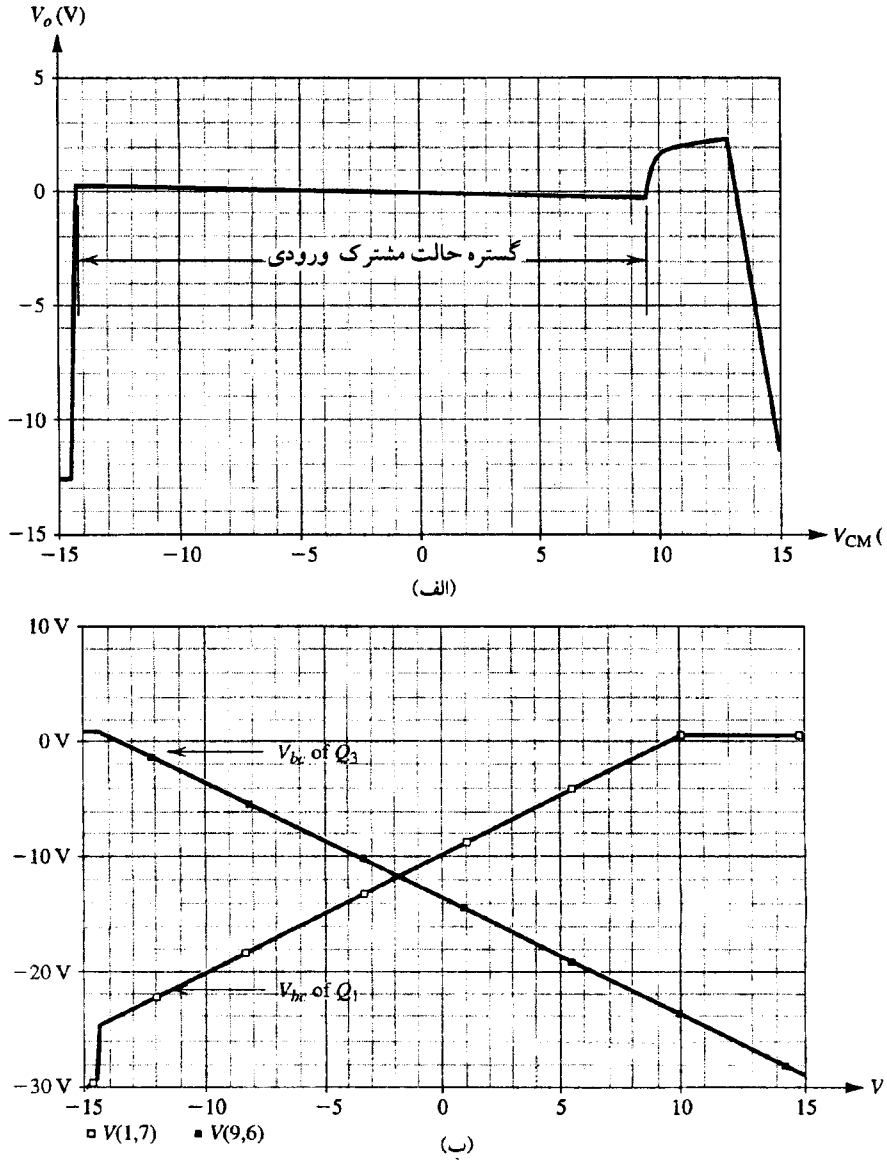
SPICE	تحلیل دستی	واحد	پارامتر
۱/۵۸	۰	V	ولتاژ افست خروجی
۱۸۰	۰	μV	ولتاژ افست ورودی
۲/۴۳	۲/۵	μA	جریان‌های بایاس ورودی
۲۹۲	۲۶۲/۵	mW	توان مصرفی ساکن
۸/۸۵۲	۸/۵۱۳	kV/V	بهره ولتاژ تفاضلی
۲۱/۱۴	۲۰/۱	kΩ	مقاومت تفاضلی ورودی
۱۳۳/۷	۱۵۲	Ω	مقاومت خروجی
۹/۵+تا۱۴/۲-	۱۰+تا ۱۳/۶-	V	گستره حالت مشترک ورودی
۱۰+ تا ۱۵-	-	V	نوسان ولتاژ خروجی

شکل (الف ۵۴-۶) نشان داده شده که با توجه به آن می‌بینیم که تقویت کننده در گستره ۱۴/۲V- یا ۹/۵V+ رفتار خطی دارد و بنابراین، این گستره باید گستره حالت مشترک ورودی باشد. در مثال (۳-۶) متذکر شدیم که حد بالایی گستره با اشباع Q_1 و Q_2 تعیین می‌شود. در حالی که حد پایین با اشباع Q_3 مشخص می‌گردد. برای اثبات این نکته مقادیر ولتاژهای کلکتور-بیس این ترانزیستورها را نسبت به ولتاژ حالت مشترک ورودی، توسط SPICE ترسیم می‌کنیم. نتیجه حاصل در شکل (ب ۵۴-۶) نشان داده شده که تأیید کننده نکته گفته شده است.

مثالی که ارائه شد، توانایی شبیه‌سازی مدار را نشان داد. چنانچه طراح یک بار اقدام به تحلیل دستی نماید و به درک درستی از کار مدار برسد، استفاده از SPICE نتایج سودمندی به دنبال خواهد داشت، و عاملی در جهت افزایش دید و قدرت طراحی یک طراح خواهد شد و این دو به موازات هم پیش خواهند رفت. به خواننده توصیه می‌کنیم که در همین راستا، مسائل انتهای فصل را با تحلیل SPICE نیز بررسی نماید.

خلاصه

- زوج تفاضلی مهمترین قسمت تشکیل دهنده در طراحی IC آنالوگ است. طبقه ورودی هر op-amp یک تقویت‌کنندهٔ تفاضلی است.
- تقویت‌کننده‌های تفاضلی با استفاده از BJTها، JFETها، MOSFETها یا GaAs MESFETها پیاده سازی می‌شوند. مزیت FETها کوچک بودن جریان بایاس ورودی و بالابودن مقاومت ورودی است. BJTها دارای ولتاژهای افست پایین و پهنای باند گسترده‌تر هستند. GaAsها بیشترین پهنای باند را دارند.
- تقویت‌کننده تفاضلی دارای بهره تفاضلی زیاد وبهره حالت مشترک پایین است. نسبت این دو، CMRR نامیده شده و برحسب دسی‌بل بیان می‌شود.
- در زوج تفاضلی BJT ولتاژ ورودی تفاضلی ۱۰۰mV کافی است تا باعث شود جریان بایاس به یک طرف زوج هدایت شود.
- برای سیگنالهای ورودی تفاضلی عملکرد تقویت‌کننده تفاضلی را می‌توان با استفاده از نیمی از مدار تفاضلی تحلیل کرد بهره حالت



شکل ۵۴-۶ . **(الف)** مشخصه انتقالی حالت مشترک سیگنال - بزرگ تقویت کنندهٔ BJT شکل (۵۲-۶) . ولتاژ آفست تفاضلی ورودی مساوی $-۱۸۰\mu V$ ، برای جلوگیری از اشباع زودرس، به ورودی تقویت‌کننده اعمال می‌شود. **(ب)** اثر ولتاژ ورودی حالت مشترک V_{CM} روی خطی بودن طبقه ورودی تقویت کننده عملیاتی شکل (۵۲-۶) در این جا ولتاژ بیس-کلکتور Q_1 و Q_3 بصورت تابعی از V_{CM} نشان داده‌ایم. اولین طبقه تقویت کننده، هنگامی که پیوند بیس - کلکتور Q_1 یا Q_3 بایاس مستقیم می‌شود، ناحیه فعال را ترک می‌کند.

مشترک و مقاومت ورودی را می‌توان از نیم مدار حالت مشترک به دست آورد.

- برای داشتن بهرهٔ حالت مشترک پایین و در پی آن CMRR بالا باید منبع جریان بایاس مقاومت خروجی زیادی داشته باشد.
- CMRR بالا با استفاده از خروجی تفاضلی و اطمینان از تطابق کامل دو طرف تقویت‌کننده تفاضلی حاصل می‌شود.
- عدم تطبیق‌های بین دوطرف تقویت‌کننده تفاضلی منجر به ولتاژ افست ورودی و در تقویت‌کننده‌های BJT منجر به جریان افست ورودی می‌شود.
- بایاس کردن IC های آنالوگ مبتنی بر استفاده از منابع جریان ثابت است. مدار آیینهٔ جریان BJT اساسی به β وابستگی داشته و مقاومت خروجی نسبتاً کمی دارد. با استفاده از مدارهای آینه دقیق‌تر می‌توان وابستگی به β را کاهش و مقاومت خروجی را افزایش داد. مشکلات وابستگی به β در آینه‌های MOS وجود ندارد.
- تقویت‌کننده تفاضلی با بار فعال آینه جریان، مداری متداول برای طراحی IC آنالوگ MOS و دو قطبی می‌باشد.
- آرایش کاسکود (cascode) شامل ترانزیستور امیتر مشترک (یا سورس مشترک) و بدنبال آن ترانزیستور بیس مشترک (یا گیت مشترک) می‌باشد. این آرایش مقاومت خروجی بیشتر و پهنای باند گسترده‌تری دارد.
- تکنولوژی BiCMOS طراح را قادر می‌سازد تا g_m بالا، قابلیت فرکانسی بالا و آسانی تطبیق قطعات ترانزیستورهای دو قطبی را با مقاومت ورودی بی‌نهایت و مشخصه‌های سوئیچینگ عالی ترانزیستورهای MOS ترکیب کند.

- تکنولوژی GaAs MESFET در فرکانسهای بسیار بالا کاربرد دارد تلاش عمده در طراحی تقویت‌کننده‌های GaAs به حداقل رساندن اثرات مقاومت خروجی پایین آنهاست. بوت استرپ کردن و متوالی کردن آنها دو تکنیک است که غالباً بدین منظور مورد استفاده قرار می‌گیرد.
- یک تقویت کنندهٔ چند طبقه معمولاً شامل یک طبقه ورودی با مقاومت ورودی زیاد و اگر تفاضلی باشد، CMRR بالا، یک یا چند طبقه میانی برای تحقق قسمت عمدهٔ بهره و طبقه خروجی با مقاومت کم، می‌باشد. در تحلیل یک تقویت‌کننده چند طبقه اثرات بارگذاری هر یک از طبقات روی طبقه قبلی بایستی در نظر گرفته شود.

مسائل

بخش ۱-۶: زوج تفاضلی BJT

۶-۱ مدار تقویت‌کننده تفاضلی شکل (الف ۲-۶) را با مقادیر $I=1\text{mA}$، $V_{CC} = 5\text{ V}$، $v_{CM} = -2\text{ V}$، $R_C = 3\text{ k}\Omega$ و $\beta = 100$ درنظر بگیرید. با فرض اینکه BJT ها در جریان $i_C = 1\text{ mA}$ دارای $v_{BE} = 0/7\text{V}$ هستند ولتاژ امیترها و خروجی‌ها را پیدا کنید.

۶-۲ در مدار شکل (ب ۲-۶) با ورودی $+1\text{V}$ که مشخص شده است و $I=1\text{mA}$، $V_{CC} = 5\text{ V}$، $R_C = 3\text{ k}\Omega$ و $\beta = 100$ ولتاژ امیترها و کلکتورها را به دست آورید. فرض کنید BJT ها دارای $v_{BE} = 0/7\text{ V}$ در جریان $i_{C1} = \text{mA}$ هستند.

۶-۳ تمرین ۱-۶ را با ورودی $-0/3\text{ V}$ تکرار کنید.

۶-۴ در تقویت‌کنندهٔ تفاضلی BJT شکل ۱-۶ سیگنال تفاضلی ورودی، $v_{B1} - v_{B2}$ را که باعث می‌شود جریان امیتر $i_{E1} = 0/8\ I$ شود پیدا کنید.

ط ۶-۵ تقویت‌کننده تفاضلی شکل ۱-۶ را با β خیلی زیاد درنظر بگیرید:
الف: بزرگترین سیگنال ورودی حالت مشترک که می‌تواند اعمال شود و BJT در حالت فعال باقی بماند با $v_{CB} = 0$ چقدر است؟
(ب): اگر سیگنال تفاضل ورودی بقدر کافی بزرگ باشد که جریان را کاملاً به یکی از قسمتهای زوج هدایت کند، تغییرات ولتاژ در هر کلکتور چقدر است؟ (نسبت به حالتی که $v_d = 0$ می‌باشد).
(پ) اگر ولتاژ منبع تغذیه $V_{CC} = 5\text{ V}$ باشد برای اینکه سیگنال ورودی حالت مشترک در محدودهٔ $\pm 3\text{ V}$ قرار داشته باشد مقدار IR_C را چقدر انتخاب می‌کنید؟
(ت) برای مقدار انتخاب‌شده IR_C در (پ)، R_C و I را انتخاب کنید. بیشترین مقدار ممکن را برای I درنظر بگیرید بگونه‌ای که جریان بیس هریک از ترانزیستورها (هنگامی که I بطور مساوی تقسیم می‌شود) از $2\ \mu\text{A}$ تجاوز نکند. β را ۱۰۰ درنظر بگیرید.

۶-۶ به منظور ایجاد بینشی در مورد امکان اعوجاج غیرخطی حاصل از سیگنالهای تفاضلی بزرگ اعمال شده در ورودی تقویت‌کننده تفاضلی شکل ۱-۶، تغییر نرمال شده جریان i_{E1}، $\frac{\Delta i_{E1}}{I} = \frac{i_{E1} - (I/2)}{I}$ را برای سیگنال‌های تفاضلی ورودی v_d به مقدار ۵، ۱۰، ۲۰، ۳۰ و ۴۰ میلی ولت را ارزیابی کنید. نسبت $\left(\frac{\Delta i_{E1}/I}{v_d}\right)$ را که نشان دهنده بهره زوج تفاضلی نسبت به v_d است، بصورت جدول ارائه نمایید. در مورد خطی بودن زوج تفاضلی بعنوان یک تقویت کننده، توضیح دهید.

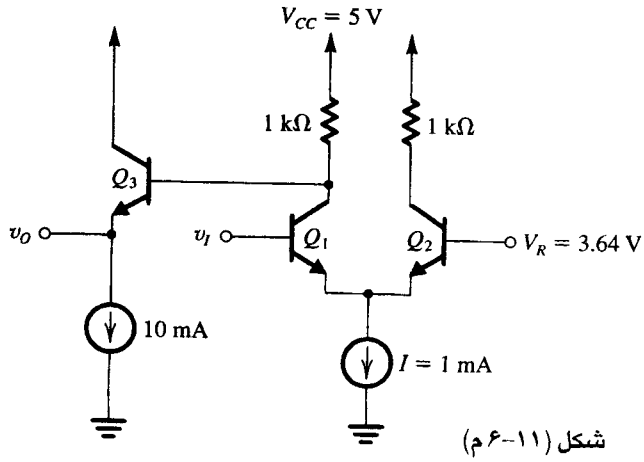
ط ۶-۷ مدار شکل (۱-۶) را برای ایجاد ولتاژ خروجی تفاضلی (بین دو کلکتور) ۱ V، هنگامی که سیگنال ورودی تفاضلی ۱۰ mV است طراحی کنید. یک منبع جریان ۱ میلی‌آمپری و منبع تغذیه ۱۰ V مثبت موجود می‌باشند. بزرگترین ولتاژ ورودی حالت مشترک ممکن، برای کار مدار در حالت خواسته شده چقدر است؟ α را تقریباً ۱ فرض کنید.

***ط ۶-۸** یکی از تبادل‌ها در طراحی مدار تقویت کننده تفاضلی اساسی شکل (۱-۶)، بین بهره ولتاژ و گستره ولتاژ حالت مشترک ورودی است. هدف از این مسئله تشریح این تبادل است.
(الف) با استفاده از معادله‌های (۷-۶) و (۸-۶)، i_{C1} و i_{C2} متناظر با سیگنال ورودی تفاضلی 5mV (یعنی $v_{B1} - v_{B2} = 5\text{mV}$) را به دست آورید. فرض کنید β بسیار زیاد باشد. اختلاف ولتاژ حاصله بین دو کلکتور، $(v_{C2} - v_{C1})$ را به دست آورده، آن را بر 5mV تقسیم کرده، بهره ولتاژ را بر حسب (IR_C) به دست آورید.
(ب) بیشترین مقدار مجاز v_{CM} [شکل (الف ۲-۶)] را در صورتی که ترانزیستورها با $v_{CB} = 0$ در ناحیه فعال باقی بمانند، بیابید. این مقدار را بر حسب بهره و V_{CC} بیان کنید و نشان دهید که به ازای یک V_{CC} معین، بهره بالا منجر به کاهش گستره حالت مشترک می‌شود. با استفاده از عبارت به دست آمده ماکزیمم $|v_{CM}|$ را که متناظر با بهره ۱۰۰، ۲۰۰، ۳۰۰ و ۴۰۰ V/V است، به دست آورید. برای هر یک از مقادیر داده شده، مقدار لازم IR_C و R_C را برای $I = 1\text{mA}$ بیابید.

***ط ۶-۹** در مدار شکل (۱-۶) با فرض $\alpha = 1$ و $IR_C = 5\text{V}$ و استفاده از معادله‌های (۷-۶) و (۸-۶)، i_{C1} و i_{C2} را به دست آورده، $v_o = v_{C2} - v_{C1}$ را به ازای سیگنال‌های تفاضلی ورودی $v_d \equiv v_{B1} - v_{B2}$ با مقادیر 5mV، 10mV، 15mV، 20mV، 25mV، 30mV، 35mV و 40mV، حساب کنید. v_o را نسبت v_d رسم کنید. و خطی بودن تقویت کننده را بررسی کنید. بعنوان نمایشی دیگر از خطی بودن، بهره (v_o/v_d) را نسبت به v_d، تعیین کنید نمودار به دست آمده را تشریح کنید.

۶-۱۰ در یک تقویت‌کنندهٔ تفاضلی که از منبع جریان بایاس امیتری 6 mA استفاده می‌کند دو BJT کاملاً مشابه نیستند. سطح پیوند امیتر یکی از آنها دو برابر دیگری است. برای سیگنال ورودی تفاضلی صفر ولت، جریان‌های کلکتور چه مقداری خواهد بود؟ چه تفاضلی در ورودی برای برابرکردن جریانهای کلکتور لازم است؟ فرض کنید $\alpha = 1$ باشد.

۶-۱۱ شکل (۱۱-۶م) یک وارونگر منطقی مبتنی بر زوج تفاضلی را نشان می‌دهد. در این مدار Q_1 و Q_2 زوج تفاضلی را تشکیل می‌دهند، در حالی که Q_3 یک امیتر پیرو است که دو کار انجام می‌دهد: سطح ولتاژ خروجی را انتقال می‌دهد تا V_{OH} و V_{OL} را نسبت به ولتاژ V_R متقارن کند بدین ترتیب یک گیت می‌تواند گیت دیگر را راه‌اندازی کند (این نکته به تفصیل در فصل ۱۴ بررسی می‌شود)، و یک واونگر با مقاومت خروجی کم را ارائه می‌نماید. همه ترانزیستورها دارای $V_{BE} = 0/7\text{V}$ در $I_C = 1\text{mA}$ و $\beta = 100$ هستند.
(الف) برای v_I بقدر کافی پایین بطوری که Q_1 خاموش شود، مقدار ولتاژ خروجی v_o را که همان V_{OH} است، به دست آورید.
(ب) برای v_I بقدر کافی بالا بطوری که Q_1 کل جریان I را عبور دهد، ولتاژ



شکل (۱۱-۶ م)

خروجی v_o را که همان V_{OL} است، بیابید.
(پ) مقداری از v_I را که به ازای آن Q_1، یک درصد جریان I را هدایت کند، به دست آورید که همان V_{IH} است.
(ت) مقداری از v_I را که به ازای آن Q_1، ۹۹٪ جریان I را هدایت کند، به دست آورید که همان V_{IL} است.
(ث) نقاط شکست مشخصه انتقالی ولتاژ وارونگر را مشخص نمایید. حاشیه‌های نویز NM_H و NM_L را به دست آورید. در مورد انتخاب صحیح ولتاژ مرجع V_R دقت کنید.

بخش ۲-۶: عملکرد سیگنال کوچک تقویت‌کنندهٔ BJT

۶-۱۲ یک تقویت‌کننده تفاضلی BJT از جریان بایاس ۲۰۰ μA استفاده می‌کند. مقدار g_m هر ترانزیستور چقدر است؟ اگر β، ۲۰۰ باشد، مقاومت ورودی چقدر است؟

ط ۶-۱۳ مدار تقویت‌کننده تفاضلی BJT اساسی شکل ۶-۴ را برای داشتن مقاومت ورودی تفاضلی حداقل ۱۰ kΩ و بهره ولتاژ تفاضلی (خروجی از بین دو کلکتور گرفته می‌شود) ۱۰۰ V/V طراحی کنید. β ترانزیستور حداقل ۲۰۰ و منبع تغذیه ۱۰ V می‌باشد.

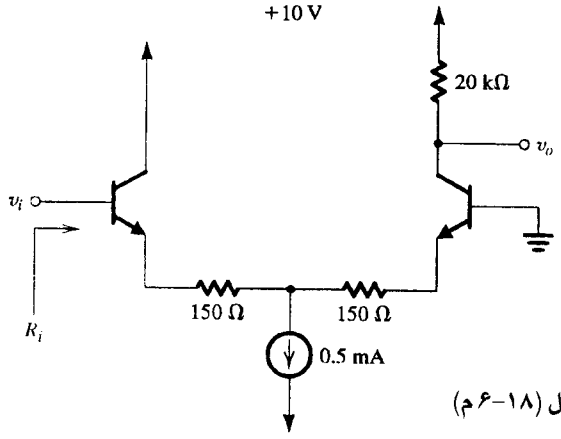
۶-۱۴ برای یک تقویت‌کننده تفاضلی که اختلاف سیگنال کلی ۵mV به آن اعمال شده، سیگنال معادل متناظر با نیم مدار امیتر مشترک چیست؟ اگر منبع جریان امیتر، ۵۰μA باشد، r_e نیم مدار چقدر است؟ با مقاومت بار ۲۰kΩ در هر کلکتور، بهره نیم مدار چقدر است؟ انتظار دارید اندازه سیگنال خروجی هر کلکتور چقدر باشد؟

۶-۱۵ یک تقویت‌کننده تفاضلی BJT با یک منبع جریان ثابت ۲ میلی‌آمپری بایاس شده و دارای مقاومت ۱۰۰ Ω در هر امیتر است. کلکتورها از طریق مقاومتهای ۵ kΩ به V_{CC} متصل شده‌اند. سیگنال ورودی تفاضلی ۰/۱ V بین دو بیس اعمال می‌شود.
(الف) جریان سیگنال در امیترها (i_e) و ولتاژ سیگنال را v_{be} را برای هر BJT به دست آورید.
(ب) جریان کلی امیتر هریک از BJT ها چقدر است؟
(پ) ولتاژ سیگنال در هر کلکتور چقدر است؟ فرض کنید $\alpha = 1$ باشد.
(ت) بهره ولتاژ به دست آمده هنگامی که خروجی از بین دو کلکتور گرفته می‌شود، چقدر است؟

ط ۶-۱۶ یک تقویت‌کنندهٔ تفاضلی BJT را برای تقویت سیگنال ورودی تفاضلی ۰/۲V و تولید سیگنال خروجی تفاضلی ۴ V طراحی کنید به منظور اطمینان از خطی‌بودن کافی، باید دامنه سیگنالهای روی پیوند بیس - امیتر به مقدار حداکثر ۵ mV محدود گردد. یکی دیگر از نیازهای طراحی این است که مقاومت ورودی تفاضلی حداقل ۸۰ kΩ باشد. BJT ها دارای $\beta \geq 200$ می‌باشند. آرایش مدار را مشخص کرده مقدار همهٔ عناصر آنرا به دست آورید.

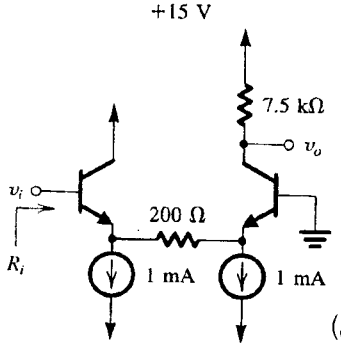
۶-۱۷ یک تقویت‌کننده تفاضلی خاص با یک منبع جریان در امیتر که مقاومت خروجی آن ۱MΩ است، کار می‌کند. مقاومت مربوط به هر نیم مدار حالت مشترک چقدر است؟ با مقاومت‌های کلکتور ۲۰kΩ، بهره حالت مشترک چقدر است؟

۶-۱۸ بهره ولتاژ و مقاومت ورودی تقویت‌کنندهٔ شکل (۶-۱۸ م) را با فرض $\beta = 100$ به دست آورید.



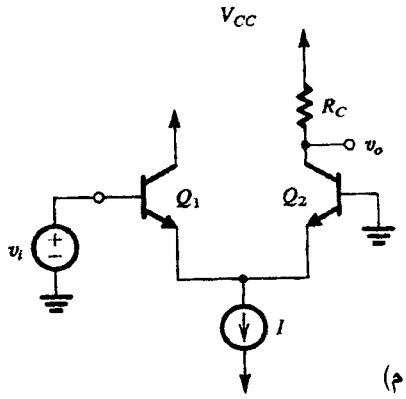
شکل (۶-۱۸ م)

۶-۱۹ بهره ولتاژ و مقاومت ورودی تقویت‌کنندهٔ شکل (۶-۱۹ م) را با فرض $\beta = 100$ به دست آورید.



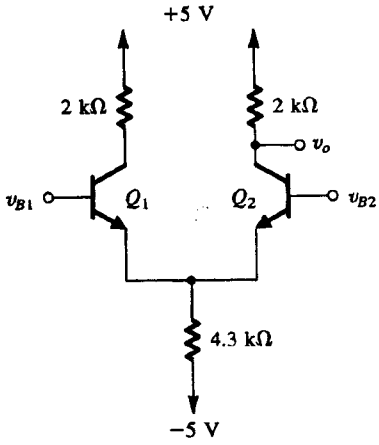
شکل (۶-۱۹ م)

۶-۲۰ عبارتی برای بهره ولتاژ سیگنال کوچک v_o / v_i مدار شکل (۶-۲۰ م) به دو روش مختلف به دست آورید:
(الف) بعنوان تقویت‌کنندهٔ تفاضلی
(ب) بعنوان یک طبقه کلکتور مشترک Q_1 و یک طبقه بیس مشترک Q_2 که پشت سرهم بسته شده‌اند.
فرض کنید BJTها دارای تطبیق بوده و دارای بهره جریان α باشند. ثابت کنید این دو فرض منجر به همان نتیجه می‌شود.



شکل (۲۰-۶ م)

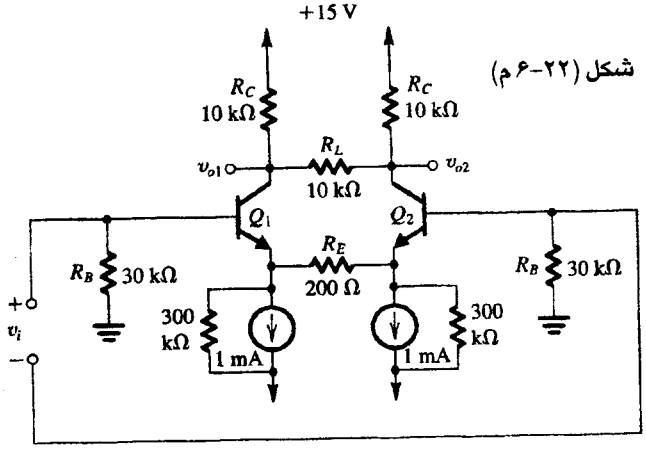
۶-۲۱ در مدار تقویت‌کنندهٔ تفاضلی شکل (۲۱-۶ م) از یک مقاومت متصل شده به منبع تغذیه منفی برای ایجاد جریان بایاس I استفاده شده است.
(الف) در حالت $v_{B1}=v_d/2$ و $v_{B2}=-v_d/2$ که در آن v_d، سیگنال کوچک با متوسط صفر است اندازهٔ بهرهٔ تفاضلی، $|v_o/v_d|$ را به دست آورید.
(ب) در حالت $v_{B1} = v_{B2} = v_{CM}$ اندازهٔ بهرهٔ حالت مشترک $|v_o/v_{CM}|$ را به دست آورید.
(پ) CMRR را محاسبه کنید.
(ت) اگر ولت $v_{B1} = 0.1 \sin 2\pi \times 60t + 0.005 \sin 2\pi \times 1000t$ و ولت $v_{B2} = 0.1 \sin 2\pi \times 60t + 0.005 \sin 2\pi \times 1000t$ باشد، v_o را پیدا کنید.



شکل (۲۱-۶ م)

۶-۲۲ در تقویت کننده تفاضلی شکل (۲۲-۶ م) نیم مدار حالت تفاضلی و مشترک را رسم کنید. بهره تفاضلی، مقاومت ورودی تفاضلی، بهره حالت مشترک و مقاومت ورودی حالت مشترک را به دست آورید. $\beta = 100$ و $V_A = 100\text{V}$ است.

شکل (۲۲-۶ م)



۶-۲۳ مدار تفاضلی اساسی را با ترانزیستورهای دارای $\beta = 200$ و $V_A = 200\text{V}$ و $I = 0.5\text{mA}$، $R = 1\text{M}\Omega$ و $R_C = 20\text{k}\Omega$ در نظر بگیرید. موارد زیر را به دست آورید:
(الف) بهره تفاضلی به خروجی تک سر
(ب) بهره تفاضلی به خروجی تفاضلی
(پ) مقاومت ورودی تفاضلی
(ت) بهره حالت مشترک به خروجی تک سر
(ث) بهره حالت مشترک به خروجی تفاضلی

۶-۲۴ در یک مدار تفاضلی شبیه شکل (الف ۱۱-۶)، مولد جریان با I و R که شامل یک ترانزیستور امیتر مشترک که در $100\mu\text{A}$ کار می‌کند، نشان داده شده است. برای این ترانزیستور و ترانزیستورهایی که در زوج تفاضلی هستند، $V_A = 200\text{V}$، $r_\mu = 10\beta r_o$ با $\beta = 50$ می‌باشد. مقاومت ورودی حالت مشترک چقدر است؟

ط ۶-۲۵ می‌خواهیم یک تقویت کننده تفاضلی که بزرگترین سیگنال ممکن را در یک زوج مقاومت بار $10\text{k}\Omega$ ایجاد کند، طراحی کنیم. سیگنال تفاضلی ورودی، یک سیگنال سینوسی با دامنه نوک 5mV است و به یک پایانه ورودی اعمال می‌شود، در حالی که پایانه دوم زمین شده است. منبع تغذیه 10V است. برای تعیین جریان بایاس لازم یعنی I، عبارتی برای ولتاژ کلی در هر یک از کلکتورها بر حسب V_{CC} و I هنگامی که سیگنال ورودی اعمال شده است، به دست آورید. سپس شرایطی را که هر دو ترانزیستور خارج از ناحیه اشباع با v_{CB} تقریباً صفر کار کنند، اعمال کنید. بدین ترتیب مقدار I لازم تعیین می‌شود. بهره تفاضلی حاصله چقدر است؟ دامنه ولتاژ سیگنال بین دو کلکتور چقدر است؟ فرض کنید $\alpha \cong 1$ است.

ط ۶-۲۶ یک تقویت‌کنندهٔ تفاضلی طراحی کنید که دارای دو خروجی تک سر باشد (در کلکتورها) تقویت‌کننده باید دارای بهره تفاضلی (در هریک از دو خروجی) حداقل 100 V/V، مقاومت ورودی تفاضلی حداقل $10\text{k}\Omega$ و بهره حالت مشترک (در هریک از دو خروجی) کمتر از 0.1 V/V باشد برای بایاس از منبع جریان 2 mA استفاده کنید. مدار کامل را رسم کرده، مقادیر عناصر و منبع تغذیه مناسب را برای نوسان ± 2 V در هر کلکتور به دست آورید.
کمترین مقداری را که مقاومت خروجی منبع جریان بایاس باید داشته باشد مشخص کنید. BJT های موجود دارای $\beta \geq 100$ می‌باشند. مقاومت ورودی حالت مشترک هنگامی که منبع بایاس در پایین‌ترین مقدار مقاومت خود است چقدر است؟

۶-۲۷ هنگامی که خروجی یک تقویت‌کنندهٔ تفاضلی BJT بصورت تفاضلی گرفته شود، CMRR به دست آمده 40 dB از حالت خروجی تک‌سر بیشتر است. اگر تنها منبع بهره حالت مشترک، وقتی که خروجی بصورت تفاضلی گرفته می‌شود، عدم تطبیق در مقاومتهای کلکتور باشد، این عدم تطبیق باید چقدر باشد (بصورت درصد)؟

***۶-۲۸** در یک تقویت‌کننده تفاضلی BJT ویژه یکی از منابع خطا این است که سطح پیوند بیس - امیتر یکی از ترانزیستورها دو برابر دیگری است. با زمین‌کردن ورودی‌ها جریان امیتر چگونه بین دو ترانزیستور تقسیم می‌شود. اگر مقاومت خروجی منبع جریان $1\text{M}\Omega$ و مقاومت هر کلکتور (R_C) $12\text{k}\Omega$ باشد بهرهٔ حالت مشترک، هنگامی که خروجی بصورت تفاضلی گرفته شود چقدر است؟ فرض کنید $\alpha \cong 1$ باشد.

بخش ۳-۶: مشخصه‌های دیگر غیرایده‌آل تقویت‌کنندهٔ تفاضلی

۶-۲۹ در یک تقویت‌کنندهٔ تفاضلی با منبع جریان امیتر $400\,\mu A$، دو ترانزیستور کاملاً منطبق بوده اما مقاومتهای بار کلکتور ۱۰٪ عدم تطبیق دارند ولتاژ افست ورودی لازم برای صفرکردن ولتاژ خروجی تفاضلی چقدر است؟

۶-۳۰ در یک تقویت‌کنندهٔ تفاضلی با منبع جریان امیتر $400\,\mu A$، جریانهای I_S دو ترانزیستور ۱۰٪ اختلاف دارند. اگر دو مقاومت کلکتور کاملاً منطبق باشد. ولتاژ افست ورودی را پیدا کنید.

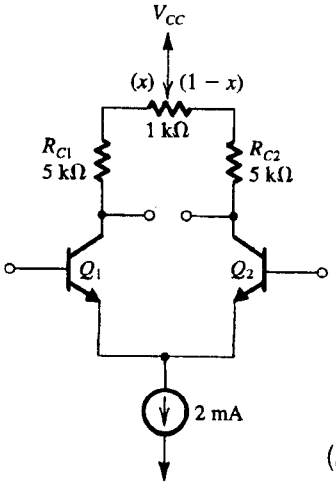
۶-۳۱ معادله (۶-۴۹) را برای حالتی که تقویت‌کنندهٔ تفاضلی دارای مقاومت R_E در امیتر هریک از ترانزیستورهاست اصلاح کنید. منبع جریان بایاس را I درنظر بگیرید.

۶-۳۲ در یک تقویت‌کننده تفاضلی دو ترانزیستور دارای β مختلف β_1 و β_2 می‌باشند. اگر بقیه مشخصات ترانزیستورها یکسان باشد نشان دهید که ولتاژ افست ورودی تقریباً از رابطه $V_T\,(1/\beta_1 - 1/\beta_2)$ به دست می‌آید. V_{OS} را برای $\beta_1 = 100$ و $\beta_2 = 200$ به دست آورید.

۶-۳۳ در یک تقویت‌کننده تفاضلی دو ترانزیستور دارای V_A مختلف ۱۰۰ و ۳۰۰ ولت می‌باشند. اگر بقیه مشخصات ترانزیستورها یکسان باشد. ولتاژ افست ورودی را به دست آورید. فرض کنید ترانزیستورها با ولتاژ V_{CE}، ۱۰ ولت بایاس شده‌اند.

۶-۳۴ یک تقویت کننده تفاضلی در حالت متوازن یا پوشپول با مقاومت منبع R_s که بصورت سری با هر یک از بیس‌ها قرار گرفته است، تغذیه می‌شود. نشان دهید که عدم تطبیق ΔR_s بین مقادیر دو مقاومت منبع تقریباً تا ولتاژ افست ورودی $\Delta R_s\,(I/2\beta)$ بالا می‌رود.

۶-۳۵ یکی از روش‌های تصحیح خطا شامل تنظیم مقادیر R_{C1} و R_{C2} بگونه‌ای است که ولتاژ خروجی تفاضلی هنگامی که هر دو پایانه ورودی به زمین متصل شود، صفر شود. این حذف افست را می‌توان با استفاده از یک مقاومت متغیر در مدار کلکتور، مطابق شکل (۶-۳۵ م) انجام داد. حال می‌خواهیم نحوه تنظیم مقاومت متغیر را به وسیله تعیین x و $(1-x)$ بررسی کنیم تا افست حذف شود. دو حالت را بررسی می‌کنیم:
(الف) R_{C1}، ۵٪ بیش از مقدار اسمی و R_{C2}، ۵٪ کمتر از مقدار اسمی باشد.
(ب) Q_1 دارای سطح ۱۰٪ بزرگتر از Q_2 باشد.



شکل (۶-۳۵ م)

۶-۳۶ در یک تقویت‌کنندهٔ تفاضلی مجموع جریان امیترها $400\,\mu A$ و β ترانزیستورها در محدودهٔ ۸۰ تا ۲۰۰ می‌باشد. بیشترین مقدار جریان بایاس ورودی ممکن چقدر است؟ کمترین مقدار آن چقدر است؟ بیشترین جریان افست ورودی ممکن چقدر است؟

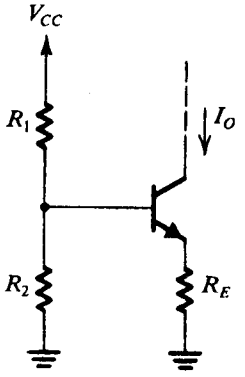
۶-۳۷ در یک تقویت‌کنندهٔ تفاضلی BJT با جریان بایاس $500\,\mu A$، مقاومتهای کلکتور $27\,k\Omega$ بوده و به منبع تغذیه ۱۵ V متصل می‌باشند منبع جریان امیتر یک BJT با ولتاژ امیتر ۵ V− است. حدود مثبت و منفی گسترهٔ حالت مشترک ورودی تقویت‌کننده، برای سیگنالهای کوچکتر و یا مساوی با دامنهٔ ۲۰ mV که بصورت پوشپول متقارن اعمال می‌شوند، چقدر است؟

****۶-۳۸** در یک تقویت‌کننده تفاضلی BJT ویژه یکی از منابع ایجاد خطا این است که سطح پیوند بیس - امیتر یکی از ترانزیستورها دو برابر دیگری است. در حالی که دو ورودی زمین شده باشند. جریان هر ترانزیستور و بنابراین ولتاژ افست dc دو خروجی را پیدا کنید، با فرض اینکه مقاومتهای کلکتور هر دو ترانزیستور مساوی باشند. از تحلیل سیگنال کوچک استفاده کرده، ولتاژی ورودی را که باعث توازن جریان زوج تفاضلی می‌شود به دست آورید. با استفاده از تحلیل سیگنال بزرگ نیز این کار را انجام داده نتایج را مقایسه کنید. جریان بایاس ورودی و افست را با فرض $I = 0.1$ mA و $\beta_1 = \beta_2 = 100$ به دست آورید.

بخش ۴-۶: بایاس کردن مدارهای مجتمع BJT

۶-۳۹ مدار شکل (۶-۳۹ م) تا زمانی که مدار متصل شده به کلکتور BJT را در حالت فعال نگهدارد جریان ثابت I_O را تولید می‌کند. نشان دهید:

$$I_O \equiv \alpha \frac{V_{CC}\,[R_2/(R_1+R_2)] - V_{BE}}{R_E + (R_1 // R_2)/(\beta+1)}$$

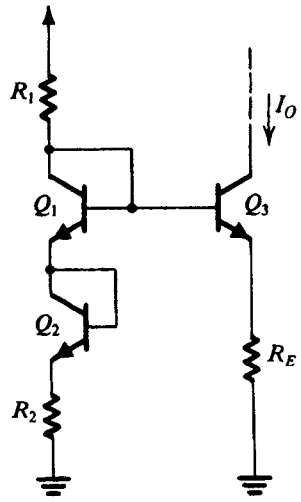


شکل (۶-۳۹ م)

ط ***۶-۴۰** در مدار شکل (۶-۴۰ م) با فرض اینکه همه ترانزیستورها یکسان بوده و β آنها بی‌نهایت باشد. عبارتی برای جریان خروجی I_O به دست آورید و نشان دهید با انتخاب $R_1 = R_2$ و یکسان نگهداشتن جریان در هر پیوند جریان I_O در رابطه

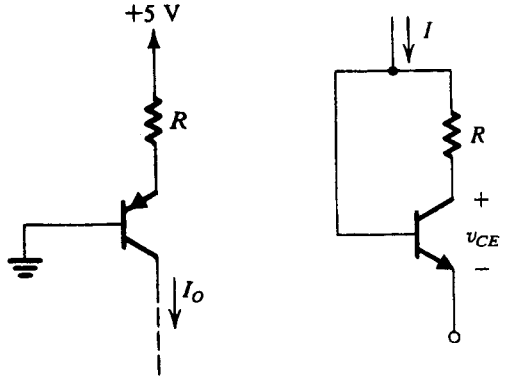
$$I_O = \frac{\alpha V_{CC}}{2R_E}$$

به دست می‌آید که مستقل از V_{BE} می‌باشد. جریان R_E با R_1 و R_2 باید چه رابطه‌ای داشته باشد؟ با فرض $V_{CC} = 15$ V، $\alpha \cong 1$ و $V_{BE} = 0.7$ V مدار را برای به دست آوردن جریان فرض ۱ mA طراحی کنید. کمترین ولتاژی که باید به کلکتور Q_3 اعمال شود چه مقدار است؟



شکل (۴۰-۶م)

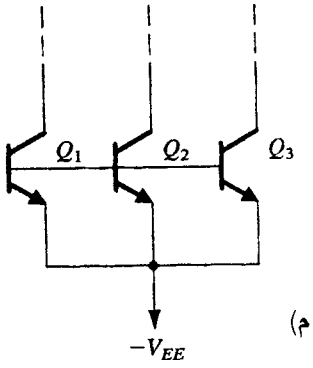
*۶-۴۱ در مدار شکل (۴۱-۶ م) نشان دهید که با انتخاب $R = 1/g_m$، v_{CE} در مقابل تغییرات کوچک I، ثابت می‌ماند. فرض کنید R نسبتاً کوچک بوده و ترانزیستور در ناحیه فعال کار کند.



شکل (۴۱-۶م) (شکل ۴۲-۶م)

۶-۴۲ در مدار شکل (۴۲-۶ م) مقدار R را که منجر به $I_O \cong 1$ mA شود پیدا کنید. بیشترین ولتاژی که می‌توان به کلکتور اعمال کرد چقدر است؟ فرض کنید $|V_{BE}| = 0.7$ V است.

۶-۴۳ ترانزیستورهای Q_1، Q_2 و Q_3 در مدار شکل (۴۳-۶ م) دارای سطح پیوند بیس - امیتر با نسبتهای ۳:۲:۱، می‌باشند.
(الف) اگر Q_1 بصورت دیود متصل شود و با جریان ۱ mA تغذیه شود جریان حاصل در کلکتورهای Q_2 و Q_3 چقدر است؟ با این فرض که ولتاژهای کلکتور بگونه‌ای است که ترانزیستور در حالت فعال باقی می‌ماند.

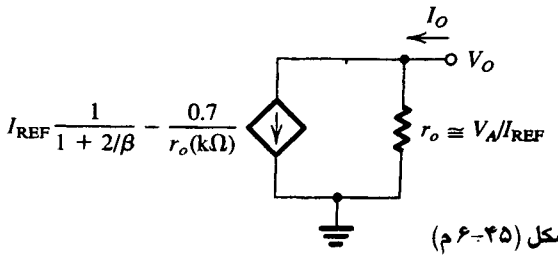


شکل (۴۳-۶ م)

(ب) مسأله را در حالتی که Q_2 بصورت دیود متصل شده و با جریان ۱ mA تغذیه شود تکرار کنید.
(پ) مسأله را در حالتی که Q_3 بصورت دیود متصل شده و با جریان ۱ mA تغذیه شود تکرار کنید.

ط ۶-۴۴ مداری برای نوع *pnp* از مدار آینهٔ جریان بایاس شکل ۶-۱۵ رسم کنید. اگر β ترانزیستور *pnp*، ۲۰ باشد. بهرهٔ جریان (یا نسبت انتقال) I_O/I_{REF} با صرفنظرکردن از اثر ارلی چیست؟

۶-۴۵ مدار آینه جریان اساسی شکل (۶-۱۵) را در حالتی که $V_{EE}=0$V و BJT ها دارای $\beta = 100$ و $V_A = 100$ V باشد درنظر بگیرید. (الف) نشان دهید مدار شکل (۴۵-۶ م) خروجی آینه را برای $V_O \geq 0.7$V (ناحیه فعال برای Q_2) مدلسازی می‌کند.
(ب) I_O را برای $I_{REF} = 100\ \mu$A و ۱۵ V، ۵ V، $V_O = 1$ V پیدا کنید.



شکل (۴۵-۶ م)

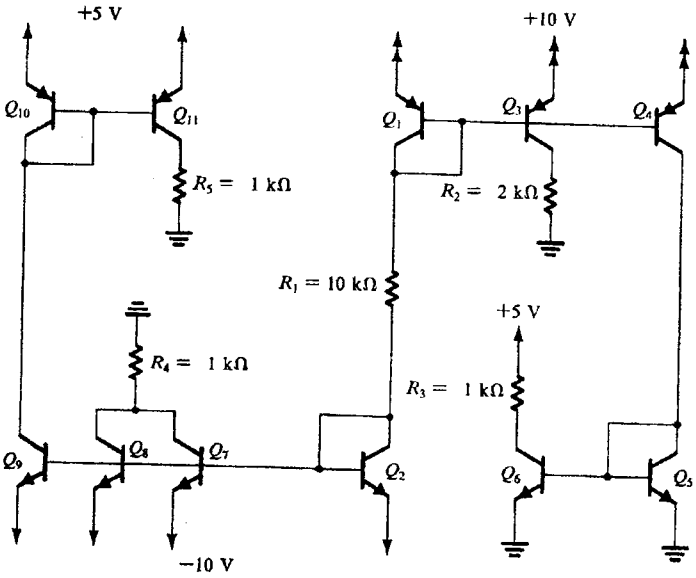
۶-۴۶ مدار آینه جریان اساسی شکل ۶-۱۵ را در حالتی که سطح EBJ مربوط به Q_2، n برابر Q_1 است درنظر بگیرید عبارتی برای نسبت انتقال جریان I_O/I_{REF} با فرض محدودبودن β و صرفنظرکردن از اثر ارلی، به دست آورید کمترین مقدار n لازم که جریان خروجی در محدودهٔ ۵٪ مقدار اسمی آن یعنی nI_{REF} باشد، چقدر است؟ $\beta = 100$ است.

ط ۶-۴۷ با فرض بزرگ‌بودن β و $v_{BE} = 0.7$ V در جریان ۱ mA ترانزیستور، مدار شکل ۶-۱۷ را به منظور ایجاد جریان خروجی ۲ mA طراحی کنید. منبع تغذیه، ۱۵ V است. اگر V_A مربوط به BJT، ۸۰ V باشد درصد تغییرات I_O به دست آمده در مقابل تغییرات V_O در گسترهٔ ۱ تا ۱۵ V چقدر است؟

ط ۶-۴۸ با استفاده از منبع تغذیه ۵ V+، یک منبع جریان سادهٔ *pnp* در شکل ۶-۱۷ طراحی کنید. منبع جریان باید جریانی در حدود ۰/۲ mA بدهد. فرض کنید β ترانزیستور *pnp* زیاد بوده و v_{BE} در جریان $i_E = 1$ mA ۰/۷ V باشد. بیشترین مقاومت باری که این منبع جریان می‌تواند راه‌اندازی کند چقدر است؟ (پایانهٔ دوم بار زمین می‌شود)

ط ۶-۴۹ با استفاده از بسط سادهٔ شکل (۶-۱۷)، یک منبع تغذیه ۵ V و ترانزیستورهای با $v_{BE} = 0.7$ V در ۱ mA یک منبع جریان ۳ mA با بهره‌گیری از جریان مرجع ۱ mA طراحی کنید. β را بزرگ فرض کنید.

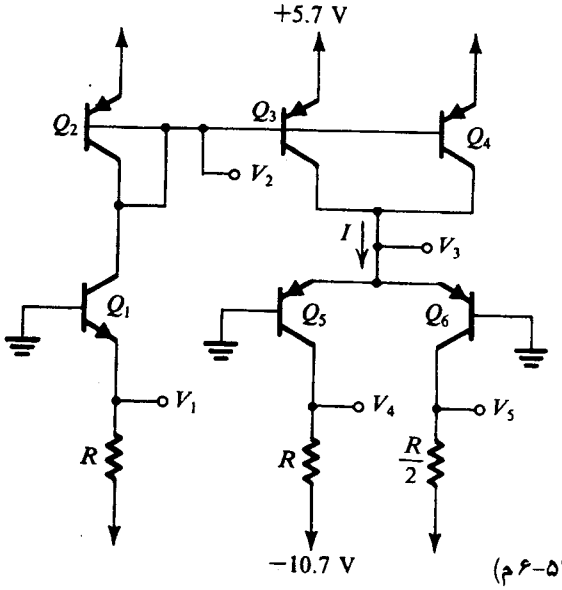
ط ۶-۵۰ یک آینه با سه خروجی از هشت ترانزیستور *npn* یکسان با $\beta = 100$ و $V_A = 200$V کار می‌کند، دو ترانزیستور بصورت دیودی متصل شده و ترانزیستورهای ۱، ۲، و ۳ به ترتیب سه خروجی را تشکیل می‌دهند، مدار را ترسیم کنید. برای $I_{REF} = 1$mA، سه جریان خروجی وابسته به β و مقاومت خروجی مربوط به هر یک را به دست آورید.



شکل (۵۱-۶ م)

۶-۵۱ ولتاژ همه گره‌ها و جریان همهٔ شاخه‌های مدار شکل (۵۱-۶ م) را با فرض $|V_{BE}| = ۰/۷\ V$ و $\beta = \infty$ به دست آورید.

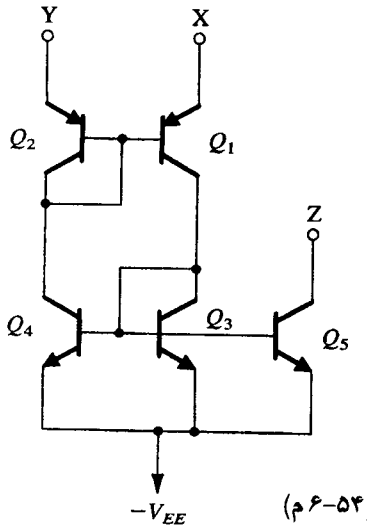
۶-۵۲ در مدار شکل (۵۲-۶ م) بادرنظر گرفتن $|V_{BE}| = ۰/۷V$ و $\beta=\infty$، I، V_1، V_2، V_3، V_4 و V_5 را در حالات (الف) $R = ۱۰k\Omega$ و (ب) $R=۱۰۰k\Omega$ به دست آورید.



شکل (۵۲-۶ م)

ط ۶-۵۳ با استفاده از نظریه بیان شده در شکل (۱۸-۶) یک مدار آینه - چندگانه با بهره‌گیری منبع تغذیه ۵ V ±، برای تولید جریانهای منبع ۰/۲، ۰/۴ و ۰/۸ میلی‌آمپر و جریانهای تغذیه ۰/۵، ۱ و ۲ میلی‌آمپر طراحی کنید. فرض کنید BJTها دارای $V_{BE} \cong ۰/۷V$ و β بزرگ هستند.

۶-۵۴ از مدار شکل (۵۴-۶ م) بعنوان **انتقال‌دهنده جریان** نام می‌برند (الف) با فرض اینکه Y به ولتاژ V متصل شده و جریان I به داخل X تزریق می‌شود. نشان دهید جریانی مساوی I در پایانه Y برقرار می‌شود و ولتاژی مساوی V در ترمینال X ایجاد می‌شود. و جریانی مساوی I در پایانه Z نیز برقرار می‌شود. β را بزرگ فرض کنید.



شکل (۵۴-۶ م)

(ب) اگر Y زمین شود نشان دهید که X زمین مجازی می‌شود. اگر X از طریق مقاومت ۱۰kΩ به منبع ۵V+ متصل شود چه جریانی در Z برقرار می‌شود؟

ط ۶-۵۵ مدار آینه جریان شکل ۱۹-۶ را به n خروجی گسترش دهید. نسبت انتقال جریان به دست آمده ورودی به هریک از خروجی‌ها، I_O/I_{REF} چقدر است؟ اگر انحراف از واحد، کمتر یا مساوی ۰/۱% نگهداشته شود، بیشترین مقدار خروجی برای BJT با $\beta = ۱۰۰$ چقدر است؟

۶-۵۶ برای آینه جریان مبتنی بر جبران جریان بیس شکل (۱۹-۶) نشان دهید مقاومت ورودی افزایشی (که توسط منبع جریان مرجع دیده می‌شود) تقریباً $۲V_T/I_{REF}$ می‌باشد، R_{in} را برای $I_{REF} = ۱۰۰\mu A$ به دست آورید.

۶-۵۷ مدار شکل تمرین (۹-۶) را با ۱۱ ترانزیستور که ۹تای آن‌ها بعنوان خروجی مسیرهای گوناگون به کار رفته، در نظر بگیرید. برای یک خروجی که توسط یک ترانزیستور راه‌اندازی می‌شود، نسبت انتقال جریان را به دست آورید. به ازای چه مقداری از β جریان خروجی ۱% کمتر است؟

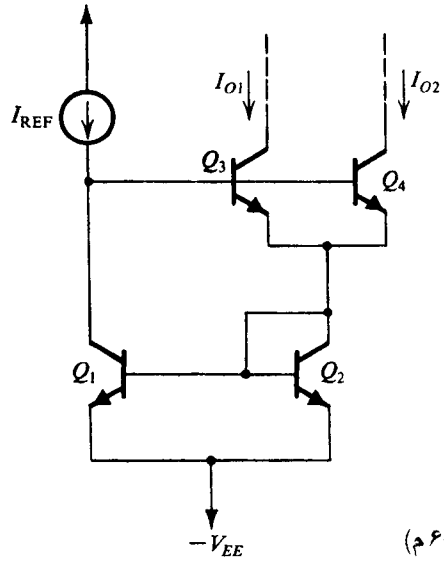
۶-۵۸ می‌خواهیم عبارتی برای نسبت انتقال جریان آینه جریان ویلسون شکل (۲۰-۶) به دست آوریم. بدین منظور فرض کنید که امیترهای Q_1 و Q_2 جریان‌های مساوی هدایت کرده (I) و همه جریان‌ها شامل I_{REF} و I_O بر حسب I بیان شود. نشان دهید رابطه زیر برقرار است:

$$\frac{I_o}{I_{REF}} = \frac{۱}{۱ + \frac{۲}{\beta^۲ + ۲\beta}} \cong \frac{۱}{۱ + \frac{۲}{\beta^۲}}$$

۶-۵۹ در آینه جریان ویلسون شکل (۲۰-۶)، چهارمین ترانزیستور اضافه شده است. ابتدا بصورت موازی با Q_1 و سپس موازی با Q_2. در هر حالت، عبارتی برای نسبت انتقال جریان بر حسب β به دست آورید. این عبارت را به گونه‌ای ساده کنید که بتوانید نتایجی در رابطه با حساسیت آینه اصلاح شده ویلسون نسبت به β به دست آورید.

ط ۶۰-۶ (الف) در مدار شکل (۶۰-۶ م) I_{O1} و I_{O2} را برحسب I_{REF} پیدا کنید. فرض کنید همه ترانزیستورها با هم منطبق بوده و دارای بهره جریان β هستند.

(ب) با استفاده از این ایده مداری طرح کنید که جریانهای ۱ و ۲ و ۴ میلی‌آمپری را با بهره‌گیری از جریان منبع مرجع ۷ mA تولید کند. مقدار واقعی جریانهای تولیدشده با $\beta = ۵۰$ چقدر می‌باشد؟



شکل (۶۰-۶ م)

ط ۶۱-۶ با بهره‌گیری از نوع *pnp* آینه جریان ویلسون یک منبع جریان ۰/۱mA طراحی کنید. این منبع جریان باید بتواند در حالتی که ولتاژ در پایانه‌های خروجی‌اش ۵ V− است کار کند. اگر منبع تغذیه موجود، ±۵ V باشد بیشترین ولتاژ ممکن در پایانه خروجی چند ولت است؟

۶۲-۶ در آینه جریان ویلسون شکل (۲۰-۶) نشان دهید که مقاومت ورودی افزایشی دیده شده توسط I_{REF}، تقریباً $۲V_T/I_{REF}$ است. (از اثر ارلی چشمپوشی نمایید). R_{in} را به ازای $I_{REF} = ۱۰۰\mu A$ به دست آورید.

**۶۳-۶ در آینه جریان ویلسون[1] شکل (۲۰-۶) به جای ترانزیستور Q_1 که بصورت دیود متصل شده است مقاومت افزایشی آن یعنی r_e و بجای ترانزیستور Q_2 و Q_3 مدار معادل مختلط π فرکانس پایین آنها را با r_o اما بدون r_μ (برای آسانی کار) قرار دهید. توجه کنید که هر سه ترانزیستور در جریانهای dc یکسان کار کرده و بنابراین پارامترهای مدل یکسان دارند. با اعمال ولتاژ آزمایشی v_x بین کلکتور Q_3 و زمین و اندازه‌گیری جریان i_x که از منبع v_x کشیده می‌شود، نشان دهید که مقاومت خروجی از رابطه زیر به دست می‌آید.

$$R_o \equiv v_x / i_x \cong \beta r_o / ۲$$

۶۴-۶ اگر مدار آینه جریان ویلسون شکل (۲۰-۶) با جریان مرجع I_{REF}=۱mA تغذیه شود. تغییرات جریان I_O در مقابل ۱۰ V تغییر در کلکتور Q_3، چقدر است؟ هم بصورت مقدار دقیق و هم بصورت درصد تغییرات را به دست آورید. فرض کنید $\beta = ۱۰۰$ و $V_A = ۱۰۰$ V باشد. به خاطر آورید که مقاومت خروجی مدار ویلسون $\beta r_o/۲$ می‌باشد.

ط ۶۵-۶ (الف) با استفاده از جریان مرجع ۱۰۰ μA یک منبع جریان وایدلر[2] برای به دست آوردن جریان خروجی ۱۰ μA طراح کنید. BJT ها دارای $v_{BE} = ۰/۷$ V در جریان ۱ mA بوده و β آنها زیاد است.

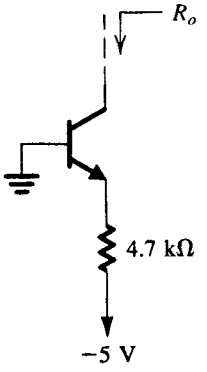
(ب) اگر $\beta = ۲۰۰$ و $V_A = ۱۰۰$ باشد مقاومت خروجی را به دست آورید. تغییرات جریان خروجی را نیز در مقابل ۵ ولت تغییر در ولتاژ ورودی به دست آورید.

ط ۶۶-۶ سه منبع جریان وایدلر، هر کدام با جریان مرجع ۱۰۰μA، یکی با نسبت انتقال جریان ۰/۹، دیگری با نسبت انتقال جریان ۰/۱ و سومی با نسبت انتقال جریان ۰/۰۱ و با فرض بالا بودن β، طراحی کنید. برای هر کدام، مقاومت خروجی را به دست آورده، آن را با r_o مربوط به منبع با نسبت واحد اساسی که در آن $R_E = ۰$ است، مقایسه کنید. از $\beta = \infty$ و $V_A = ۱۰۰$V استفاده کنید.

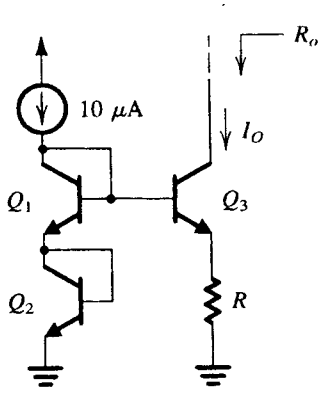
۶۷-۶ BJT مدار شکل (۶۷-۶ م) دارای V_{BE}=۰/۷ V، β=۱۰۰، $V_A = ۱۰۰$V و $r_\mu = ۱۰\beta r_o$ می‌باشد، R_o را پیدا کنید.

ط ۶۸-۶ (الف) در مدار شکل (۶۸-۶ م) فرض کنید BJT ها دارای v_{BE}=۰/۷V در جریان ۱mA و β بزرگ باشند مقدار R را که در نتیجهٔ آن $I_O = ۱۰\ \mu$A شود پیدا کنید.

(ب) در طراحی قسمت (الف)، R_o را با فرض $\beta = ۱۰۰$ و V_A=۱۰۰ V به دست آورید.



شکل (۶۷-۶ م)



شکل (۶۸-۶ م)

۶۹-۶ تأثیر تغییرات ولتاژ منبع تغذیه را بر روی بایاس dc، op−amp مدار شکل (۲۴-۶) بصورت زیر درنظر بگیرید اگر ۱۵ V+ به ۱۴ V+ تبدیل شود ولتاژ خروجی چه تغییری می‌کند؟ اگر ۱۵ V− به ۱۴V− تبدیل شود ولتاژ خروجی چه تغییری می‌کند؟

بخش ۵-۶: تقویت‌کنندهٔ تفاضلی BJT با بار فعال

۷۰-۶ تقویت‌کنندهٔ تفاضلی شکل ۲۵-۶ با جریان $I = ۱۰۰\ \mu$A و عناصری با $V_A = ۱۶۰$ و $\beta = ۱۰۰$ کار می‌کند مقاومت ورودی تفاضلی، مقاومت خروجی، هدایت انتقالی معادل و بهره ولتاژ مدار باز چقدر است؟ اگر مقاومت ورودی طبقهٔ زیرین ۱ MΩ باشد بهرهٔ ولتاژ چقدر خواهد بود؟

ط *۷۱-۶ مدار شکل ۲۵-۶ را با استفاده از آینه جریان اساسی برای ایجاد منبع جریان I طراحی کنید. هدایت انتقالی باید ۵ mA/V باشد. از منبع تغذیه ±۵V و BJT های با $\beta = ۱۵۰$ و $V_A = ۱۰۰$ V استفاده کنید. مدار کامل و مقادیر عناصر را به دست آورده و مقاومت ورودی تفاضلی R_i

1− Wilson 2− Widlar

مقاومت خروجی R_o، بهره ولتاژ مدار باز، جریان بایاس ورودی، گستره حالت مشترک ورودی، و مقاومت ورودی حالت مشترک را پیدا کنید. از اثر r_μ چشمپوشی کنید.

ط* ۷۲-۶ طراحی تقویت‌کننده مسأله (۷-۶) را با استفاده از منبع جریان وایدلر برای تأمین جریان بایاس تکرار کنید. فرض کنید بزرگترین مقاومت در دسترس ۲kΩ باشد.

۷۳-۶ محدودبودن β (که معمولاً در پردازش آی‌سی‌های استاندارد پایین است) ترانزیستورهای pnp باعث می‌شود که مدار آینه جریان شکل (۲۵-۶) ولتاژ افست dc داشته باشد.

(الف) اگر هر دو ورودی زمین شود نشان دهید که جریان خروجی در تقویت‌کننده تقریباً I/β_p خواهد بود که در آن β_p، β ترانزیستورهای pnp می‌باشد (فرض کنید β ترانزیستورهای npn خیلی زیاد است)

(ب) ولتاژ ورودی تفاضلی که خروجی را در قسمت (الف) به صفر کاهش می‌دهد پیدا کنید. این مقدار، ولتاژ افست dc ورودی در اثر محدودبودن β_p می‌باشد.

(پ) برای $\beta_p = ۲۵$، V_{OS} را پیدا کنید.

۷۴-۶ برای تقویت‌کننده Cascode شکل (ب ۲۷-۶) بهره ولتاژ از بیس به کلکتور Q_1 چقدر است؟

ط ۷۵-۶ در تقویت‌کننده Cascode شکل (ب ۲۷-۶) کمترین مقدار V_{BIAS} که در نتیجه آن حد بالای گسترهٔ حالت مشترک حداقل ۱۰ V+ می‌شود چقدر است؟ فرض کنید که BJT به ازای بایاس مستقیم شدن CBJ به اندازه ۰/۴V در ناحیه فعال می‌ماند.

۷۶-۶ در تقویت کننده Cascode شکل (۲۸-۶) مقداری برای V_{BIAS} پیدا کنید که نوسان مجاز خروجی ۳V نوک به نوک باشد. فرض کنید که BJT تا بایاس مستقیم شدن CBJ به اندازه ۰/۴V در ناحیه فعال باقی می‌ماند. گستره خطی v_o چقدر است؟ بیشترین ولتاژ ورودی حالت مشترک مجاز چقدر است؟

۷۷-۶ در تقویت کننده Cascode شکل (۲۸-۶) با فرض $I=۱۰۰\mu A$، $\beta = ۱۰۰$، $V_A = ۸۰V$، g_m و r_o را برای هر یک از ترانزیستورها به دست آورده، مقاومت کلی را در گره خروجی و بهره ولتاژ v_o/v_d را محاسبه نمایید.

***۷۸-۶** مدار تقویت‌کننده تفاضلی شکل (۲۴-۶) را در حالی که دو ورودی آن به یکدیگر بسته شده و یک سیگنال حالت مشترک ورودی v_{CM} به آن اعمال می‌شود درنظر بگیرید. اگر مقاومت خروجی منبع جریان بایاس با R و β ترانزیستورهای pnp با β_p مشخص شود با فرض اینکه β ترانزیستورهای npn زیاد است نشان دهید که جریان خروجی $v_{CM}/\beta_p R$ خواهد بود و بنابراین هدایت انتقالی حالت مشترک برابر است با $۱/\beta_p R$. با بهره‌گیری از این نتایج و هدایت انتقالی تفاضلی G_m (که در متن به دست آمده است) نسبت حذف حالت مشترک را به دست آورید. CMRR را برای حالت $I = ۰/۲$ mA، $R = ۱$ MΩ و $\beta_p = ۲۵$ محاسبه کنید.

۷۹-۶ مسأله (۷۸-۶) را برای حالتی که آینه جریان با یک آینه ویلسون تعویض شود، تکرار کنید. نشان دهید که در این حالت، جریان خروجی $v_{CM}/\beta_p^2 R$ است. عبارتی برای CMRR بیابید و آن را بر حسب dB برای مقادیر داده شده در مسأله (۷۸-۶) بیان کنید.

بخش ۶-۶: تقویت‌کننده‌های تفاضلی MOS

۸۰-۶ زوج تفاضلی MOS شکل (۲۹-۶) را با گیت زمین شده Q_2 درنظر بگیرید. اگر $\mu_n C_{ox} = ۲۰\ \mu A/V^2$، $V_t = ۱$ V، $W/L = ۵۰$ و $I = ۴۰\ \mu A$ باشد. v_{GS1}، v_{GS2} و v_S و v_{G1} منطبق بر توزیع جریان I بین ترانزیستورهای Q_1 و Q_2 را در حالات زیر به دست آورید:

(الف) $i_{D1} = i_{D2} = ۲۰\ \mu A$

(ب) $i_{D1} = ۳۰\ \mu A$ و $i_{D2} = ۱۰\ \mu A$

(پ) (Q_2 خاموش است) $i_{D1} = ۴۰\ \mu A$ و $i_{D2} = ۰$

ثابت کنید مقدار V_{G1} به دست آمده در (پ) همان مقدار به دست آمده از معادله (۱۰۳-۶) است.

۸۱-۶ یک تقویت‌کنندهٔ تفاضلی NMOS از جریان بایاس ۲۰۰ μA استفاده می‌کند. مشخصات قطعات است عبارتند از: $V_t = ۰/۸$ V، $W=۱۰۰\mu m$، $L=۱/۶\mu m$ و در روش ساخت این قطعه $\mu_n C_{ox}=۹۰\mu A/V^2$ می‌باشد. V_{GS}، g_m و مقدار v_{id} را برای سوئیچینگ جریان کامل به دست آورید. جریان بایاس باید به چه مقداری تغییر کند تا v_{id} برای سوئیچینگ جریان کامل دو برابر شود؟

ط ۸۲-۶ تقویت‌کنندهٔ تفاضلی MOS شکل (۲۹-۶) را برای کار در $g_m = ۰/۱$ mA/V طراحی کنید و به دست آوردن $V_{GS} - V_t=۰/۲V$ نسبت W/L و جریان بایاس را مشخص کنید. در این روش ساخت $V_t= ۱$ V و $\mu_n C_{OX} = ۹۰\ \mu A/V^2$ می‌باشد.

۸۳-۶ زوج تفاضلی NMOS تشریح شده در شکل (۲۹-۶) را با شرایط $I = ۱۰۰\mu A$ و FETهایی با $k'_n (W/L) = ۴۰۰\mu A/V^2$، و $V_t = ۱V$ در نظر بگیرید. ولتاژ در اتصال سورس مشترک برای $v_{G1} = v_{G2} = ۰V$ چقدر است؟ برای ۲V چقدر؟ رابطه بین جریان‌های درین در هر حالت چیست؟ حال با $v_{GS2} = ۰V$ در چه ولتاژی باید v_{G1} قرار گیرد تا i_{D2} به اندازه ۱۰٪ کاهش یابد؟ برای افزایش i_{D2} به اندازه ۱۰٪ چطور؟ ولتاژ تفاضلی، یعنی $v_d = v_{G2} - v_{G1}$ برای نسبت جریان درین‌ها i_{D2}/i_{D1} به میزان ۱، ۰/۵، ۰/۹، و ۰/۹۹، چقدر است؟ برای نسبت جریان $i_{D1}/i_{D2} = ۲۰$، به چه ولتاژ تفاضلی ورودی نیاز داریم؟

ط ۸۴-۶ یک زوج تفاضلی NMOS که در یک تقویت‌کننده مورد استفاده قرار گرفته است که مقاومتهای درین ۱٪ ± ۱۰۰ kΩ بوده و در این زوج، $k'_n W/L = ۲۰۰\ \mu A/V^2$ و $V_t = ۱$ V می‌باشد. یک تصمیم در مورد جریان بایاس ۱۰۰ μA یا ۲۰۰ μA است. برای خروجی تفاضلی، بهرهٔ تفاضلی و ولتاژ افست ورودی در هر دو حالت را به دست آورید.

ط ۸۵-۶ یک تقویت‌کنندهٔ NMOS که نقطه کار آن با V_{GS} نیم ولت بالاتر از ۱ V ولتاژ آستانه نامی، مشکوک به تغییر در V_t، W/L و R_D (بطور مستقل) به میزان ۲ % ± است. ولتاژ افست ورودی در بدترین حالت چقدر است؟ علت عمدهٔ تولید این ولتاژ افست چیست؟ اگر شما از تغییر یکی از مقاومتهای درین برای صفرکردن افست خروجی استفاده کنید و به این وسیله عمل جبران‌سازی را انجام دهید (شامل مقاومتهای دیگر برای R_D) به چه

درصد تغییری از مقدار نامی آن نیاز دارید؟ اگر شما با این انتخاب افست را در بدترین حالت، با ضریب ۱۰ کاهش دهید، چه تغییری در R_D لازم است؟

۶-۸۶ در آینه MOS ساده شکل (الف ۳۲-۶)، قطعه دارای مقادیر نامی $V_t=1V$ ، $k'_nW/L=200\mu A/V^2$ می‌باشد. اندازه‌گیری با $V_{DS2}=V_{DS1}$ و $I_{REF}=0/2mA$ نشان می‌دهد جریان خروجی باید ۵% کمتر باشد. فرض می‌شود Q_1 و Q_2 در یک یا چند مشخصه اختلاف دارند. اگر اختلاف جریان، هنگامی که $(W/L)_2$ با $(W/L)_1$ اختلاف دارد کامل باشد، این اختلاف را پیدا کنید. اگر از طرف دیگر اختلاف جریان هنگامی که V_{t2} با V_{t1} اختلاف دارد کامل باشد. این اختلاف را پیدا کنید.

۶-۸۷ در آینه جریان ساده MOS شکل (الف ۳۲-۶) قطعه دارای مشخصات $V_t=1V$ ، $k'_nW/L=200\mu A/V^2$ ، $V_A=20V$ ، $I_{REF}=100\mu A$ ، $V_{SS}=5V$ و $V_O=+5V$ می‌باشد. مقدار I_O حاصل چقدر است؟

۶-۸۸ در آینه جریان Cascode شکل (ب ۳۲-۶) با مشخصات $V_t=1V$ ، $k'_nW/L=200\mu A/V^2$ ، $V_A=20V$ ، $I_{REF}=100\mu A$ ، $V_{SS}=5V$ و $V_O=+5V$ مقدار I_O حاصل چقدر است؟
(به بهبود خیلی خوب به دست آمده، نسبت به آینه جریان مسأله ۸۷-۶ توجه کنید)

۶-۸۹ در مدار آینه جریان ساده شکل (الف ۳۲-۶)، هر دو ترانزیستور دارای $V_t=1V$ ، $\mu_nC_{ox}=40\mu A/V^2$ و طول کانال $5\mu m$ می‌باشد. با فرض $V_{SS}=0V$ و $I_{REF}=10\mu A$ ، اگر $W_2=20W_1=200\mu m$ باشد، I_O چقدر خواهد بود؟ ولتاژ گیت مشترک چقدر است؟ پایین‌ترین مقدار V_O که به ازای آن Q_2 مانند یک منبع جریان ثابت کار کند چقدر است؟ برای ترانزیستور با $V_A=30V$ ، مقاومت خروجی آینه چقدر است؟

۶-۹۰ در یک آینه Cascode خاص، مانند شکل (ب ۳۲-۶) همه ترانزیستورها دارای $V_t=1V$ ، $\mu_nC_{ox}=40\mu A/V^2$ ، $L=5\mu m$ و $V_A=30V$ هستند. عرض‌ها $W_1=W_4=10\mu m$ و $W_2=W_3=200\mu m$ می‌باشند. جریان مرجع $10\mu A$ و $V_{SS}=0V$ است. جریان خروجی چقدر است؟ ولتاژ گیت Q_2 و Q_3 چقدر است؟ کمترین ولتاژ خروجی که برای آن کار منبع جریان امکان پذیر باشد، چقدر است؟ مقادیر g_m و r_o مربوط به Q_2 و Q_3 چیست؟ مقاومت خروجی و ورودی آینه چقدر است؟

۶-۹۱* می‌خواهیم عبارتی برای مقاومت خروجی آینه جریان ویلسون شکل (پ ۳۲-۶) به دست آوریم. به جای هریک از MOSFET ها معادل سیگنال کوچک آنرا (شامل r_o) قرار دهید. در حالتی که Q_2 بصورت دیود بسته شده است، مدل به یک مقاومت $(1/g_{m2})$ بطور موازی با r_{o2} کاهش می‌یابد. برای ساده کردن موضوع از r_{o2} صرفنظر کنید. ولتاژ آزمایشی v_x را بین پایانه‌های خروجی در زمین اعمال کرده جریان کشیده شده از v_x را (i_x) به دست آورید. با تحلیل مدار نشان دهید، رابطه زیر برقرار است:

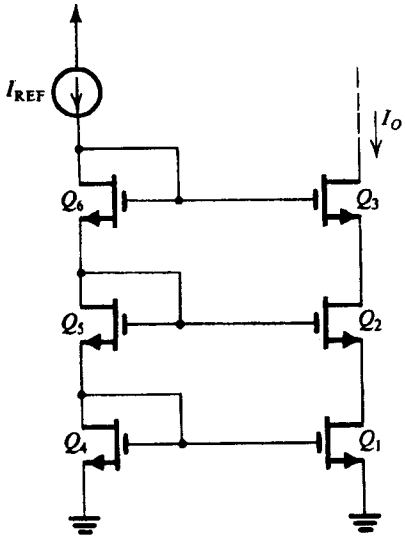
$$R_o \equiv v_x / i_x \cong (g_m r_o)\, r_o$$

۶-۹۲ نشان دهید که مقاومت ورودی آینه جریان ویلسون شکل (پ ۳۲-۶) تقریباً مساوی $2/g_{m1}$ است، با این فرض که Q_2 و Q_3 یکسان می‌باشند.

۶-۹۳ در آینه جریان ویلسون شکل (پ ۳۲-۶) همه ترانزیستورها دارای $V_t=1V$ ، $V_A=50V$ ، $\mu_nC_{ox}=40\mu A/V^2$ و $L=5\mu m$ است. عرض‌ها $W_1=10\mu m$ و $W_2=W_3=200\mu m$ است. جریان مرجع $10\mu A$ و $V_{SS}=0V$ می‌باشد. ولتاژ گیت Q_2 و Q_3 چقدر است؟ کمترین مقدار V_O که به ازای آن کار منبع جریان امکان پذیر باشد، چقدر است؟ مقاومت خروجی و ورودی آینه را به دست آورید. (راهنمایی: می‌توانید از نتایج مسأله ۹۲-۶ استفاده کنید).

۶-۹۴* یک آینه جریان ویلسون از قطعاتی با مشخصات $V_t=1V$ ، $k'_nW/L=200\mu A/V^2$ و $V_A=20V$ ، $I_{REF}=100\mu A$ ، $V_{SS}=0V$ بهره می‌برد. مقدار I_O حاصل چقدر است. اکنون اگر مدار به شکل (ت ۳۲-۶) اصلاح شود، مقدار I_O حاصل چقدر است؟

۶-۹۵ مقاومت خروجی آینه جریان شکل (۹۵-۶ م) را به دست آورید. برای ساده کردن موضوع فرض کنید ولتاژ افزایشی در گیتهای Q_1 ، Q_2 و Q_3 صفر است. (راهنمایی از رابطهٔ معادله ۱۱۶-۶ استفاده کنید)



شکل (۹۵-۶ م)

ط ۶-۹۶ در یک تقویت‌کنندهٔ تفاضلی با بار فعال مانند شکل (۳۴-۶) همه ترانزیستورها دارای مشخصات $|V_t|=1V$ ، $k'_nW/L=800\mu A/V^2$ و $|V_A|=20V$ است جریان بایاس I را هنگامی که بهره $v_o/v_{id}=80V/V$ است، پیدا کنید.

۶-۹۷ در یک نوع تقویت کننده تفاضلی MOS با بار فعال که در شکل (۳۴-۶) نشان داده شده است، همه ترانزیستورها دارای $k'W/L=200\mu A/V^2$ و $|V_A|=50V$ هستند. با $V_{DD}=5V$ و ورودی‌های نزدیک به ولتاژ زمین و دو حالت (الف) $I=10\mu A$ و (ب) $I=100\mu A$ گستره خطی v_o ، g_m مربوط به Q_1 و Q_2 ، مقاومت خروجی Q_2 و Q_4 ، مقاومت خروجی کلی، و بهره ولتاژ را به دست آورید.

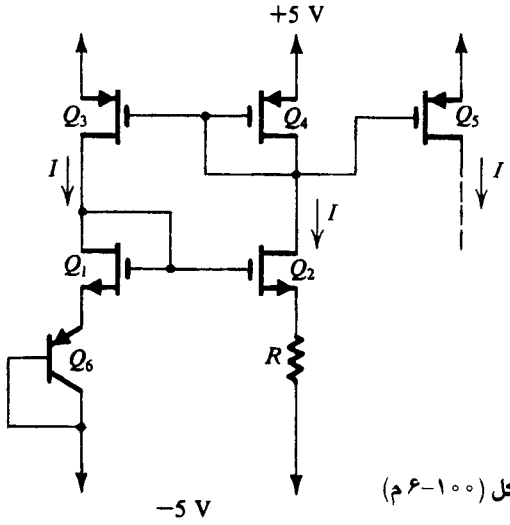
ط ۶-۹۸* در یک تقویت‌کننده تفاضلی با بار فعال به شکل (۳۴-۶) جریان بایاس توسط آینه ویلسون اصلاح شدهٔ شکل (ت ۳۲-۶) با $I_{REF}=25\mu A$ تأمین می‌شود. ترانزیستورها دارای مشخصات $|V_t|=1V$ و $k'_nW/L=800\mu A/V^2$ می‌باشد. کمترین مقدار منبع تغذیه کلی $(V_{DD}+V_{SS})$ که امکان کارکردن ترانزیستور در شرایط $|V_{DS}|\geq|V_{GS}|$ را فراهم کند، چقدر است؟

*۶-۹۹ (الف) مدار یک تقویت‌کننده تفاضلی را که در آن ترانزیستورهای ورودی بصورت Cascode باشند و از آینه جریان Cascode برای بار استفاده شده باشد، رسم کنید.
(ب) نشان دهید چنانچه همهٔ ترانزیستورها در ولتاژ موثر V_{eff} کار کنند و ولتاژ ارلی آن‌ها $|V_A|$ باشد، بهره از رابطه زیر به دست می‌آید:

$$A_d = ۲\,(V_A/V_{eff})^۲$$

بهره را برای $V_{eff} = ۰/۲۵\text{V}$ و $V_A = ۲۰\text{V}$ به دست آورید.

ط *۶-۱۰۰ اگر ترانزیستور *pnp* در مدار شکل (۶-۱۰۰م) با مشخصه نمایی‌اش و جریان مقیاس I_S تعریف شود. نشان دهید که جریان dc،



شکل (۶-۱۰۰م)

I از رابطه $IR = V_T \ln(I/I_S)$ به دست می‌آید. فرض کنید Q_1 با Q_2 و Q_3 و Q_4 با Q_5 کاملاً منطبق باشند. مقدار R را که منجر به $I = ۱۰\ \mu\text{A}$ شود، پیدا کنید. برای $V_{EB} = ۰/۷$ BJT V در $I_E = ۱$ mA درنظر بگیرید.

بخش ۶-۷: تقویت‌کننده‌های BiCMOS

در مسائل این بخش فرض کنید که روش ساخت BiCMOS با استفاده از قطعات دوقطبی با $V_A = ۵۰\text{V}$ و $\beta = ۱۰۰$ و قطعات MOS با $L = ۲\mu\text{m}$، $\lambda = ۰/۰۵\text{V}^{-۱}$، $|V_t| = ۱\text{V}$ و $\mu_n C_{ox} = ۲۰\mu\text{A/V}^۲$ شکل گرفته است.

۶-۱۰۱ نسبت W/L یک MOSFET، برای داشتن g_m مساوی با یک BJT که هر دو در جریان $I = ۱۰۰\ \mu\text{A}$ بایاس شده‌اند چقدر باید باشد؟ نتیجه را توضیح دهید.

۶-۱۰۲ اگر پارامتر λ یک MOSFET تقریباً با طول کانال L رابطه عکس داشته باشد. r_o و بهرهٔ ولتاژ ذاتی با L چگونه تغییر می‌کنند؟

۶-۱۰۳ ضخامت اکسید گیت چگونه بر بهرهٔ ذاتی تقویت‌کننده سورس مشترک اثر می‌کند؟ در مورد تعدیلهایی[1] که باید در انتخاب ضخامت اکسید مدنظر قرار بگیرد بحث کنید.

۶-۱۰۴ تمرین ۶-۲۰ را برای جریان بایاس $۱۰\ \mu\text{A}$ تکرار کنید.

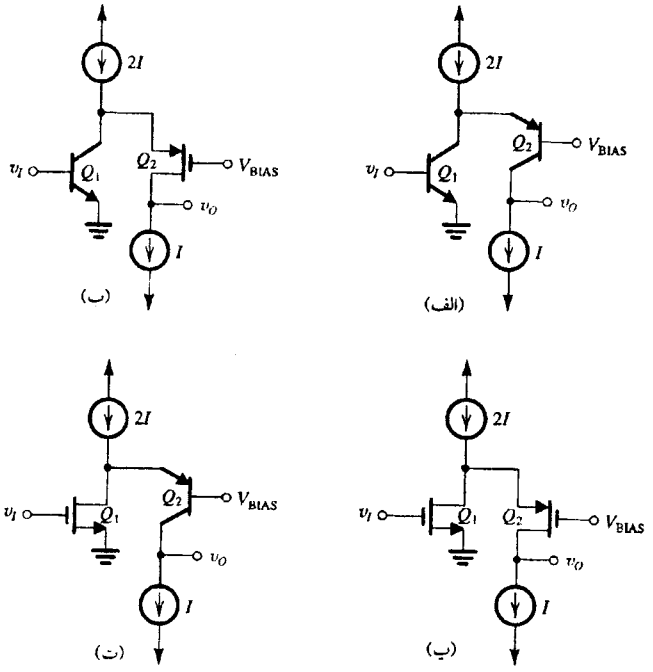
ط *۶-۱۰۵ (الف) نشان دهید که در تقویت‌کننده پشت سرهم BiCMOS شکل (پ ۶-۳۵) بهره بصورت زیر بیان می‌شود:

$$\frac{v_o}{v_i} = -\frac{۲\beta_۲ V_A}{V_{GS} - V_t}$$

(ب) مدار را برای به دست آوردن بهرهٔ ۴۰۰۰۰ V/V − طراحی کنید. جهت به دست آوردن نمایش فرکانس بالای مورد قبول جریان بایاس باید حداقل $۱۰\mu\text{A}$ باشد. عرض MOSFET و مقدار V_{GS} را که $Q_۱$ باید بایاس شود، مشخص کنید. کمترین مقدار V_{BIAS} چقدر است؟ فرض کنید BJT دارای $V_{BE} = ۰/۷\text{V}$ در جریان $۱۰\ \mu\text{A}$ است.

۶-۱۰۶ تقویت کننده‌های اساسی شکل (۶-۳۵) را با جریان بایاس $۲۰\mu\text{A}$ که از یک منبع جریان ایده‌آل تأمین می‌شود، در نظر بگیرید. برای BJT، $\beta = ۲۰$ و $V_A = ۱۰۰$ است. برای MOS، $k'W/L = ۲۰۰\mu\text{A/V}^۲$ و $|V_t| = ۱\text{V}$ و $|V_A| = ۳۰\text{V}$ است. g_m و r_o را برای هر قطعه به دست آورید. R_o و بهره ولتاژ v_o/v_i را برای هر مدار پیدا کنید. در دو حالت زیر بهره چه خواهد شد: (الف) آینه جریان بصورت مکمل قسمت تقویت کننده پیاده‌سازی شده و مقاومت خروجی آن‌ها همانند باشد (ب) در آینه جریان از یک BJT منفرد با $V_A = ۱۰۰$ V استفاده شود.

۶-۱۰۷ مدارهای شکل (۶-۱۰۷م) بر اساس مدار شکل (پ ۶-۳۵) ایجاد شده و Cascode تاشده نامیده می‌شوند. مهمترین خصیصه آن‌ها انتقال سطح dc است که به خروجی اجازه نوسان مثبت و منفی را می‌دهد، یعنی نکته‌ای که در مدار Cascode معمولی دیده نمی‌شود. با فرض این که پارامترهای قطعه همانند مسأله (۶-۱۰۶) باشد، می‌خواهیم مدارها را تحلیل کنیم یعنی BJTها دارای $\beta = ۲۰۰$ و $|V_A| = ۱۰۰\text{V}$ و MOSFETها دارای $|V_A| = ۳۰\text{V}$، $|V_t| = ۱\text{V}$ و $k'W/L = ۲۰۰\mu\text{A/V}^۲$. با فرض $I = ۲۰\mu\text{A}$ و $V_{BIAS} = ۲\text{V}$ و این که در هر مدار مولد جریان I



شکل (۶-۱۰۷م)

1− trade − off

دارای همان مقاومت خروجی باشد هنگامی که به مدار متصل است و مولد جریان $2I$ ایده آل باشد. موارد زیر را برای به دست آورید:

(الف) جریان بایاس Q_1

(ب) ولتاژ در گره بین دو ترانزیستور (با فرض $|V_{BE}| = 0/7V$)

(پ) g_m و r_o برای هر قطعه

(ت) بیشترین مقدار مجاز v_O

(ث) مقاومت ورودی

(ج) مقاومت خروجی

(چ) بهره ولتاژ

آیا منبع جریان $2I$ یک منبع جریان دقیق است؟ برای این مدار، مقدار مقاومت خروجی باعث می‌شود که بهره کلی ۱٪ کاهش یابد، کدام است؟

۶-۱۰۸ تقویت کننده شکل (۶-۳۸) از جریان بایاس $I = 40mA$ و تغذیه $\pm 3V$ استفاده می‌کند. BJTها دارای β زیاد، $V_{CEsat} = 0/2V$ و $V_A = 100V$ و FETها دارای $|V_t| = 1V$ ، $V_A = 30V$ و $k'W/L = 200\mu A/V^2$ هستند. بیشترین نوسان سیگنال ممکن در خروجی چقدر است؟ مقاومت خروجی چقدر است؟ بهره ولتاژ کلی v_o/v_d و حد پایین گستره حالت مشترک ورودی را به دست آورید.

۶-۱۰۹ اگر آینه شکل ۶-۳۷ دارای یک MOSFET با $W = 20\ \mu m$ باشد و در جریان $100\ \mu A$ کار کند کمترین ولتاژ لازم در خروجی به منظور اینکه مدار مقاومت خروجی بالایی نشان بدهد چقدر است؟ فرض کنید در جریان $100\mu A$ ، $v_{BE} = 0/7\ V$ باشد. تغییرات I_O حاصل از افزایش ۸ ولت در ولتاژ خروجی چقدر است؟

بخش ۸-۶: تقویت‌کننده‌های GaAs

فقط در موارد مشخص شده از اطلاعات جدول ۲-۵ استفاده کنید.

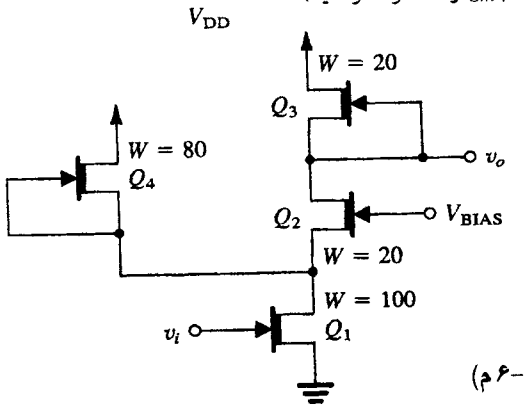
ط ۶-۱۱۰ در منبع جریان شکل (پ ۶-۳۹) با $V_{DD} = +5\ V$ عرض قطعه که منجر به جریان $11\ mA$ می‌شود را بیابید، در صورتی که ولتاژ در سورس $+4V$ باشد. مقاومت خروجی منبع جریان چقدر است؟

۶-۱۱۱ در منبع جریان بوت استرپ شدهٔ شکل (ب ۶-۴۱) درنظر بگیرید $W = 10\ \mu m$ ، $V_{DD} = 5\ V$ باشد، بیشترین ولتاژ مجاز در گره A چقدر است؟ در این ولتاژ جریان تغذیه Q_1 چقدر است؟ مقاومت خروجی منبع جریان چقدر است؟

۶-۱۱۲ منبع جریان Cascode شکل (الف ۶-۴۳) را در حالت $W_1 = 10\mu m$ و $W_2 = 50\ \mu m$ درنظر بگیرید با صرفنظرکردن از اثر مدولاسیون عرض کانال، مقدار جریان I بیشترین مقدار مجاز $V_{DS,sat}$ را برای Q_1 طوری بیابید که مدار بطور صحیح کار کند. اگر ولتاژ در گره A، $+4\ V$ و $V_{DD} = +5\ V$ باشد، ولتاژ درین Q_1 را به دست آورید. مقاومت خروجی منبع جریان را نیز پیدا کنید.

۶-۱۱۳ در مدار تقویت‌کنندهٔ شکل (پ ۶-۴۳) درنظر بگیرید: $W_1 = 100\mu m$ ، $W_2 = 500\ \mu m$ ، $W_3 = 50\ \mu m$ و $W_4 = 250\ \mu m$ بهره ولتاژ را به دست آورید. (برای آسانی کار از اثرات λ هنگام محاسبه g_m صرفنظر کنید)

***۶-۱۱۴** در مدار شکل (۶-۱۱۴ م) ثابت کنید که مقاومت، از دید انتها به داخل درین Q_2 بسیار بزرگتر از r_{o3} است. بهرهٔ ولتاژ به دست آمده تقریباً $-g_{m1} r_{o3}$ می‌باشد. اگر ترانزیستور ورودی Q_1 در $V_{GS} = 0\ V$ بایاس شود. مقادیر تقریبی جریان dc در Q_1 و Q_3 را (با صرفنظرکردن از λ) پیدا کنید. همچنین مقدار تقریبی بهره ولتاژ را به دست آورید. (برای آسانی کار، هنگام محاسبه g_{m1} از λ صرفنظر کنید)



شکل (۶-۱۱۴ م)

****۶-۱۱۵** در مدار شکل (الف ۶-۴۵) که تحلیل سیگنال کوچک آن در شکل (ب ۶-۴۵) نشان داده شده است. عبارتی برای v_s/v_i و v_{d1}/v_i بیابید (راهنمایی: از فرآیند گفته شده در متن استفاده کنید) برای $I = 10mA$ و $W_1 = W_2 = W_3 = 100\mu m$ ، مقادیر v_s/v_i ، v_{d1}/v_i و v_o/v_i را محاسبه کنید.

بخش ۹-۶: تقویت‌کننده‌های چندطبقه

۶-۱۱۶ یک تقویت‌کنندهٔ تفاضلی BJT طوری بایاس شده است که در آن $r_e = 50\ \Omega$ است و از دو مقاومت 100Ω در امیترها و مقاومت بار $5\ k\Omega$ بهره می‌برد. طبقه دوم را برای داشتن $r_e = 20\ \Omega$ طراحی کنید. β همه BJT ها ۱۵۰ می‌باشد. بهرهٔ ولتاژ اولین طبقه چقدر است؟ مقاومت ورودی اولین طبقه و بهره جریان را از ورودی اولین طبقه به کلکتور دومین طبقه به دست آورید.

۶-۱۱۷ در تقویت‌کننده چندطبقه شکل (۶-۴۶) مقاومتهای امیتر طبقه اول 100Ω و طبقه دوم $25\ \Omega$ می‌باشد. اثر آنها در مقاومت ورودی، بهرهٔ طبقه اول و بهره کلی چقدر است؟ از مقادیر بایاس مثال ۶-۳ استفاده کنید.

ط ۶-۱۱۸ مدار شکل (۶-۴۶) و مقاومت خروجی آن را درنظر بگیرید چه مقاومتی بیشترین اثر را بر مقاومت خروجی دارد؟ این مقاومت باید چه تغییری بکند تا مقاومت خروجی نصف شود؟ بعد از این تغییر بهره تقویت‌کننده چه تغییری می‌کند؟ چه تغییر دیگری می‌توانید انجام دهید برای آنکه بهره تقویت‌کننده را تقریباً دو مقدار قبلی خود نگهدارید؟

ط ۶-۱۱۹ اگر در تقویت‌کنندهٔ چندطبقهٔ شکل ۶-۴۶ به جای مقاومت R_5 یک منبع جریان ثابت $1\ mA$ قرار دهیم بگونه‌ای که شرایط بایاس تغییری نکند بهرهٔ ولتاژ کلی تقویت‌کننده چقدر می‌باشد؟ فرض کنید مقاومت خروجی منبع جریان خیلی زیاد است. از نتایج مثال ۶-۴ استفاده کنید.

ط *۶-۱۲۰ با اصلاحات پیشنهادی در مسأله قبل برای تقویت‌کنندهٔ چندطبقه اثرات تغییر بر مقاومت خروجی چیست؟ بهرهٔ کلی تقویت‌کننده هنگامی که یک بار $100\ \Omega$ که یک سر آن زمین شده است در خروجی آن

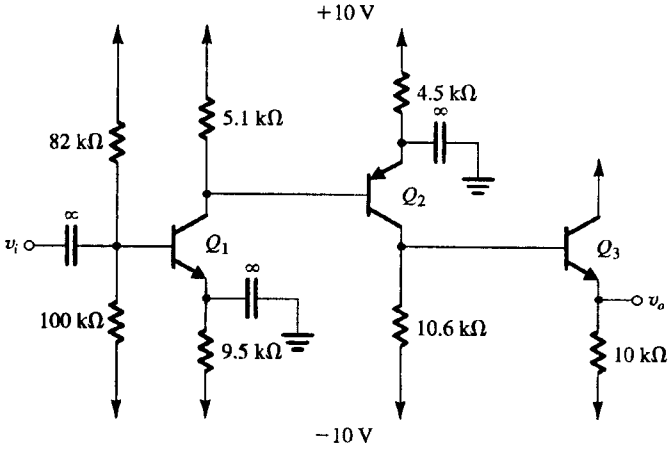
قرار بگیرد چقدر است؟ تقویت‌کنندهٔ اصلی (قبل از اصلاح) دارای مقاومت خروجی ۱۵۲ Ω و بهرهٔ ولتاژ ۸۵۱۳ V/V می‌باشد. اگر بار ۱۰۰ Ω در خروجی آن قرار بگیرد، بهره آن چقدر می‌شود؟ توضیح دهید، β را ۱۰۰ درنظر بگیرید.

۶-۱۲۱ شکل (۱۲۱-۶ م) یک تقویت‌کننده سه طبقه را با اتصال مستقیم نشان می‌دهد. در این تقویت‌کننده از خازن‌های کنارگذر استفاده شده است و بنابراین پاسخ فرکانسی در فرکانس‌های پایین افت می‌کند. در این جا فرض می‌کنیم که خازن‌ها بقدر کافی بزرگ هستند تا در فرکانس‌های سیگنال مورد نظر بصورت اتصال کوتاه عمل کنند.

(الف) جریان بایاس dc هر یک از سه ترانزیستور را به دست آورید. ولتاژ dc خروجی را نیز محاسبه کنید. $|V_{BE}| = ۰/۷V$ و $\beta = ۱۰۰$ می‌باشد، و از اثر ارلی صرفنظر می‌شود.

(ب) مقاومت ورودی و خروجی را به دست آورید.

(پ) از روش بهره جریان، بهره ولتاژ v_o/v_i را به دست آورید.



شکل (۱۲۱-۶ م)

ط* ۶-۱۲۲** در مدار شکل (م ۱۲۲-۶) که در آن از Cascode تا شده شامل ترانزیستور Q_3 استفاده شده است. همه ترانزیستورها دارای $|V_{BE}| = ۰/۷V$، $V_A = ۲۰۰V$ و $\beta = ۱۰۰$ هستند. مدار، نسبتاً یک مدار قراردادی است بجز ترانزیستور Q_5 که در حالت کلاس B (که در فصل ۹ بررسی می‌شود) کار می‌کند تا برای بارهای کم مقاومت امکان نوسان منفی خروجی را میسر سازد.

(الف) محاسبات بایاس را با فرض $|V_{BE}| = ۰/۷V$، β زیاد، $V_A = \infty$، $v_+ = v_- = ۰V$ و v_o که توسط فیدبک در حدود صفر ولت تثبیت شده، انجام دهید. R را طوری به دست آورید که جریان $I_{REF} = ۱۰۰\mu A$ شود. ولتاژ نقاط مشخص شده دیگر چقدر است؟

(ب) جریان‌های بایاس همه ترانزیستورها، g_m و r_o را برای ترانزیستورهای سیگنال (Q_1، Q_2، Q_3، Q_4 و Q_5) و r_o را برای Q_C و Q_D و Q_G به دست آورید و در جدولی نمایش دهید.

(پ) با فرض $\beta = ۱۰۰$، بهره ولتاژ و $v_o/(v_+ - v_-)$ را به دست آورده، پلاریته پایانه ورودی را اثبات کنید.

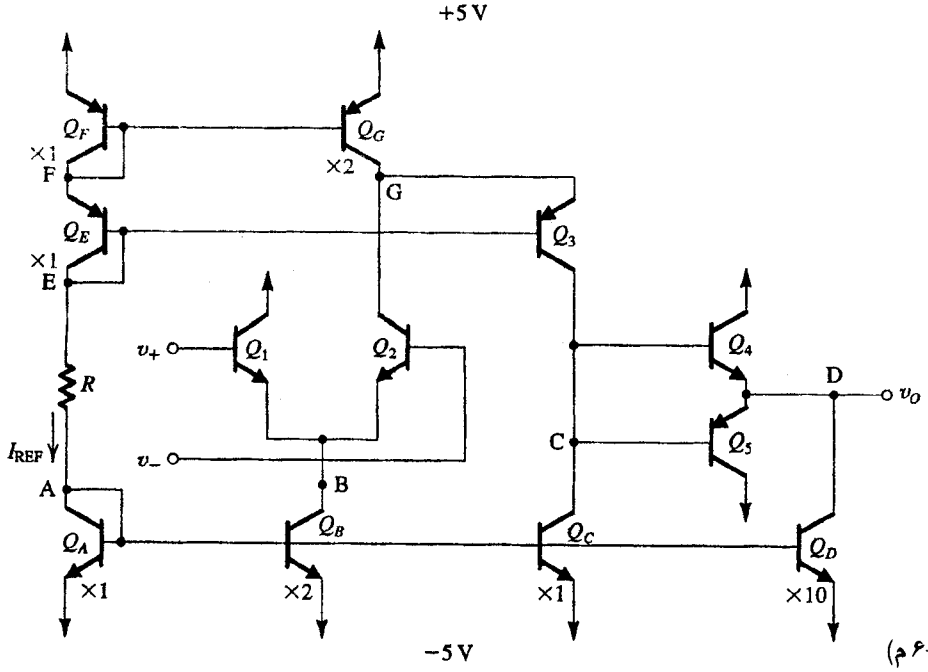
(ت) مقاومت‌های خروجی و ورودی را به دست آورید.

(ث) در حالت بی‌باری، گستره ولتاژهای خروجی با فرض $|V_{CEsat}| = ۰/۳V$ چیست؟

(ج) موقعیتی را در نظر بگیرید که یک مقاومت بار از خروجی به زمین متصل شود. در انتهای مثبت و منفی نوسان سیگنال خروجی، کمترین مقاومت بار را که می‌توان قرار داد در صورتی که یکی از ترانزیستورهای Q_1 یا Q_2 اجازه خاموش شدن داشته باشد، چقدر است؟

ط* ۶-۱۲۳** در op-amp CMOS نشان داده شده در شکل (۱۲۳-۶ م)، همه ترانزیستورهای MOS دارای $|V_t| = ۱V$، $\mu_n C_{ox} = ۲\mu_p C_{ox} = ۴۰\mu A/V^2$، $|V_A| = ۵۰V$، $L = ۵\mu m$ می‌باشد. عرض قطعات که روی مدار نشان داده شده ضریبی است که باید در $W = ۵\mu m$ ضرب شود.

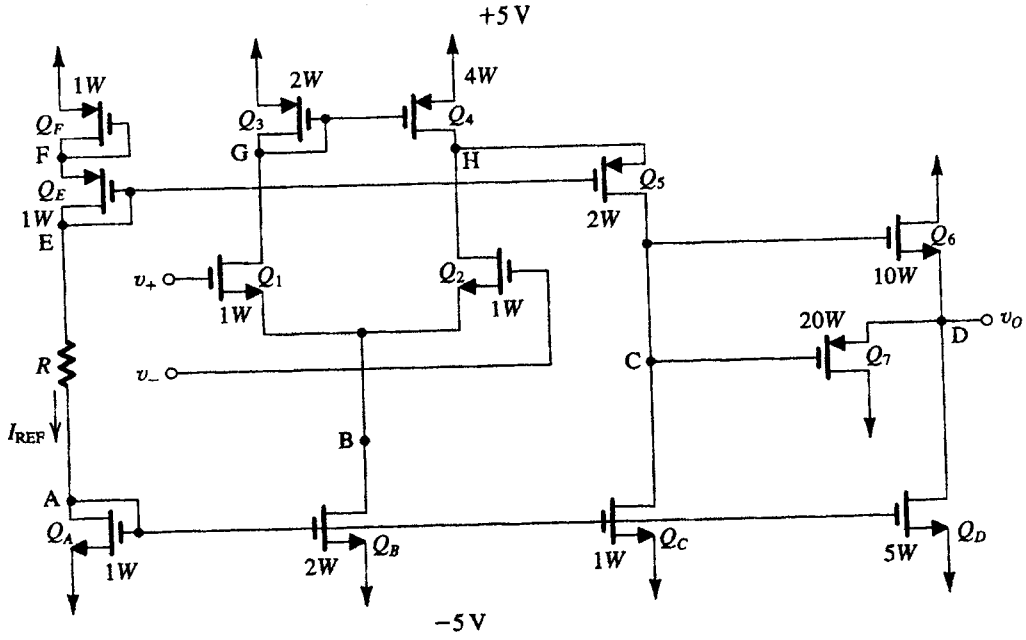
(الف) R را طوری طراحی کنید که جریان مرجع، $۱۰\mu A$ باشد. (ب) با فرض $v_o = ۰$ V که با فیدبک خارجی بر قرار شده، تحلیل بایاس را انجام دهید و ولتاژهای گره‌های مشخص شده را به دست آورید. V_{GS} و I_D را برای همه ترانزیستورها پیدا کنید. (پ) I_D، V_{GS}، g_m و r_o را برای همه ترانزیستورها در جدولی ارائه نمایید. (ت) بهره و ولتاژ $v_o/(v_+ - v_-)$، مقاومت ورودی، و مقاومت خروجی را پیدا کنید. (ث) گستره حالت مشترک ورودی چیست؟



شکل (۱۲۲-۶ م)

(ح) گستره سیگنال خروجی در حالت بدون بار چیست؟
(چ) به ازای چه مقاومت باری، ولتاژ منفی خروجی، قبل از این که Q_7 شروع به هدایت کند، به ۱V − محدود می‌شود.

(ح) برای مقاومت بار به اندازه یک دهم مقدار به دست آمده در قسمت (چ) نوسان سیگنال خروجی چقدر است؟



شکل (۱۲۳-۶م)

کتابشناسی

A. A. Abidi, "An analysis of bootstrapped gain enhancement techniques," *IEEE Journal of Solid-State Circuits,* vol. SC-22, No. 6, pp. 1200–1204, December 1987.

J. N. Giles, *Linear Integrated Circuits Applications Handbook,* Mountain View, Calif.: Fairchild Semiconductors, 1967.

P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed., New York: Wiley, 1993.

A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design,* New York: Wiley, 1984.

D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering,* New York: McGraw-Hill, 1975.

D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design,* New York: Wiley, 1997.

L. E. Larson, K. W. Martin, and G. C. Temes, "GaAs switched-capacitor circuits for high-speed signal processing," *IEEE Journal of Solid State Circuits,* vol. SC-22, No. 6, pp. 971–981, December 1987.

H. S. Lee, "Analog design," Chapter 8 in *BiCMOS Technology and Applications,* A. R. Alvarez, editor, Boston, Mass.: Kluwer Academic Publishers, 1989.

K. W. Martin, "Ultra-high-speed GaAs analog circuits, systems, and design methodologies," Internal Report, Univ. of California, Los Angeles, February 1990.

J. K. Roberge, *Operational Amplifiers: Theory and Practice,* New York: Wiley, 1975.

G. W. Roberts and A. S. Sedra, SPICE, New York: Oxford University Press, 1997.

C. Tamazou and D. Haigh, "Gallium arsenide analogue integrated circuit design techniques," Chapter 8 in *Analog IC Design: the Current-Mode Approach,* C. Toumazou, F. J. Lidgey, and D. G. Haigh, editors, London: Peter Peregrinus Ltd., 1990.

فصل ۷

پاسخ فرکانسی

۷-۱ تحلیل حوزهٔ S : قطبها، صفرها و نمودارهای بودی
۷-۲ تابع انتقال تقویت کننده
۷-۳ پاسخ فرکانس پایین تقویت کنندهٔ سورس مشترک و امیتر مشترک
۷-۴ پاسخ فرکانس بالای تقویت‌کنندهٔ سورس مشترک و امیتر مشترک
۷-۵ آرایشهای بیس مشترک، گیت مشترک و cascode
۷-۶ پاسخ فرکانسی امیتر پیرو و سورس پیرو
۷-۷ تقویت کنندهٔ متوالی شده کلکتور مشترک - امیتر مشترک
۷-۸ پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی
۷-۹ مثال‌هایی از شبیه‌سازی SPICE
خلاصه - مسائل

مقدمه

در فصل ۱ کلیات پاسخ فرکانسی تقویت‌کننده‌ها را بررسی کردیم و شکلهای مختلف پاسخ فرکانسی آنها را کاملاً توضیح دادیم. بعلاوه پاسخ فرکانسی مدارهای با یک ثابت زمانی (STC) را دیدیم. (جزئیات بیشتر در ضمیمه ث داده شده است.) این موارد را مستقیماً در رابطه با پاسخ فرکانسی مدارهای op-amp (فصل ۲) دیدیم. اثرات خازن‌های داخلی را در BJT (فصل ۴) و MOFET (فصل ۵)، و مدل‌های توسعه یافته فرکانس بالای هر دو قطعه را بررسی کردیم. جدا از اینها و محدودیتهای موجود در پاسخ فرکانسی تقویت‌کننده‌ها، جزئیات این مطلب مهم را در این فصل بررسی می‌کنیم. انجام این کار دارای چند دلیل است و مهمترین آنها این است که خواننده نیاز به آموختن اصول تئوری مدارها داشت که در فصول ابتدای کتاب نیامده بود. ما بخصوص به متغیر فرکانس مختلط s و اصول مربوط به آن مثل صفر و قطبها رجوع خواهیم کرد. این کلیات را می‌توانید در مقدمهٔ مطالب مربوط به تحلیل مدارها پیدا کنید (برای مثال، کتابهای Van Valkenburg (1974) و Bobrow (1987) را ببینید.) در این بخش فرض شده است که خواننده با این اصول آشناست.

پس از دورهٔ تحلیل حوزهٔ s (بخش ۱-۷) و مطالعهٔ توابع انتقال تقویت‌کننده‌ها (بخش ۲-۷)، پاسخ فرکانسی پایین تقویت‌کنندهٔ سورس مشترک و امیتر مشترک با اتصال خازنی بیان می‌شود (بخش ۳-۷). مدل فرکانس بالای FET و BJT بیان شده و در تحلیل پاسخ فرکانس بالای تقویت‌کنندهٔ سورس مشترک و امیتر مشترک به کار می‌رود (بخش ۴-۷). تقویت‌کننده‌های بیس مشترک، گیت مشترک و Cascode در بخش (۵-۷) و تقویت کننده کلکتور مشترک دربخش (۶-۷) بررسی می‌شود. تعدادی ترکیب تقویت‌کنندهٔ دو طبقه که دارای پهنای باند وسیع می‌باشند نیز در این فصل بررسی خواهند شد.

همچنین به جزئیات پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی خواهیم پرداخت. در انتهای فصل، مثال‌هایی از کاربرد شبیه‌سازی کامپیوتری SPICE در تحلیل و طراحی پاسخ فرکانسی تقویت کننده ارائه شده است.

تقویت‌کننده‌های یک طبقه و دو طبقه‌ای را که در این فصل تحلیل شده می‌توان بصورت مجزا یا بعنوان قسمتهای تشکیل‌دهنده یک تقویت‌کنندهٔ

چند طبقه به کار برد. روش تحلیل پاسخ فرکانسی برای تقویت‌کننده‌های چند طبقهٔ مورد استفاده در این فصل را در فصل ۱۰ برای تحلیل مدارهای op−amp نیز به کار می‌بریم.

گرچه در این فصل روی تحلیل تأکید می‌کنیم، ولی در مواردی طراحی را نیز درنظر خواهیم داشت. این کار به این صورت انجام می‌شود که تحلیل را نسبتاً ساده انجام می‌دهیم و توجه خود را روی علت‌های محدودیت پاسخ فرکانسی و روشهای گسترش پهنای باند متمرکز می‌کنیم. البته، پس از به دست آوردن یک طرح اولیه، می‌توان پاسخ فرکانسی دقیق را توسط تحلیلهای کامپیوتری تعیین کرد از نتایج به دست آمده در این تحلیل می‌توان برای بهبود تحلیل استفاده کرد.

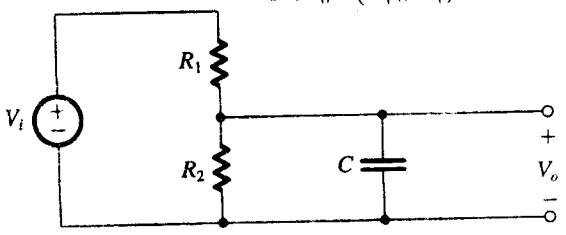
۷-۱ تحلیل حوزهٔ S: قطب‌ها، صفرها و نمودارهای بودی

بیشتر کار ما در این فصل روی پیداکردن بهرهٔ ولتاژ تقویت‌کننده به عنوان تابع انتقال فرکانس مختلط s، تمرکز دارد. در تحلیل حوزهٔ s بجای خازن C، ادمیتانس sC، یا معادل آن امپدانس $1/sC$ و بجای اندوکتانس L امپدانس sL قرار می‌گیرد. سپس، با استفاده از قوانین تحلیل مدار، می‌توان تابع انتقال $T(s) \equiv V_o(s)/V_i(s)$ را به دست آورد.

تمرین

۷-۱ تابع انتقال ولتاژ $T(s) \equiv V_o(s)/V_i(s)$ برای شبکهٔ STC نشان داده شده در شکل (۱-۷ ت) را بیابید.

جواب. $T(s) = \dfrac{1/CR_1}{s + 1/C(R_1 // R_2)}$ ❑



شکل (۱-۷ ت)

پس از به دست آوردن تابع انتقال $T(s)$، می‌توان با جایگذاری $j\omega$ به جای s آنرا برای فرکانسهای فیزیکی مهیا کرد. تابع انتقال $T(j\omega)$ حاصل به فرم کلی مقادیر مختلط است که اندازهٔ آن، اندازهٔ پاسخ (یا انتقال) و زاویهٔ آن، فاز پاسخ تقویت‌کننده را می‌دهد.

در بسیاری موارد نیازی به جایگذاری $s = j\omega$ و به دست آوردن $T(j\omega)$ نداریم؛ در عوض، فرم $T(s)$ بسیاری از حقایق مفید راجع به نحوهٔ کار مدار را در اختیار ما می‌گذارد. بطور کلی، برای همهٔ مدارهای به کار رفته در این فصل، $T(s)$ را می‌توان به فرم زیر توصیف کرد.

$$T(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \dots + a_0}{s^n + b_{n-1} s^{n-1} + \dots + b_0} \qquad (۷-۱)$$

که ضرائب a و b اعداد حقیقی و مرتبه m صورت کوچکتر یا مساوی با درجهٔ n مخرج است؛ به n، **مرتبهٔ شبکه** می‌گویند. بعلاوه، برای یک **مدار پایدار** - یعنی مداری که خودبخود تولید سیگنال نکند - ضرائب مخرج به صورتی هستند که ریشه‌های چند جمله‌ای مخرج دارای مقادیر حقیقی منفی می‌باشند. مسائل مربوط به پایداری تقویت‌کننده‌ها را در فصل ۸ بررسی خواهیم کرد.

قطبها و صفرها

یک فرم نمایش $T(s)$ بصورت زیر است:

$$T(s) = a_m \frac{(s-Z_1)(s-Z_2)\dots(s-Z_m)}{(s-P_1)(s-P_2)\dots(s-P_n)} \qquad (۷-۲)$$

که a_m یک مضرب ثابت است (ضریب جملهٔ s^m در صورت)، Z_1، Z_2، ...، Z_m ریشه‌های چند جمله‌ای صورت و P_1، P_2، ...، P_n ریشه‌های چندجمله‌ای مخرج می‌باشند. Z_1، Z_2، ...، Z_m را **صفرهای تابع انتقال** یا **صفرهای انتقال** و P_1، P_2، ...، P_n را **قطبهای تابع انتقال** یا **حالتهای طبیعی شبکه** می‌گویند. یک تابع انتقال را می‌توان توسط صفر و قطبها و ضریب ثابت بطور کامل مشخص کرد.

صفرها و قطبها می‌توانند اعداد حقیقی یا مختلط باشند. بهرحال، از آنجا که ضرائب a و b اعداد حقیقی هستند، قطبهای (یا صفرهای) مختلط باید بصورت **مزدوج** باشند. یعنی، اگر $5 + j3$ یک صفر باشد، آنگاه $5 - j3$ نیز باید یک صفر باشد. یک صفر موهومی خالص ($\pm j\omega_Z$) سبب می‌شود که تابع انتقال $T(j\omega)$ دارای یک صفر در $\omega = \omega_Z$ باشد این بدان علت است که صورت دارای ضریب $(s + j\omega_z)(s - j\omega_z) = (s^2 + \omega_z^2)$ است، که برای فرکانس‌های فیزیکی، به $(-w^2 + w_z^2)$ تبدیل می‌شود و بنابراین تابع انتقال دقیقاً دارای صفر در $w = w_z$ است. بنابراین مدار تلّه که در ورودی تلویزیون قرار گرفته است دارای صفر انتقال در فرکانس تداخل خاصی است. از طرف دیگر، صفرهای حقیقی، صفر انتقال تولید نمی‌کنند (چرا؟). نهایتاً، توجه کنید که برای مقادیر s بزرگتر از همهٔ صفر و قطبها، تابع انتقال معادلهٔ (۱-۷) به $T(s) \equiv a_m/s^{n-m}$ تبدیل می‌شود بنابراین تابع انتقال دارای $(n-m)$ صفر در $s = \infty$ است.

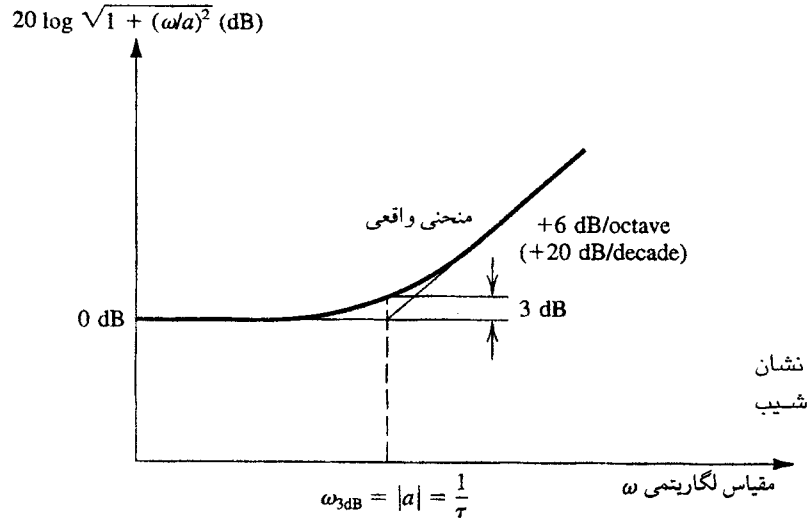
توابع مرتبهٔ اول

همهٔ توابع انتقال مورد بحث در این فصل دارای صفر و قطبهای حقیقی هستند و می‌توان آنها را بصورت حاصلضرب توابع انتقال مرتبه اول با فرم کلی زیر نوشت:

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \qquad (۷-۳)$$

که $-\omega_0$ محل قطب حقیقی است. به مقدار ω_0 **فرکانس قطب** می‌گویند و برابر عکس ثابت زمانی این شبکه ثابت زمانی منفرد است (STC) (بخش ۶-۱ و ضمیمه ث را ببینید). ثوابت a_0 و a_1 نوع شبکهٔ STC را تعیین می‌کنند. بویژه، در فصل ۱ دو نوع از شبکه‌های STC را مطالعه کردیم، بالاگذر و پایین‌گذر. برای مدار پایین‌گذر مرتبه اول داریم:

$$T(s) = \frac{a_0}{s + \omega_0} \qquad (۷-۴)$$



شکل ۱-۷. نمودار بودی برای یک نمونه اندازه. منحنی نشان داده شده برای صفر، قطب و مجانب فرکانس بالا با شیب ۶- dB/octave به کار می‌رود.

در این حالت بهرهٔ dc برابر a_0/ω_0 است و ω_0 فرکانس گوشه‌ای یا فرکانس ۳ dB است. توجه کنید که این تابع انتقال دارای یک صفر در $s = \infty$ است. از طرف دیگر، تابع انتقال شبکهٔ بالاگذر مرتبهٔ اول دارای یک صفر dc است و بصورت زیر نوشته می‌شود:

$$T(s) = \frac{a_1 s}{s + \omega_0} \qquad (۷-۵)$$

در اینجا به خواننده اکیداً سفارش می‌کنیم که مطالب مربوط به شبکه‌های STC و پاسخ فرکانسی و پالس آنها را در ضمیمه ث بطور کامل مطالعه کند. بخصوص بر روی نمودارهای اندازه و فاز پاسخ دو نوع خاص شبکهٔ STC تأکید داریم. چنین نمودارهایی را می‌توان برای به دست‌آوردن نمودار اندازه و فاز توابع انتقال با مرتبه بالاتر مورد استفاده قرار دارد، همانطور که در قسمت بعدی آمده است.

نمودار بودی (Bode Plots)

یک روش ساده برای به دست آوردن نمودارِ تقریبی اندازه و فاز تابع انتقالی که صفر و قطبهای آن داده شده، وجود دارد. این روش بویژه در حالتی که صفر و قطبها حقیقی باشند مفید است. این روش توسط H.Bode ابداع شد، و نمودار حاصل را نیز **نمودار بودی** می‌نامند.

یک تابع انتقال به شکل معادلهٔ (۲-۷) شامل حاصلضرب فاکتورهایی به فرم $s+a$ است، که این فاکتور در صورت ظاهر می‌شود، اگر نمایانگر صفر باشد و در مخرج دیده می‌شود اگر به یک قطب رجوع داده شود. بنابراین پاسخ اندازه بر حسب دسی‌بل شبکه را می‌توان با جمع‌کردن جملات $20\log_{10}\sqrt{a^2 + \omega^2}$، و پاسخ فاز را با جمع‌کردن جملات $\tan^{-1}(\omega/a)$ به دست آورد. در هر دو حالت، جملات مربوط به قطبها با علامت منفی، جمع خواهند شد. برای راحتی کار می‌توان ثابت a را از رادیکال خارج کرده و جمله اندازه را بصورت نمونه $20\log\sqrt{1+(\omega/a)^2}$ نوشت. در نمودارِ دسی‌بل بر حسب لگاریتم فرکانس، این جمله یک منحنی است و دارای مجانبهای خط راست، همانند شکل (۱-۷) می‌باشد.

در اینجا مجانب فرکانس‌های پایین یک خط افقی مستقیم در سطح ۰ dB و مجانب فرکانسهای بالا یک خط راست با شیب ۶ dB/octave یا ۲۰ dB/decade است. دو مجانب یکدیگر را در فرکانس $\omega = |a|$ قطع می‌کنند، که به آن **فرکانس گوشه‌ای** می‌گویند. چنانکه نشان داده شده، نمودار واقعی اندازه با مقادیر به دست آمده از مجانبها تفاوت اندکی دارد، حداکثر اختلاف ۳ dB است و در فرکانس گوشه‌ای ظاهر می‌شود.

برای $a = 0$، یعنی صفر یا قطب در $s = 0$، نمودار یک خط راست با شیب ۶ dB/octave است که در $\omega=1$ خط ۰ dB را قطع می‌کند.

بطور خلاصه، برای به دست آوردن نمودار بودی برای اندازهٔ تابع انتقال، ابتدا مجانبهای هر صفر و قطب را رسم می‌کنیم. شیب مجانب منحنی در فرکانس بالا برای صفر برابر ۲۰ dB/decade + است، که این مقدار برای قطب ۲۰ dB/decade − می‌باشد. سپس نمودارهای مختلف با هم جمع می‌شوند، و منحنی حاصل نیز به میزان ضریب ثابتِ تابع انتقال بصورت عمودی منتقل می‌شود.

مثال ۱-۷

یک تقویت‌کننده دارای تابع انتقال ولتاژ زیر است:

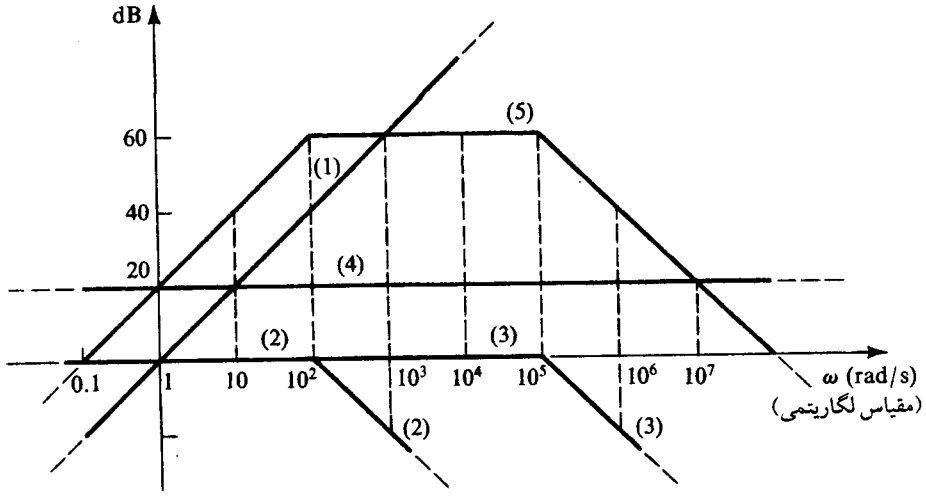
$$T(s) = \frac{10s}{(1 + s/10^2)(1 + s/10^5)}$$

صفر و قطبهای آنرا پیدا کنید و اندازهٔ بهره را بر حسب فرکانس رسم کنید. مقدار تقریبی بهره را در 10^6 rad/s و 10^5 و $\omega = 10$ رادیان بر ثانیه بیابید.

حل:

صفرها بصورت زیر هستند: یکی در $s = 0$ و دیگری در $s = \infty$. قطبها به این صورت هستند: یکی در $s = -10^2$ rad/s و دیگری در $s = -10^5$ rad/s.

شکل ۲-۷ مجانبهای نمودار بودی برای بخشهای مختلف تابع



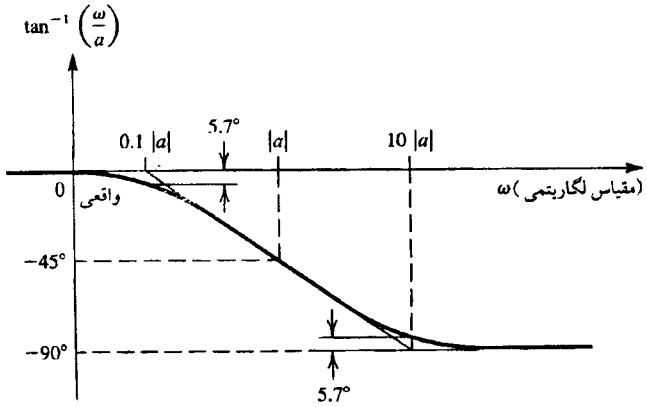
شکل ۲-۷. نمودار بودی برای مثال ۱-۷

انتقال را نشان می‌دهد. منحنی ۱، که خط راستی با شیب ۲۰ dB/decade + است، به جملهٔ s در صورت (یعنی صفر در $s=0$) مربوط است. قطب در $s = -10^2$ منحنی ۲ را می‌دهد، و شامل دو مجانب می‌باشد که در $\omega = 10^2$ یکدیگر را قطع می‌کنند. به همین طریق، قطب در $s = -10^5$ با منحنی ۳ مشخص می‌شود، که مجانبهای آن در $\omega=10^5$ یکدیگر را قطع می‌کنند. نهایتاً، منحنی ۴، نمایانگر ضریب ثابت ۱۰ می‌باشد.

با جمع‌کردن این چهار منحنی می‌توانیم مجانبهای منحنی بهرهٔ تقویت‌کننده در نمودار بودی را به دست آوریم (منحنی ۵). توجه کنید از آنجا که دو قطب خیلی جدا از هم هستند، بهره در محدودهٔ 10^2 تا 10^5 رادیان بر ثانیه بسیار نزدیک به 10^3 (۶۰ dB) است. در دو فرکانس گوشه‌ای (10^2 و 10^5 rad/s) بهره تقریباً ۳ dB کمتر از حداکثر بهرهٔ ۶۰dB است. در سه فرکانس مشخص شده مقادیر بهره از طریق نمودار بودی و ارزیابی دقیق تابع انتقال بصورت زیر به دست می‌آیند.

ω	بهرهٔ تقریبی	بهرهٔ دقیق
۱۰	۴۰ dB	۳۹/۹۶ dB
10^3	۶۰ dB	۵۹/۹۶ dB
10^6	۴۰ dB	۳۹/۹۶ dB

سپس نمودار بودی فاز را درنظر می‌گیریم. شکل ۳-۷ نمودار فاز $\tan^{-1}(\omega/a)$ را با فرض اینکه a یک عدد منفی است، نشان می‌دهد. همچنین یک مجانب خط راست تقریبی برای تابع تانژانت معکوس در این شکل به نمایش درآمده است. نمودار مجانبها شامل سه خط راست می‌باشند. اولین خط افقی است و در $\phi = 0$ قرار دارد و تا $\omega = 0/1\,|a|$ ادامه می‌یابد. خط دوّم دارای شیب ۴۵°/decade − است و در ناحیهٔ $|a|$ $\omega = 0/1$ تا $\omega = 10\,|a|$ برقرار است. خط سوم دارای شیب صفر است و دارای سطح $\phi = -90°$ می‌باشد. پاسخ کامل فاز را می‌توان از جمع مجانبهای نمودار بودی مربوط به صفر و قطبها به دست‌آورد.



شکل ۳-۷. نمودار بودی برای یک نمونه فاز $\tan^{-1}(\omega/a)$ هنگامی که a منفی است.

مثال ۲-۷

نمودار بودی را برای فاز تابع انتقال تقویت‌کنندهٔ مثال ۱-۷ پیدا کنید.

حل:

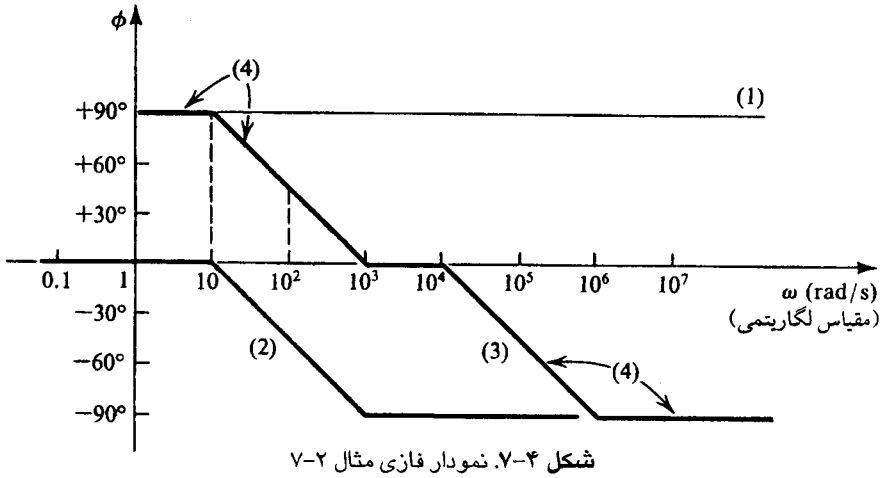
صفر در $s = 0$ را با نمودار ۱ در شکل (۴-۷) و در سطح فاز ۹۰°+ نشان می‌دهیم. قطب در $s = -10^2$ تابع فاز زیر را می‌دهد.

$$\phi_1 = -\tan^{-1}\frac{\omega}{10^2}$$

(علامت منفی در این رابطه نشان‌دهندهٔ اینست که این نقطهٔ منفرد یک قطب است.) نمودار مجانبها برای این تابع توسط نمودار ۲ در شکل ۴-۷ داده شده است، قطب در $s = -10^5$ ما را به تابع فاز

$$\phi_2 = -\tan^{-1}\frac{\omega}{10^5}$$

می‌رساند که نمودار مجانبی آن نمودار۳ است. پاسخ کلی فاز (منحنی ۴) از جمع‌کردن سه منحنی قبل به دست می‌آید. می‌توان دید که تقویت‌کننده در ۱۰۰ rad/s، ۴۵° پیش‌فاز و در 10^5 rad/s، ۴۵° پس‌فاز است.

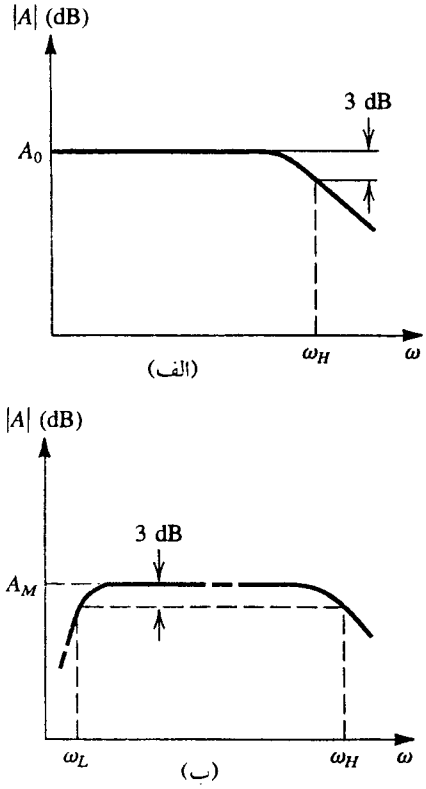


شکل ۴-۷. نمودار فازی مثال ۲-۷

یک نکته مهم: بهتر است برای ترسیم نمودار بودی، ضرایب تابع انتقال را بصورت $(\frac{s}{a} + 1)$ در آورده، سپس موارد خواسته شده در مثال‌های (۱-۷) و (۲-۷) را مستقیماً به دست آوریم.

۷-۲ تابع انتقال تقویت‌کننده

تقویت‌کننده‌های درنظر گرفته شده در این فصل دارای توابع بهرهٔ ولتاژی به یکی از دو فرم نشان داده شده در شکل (۵-۷) هستند. شکل (الف ۵ - ۷) برای تقویت‌کننده‌های dc یا اتصال مستقیم و شکل (ب ۵-۷) برای تقویت‌کننده‌های ac یا با اتصال خازنی به کار می‌رود. تنها تفاوت بین این دو نوع این است که بهرهٔ تقویت‌کنندهٔ ac در فرکانسهای پایین افت می‌کند. در ادامه پاسخ کلی نشان داده شده در شکل (ب ۵-۷) را بیشتر مورد بررسی قرار می‌دهیم. پاسخ تقویت‌کنندهٔ dc بعنوان یک حالت خاص خواهد آمد.



شکل ۵-۷. پاسخ فرکانسی **(الف)** تقویت‌کننده dc **(ب)** تقویت‌کننده با اتصال خازنی

سه باند فرکانس

همچنانکه از شکل (ب ۵-۷) نیز دیده می‌شود، بهرهٔ تقویت‌کننده برای یک محدودهٔ وسیع فرکانس که به آن **باند میانی** گفته می‌شود تقریباً مقداری ثابت است. در این محدودهٔ فرکانسی همهٔ خازنها تقریباً بی‌اثر هستند (خازنهای اتصال، خازن داخلی ترانزیستور و خازنهای کنارگذر) و در محاسبات بهره می‌توان از آنها صرفنظر کرد. در فرکانس انتهای بالای طیف، بهره در اثر خازنهای داخلیِ قطعه افت می‌کند. از طرف دیگر، در فرکانس انتهای پایینِ طیف، خازنهای اتصال و کنارگذر بصورت اتصال کوتاهِ کامل عمل نمی‌کنند و بنابراین بهره افت می‌کند. باند میانی معمولاً توسط دو فرکانس ω_L و ω_H مشخص می‌شود. اینها فرکانسهایی هستند که بهره در آنها به میزان ۳ dB زیر بهرهٔ باند میانی افت می‌کند. پهنای باند تقویت‌کننده معمولاً بصورت زیر تعریف می‌شود.

$$\mathrm{BW} = \omega_H - \omega_L \qquad (۷-۶)$$

و از آنجا که $\omega_L << \omega_H$،

$$\mathrm{BW} \cong \omega_H \qquad (۷-۷)$$

یکی از شاخصهای تقویت‌کننده **حاصلضرب بهره-پهنای باند** است که بصورت

$$GB = A_M \omega_H \qquad (۷-۸)$$

تعریف می‌شود و A_M میزان بهره در باند میانی بر حسب ولت بر ولت است. همچنانکه در قسمت آتی نیز خواهیم دید، این امکان وجود دارد که بهره را با پهنای باند معاوضه کنیم یعنی با کاهش بهره پهنای باند بیشتری به دست آوریم.

تابع بهرهٔ A(s)

بهرهٔ تقویت‌کننده را بصورت تابعی از فرکانس s می‌توان به فرم کلی زیر بیان کرد:

$$A(s) = A_M F_L(s) F_H(s) \qquad (۷-۹)$$

که $F_L(s)$ و $F_H(s)$ برای مشخص‌کردن وابستگی بهره به فرکانس بترتیب در فرکانسهای پایین و در فرکانسهای بالا به کار رفته‌اند. برای فرکانسهای ω خیلی بزرگتر از ω_L، تابع $F_L(s)$ به سمت واحد می‌رود. بطریق مشابه، برای فرکانسهای ω خیلی کوچکتر از ω_H، تابع $F_H(s)$ به سمت واحد می‌رود. بنابراین برای $\omega_L \ll \omega \ll \omega_H$، چنانچه انتظار داشتیم

$$A(s) \cong A_M$$

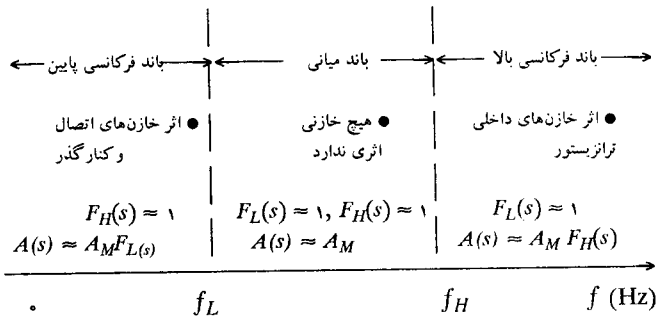
می‌باشد. بهرهٔ تقویت‌کننده در باند فرکانس پایین، $A_L(s)$، را نیز می‌توان بفرم

$$A_L(s) \cong A_M F_L(s) \qquad (۷-۱۰)$$

نوشت و بهره در باند فرکانس بالا را نیز می‌توان بصورت زیر نوشت:

$$A_H(s) \cong A_M F_H(s) \qquad (۷-۱۱)$$

بهرهٔ باند میانی از تحلیل مدار معادل تقویت‌کننده با اتصال کوتاه درنظر گرفتن خازنهای اتصال و کنارگذر تعیین می‌شود و خازنهای داخلی مدل ترانزیستور بصورت اتصال باز ایده‌آل فرض می‌شوند. تابع انتقال فرکانس پایین، $A_L(s)$، از تحلیل مدار معادل تقویت‌کننده که شامل خازنهای اتصال و کنارگذر است و با اتصال باز فرض‌کردن خازنهای مدل ترانزیستور به دست می‌آید. از طرف دیگر، تابع انتقال فرکانس بالا، $A_H(s)$، از طریق تحلیل مدار معادل تقویت‌کننده که شامل خازنهای مدل ترانزیستور می‌شود و با اتصال کوتاه فرض کردن خازنهای کنارگذر و اتصال، به دست می‌آید. شکل (۶-۷) نمایش تصویری این نکات است.



شکل ۶-۷. باندهای فرکانسی مشخص کننده پاسخ فرکانسی تقویت کننده با اتصال خازنی. در تقویت کنندهٔ dc، عدم حضور خازن‌های اتصال و کنار گذر باعث $F_L(s) = 1$ و $f_L = 0$ می‌شود، بنابراین بهره باند میانی تا فرکانس صفر امتداد می‌یابد.

پاسخ فرکانس پایین

تابع $F_L(s)$، که بعنوان پاسخ فرکانس پایین تقویت‌کننده شناخته می‌شود، شکل کلی زیر را داراست

$$F_L(s) = \frac{(s+\omega_{Z1})(s+\omega_{Z2}) \dots (s+\omega_{Zn_L})}{(s+\omega_{P1})(s+\omega_{P2}) \dots (s+\omega_{Pn_L})} \qquad (۷-۱۲)$$

ω_{P1}، ω_{P2}، ... ، ω_{Pn_L} اعداد مثبتی هستند که نمایانگر n_L قطب در فرکانس پایین هستند و ω_{Z1}، ω_{Z2}، ... ، ω_{Zn_L} اعداد صفر، مثبت یا منفی هستند که نمایانگر n_L صفر می‌باشند. از معادلهٔ (۱۲-۷) باید توجه کرد همچنانکه s به سمت بی‌نهایت می‌رود (در حقیقت، همچنانکه $s = j\omega$ به سمت فرکانسهای باند میانی می‌رود)، $F_L(s)$ به سمت واحد می‌رود.

در بیشتر حالات صفرها در چنان فرکانسهای پایینی هستند (خیلی کوچکتر از ω_L) که اثر کمی در تعیین ω_L فرکانس ۳ dB پایین دارند. همچنین، معمولاً یکی از قطبها - مثلاً ω_{P1} - فرکانسی بسیار بالاتر از سایر قطبها دارد. در نتیجه برای فرکانسهای ω نزدیک به باند میانی، $F_L(s)$ را می‌توان به رابطه زیر تقریب زد.

$$F_L(s) \cong \frac{s}{s + \omega_{P1}} \qquad (۷-۱۳)$$

که تابع انتقال یک شبکهٔ بالاگذر مرتبهٔ اول است. در این حالت پاسخ فرکانس پایین تقویت‌کننده توسط قطب **غالب** در $s = -\omega_{P1}$ تعیین می‌گردد و فرکانس ۳ dB پایین تقریباً برابر ω_{P1} است،

$$\omega_L \cong \omega_{P1} \qquad (۷-۱۴)$$

اگر این **تقریب قطب غالب** صورت پذیرد، مشخص‌کردن ω_L ساده می‌شود. در غیر این صورت شخص باید نمودار بودی کامل را برای $|F_L(j\omega)|$ رسم کند و سپس ω_L را تعیین نماید. بعنوان یک قانون سرانگشتی، تقریب قطب غالب را اگر قطب با بالاترین فرکانس از صفر و قطبهای مجاورش به اندازهٔ دو اوکتاو (یعنی، مضربی از چهار) فاصله داشته باشد، می‌توان به کار برد.

اگر قطب فرکانس پایین غالب وجود نداشته باشد، می‌توان بر حسب صفر و قطبها برای مشخص‌کردن ω_L رابطه‌ای به دست آورد. برای سادگی حالتی را فرض کنید که مدار دارای دو صفر و دو قطب در انتهای فرکانس پایین است. یعنی

$$F_L(s) = \frac{(s + \omega_{Z1})(s + \omega_{Z2})}{(s + \omega_{P1})(s + \omega_{P2})} \qquad (۷-۱۵)$$

با جایگذاری $s = j\omega$ و به دست‌آوردن مربع اندازه داریم

$$|F_L(j\omega)|^2 = \frac{(\omega^2 + \omega^2_{Z1})(\omega^2 + \omega^2_{Z2})}{(\omega^2 + \omega^2_{P1})(\omega^2 + \omega^2_{P2})} \qquad (۷-۱۶)$$

بنا بر تعریف، در $\omega = \omega_L$، $|F_L|^2 = 1/2$ و بنابراین

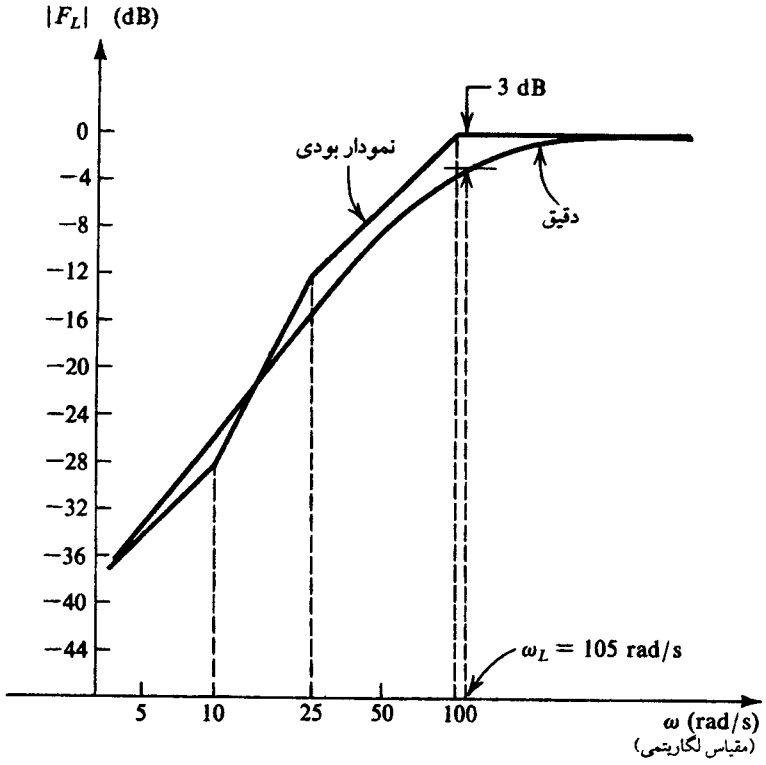
$$\frac{1}{2} = \frac{(\omega^2_L + \omega^2_{Z1})(\omega^2_L + \omega^2_{Z2})}{(\omega^2_L + \omega^2_{P1})(\omega^2_L + \omega^2_{P2})} \qquad (۷-۱۷)$$

$$= \frac{1 + (1/\omega^2_L)(\omega^2_{Z1} + \omega^2_{Z2}) + (1/\omega^4_L)(\omega^2_{Z1}.\omega^2_{Z2})}{1 + (1/\omega^2_L)(\omega^2_{P1} + \omega^2_{P2}) + (1/\omega^4_L)(\omega^2_{P1}.\omega^2_{P2})}$$

از آنجا که ω_L بزرگتر از فرکانسهای صفر و قطبها است، می‌توانیم از جملهٔ $(1/\omega_L^4)$ صرفنظر کنیم و با حل‌کردن این رابطه ω_L را چنین به دست آوریم.

$$\omega_L \cong \sqrt{\omega^2_{P1} + \omega^2_{P2} - 2\omega^2_{Z1} - 2\omega^2_{Z2}} \qquad (۷-۱۸)$$

این رابطه را می‌توان برای هر تعداد صفر و قطب تعمیم داد. توجه کنید که اگر یکی از قطبها، مثلاً $P1$، غالب باشد، آنگاه ω_{Z2}، ω_{Z1}، ω_{P2} $\ll \omega_{P1}$ و معادلهٔ (۱۸-۷) به فرم معادلهٔ (۱۴-۷) ساده می‌شود.



شکل ۷-۷. پاسخ فرکانس پایین نرمال‌شدهٔ تقویت‌کنندهٔ مثال ۳-۷

مثال ۳-۷

پاسخ فرکانس پایین یک تقویت‌کننده توسط تابع انتقال زیر تعریف می‌شود.

$$F_L(s) = \frac{s(s+10)}{(s+100)(s+25)}$$

فرکانس ۳ dB آنرا بطور تقریبی و دقیق تعیین کنید.

حل:

با توجه به اینکه قطب با بالاترین فرکانس در ۱۰۰ rad/s دو اوکتاو بالاتر از دومین قطب و ده برابر بالاتر از صفر است، درمی‌یابیم که حالت قطب غالب تقریباً برقرار است و $\omega_L \cong 100$ rad/s است. یک تخمین بهتر ω_L را می‌توان از رابطهٔ (۱۸-۷) بصورت زیر به دست آورد:

$$\omega_L = \sqrt{100^2 + 25^2 - 2 \times 10^2} = 102 \text{ rad/s}$$

مقدار دقیق ω_L را می‌توان از طریق تابع انتقال برابر ۱۰۵ rad/s به دست آورد. نهایتاً در شکل (۷-۷) نمودار بودی و نمودار دقیق برای دامنهٔ تابع انتقال داده شده را نشان داده‌ایم. توجه کنید که این یک نمودار نرمال‌شده نسبت به بهرهٔ باند میانی پاسخ فرکانس پایین تقویت‌کننده است. یعنی، اگر بهرهٔ باند میانی ۱۰۰ dB باشد، آنگاه این نمودار باید به اندازهٔ ۱۰۰ dB به طرف بالا منتقل شود.

پاسخ فرکانس بالا

حال باند فرکانسِ بالا را در نظر بگیرید. تابع $F_H(s)$ را می‌توان به فرم کلی زیر نشان داد[1].

$$F_H(s) = \frac{(1 + s/\omega_{Z1})(1 + s/\omega_{Z2}) \dots (1 + s/\omega_{Zn_H})}{(1 + s/\omega_{P1})(1 + s/\omega_{P2}) \dots (1 + s/\omega_{Pn_H})} \qquad (۱۹-۷)$$

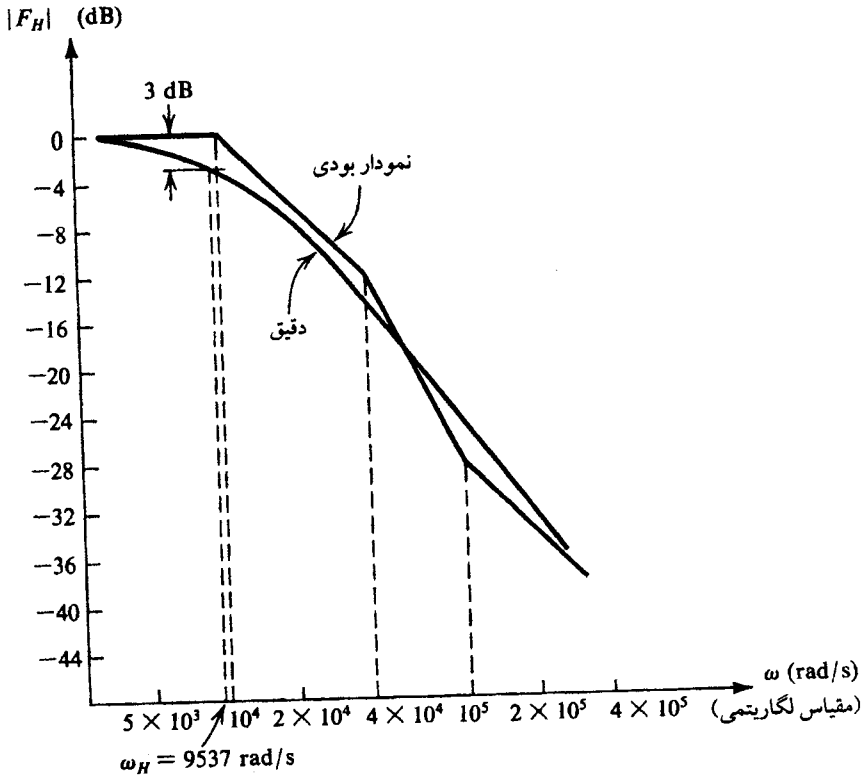
که ω_{P1}، ω_{P2}، ...، ω_{Pn_H} اعداد مثبتی هستند و نمایانگر n_H قطب حقیقی فرکانس بالا و ω_{Z1}، ω_{Z2}، ...، ω_{Zn_H} اعداد مثبت، منفی یا بی‌نهایت می‌باشند که نمایانگر n_H صفرِ فرکانس بالا هستند. از توجه به معادلهٔ (۱۹-۷) درمی‌یابیم همچنانکه s به سمت صفر می‌رود (در حقیقت $s=j\omega$ به سمت فرکانسهای باند میانی می‌رود)، $F_H(s)$ به سمت واحد حرکت می‌کند.

در بیشتر موارد صفرها یا در بی‌نهایت هستند و یا فرکانس آنها چنان بالاست که در تعیین فرکانس ۳ dB بالا، ω_H، نقش کوچکی را بازی می‌کنند. اگر در مجموع یکی از قطبهای فرکانس بالا - مثلاً، $-\omega_{P1}$ - در فرکانسی پایین‌تر از سایر قطبها قرار داشته باشد، آنگاه پاسخ فرکانس بالای تقویت‌کننده توسط این قطب بیشترین اثر را خواهد پذیرفت و تابع $F_H(s)$ را می‌توان با رابطهٔ زیر تقریب زد:

$$F_H(s) \cong \frac{1}{1 + s/\omega_{P1}} \qquad (۲۰-۷)$$

که تابع انتقال یک شبکهٔ پایین‌گذر مرتبهٔ اول است. این نتیجه می‌دهد که اگر یک قطب فرکانس بالا وجود داشته باشد، در این صورت تعیین ω_H بسیار ساده می‌شود.

۱-توجه کنید که بیان $F_H(s)$ انتخاب شده در معادله (۱۹-۷) با آنچه که در مورد $F_L(s)$ در معادله (۱۲-۷) انتخاب شده، متفاوت است. البته می‌توان از همان بیان در مورد هر دو استفاده کرد، اما انتخابی که در این جا کرده‌ایم بسیار راحت‌تر است. به خواننده توصیه می‌کنیم که این نکته را به خاطر بسپارد تا در ادامه این فصل مورد استفاده قرار دهد.



شکل ۸-۷. پاسخ فرکانسی بالای نرمال‌شدهٔ تقویت‌کنندهٔ مثال ۴-۷

$$\omega_H \cong \omega_{P1} \qquad (۷-۲۱)$$

اگر قطب غالب فرکانس بالا وجود نداشته باشد، فرکانس ۳ dB بالا ω_H را می‌توان توسط نمودار $|F_H(j\omega)|$ به دست آورد. همچنین، یک رابطهٔ تقریبی برای ω_H بر حسب قطب و صفرهای فرکانس بالا می‌توان به دست آورد، شبیه آنچه که برای به دست آوردن معادلهٔ (۱۸-۷) انجام شد. فرمول ω_H برابر است با:

$$\omega_H \cong 1\Big/\sqrt{\frac{1}{\omega^2_{P1}} + \frac{1}{\omega^2_{P2}} + \dots - \frac{2}{\omega^2_{Z1}} - \frac{2}{\omega^2_{Z2}}} \qquad (۷-۲۲)$$

توجه کنید که اگر یکی از قطبها، مثلاً P_1، غالب باشد آنگاه:

$$\omega_{P1} \ll \omega_{P2}, \omega_{P3}, \dots, \omega_{Z1}, \omega_{Z2}, \dots$$

و بنابراین معادلهٔ (۲۲-۷) بصورت رابطهٔ (۲۱-۷) خلاصه می‌شود.

مثال ۴-۷

پاسخ فرکانس بالای یک تقویت‌کننده توسط تابع انتقال زیر مشخص می‌شود.

$$F_H(s) = \frac{1 - s/10^5}{(1 + s/10^4)(1 + s/4 \times 10^4)}$$

فرکانس ۳ dB تقریبی و دقیق آنرا به دست آورید.

حل:

با توجه به اینکه قطب در پایین‌ترین فرکانس 10^4 rad/s، دو اوکتاو پایین‌تر از دومین قطب و دوبرابر کوچکتر از صفر است، درمی‌یابیم که وضعیت قطب غالب در این مورد برقرار است و $\omega_H \cong 10^4$ rad/s می‌باشد. یک نمایش بهتر برای ω_H را می‌توان توسط معادلهٔ (۲۲-۷) و بصورت زیر به دست آورد.

$$\omega_H = 1\Big/\sqrt{\frac{1}{10^8} + \frac{1}{16 \times 10^8} - \frac{2}{10^{10}}}$$

$$= 9800 \text{ rad/s}$$

مقدار دقیق ω_H را می‌توان توسط تابع انتقال داده شده برابر 9537rad/s به دست آورد. نهایتاً، در شکل ۸-۷ نمودار بودی و نمودار واقعی برای تابع انتقال داده شده رسم شده است. توجه کنید که نمودار پاسخ فرکانس بالای تقویت‌کننده نسبت به بهرهٔ باند میانی آن نرمال شده است. یعنی، اگر بهرهٔ باند میانی ۱۰۰ dB باشد، آنگاه نمودار یادشده باید به اندازهٔ ۱۰۰dB به بالا منتقل شود.

استفاده از ثابت زمانی مدار باز و اتصال کوتاه برای تعیین تقریبی ω_L و ω_H

اگر قطب و صفرهای تابع انتقال تقویت‌کننده به راحتی به دست آیند، می‌توانیم مقادیر ω_L و ω_H را توسط روشهای بیان‌شدهٔ بالا تعیین کنیم. اما در بیشتر موارد، راه ساده‌ای برای تعیین صفر و قطبها وجود ندارد. در این موارد، مقادیر تقریبی ω_H و ω_L را می‌توان توسط روش زیر به دست آورد.

ابتدا پاسخ فرکانس بالا، را درنظر بگیرید. تابع $F_H(s)$ در معادلهٔ

(۱۹-۷) را می‌توان به فرم زیر نمایش داد

$$F_H(s) = \frac{1 + a_1 s + a_2 s^2 + \dots + a_{n_H} s^{n_H}}{1 + b_1 s + b_2 s^2 + \dots + b_{n_H} s^{n_H}} \qquad (۷-۲۳)$$

که a و b بترتیب ضرایبی وابسته به فرکانسهای صفر و قطبها می‌باشند. بویژه، ضریب b_1 با رابطهٔ زیر داده شده است:

$$b_1 = \frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}} + \dots + \frac{1}{\omega_{pn_H}} \qquad (۷-۲۴)$$

می‌توان نشان داد که [گری و سیرل (۱۹۶۹) را ببینید] مقدار b_1 را می‌توان با در نظرگرفتن مقادیر مختلف خازنها در مدار معادل فرکانس بالا و یک خازن و صفر فرض‌کردن بقیه به دست آورد (یا، جایگذاری مدار باز به جای خازنها). یعنی، برای به دست‌آوردن سهم خازن C_i همهٔ خازنها را صفر قرار می‌دهیم، منبع سیگنال ورودی را صفر می‌کنیم و مقاومتی را که خازن C_i می‌بیند به دست می‌آوریم، یعنی R_{io}. این روش را برای همهٔ خازنهای مدار انجام می‌دهیم. مقادیر b_1 توسط جمع‌کردن مقادیر ثابت زمانیهای به دست آمده محاسبه می‌شود و بعنوان **ثابت زمانی مدار باز** خوانده می‌شود.

$$b_1 = \sum_{i=1}^{n_H} C_i R_{io} \qquad (۷-۲۵)$$

که فرض کرده‌ایم n_H خازن در مدار معادل فرکانس بالا وجود دارد.

این روش دقیق به دست‌آوردن b_1 است، اما روش تقریبی با توجه به مقدار b_1 برای تعیین ω_H به کار می‌رود. بخصوص، اگر صفرها غالب نباشند و اگر یکی از قطبها - مثلاً p_1، غالب باشد، آنگاه از معادلهٔ (۲۴-۷) داریم

$$b_1 \cong \frac{1}{\omega_{p1}} \qquad (۷-۲۶)$$

و فرکانس ۳ dB بالا تقریباً برابر ωp_1 است و داریم

$$\omega_H \cong \frac{1}{\left[\sum_i C_i R_{io}\right]} \qquad (۷-۲۷)$$

در اینجا باید متذکر شویم که در مدارهای مختلط بدرستی نمی‌دانیم که آیا قطب غالب وجود دارد یا خیر. با این حال، استفاده از معادلهٔ (۲۷-۷) برای به دست آوردن ω_H معمولاً نتایج مطلوبی می‌دهد[1] حتی اگر قطب غالب هم وجود نداشته باشد. این روش را با یک مثال توضیح می‌دهیم.

مثال ۵-۷

شکل (الف ۹-۷) مدار معادل فرکانس بالای تقویت‌کنندهٔ سورس مشترکِ FET را نشان می‌دهد. به تقویت‌کننده یک مولد سیگنال با مقاومت R اعمال می‌شود. مقاومت R_{in} وابسته به شبکهٔ تغذیه است. مقاومت R'_L معادل موازی مقاومتهای بار R_L، مقاومت بایاس درین R_D و مقاومت خروجی FET، r_o است. خازنهای C_{gs} و C_{gd} خازنهای داخلی FET هستند که در فصل آینده بطور مشروح مورد بررسی قرار می‌گیرند. برای $R = 100\ \text{k}\Omega$، $R_{in} = 420\ \text{k}\Omega$، $C_{gd} = C_{gs} = 1\ \text{pF}$، $g_m = 4\ \text{mA/V}$ و $R'_L = 3.33\ \text{k}\Omega$، بهرهٔ ولتاژ باند میانی را به دست آورید، $A_M = V_o/V_i$ و فرکانس ۳ dB بالا، f_H را تعیین نمایید.

حل:

بهرهٔ ولتاژ باند میانی را با مدار باز فرض‌کردن خازنهای مدل FET می‌توان به دست آورد. مدار معادل باند میانی در شکل (ب ۹-۷) نشان داده شده است، با توجه به آن داریم،

$$A_M \equiv \frac{V_o}{V_i} = -\frac{R_{in}}{R_{in} + R}(g_m R'_L)$$

$$= -\frac{420}{420 + 100} \times 4 \times 3.33 = -10.8\ \text{V/V}$$

حال باید ω_H را توسط روش ثابت زمانی مدار باز به دست آوریم. مقاومت R_{gs} که توسط C_{gs} دیده می‌شود را با صفرکردن مولد سیگنال V_i و $C_{gd} = 0$ می‌توان تعیین کرد. این نتیجه را در شکل (پ۹-۷) می‌بینید، از روی آن داریم،

$$R_{gs} = R_{in} // R = 420\ \text{k}\Omega // 100\ \text{k}\Omega = 80.8\ \text{k}\Omega$$

بنابراین ثابت زمانی مدار بازِ C_{gs} برابر است با:

$$\tau_{gs} = C_{gs} R_{gs} = 1 \times 10^{-12} \times 80.8 \times 10^3 = 80.8\ \text{ns}$$

مقاومت R_{gd} که توسط خازن C_{gd} دیده می‌شود را با اتصال کوتاه‌کردن V_i و $C_{gs} = 0$ می‌توان تعیین کرد. مدار حاصل را در شکل (ت ۹-۷) می‌بینید، که به آن جریان آزمایشی I_x را اعمال کرده‌ایم. با نوشتن معادلهٔ گره در G داریم.

$$I_x = -\frac{V_{gs}}{R_{in}} - \frac{V_{gs}}{R}$$

بنابراین :

$$V_{gs} = -I_x R' \qquad (۷-۲۸)$$

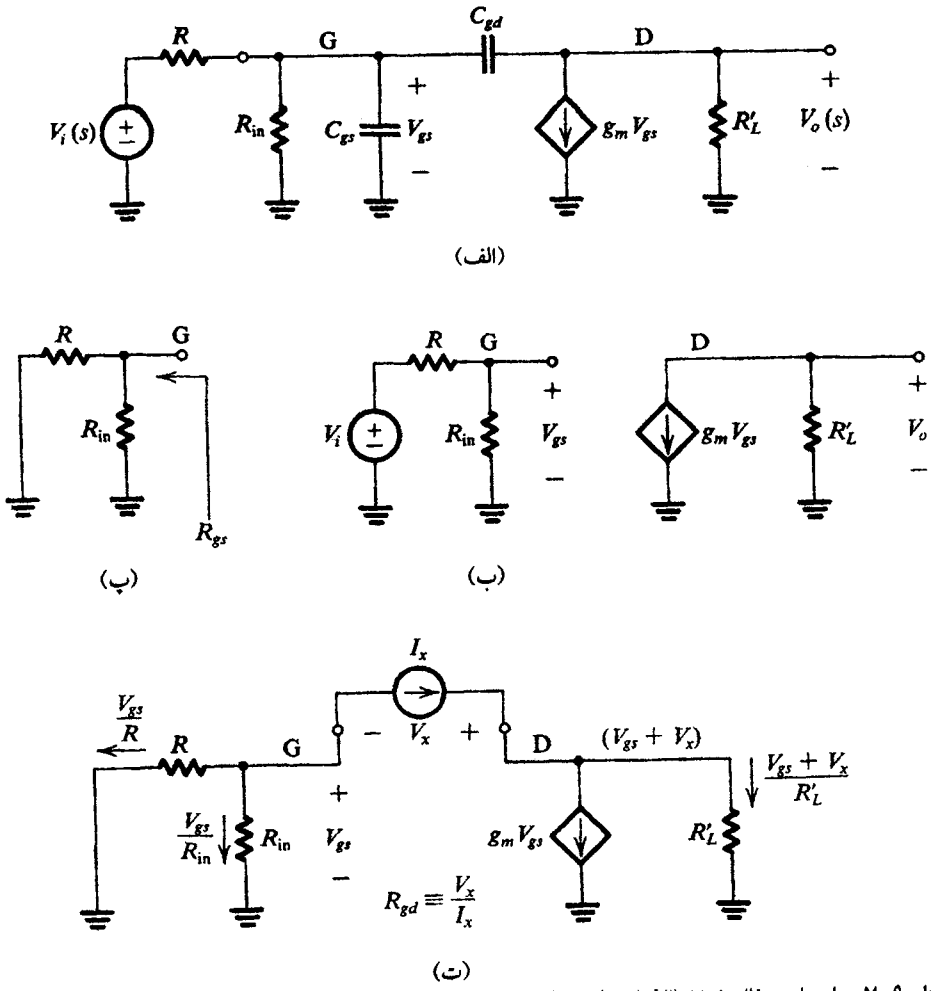
که $R' = R_{in} // R$ می‌باشد. معادلهٔ گره در D نتیجه می‌دهد که

$$I_x = g_m V_{gs} + \frac{V_{gs} + V_x}{R'_L}$$

با جایگذاری V_{gs} از معادلهٔ (۲۸-۷) و مرتب‌کردن جملات داریم :

$$R_{gd} = \frac{V_x}{I_x} = R' + R'_L + g_m R'_L R' = 1.16\ \text{M}\Omega$$

۱- روش ثابت زمانی مدار باز تنها هنگامی که قطبها حقیقی باشند یعنی حالتی که در همین فصل وجود دارد منجر به نتایج خوبی می‌شود.



شکل ۹-۷. مدارهای مثال ۵-۷: **(الف)** مدار معادل فرکانس بالای تقویت کننده FET **(ب)** مدار معادل در فرکانس‌های باند میانی **(پ)** مدار تعیین مقاومت دیده شده توسط C_{gs} و **(ت)** مدار تعیین مقاومت دیده شده توسط C_{gd}

بنابراین، ثابت زمانی مدار باز C_{gd} برابر است با:

$$\tau_{gd} \equiv C_{gd} R_{gd}$$

$$= ۱ \times ۱۰^{-۱۲} \times ۱/۱۶ \times ۱۰^{۶} = ۱۱۶۰ \text{ nA}$$

حال می‌توان فرکانس ۳ dB بالای ω_H را به دست آورد.

$$\omega_H \cong \frac{۱}{\tau_{gd} + \tau_{gs}}$$

$$= \frac{۱}{(۸۰/۸ + ۱۱۶۰) \times ۱۰^{-۹}} = ۸۰۶ \text{ krad/s}$$

بنابراین

$$f_H = \frac{\omega_H}{۲\pi} = ۱۲۸/۳ \text{ kHz}$$

روش ثابت زمانی مدار باز دارای این مزیت است که به طراحان می‌گوید کدام خازن در تعیین پاسخ فرکانسی تقویت‌کننده اثر بیشتری دارد. بخصوص، نسبت تأثیر خازنهای مختلف روی ثابت زمانی b_1 نیز به دست می‌آید. برای نمونه، در مثال بالا می‌بینیم که C_{gd} در تعیین f_H اثر بیشتری دارد. همچنین توجه می‌کنیم که برای افزایش مؤثر f_H می‌توانیم یا از یک FET با C_{gd} کوچکتر یا، برای یک FET داده شده، می‌توانیم از مقادیر کوچکتر R' یا R'_L استفاده کنیم، تا R_{gd} کاهش یابد. اگر R' ثابت باشد، آنگاه برای یک FET تنها راه گسترش پهنای باند کم‌کردن مقاومت بار است. متأسفانه، این کار سبب کاهش بهرهٔ باند میانی می‌شود.

حال به بررسی استفاده از ثابت زمانی مدار اتصال کوتاه در تعیین فرکانس ۳ dB پایین، ω_L، می‌پردازیم. تابع $F_L(s)$ از معادلهٔ (۱۲-۷) را می‌توان به فرم زیر نمایش داد

$$F_L(s) = \frac{s^{nL} + d_1 s^{nL-1} + \dots}{s^{nL} + e_1 s^{nL-1} + \dots} \qquad (۷-۲۹)$$

که ضرائب d و e بترتیب وابسته به فرکانسهای صفر و قطبها هستند. به ویژه، ضریب e_1 با رابطهٔ زیر داده شده است:

$$e_1 = \omega_{P1} + \omega_{P2} + \dots + \omega_{Pn_L} \qquad (۷-۳۰)$$

همچنانکه در کتاب گری و سیرل (۱۹۶۹) نشان داده شده، مقدار دقیق e_1 را با تحلیل مدار معادل فرکانس پایین تقویت‌کننده می‌توان به دست آورد،

جدول ۱-۷. خلاصه فرمول‌های تعیین فرکانس‌های ۳dB تقویت کننده

(الف) قطب‌ها و صفرها را به آسانی می‌توان تعیین کرد

پاسخ فرکانس بالا	پاسخ فرکانس پایین
$A(s) \cong A_M F_H(s)$	$A(s) \cong A_M F_L(s)$
$F_H(s) = \dfrac{(1 + s/\omega_{Z1})(1 + s/\omega_{Z2}) \dots (1 + s/\omega_{Zn_H})}{(1 + s/\omega_{P1})(1 + s/\omega_{P2}) \dots (1 + s/\omega_{Pn_H})}$	$F_L(s) = \dfrac{(s + \omega_{Z1})(s + \omega_{Z2}) \dots (s + \omega_{Zn_L})}{(s + \omega_{P1})(s + \omega_{P2}) \dots (s + \omega_{Pn_H})}$
اگر $\omega_{P1} << \omega_{P2}, \omega_{P3} \dots \omega_{Z1}, \omega_{Z2}, \dots$ باشد برای فرکانس‌های نزدیک باند میانی داریم:	اگر $\omega_{P1} >> \omega_{P2}, \omega_{P3} \dots \omega_{Z1}, \omega_{Z2}, \dots$ باشد برای فرکانس‌های نزدیک باند میانی داریم:
(قطب غالب) $F_H(s) \cong \dfrac{1}{1 + s/\omega_{P1}}$	(قطب غالب) $F_L(s) \cong \dfrac{s}{s + \omega_{P1}}$
و $\omega_H \cong \omega_{P1}$ در غیر این صورت	و $\omega_L \cong \omega_{P1}$ در غیر این صورت
$\omega_H = 1 \Big/ \sqrt{\dfrac{1}{\omega_{P1}^2} + \dfrac{1}{\omega_{P2}^2} + \dots - 2\left(\dfrac{1}{\omega_{Z1}^2} + \dfrac{1}{\omega_{Z2}^2} + \dots\right)}$	$\omega_L \cong \sqrt{\omega_{P1}^2 + \omega_{P2}^2 + \dots - 2(\omega_{Z1}^2 + \omega_{Z2}^2 + \dots)}$

(ب) قطب‌ها و صفرها را نمی‌توان به راحتی تعیین کرد.

پاسخ فرکانسی بالا	پاسخ فرکانسی پایین
$F_H(s) = \dfrac{1 + a_1 s + a_2 s^2 + \dots}{1 + b_1 s + b_2 s^2 + \dots}$	$F_L(s) = \dfrac{s^{n_L} + d_1 s^{n_L - 1} + \dots}{s^{n_L} + e_1 s^{n_L - 1} + \dots}$
$b = \dfrac{1}{\omega_{P1}} + \dfrac{1}{\omega_{P2}} + \dots + \dfrac{1}{\omega_{Pn_H}}$	$e_1 = \omega_{P1} + \omega_{P2} + \dots + \omega_{Pn_L}$
$b_1 = \sum_{i=1}^{n_H} C_i R_{io}$	$e_1 = \sum_{i=1}^{n_L} \dfrac{1}{C_i R_{is}}$
اگر یک قطب غالب (مثلاً P_1) وجود داشته باشد:	اگر یک قطب غالب (مثلاً P_1) وجود داشته باشد:
$b_1 \cong \dfrac{1}{\omega_{P1}}$ و $\omega_H \cong \omega_{P1}$ بنابراین:	$e_1 \cong \omega_{P1}$ و $\omega_L \cong \omega_{P1}$ بنابراین:
$\omega_H = 1 \Big/ \sum_{i=1}^{n_H} C_i R_{io}$	$\omega_L \cong \sum_{i=1}^{n_L} \dfrac{1}{C_i R_{is}}$

با این فرض که یک خازن در نظر گرفته شود و بقیه خازنها دارای مقدار ∞ باشند (یا آنها را با اتصال کوتاه جایگزین کرد). بنابراین اگر خازن C_i را در نظر بگیریم، بقیهٔ خازنها را اتصال کوتاه قرار می‌دهیم، و همچنین سیگنال ورودی را صفر می‌کنیم و مقدار مقاومت R_{is} که توسط خازن C_i دیده می‌شود را به دست می‌آوریم. این روش را می‌توان برای همهٔ خازنها تکرار کرد، و مقدار e_1 را توسط رابطهٔ زیر محاسبه کرد

$$e_1 = \sum_{i=1}^{n_L} \frac{1}{C_i R_{is}} \qquad (7\text{-}31)$$

که فرض شده n_L خازن در مدار معادل فرکانس پایین وجود دارد.

مقدار e_1 را می‌توان برای به دست‌آوردن فرکانس ۳ dB، ω_L به کار برد که نتیجه می‌دهد هیچیک از صفرها غالب نمی‌باشند و یک قطب غالب موجود است. این شرط برقرار است اگر یکی از قطبها، مثلاً p_1، دارای فرکانس ω_{p1} خیلی بزرگتر از فرکانس سایر صفر و قطبها باشد (حداقل چهار برابر). اگر این حالت برقرار باشد، آنگاه $\omega_L \cong \omega_{p1}$ و از معادلهٔ (۷-۳۰) داریم که $e_1 \cong \omega_{p1}$ و نتیجه می‌دهد که

$$\omega_L \cong \sum_{i}^{n_L} \frac{1}{C_i R_{is}} \qquad (7\text{-}32)$$

البته، در مدارهای پیچیده مشخص‌کردن اینکه قطب غالب وجود دارد یا خیر کاری دشوار است. با این وجود، روش ثابت زمانی مدار اتصال کوتاه معمولاً یک مقدار قابل قبول برای ω_L به دست می‌دهد. چنین مقداری برای شروع روش تحلیل و طراحی توسط شخص کافیست. این روش همچنین برای طراح دیدی نسبت به اثر خازنها روی پاسخ فرکانس پایین فراهم می‌آورد. این نکات را در قسمتهای بعدی توضیح خواهیم داد.

خلاصه

در جدول (۱-۷)، خلاصه‌ای از فرمول‌های تعیین فرکانس‌های ۳dB، f_L و f_H تقویت کننده ارائه شده است.

تمرینها

۷-۲ یک مدار مرتبهٔ اول، دارای بهرهٔ ۱۰ در حالت dc و بهرهٔ ۱ در فرکانس بی‌نهایت می‌باشد و دارای قطب در ۱۰ kHz است. تابع انتقال آنرا پیدا کنید.

جواب. $\dfrac{s + 2\pi\times10^5}{s + 2\pi\times10^4}$

۷-۳ یک تقویت‌کنندهٔ اتصال مستقیم دارای بهرهٔ ۱۰۰۰ و فرکانس ۳dB بالای ۱۰۰ kHz می‌باشد. تابع انتقال حاصلضرب بهره - پهنای باند را بر حسب هرتز به دست آورید.

جواب. 10^8 Hz، $1000 / (1 + \dfrac{s}{2\pi\times10^5})$

۷-۴ پاسخ فرکانس بالای یک تقویت‌کننده با دو صفر در $s = \infty$ و دو قطب در ω_{p1} و ω_{p2} تعریف می‌شود. با تعریف $\omega_{p2} = k\omega_{p1}$ مقدار k را چنان بیابید که مقدار واقعی ω_H برابر $0/9\,\omega_{p1}$ باشد. این کار را برای ω_{p1} $\omega_H = 0/99$ تکرار کنید.

جواب. ۲/۷۸، ۹/۸۸

۷-۵ برای تقویت‌کنندهٔ تعریف‌شده در تمرین ۷-۴، مقادیر دقیق و تقریبی [با استفاده از رابطهٔ (۷-۲۲)] ω_H (بصورت تابعی از ω_{p1}) را برای $k = 1, 2, 4$ بیابید.

جواب. ۰/۶۴، ۰/۷۱، ۰/۸۴، ۰/۸۹، ۰/۹۵، ۰/۹۷

۷-۶ برای تقویت‌کنندهٔ مثال ۷-۵ حاصلضرب بهره - پهنای باند را بر حسب مگاهرتز به دست آورید. مقدار R'_L را چنان به دست آورید که $f_H = 180$ kHz شود. مقادیر جدید بهرهٔ باند میانی و حاصلضرب بهره - پهنای باند را پیدا کنید.

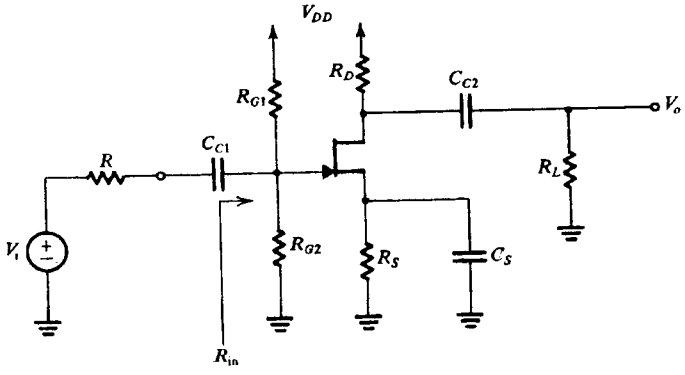
جواب. ۱/۳۹ MHz، ۲/۲۳ kΩ، −۷/۲ V/V، ۱/۳۰ MHz ❑

۷-۳ پاسخ فرکانس پایین تقویت‌کنندهٔ سورس مشترک و امیتر مشترک

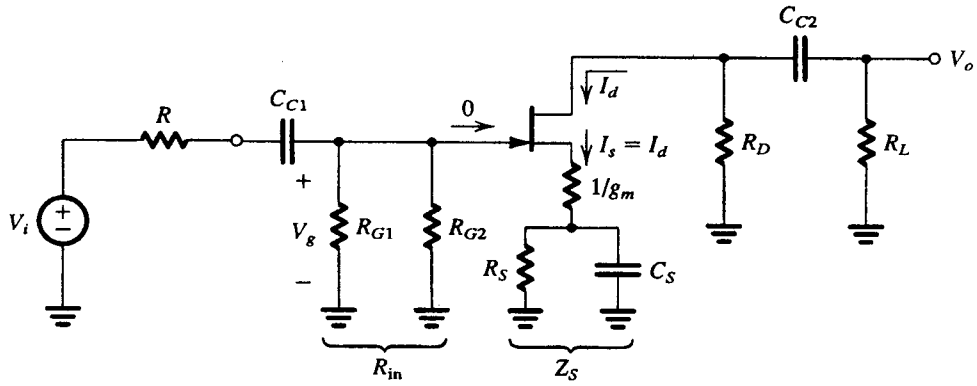
در این بخش، پاسخ فرکانس پایین تقویت‌کننده‌های امیتر مشترک و سورس مشترک با اتصال خازنی را بررسی می‌کنیم، بخاطر استفاده از خازن‌های اتصال و کنار گذر بزرگ، این مدارها فقط برای طراحی مدارهای گسسته مناسب هستند. با توجه به مقاومت ورودی بی‌نهایت گیت FET، تحلیل آن‌ها آسان‌تر از BJT است. بنابراین ابتدا تقویت کننده JFET را تحلیل می‌کنیم. نتایج را می‌توان مستقیماً به تقویت‌کننده‌های MOS تعمیم داد، اما امروزه به ندرت از MOSFETهای گسسته در طراحی تقویت کننده‌های سیگنال کوچک استفاده می‌شود.

تحلیل تقویت‌کننده سورس مشترک

تقویت کننده سورس مشترک با JFETهای کانال n و اتصال خازنی در شکل (۷-۱۰) نشان داده شده است. مدار کامل، با مدار بایاس که معمولاً با یک منبع تغذیه است، در شکل به نمایش درآمده است. اگر دو منبع تغذیه داشته باشیم و از بایاس منبع جریان استفاده کنیم، مدار، ساده شده و تحلیل پاسخ فرکانسی آسان‌تر می‌شود.



شکل ۷-۱۰. تقویت‌کننده سورس مشترک با اتصال خازنی اصولی



شکل ۱۱-۷. مدار تقویت‌کننده شکل ۱۰-۷ که برای پیداکردن بهره در فرکانسهای پایین حاصل شده است. مقاومت $1/g_m$ نشان داده شده، مقاومت داخلی FET بین گیت و سورس با نگاه به سورس است (یعنی در مدل T)

شکل (۱۱-۷) مدار تقویت کننده شکل (۱۰-۷) را به منظور پیدا کردن بهره ولتاژ در فرکانس‌های پایین نشان می‌دهد.

برای پیداکردن بهره باید از منبع سیگنال شروع کنیم و مرحله به مرحله به سمت بار پیش رویم. با استفاده از قانون تقسیم ولتاژ در قسمت ورودی، می‌توانیم ولتاژ V_g (بین گیت و زمین) را بیابیم

$$V_g(s) = V_i(s)\frac{R_{in}}{R_{in} + R + 1/sC_{C1}}$$

که $R_{in} = (R_{G1} // R_{G2})$. بنابراین تابع انتقال از ورودی به گیت توسط رابطه زیر داده می‌شود

$$\frac{V_g(s)}{V_i(s)} = \frac{R_{in}}{R_{in} + R}\;\frac{s}{s + 1/C_{C1}(R_{in} + R)} \qquad (۷-۳۳)$$

و نشان دهندهٔ یک تابع بالاگذر است که C_{C1} در فرکانس صفر (dc) تولید یک صفر و در فرکانس ω_{P1} تولید یک قطب حقیقی می‌کند،

$$\omega_{P1} = \frac{1}{C_{C1}(R_{in} + R)} \qquad (۷-۳۴)$$

توجه کنید که می‌توانیم با بررسی مدار ورودی تقویت‌کننده، با استفاده از روشهای تحلیل شبکه‌های STC، نیز به همین نتیجه برسیم. (ضمیمهٔ ث را ببینید). به ویژه، مدار ورودی یک شبکهٔ STC بالاگذر با ثابت زمانی برابر حاصلضرب C_{C1} در کل مقاومتی است که C_{C1} می‌بیند. به راحتی دیده می‌شود که ω_{P1} معکوس این ثابت زمانی است.

مرحلهٔ بعدی در تحلیل پیداکردن جریان درین $I_d(s)$ است:

$$I_d(s) = I_s(s) = \frac{V_g(s)}{1/g_m + Z_S} \qquad (۷-۳۵)$$

ما از این حقیقت که مقاومت معادل بین گیت و سورس برابر $1/g_m$ است استفاده کرده‌ایم. (یعنی، از مدل T برای FET استفاده شده است.) بنابراین کل امپدانس بین گیت و زمین، در طرف سورس، برابر $1/g_m$ سری با Z_S است که نشان‌دهندهٔ معادل موازی R_S و C_S است. معادلهٔ (۳۵-۷) را می‌توان دوباره نوشت.

$$I_d(s) = g_m V_g(s)\frac{Y_S}{g_m + Y_S}$$

که

$$Y_S = \frac{1}{Z_S} = \frac{1}{R_S} + sC_S$$

بنابراین :

$$I_d(s) = g_m V_g(s)\frac{1/R_S + sC_S}{g_m + 1/R_S + sC_S}$$

$$I_d(s) = g_m V_g(s)\frac{s + 1/C_S R_S}{s + (g_m + 1/R_S)/C_S} \qquad (۷-۳۶)$$

که نشان می‌دهد خازنِ کنارگذر C_s یک صفر حقیقی و یک قطب حقیقی تولید می‌کند. صفر حقیقی دارای فرکانس ω_Z است،

$$\omega_Z = \frac{1}{C_S R_S} \qquad (۷-۳۷)$$

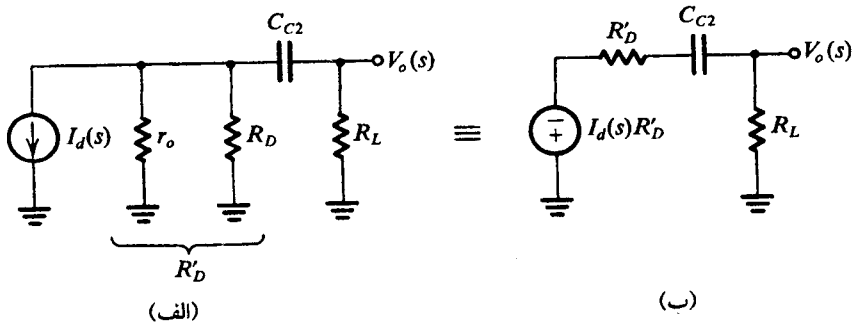
در حالی که فرکانس قطب حقیقی توسط رابطهٔ زیر داده شده است:

$$\omega_{P2} = \frac{g_m + 1/R_S}{C_S} = \frac{1}{C_S(R_S \parallel 1/g_m)} \qquad (۷-۳۸)$$

بنابراین دیده می‌شود که ω_Z همواره مقداری کمتر از ω_{P2} دارد.

حال توصیف عملی نتایج فوق را بدون درنظرگرفتن اثر C_S بیان می‌کنیم. C_S در مقادیری از s که Z_S را بی‌نهایت می‌کند یک صفر تولید می‌کند، که یک اثر فیزیکی دارد زیرا یک Z_s بی‌نهایت سبب خواهد شدکه I_d، و در نتیجه V_o، صفر باشد. فرکانس قطب، برابر معکوس ثابت زمانی است که از ضرب کردن C_S در مقاومت دیده شده توسط خازن شکل می‌گیرد. برای به دست آوردن این مقاومت منبع سیگنال را زمین می‌کنیم (توجه کنید که قطبهای شبکه یا حالات طبیعی، مستقل از تحریک هستند) و پایه‌های C_S را درنظر می‌گیریم. مقاومت دیده شده توسط C_S برابر حاصل موازی R_S با مقاومت بین گیت و سورس یعنی $1/g_m$ است.

پس از تعیین مقدار $I_d(s)$، حال می‌توانیم ولتاژ خروجی را توسط استفاده از مدار معادل خروجی در شکل (الف ۱۲-۷) به دست آوریم. یک تقریب کوچک در این مدار معادل به کار رفته است: مقاومت r_o که نشان داده شده بجای اتصال بین درین و سورس بین درین و زمین بسته شده، با وجود این که پایانه سورس، بعلت اینکه خازن کنارگذر C_S بصورت کامل



شکل ۱۲-۷. مدار معادل خروجی تقویت کننده شکل‌های (۱۰-۷) و (۱۱-۷) در فرکانس‌های پایین.

عمل نمی‌کند، دارای ولتاژ صفر نیست. اما، از آنجا که اثر r_o کوچک است، (با فرض اینکه R_L و $R_D \ll r_o$ است)، این تقریب دارای ارزش می‌باشد.

شکل (ب ۱۲-۷) مدار معادل خروجی پس از اعمال قضیه تونن را نشان می‌دهد. از این شکل داریم:

$$V_o(s) = -I_d(s)\,(R_D//r_o//R_L)\,\frac{s}{s + 1/C_{C2}[R_L + (R_D// r_o)]} \qquad (۷-۳۹)$$

بنابراین C_{C2} یک صفر در فرکانس صفر (dc) و یک قطب حقیقی در فرکانس ω_{p3} تولید می‌کند،

$$\omega_{p3} = \frac{1}{C_{C2}\,[R_L + (R_D \parallel r_o)]} \qquad (۷-۴۰)$$

فرکانس این قطب را می‌توان با بررسی شکل (الف ۱۲-۷) تعیین کرد: این مقدار برابر معکوس ثابت زمانی پیداشده از حاصلضرب C_{C2} در کل مقاومت دیده شده توسط این خازن است.

بهرهٔ تقویت‌کنندهٔ فرکانس پایین $A_L(s)$ را می‌توان با ترکیب معادلات (۳۳-۷)، (۳۶-۷) و (۳۹-۷) به دست آورد:

$$A_L(s) = \frac{V_o(s)}{V_i(s)} = A_M \frac{s}{s + \omega_{P1}} \frac{s + \omega_Z}{s + \omega_{p2}} \frac{s}{s + \omega_{p3}} \qquad (۷-۴۱)$$

که بهرهٔ باند میانی A_M با رابطه زیر داده شده

$$A_M = -\frac{R_{in}}{R_{in} + R}\, g_m\,(R_D // r_o // R_L) \qquad (۷-۴۲)$$

که ω_{p1}، ω_Z، ω_{p2} و ω_{p3} توسط معادلات (۳۴-۷)، (۳۷-۷)، (۳۸-۷) و (۴۰-۷) داده شده است. با توجه به معادلهٔ (۴۱-۷) و هنگامی که فرکانس $s = j\omega$ خیلی بزرگتر از مقدار ω_{P1}، ω_{P2} و ω_Z بشود، بهره به سمت مقدار باند میانی A_M می‌رود.

پس از معین‌شدن صفر و قطبهای فرکانس پایین، می‌توانیم با استفاده از روش بخش ۲-۷ فرکانس ۳dB پایین ω_L را پیدا کنیم.

طراحی خازن‌های اتصال (کوپلاژ) و کنارگذر

در این جا مسئله طراحی، انتخاب مقادیر مناسب خازن‌های اتصال C_{C1} و C_{C2}، و خازن کنار گذر C_S است بگونه‌ای که فرکانس ۳dB، ω_L در مقدار مشخص شده قرار گیرد. نیاز معمول دیگر طراحی، حداقل کردن مقدار خازن‌هاست. توجه کنید که از سه قطب، قطبی که توسط C_S (با فرکانس ω_{P2}) ایجاد شده است، با کوچکترین مقاومت موثر تعیین می‌شود. این بدان علت است که $(1/g_m)$ معمولاً بسیار کوچکتر از مقاومت‌هایی است که فرکانس دو قطب دیگر و صفر را تعیین می‌کند. بنابراین ظرفیت خازنی کلی با انتخاب ω_{P2} در بالاترین فرکانس، حداقل می‌شود و بنابراین ω_{P2} را مساوی ω_L تنظیم کرده و با استفاده از معادله (۳۸-۷)، C_S را تعیین می‌کنیم. فرکانس صفر را می‌توان برای تأیید این که بسیار پایین‌تر از ω_L است محاسبه کرد. سپس در مورد محل دو قطب دیگر تصمیم‌گیری می‌کنیم، مثلاً پنج یا ده برابر پایین‌تر از فرکانس قطب غالب، تا مطمئن شویم که ω_L واقعاً بطور کامل توسط ω_{P2} تعیین می‌شود. اما مقادیر انتخاب شده برای ω_{P1} و ω_{P3} نباید خیلی پایین باشند که نیاز به خازن‌های بزرگ برای C_{C1} و C_{C2} احساس شود. فرآیند طراحی را با مثال زیر توضیح می‌دهیم:

مثال ۶-۷

می‌خواهیم مقادیر مناسبی برای خازنهای اتصال C_{C1} و C_{C2} و خازن عبور C_S برای تقویت‌کنندهٔ شکل (۱۰-۷) چنان به دست آوریم که پاسخ فرکانس پایین توسط قطب در ۱۰۰ Hz بیشترین تأثیر را بپذیرد و نزدیکترین قطب یا صفر حداقل در ده برابر دورتر قرار گیرد. $V_{DD} = 20\,V$، $R = 100\,k\Omega$، $R_{G1} = 1.4\,M\Omega$، $R_{G2} = 0.6\,M\Omega$، $R_S = 3.5\,k\Omega$، $R_D = 5\,k\Omega$، $r_o = \infty$، $R_L = 10\,k\Omega$، $V_P = -2\,V$ و $I_{DSS} = 8\,mA$ قرار دهید. همچنین، بهرهٔ باند میانی را تعیین کنید.

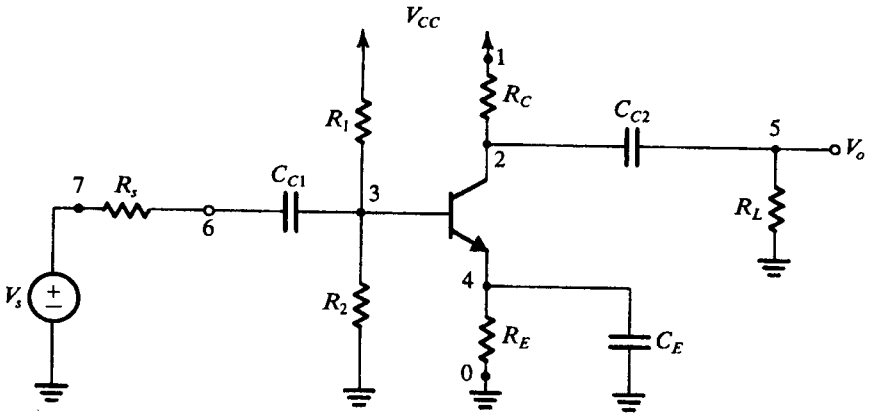
حل:

توسط روش فصل ۵، نقطهٔ کار dc زیر تعیین می‌شود،

$$I_D = 2\,mA \qquad V_{GS} = -1\,V \qquad V_D = +10\,V$$

در این نقطهٔ کار هدایت انتقالی برابر است با:

$$g_m = \frac{2\,I_{DSS}}{-V_P}\sqrt{\frac{I_D}{I_{DSS}}}$$



شکل ۱۳-۷. طبقه تقویت کننده امیتر مشترک بطور اصولی (شماره گذاری گره‌ها برای شبیه‌سازی SPICE در مثال ۹-۷ انجام شده است).

بنابراین:

$$g_m = \frac{۲ \times ۸}{۲}\sqrt{\frac{۲}{۸}} = ۴ \text{ mA/V}$$

بهرهٔ ولتاژ باند میانی را می‌توان بصورت زیر مشخص کرد:

مقاومت ورودی R_{in} با رابطه زیر داده شده

$$R_{in} = \frac{R_{G۱} R_{G۲}}{R_{G۱} + R_{G۲}} = \frac{۱/۴ \times ۰/۶}{۲} = ۴۲۰ \text{ K}\Omega$$

و بهرهٔ ولتاژ باند میانی، A_M را می‌توان بصورت زیر نوشت:

$$A_M = \frac{R_{in}}{R_{in} + R} \times -g_m (R_D // R_L)$$

$$= -\frac{۴۲۰}{۵۲۰} \times ۴ \times \frac{۵ \times ۱۰}{۵ + ۱۰} = -۱۰/۸ \text{ V/V}$$

بنابراین تقویت‌کننده دارای بهرهٔ باند میانی ۲۰/۷ dB است.

برای پیداکردن این که کدامیک از سه خازن $C_{C۱}$، $C_{C۲}$ و C_S باید انتخاب شوند تا قطب غالب در فرکانس ۱۰۰ Hz قرار گیرد، ابتدا مقاومت دیده شده توسط هریک را بصورت زیر تعیین می‌کنیم:

$$R_{C_{C۱}} = R + R_{in} = ۵۲۰ \text{ K}\Omega$$

$$R_{C_S} = R_S // (۱/g_m) = ۰/۲۳۳ \text{ K}\Omega$$

$$R_{C_{C۲}} = R_D + R_L = ۱۵ \text{ K}\Omega$$

کوچکترین مقاومت، R_{C_S}، را انتخاب می‌کنیم که قطب با بالاترین فرکانس (و در نتیجه غالب) را شکل می‌دهد. بنابراین،

$$C_S = \frac{۱}{۲\pi f_L R_{C_S}}$$

$$= \frac{۱}{۲\pi \times ۱۰۰ \times ۰/۲۳۳ \times ۱۰^۳} = ۶/۸۳ \mu\text{F}$$

صفر مربوط به C_S را می‌توان توسط معادلهٔ (۳۷-۷) پیدا کرد،

$$f_Z = \frac{۱}{۲\pi C_S R_S} = \frac{۱}{۲\pi \times ۶/۸۳ \times ۱۰^{-۶} \times ۳/۵ \times ۱۰^۳} = ۶/۷ \text{ Hz}$$

برای قراردادن دو قطب دیگر، مربوط به $C_{C۱}$ و $C_{C۲}$، در حداقل ده‌برابر دورتر از f_L (یعنی، کوچکتر یا مساوی یا ۱۰ Hz) خازنها را بصورت زیر انتخاب می‌کنیم:

$$C_{C۱} \geq \frac{۱}{۲\pi \times ۱۰ \times ۵۲۰ \times ۱۰^۳} = ۰/۰۳ \mu\text{F}$$

و

$$C_{C۲} \geq \frac{۱}{۲\pi \times ۱۰ \times ۱۵ \times ۱۰^۳} = ۱/۰۶ \mu\text{F}$$

توجه کنید که انتخاب کوچکترین مقاومت برای قطب با بالاترین فرکانس سبب می‌شود که مقادیر کوچک قابل قبولی برای دو خازن دیگر که متناظر قطبهای غیرغالب هستند به دست آید.

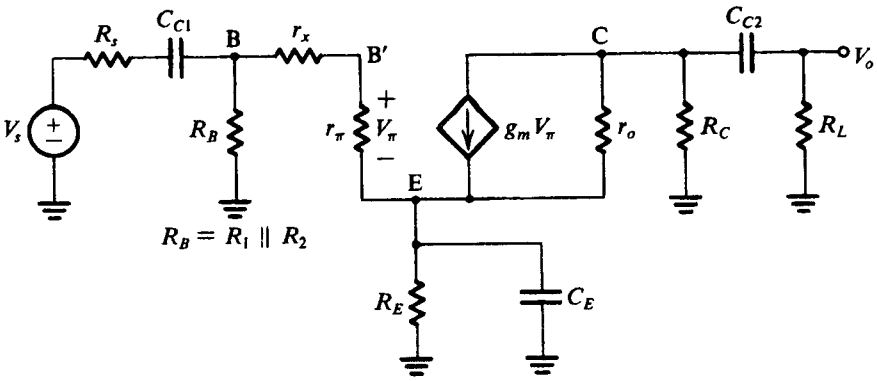
تمرینها

۷-۷ یک تقویت‌کنندهٔ سورس مشترک با FET داری مقاومت R_S یک کیلواهم است و خازن کنارگذر آن C_S می‌باشد. دریافته‌ایم که قطب و صفر C_S به ترتیب در ۱۰۰ rad/s و ۱۰ rad/s هستند. مقادیر C_S و g_m را بیابید.
جواب. ۱۰۰ μF، ۹ mA/V

۸-۷ اگر در تقویت‌کنندهٔ سورس مشترک با FET، بجای R_S یک منبع جریان ثابت ایده‌آل قرار دهیم، فرکانسهای ω_P و ω_Z که توسط C_S تولید می‌شوند را پیداکنید.
جواب. $\omega_P = g_m / C_S$، $\omega_Z = ۰$ ❑

تحلیل تقویت کننده امیتر مشترک

تقویت کننده امیتر مشترک با اتصال خازنی در شکل (۱۳-۷) نشان داده شده است. از یک منبع تغذیه استفاده شده و در نتیجه مدار بایاس آن پیچیده‌تر از حالت دو منبع تغذیه است مخصوصاً اگر از بایاس منبع جریان



شکل ۱۴-۷. مدار معادل تقویت کننده شکل (۱۳-۷) در باند فرکانس پایین

استفاده شود. اما چون این مدار عمومیت بیشتری دارد، آن را برای تحلیل پاسخ فرکانسی انتخاب کرده‌ایم.

چنانچه قبلاً گفتیم، تحلیل پاسخ فرکانسی تقویت‌کننده امیتر مشترک، بعلت این که β مربوط به BJT محدود است، مشکل است. توجه کنید که بخصوص در فرکانس‌های پایین، امپدانس ورودی تقویت کننده شامل اثر C_E است و بنابراین C_{C1} و C_E روی هم اثر می‌گذارند. این حالت کاملاً با حالت FET تفاوت دارد که در آن جا می‌توانستیم اثرات سه خازن را از هم جدا کنیم و اثر آن‌ها را بر پاسخ فرکانس پایین تقویت کننده، بطور مجزا بررسی کنیم.

شکل (۱۴-۷) مدار معادل تقویت کننده امیتر مشترک را که شامل خازن‌های کنارگذر و اتصال است، نشان می‌دهد.

اگر چه می‌توان این مدار را تحلیل کرده و تابع انتقال آن را تعیین و قطب‌ها و صفرهایش را مشخص نمود، اما عبارات به دست آمده پیچیده بوده و نگرش مفیدی در مورد مدار ارائه نمی‌کنند. در عوض با استفاده از روش ثابت زمانی اتصال کوتاه که در بخش (۲-۷) بررسی شد، تخمینی از فرکانس ۳dB، ω_L به دست می‌آوریم.

تعیین ω_L به این صورت انجام می‌شود: ابتدا V_s را صفر می‌کنیم، سپس C_E و C_{C2} را بی‌نهایت فرض کرده مقاومت R_{C1} دیده شده توسط C_{C1} را به دست می‌آوریم. با توجه به مدار معادل شکل (۱۴-۷) در حالی که C_E را بی‌نهایت قرار داده‌ایم، داریم:

$$R_{C1} = R_s + [R_B // (r_x + r_\pi)] \qquad (۷-۴۳)$$

سپس C_{C1} و C_{C2} را بی‌نهایت قرار داده و مقاومت R'_E دیده شده توسط C_E را تعین می‌کنیم. دوباره با توجه به مدار معادل شکل (۱۴-۷) یا با استفاده از قانون انعکاس مقاومت از مدار بیس به امیتر[1]، داریم:

$$R'_E = R_E \;//\; \frac{r_\pi + r_x + (R_B // R_s)}{\beta_o + 1} \qquad (۷-۴۴)$$

در انتها، C_{C1} و C_E را بی‌نهایت قرار داده و مقاومت دیده شده توسط C_{C2} را به دست می‌آوریم:

$$R_{C2} = R_L + (R_C // r_o) \qquad (۷-۴۵)$$

مقدار تقریبی فرکانس ۳dB پایین را می‌توان با استفاده از معادله (۳۲-۷) تعیین کرد:

$$\omega_L \approx \frac{1}{C_{C1}R_{C1}} + \frac{1}{C_E R'_E} + \frac{1}{C_{C2}R_{C2}} \qquad (۷-۴۶)$$

یادآوری می‌کنیم که صفر ایجاد شده توسط C_E در مقداری از s است که $Z_E = 1/(1/R_E + sC_E)$ را بی‌نهایت کند:

$$S_Z = -\frac{1}{C_E R_E} \qquad (۷-۴۷)$$

فرکانس صفر معمولاً بسیار پایین‌تر از ω_L است. که تأیید کننده تقریب استفاده شده در روش ثابت زمانی اتصال کوتاه است.

با یک مقدار معین برای ω_L، می‌توان از معادله (۴۶-۷) بصورت زیر در طراحی استفاده کرد:

چون R'_E معمولاً کوچکترین مقاومت بین R_{C1} و R'_E و R_{C2} است، مقداری برای R_E انتخاب می‌کنیم که عبارت $(1/C_E R'_E)$ جمله غالب در عبارت سمت راست معادله (۴۶-۷) باشد مثلاً $1/C_E R'_E$ را مساوی $0/8\omega_L$ انتخاب می‌کنیم. این نکته معادل با آن است که C_E را تشکیل دهنده قطب مناسب فرکانس پایین در نظر بگیریم، به بیان دیگر، در $\omega = \omega_L$ دو خازن دیگر راکتانس‌های کوچکی داشته و بنابراین نقش کمی دارند. ۲۰٪ باقی‌مانده ω_L بطور مساوی بین دو جمله دیگر معادله (۴۶-۷) تقسیم می‌شود. در انتها از مقادیر عملی برای خازن‌ها به گونه‌ای استفاده می‌کنیم که ω_L تحقق یافته مساوی یا کوچکتر از مقدار مشخص شده باشد.

تمرینها

تمرین‌های زیر مربوط به تقویت کننده امیتر مشترک شکل (۱۳-۷) با $R_s = 4k\Omega$، $R_1 = 8k\Omega$، $R_2 = 4k\Omega$، $R_E = 3/3k\Omega$، $R_C = 6k\Omega$، $R_L = 4k\Omega$ و $V_{CC} = 12V$ هستند. جریان dc امیتر تقریباً $I_E \approx 1mA$ است و در این جریان امیتر، $\beta_o = 100$، $r_o = 100\Omega$ و $r_x = 50\Omega$ می‌باشد.

۷-۹ بهره باند میانی را به دست آورید.

جواب. $A_M = -22/5$ V/V

۱-از اثر r_o نیز چشمپوشی کرده‌ایم (یعنی $r_o = \infty$)، چون اثر r_o روی R'_E بسیار کم است.

۷-۱۰ R_{C1}، R'_E و R_{C2} و f_L را در حالت $C_{C1} = C_{C2} = 1\mu F$ و به دست آورید. فرکانس صفر را نیز محاسبه کنید.

جواب. $5/3k\Omega$، $40/5\Omega$، $9/66k\Omega$، $439/5Hz$، $4/8Hz$
$C_E = 10\mu F$

۷-۱۱ می‌خواهیم مقادیر C_{C1}، C_{C2} و C_E را به گونه‌ای تغییر دهیم که $f_L = 100\,Hz$ شود. از فرآیند طراحی گفته شده در متن استفاده کنید و مقادیر جدید خازن‌ها را بیابید.

جواب. $C_{C1} = 3\mu F$، $C_E = 49/1\mu F$، $C_{C2} = 1/65\mu F$ ❑

۷-۴ پاسخ فرکانس بالای تقویت‌کننده‌های سورس مشترک و امیترمشترک

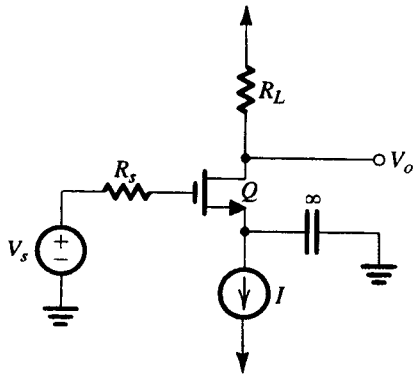
در این بخش پاسخ فرکانس بالای تقویت‌کننده‌های سورس مشترک و امیتر مشترک را بررسی می‌کنیم. شکل (الف ۱۵-۷) مدار یک تقویت‌کننده MOSFET سورس مشترک را نشان می‌دهد که می‌توان MOSFET افزایشی را با MOSFET تهی، یک JFET، GaAs MESFET یا یک BJT تعویض نمود. مدار آخری (BJT) در شکل (ب ۱۵-۷) نشان داده شده است. به نکات مهم زیر در رابطه با این دو مدار توجه نمایید:

۱) برای آسان کردن موضوع، از بایاس منبع جریان استفاده شده، و بنابراین توجه ما روی فرآیند محدود کردن پاسخ فرکانس بالا معطوف شده است. اما تحلیل ارائه شده بصورت کلی است و در رابطه با هر نوع بایاس قابل اجرا است.

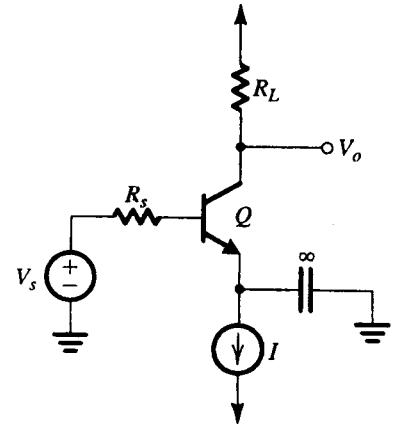
۲) زمین سیگنال توسط یک خازن کنار گذر بزرگ در سورس (امیتر) بر قرار شده است. اگر چه عملاً در تقویت‌کننده‌هایی با خازن‌های اتصال بزرگ این گونه است، استفاده از خازن کنار گذر بزرگ در این جا کار را آسان کرده و زمین بودن سورس (امیتر) را تضمین می‌کند. در تقویت کننده‌های با اتصال مستقیم، معمول‌ترین راه برای برقراری زمین سیگنال در سورس (امیتر) استفاده از آرایش زوج تفاضلی است. چنانچه در فصل ۶ دیده‌ایم، تقویت کننده تفاضلی، در حالت تفاضلی، مانند یک مدار سورس مشترک (امیتر مشترک) عمل می‌کند. بنابراین هر یک از مدارهای شکل (۱۵-۷) می‌توانند نشان دهنده نیم مدار تفاضلی یک زوج تفاضلی باشند.

۳) منبع سیگنال V_s، با مقاومت منبع R_s، می‌تواند یک منبع واقعی یا معادل تونن ورودی تقویت کننده باشد. در این معادل تونن را می‌توان مدار خروجی تقویت کنندهٔ قبلی (در صورت وجود) و شبکه بایاس ترانزیستور Q (در صورت وجود) در نظر گرفت.

۴) مقاومت R_L نشان دهنده مقاومت کلی بین درین (کلکتور) و زمین سیگنال است و بنابراین شامل مقاومت بایاس R_D (R_C در مدار امیتر مشترک) و مقاومت بار واقعی است [که می‌تواند مقاومت ورودی طبقه تقویت کننده بعدی یا مقاومت ورودی یک منبع جریان بار فعال (در صورت وجود) باشد].



(الف)



(ب)

شکل ۱۵-۷. **(الف)** یک تقویت کننده سورس مشترک MOSFET و **(ب)** یک تقویت کننده امیتر مشترک BJT. در این جا V_s و R_s نشان دهنده معادل تونن مدار در طرف ورودی هستند که شامل مدار خروجی طبقه تقویت کنندهٔ قبلی (در صورت وجود) و شبکه بایاس ترانزیستور Q (در صورت وجود) است. بطور مشابه، R_L نمایش دهنده مقاومت کلی بین درین (کلکتور) و زمین سیگنال است. اگر چه زمین سیگنال در سورس (امیتر) توسط یک خازن بزرگ بر قرار شده، اما می‌توان مدار را برای نمایش یک نیم مدار تفاضلی یک زوج تفاضلی مورد استفاده قرار داد.

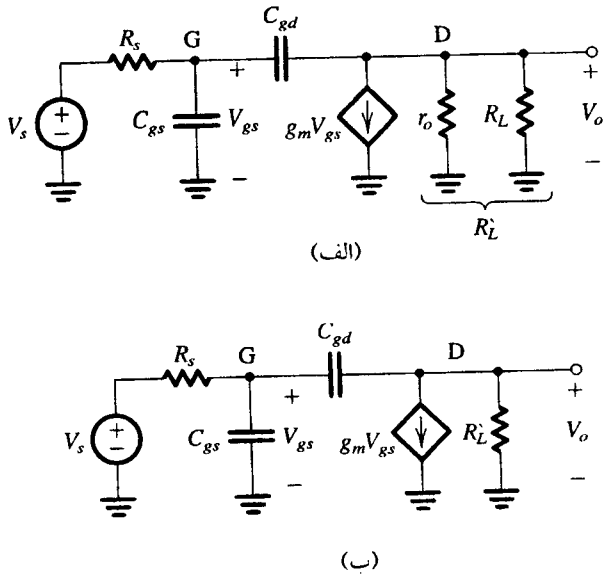
تمرین

۷-۱۲ در تقویت کننده JFET شکل (۱۰-۷)، V_s و R_s را در شکل (۱۵-۷) بر حسب V_i، R، R_{G1} و R_{G2} به دست آورید.

جواب. $R_s = R//R_{G1}//R_{G2}$، $V_s = V_i \dfrac{R_{G1}//R_{G2}}{R + (R_{G1}//R_{G2})}$ ❑

مدارهای معادل تحلیل فرکانس بالا

با جایگزینی FET شکل (الف ۱۵-۷) با مدل مدار معادل فرکانس بالای آن [بخش (۱۰-۵)] می‌توانیم مدار معادل فرکانس بالای نشان داده شده در شکل (الف ۱۶-۷) را به دست آوریم. اگر با ترکیب R_L و r_o بصورت $R'_L = R_L//r_o$، مدار را ساده کنیم، مدار معادل شکل (ب ۱۶-۷) به دست می‌آید که می‌توانیم پاسخ فرکانس بالای تقویت کننده سورس مشترک را از



شکل ۱۶-۷. **(الف)** مدار معادل، جهت تحلیل پاسخ فرکانسی بالای مدار تقویت کننده شکل (الف ۱۵-۷). توجه کنید که به جای MOSFET مدار معادل فرکانس بالای آن را قرار داده‌ایم. **(ب)** مدار سادهٔ شده (الف) که $R'_L = R_L//r_o$ به جای مقاومت‌های r_o و R_L قرار گرفته است.

آن به دست آوریم.

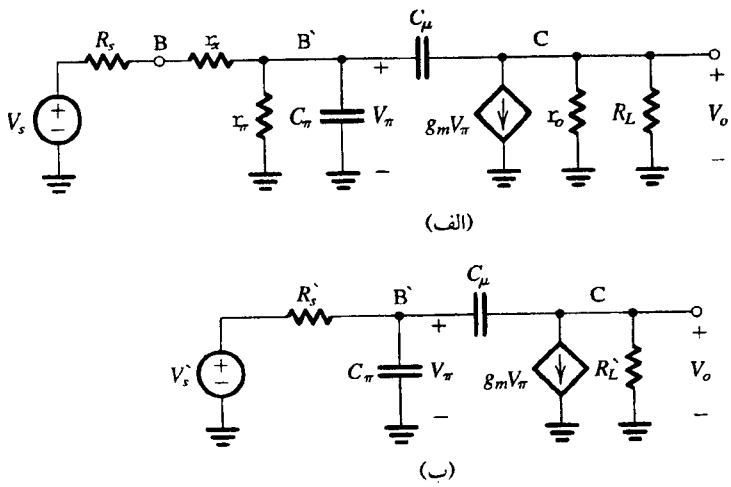
همچنین نشان می‌دهیم که چگونه می‌توان با توجه به مدار شکل (ب ۱۶-۷) پاسخ فرکانس بالای تقویت کننده امیتر مشترک شکل (ب ۱۵-۷) را به دست آورد. بدین منظور BJT را با مدار معادل فرکانس بالای هیبرید π [بخش (۱۵-۴۶)] جایگزین کرده و به مدار معادل فرکانس بالای تقویت کننده امیتر مشترک شکل (الف ۱۷-۷) می‌رسیم. با اعمال قضیه تونن به ورودی مدار، V_s، R_s، r_x و r_π را با منبع سیگنال معادل V'_s و R'_s جایگزین می‌کنیم:

$$V'_s = V_s \frac{r_\pi}{R_s + r_x + r_\pi} \qquad (۷-۴۸)$$

$$R'_s = (R_s + r_x)//r_\pi \qquad (۷-۴۹)$$

مقاومت‌های R_L و r_o را نیز ترکیب کرده، به جای آن‌ها $R'_L = R_L//r_o$ را قرار می‌دهیم، و در نتیجه مدار شکل (ب ۱۷-۷) به دست می‌آید که مشابه ساختار مدار تقویت کننده سورس مشترک شکل (ب ۱۶-۷) است. بنابراین با تحلیل یک مدار و کمی تغییرات، پاسخ فرکانس مدار دیگر نیز به دست می‌آید، یعنی می‌توانیم مدار CS را تحلیل کرده و با جایگزین V_s با V'_s، R_s با R'_s، C_{gs} با C_π و C_{gd} با C_μ، پاسخ CE را به دست آوریم.

امتحان مدار شکل (ب ۱۶-۷) نشان می‌دهد که خازن C_{gd} گره خروجی را (در درین) به گره ورودی (در گیت) متصل می‌کند. بنابراین ایجاد فیدبک کرده و طبیعت یک طرفه بودن تقویت کننده را از بین می‌برد و تحلیل رابطه بطور قابل توجهی مشکل می‌کند. خوشبختانه یک قضیه مداری وجود دارد که اجازه می‌دهد عنصری مانند C_{gd} را با دو عنصر زمین جایگزین کرد، یکی بین گیت و زمین و دیگری بین درین و زمین. این کار نه تنها تحلیل را



شکل ۱۷-۷. **(الف)** مدار معادل تقویت کنندهٔ امیتر مشترک شکل (ب ۱۵-۷) برای تحلیل پاسخ فرکانسی بالا. به جای BJT، مدار معادل فرکانس بالای هیبرید π قرار گرفته است.
(ب) مدار ساده شده (الف) با جایگزینی $V'_s = V_s \frac{r_\pi}{R_s + r_x + r_\pi}$، $R'_s = (R_s + r_x)//r_\pi$ و $R'_L = R_L//r_o$

ساده می‌کند، بلکه مهم‌تر از آن، بوضوح نشان می‌دهد که اثر C_{gd} روی پاسخ فرکانس بالای تقویت کننده سورس مشترک تا چه اندازه می‌باشد. این قضیه، بعنوان قضیه میلر شناخته می‌شود که بطور خلاصه آن را توضیح می‌دهیم.

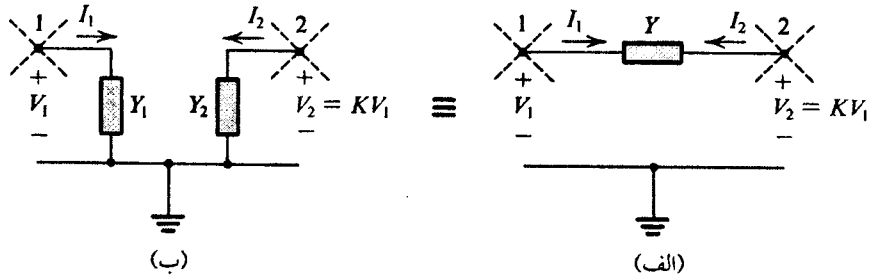
تئوری میلر

وضعیتی را که در شکل (الف ۱۸-۷) نشان داده شده در نظر بگیرید. دو گره ۱ و ۲ را به همراه گره زمین تعریف کرده‌ایم. همچنانکه نشان داده شده، ادمیتانس Y بین گره ۱ و ۲ بسته شده است. بعلاوه گره ۱ و ۲ ممکن است توسط عناصر دیگری به گرههای دیگری از مدار متصل باشد، که این مورد نیز توسط خط‌چین ازگرههای ۱ و ۲ نشان داده شده است. قضیهٔ میلر ابزاری را برای جایگزینی ادمیتانس پل Y با دو ادمیتانس: Y_1 بین گره ۱ و زمین و Y_2 بین گره ۲ و زمین. همچنانکه در شکل ب ۱۸-۷ نشان داده شده را فراهم می‌آورد.

جایگزینی میلرِ شکل (۱۸-۷) بر این اساس است که امکان تعیین بهرهٔ ولتاژ از گره ۱ به ۲، به روشی مستقل، موجود باشد که K مقدار بهره و برابر $K \equiv V_2/V_1$ است. اگر بهرهٔ K معین باشد، مقدار Y_1 و Y_2 بصورت زیر تعیین می‌شود: از شکل (الف ۱۸-۷) می‌توان دید تنها راهی که برای وجود گره ۱ هست کشیده‌شدن جریان ادمیتانس Y از گره ۱ است. این جریان، I_1 با رابطه زیر داده شده:

$$I_1 = Y(V_1 - V_2) = YV_1(1 - V_2/V_1) = YV_1(1 - K)$$

برای اینکه مدار شکل (ب ۱۸-۷) معادل مدار شکل (الف ۱۸-۷) باشد باید ادمیتانس Y_1 چنان انتخاب شده باشد که مقدار جریان کشیده شده از گره ۱ برابر I_1 باشد: $Y_1V_1 = I_1$



شکل ۱۸-۷. قضیه میلر

که نتیجه می‌دهد

$$Y_1 = Y(1 - K) \qquad (۷-۵۰)$$

بطریق مشابه، گره ۲ وجود ادمیتانس Y را تنها توسط کشیده شدن جریان I_2 از گره ۲ احساس می‌کند (توجه کنید که $I_2 = -I_1$).

$$I_2 = Y(V_2 - V_1)$$

$$= YV_2(1 - V_1/V_2)$$

بنابراین:

$$I_2 = Y(1 - 1/K)V_2$$

برای اینکه مدار شکل (ب ۱۸-۷) معادل مدار شکل (الف ۱۸-۷) باشد باید مقدار Y_2 چنان انتخاب شود که جریان کشیده شده از گره ۲ برابر I_2 باشد:

$$Y_2 V_2 = I_2$$

که نتیجه می‌دهد:

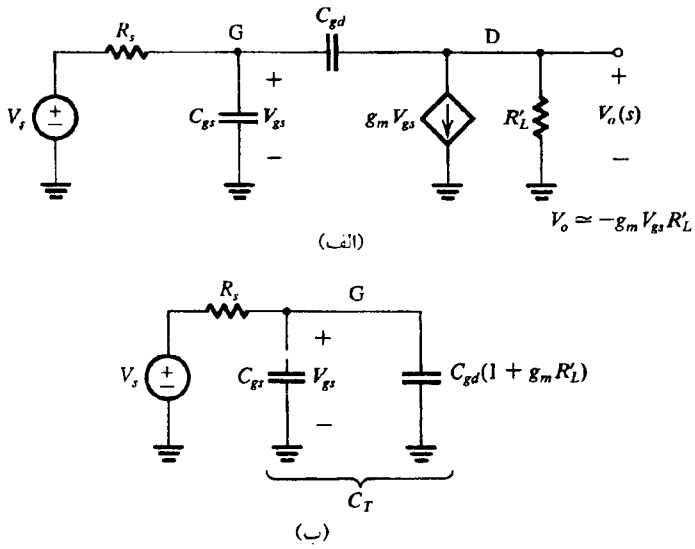
$$Y_2 = Y(1 - 1/K) \qquad (۷-۵۱)$$

معادلات (۷-۵۰) و (۷-۵۱) بصورت شرط لازم و کافی برای معادل بودن مدارهای شکل (ب ۱۸-۷) و (الف ۱۸-۷) می‌باشند. توجه کنید در هر دو شبکه بهرهٔ ولتاژ از گره ۱ به گره ۲ برابر K است. قضیه میلر را به تناوب در کتاب استفاده خواهیم کرد. بهرحال به یک نکته هم باید توجه کرد. مدار معادل میلر شکل (ب ۱۸-۷) تنها در صورتی معتبر است که شرایطی که بر اساس آن K تعیین شده بود، بدون تغییر بماند. این نکته نتیجه می‌دهد که اگرچه قضیه میلر در تعیین امپدانس ورودی و بهرهٔ یک تقویت‌کننده مفید است، از آن نمی‌توان برای تعیین مقاومت خروجی استفاده کرد. زیرا برای تعیین مقاومت خروجی، منبع سیگنال ورودی حذف شده و یک ولتاژ آزمایشی به پایه‌های خروجی متصل می‌شود. این کار سبب تغییر K و در نتیجه بی‌اعتباری قضیه میلر می‌شود.

برای درک فواید قضیه میلر، تقویت‌کنندهٔ سورس مشترکی را که دارای بهرهٔ ولتاژ گیت به درین برابر ۱۰۰ − است، درنظر بگیرید. ظرفیت کوچک C_{gd} (مثلاً، ۱ pF) به یک ظرفیت ورودی بین گیت و زمین که با استفاده از معادلهٔ (۷-۵۰) تعیین می‌شود، تبدیل می‌گردد، بصورت زیر:

$$C_1 = C_{gd}(1 - K)$$

$$= 1[1 - (-100)] = 101 \text{ pF}$$



شکل ۱۹-۷. مدارهای معادل برای ارزیابی پاسخ فرکانس بالای تقویت کننده سورس مشترک

یک خازن ورودی بزرگ که حتماً پاسخ فرکانسی تقویت‌کننده را محدود می‌کند! اثر ضریب اعمال شده روی C_{gd} را بعنوان **اثر میلر** می‌شناسیم. کاربرد قضیه میلر در تحلیل پاسخ فرکانس بالای تقویت‌کننده سورس مشترک در بخش بعد آمده است.

تحلیل پاسخ فرکانس بالا

روشهای متعددی برای تحلیل مدار معادل فرکانس بالا در شکل (ب ۱۶-۷) که در شکل (الف ۱۹-۷) دوباره ترسیم شده است و تعیین فرکانس ۳ dB بالا، ω_H وجود دارد. یک روش استفاده از ثابت زمانی مدار باز است. در حقیقت در مثال ۵-۷ این کار را انجام داده‌ایم. یک روش تقریبی که نتایج قابل توجهی در حدود فرکانسهای بالا به دست می‌دهد، کاربرد قضیه میلر با جایگذاری خازن معادل ورودی بین گیت و زمین بجای C_{gd} است. این روش بر پایهٔ این اصل است که چون C_{gd} کوچک است، جریان عبوری از آن بسیار کوچکتر از جریان منبع کنترل شدهٔ $g_m V_{gs}$ است. بنابراین، با صرفنظر کردن از جریان عبوری از C_{gd} برای پیدا کردن ولتاژ خروجی V_o، می‌توانیم بنویسیم:

$$V_o \cong -g_m V_{gs} R'_L \qquad (۷-۵۲)$$

استفاده از نسبت ولتاژها در دو طرف C_{gd} ما را قادر می‌سازد تا C_{gd} در قسمت ورودی (گیت) را با خازن معادل میلر جایگزین کنیم.

$$C_{eq} = C_{gd}(1 + g_m R'_L) \qquad (۷-۵۳)$$

همچنانکه در شکل (ب ۱۹-۷) نشان داده شده است. می‌توانیم مدار را در قسمت ورودی بعنوان یک فیلتر پایین‌گذر مرتبهٔ اول که ثابت زمانی آن با کل خازن ورودی تعریف می‌شود بشناسیم.

$$C_T = C_{gs} + C_{gd}(1 + g_m R'_L) \qquad (۷-۵۴)$$

و مقاومت مؤثر منبع سیگنال برابر R_s می‌باشد. این مدار مرتبهٔ اول پاسخ فرکانس بالای تقویت‌کنندهٔ سورس مشترک را که تولید یک قطب فرکانس بالا می‌کند، تعیین می‌کند. بنابراین فرکانس ۳ dB بالا برابر خواهد بود با

$$\omega_H = \frac{1}{C_T R'_s} \qquad (۷-۵۵)$$

می‌توانیم بهرهٔ فرکانس بالا را بصورت زیر بیان کنیم.

$$A_H(s) = A_M \frac{1}{1 + s/\omega_H} \qquad (۷-۵۶)$$

که مثل قبل، A_M بهرهٔ باند میانی است.

از روابط بالا، می‌توانیم به نقش مهمی که فیدبک کوچک خازن C_{gd} در تعیین پاسخ فرکانس بالای تقویت‌کنندهٔ سورس مشترک بازی میکند، پی ببریم. از آنجا که ولتاژ در دو طرف C_{gd} دارای نسبت $-g_m R'_L$ است، که مقدار بزرگی تقریباً برابر بهرهٔ باند میانی است، C_{gd} به یک خازن بزرگ $C_{gd}(1 + g_m R'_L)$ روی پایانه‌های ورودی تقویت‌کننده تبدیل می‌شود. این اثر میلر است. نتیجه می‌گیریم که برای افزایش فرکانس ۳ dB بالا یا فرکانس قطع تقویت‌کننده، باید $g_m R'_L$ را کاهش داد، که بهرهٔ باند میانی را کاهش می‌دهد، یا مقاومت منبع را کم کرد، که همیشه امکان‌پذیر نیست. ناچار، می‌توان از ترکیبی برای مدار که اثر میلر روی آن کم باشد استفاده کرد. مثل مدار Cascode که در بخش ۵-۶ بیان شد. این آرایش و سایر ترکیبهای خاص برای **تقویت‌کننده‌های باند پهن** را در قسمتهای بعدی این فصل مطالعه می‌کنیم.

نتایج را مستقیماً می‌توان برای تقویت کننده امیتر مشترک به کار برد. بهره فرکانس بالا از معادله (۵۶-۷) به دست می‌آید که برای آن، داریم:

$$\omega_H = \frac{1}{C_T R'_s} \qquad (۷-۵۷)$$

R'_s از معادله (۴۹-۷) به دست آمده و C_T از رابطه زیر محاسبه می‌شود:

$$C_T = C_\pi + (1 + g_m R'_L) C_\mu \qquad (۷-۵۸)$$

مثال ۷-۷

با استفاده از روش تقریب که بر اساس اثر میلر است، فرکانس ۳ dB بالای تقویت‌کنندهٔ سورس مشترک را که مقادیر عناصر آن در مثال ۶-۷ مشخص شده پیدا کنید. $C_{gs} = C_{gd} = 1$ pF است. نتایج را با مقادیر به دست آمده برای همین تقویت‌کننده در مثال ۵-۷ که با استفاده از روش ثابت زمانی مدار باز تعیین شده، مقایسه کنید.

حل:

کل خازن ورودی از معادلهٔ (۵۴-۷) بصورت زیر به دست می‌آید:

$$C_T = 1 + 1 \times (1 + 4 \times 3/33) = 15/3 \text{ pF}$$

مقاومت مؤثر مولد بصورت زیر به دست می‌آید:(تمرین ۱۲-۷ را ببینید)

$$R_s = 100 \text{ k}\Omega \,//\, 420 \text{ k}\Omega = 80/8 \text{ k}\Omega$$

بنابراین با استفاده از معادلهٔ (۵۵-۷) f_H را بصورت زیر به دست می‌آوریم:

$$f_H = \frac{\omega_H}{2\pi} = \frac{1}{2\pi \times 15/3 \times 10^{-12} \times 80/8 \times 10^{3}} = 128/7 \text{ kHz}$$

که خیلی نزدیک به مقدار (۱۲۸/۳ kHz) به دست آمده در مثال ۵-۷ است.

تقریب به کاررفته در روش فوق برای تعیین ω_H معادل فرض وجود قطب غالب در فرکانس بالا است. برای اثبات این حالت باید تابع انتقال فرکانس بالای تقویت‌کنندهٔ سورس مشترک را تعیین کنیم. با تبدیل مولد سیگنال ورودی به فرم معادل نورتن به مدار نشان داده شده در شکل (۲۰-۷) می‌رسیم. با نوشتن معادلهٔ گره در G داریم:

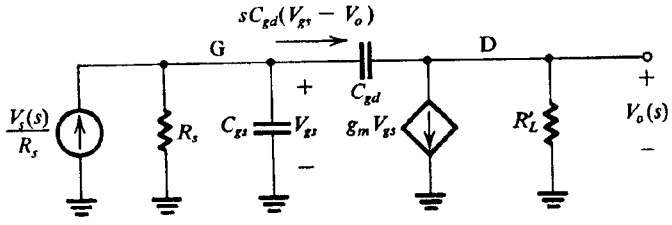
$$\frac{V_s(s)}{R} = \frac{V_{gs}}{R_s} + sC_{gs}V_{gs} + sC_{gd}(V_{gs} - V_o) \qquad (۷-۵۹)$$

با نوشتن یک معادلهٔ گره در D داریم:

$$sC_{gd}(V_{gs} - V_o) = g_m V_{gs} + \frac{V_o(s)}{R'_L} \qquad (۷-۶۰)$$

با حذف V_{gs} از معادلهٔ (۵۹-۷) و (۶۰-۷) تابع انتقال زیر را داریم:

$$\frac{V_o(s)}{V_i(s)} = -A_M \times \frac{1 - \dfrac{s}{(g_m / C_{gd})}}{1 + s[C_{gs} + C_{gd}(1 + g_m R'_L) + C_{gd}(R'_L/R_s)]R_s + s^2 C_{gs} C_{gd} R_s R'_L} \qquad (۷-۶۱)$$



شکل ۲۰-۷. تعیین تابع انتقال فرکانس بالای دقیق تقویت‌کننده سورس مشترک

بنابراین تقویت‌کننده دارای یک صفر با فرکانس $\omega_Z = g_m / C_{gd}$ و دو قطب است که فرکانسهای آنها را از چند جمله‌ای مخرج مشخص می‌کنیم. توجه کنید که ضرائب جملات s در مخرج برابر مقادیر به دست آمده در مثال ۵-۷ به روش ثابت زمانی مدار باز هستند. علاوه بر این، چند جمله‌ای مخرج متأسفانه به حدی پیچیده است که نمی‌توان اطلاعات مفیدی را از آن استخراج کرد. بهرحال می‌توانیم مقادیر عددی را جایگذاری کرده و فرکانس قطبها را به دست آوریم، همچنانکه در تمرین زیر نیز خواسته شده است.

تمرین

۷-۱۳ برای تقویت‌کنندهٔ سورس مشترک مشخص شده در مثالهای ۶-۷ و ۷-۷ با استفاده از معادلهٔ (۶۱-۷) فرکانسهای صفر محدود و دو قطب آنرا تعیین کنید.

جواب. $f_Z = ۶۳۷\ \text{MHz}$ ، $f_{p۱} = ۱۲۸/۴\ \text{kHz}$ ، $f_{p۲} = ۷۳۴\ \text{MHz}$ ❑

پاسخهای تمرین ۱۳-۷ نشان می‌دهد که صفر و قطب دوم در فرکانس‌هایی بسیار بالاتر از قطب غالب قرار دارند. این حقیقت که قطبها خیلی از هم جدا هستند ما را قادر می‌سازد تا مخرج معادلهٔ (۶۱-۷) را بصورت‌زیر به حاصلضرب تبدیل کنیم. چند جمله‌ای مخرج $D(s)$ را می‌توان بصورت زیر نوشت:

$$D(s) = (۱ + \frac{s}{\omega_{p۱}})(۱ + \frac{s}{\omega_{p۲}})$$

$$= ۱ + s(\frac{۱}{\omega_{p۱}} + \frac{۱}{\omega_{p۲}}) + \frac{s^۲}{\omega_{p۱}\omega_{p۲}}$$

$$\cong ۱ + \frac{s}{\omega_{p۱}} + \frac{s^۲}{\omega_{p۱}\omega_{p۲}} \qquad (۷-۶۲)$$

با مساوی قراردادن ضرائب جملهٔ s در معادلات (۶۱-۷) و (۶۲-۷) داریم:

$$\omega_{p۱} = \frac{۱}{[C_{gs} + C_{gd}(۱ + g_m R'_L) + C_{gd}(R'_L/R_s)]R_s} \qquad (۷-۶۳)$$

که کمی با مقدار به دست آمده از روش میلر متفاوت است ولی با مقدار ω_H به دست آمده از روش ثابت زمانی مدار باز یکسان است. با مساوی قراردادن ضرائب $s^۲$ در معادلات (۶۱-۷) و (۶۲-۷) و با استفاده از (۶۳-۷) فرکانس دومین قطب را به دست می‌آوریم.

$$\omega_{p۲} = \frac{C_{gs} + C_{gd}(۱ + g_m R'_L) + C_{gd}(R'_L/R_s)}{C_{gs}C_{gd}R'_L} \qquad (۷-۶۴)$$

برای $g_m R'_L \gg ۱$ و $R'_L < R_s$ ، این تعریف بصورت زیر تقریب زده می‌شود.

$$\omega_{p۲} \cong \frac{g_m}{C_{gs}} \qquad (۷-۶۵)$$

که نشان می‌دهد $\omega_{p۲}$ معمولاً مقداری بسیار بزرگ است.

در انتها یادآوری می‌کنیم که نتایج ارائه شده در معادله‌های (۶۱-۷) ، (۶۳-۷) ، (۶۴-۷) و (۶۵-۷) را می‌توان با تعویض R_s با R'_s ، C_{gs} با C_π و C_{gd} با C_μ ، برای تقویت کننده امیتر مشترک نیز به کار برد. علاوه بر آن، فرکانس مربوط به صفرفرکانس بالا، $\omega_Z = g_m/C_\mu$ می‌باشد.

تمرینها

تمرین‌های زیر مربوط به تقویت کننده امیتر مشترک شکل (۱۳-۷) با $R_s = ۴k\Omega$ ، $R_1 = ۸k\Omega$ ، $R_۲ = ۴k\Omega$ ، $R_E = ۳/۳k\Omega$ ، $R_C = ۶k\Omega$ ، $R_L = ۴k\Omega$ و $V_{CC} = ۱۲V$ است. جریان مستقیم (dc) امیتر $I_E \cong ۱mA$ است. در این جریان ترانزیستور دارای $\beta_o = ۱۰۰$ ، $C_\pi = ۱۳/۹pF$ ، $C_\mu = ۲pF$ ، $r_o = ۱۰۰k\Omega$ و $r_x = ۵۰\Omega$ است. این تقویت کننده در تمرین (۹-۷) تحلیل شد و $A_M = -۲۲/۵\ V/V$ به دست آمد.

۷-۱۴ مقاومت موثر منبع R'_s و مقاومت موثر بار R'_L را به دست آورید.

جواب. $۱k\Omega$ ، $۲/۳۴۴k\Omega$

۷-۱۵ با استفاده از اثر میلر خازن ورودی کلی و بنابراین قطب فرکانس بالای غالب را تعیین کنید.

جواب. $۲۰۳/۴pF$ ، $۷۸۲kHz$

۷-۱۶ با استفاده از معادله (۶۳-۷) و تغییر نمادها برای BJT ، تخمین بهتری از قطب غالب به دست آورید. همچنین، با توجه به معادله (۶۴-۷) قطب دوم را تعیین کنید.

جواب $۷۶۵kHz$ ، $۵۰۸MHz$

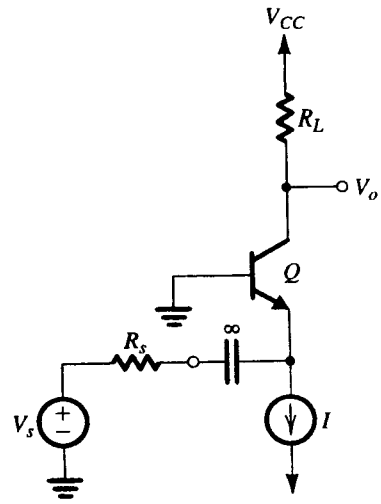
۷-۵ آرایشهای بیس مشترک، گیت مشترک و Cascode

در بخشهای قبلی دیده شد که پاسخ فرکانس بالای تقویت‌کنندهٔ سورس - مشترک و تقویت‌کنندهٔ امیتر مشترک توسط اثر میلر حاصل از خازن فیدبک محدود می‌شود (C_{gd} در FET و C_μ در BJT). در نتیجه برای بالابردن فرکانس ۳ dB بالا در تقویت‌کنندهٔ ترانزیستوری باید اثر ضریب ظرفیت میلر را کاهش داد یا خنثی کرد. در قسمت زیر نشان می‌دهیم که این کار را می‌توان با استفاده از آرایش تقویت‌کنندهٔ بیس مشترک انجام داد. یک تحلیل مشابه را نیز می‌توان برای آرایش گیت - مشترک انجام داد.

همچنین پاسخ فرکانسی ترکیب Cascode را تحلیل می‌کنیم. و نشان می‌دهیم که این مدار دارای مزایای مدارهای امیتر مشترک و بیس مشترک است (مدارهای سورس مشترک و گیت مشترک در FET).

تحلیل تقویت‌کنندهٔ بیس مشترک

شکل (۲۱-۷) یک تقویت کننده بیس مشترک را که در آن منبع سیگنال از طریق یک خازن بزرگ به امیتر متصل شده، نشان می‌دهد. اگر چه تحلیل در حالت اتصال خازنی است، اما برای اتصال مستقیم نیز به کار می‌رود. V_s و R_s ، مانند حالت CE ، پارامترهای معادل تونن مدار تغذیه کننده تقویت



شکل ۲۱-۷. طبقه تقویت‌کنندهٔ بیس مشترک. برای سادگی منبع سیگنال از طریق خازن متصل شده به امیتر نشان داده شده است. با این حال تحلیل فرکانس بالا برای مدارهای اتصال مستقیم به کار می‌رود.

کننده CB هستند و ممکن است شامل مقاومت‌های بایاس ترانزیستور Q (در صورت وجود) باشند. بطور مشابه R_L نشان دهندهٔ مقاومت کلی بین کلکتور و زمین سیگنال است. این مدار در فرکانس‌های میانی در بخش (۱۱-۴) تحلیل شده است و در این جا پاسخ فرکانس بالای آن را بررسی می‌کنیم، تحلیل فرکانس پایین آن آسان بوده و مانند تقویت کنندهٔ CE انجام می‌شود.

مدار معادل فرکانس بالای تقویت‌کنندهٔ بیس مشترک در شکل (الف ۲۲-۷) نشان داده شده است. برای سادگی و تمرکز توجه روی موارد خاص در مدار بیس مشترک، r_o و r_x حذف شده‌اند.

در مدار شکل (الف ۲۲-۷) می‌بینیم که ولتاژ در پایانهٔ امیتر، V_e، برابر $-V_\pi$ است. می‌توانیم در پایانه امیتر یک معادلهٔ گره بنویسیم که ما را قادر می‌سازد تا جریان امیتر I_e را بصورت زیر بیان کنیم.

$$I_e = -V_\pi\left(\frac{1}{r_\pi} + sC_\pi\right) - g_m V_\pi = V_e\left(\frac{1}{r_\pi} + g_m + sC_\pi\right)$$

بنابراین ادمیتانس ورودی دیده شده در امیتر برابر است با:

$$\frac{I_e}{V_e} = \frac{1}{r_\pi} + g_m + sC_\pi = \frac{1}{r_e} + sC_\pi \qquad (۷-۶۶)$$

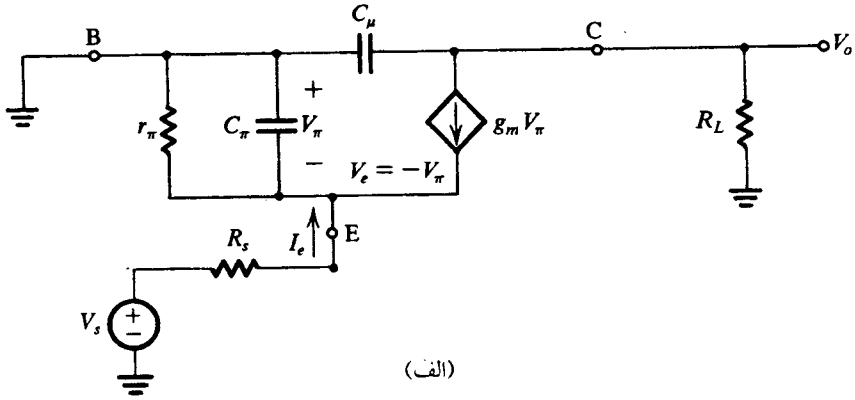
بنابراین در ورودی مدار، می‌توانیم بجای ترانزیستور این ادمیتانس ورودی را قرار دهیم که در شکل (ب ۲۲-۷) نشان داده شده است.

در قسمت خروجی (شکل الف ۲۱-۷) می‌بینیم که V_o توسط منبع جریان $g_m V_\pi$ که $(R_L // C_\mu)$ را تغذیه می‌کند، تعیین می‌شود. از این مطلب در رسم مدار معادل ساده شدهٔ شکل (ب ۲۲-۷) استفاده می‌شود.

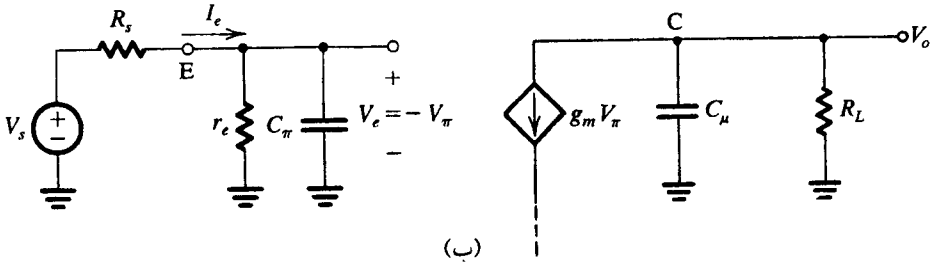
مدار معادل ساده شدهٔ شکل (ب ۲۹-۷) مشخصاً یک مطلب مهم در رابطه با آرایش بیس مشترک را نشان می‌دهد: عدم حضور خازن فیدبک داخلی. بر خلاف مدار معادل امیتر مشترک، در اینجا C_μ دارای یک پایانه است که زمین شده و اثر میلر ظاهر نمی‌شود. بنابراین نتیجه می‌گیریم که فرکانس قطع بالا در این آرایش بسیار بزرگتر از فرکانس قطع آرایش امیتر مشترک است.

قطبهای فرکانس بالا را می‌توان مستقیماً از مدار معادل شکل (ب۲۲-۷) به دست آورد. در ناحیهٔ ورودی دارای قطبی هستیم که فرکانس آن ω_{p1} بصورت زیر تعیین می‌شود.

$$\omega_{p1} = \frac{1}{C_\pi (r_e // R_s)} \qquad (۷-۶۷)$$



(الف)



(ب)

شکل ۲۲-۷. (**الف**) مدار معادل تقویت‌کنندهٔ بیس مشترک در شکل (۲۱-۷) (**ب**) شکل ساده شدهٔ مدار (الف)

از آنجا که r_e معمولاً بسیار کوچک است، فرکانس ω_{p1} بسیار بالا خواهد بود. در ناحیهٔ خروجی یک قطب با فرکانس ω_{p2} داریم که عبارت است از:

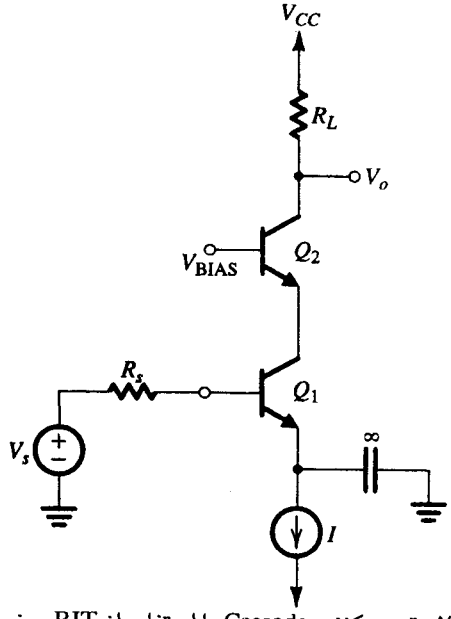
$$\omega_{p2} = \frac{1}{C_\mu R_L} \qquad (۷-۶۸)$$

از آنجا که C_μ خیلی کوچک است، ω_{p2} بزرگ خواهد بود. فرکانس‌های قطب تقویت‌کنندهٔ گیت مشترک توسط معادلات (۷-۶۷) و (۷-۶۸) با جایگزینی C_π با C_{gs}، r_e با $1/g_m$ و C_μ با C_{gd} به دست می‌آیند.

حال سؤالی که مطرح می‌شود در رابطه با دقت تحلیل فوق است. از آنجا که با قطبها در فرکانسهای خیلی بالا سروکار داریم، باید اثراتی را که معمولاً قابل صرفنظر بودند را درنظر بگیریم. برای مثال، خازن پارازیت بین کلکتور و بدنه (زمین)، در ترانزیستورهای روی IC اثر کاملاً مشهودی روی مقدار ω_{p2} دارد. همچنین، شواهدی برای حذف r_x وجود ندارد. در نتیجه برای دقت تعیین پاسخ فرکانس بالا در تقویت‌کنندهٔ بیس مشترک باید از مدل کاملتری برای ترانزیستور استفاده کرد و بهتر است که از برنامه‌های تحلیل مدار توسط کامپیوتر استفاده کرد. ضمیمه پ و بخش (۷-۹) را ببینید). با این همه، مسأله‌ای که ما روی آن تأکید داریم این است که تقویت‌کنندهٔ بیس مشترک دارای فرکانس قطع بالای بسیار بزرگتری نسبت به مدار امیتر مشترک است. چنین موردی را می‌توان برای تقویت‌کنندهٔ گیت مشترک در مقایسه با مدار سورس مشترک ذکر کرد.

آرایش Cascode

همان طور که در بخش ۵-۶ توضیح داده شد، آرایش Cascode در بردارندهٔ مزایای مدارهای بیس مشترک و امیتر مشترک است. شکل (۷-۲۳) یک تقویت کننده Cascode را که از ترانزیستورهای دو قطبی استفاده می‌کند نشان می‌دهد. در این جا یک خازن بزرگ زمین سیگنال را



شکل ۷-۲۳. تقویت کننده Cascode با استفاده از BJT. منبع جداگانه V_{BIAS} ولتاژ را در گیت Q_2 برقرار می‌کند. در مدارهای عملی از منبع تغذیه تقویت کننده گرفته می‌شود.

در امیتر Q_1 فراهم می‌کند. در مدارهای اتصال مستقیم، این زمین سیگنال به روش دیگری، مثلاً استفاده از یک زوج تفاضلی، برقرار می‌شود. همچنین توجه کنید که ولتاژ dc بیس Q_2 با منبع dc یعنی V_{BIAS}، فراهم شده است. در مدارهای عملی، معمولاً V_{BIAS} از منبع تغذیه dc تقویت کننده گرفته می‌شود. در ادامه بحث و در تمرین‌ها و مسائل، مدارهای عملی Cascode را نشان خواهیم داد. هدف ما در این جا بررسی مدار ساده و تمرکز به جنبه‌های مهم‌تر مدار Cascode یعنی پاسخ فرکانس بالای عالی آن است. تحلیل زیر در مورد مدارهای Cascode که در آن‌ها MOS و BiCMOS به کار رفته است، قابل انجام است.

در مدار Cascode، Q_1 با آرایش امیتر مشترک بسته شده و بنابراین دارای مقاومت ورودی نسبتاً بزرگ برای منبع سیگنال است. سیگنال جریان کلکتور Q_1 به امیتر Q_2 می‌رود، که با آرایش بیس مشترک بسته شده است (بیس، زمین سیگنال است). بنابراین مقاومت بار دیده شده توسط Q_1 به سادگی برابر مقاومت ورودی r_e از ترانزیستور Q_2 است. این مقاومت بار کوچک Q_1 اثر ضریب میلر خازن $C\mu_1$ را کاهش می‌دهد و بنابراین فرکانس قطع بالا را گسترش می‌دهد. این کار بدون کاهش بهرهٔ باند میانی صورت می‌پذیرد، زیرا کلکتور Q_2 جریانی را عبور می‌دهد که برابر با جریان کلکتور Q_1 است. بعلاوه، از آنجا که آرایش بیس مشترک داریم، Q_2 از اثر میلر مصون است و بنابراین پاسخ فرکانس بالا محدود نمی‌شود. ترانزیستور Q_2 اساساً بعنوان میانگیر جریان یا مبدل امپدانس عمل می‌کند که علاوه بر رساندن جریان سیگنال به بار در مقابل قطعه تقویت‌کننده Q_1 مقاومت بار کوچکی را به نمایش می‌گذارد.

حال به تحلیل جزئی تقویت‌کنندهٔ Cascode شکل (۷-۲۳) می‌پردازیم. شکل (الف ۷-۲۴) مدار معادل فرکانس بالا را نشان می‌دهد. برای سادگی، r_{x2} و r_{o2} حذف شده‌اند. اگرچه ترانزیستورها در جریان بایاس مشابه کار می‌کنند و در نتیجه پارامترهای آنها یکسان است، ولی برای کلیت دادن به این روش پارامترها را مجزا درنظر می‌گیریم.

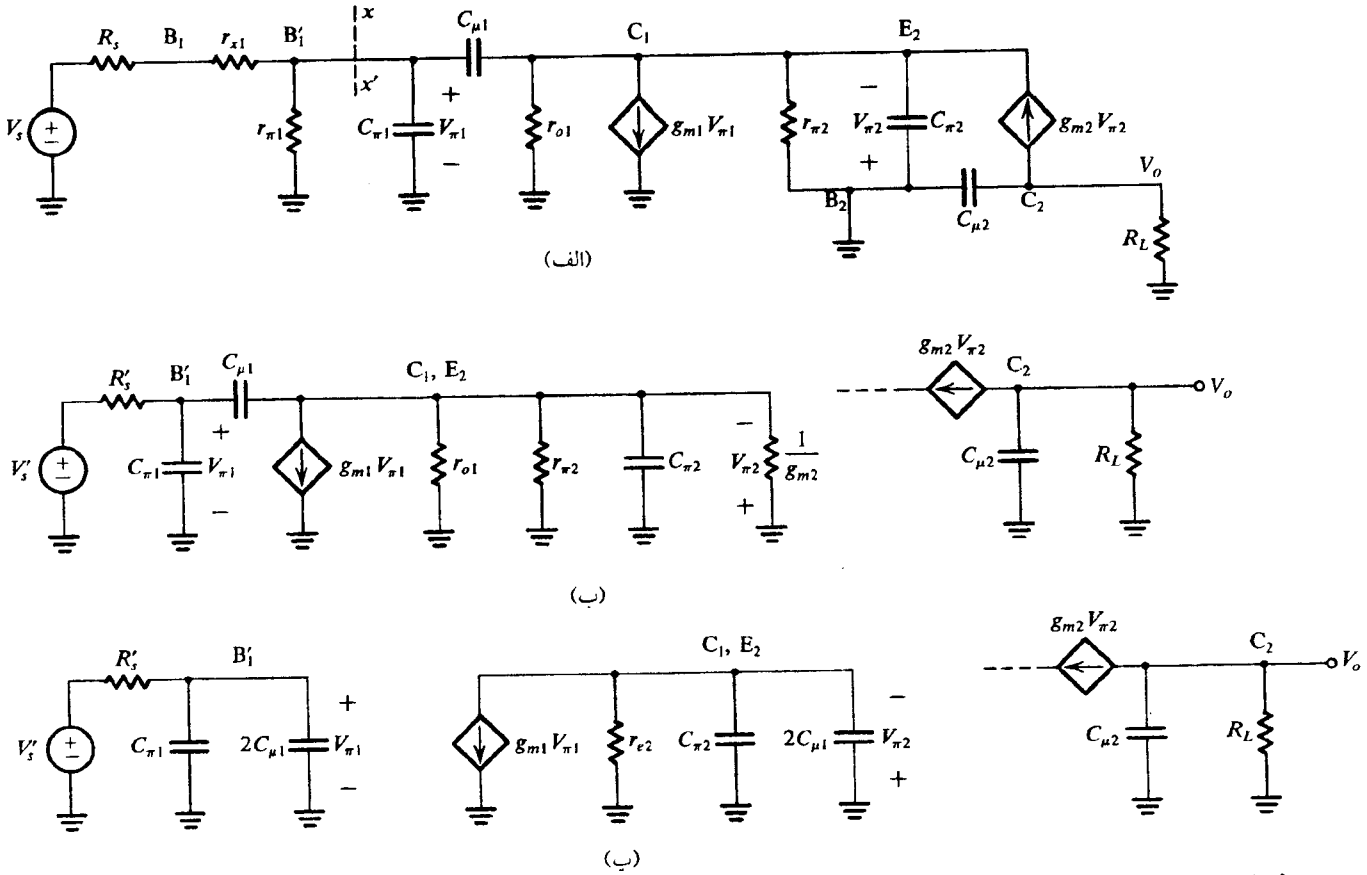
استفاده از قضیه تونن ما را قادر می‌سازد تا مدار سمت چپ خط xx' (شکل الف ۷-۲۴) را به یک منبع V'_s و مقاومت R'_s که در شکل (ب ۷-۲۴) نشان داده شده، کاهش دهیم،

$$V'_s = V_s \frac{r_{\pi 1}}{r_{\pi 1} + r_{x1} + R_s} \qquad (۷-۶۹)$$

$$R'_s = r_{\pi 1} // (r_{x1} + R_s) \qquad (۷-۷۰)$$

یک ساده‌سازی مهم دیگر که در شکل (ب ۷-۲۴) آمده، جایگذاری منبع جریان $g_{m2}V_{\pi 2}$ با یک مقاومت $1/g_{m2}$ است (تئوری جذب منبع در ضمیمه ث را ببینید). سپس این مقاومت با مقاومت موازی $r_{\pi 2}$ ترکیب می‌شود تا r_{e2} به دست آید. از آنجا که $r_{e2} \ll r_{o1}$، می‌بینیم که بین کلکتور Q_1 و زمین تقریباً مقاومت کلی r_{e2} دیده می‌شود. خازن $C_{\pi 2}$ با مقاومت r_{e2} یک قطب تابع انتقال با فرکانس زیر تولید می‌کند:

$$\omega_2 = \frac{1}{C_{\pi 2} r_{e2}} \cong \omega_{T2} \qquad (۷-۷۱)$$



شکل ۲۴-۷. تحلیل فرکانس بالای تقویت کننده متوالی شکل ۲۳-۷ توجه کنید برای ساده‌کردن تحلیل r_{x2} و r_{o2} در نظر گرفته نشده‌اند.

که بسیار بالاتر از فرکانس قطبی است که متناظر با R'_s و ظرفیت ورودی Q_1 است. این نتیجه می‌دهد که در محدودهٔ فرکانسی موردنظر، می‌توان از $C_{\pi 2}$ در محاسبهٔ ولتاژ کلکتور Q_1 صرفنظر کرد، یعنی:

$$V_{c1} \cong -g_{m1} V_{\pi 1} r_{e2} \cong -V_{\pi 1}$$

بنابراین بهره بین B'_1 و C_1 (شکل ب ۲۴-۷) تقریباً ۱ − است و می‌توانیم تئوری میلر را با جایگزین‌کردن خازن $2C_{\mu 1}$ بین C_1 و زمین بجای خازن پل $C_{\mu 1}$، اعمال کنیم. مدار معادل حاصل در شکل (پ۲۴-۷) نشان داده شده که توسط آن می‌توان فرکانس قطب متناظر با مدار RC پایین گذر ورودی را بصورت زیر به دست آورد.

$$\omega_1 = \frac{1}{R'_s (C_{\pi 1} + 2C_{\mu 1})} \qquad (۷-۷۲)$$

در حالتی که مقاومت منبع بزرگ باشد این فرکانس معمولاً بسیار پایین تراز ω_2 [معادلهٔ ۷۱-۷] و فرکانس قطب تولید شده توسط بخش خروجی مدار است.

$$\omega_3 = \frac{1}{C_{\mu 2} R_L} \qquad (۷-۷۳)$$

یعنی، مدار ورودی یک قطب غالب فرکانس بالا تولید می‌کند و فرکانس ۳ dB ی بالای ω_H با رابطه زیر داده شده است.

$$\omega_H \cong \omega_1 \qquad (۷-۷۴)$$

تخمین بهتری از ω_H را می‌توان از ترکیب فرکانسهای سه قطب با استفاده از معادلهٔ (۲۲-۷) به دست آورد. همچنین، باید توجه شود که روش ثابت زمانی مدار باز را می‌توان مستقیماً برای مدار شکل (ب ۲۴-۷) استفاده کرد.

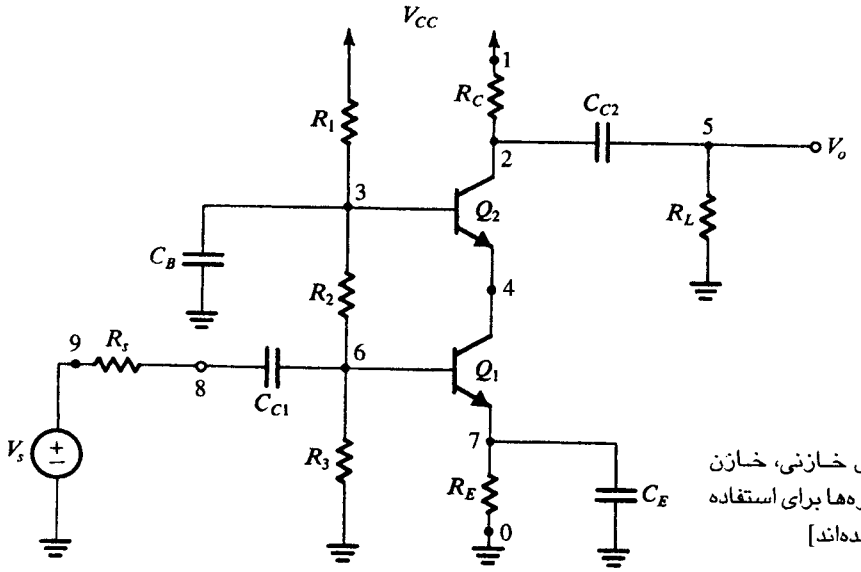
بهرهٔ باند میانی را به راحتی می‌توان با صرفنظر کردن از همهٔ خازنهای موجود در مدار معادل شکل (پ ۲۴-۷) و جایگذاری V'_s و R'_s از معادلات (۶۹-۷) و (۷۰-۷) به دست آورد:

$$A_M = \frac{V_o}{V_s} = -g_m R_L \frac{r_\pi}{r_\pi + r_x + R_s} \qquad (۷-۷۵)$$

این تعریف با تعریف بهره برای مدار امیتر مشترک یکسان است.

تمرین

۱۷-۷ مدار Cascode شکل (۱۷-۷ ت) را با مقادیر عناصر زیر را در نظر بگیرید: $R_s = 4\,k\Omega$، $R_1 = 18\,k\Omega$، $R_2 = 4\,k\Omega$، $R_3 = 8\,k\Omega$، $R_E = 3/3\,k\Omega$، $R_C = 6\,k\Omega$، $R_L = 4\,k\Omega$، $C_{C1} = 1\,\mu F$، $C_{C2} = 1\,\mu F$، $C_B = 10\,\mu F$، $C_E = 10\,\mu F$ و $V_{CC} = +15\,V$. نشان دهید که جریان امیتر هر ترانزیستور $I_E \cong 1\,mA$ است. توجه کنید که این طرح معادل تقویت کننده امیتر مشترک تمرین‌های (۹-۷) تا (۱۱-۷) و (۱۴-۷) تا (۱۶-۷) است. بنابراین اگر فرض کنیم که ترانزیستورها از یک نوع باشند



شکل (۱۷-۷ ت). یک تقویت کننده Cascode با اتصال خازنی، خازن بزرگ C_B زمین سیگنال را در بیس Q_2 برقرار می‌کند [گره‌ها برای استفاده در شبیه سازی SPICE در مثال (۹-۷) شماره گذاری شده‌اند]

[مقادیر پارامترها در تمرین‌های (۱۴-۷) تا (۱۶-۷) آمده است]، می‌توانیم نتایج را مقایسه کرده و نتیجه گیری نماییم. A_M ، f_1، f_2، و f_3 را محاسبه نمایید. سپس، با استفاده از فرمول جمع مربعات معادلهٔ (۲۲-۷) ، f_H را به دست آورید. باید در استفاده از فرمول‌های فوق دقت نمایید: بطور مثال، در معادله (۷۳-۷) می‌تواند از $(R_C//R_L)$ به جای R_L استفاده کرد و فرمول R'_s را با به حساب آوردن R_3 و R_2 اصلاح کرد.

جواب. ۲۳/۱V/V -، ۸/۹۵ MHz، ۴۵۸ MHz، ۳۳ MHz، ۸/۶۴ MHz ❑

در اینجا حالت مهم دیگری را نیز باید در نظر گرفت، یعنی حالتی که به تناوب در تقویت‌کننده‌های cascode و در مدارهای مجتمع با بار فعال مطرح می‌شود. در چنین حالتی، R_s معمولاً کوچک است، در نتیجه فرکانس قطب ورودی ω_1 غیرغالب خواهد بود. بعلت وجود بار فعال، R_L معمولاً بسیار بزرگ است، که سبب غالب شدن قطب خروجی می‌شود. یک تقریب خوب از فرکانس این قطب را می‌توان با در نظر گرفتن اثر ظرفیت پارازیتی بار C_L که در گره خروجی آشکار می‌شود، به دست آورد، بنابراین ω_3 در معادلهٔ (۹۶-۷) به

$$\omega_3 = \frac{1}{(C_{\mu 2} + C_L) R_L} \qquad (۷-۷۶)$$

اصلاح می‌شود. توجه کنید که این قطب غالب باید چنان مرتب شود که $\omega_2 \cong \omega_{T2}$ بسیار بزرگتر از ω_3، در حالتی که Q_2 از نوع BJT است، باشد. بهر حال، در مدار MOS cascode ، ω_{T2} می‌تواند کم باشد، در نتیجه پهنای باند تقویت‌کننده کاهش می‌یابد. این وضعیت را می‌توان با استفاده از مدارهای BiCMOS Cascode شکل (پ ۳۵-۶) بهبود بخشید.

۷-۶ پاسخ فرکانسی امیتر پیرو و سورس پیرو

آرایش امیتر-پیرو یا کلکتور مشترک را در بخش ۱۱-۴ مطالعه کردیم. در زیر پاسخ فرکانس بالای این آرایش مهم را در نظر می‌گیریم. حاصل را، با کمی تغییرات، برای مدار سورس پیرو با FET به کار می‌بریم.

مدار امیتر پیرو نشان داده شده در شکل (الف ۲۵-۷) را با اتصال مستقیم در نظر بگیرید، که R_s نشانگر مقاومت منبع و R_E نشانگر ترکیب مقاومتهای بایاس امیتر و بار است. مدار معادل فرکانس بالا در شکل (ب ۲۵-۷)[1] نشان داده شده و با کمی تغییرات مجدداً در شکل (پ۲۵-۷) رسم شده است. تحلیل این مدار تابع انتقال $V_o(s) / V_s(s)$ برای امیتر پیرو را می‌دهد، که می‌توان نشان داد دارای دو قطب و یک صفر حقیقی است.

$$\frac{V_o(s)}{V_s(s)} = A_M \frac{1 + s/\omega_Z}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \qquad (۷-۷۷)$$

که A_M نشانگر مقدار بهره در فرکانسهای میانی و پایین است. متأسفانه، تحلیل مدار به شیوهٔ مرسوم، مشخص نمی‌کند که کدامیک از قطبها غالب است. برای درک عمیق‌تر روش دیگری را به کار می‌بریم.

با نوشتن یک معادلهٔ گره در امیتر (ب ۲۵-۷) داریم:

$$V_o = (g_m + y_\pi) V_\pi R_E \qquad (۷-۷۸)$$

که در آن:

$$y_\pi = \frac{1}{r_\pi} + sC_\pi$$

می‌باشد. بنابراین V_o در مقداری از s صفر است که به ازای آن V_π یا $g_m + y_\pi$ صفر باشند. V_π نیز بنوبهٔ خود در مقداری از s صفر است که به ازای آن z_π صفر و یا بطور معادل y_π بی‌نهایت باشد. یعنی $s = \infty$. این حقیقت که یک صفر انتقالی در $s = \infty$ وجود دارد با معادلهٔ (۷۷-۷) هماهنگی دارد. صفر دیگر انتقال از رابطه زیر به دست می‌آید.

$$g_m + y_\pi = 0$$

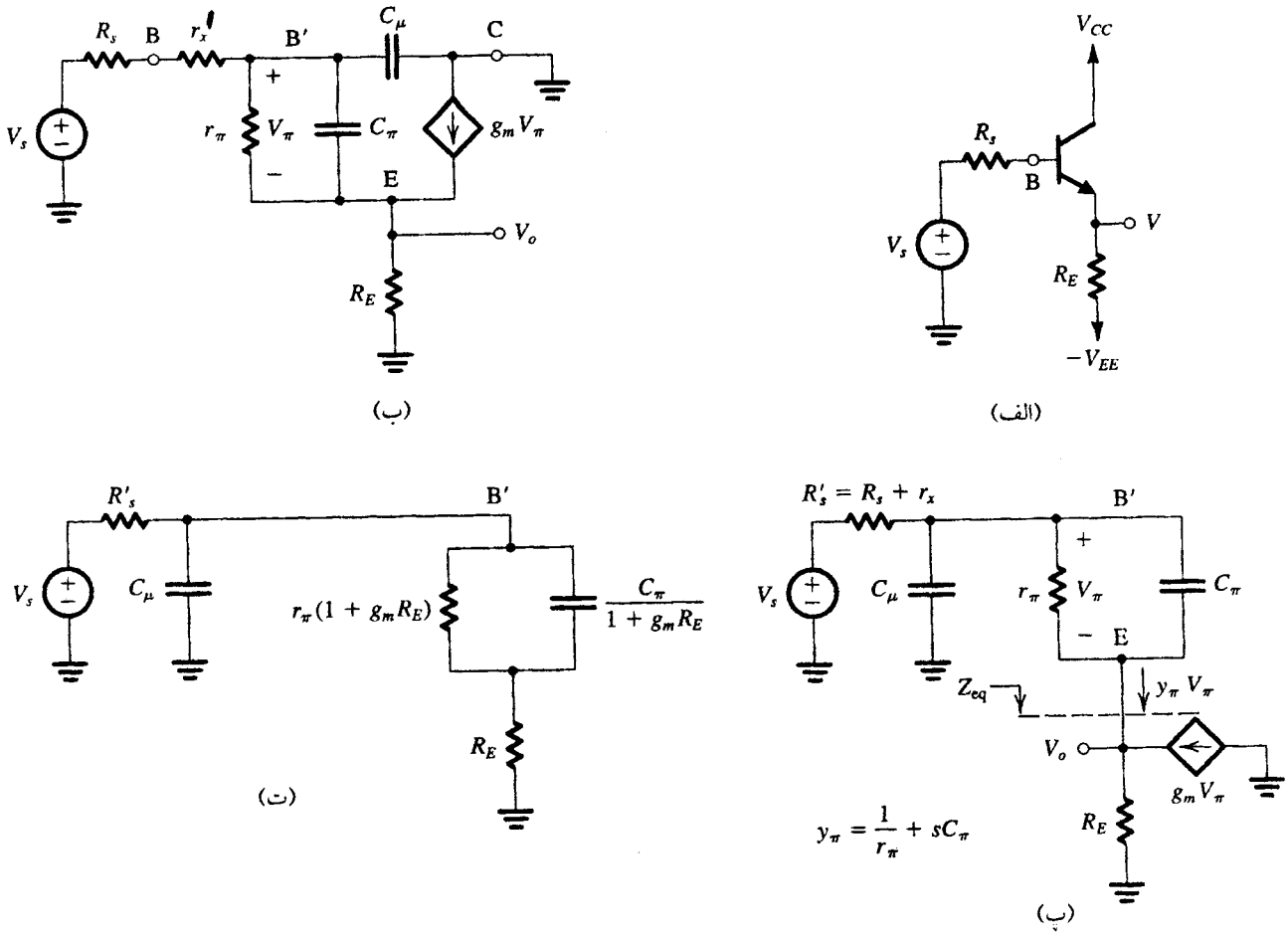
یعنی

$$g_m + \frac{1}{r_\pi} + s_Z C_\pi = 0$$

که نتیجه می‌دهد

$$s_Z = -\frac{g_m + 1/r_\pi}{C_\pi} = -\frac{1}{C_\pi r_e} \cong -\omega_T \qquad (۷-۷۹)$$

۱- اگرچه r_o نشان داده نشده اما می‌توان آن را به آسانی بصورت موازی با R_E درنظر گرفت. بنابراین در تحلیل بایستی بجای R_E، $(R_E // r_o)$ را قرار دهیم.



شکل ۲۵-۷. تحلیل فرکانس بالای امیتر پیرو

از آنجا که فرکانس این صفر کاملاً بالاست، نقش اندکی در تعیین پاسخ فرکانس بالای امیتر پیرو دارد.

سپس قطبها را در نظر می‌گیریم. اینکه کدامیک از دو قطب غالب است، به نوع کاربرد و بویژه، به مقادیر R_s و R_E بستگی دارد. در بیشتر موارد، R_s بزرگ است و به اتفاق خازن ورودی یک قطب غالب را فراهم می‌کند. برای بهتر دیدن این حالت، مدار معادل شکل (پ ۲۵-۷) را درنظر بگیرید. با استفاده از قضیه جذب منبع و (ضمیمه ت) می‌توانیم مدار زیر خط شکسته را با امپدانس معادلش Z_{eq} جایگزین کنیم.

$$Z_{eq} = \frac{V_o}{y_\pi V_\pi}$$

بنابراین

$$Z_{eq} = \frac{(g_m + y_\pi) R_E}{y_\pi} \qquad (۷-۸۰)$$

توجه کنید که Z_{eq} به سادگی بازتاب مقاومت R_E در طرف بیس با استفاده از فرم کلی قانون انعکاس است: R_E در $(1 + h_{fe})$ ضرب شده است. کل امپدانس بین B' و زمین برابر است با:

$$Z_{b'} = \frac{1}{y_\pi} + Z_{eq} = \frac{1 + g_m R_E}{y_\pi} + R_E$$

همچنانکه در شکل (ت ۲۵-۷) نشان داده شده، این امپدانس را می‌توان با یک مقاومت R_E که بصورت سری با شبکهٔ RC شامل مقاومت $r_\pi(1 + g_m R_E)$ موازی با خازن $C_\pi/(1 + g_m R_E)$، بسته شده است نشان داد. از آنجا که امپدانس مدار RC موازی معمولاً بسیار بزرگتر از R_E است، می‌توان از امپدانس آخری صرفنظر کرد و یک شبکهٔ STC پایین‌گذر ساده به دست آورد. از این مدار STC درمی‌یابیم که یک قطب در فرکانس زیر وجود دارد.

$$\omega_p = \left[\left(C_\mu + \frac{C_\pi}{1 + g_m R_E}\right)[R'_s // (1 + g_m R_E) r_\pi]\right]^{-1} \qquad (۷-۸۱)$$

اگرچه این قطب معمولاً غالب است، ولی فرکانس آن کاملاً بالاست و در نتیجهٔ به امیتر پیرو پهنای باند وسیع می‌دهد.[1]

یک راه حل برای پیداکردن مقدار تقریبی فرکانس ۳ dB، ω_H، استفاده از روش ثابت زمانی مدار باز در مدار معادل شکل (ت ۲۵-۷) است.

نهایتاً توجه می‌کنیم که همهٔ نتایج فوق را می‌توان برای یک FET به کار برد در صورتی که R'_s با R_s، r_π با ∞، C_μ با C_{gd} و C_π با C_{gs} جایگزین شود.

---

۱ - اگرچه امیتر پیرو را با یک بار خازنی درنظر می‌گیریم این حالت نیاز به توضیح دارد: یک بار خازنی برای امیتر پیرو منجر به هدایت انتقالی ورودی منفی می‌شود و اگر امپدانس منبع القایی باشد، مدار ممکن است نوسان کند. پایداری و نوسان در فصلهای ۸ و ۱۲ بررسی می‌شوند.

تمرینها

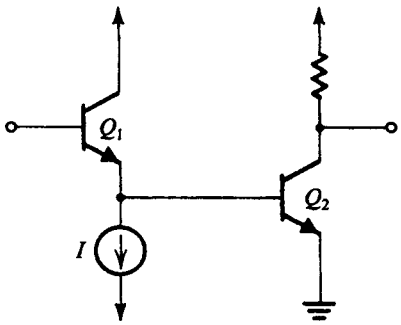
۷-۱۸ برای امیتر - پیرو بایاس شده در I_C=۱mA و با داشتن $R_s=R_E=$۱kΩ و ترانزیستور مورد استفاده دارای f_T = ۴۰۰ MHz، C_μ = ۲ pF، r_x=۱۰۰Ω و β_o = ۱۰۰، بهرهٔ باند میانی A_M و فرکانس قطب غالبِ فرکانس بالا را تعیین کنید.
جواب. ۰/۹۷ V/V، ۶۲/۵ MHz

۷-۱۹ برای مدار امیتر - پیرو تمرین ۷-۲۱ و با استفاده از روش ثابت زمانی مدار باز، فرکانس ۳ dB بالا یعنی f_H را به دست آورید.
جواب. ۵۵/۳ MHz ❑

۷-۷ تقویت‌کنندهٔ متوالی‌شدهٔ کلکتور مشترک - امیتر مشترک

پاسخ فرکانس بالای عالی امیتر - پیرو در اثر عدم حضور ضریب ظرفیت میلر است. مشکل این مدار بالانبودن بهرهٔ ولتاژ است. چنین بنظر می‌رسد که می‌توانیم هم بهره و هم پهنای باند را توسط یک مدار متوالی‌شدهٔ کلکتور مشترک و امیتر مشترک، همانند آنچه در شکل (۷-۲۶) آمده است، به دست آوریم. در اینجا ترانزیستور Q_1 از مدار امیتر - پیرو همانطور که نشان داده شده توسط منبع جریان I بایاس شده است، همچنانکه معمولاً این حالت در طراحی مدارهای مجتمع نیز به کار می‌رود. از آنجا که کلکتور Q_1 سیگنال زمین را داراست، شبیه حالت تقویت‌کنندهٔ امیتر مشترک، $C_{\mu 1}$ در بهرهٔ طبقه ضرب نمی‌شود، بنابراین قطبی که در اثر مقاومت منبع و ظرفیت ورودی پدید می‌آید، دارای فرکانس بالا خواهد بود.

بهرهٔ ولتاژ توسط ترانزیستور Q_2 از مدار امیتر - مشترک فراهم می‌شود. این ترانزیستور از اثر میلر مصون نیست، یعنی کل ظرفیت مؤثر بین بیس و زمین بزرگ خواهد بود. با این وجود، این مسأله مشکل‌ساز نیست. به خاطر مقاومت خروجی کم ترانزیستور Q_1 امیتر - پیرو، مقاومت دیده شده توسط خازن مذکور نیز کوچک خواهد بود.

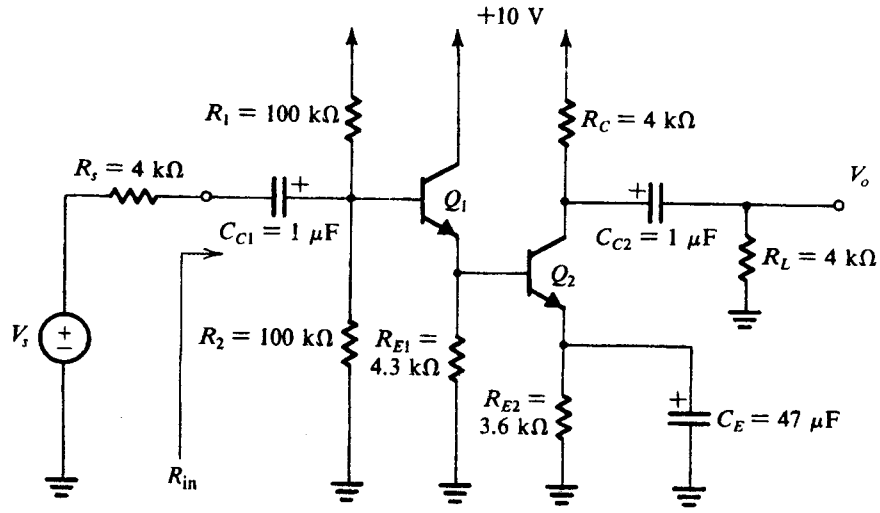


شکل ۷-۲۶. تقویت‌کنندهٔ متوالی کلکتور مشترک، امیتر مشترک

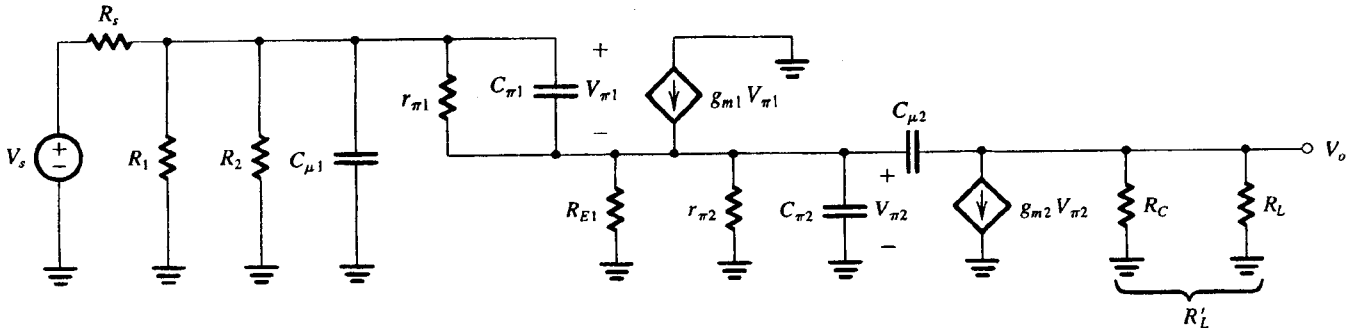
قبل از درنظرگرفتن مثال عددی، می‌خواهیم توجه خواننده را به تشابهات بین مدار شکل (۷-۲۶) و تقویت‌کنندهٔ دو طبقهٔ مطالعه شده در بخش ۷-۵، جلب کنیم. در هر دو مدار، طبقهٔ تقویت‌کنندهٔ امیتر مشترک بهرهٔ ولتاژ را مهیا می‌کند. هر دو مدار در پهنای باند وسیع‌تر (از پهنای باند تقویت‌کنندهٔ امیتر مشترک) بر اثر حداقل شدن ضریب اثر میلر کار می‌کنند. در مدار Cascode این حالت با مجزاکردن مقاومت بار از کلکتور طبقهٔ امیتر مشترک با استفاده از یک طبقهٔ بیس مشترک با مقاومت ورودی کم صورت می‌پذیرد. در مدار حاضر، گرچه اثر ضریب میلر وجود دارد، ظرفیت بزرگِ حاصل توسط مدار امیتر - پیرو از مقاومت منبع مجزا است.

مثال ۷-۸

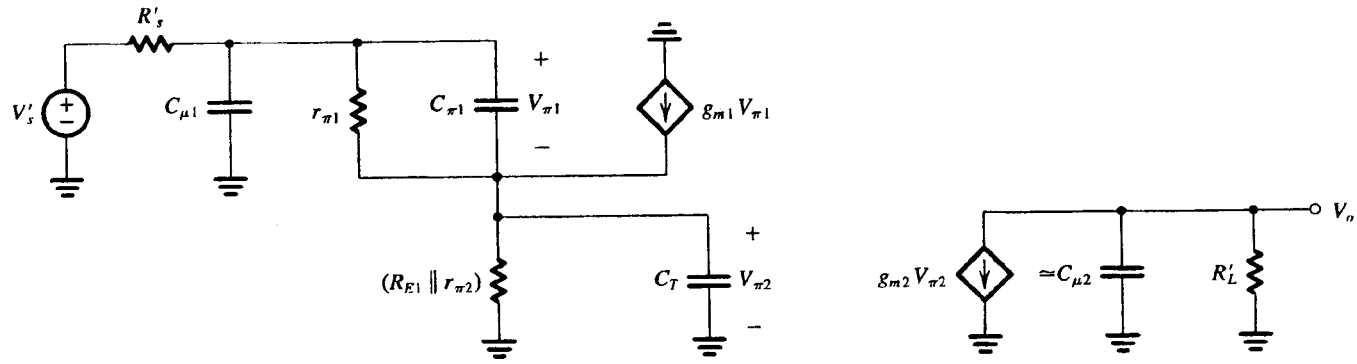
شکل ۷-۲۷ یک تقویت‌کنندهٔ متوالی‌شده حاصل از یک طبقهٔ کلکتور مشترک و یک طبقهٔ امیتر مشترک را با اتصال خازنی نشان می‌دهد. فرض کنید که ترانزیستورها دارای β = ۱۰۰، f_T=۴۰۰MHz و C_μ = ۲ pF هستند و از r_x و r_o صرفنظر کنید. می‌خواهیم بهرهٔ باند میانی و پاسخ فرکانس بالای این مدار را به دست آوریم. توجه کنید که مقاومتهای بار و منبع و پارامترهای ترانزیستور با موارد به کار رفته در حالت امیتر مشترک (تمرین ۷-۹ تا ۷-۱۱) و حالت Cascode (تمرین ۷-۱۷) مشابهند، بنابراین می‌توان آنها را مقایسه کرد.



شکل ۷-۲۷. تقویت‌کنندهٔ با اتصال خازنی و استفاده از آرایش متوالی کلکتور مشترک، امیتر مشترک



(الف)



(ب)

شکل ۲۸-۷. مدار معادل برای تعیین پاسخ فرکانس بالای تقویت‌کننده شکل ۲۷-۷

حل:

ابتدا جریان بایاس dc را بصورت زیر به دست می‌آوریم:

$$V_{B1} \cong 5\ \text{V} \qquad V_{E1} \cong 4.3\ \text{V} \qquad I_{E1} = \frac{4.3\ \text{V}}{4.3\ \text{k}\Omega} = 1\ \text{mA}$$

$$V_{E2} \cong 3.6\ \text{V} \qquad I_{E2} = \frac{3.6\ \text{V}}{3.6\ \text{k}\Omega} = 1\ \text{mA}$$

بنابراین هر دو ترانزیستور در جریان امیتر تقریبی 1 mA کار می‌کند و هر دو در حالت فعال می‌باشند. در این نقطهٔ کار مؤلفه‌های مدار معادل عبارتند از:

$$g_m \cong 40\ \text{mA/V} \qquad r_e \cong 25\ \Omega \qquad r_\pi \cong 2.5\ \text{k}\Omega$$

$$C_\mu = 2\ \text{pF} \qquad C_\pi = 15.9 - 2 = 13.9\ \text{pF}$$

$$C_\mu + C_\pi = \frac{g_m}{\omega_T} = 15.9\ \text{pF}$$

برای به دست آوردن بهرهٔ باند میانی باید ابتدا مقدار مقاومت ورودی R_{in} را تعیین کنیم. بدین منظور باید توجه کنید که مقاومت ورودی بین بیس Q_2 و زمین برابر $r_{\pi 2}$ است. بنابراین در مدار امیتر Q_1 مقاومت R_{E1} موازی با $r_{\pi 2}$ خواهد بود. مقاومت ورودی R_{in} بصورت زیر به دست می‌آید.

$$R_{in} = R_1 // R_2 // \{(1 + \beta_1)[r_{e1} + (R_{E1} // r_{\pi 2})]\}$$

که نتیجه می‌دهد $R_{in} \cong 38\ \text{k}\Omega$. انتقال از ورودی به بیس Q_1 برابر است با:

$$\frac{V_{b1}}{V_s} = \frac{R_{in}}{R_{in} + R_s} = 0.9\text{V/V} \qquad (7\text{-}82)$$

سپس، بهرهٔ امیتر - پیرو Q_1 را می‌توان بصورت زیر به دست آورد.

$$\frac{V_{e1}}{V_{b1}} = \frac{(R_{E1} // r_{\pi 2})}{(R_{E1} // r_{\pi 2}) + r_{e1}} = 0.98\text{V/V} \qquad (7\text{-}83)$$

نهایتاً، بهرهٔ تقویت‌کنندهٔ امیتر - مشترک Q_2 را می‌توان بصورت زیر تعیین کرد.

$$\frac{V_o}{V_{e1}} = -g_{m2}(R_C // R_L) = -80\text{V/V} \qquad (7\text{-}84)$$

بهرهٔ ولتاژ کلی را می‌توان با ترکیب معادلات (۷-۸۲) تا (۷-۸۴) به دست آورد.

$$\frac{V_o}{V_s} = -0.9 \times 0.98 \times 80 = -70.6\ \text{V/V} \qquad (7\text{-}85)$$

پاسخ فرکانس بالا را می‌توان از مدار معادل نشان داده شده در شکل (الف ۲۸-۷) به دست آورد. برای طبقهٔ دوم[1] قضیهٔ میلر رااستفاده می‌کنیم و مدار را تا حدودی ساده می‌کنیم تا مدار معادل شکل (ب۲۸-۷) به دست آید که

$$R'_s = (R_s // R_1 // R_2) \qquad (7\text{-}86)$$

۱- با فرض $g_m 2 R'_L >> 1$ به‌کار بردن قضیه میلر منجر به ظرفیت خازنی تقریبی مساوی با $C_\mu 2$ موازی با R'_L می‌شود. توجه کنید که این ظرفیت خازنی، ظرفیت خازنی خروجی تقویت‌کننده نیست (به مبحث قضیه میلر در بخش ۴-۷ رجوع کنید). با این وجود می‌توان از آن برای محاسبه f_H از روش ثابت زمانی مدار باز استفاده کرد.

$$V'_s = V_s \frac{(R_1 // R_2)}{(R_1 // R_2) + R_s} \qquad (۷-۸۷)$$

$$C_T = C_{\pi 2} + C_{\mu 2}(1 + g_{m2} R'_L) \qquad (۷-۸۸)$$

$$R'_L = (R_L // R_C) \qquad (۷-۸۹)$$

این مدار هنوز کاملاً پیچیده است و اجرای روش دقیق توسط شخص کاملاً دشوار است. ناچاراً، روش ثابت زمانی مدار باز را که در بخش ۷-۲ بیان شد برای تعیین f_H بصورت زیر به کار می‌بریم. خازن $C_{\mu 1}$ مقاومت $R_{\mu 1}$ را می‌بینید که برابر است با

$$R_{\mu 1} = (R_S // R_{in}) = (4 // 38) = 3.62\ \text{k}\Omega \qquad (۷-۹۰)$$

می‌توان نشان داد که $C_{\pi 1}$ مقاومت $R_{\pi 1}$ را می‌بینید که با رابطهٔ زیر داده شده است.

$$R_{\pi 1} = \left(r_{\pi 1} // \frac{R'_s + R'_{E1}}{1 + g_{m1} R'_{E1}}\right) \qquad (۷-۹۱)$$

که $R'_{E1} = (R_{E1} // R_{\pi 2})$، بنابراین $R_{\pi 1} = 80\ \Omega$ است

خازن C_T، که برابر با 175.9 pF است، مقاومت R_T را می‌بیند.

$$R_T = \left(R'_{E1} // \frac{r_{\pi 1} + R'_s}{\beta_1 + 1}\right) = 59\ \Omega \qquad (۷-۹۲)$$

خازن $C_{\mu 2}$ مقاومت R'_L را می‌بینید که برابر است با

$$R'_L = (R_L // R_C) = 2\ \text{k}\Omega \qquad (۷-۹۳)$$

بنابراین ثابت زمانی مؤثر بصورت زیر داده می‌شود.

$$\tau = C_{\mu 1} R_{\mu 1} + C_{\pi 1} R_{\pi 1} + C_T R_T + C_{\mu 2} R'_L = 22.7\ \text{ns} \qquad (۷-۹۴)$$

که متناظر با فرکانس ۳ dB بالای

$$f_H \cong \frac{1}{2\pi\tau} = 7\ \text{MHz}$$

می‌باشد.

اگرچه فرکانس ۳ dB بالا برای این تقویت‌کننده به بزرگی مقدار به دست آمده برای تقویت‌کنندهٔ Cascode، (8.95 MHz) نیست، در اینجا بهرهٔ باند میانی، 70.6، بزرگتر از مقدار پیداشده برای Cascode(23.1) می‌باشد. یکی از معیارهای کیفیت تقویت‌کننده، حاصلضرب بهره - پهنای باند آن است.

نهایتاً توجه می‌کنیم که مشابه روش این بخش را می‌توان برای مدار دو طبقهٔ درین مشترک سورس مشترک و طبقه تقویت‌کنندهٔ BiCMOS به فرم درین مشترک امیتر مشترک به کار برد. (مسأله ۷-۷۴ را ببینید)

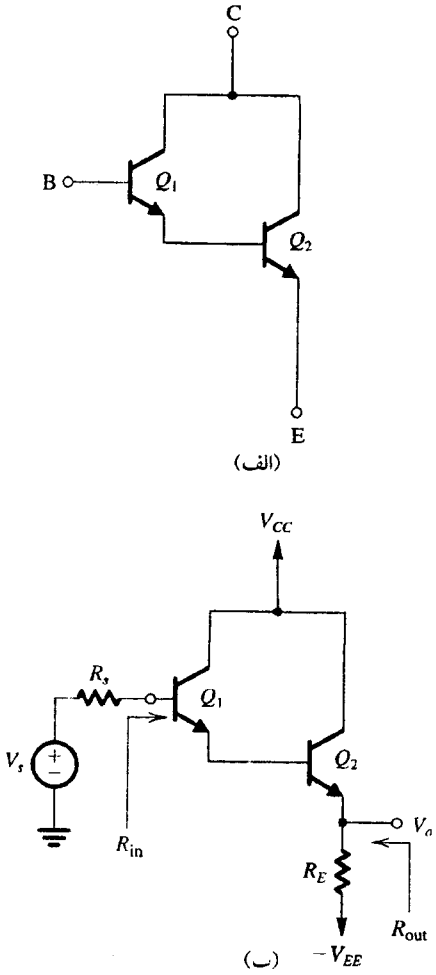
تمرینها

۷-۲۰ با استفاده از روش ثابت زمانی مدار اتصال کوتاه یک مقدار تقریبی برای فرکانس ۳ dB پایین f_L تقویت‌کنندهٔ شکل ۷-۲۷ به دست آورید. همچنین فرکانس صفر تولیدشده توسط C_E را پیدا کنید.

جواب. $R_{C1}=42\text{k}\Omega$ ، $R_{CE}=25.4\Omega$ ، $R_{C2}=8\text{k}\Omega$ ، $f_L=15\text{Hz}$ ، $f_z=0.94\text{Hz}$

۷-۲۱ ترکیب کلکتور مشترک - امیتر مشترک که در این بخش مطالعه شد را می‌توان توسط اتصال دو ترانزیستور به فرم نشان داده شده در شکل (الف ۷-۲۱ ت) بهبود بخشید. این ترکیب، که بعنوان **آرایش دارلینگتون** شناخته می‌شود، معادل یک ترانزیستور با $\beta \cong \beta_1 \beta_2$ می‌باشد که آنرا می‌توان بعنوان یک پیرو با قابلیت بالا مثل آنچه در شکل (ب ۷-۲۱ ت) آمده است، به کار برد. برای مدار آخری، فرض کنید که Q_2 در $I_E = 5\text{mA}$ بایاس شده است و $R_s=100\text{k}\Omega$ باشد، $R_E = 1\ \text{k}\Omega$ و $\beta_1 = \beta_2 = 100$ باشد. مقادیر R_{in}، V_o/V_s و R_{out} را بیابید.

جواب. $10.3\ \text{M}\Omega$، $0.98\ \text{V/V}$، $20\ \Omega$ ❑



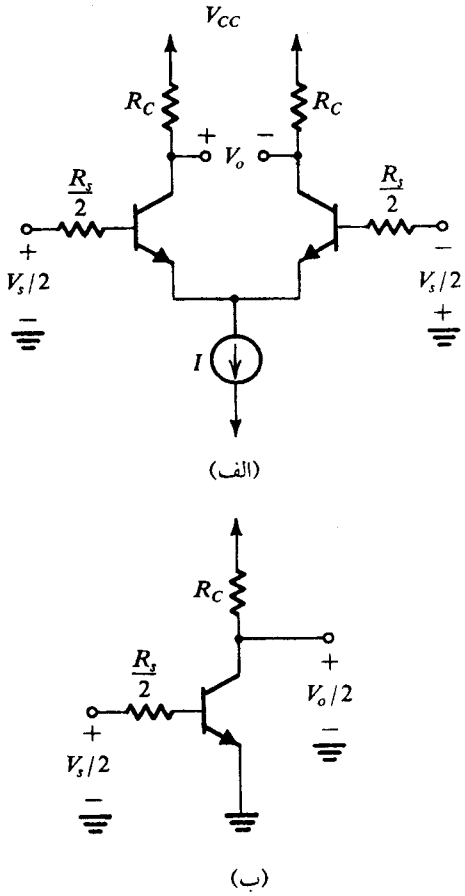
شکل (۷-۲۱ ت). (الف) آرایش دارلینگتون (ب) ولتاژ پیرو با استفاده از آرایش دارلینگتون

۷-۸ پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی

زوج دیفرانسیلی مطالعه شده در فصل ۶ مهمترین ساختار به کار رفته در طراحی مدارهای مجتمع پیوسته می‌باشد. در این بخش پاسخ فرکانسی آنرا تحلیل می‌کنیم. گرچه فقط زوج دیفرانسیلی را برای BJT درنظر می‌گیریم، این روش را می‌توان برای زوج FET نیز بطور مشابه به کار برد.

تغییر بهره تفاضلی با فرکانس

تقویت‌کنندهٔ تفاضلی نشان داده شده در شکل (الف ۷-۲۹) را درنظر بگیرید. سیگنال ورودی V_s بصورت مکمل (Push - Pull) اعمال



شکل ۲۹-۷. (الف) زوج تفاضلی با تحریک متقارن. (ب) نیم‌مدار معادل آن

می‌شود، و مقاومت منبع R_s بین دو طرف بصورت مساوی تقسیم می‌شود. این حالت مثلاً هنگامی که تقویت‌کنندهٔ تفاضلی از خروجی یک طبقهٔ تفاضلی دیگر تغذیه می‌شود، پیش می‌آید.

از آنجا که مدار متقارن است و بصورت مکمل تغذیه می‌شود، پاسخ فرکانسی آن مشابه مدار معادل امیتر مشترک نشان داده شده در شکل (ب ۲۹-۷) است. مدار امیتر مشترک را بطور مفصل در بخش ۴-۷ تحلیل کردیم. از آنجا که تقویت‌کنندهٔ تفاضلی یک تقویت‌کننده با اتصال مستقیم است، بهرهٔ آن تا فرکانس صفر به مقدار فرکانس پایین زیر می‌رسد:

$$\frac{V_o}{V_s} = -\frac{r_\pi}{r_\pi + R_s/۲} g_m R_C \qquad (۷-۹۵)$$

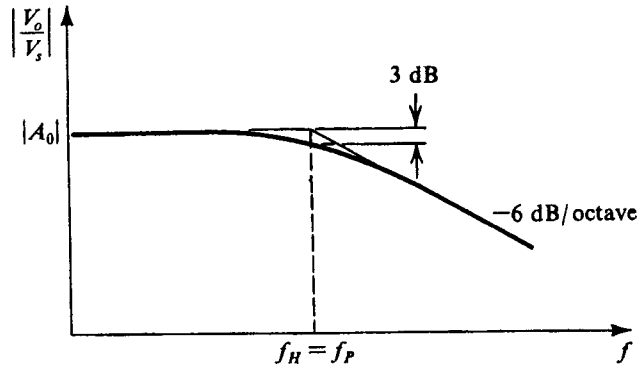
پاسخ فرکانس بالا توسط قطب حقیقی با فرکانس ω_p تأثیر می‌پذیرد،

$$\omega_p = \frac{۱}{[(R_s/۲)//r_\pi][C_\pi + C_\mu(۱ + g_m R_C)]} \qquad (۷-۹۶)$$

بهرهٔ فرکانس پایین در معادلهٔ (۹۵-۷) را با A_o نشان می‌دهیم. تابع انتقال زوج تفاضلی برابر است با

$$\frac{V_o}{V_s} = \frac{A_o}{۱ + s/\omega_P} \qquad (۷-۹۷)$$

بنابراین نمودار بهره بر حسب فرکانس دارای مشخصهٔ استاندارد تک - قطبیِ شکل (۳۰-۷) خواهد بود. فرکانس ۳ dB، ω_H برابر فرکانس



شکل ۳۰-۷. پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی

قطب‌است، $\omega_H = \omega_P$. در تحلیل فوق از r_x صرفنظر شده است، می‌توان این مقاومت را به راحتی با جایگزین‌کردن $R_s/۲ + r_x$ بجای $R_s/۲$ در معادلات (۹۵-۷) و (۹۶-۷) وارد کرد. بطور مشابه می‌توان با جایگزین کردن $(R_C//r_o)$ در معادله‌های (۹۵-۷) و (۹۶-۷) اثر مقاومت r_o را نیز به حساب آورد. توجه کنید که R_C مقاومت کلی بین هر کلکتور و زمین سیگنال است.

یادآوری می‌کنیم که تقویت کننده امیتر مشترک علاوه بر داشتن قطب غالب ناشی از اثر میلر، یک قطب و یک صفر غیر غالب هم دارد که فرمول‌های مربوط به آن‌ها در بخش ۴-۷ [مثلاً معادله (۶۱-۷)] را می‌توان مستقیماً برای تقویت کننده تفاضلی به کار برد.

اثر مقاومت امیتر در پاسخ فرکانسی

پهنای باند تقویت‌کنندهٔ تفاضلی را می‌توان با اضافه‌کردن دو مقاومت یکسان R_E در امیترها گسترش داد (یعنی می‌توان ω_H را افزایش داد). این کار به قیمت کاهش بهرهٔ فرکانس پایین انجام می‌شود. برای ارزیابی اثر مقاومت امیتر روی پاسخ فرکانسی، نیم مدار معادل شکل (الف ۳۱-۷) را در نظر بگیرید. بهرهٔ فرکانس پایین بصورت زیر داده شده است.

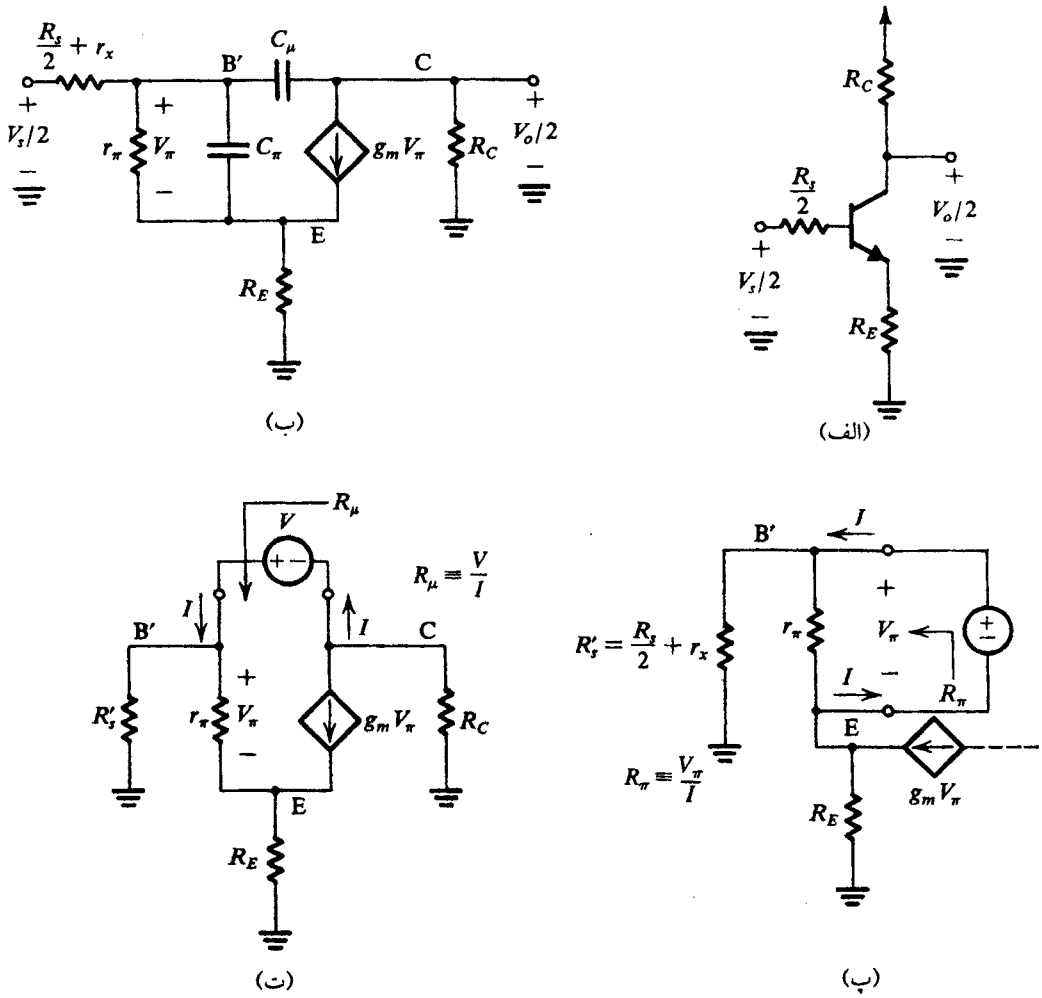
$$A_\circ \equiv \frac{V_o}{V_s} = \frac{-(\beta + ۱)(r_e + R_E)}{R_s/۲ + r_x + (\beta + ۱)(r_e + R_E)} \frac{\alpha R_C}{R_E + r_e} \qquad (۷-۹۸)$$

مدار معادل فرکانس بالا در شکل (ب ۳۱-۷) نشان داده شده است. از آنجا که دیگر استفاده از قضیه میلر کافی نمی‌باشد، از روش ثابت زمانی مدار باز که در بخش ۲-۷ توضیح داده شد، استفاده می‌کنیم. این روش بصورت زیر پیاده می‌شود: ابتدا C_μ را حذف کرده و مقاومت دیده شده توسط C_π را تعیین می‌کنیم، که R_π خوانده می‌شود. شکل (پ ۳۱-۷) مدار لازم برای پیداکردن R_π را نشان می‌دهد،

$$R_\pi = (r_\pi // \frac{R'_s + R_E}{۱ + g_m R_E}) \qquad (۷-۹۹)$$

سپس، مقاومت R_μ دیده شده توسط C_μ را می‌توان از مدار شکل (ت ۳۹-۷) تعیین کرد،

$$R_\mu = R_C + \frac{۱ + R_E/r_e + g_m R_C}{۱/r_\pi + (۱/R'_s)(۱ + R_E/r_e)} \qquad (۷-۱۰۰)$$



شکل ۳۱-۷. (الف) نیم‌مدار معادل تقویت‌کنندهٔ تفاضلی با مقاومت امیتر R_E. (ب) مدار معادل نیم‌مدار (الف). (پ) مداری برای تعیین مقاومت R_π دیده شده توسط C_π. (ت) مداری برای تعیین مقاومت R_μ دیده شده توسط C_μ.

ثابت زمانی مؤثر با رابطه زیر داده شده است.

$$\tau = C_\pi R_\pi + C_\mu R_\mu \qquad (۷-۱۰۱)$$

و فرکانس ۳ dB، ω_H برابر خواهد بود با:

$$\omega_H \cong \frac{1}{\tau} \qquad (۷-۱۰۲)$$

همان طور که از مثال‌های عددی ملاحظه می‌شود، استفاده از مقاومت امیتر منجربه افزایش ω_H و بنابراین پهنای باند تقویت کننده با ضریب تقریباً مساوی با ضریب کاهش بهره فرکانس پایین می‌شود. بنابراین حاصلضرب بهره در پهنای باند، ثابت می‌ماند و طراح می‌تواند با انتخاب مناسب R_E بین بهره و پهنای باند، عمل تبادل را انجام دهد.

تمرینها

۷-۲۲ تقویت‌کنندهٔ تفاضلی را در نظر بگیرید که با جریان $I = ۱$ mA بایاس شده است و دارای $R_C = ۱۰$ kΩ می‌باشد. فرض کنید تقویت‌کننده با یک منبع با $R_s = ۱۰$ kΩ تغذیه می‌شود. همچنین فرض کنید ترانزیستورهای به‌کار رفته دارای $\beta_0 = ۱۰۰$، $C_\pi = ۶$ pF، $C_\mu = ۲$ pF و $r_x = ۵۰$ Ω می‌باشند. بهرهٔ تفاضلی dc، A_0، فرکانس ۳ dB، ω_H، و حاصلضرب بهره - پهنای باند را پیدا کنید.

جواب. ۱۰۰ V/V (۴۰ dB)، ۱۵۵ kHz، ۱۵/۵ MHz

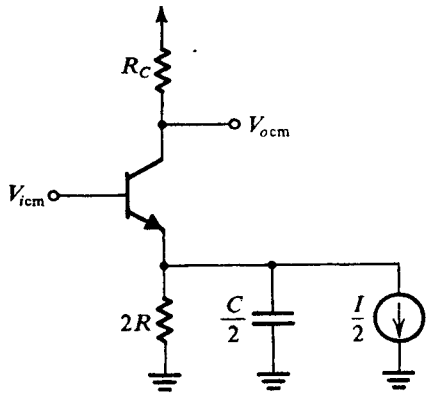
۷-۲۳ تقویت‌کنندهٔ تفاضلی تمرین ۷-۲۲ را در نظر بگیرید که مقاومت ۱۵۰Ω به امیتر هر ترانزیستور آن افزوده شده است. مقادیر A_0، R_π، R_μ، f_H و حاصلضرب بهره - پهنای باند را بیابید.

جواب. ۴۰V/V (۳۲dB)، ۱/۰۳kΩ، ۲۱۵/۶kΩ، ۳۶۴ kHz، ۱۴/۶ MHz

(توجه: اختلاف موجود بین حاصلضرب بهره پهنای باند محاسبه شده در تمرینهای ۷-۲۲ و ۷-۲۳ مربوط به تقریبهای متفاوتی است که به‌کار رفته است). □

تغییرات CMRR با فرکانس

نسبت حذف حالت مشترک (CMRR) یک تقویت‌کنندهٔ تفاضلی به چند علت در فرکانس بالا افت می‌کند، که مهمترین آنها افزایش بهرهٔ حالت مشترک بافرکانس است. برای اینکه چگونگی این کار را درک کنید، نیم مدار معادل حالت مشترک نشان داده شده در شکل (۷-۳۲) را در نظر بگیرید. در اینجا مقاومت R مقاومت خروجی است و خازن C ظرفیت



شکل ۳۲-۷. نیم‌مدار معادل حالت مشترک

خروجی منبع جریان بایاس است. از بررسیهای انجام شده روی پاسخ فرکانسی تقویت‌کنندهٔ امیتر مشترک در بخش ۴-۷، دریافتیم که مؤلفه‌های $2R$ و $C/2$ تولید یک صفر در تابع بهرهٔ حالت مشترک می‌کند. این صفر در فرکانس f_Z خواهد بود،

$$f_Z = \frac{1}{2\pi\,(2R)\,(C/2)} = \frac{1}{2\pi RC} \qquad (7\text{-}103)$$

از آنجا که R معمولاً خیلی بزرگ است، حتی یک ظرفیت خروجی کوچک C نیز تولید یک مقدار کوچک f_Z می‌کند. نتیجه این است که بهرهٔ حالت مشترک با شیب +6 dB/octave در فرکانسهای نسبتاً کم شروع به افزایش می‌کند، همچنانکه در شکل (الف ۳۳-۷) نشان داده شده است. بهرهٔ مشترک، بعلت اثر خازنهای داخلی C_π و C_μ و حالت قطب تولیدشده توسط $C/2$، در فرکانسهای بالاتر افت می‌کند.

رفتار بهرهٔ حالت مشترک نشان داده شده در شکل (الف ۳۳-۷)، بعلاوهٔ افت بهرهٔ تفاضلی فرکانس بالا (ب ۳۳-۷) سبب می‌شود که CMRR دارای پاسخ فرکانسی نشان داده شده در شکل (پ ۳۳-۷) باشد.

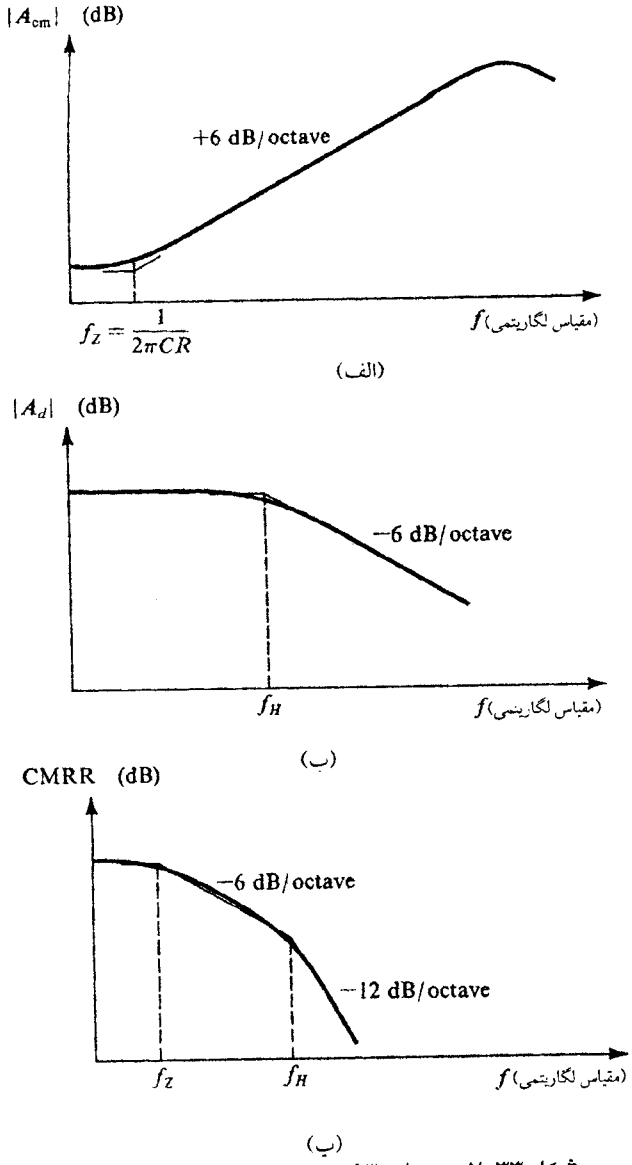
تمرین

۲۴-۷ یک تقویت‌کنندهٔ تفاضلی که توسط یک منبع جریان ثابت بایاس شده است، دارای مقاومت خروجی ۳۰ MΩ و ظرفیت خروجی ۲ pF است. فرکانسی را بیابید که در آن CMRR، ۳ dB افت می‌کند؟

جواب. ۲٫۶۵ kHz ❑

تقویت‌کننده تفاضلی با تحریک تک سر

در این بخش، نشان داده‌ایم تقویت‌کننده تفاضلی، چگونه در حالت مکمل یا push-pull راه اندازی می‌شود، بطور مشخص مقاومت منبع R_s، بطور مساوی بین دو طرف ورودی تقسیم می‌شود. این حالت، در تقویت کننده‌های تفاضلی عادی است، اما وجود عدم تطابق بین مقاومت‌های مدارهای بیس باعث ولتاژ آفست در زوج تفاضلی می‌شود. در واقع اگر یکی از بیس‌ها زمین شود و منبع سیگنال و مقاومت آن به بیس دیگر متصل شود، که اتصال متعارف در حالت تک سر است، ممکن است جریان‌های

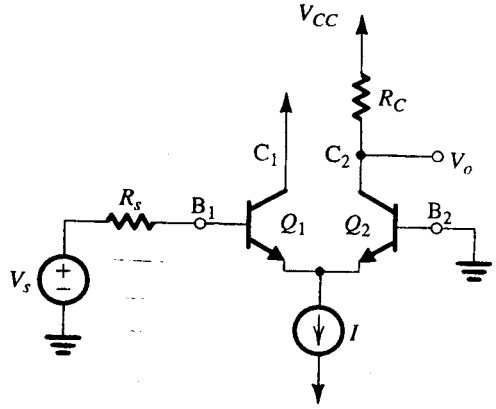


شکل ۳۳-۷. تغییرات (**الف**) بهرهٔ حالت مشترک (**ب**) بهره تفاضلی (**پ**) نسبت حذف حالت مشترک، با فرکانس

بایاس دو ترانزیستور اختلاف زیادی داشته باشند. غیر از این مسأله، پاسخ فرکانسی تقویت کننده تفاضلی تحریک شده بصورت تک سر تقریباً معادل پاسخ فرکانسی در حالت تحریک تقویت کننده تفاضلی کامل است. البته عدم توازن dc ایجاد شده توسط R_s را می‌توان با قرار دادن یک مقاومت مساوی با آن، بین بیس دیگر مدار و زمین، جبران کرد.

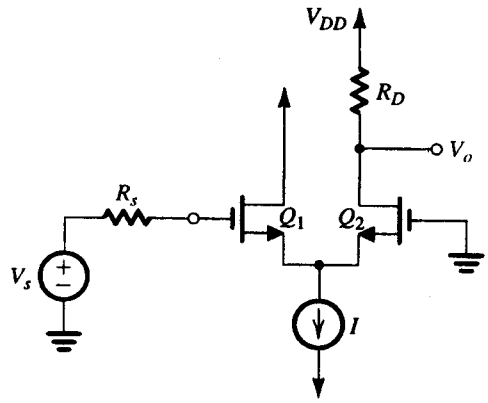
زوج تفاضلی بعنوان تقویت کنندهٔ با باند پهن: آرایش کلکتور مشترک، بیس مشترک

توجه به مدار تحریک تک سر، ما را به تغییری راهنمایی می‌کند که پهنای باند را بمیزان قابل توجهی افزایش می‌دهد. به یاد آورید که قطب فرکانس بالای غالب ناشی از ضریب میلر در C_μ مربوط به ترانزیستور ورودی و ارتباط متقابل خازن بزرگ حاصله با مقاومت منبع بود. بنابراین پاسخ فرکانس بالا را می‌توان به نحو قابل توجهی با حذف مقاومت R_C از کلکتور



شکل ۳۴-۷. زوج تفاضلی راه اندازی شده در حالت تک سر با حذف مقاومت کلکتور Q_1. بنابراین اثر میلر در Q_1 حذف می‌شود و پهنای باند تقویت کننده به نحو قابل توجهی افزایش می‌یابد. متأسفانه، R_s، تنها در مدار بیس یک ترانزیستور وجود دارد که باعث عدم توازن dc و به وجود آمدن ولتاژ آفست dc می‌شود. عدم توازن dc را می‌توان با وارد کردن یک مقاومت مساوی با R_s از بیس Q_2 و یک خازن کنار گذر بزرگ بین بیس Q_2 و زمین جبران کرد.

ترانزیستور ورودی، بهبود داد. نتیجه، در مدار شکل (۳۴-۷) نشان داده شده است. توجه کنید که کلکتور Q_1 اکنون در حالت زمین سیگنال بوده و بنابراین $C_{\mu 1}$ دارای اثر میلر نیست. البته این کار، به قیمت کاهش بهره به میزان ۱/۲ می‌شود. از آن مهم‌تر، خروجی در این حالت بصورت تک سر است که CMRR مدار را کاهش می‌دهد. بنابراین، مدار برای حالتی که نیاز به ولتاژ آفست پایین و CMRR بالا داریم، مناسب نیست. مدار دچار عدم توازن dc ناشی از R_s نیز می‌باشد. اگر R_s بزرگ باشد، این عدم توازن زیاد است، البته در این صورت مدار از نظر پاسخ فرکانس مفید است! به این نکته مهم باید توجه کرد که جبران عدم توازن dc با وارد کردن یک مقاومت مساوی با R_s بصورت سری با بار بیس Q_2 متأسفانه، مزیت پهنای باند مدار را از بین می‌برد چون در این صورت بیس Q_2 در ولتاژ زمین نبوده، $C_{\mu 2}$ در ضریب میلر ضرب شده و با مقاومت جدید R_s، قطب غالب جدیدی ایجاد می‌کند (اگر چه در همان فرکانس قبلی نیست). یکی از کارهایی که



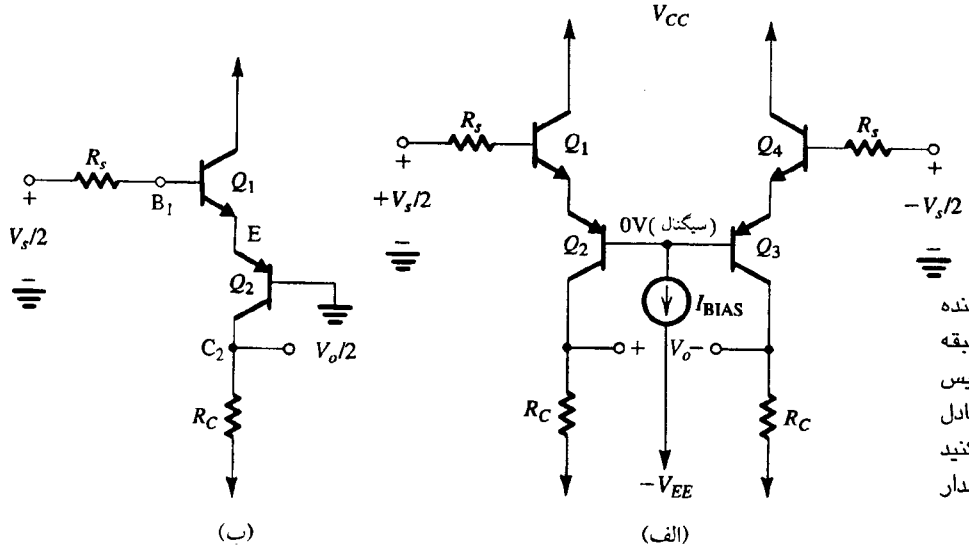
شکل ۳۵-۷. نوع MOSFET تقویت کننده CC-CB شکل (۳۴-۷)، در این جا بعلت صفر بودن جریان‌های dc گیت، عدم توازن dc ناشی از R_s وجود ندارد. البته هنوز مقداری عدم توازن، ناشی از اختلاف ولتاژ dc درین‌ها، وجود دارد.

تنها در حالت اتصال خازنی می‌توان انجام داد، تأثیر R_s فقط در توازن dc و حذف آن در فرکانس‌های سیگنال است که این کار با وارد کردن یک خازن بزرگ کنار گذر بین B_2 و زمین قابل انجام است.

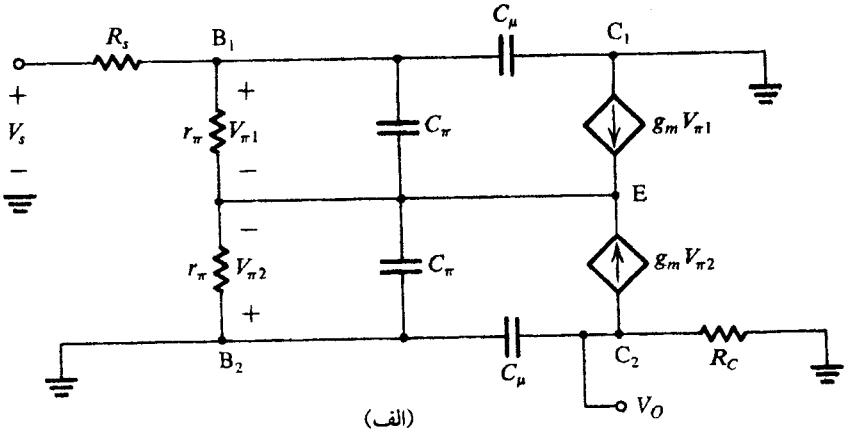
اگر چه مدار شکل (الف ۳۴-۷) از تقویت کننده تفاضلی به دست آمده می‌توان آن رابعنوان اتصال متوالی یک طبقه مشترک (Q_1) و یک طبقه بیس مشترک (Q_2) در نظر گرفت. در این صورت، Q_1 بعنوان میانگیر ورودی عمل می‌کند و Q_2 بهره ولتاژ را فراهم می‌آورد (کمی شبیه حالت تقویت کننده CC-CE).

مانند همهٔ مدارهای BJT در این فصل، نوع MOSFET مدار پهن باند، از شکل (الف ۳۴-۷) به دست آمده و در شکل (۳۵-۷) ترسیم شده است. مزایای این مدار بیش از مدار BJT است چون نسبت به عدم توازن dc ناشی از R_s بعلت عدم حضور جریان dc گیت ($\beta = \infty$)، حساسیت ندارد. اما هنوز مشکل عدم توازن بایاس dc وجود دارد، چون ولتاژهای dc درین Q_1 و Q_2 متفاوت است.

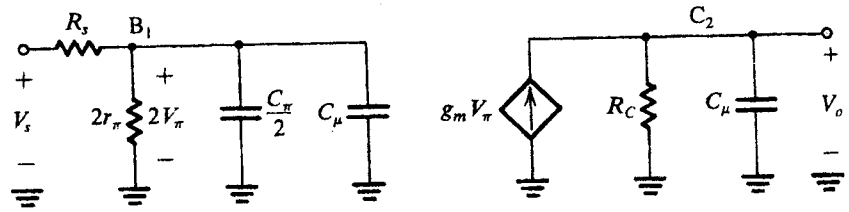
در شکل (الف ۳۶-۷) تقویت کننده تفاضلی که از ترانزیستورهای ورودی Q_1 و Q_4 در آرایش کلکتور مشترک و دو ترانزیستور Q_2 و Q_3 در آرایش



شکل ۳۶-۷. (الف) یک تقویت کننده تفاضلی با استفاده از اتصال متوالی طبقه کلکتور مشترک (Q_1 و Q_4) و طبقه بیس مشترک (Q_2 و Q_3). (ب) نیم مدار معادل تفاضلی تقویت کننده مدار (الف) توجه کنید که این اتصال متوالی CC-CB مانند مدار شکل (۳۴-۷) است.



(الف)



(ب)

شکل ۳۷-۷. (الف) مدار معادل تقویت کننده تفاضلی اصلاح شده شکل (۳۴-۷). (ب) مدار معادل ساده شده توجه کنید که این مدارهای معادل برای نیم مدار شکل (ب ۳۶-۷) نیز قابل کاربرد هستند (با تعویض V_s و V_o با $V_s/2$ و $V_o/2$). برای MOSFET مدار شکل (۳۵-۷) نیز با حذف $2r_\pi$، جایگزین کردن C_π با C_{gs}، C_μ با C_{gd}، V_π با V_{gs} و R_C با R_D، می‌توان از این مدارها استفاده کرد.

بیس مشترک بهره می‌برد، نشان داده شده است. Q_2 و Q_3 تشکیل یک تقویت کننده تفاضلی بیس مشترک می‌دهند که برای ورودی متقارن (یعنی ورودی‌های متقارن $+V_s/2$ و $-V_s/2$)، نقطه میانی (نقطه مشترک بیس‌های Q_2 و Q_3) در ولتاژ زمین سیگنال می‌باشد. بنابراین نیم مدار تفاضلی این تقویت کننده، مدار CC-CB است که در شکل (ب ۳۶-۷) نشان داده شده است. پاسخ فرکانسی این مدار، مانند مدار شکل (۳۴-۷) است. بایاس dc مدار شکل (الف ۳۶-۷) از طریق منبع جریان ثابت I_{BIAS} که نقطه مشترک بیس‌های Q_2 و Q_3 را تغذیه می‌کند. تأمین می‌شود و نسبت به مقادیر دقیق β ترانزیستور بسیار حساس است و در مدارهای عملی، یک مدار فیدبک جریان بایاس dc کلکتور Q_1 تا Q_4 را تثبیت می‌کند. این مطلب را در فصل ۱۰، که مدار *op-amp* نوع ۷۴۱ را بررسی می‌کنیم، نشان خواهیم داد. طبقه ورودی این *op-amp* آرایشی معادل شکل (الف ۳۶-۷) دارد.

تحلیل پاسخ فرکانسی آرایش CC-CB

تحلیل پاسخ فرکانسی آرایش CC-CB آسان بوده و بطور خلاصه بررسی می‌شود. این تحلیل برای مدارهای شکل‌های (۳۴-۷)، (۳۵-۷) و (۳۶-۷) انجام شده و برای آسان کردن آن فرض می‌کنیم که عدم توازن dc نداریم، یعنی هر دو ترانزیستور در یک جریان dc امیتر کار می‌کنند، در این صورت و با چشمپوشی از r_x و r_o، مدار معادل فرکانس بالا [شکل (الف ۳۷-۷) را ببینید] نشان می‌دهد که $V_{\pi 1} = -V_{\pi 2}$ (در MOSFET، $V_{gs1} = -V_{gs2}$) بوده و مدار را می‌توان به مدار شکل (ب ۳۷-۷) ساده کرد.

دقت در این مدار بینش خوبی به دنبال دارد. امپدانس ورودی در B_1 شامل اتصال سری $r_{\pi 1}$ و $r_{\pi 2}$ بصورت موازی با اتصال سری $C_{\pi 1}$ و $C_{\pi 2}$ است و در خروجی، R_C موازی با $C_{\mu 2}$ می‌باشد.

قطب‌های فرکانس بالا تقویت کننده CC-CB را می‌توان به راحتی از مدار شکل (ب ۳-۷) به دست آورد. این که کدام قطب غالب است بستگی به مقادیر نسبی R_S و R_C دارد. سرانجام، توجه کنید که این مدار معادل را می‌توان برای MOSFET نیز به کار برد [یعنی برای مدار شکل (۳۵-۷)]، بدین منظور C_π با C_{gs}، C_μ با C_{gd}، R_C با R_D تعویض شده و $r_\pi = \infty$ در نظر گرفته می‌شود.

تمرین

۷-۲۵ نشان دهید که بهره ولتاژ فرکانس پایین مدار شکل (۳۴-۷) از رابطه زیر به دست می‌آید:

$$\frac{V_o}{V_s} = \frac{\alpha R_C}{[R_s/(\beta + 1)] + 2r_e}$$

۷-۲۶ نشان دهید که بهره ولتاژ فرکانس پایین تقویت کننده شکل (۳۶-۷) از همان رابطه تمرین (۲۵-۷) به دست می‌آید.

۷-۲۷ نشان دهید که بهره ولتاژ فرکانس پایین مدار MOSFET شکل (۳۵-۷) از رابطه زیر به محاسبه می‌شود:

$$\frac{V_o}{V_s} = \frac{1}{2} g_m R_D$$

۷-۲۸ با استفاده از مدار معادل فرکانس بالای شکل (ب ۳۷-۷) نشان دهید که تقویت کننده CC-CB [شکل‌های (۳۴-۷) و (۳۶-۷)] دو قطب با فرکانس‌های زیر دارد:

$$f_{P1} = \frac{1}{2\pi\,(R_s//2r_\pi)\,(C_\pi/2 + C_\mu)}$$

و

$$f_{P۲} = \frac{۱}{۲\pi R_C C_\mu}$$

۷-۲۹ تقویت‌کننده تفاضلی شکل (۷-۳۶) را با بایاسی که در آن هر ترانزیستور در $I_C = ۰/۵mA$ کار می‌کند، در نظر بگیرید. $R_s = ۱۰k\Omega$، $R_C = ۱۰k\Omega$، $\beta = ۱۰۰$، $f_T = ۴۰۰MHz$ و $C_\mu = ۲pF$ می‌باشد. بهره فرکانس پایین، فرکانس‌های قطب‌های فرکانس بالا، و فرکانس ۳dB بالا، f_H را به دست آورید. از فرمول‌های تمرین‌های (۷-۲۵) و (۷-۲۸) استفاده کنید (توجه: اگر قطب‌ها نزدیک به یکدیگر باشند، f_H را بطور دقیق به دست آورید، یعنی فرکانسی که در آن بهره نسبت به مقدار فرکانس پایین به اندازه ۳dB افت می‌کند.)

جواب. ۵۰V/V ، $\omega_{P۱} = ۵۰Mrad/s$ ، $\omega_{P۲} = ۵۰Mrad/s$ ، $\omega_H = ۲۸/۵۳Mrad/s$ ، $(f_H = ۴/۵۴MHz)$ ❑

۷-۹ مثال‌هایی از شبیه سازی SPICE

یکی از مفیدترین کاربردهای SPICE، بررسی پاسخ فرکانسی تقویت کننده‌هاست. خواننده‌ای که نسبت به حل مسائل انتهای فصل اقدام کرده است، ارزش استفاده از SPICE را درک می‌کند. اما باید یک نکته در نظر گرفته شود: شبیه سازی SPICE نباید جایگزین تحلیل‌های دستی تقریبی شود. بنابراین قبل از انجام شبیه سازی SPICE، باید تحلیل با کاغذ و قلم انجام شود و از نتایج آن بتوان نتایج حاصله از SPICE را پیش بینی کرد. سپس با تحلیل SPICE نتایج را با تحلیل دستی مقایسه کرده و در صورت اختلاف زیاد در مورد علت آن، تحقیق کرد. بدون این کار طراح نمی‌تواند محدودیت‌های عملکرد مدار خود را پیش بینی نماید. سپس می‌تواند با تحلیل SPICE به بینشی عمیق‌تر دست یابد. در ادامه، طرح می‌تواند از شبیه سازی بعنوان ابزاری جهت آزمایش طراحی خود استفاده نماید.

بطور کلی با شبیه سازی می‌توان به مقادیر دقیق عناصر و پارامترها دست یافت و به مدل‌های دقیق‌تر عناصر که شامل اثرات مرتبه دوم و سوم هستند، رسید. مثلاً در مورد BJT، می‌توان مقادیر β، f_T، C_π و C_μ و نظایر آن را در نقطه کارهای dc مختلف به دست آورد.

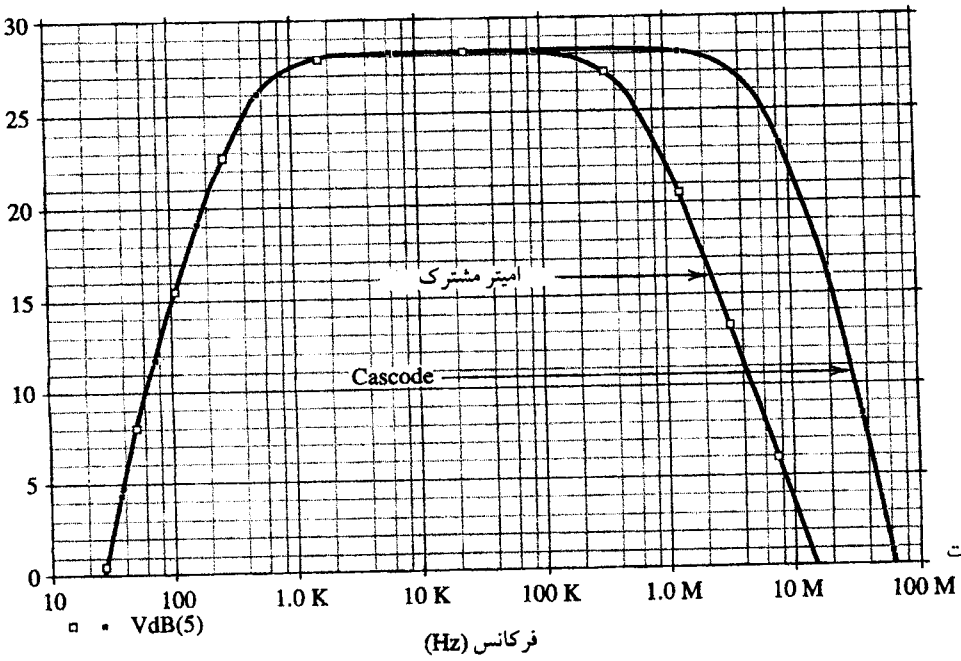
در ادامه، دو مثال که نکات فوق را تشریح می‌کنند، ارائه می‌شود.

مثال ۹-۷. پاسخ فرکانسی تقویت کننده‌های امیتر مشترک و CASCODE

در اولین مثال پاسخ فرکانسی تقویت کننده امیتر مشترک شکل (۷-۱۳) و تقویت کننده Cascode شکل (۷-۱۷) را بررسی می‌کنیم. برای انجام مقایسه نتایج به دست آمده از دو مدار، طراحی هر دو مشابه است برای مدار CE از مقادیر تمرین (۷-۹) تا (۷-۱۱)، یعنی $R_s=۴k\Omega$، $R_1 = ۸k\Omega$، $R_۲ = ۴k\Omega$، $R_E = ۳/۳k\Omega$، $R_C=۶k\Omega$، $R_L = ۴k\Omega$، $C_{C۱} = C_{C۲} = ۱\mu F$، $C_E=۱۰\mu F$ و $V_{CC} = ۱۲V$ و در تقویت‌کننده Cascode از مقادیر تمرین (۷-۱۷) یعنی $R_s = ۴k\Omega$، $R_1=۱۸k\Omega$، $R_۲=۴k\Omega$، $R_۳=۸k\Omega$، $R_E = ۳/۳k\Omega$، $R_C = ۶k\Omega$، $R_L = ۴k\Omega$، $C_{C۱} = C_{C۲}=۱\mu F$، $C_B = C_E = ۱۰\mu F$ و $V_{CC} = ۱۵V$ استفاده شده است. با این مقادیر، جریان بایاس dc هر ترانزیستور تقریباً مساوی با ۱mA بوده و بهره ولتاژ باید میانی هر دو مدار تقریباً برای مقادیر همانند R_s و R_L یکسان است. ترانزیستور مورد استفاده، 2N3904 بوده و پارامترهای آن از SPICE به دست آمده است. در جریان ۱mA، این ترانزیستور دارای $\beta_{ac} = ۱۶۰$ و $f_T = ۳۰۰MHz$ است. فایل ورودی SPICE برای دو مدار در ضمیمه ت آمده است [توجه کنید که گره‌های مدار در شکل‌های (۷-۱۳) و (۷-۱۷ ت) شماره گذاری شده‌اند]. این فایل شامل پارامترهای مدل 2N3904 نیز می‌باشد. دو نوع تحلیل انجام می‌شود: تحلیل نقطه کار dc (با فرمان OP.) و تحلیل ac (با فرمان AC.) در تحلیل نقطه کار نقطه بایاس dc برای هر ترانزیستور محاسبه شده و پارامترهای مدل هیبرید π سیگنال کوچک در نقطه کار ارزیابی می‌شود. نتایج به دست آمده (در دمای ۳۰۰K) بصورت زیر است:

تقویت‌کننده امیترمشترک		تقویت کننده Casecode		
NAME	Q۱	NAME	Q۱	Q۲
MODEL	Q۲N۳۹۰۴	MODEL	Q۲N۳۹۰۴	Q۲N۳۹۰۴
IB	۷/۳۴E-۰۶	IB	۷/۲۹E-۰۶	۷/۰۸E-۰۶
IC	۹/۹۷E-۰۴	IC	۹/۸۰E-۰۴	۹/۷۳E-۰۴
VBE	۶/۶۵E-۰۱	VBE	۶/۶۵E-۰۱	۶/۶۴E-۰۱
VBC	-۲/۰۴E+۰۰	VBC	-۱/۳۲E+۰۰	-۳/۲۵E+۰۰
VCE	۲/۷۰E+۰۰	VCE	۱/۹۹E+۰۰	۳/۹۱E+۰۰
BETADC	۱/۳۶E+۰۲	BETADC	۱/۳۵E+۰۲	۱/۳۷E+۰۲
GM	۳/۸۰E-۰۲	GM	۳/۷۴E-۰۲	۳/۷۱E-۰۲
RPI	۴/۱۰E+۰۳	RPI	۴/۱۳E+۰۳	۴/۲۵E+۰۳
RX	۱/۰۰E+۰۱	RX	۱/۰۰E+۰۱	۱/۰۰E+۰۱
RO	۷/۶۳E+۰۴	RO	۷/۶۹E+۰۴	۷/۹۴E+۰۴
CBE	۱/۷۹E-۱۱	CBE	۱/۷۷E-۱۱	۱/۷۶E-۱۱
CBC	۲/۴۳E-۱۲	CBC	۲/۶۶E-۱۲	۲/۱۷E-۱۲
CBX	۰/۰۰E+۰۰	CBX	۰/۰۰E+۰۰	۰/۰۰E+۰۰
CJS	۰/۰۰E+۰۰	CJS	۰/۰۰E+۰۰	۰/۰۰E+۰۰
BETAAC	۱/۵۶E+۰۲	BETAAC	۱/۵۴E+۰۲	۱/۵۸E+۰۲
FT	۲/۹۷E+۰۸	FT	۲/۹۲E+۰۸	۲/۹۸E+۰۸

چنانچه انتظار داشتیم جریان‌های dc کلکتور تقریباً ۱mA است. همان طور که در بخش (۱۶-۴) متذکر شدیم SPICE، مدل BJT از مقادیر مختلف برای β_{dc} (یعنی I_C/I_B) و β_{ac} (یعنی $i_c/i_b = g_m r_\pi$) که هر دو تابعی از جریان نقطه کار dc هستند، استفاده می‌کند. نهایتاً توجه کنید که $CBE = C_\pi$، $CBC = C_\mu$ بوده و CBX ظرفیت خازنی مزاحم بین بیس و کلکتور، و CJS ظرفیت خازنی بین کلکتور و زیر بنا می‌باشد. این دو خازن آخر را در تحلیل، منظور نکرده‌ایم. SPICE مقدار این دو خازن را



شکل ۳۸-۷. مقایسه پاسخ فرکانسی تقویت کننده‌های Cascode و امیتر مشترک

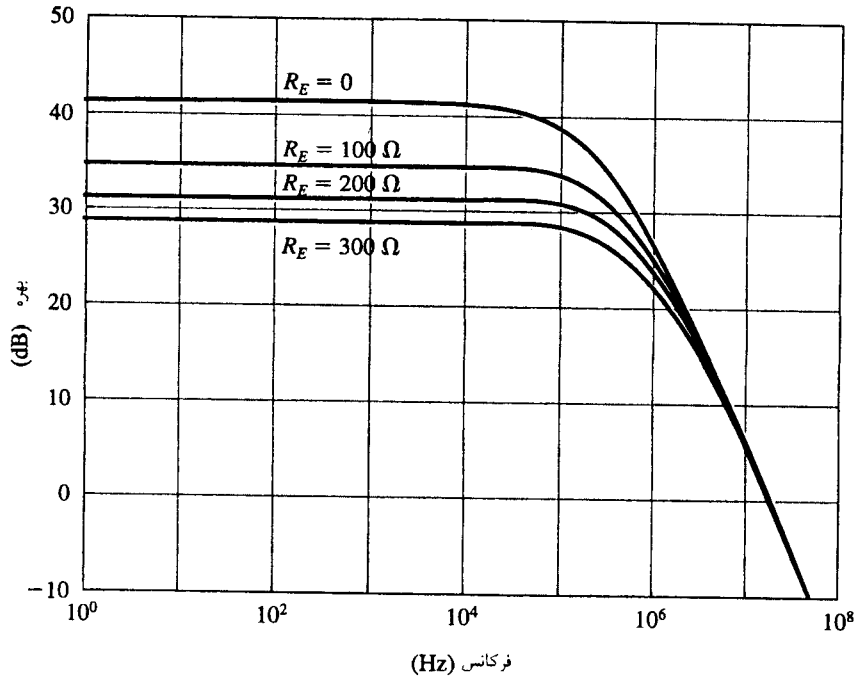
صفر در نظر می‌گیرد چون 2N3904 یک ترانزیستور گسسته است. علاوه بر آن SPICE مقدار C_μ را در هر نقطه کار محاسبه می‌کند و این مقادیر برای سه ترانزیستور فرق می‌کند. در تحلیل‌های دستی انجام شده در این فصل، از تغییر C_μ چشمپوشی کرده‌ایم.

فرمان تحلیل ac در SPICE بهره سیگنال کوچک را در گستره فرکانسی مشخص شده که در این مثال ۱Hz تا ۱۰۰MHz است. هر ترانزیستور را با مدل هیبرید π آن، جایگزین کرده و تحلیل را روی این مدار معادل انجام می‌دهیم، از آن جا که این مدار، خطی است، سطح سیگنال ولتاژ ورودی کمی غیر معمول می‌شود و بطور عادی ۱V را انتخاب می‌کنیم به گونه‌ای که ولتاژ خروجی مستقیماً بهره را نشان دهد. نتایج تحلیل، نمودارهای اندازه بهره هستند که در شکل (۳۸-۷) رسم شده‌اند. با توجه به این نمودارها می‌بینیم که هر دو تقویت کننده بهره باند میانی تقریباً یکسان (۲۸dB) و پاسخ فرکانس پایین تقریباً مساوی ($f_L \cong$ ۴۳۶Hz) دارند. اما پاسخ فرکانس بالای آن‌ها اختلاف قابل توجهی دارد، تقویت کننده Cascode دارای فرکانس ۳dB بالای مساوی با ۵/۸MHz است که بیش از ده برابر f_H تقویت کننده امیتر مشترک است که ۵۷۵kHz می‌باشد. در جدول (۲-۷) مقادیر بهره و فرکانس‌های ۳dB محاسبه شده توسط SPICE و مقادیر متناظر حاصل از تحلیل دستی، مقایسه شده‌اند. در تحلیل دستی، پارامترهای سیگنال کوچک قطعه که توسط SPICE محاسبه شده‌اند، در فرمول‌های ارائه شده از این فصل، مورد استفاده قرار گرفته‌اند. یادآوری می‌کنیم که نتایج به دست آمده منطقی هستند که بیانگر صحت تحلیل دستی است و البته این امر استفاده از SPICE را منتفی نمی‌سازد. البته انتظار نداریم که نتایج، در مدارهای پیچیده نیز نزدیک به یکدیگر باشد.

جدول ۲-۷. بهره باند میانی و فرکانس‌های ۳dB مربوط به تقویت کننده‌های امیتر مشترک و Cascode و مقایسه نتایج حاصل از تحلیل دستی و تحلیل SPICE

نوع تقویت کننده	پارامتر تقویت کننده	تحلیل دستی	SPICE	درصد خطا
امیتر مشترک	A_M (V/V)	− ۲۵/۵	− ۲۵/۴	۰/۲
	f_L (Hz)	۴۸۷/۴	۴۳۶	۱۱/۸
	f_H (kHz)	۵۸۷/۶	۵۷۵	۲/۲
Cascode	A_M (V/V)	− ۲۵/۸	− ۲۵/۶	۰/۹
	f_L (Hz)	۴۷۸/۸	۴۳۶	۹/۸
	f_H (MHz)	۵/۹۷	۵/۸۴	۲/۲

*در این ستون خطای نسبی (بر حسب درصد) بین مقدار پیش بینی و SPICE نشان داده شده است.



شکل ۳۹-۷. نمودارهای اندازه بهره تفاضلی، به ازای مقادیر مختلف مقاومت امیتر R_E که توسط SPICE محاسبه شده است. به مبادله بین بهره و پهنای باند توجه کنید. همه منحنی‌ها از خط صفر در فرکانس $f = ۱۴/۷\text{MHz}$ عبور می‌کنند که بیانگر ثابت بودن حاصل ضرب بهره در پهنای باند در این مقدار است.

مثال ۱۰-۷. اثر تغییر مقاومت امیتر روی بهره و پاسخ فرکانسی تقویت‌کننده تفاضلی

در دومین مثال شبیه سازی، اثرات تغییر مقاومت امیتر را روی بهره و پاسخ فرکانسی تقویت کننده تفاضلی BJT بررسی می‌کنیم. زوج تفاضلی با یک منبع جریان ایده آل $I = ۱\text{mA}$ بایاس شده و مقاومت‌های کلکتور $R_C = ۱۰\text{k}\Omega$ و منبع تغذیه ۱۰V می‌باشد. در حالت تک سر $R_s = ۵\text{k}\Omega$ و وارد کردن یک مقاومت مساوی با R_s بین بیس ترانزیستور دیگر و زمین کار می‌کند. ترانزیستورها نیز از نوع 2N3904 هستند. فایل ورودی SPICE در ضمیمه ت آمده است. تحلیل نقطه کار dc و ac برای چهار مقدار متفاوت مقاومت امیتر ($R_E = ۰ ، ۱۰۰\Omega ، ۲۰۰\Omega ، ۳۰۰\Omega$)، انجام شده است.

نمودارهای اندازه بهره تفاضلی محاسبه شده توسط SPICE در شکل (۲۹-۷) ترسیم شده است. واضح است که با افزایش R_E، بهره فرکانس پایین کاهش یافته و فرکانس ۳dB تقریباً به همان اندازه افزایش می‌یابد، بنابراین حاصل ضرب بهره در پهنای باند تقریباً در مقدار $۱۴/۷\text{MHz}$ ثابت می‌ماند. این مقدار از نقطه‌ای که پاسخ دامنه، خط صفر dB را قطع می‌کند به دست می‌آید. بنابراین طراح می‌تواند از R_E بعنوان ابزاری برای مبادله بهره و پهنای باند استفاده کند.

خلاصه

- نمودار بودی یک ابزار مناسب برای نمایش اندازه و فاز بهرهٔ تقویت‌کننده بر حسب فرکانس است، این نمودارها بخصوص برای تقویت‌کننده‌های با صفر و قطبهای حقیقی مناسب می‌باشند.
- بهرهٔ تقویت‌کننده روی باند فرکانس میانی تقریباً ثابت است. در فرکانسهای بالا که خازنهای مدل ترانزیستور، دیگر دارای رآکتانس زیادی نمی‌باشند، این بهره افت می‌کند. برای تقویت‌کننده‌های ac بعلت اینکه خازنهای اتصال و کنارگذر رآکتانس خیلی پایینی ندارند، بهره افت می‌کند.
- پهنای باند تقویت‌کننده محدوده‌ای است که بهره در آن به اندازهٔ ۳ dB پایین‌تر از مقدار بهره در باند میانی باقی می‌ماند. حدود پهنای باند، فرکانسهای f_L و f_H هستند (برای تقویت‌کننده ac تنها f_H با معنی است).
- اگر صفر و قطبهای تقویت‌کننده شناخته شده باشند (یا براحتی پیدا شوند)، آنگاه میتوان f_L و f_H را بصورت ترسیمی و یا تحلیلی پیداکرد. فرمولهای ساده و تقریبی برای به دست آوردن مقادیر قابل قبول برای f_L و f_H موجود است.
- اگر پیداکردن صفر و قطبها ساده نباشد، توسط روش ثابت زمانی مدار اتصال کوتاه (یا مدار اتصال باز) می‌توان یک مقدار تقریبی برای f_L (یا f_H) به دست آورد. دقت این روش اگر یک قطب غالب باشد و اگر صفرها مهم نباشند بهبود می‌یابد (یعنی اگر صفرها در باند فرکانس پایین در فرکانسهای خیلی پایین باشند و اگر صفرهای باند فرکانس بالا در فرکانسهای خیلی بالا باشند). این روش خازنی (یا خازنهایی) را که در تعیین پاسخ فرکانسی مؤثر است، درنظر می‌گیرد و بنابراین در طراحی مفید است.
- گفته می‌شود که تقویت‌کننده دارای یک قطب غالب در باند فرکانس پایین است اگر نزدیکترین صفر و یا قطب حداقل در چهار برابرِ فرکانس پایین‌تر (دو اکتاو) قرار داشته باشند. در فرکانس بالا قطب غالب وجود دارد اگر نزدیکترین صفر و قطب در حداقل دو اکتاو بالاتر قرار داشته باشند.
- اگر قطب غالب فرکانس پایین موجود باشد، آنگاه پاسخ فرکانسی اساساً از نوع پاسخ شبکهٔ بالاگذر STC است و f_L برابر فرکانس قطب می‌باشد. یک قطب غالب فرکانس بالا سبب می‌شود که پاسخ فرکانسی شبیه پاسخ شبکهٔ پایین‌گذر STC باشد و f_H برابر فرکانس قطب باشد.
- پاسخ فرکانس بالای تقویت‌کنندهٔ سورس مشترک (امیتر مشترک) توسط اثر میلر محدود می‌شود، که خازن فیدبک C_{gd} (C_μ) را چندبرابر می‌کند و یک قطب غالب در ورودی تولید می‌کند. توسط کاهش مقاومت منبع و یا مقاومت بار می‌توان پهنای باند را گسترش داد. آخرین عمل سبب

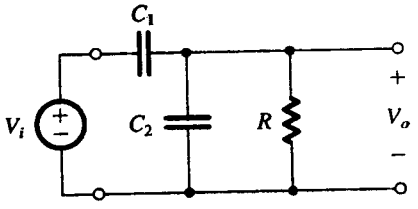
کاهش بهره می‌شود.

- بهرهٔ جریان مدار اتصال کوتاهِ امیتر - مشترک، h_{fe}، برابر β در فرکانسهای پایین است. مقدار β حول f_β با شیب ۶ dB/octave - افت می‌کند، تا در f_T به یک می‌رسد.
- آرایش بیس - مشترک (گیت - مشترک) از اثر میلر مصون است و بنابراین پهنای باند وسیعی دارد. اما این آرایش دارای مقاومت ورودی کمی است.
- آرایش Cascode پهنای باند وسیع مدار بیس - مشترک (گیت - مشترک) را با مقاومت ورودی زیادِ امیتر مشترک (سورس - مشترک) ترکیب می‌کند.
- مدار امیتر - پیرو (سورس پیرو) یک پهنای باند وسیع را با بالابردن f_T مهیا می‌کند.
- مدار متوالی‌شده کلکتور مشترک امیتر مشترک یک تقویت‌کننده با باند پهن و قابل مقایسه با Cascode را فراهم می‌کند.
- پاسخ فرکانسی زوج تفاضلی از تحلیل نیم مدار معادل آن به دست می‌آید، که یک آرایش امیتر مشترک (سورس مشترک) است.
- پهنای باند تقویت‌کنندهٔ تفاضلی را می‌توان با افزودن یک مقاومت در امیتر (سورس) گسترش داد (به قیمت کاهش بهره).
- CMRR یک زوج تفاضلی بعلت صفر تولید شده در بهرهٔ حالت مشترک در اثر ظرفیت خروجی منبع جریان بایاس کاهش می‌یابد.
- تقویت با باند پهن در اثر حذف مقاومت کلکتور (درین) ترانزیستور ورودی در زوج تفاضلی مهیا می‌شود، بنابراین مدار را بصورت مدار متوالی شدهٔ بیس مشترک کلکتور مشترک تبدیل می‌کند. البته مراقب باشید که زوج تفاضلی BJT در حالت تک سر، درگیر مسأله عدم توازن dc خواهد بود.

مسائل

بخش ۱-۷ تحلیل حوزهٔ S قطب‌ها، صفرها و نمودارهای بودی

۱-۷ تابع انتقال ولتاژ $T(s) \equiv V_o(s) / V_i(s)$ را برای شبکه‌های STC نشان داده شده در شکل (م ۱-۷) پیدا کنید. آیا شبکه STC است؟ اگر جواب مثبت است، از چه نوعی؟ برای $C_1=C_2=0/5\mu F$ و $R=100k\Omega$ محل صفر و قطبها را پیدا کنید و نمودار بودی را برای پاسخ اندازه و فاز رسم کنید.



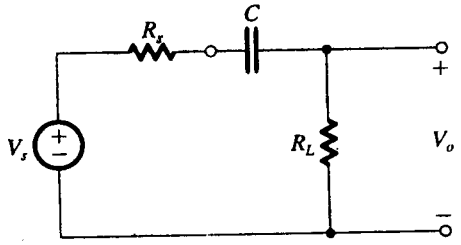
شکل (م ۱-۷)

۲-۷ (الف) تابع انتقال $T(s) = V_o(s)/V_i(s)$ را برای شبکه STC شکل (م ۲-۷) به دست آورید. (ب) در این مدار خازن C برای اتصال منبع سیگنال V_s که دارای مقاومت R_s است، به مقاومت بار R_L به کار رفته است. با $R_s = 10k\Omega$، R_L و C را با یک رقم معنی دار طوری به دست آورید که خواسته‌های زیر برآورده شود:

(۱) مقاومت بار تا حد امکان کوچک باشد.

(۲) سیگنال خروجی در فرکانس‌های بالا حداقل ٪ ۷۰ ورودی باشد.

(۳) خروجی در ۱۰Hz حداقل ٪ ۱۰ ورودی باشد.



شکل (م ۲-۷)

۳-۷ دو مدار STC RC که هر کدام یک قطب در ۱۰۰rad/s و بهره حداکثر واحد، دارند بصورت متوالی با یک میانگیر با بهره واحد که کار جداگانه هر یک را تضمین کند، بسته می‌شوند. ترکیبات ممکن (مدارهای پایین گذر، بالا گذر) و موارد زیر را به دست آورید: (۱) توابع انتقالی مربوط (۲) بهره ولتاژ در ۱۰rad/s (۳) بهره ولتاژ در ۱۰۰rad/s و (۴) بهره ولتاژ در ۱۰۰۰rad/s

۴-۷ تابع انتقال معادله (۵-۷) را با تعیین a_1 و ω_0 به گونه‌ای طراحی کنید که بهره در فرکانس‌های بالا، ۱۰V/V و در فرکانس ۱۰Hz، ۱V/V باشد.

۵-۷ یک تقویت‌کننده دارای پاسخ فرکانسی STC پایین‌گذر است. اندازهٔ بهره در حالت dc برابر ۲۰ dB و در ۱۰ kHz برابر ۰ dB است. فرکانس گوشه‌ای را تعیین کنید؟ در چه فرکانسی بهره برابر ۱۹ dB است؟ در چه فرکانسی فاز °۶ - است؟

۶-۷ یک تابع انتقال قطب‌هایی در (۵-)، (۱۰j + ۷-) و (۲۰-) و یک صفر در (۲۰j - ۱-) دارد. از آن جا که این تابع یک مدار فیزیکی واقعی را به نمایش می‌گذارد، قطب‌ها و صفرهای دیگر در چه مکانی هستند؟

۷-۷ تابع انتقال یک تقویت‌کننده $T(s) = \dfrac{10^6 s}{(S+10)(S+10^3)}$ است. تابع انتقال را به‌صورتی در آورید که ترسیم نمودار بودی آن آسان باشد [مخرج‌را بصورت $(1 + S/a)$ بنویسید]. نمودار بودی پاسخ اندازه را رسم کنید و با استفاده از آن مقدار تقریبی بهره را در ۱، ۱۰، 10^2، 10^3، 10^4 و 10^5rad/s به دست آورید. بهره واقعی در ۱۰rad/s چقدر است؟ در 10^3 چقدر؟

۸-۷ نمودار بودی فاز تابع انتقال تقویت کننده مسأله (۷-۷) را به دست آورید. زاویه فاز را در ۱، ۱۰، 10^2، 10^3، 10^4 و 10^5rad/s تخمین بزنید. برای مقایسه، فاز واقعی را در ۱، ۱۰ و ۱۰۰rad/s به دست آورید.

۹-۷ یک تابع انتقال دارای صفر و قطب‌های زیر است: یک صفر در $s = 0$، یک صفر در $s = \infty$، یک قطب در $s = -100$ و یک قطب در $s = -10^6$. اندازه تابع انتقال در $\omega = 10^4$rad/s، ۱۰۰ می‌باشد. تابع انتقال $T(s)$ را به دست آورده، نمودار بودی اندازه آن را رسم کنید.

۱۰-۷ نمودار بودی برای اندازه و فاز تابع انتقال

$$T(s) = \frac{10^4(1 + s/10^5)}{(1 + s/10^3)(1 + s/10^4)}$$

را رسم کنید. با توجه به نمودار مقدار اندازه و فاز در $\omega = 10^6$ rad/s را بیابید. مقادیر دقیق را توسط تابع انتقال تعیین کنید؟

۷-۱۱ یک تقویت‌کننده خاص، دارای تابع انتقال

$$T(s) = \frac{10s^2}{(1+\frac{s}{10})(1+\frac{s}{100})(1+\frac{s}{10^6})}$$

است. قطب‌ها و صفرها را به دست آورید. اندازه بهره را بر حسب dB نسبت به فرکانس روی محور لگاریتمی ترسیم کنید. بهره را در 10^0، 10^3، 10^5 و 10^7rad/s تخمین بزنید.

۷-۱۲ یک تقویت‌کنندهٔ تفاضلی با اتصال مستقیم دارای بهرهٔ تفاضلی ۱۰۰ با قطبهایی در 10^6 و 10^8rad/s، بهرهٔ حالت مشترک 10^{-3} با یک صفر در 10^4rad/s و یک قطب در 10^8 rad/s است. نمودارهای بودی اندازه را برای بهرهٔ تفاضلی، بهرهٔ حالت مشترک و CMRR رسم کنید. در 10^7 rad/s مقدار CMRR چقدر است؟ (راهنمایی: تقسیم اندازه‌ها به تفریق لگاریتمها تبدیل می‌شود.)

بخش ۷-۲ تابع انتقال تقویت‌کننده

۷-۱۳ یک تقویت‌کننده دارای تابع انتقال

$$A(s) = 10^2 \frac{s}{s + 2\pi \times 10} \frac{1}{1 + s/2\pi \times 10^5}$$

می‌باشد. نمودار بودی را برای اندازه رسم کنید و بهرهٔ باند میانی، فرکانس ۳ dB پایین f_L، و فرکانس ۳ dB بالای f_H را به دست آورید. همچنین، مقادیر تقریبی فرکانسهایی را که در آن بهره به مقدار واحد می‌رسد، بیابید.

ط*۷-۱۴ مدار معادل یک تقویت‌کننده در شکل (م ۷-۱۴) نشان داده شده است. منبع سیگنال ورودی توسط خازن C_C به ورودی تقویت‌کننده متصل شده است. خازن C_L نمایندهٔ ظرفیت پارازیتی روی بار R_L است.

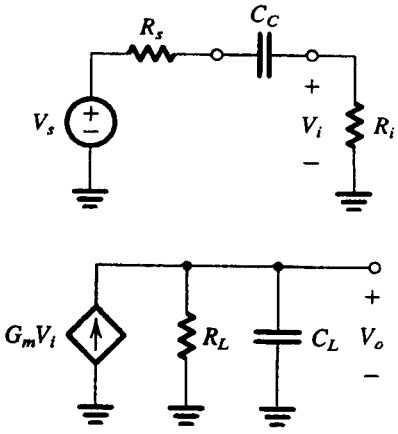
(الف) عبارتی برای بهرهٔ ولتاژ تقویت‌کننده $A(s) \equiv \frac{V_o(s)}{V_i(s)}$ به دست آورید.

(ب) با توجه به اینکه C_C سبب وابستگی بهره به فرکانس در فرکانس پایین به فرکانس و C_L سبب افت بهره در فرکانسهای بالاست، A_M، $F_L(s)$ و $F_H(s)$ را بیابید.

(پ) برای $R_s = 20$ kΩ، $R_i = 100$ kΩ و $R_L = 10$ kΩ، مقدار G_m را چنان بیابید که بهرهٔ باند میانی ۲۰ dB باشد.

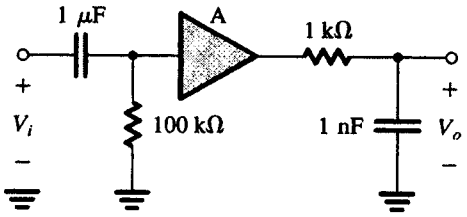
(ت) حداقل مقدار C_C را چنان تعیین کنید که f_L حداکثر ۱۰ Hz باشد.

(ث) حداکثر مقداری را که C_L میتواند داشته باشد تا f_H حداقل ۱ MHz باشد، به دست آورید.



شکل (م۷-۱۴)

۷-۱۵ اگر در مدار شکل (م ۷-۱۵)، A یک تقویت‌کنندهٔ ایده‌آل ولتاژ با بهرهٔ ۱۰۰ باشد، A_M، $F_L(s)$ و $F_H(s)$ را بیابید. همچنین ω_L و ω_H را تعیین کنید و فرکانسی را که در آن بهره به مقدار واحد می‌رسد به دست آورید.



شکل (م ۷-۱۵)

۷-۱۶ تقویت‌کننده‌ای را در نظر بگیرید که $F_H(s)$ آن بصورت زیر

$$F_H(s) = \frac{1}{(1+\frac{s}{\omega_{P1}})(1+\frac{s}{\omega_{P2}})}$$

با $\omega_{P1} < \omega_{P2}$ داده شده است. نسبت ω_{P2}/ω_{P1} را برای حالتی که اختلاف مقدار فرکانس ۳ dB، ω_H به دست آمده توسط تقریب قطب غالب، با مقدار محاسبه شده توسط رابطهٔ ریشهٔ مجموع مربعات (معادلهٔ ۲۲-۷) برابر الف) ۱۰% ب) ۱% باشد، به دست آورید.

۷-۱۷ یک تقویت‌کننده توسط اتصال پشت سرهم n طبقهٔ یکسان، که هریک با مشخصهٔ پاسخ بالاگذر STC و با فرکانس گوشه‌ای ω_o مشخص می‌شوند، شکل گرفته است. فرکانس ۳ dB پایین تقویت‌کنندهٔ حاصل را بر حسب ω_o و n بیابید. ω_L را برای ۴ و ۳ و ۲ = n به دست آورید.

۷-۱۸ برای تقویت‌کننده‌ای که تابع انتقال آن در مسأله (۱۷-۷) ارائه شده است، عباراتی برای $F_L(s)$، $A_L(s)$، $F_H(s)$، $A_H(s)$ به دست آورید. ω_L، ω_H و A_M را نیز بیابید. پهنای باند چقدر است؟ حاصل ضرب بهره در پهنای باند (GB) چقدر است؟

۷-۱۹ یک تقویت‌کننده خاص دارای قطب‌هایی در ۱۰، ۲۰، ۹۰ هرتز، و ۱۵ و ۴۰ کیلو هرتز است و صفرهای آن در صفر، ۱۵ هرتز و ∞ است. فرکانس‌های ۳dB پایین و بالا را با استفاده از (الف) تقریب قطب غالب و (ب) فرمول‌های ریشه دوم مجموع مربعات [فرمول‌های (۱۸-۷) و (۲۲-۷)] به دست آورید.

ط۷-۲۰** تابع انتقال یک تقویت‌کننده را با چهار قطب و بهره باند میانی ۴۰dB طراحی کنید که انتقال فاز آن در فرکانس‌های بهره واحد ۱۰Hz و 10^6Hz، ±۱۲۰° باشد و حداکثر پهنای باند ممکن را داشته باشد. صفرها باید فقط در صفر و بی‌نهایت قرار گیرند. محل قطب‌ها و پهنای باند حاصله را تعیین کنید.

۷-۲۱ پاسخ فرکانس پایین یک تقویت‌کننده توسط سه قطب در فرکانسهای ۱۰Hz، ۳Hz، و ۱Hz و سه صفر در $\omega = 0$ مشخص می‌شود. مقدار تقریبی فرکانس ۳ dB پایین f_L را به روشهای زیر تعیین کنید:

الف) تقریب قطب غالب.

ب) تقریب ریشه مجموع مربعات (معادلهٔ ۱۸-۷).

۷-۲۲ پاسخ فرکانس بالای یک تقویت‌کننده با اتصال مستقیم دارای

بهرهٔ dc، ۱۰۰V/V − و صفرهایی در ∞ و 10^6 rad/s و قطبهایی در 10^5 و 10^7 rad/s می‌باشد. توصیفی برای تابع انتقال تقویت‌کننده ارائه دهید. ω_H را برای حالات زیر پیدا کنید: الف) با استفاده از تقریب قطب غالب، ب) با استفاده از تقریب مجموع مربعات [معادله (۷-۲۲)]. اگر صفر محدود در فرکانس پایین‌تر به 10^5 rad/s منتقل شود، تابع انتقال چه می‌شود؟ فرکانس ۳ dB بالایِ تقویت‌کنندهٔ حاصل چقدر است؟

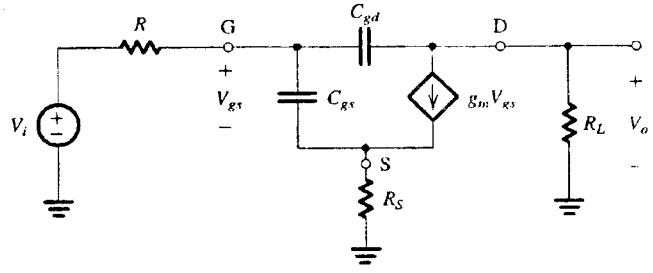
۷-۲۳ یک تقویت‌کننده با اتصال مستقیم دارای یک قطب غالب در ۱۰۰rad/s و سه قطب منطبق روی هم در فرکانسهای بالاتر است. این سه قطب غیر غالب سبب تأخیر فاز تقویت‌کننده در فرکانسهای بالا تا °۹۰ نسبت به قطب غالب می‌شود. لازم است که مقدار اضافهٔ فاز در $\omega = 10^6$ rad/s به °۳۰ محدود شود (یعنی، کل فاز را به °۱۲۰− محدود کنید). فرکانس قطبهای غیرغالب متناظر را بیابید.

ط ۷-۲۴ با توجه به مثال ۵-۷ توصیفی برای ω_H بر حسب C_{gs}، R' (توجه کنید که $R' = R_{in} // R$)، C_{gd}، R'_L و g_m به دست آورید. اگر همهٔ مقادیر بجز مقاومت منبع R بدون تغییر باقی بماند، R باید چقدر کاهش یابد تا f_H به ۱۵۰ kHz برسد؟

۷-۲۵ در طراحی یک تقویت کننده خاص، دو گره داخلی، دارای مقاومت ۱۰kΩ و ۲۰kΩ و ظرفیت خازنی ۵pF و ۲pF ناشی از عناصر و ظرفیت خازنی سیم بندی است، هنگامی که مدار به صورتی قالبی (ماژولار) ساخته می‌شود، ظرفیت خازنی ۱۰pF به هر یک از گره‌ها افزوده می‌شود. فرکانس قطب‌های مرتبط و فرکانس‌های قطع کلی را بر حسب هرتز برای طرح اصلی و قالبی به دست آورید.

۷-۲۶ یک تقویت کننده FET شبیه مثال (۵-۷) هنگامی که در جریان‌های پایین و امپدانس بالا کار می‌کند، دارای $R = 100k\Omega$، $R_{in} = 1/2M\Omega$، $g_m = 2mA/V$، $R'_L = 12k\Omega$ با $C_{gs} = C_{gd} = 1pF$ است. بهره ولتاژ باند میانی A_M و فرکانس ۳dB بالا یعنی f_H را به دست آورید.

ط ۷-۲۷** شکل (م ۲۷-۷) مدار معادل فرکانس بالایِ یک تقویت‌کنندهٔ FET با مقاومت R_s که به پایه سورس متصل شده را نشان می‌دهد. هدف از این مسأله این است که نشان دهیم مقدار R_s می‌تواند برای کنترل بهره و پهنای باند تقویت‌کننده به‌کار رود بویژه، این امکان را به طراح می‌دهد تا از تغییر بهره برای افزایش پهنای باند استفاده کند؟
الف) توصیفی برای بهرهٔ ولتاژ در فرکانس پایین به دست آورید (C_{gs} و C_{gd} را صفر قرار دهید).
ب) برای اینکه بتوان ω_H را به روش ثابت زمانی مدار باز تعیین کرد، توصیفی برای R_{gs} و R_{gd} به دست آورید.



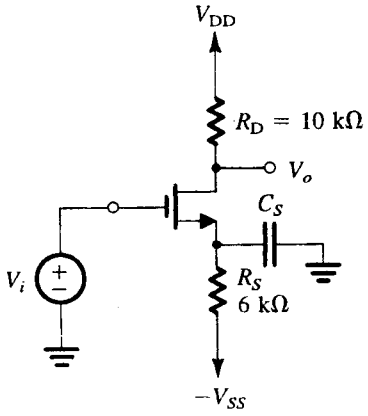
شکل (م ۲۷-۷)

پ) فرض کنید $R = 100k\Omega$، $g_m = 4mA/V$، $R_L = 5k\Omega$ و $C_{gs} = = C_{gd}$ 1 pF باشد.
از روابط بخش (الف) و (ب) استفاده کنید تا بهرهٔ فرکانس پایین و فرکانس ۳dB بالای ω_H را برای ۲۵۰ Ω و ۱۰۰ و ۰ = R_s به دست آورید. در هر حالت حاصلضرب بهره - پهنای باند را نیز به دست آورید.

بخش ۳-۷ پاسخ فرکانس پایین تقویت‌کنندهٔ سورس مشترک و امیتر مشترک

ط ۷-۲۸ تقویت‌کنندهٔ سورس مشترک شکل (۱۰-۷) را در نظر بگیرید. در حالت $R = 1M\Omega$ و $R_{in} \equiv R_{G1} // R_{G2} = 1M\Omega$، چه مقداری باید برای C_{C1} انتخاب کرد تا قطب موردنظر در ۱۰ Hz باشد؟ چه مقداری را در نظر خواهید گرفت اگر خازنهای موجود فقط یک رقمی باشند و فرکانس قطب بیشتر از ۱۰ Hz نباشد؟ فرکانس قطب، f_{p1}، به دست آمده، چقدر است؟ اگر طراح بخواهد با افزایش R_{in} مقادیر کمتری داشته باشد، چه مقادیری را می‌تواند انتخاب کند، اگر مقاومتهای موجود به ۱۰ برابر مقدار فعلی محدود باشند؟

ط ۷-۲۹ تقویت‌کنندهٔ شکل (م ۲۹-۷) به صورتی بایاس شده که $I_D = 1mA$ و $g_m = 1mA/V$ است. از r_o صرفنظر کنید و بهرهٔ باند میانی را بیابید. مقدار C_s را که قطب موردنظر را در ۱۰ Hz قرار می‌دهد به دست آورید. فرکانس صفر تابع انتقال که توسط C_S ایجاد می‌شود، چقدر است؟ توصیفی برای تابع بهرهٔ $V_o(s)/V_i(s)$ ارائه دهید. بهرهٔ تقویت‌کننده در حالت dc چقدر است؟



شکل (م ۲۹-۷)

۷-۳۰ یک تقویت‌کنندهٔ سورس مشترک از یک مقاومت $R_S = 4/7k\Omega$ برای داشتن $g_m = 1/2\ mA/V$ استفاده می‌کند. خازن کنار گذر سورس برابر ۱۰ μF انتخاب شده است. فرکانسهای صفر و قطب متناظر را به دست آورید. اگر بجای R_S یک منبع جریان قرار بگیرد به صورتی که g_m ثابت بماند، فرکانس صفر و قطب چه تغییری خواهند کرد؟

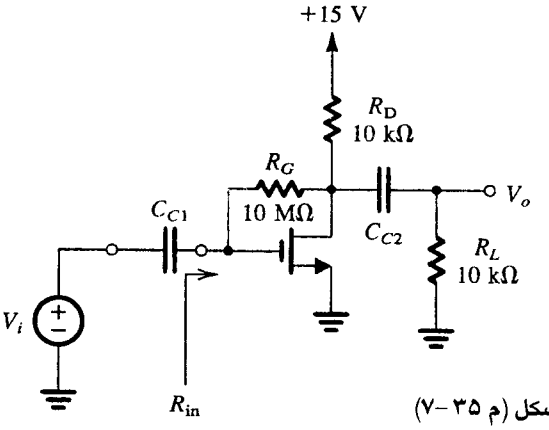
ط ۷-۳۱ تقویت‌کنندهٔ شکل (۱۰-۷) را در نظر بگیرید، با مدار معادل خروجی شبیه آنچه در شکل ۱۲-۷ آمده است. فرض کنید $R_D = 15k\Omega$، $r_o = 150k\Omega$ و $R_L = 10\ k\Omega$ قرار دهید. مقدار C_{C2}، که با یک رقم مشخص می‌شود، را چنان به دست آورید که قطب مربوطه در ۱۰ Hz یا کمتر از آن باشد. اگر در طراحی توان بالا I_D دو برابر شود، با کاهش R_D و r_o به نسبت ۲، فرکانسهای گوشه‌ای چه خواهند شد (متناظر با C_{C2})؟ برای طراحی‌های توان بالاتر، حداکثر فرکانس گوشه‌ای متناظر با C_{C2} را به دست آورید.

۷-۳۲ در نوع خاص از مدار شکل (۷-۱۰)، $R=100\,k\Omega$ ، $R_{G1}=47\,M\Omega$ ، $R_{G2}=10\,M\Omega$ ، $R_S=2\,k\Omega$ ، $R_D=4.7\,k\Omega$ ، $R_L=10\,k\Omega$ ، $C_{C1}=0.01\,\mu F$ ، $C_{C2}=0.1\,\mu F$ و $C_S=10\,\mu F$ است ترانزیستور به‌گونه‌ای بایاس شده که $g_m=1\,mA/V$ است. فرکانس سه قطب مرتبط و صفر را به دست آورده، بهره باند میانی را محاسبه کنید.

۷-۳۳ در مدار FET سورس مشترک نشان داده شده در شکل (۷-۱۰) که مقادیر مقاومت آن در مسأله (۷-۳۲) داده شده، خازن‌های اتصال و کنارگذر را طوری طراحی کنید که قطب‌ها در ۳۰Hz ، ۱۰Hz و ۳Hz باشند. از کمترین مقدار ممکن برای خازن‌های با یک رقم معنی‌دار استفاده کنید. فرکانس‌های صفر و قطب حاصل، چقدر است؟

۷-۳۴ یک طراح می‌خواهد در وضعیت گفته شده در مسأله (۷-۳۳)، پاسخ فرکانس پایین کلی را مطابق روش حذف قطب-صفر، ساده نماید. در این روش فرکانس قطب را مساوی فرکانس صفر قرار می‌دهند. مدار را طوری طرح کنید که بالاترین قطب در ۳۰Hz و پایین‌ترین قطب در ۳Hz قرار گیرند در حالی که قطب سوم توسط صفر مرتبط با C_S حذف می‌شود. از خازن‌های با یک رقم معنی‌دار (به غیر از خازن مورد استفاده برای حذف قطب-صفر) استفاده کنید. برای این خازن دو خازن یک رقمی بصورت موازی به کار ببرید. در غیر این صورت خازن‌های مورد استفاده را حداقل کنید. فرکانس‌های بحرانی حاصل چقدر هستند؟ بهره تقویت کننده در ۳۰Hz چقدر است؟ در ۳۰۰Hz چقدر؟

ط ۷-۳۵ شکل (م ۷-۳۵) یک تقویت‌کنندهٔ MOS را که تحلیل باند میانی و نقطهٔ کار آن در مثال ۸-۵ آمده نشان می‌دهد. MOSFET در $I_D=1.06\,mA$ بایاس شده و دارای $g_m=0.725\,mA/V$ و $r_{o2}=47\,k\Omega$ است. تحلیل باند میانی نشان داد که $V_o/V_i=-3.3\,V/V$ و $R_{in}=2.33\,M\Omega$ می‌باشد. مقادیر مناسبی برای دو خازن چنان به دست آورید که پاسخ فرکانس پایین دارای قطب غالب در ۱۰ Hz و قطب دیگری در حداقل ده برابر پایین‌تر باشد. (راهنمایی: برای تعیین قطب متناظر با C_{C2} از مقاومت R_G می‌توان صرفنظر کرد.)



شکل (م ۷-۳۵)

۷-۳۶ تقویت کننده امیتر مشترک (۷-۱۳) را با شرایط زیر در نظر بگیرید:

$R_S=5\,k\Omega$ ، $R_1=33\,k\Omega$ ، $R_2=22\,k\Omega$ ، $R_E=3.9\,k\Omega$ ، $R_C=4.7\,k\Omega$ ، $R_L=5.6\,k\Omega$ ، $V_{CC}=5\,V$ جریان امیتر $I_E\approx 0.33\,mA$ در $\beta=120$ و $r_o=300\,k\Omega$ و $r_x=50\,\Omega$ است. مقاومت ورودی R_{in} و بهره باند میانی A_M را به دست آورید. برای $C_{C1}=C_{C2}=1\,\mu F$ و $C_E=10\,\mu F$ فرکانس ۳dB را در فرکانس پایین تخمین بزنید. فرکانس صفر ایجاد شده توسط C_E را نیز بیابید.

۷-۳۷ در تقویت کننده مسأله (۷-۳۶) خازن‌های اتصال و کنارگذر را طوری انتخاب کنید که فرکانس ۳dB پایین ، ۱۰۰Hz باشد، صفر، قطب ایجاد شده توسط C_{C2} را حذف کند و سهم C_{C1} در تعیین f_L ، فقط ۱% باشد.

۷-۳۸ مدار شکل (۷-۱۳) را در نظر بگیرید و برای $R_S=10\,k\Omega$ ، $R_B=R_1//R_2=10\,k\Omega$ ، $r_x=100\,\Omega$ ، $r_\pi=1\,k\Omega$ ، $\beta_o=100$ ، $R_E=1\,k\Omega$ ، نسبت C_E/C_{C1} که سهم آن‌ها را در تعیین ω_L مساوی کند، چیست؟

ط* ۷-۳۹ در تقویت کننده امیتر مشترک شکل (م ۷-۳۹) از r_x و r_o چشمپوشی کرده و فرض کنید منبع جریان ایده آل باشد.

(الف) عبارتی برای بهره باند میانی به دست آورید.

(ب) عبارتی برای فرکانس‌های قطب‌ها به دست آورید. صفرها در چه مکانی هستند؟

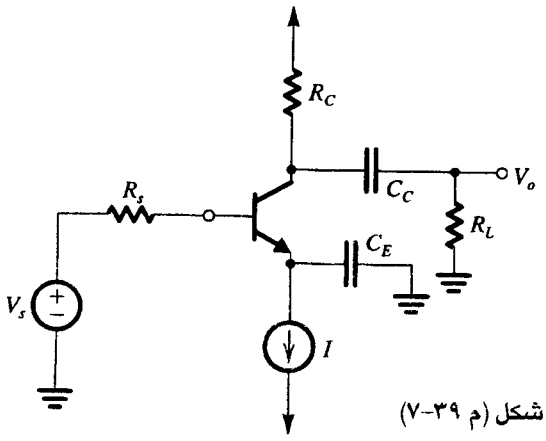
(پ) بهره ولتاژ تقویت کننده $A(s)$ چیست؟

(ت) برای $R_S=R_C=R_L=10\,k\Omega$ ، $\beta=100$ و $I=1\,mA$ مقدار بهره باند میانی را بیابید.

(ث) مقادیر C_E و C_C را به گونه‌ای انتخاب کنید که دو قطب با ضریب ۱۰ از یکدیگر فاصله داشته، و فرکانس ۳dB پایین، ۱۰۰Hz بوده و اندازه خازن‌ها حداقل باشد.

(ج) نمودار بودی را برای اندازه بهره ترسیم کرده، فرکانسی را که بهره در آن به مقدار واحد می‌رسد، به دست آورید.

(چ) انتقال فاز را در ۱۰۰Hz به دست آورید.



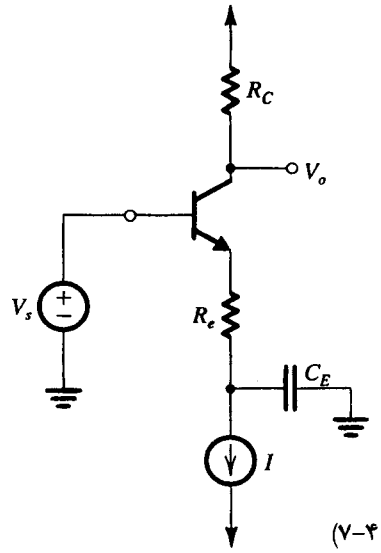
شکل (م ۷-۳۹)

۷-۴۰ تقویت کننده امیتر مشترک BJT شکل (م ۷-۴۰) شامل مقاومت امیتر R_e است که قابل تغییر است.

(الف) با فرض $\alpha\cong 1$ و چشمپوشی از r_x و r_o و ایده آل بودن منبع جریان، عبارتی برای بهره ولتاژ سیگنال کوچک $A(s)\cong V_o/V_i$ به دست آورید. بهره باند میانی A_M و فرکانس ۳dB پایین، ω_L را بیابید.

(ب) نشان دهید که حضور R_e، اندازه A_M را با ضریب معینی کاهش می‌دهد، این ضریب چقدر است؟

(پ) نشان دهید که حضور R_e ، ω_L را با همان ضریب به دست آمده در قسمت (ب) کاهش می‌دهد و بنابراین می‌توان از آن برای مبادله بین بهره و پهنای باند استفاده کرد.



شکل (م ۴۰-۷)

(ت) به ازای $I = 1\text{mA}$، $R_C = 10\text{k}\Omega$ و $C_E = 100\mu\text{F}$، $|A_M|$ و f_L را با $R_e = 0$ به دست آورید. مقدار R_e را که به ازای آن f_L با ضریب ۵ کاهش می‌یابد، بیابید. بهره چقدر خواهد شد؟

بخش ۴-۷ پاسخ فرکانس بالای تقویت‌کننده‌های امیتر مشترک و سورس مشترک

۷-۴۱ با استفاه از قضیه میلر مقاومت ورودی R_{in} تقویت‌کننده شکل (م ۳۵-۷) را طوری تعیین کنید که بهره ولتاژ V_o/V_i در فرکانس‌های باند میانی، -3.3V/V باشد.

۷-۴۲ در یک تقویت‌کنندهٔ ایده‌آل ولتاژ با بهرهٔ $0.95\ \text{V/V}$، مقاومت $R = 100\ \text{k}\Omega$ بصورت فیدبک بسته شده است - یعنی بین پایانه‌های ورودی و خروجی - با استفاده از قضیهٔ میلر مقاومت ورودی مدار را بیابید.

۷-۴۳ در یک تقویت‌کننده FET خاص که بهره ولتاژ آن -27V/V است، ترانزیستور NMOS دارای $C_{gs} = 0.3\text{pF}$ و $C_{gd} = 0.1\text{pF}$ است. ظرفیت خازنی ورودی آن چقدر است؟ در چه گستره‌ای از مقاومت‌های منبع راه انداز انتظار دارید که قطب ورودی مرتبط از 10MHz فراتر رود؟

ط ۴۴-۷ در یک تقویت‌کننده FET مانند آنچه در شکل (۱۰-۷) نشان داده شده است، مقاومت منبع راه انداز $R = 100\text{k}\Omega$ و مقاومت ورودی تقویت‌کننده (که ناشی از شبکه بایاس است)، $R_{in} = 100\text{k}\Omega$ و $C_{gs} = 1\text{pF}$، $C_{gd} = 0.2\text{pF}$، $g_m = 3\text{mA/V}$، $r_o = 50\text{k}\Omega$، $R_D = 8\text{k}\Omega$ و $R_L = 10\text{k}\Omega$ است. فرکانس قطع 3dB، f_H و بهره باند میانی V_o/V_i را تعیین کنید. از روش اثر میلر استفاده کنید. برای دو برابر کردن f_H، طرح، تغییر R_o یا R_{in} را در نظر می‌گیرد. چه تغییر جداگانه‌ای در هر یک باید ایجاد شود تا f_H افزایش یابد. بهره ولتاژ در هر حالت چقدر است؟ کدام طرح را ترجیح می‌دهید؟

۷-۴۵ با استفاده از تحلیل دقیق که در معادله (۶۱-۷) ارائه شده است، در مدار توصیف شده در مسأله (۴۴-۷) فرکانس‌های صفر محدود و دو قطب که پاسخ فرکانسی مدار را مشخص می‌کنند، محاسبه نمایید. با استفاده از معادله (۶۵-۷) تقریبی از قطب دوم به دست آورید. فرکانس‌های صفر و قطب دوم با چه ضریبی از قطب غالب بیشتر می‌باشند؟ مقدار f_H چیست؟

۷-۴۶ یک تقویت‌کنندهٔ سورس مشترک FET دارای $R_{in} = 2\ \text{M}\Omega$، $g_m = 4\ \text{mA/V}$، $r_o = 100\ \text{k}\Omega$، $R_D = 10\ \text{k}\Omega$، $C_{gs} = 2\ \text{pF}$ و $C_{gd} = 0.5\ \text{pF}$ می‌باشد. به تقویت‌کننده یک منبع ولتاژ با مقاومت داخلی $500\ \text{k}\Omega$ اعمال می‌شود و به بار $10\ \text{k}\Omega$ متصل است، مقادیر زیر را به دست آورید:

الف) بهرهٔ کلی باند میانی A_M؟

ب) قطب غالب فرکانس بالا، با استفاده از تقریب میلر.

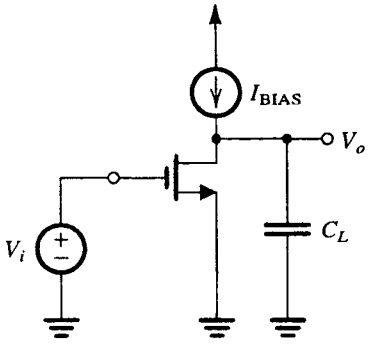
پ) محل صفر و قطب را با استفاده از تابع انتقال معادلهٔ (۶۱-۷).

۷-۴۷ تحلیل پاسخ فرکانس بالایِ تقویت‌کنندهٔ سورس مشترک، که در متن آمد، بر اساس این فرض بود که مقاومت منبع، R، به حد کافی بزرگ است تا باظرفیت ورودی تشکیل قطب غالب دهد. در این مسأله می‌خواهیم حالتی را در نظر بگیریم که این فرض برقرار نباشد. برای این کار تقویت‌کنندهٔ سورس مشترک (شکل ب ۱۶-۷) را با $R_s = 0$ درنظر بگیرید. از آنجا که، ظرفیت بار نقش مهمی را در تعیین پاسخ فرکانس بالا بازی خواهد کرد، خازن C_L را در مدل بین درین و زمین قرار دهید. چنین ظرفیتی نمایندهٔ مجموع ظرفیت ورودی طبقهٔ تقویت‌کنندهٔ بعدی، ظرفیت درین به زیر بنا C_{db} (در MOSFET)، ظرفیت پارازیتی ناخواسته در خروجی تقویت‌کننده و غیره است. مدار را تحلیل کنید تا تابع انتقال $V_o(s)/V_i(s)$ را بدست آورید و از آنجا صفر و قطبها را تعیین کنید. برای حالت $C_{gd} = 0.5\text{pF}$، $C_L = 2\ \text{pF}$، $g_m = 4\text{mA/V}$ و $R'_L = 5\text{k}\Omega$، فرکانسهای صفر و قطب را بیابید.

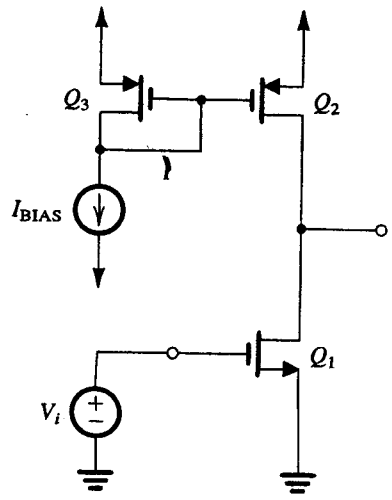
***۷-۴۸** (شکل م ۴۸-۷) یک تقویت‌کنندهٔ MOSFET سورس مشترک با بار فعال و منبع سیگنال ورودی V_i، که دارای مقاومت قابل صرفنظرکردن است، را نشان می‌دهد. ظرفیت C_L نمایندهٔ مجموع C_{db}، ظرفیت ورودی طبقهٔ بعدی، ظرفیت پارازیتی بین گره خروجی و زمین و غیره است. بجای MOSFET مدار معادل فرکانس بالای آن را بگذارید و ضمن تحلیل مدار نشان دهید که تابع انتقال برابر است با:

$$\frac{V_o}{V_i} = -g_m r_o \frac{1 - s/(g_m/C_{gd})}{1 + s(C_L + C_{gd})r_o}$$

به یاد داشته باشید که معمولاً صفر دارای فرکانسی بسیار بیشتر از قطب است و بنابراین قطب غالب می‌شود. نمودار بودی برای اندازه بهره را رسم کنید. توصیفی تقریبی برای فرکانسی که در آن اندازه واحد می‌شود به دست آورید. (این همان حاصلضرب بهره-پهنای باند است) بهرهٔ dc، فرکانس قطب، فرکانس صفر، و حاصلضرب بهره-پهنای باند را برای حالتی که، MOSFET در $I_D = 100\ \mu\text{A}$ دارای $g_m = 100\ \mu\text{A/V}$، $V_A = 50\ \text{V}$، $C_{gd} = 0.1\ \text{pF}$ و $C_L = 0.9\ \text{pF}$ است، محاسبه کنید.



شکل (م ۴۸-۷)



شکل (م ۴۹-۷)

۷-۴۹ می‌خواهیم پاسخ فرکانس بالای تقویت‌کننده CMOS نشان داده شده در شکل (م ۴۹-۷) را تحلیل کنیم، جریان بایاس dc، $100\mu A$ است. برای Q_1، $\mu_n C_{ox} = 90\mu A/V^2$، $V_A = 12.8V$، $W/L = 100\mu m/1.6\mu m$ و $C_{gs} = 0.2pF$، $C_{gd} = 0.015pF$ و $C_{db} = 20fF$ است. برای Q_2، $C_{gd} = 0.015pF$، $C_{db} = 36fF$ و $|V_A| = 19.2V$ است. یک خازن ناخواسته $0.3pF$ نیز بین اتصال درین مشترک و زمین وجود دارد. مقاومت مولد سیگنال ورودی نیز قابل چشمپوشی است. همچنین برای ساده‌کردن مسأله فرض کنید که ولتاژ سیگنال درگیت Q_2 صفر باشد. فرکانس صفر و قطب را به دست آورید.

ط ۷-۵۰** این مسأله کاربرد MOSFET در طراحی تقویت‌کننده‌های باندپهن را نمایش می‌دهد (استینینگر ۱۹۹۰) چنین تقویت‌کننده‌هایی را می‌توان توسط سری‌کردن چند طبقهٔ با بهرهٔ کم به دست آورد.

(الف) برای حالتی که $C_{gd} \ll C_{gs}$ و بهرهٔ تقویت‌کنندهٔ سورس مشترک پایین و در نتیجه اثر میلر قابل صرفنظرکردن است، نشان دهید که MOSFET را می‌توان توسط مدار معادل نشان داده شده در شکل الف (م ۵۰-۷) مدل کرد، که ω_T فرکانس بهره واحد MOSFET است.

(ب) شکل ب (م ۵۰-۷) یک طبقهٔ تقویت‌کننده با بهرهٔ کم و پهنای باند وسیع را نشان می‌دهد. ترانزیستورهای Q_1 و Q_2 دارای طول کانال مشابه L و پهناهای متفاوت W_1 و W_2 است. آنها را با V_{GS} مشابه بایاس کرده‌ایم و دارای f_T مشابه هستند. از مدار معادل MOSFET شکل الف (م ۵۰-۷) برای مدل‌کردن این طبقهٔ تقویت‌کننده استفاده کنید و فرض کنید که خروجی آن به ورودی مداری مشابه وصل شده است. نشان دهید که بهرهٔ ولتاژ V_o/V_i با رابطهٔ زیر به دست می‌آید:

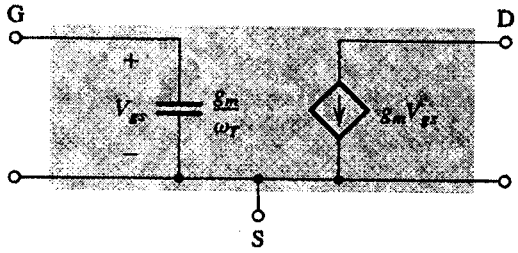
$$\frac{V_o}{V_i} = -\frac{A_0}{1 + \dfrac{s}{\omega_T/(A_0+1)}}$$

که در آن

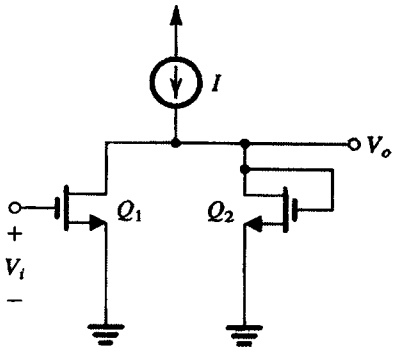
$$A_0 = \frac{g_{m1}}{g_{m2}} = \frac{W_1}{W_2}$$

می‌باشد.

پ) برای $L = 2\ \mu m$، $W_2 = 100\ \mu m$، $f_T = 2\ GHz$، $\mu_n C_{ox} = 20\ \mu A/V^2$ و $V_t = 1\ V$، مدار را طوری طراحی کنید که برای هر طبقه بهرهٔ ۳ را داشته باشید. MOSFET را در $V_{GS} = 3\ V$ بایاس کنید. مقادیر W_1 و I را مشخص کنید. فرکانس ۳ dB به دست آمده چقدر است؟



(الف)



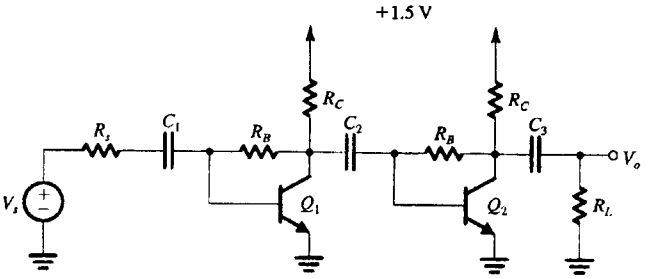
(ب)

شکل (م ۵۰-۷)

۷-۵۱ در تقویت‌کننده مسأله (۳۶-۷)، ترانزیستور دارای $f_T = 700\ MHz$ و $C_\mu = 1pF$ است. مقدار تقریبی فرکانس ۳dB بالا f_H را بیابید.

۷-۵۲ در تقویت‌کننده CE شکل (۱۳-۷)، $R_s = 10k\Omega$، $R_1 = 68k\Omega$، $R_2 = 27k\Omega$، $R_E = 2.2k\Omega$، $R_C = 4.7k\Omega$، $R_L = 10k\Omega$ است. جریان کلکتور، $0.8mA$ می‌باشد. $\beta = 200$، $f_T = 1GHz$ و $C_\mu = 0.8pF$ است. با چشمپوشی از اثر r_o و r_x، بهره ولتاژ باند میانی و محل تقریبی قطب و صفر فرکانس بالا را به دست آورید. مقدار فرکانس ۳dB بالا را نیز تخمین بزنید.

۷-۵۳** مدار نشان داده شده در شکل (م ۵۳-۷)، مدار تقویت‌کننده بسیار اصولی دو طبقه با اتصال خازنی است. در این جا $R_S = R_L = 1k\Omega$ است و عناصر متناظر هر طبقه همانند هستند: $R_C = 1k\Omega$، $R_B = 47k\Omega$، $C_1 = C_2 = 1\mu F$ و $C_3 = 10\mu F$ می‌باشد. برای ترانزیستور $\beta = 100$، $C_\mu = 0.8pF$ و $f_T = 600\ MHz$ است. جریان‌های بایاس، g_m، r_π، بهره ولتاژ کلی در باند میانی و فرکانس‌های ۳dB پایین و بالا را به دست آورید (راهنمایی: از روش میلر در محاسبه مقاومت‌های ورودی و ظرفیت‌های خازنی ورودی استفاده کنید).



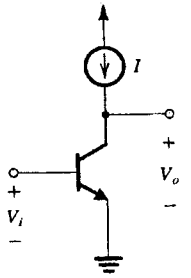
شکل (م ۵۳-۷)

۷-۵۴* تقویت‌کنندهٔ امیتر مشترک با بار فعال شکل (م ۵۴-۷) را در نظر بگیرید (جزئیات بایاس مدار ذکر نشده است). فرض کنید تقویت‌کننده با یک منبع ولتاژ ایده‌آل V_i تغذیه می‌شود و ازاثر r_x صرفنظر کنید. همچنین فرض کنید ظرفیت C_L بین گره خروجی و زمین قرار دارد. این ظرفیت نمایندهٔ مجموع ظرفیت ورودی طبقهٔ بعدی و ظرفیت پارازیتی ناخواسته بین کلکتور و زمین است. نشان دهید که بهرهٔ ولتاژ با رابطه زیر داده می‌شود:

$$\frac{V_o}{V_i} = -g_m r_o \frac{1 - s\,(C_\mu / g_m)}{1 + s\,(C_L + C_\mu) r_o}$$

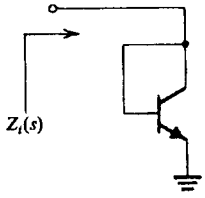
$$\cong -\frac{g_m r_o}{1 + s\,(C_L + C_\mu)\, r_o} \quad (\text{برای } C_\mu \text{ کوچک})$$

اگر ترانزیستور در $I_C = 200\,\mu A$ بایاس شده باشد و $V_A = 100\,V$، $C_\mu = 0.2\,pF$ و $C_L = 1\,PF$ باشد. بهرهٔ dc، فرکانس ۳dB، و فرکانسی را که در آن بهره به واحد می‌رسد، بیابید. نمودار بودی برای اندازه بهره را رسم کنید.



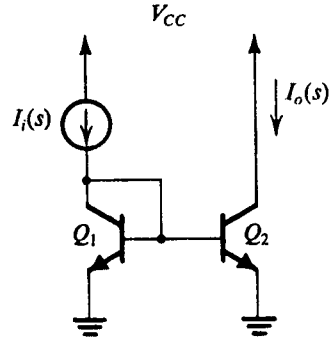
شکل (م ۵۴-۷)

۷-۵۵* به شکل (م ۵۵-۷) توجه کنید. با مقدارگذاری $r_x = 0$ و $r_o = \infty$ در مدل هیبرید π- فرکانس بالای BJT، توصیفی برای $Z_i(s)$ بصورت تابعی از r_e و C_π بیابید. فرکانسی را که در آن امپدانس دارای زاویه فاز ۴۵° است، برای حالتی که BJT دارای $f_T = 400\,MHz$ و جریان بایاس نسبتاً بزرگ است، بیابید. اگر جریان بایاس کاهش یابد، و دراین صورت $C_\pi \cong C_\mu$ شود، این فرکانس چه خواهد شد؟ (فرض کنید $\alpha = 1$).



شکل (م ۵۵-۷)

۷-۵۶* در آینه جریان شکل (م ۵۶-۷) عبارتی برای تابع انتقال جریان $I_o(s)/I_i(s)$ با در نظر گرفتن خازن‌های داخلی BJT و چشمپوشی از r_x و r_o به دست آورید. فرض کنید BJTها یکسان باشند. توجه کنید که کلکتور Q_2 از نظر سیگنالی، زمین است. اگر آینه در جریان ۱mA بایاس شده و BJT ها در این نقطه کار با $f_T = 400\,MHz$ و $C_\mu = 2\,pF$ و $\beta_0 = \infty$ مشخص شوند، فرکانس قطب و صفر تابع انتقال را به دست آورید.



شکل (م ۵۶-۷)

بخش ۵-۷: آرایش‌های بیس مشترک، گیت مشترک، Cascode

۷-۵۷ تقویت‌کننده بیش مشترک به دست آمده از تغییرات مناسب در مدار CE شکل (۱۳-۷) را در نظر بگیرید. منبع سیگنال از طریق C_{C1} به امیتر اعمال شده و C_E حذف شده است. خازن بزرگ C_B بین بیس و زمین متصل شده تا زمین سیگنال در بیس برقرار شود. $R_1 = 33\,k\Omega$، $R_2 = 22\,k\Omega$، $R_E = 3.9\,k\Omega$، $R_C = 4.7\,k\Omega$، $R_L = 5.6\,k\Omega$، $V_{CC} = 5\,V$، $R_s = 75\,\Omega$ است. جریان dc امیتر برابر با ۰/۳۳mA در $\beta = 120$ و $r_o = 300\,k\Omega$، $f_T = 700\,MHz$ و $C_\mu = 0.5\,pF$ است. مقاومت ورودی دیده شده توسط منبع و بهره باند میانی را به دست آورید. محل دو قطب و فرکانس قطع بالا را به دست آورید.

۷-۵۸ آرایش Cascode شکل (۱۷-۷ ت) را با $R_s = 5\,k\Omega$، $R_1 = 22\,k\Omega$، $R_2 = 11\,k\Omega$، $R_3 = 22\,k\Omega$، $R_E = 3.9\,k\Omega$، $R_C = 4.7\,k\Omega$، $R_L = 5.6\,k\Omega$، $V_{CC} = 5\,V$ در نظر بگیرید. جریان dc امیتر در $\beta = 120$، برابر با ۰/۳۳mA، $r_o = 300\,k\Omega$، $r_x = 300\,k\Omega$، $f_T = 700\,MHz$ و $C_\mu = 0.5\,pF$ است. بهره باند میانی، قطب‌های فرکانس بالا و فرکانس ۳dB بالا را به دست آورید.

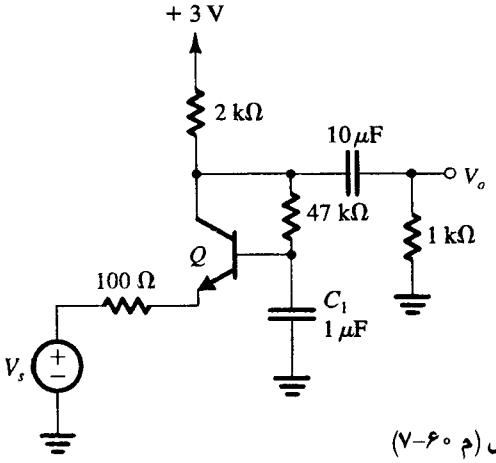
۷-۵۹ در مدار شکل (۲۳-۷) فرض کنید $R_L = 5\,k\Omega$، $I = 1\,mA$، $V_{BIAS} = 1\,V$، $\beta = 100$، $C_\pi = 5\,pF$، $C_\mu = 1\,pF$ باشد. فرکانس‌های سه قطب فرکانس بالا را به دست آورده f_H را برای دو حالت زیر حساب کنید: (الف) $R_s = 1\,k\Omega$ (ب) $R_s = 10\,k\Omega$.

۷-۶۰ در مدار بیس مشترک شکل (م ۶۰-۷) با فرض این که جریان بایاس حدود ۱mA، $\beta = 100$، $C_\mu = 0.8\,pF$، $f_T = 600\,MHz$ موارد زیر را به دست آورید:

(الف) بهره باند میانی V_o/V_i را تخمین بزنید.

(ب) با استفاده از روش ثابت زمانی اتصال کوتاه، فرکانس ۳dB پایین، f_L را تخمین بزنید (راهنمایی: در تعیین مقاومت دیده شده توسط C_1، اثر مقاومت $47\,k\Omega$ باید به حساب آید.)

(پ) قطب‌های فرکانس بالا و فرکانس ۳dB بالا، f_H را تخمین بزنید.



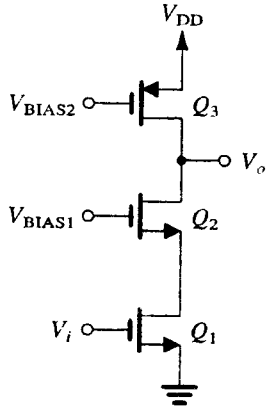
شکل (م ۶۰-۷)

ط ۷-۶۱* در نوعی خاص از مدار شکل (۱۷-۷ ت)، $V_{CC} = 9\,V$، $R_C = R_E = 3.3\,k\Omega$، $R_3 = 39\,k\Omega$، $R_2 = 8.2\,k\Omega$، $R_1 = 47\,k\Omega$، $R_s = 10\,k\Omega$، $R_L = 1\,k\Omega$ است. در هر دو BJT، $h_{fe} = 120$، $V_A = 50\,V$، $r_x = 100\,\Omega$، $C_\mu = 1\,pF$ و $f_T = 40\,MHz$ است. برای راحتی فرض کنید که $I_{E1} = I_{E2} = 1\,mA$ باشد. بهره باند میانی را به دست

آورید. C_E ، $C_{C۲}$ ، $C_{C۱}$ ، C_B را بگونه‌ای طراحی کنید که فرکانس قطب‌ها به ترتیب ۵۰Hz ، ۵Hz ، ۱Hz و ۰/۱Hz باشد. خازن‌ها نیز دو رقم معنی دار داشته باشند. فرکانس صفر حاصله چقدر است؟ مقدار f_L را نیز تخمین بزنید.

۷-۶۲ در مدار مسأله (۷-۶۱) سه قطب فرکانس بالا را به دست آورده، f_H را تخمین بزنید. بهره باند میانی چقدر است؟ اگر R_s به ۱۰۰Ω کاهش یابد، f_H چقدر خواهد شد؟ بهره باند میانی چه تغییری می‌کند؟

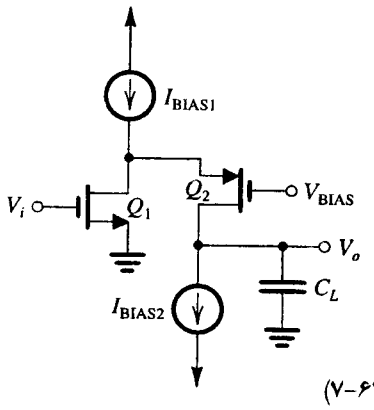
***۷-۶۳** شکل (م ۷-۶۳) یک تقویت‌کنندهٔ Cascode با CMOS را نشان می‌دهد که زیر بنای هر سه قطعه به منبع تغذیه متصل شده است.
الف) مدار معادل سیگنال کوچک تقویت‌کننده را رسم کنید. این مدار باید شامل سه خازن: $C_{gd۱}$ ، $C_۱$ و $C_۲$ باشد. که $C_۱$ کل ظرفیت بین درین $Q_۱$ و زمین است، $C_۱ = C_{db۱} + C_{sb۲} + C_{gs۲}$. و $C_۲$ کل ظرفیت بین درین $Q_۲$ و زمین می‌باشد، $C_۲ = C_{db۲} + C_{gd۲} + C_{db۳} + C_{gd۳} + C_L$. از آنجا که مقاومت بین گره خروجی و زمین با $r_{o۳}$ تقریب زده می‌شود می‌توانید از اثر $r_{o۲}$ صرفنظر کنید و آنرا از مدار معادل حذف نمایید. همچنین برای سادگی از اثر بدنهٔ $Q_۲$ صرفنظر کنید.
ب) نشان دهید که بهرهٔ dc تقریباً برابر $-g_{m۱} r_{o۳}$ است. همچنین نشان دهید که قطبها دارای فرکانس $1/2\pi r_{o۳} C_۲$ و $g_{m۲} / 2\pi (C_۱ + C_{gd۱})$ و صفر دارای فرکانس $g_{m۱} / 2\pi C_{gd۱}$ است.
پ) به ازای $I_D = ۵۰\ \mu A$ ، $W/L = ۱$ برای همه قطعه‌ها با $L = ۱۰\ \mu m$ ، $\mu_n C_{ox} = ۲۰\ \mu A/V^۲$ ، $\lambda_p = ۰/۰۲ V^{-1}$ ، $C_{gs} = ۳۰$ fF ، $C_{gd} = ۳/۵$ fF ، $C_{sbn} = C_{dbn} = ۲۴$ fF ، $C_{sbp} = C_{dbp} = ۱۲$ fF و $C_L = ۰/۱$ pF مقادیر بهرهٔ dc و فرکانسهای قطب و صفر را به دست آورید.



شکل (م ۷-۶۳)

۷-۶۴ شکل (م ۷-۶۴) مدار تقویت‌کنندهٔ "Cascode تا شده" را نشان می‌دهد. این مدار یک مدار Cascode است که در آن ترانزیستور Cascode $Q_۲$ ، مکمل $Q_۱$ است. این مدار دارای مشخصهٔ هم فازی ترانزیستور آرایش Cascode نیست و بنابراین ترانایی نوسان مجاز سیگنال خروجی افزایش می‌یابد. به جز این مورد، مانند یک Cascode کار می‌کند.
(الف) اگر جریان‌های بایاس به گونه‌ای باشند که $Q_۱$ و $Q_۲$ دارای g_m و r_o مساوی بوده و منبع جریان I_{BIAS} با مدار Cascode پیاده‌سازی شده باشد و بنابراین مقاومت خروجی آن مساوی با مقاومت دیده شده از درین $Q_۲$ باشد، نشان دهید که بهره از رابطه $\frac{1}{2}(g_m r_o)^۲$ به دست می‌آید.
(ب) قطب غالب فرکانس بالا در گره خروجی ایجاد می‌شود. اگر ظرفیت خازنی خروجی در همان گره، C_L باشد نشان دهید که فرکانس قطب $\omega_H = 2/(C_L g_m r_o)^۲$ است.

(پ) فرکانس ۳dB و بهره را برای طراحی $g_m = ۰/۵$mA/V ، $r_o = ۱۰۰$kΩ و $C_L = ۱$pF به دست آورید.



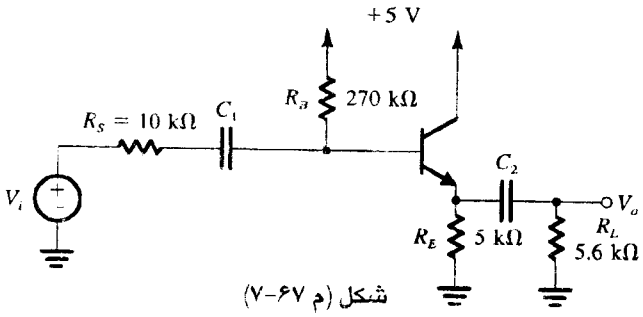
شکل (م ۷-۶۴)

بخش ۷-۶ پاسخ فرکانسی امیتر پیرو و سورس پیرو

۷-۶۵ سورس پیرو با JFET را درنظر بگیرید که توسط مولد سیگنال با مقاومت داخلی R تغذیه می‌شود. مدار پیرو دارای یک مقاومت R_s در سورس، هدایت انتقالی g_m ، و ظرفیتهای داخلی C_{gs} و C_{gd} است. نتایج بخش ۷-۸ را به کار برید و بهرهٔ باند میانی و فرکانس قطب فرکانس بالا را برای $R = ۱۰۰$kΩ ، $R_s = ۱۰$ kΩ ، $g_m = ۲$ mA/V ، $C_{gs} = ۲$ pF و $C_{gd} = ۱$pF به دست آورید.

***۷-۶۶** به شکل (الف ۷-۲۵) مراجعه کنید. r_x را برداشته و آنرا بصورت سری با R_s قرار دهید تا R_s به R'_s تبدیل شود. بهرهٔ dc از B′ به E را به دست آورید؟ توجه کنید که y_π بین B′ و E بسته شده و بهره B′ به E نیز معلوم است. با استفاده از قضیهٔ میلر مدار معادل (یا تقریبی از آنرا) شکل (ت ۷-۲۵) را به دست آورید.

ط*۷-۶۷ برای مدار امیتر پیرو شکل (م ۷-۶۷)، خازنهای اتصال را چنان طراحی کنید که قطب غالب فرکانس پایین در ۱۰ Hz به دست آید. طراحی را چنان انجام دهید که نسبت تأثیر خازنها ۱:۱۰ و ظرفیت کل آنها حداقل باشد. از $\beta_o = ۱۲۰$ استفاده کنید. بهرهٔ باند میانی چقدر است؟ اگر $C_\pi = ۲/۵$ pF و $C_\mu = ۰/۵$pF ، فرکانس قطع بالا چگونه خواهد بود؟



شکل (م ۷-۶۷)

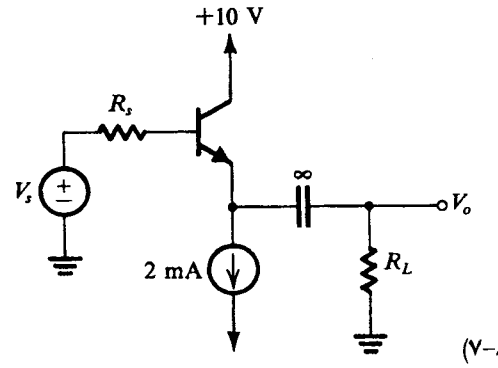
۷-۶۸ برای امیتر پیرویی که در $I_C = ۱$ mA بایاس شده و دارای $R_s = R_E = ۱$kΩ است و در آن از ترانزیستوری با $f_T = ۲$GHz ، $C_\mu = ۰/۱$pF ، $r_x = ۱۰۰$Ω ، $\beta_o = ۱۰۰$ و $V_A = ۲۰$ V استفاده شده، بهرهٔ باند میانی و فرکانس قطب غالب فرکانس بالا را به دست آورید.

****۷-۶۹** برای مدار امیتر پیرو شکل (م ۷-۶۹) بهرهٔ باند میانی، فرکانس

قطب غالب فرکانس بالا، تقریب f_H به روش ثابت زمانی مدار باز، و فرکانس صفر تابع انتقال را برای حالات زیر پیدا کنید:

الف) $R_s = 1\ k\Omega$ ب) $R_s = 10\ k\Omega$

پ) $R_s = 100\ k\Omega$ فرض کنید $R_L = 1k\Omega$، $\beta_o = 100$، $f_T = 400\ MHz$ و $C_\mu = 2\ pF$.



شکل (م ۶۹-۷)

۷-۷۰ BJT مدار شکل (م ۶۹-۷) با یک FET افزایشی با مشخصات $V_t = 1V$، $k'(W/L) = 2mA/V^2$ و $C_{gs} = C_{gd} = 1pF$ تعویض می‌شود. با $R_L = 1k\Omega$ و $R_s = 100k\Omega$ بهره ولتاژ باند میانی و فرکانس ۳dB بالا، f_H را به دست آورید. اگر خازن اتصال $1\mu F$ باشد، f_L را محاسبه کنید.

۷-۷۱ با مراجعه به مدار سورس-پیرو شکل (۴۸-۵)، مدار معادل ساده شده شکل (پ ۴۸-۵) را در نظر بگیرید. برای بررسی پاسخ فرکانسی مدار، فرض کنید که منبع سیگنال ورودی دارای مقاومت R و شامل ظرفیت‌های خازنی مدار معادل C_{gs}، C_{gd}، و C_L باشد که خازن آخری، بین گره خروجی و زمین است و بنابراین شامل ظرفیت خازنی بار نیز می‌باشد.

(الف) با استفاده از روش ثابت زمانی مدار باز نشان دهید که فرکانس ۳dB بالا از رابطه زیر به دست می‌آید:

$$\omega_H \approx \frac{1}{C_{gd}R + C_{gs}\dfrac{R + R_S}{1 + g_m R_S} + C_L \dfrac{R_S}{1 + g_m R_S}}$$

در رابطه فوق فرض شده که فرکانس مربوط به صفر، از رابطه g_m/g_s به دست می‌آید، بسیار بالاست.

(ب) برای حالت $R = 100k\Omega$، $g_m = 1.06mA/V$، $g_{mb} = 0.16$، $r_{o1} = r_{o2} = 128k\Omega$، $C_{gs} = 0.2pF$، $C_{gd} = 15pF$، f_H و فرکانس مربوط به صفر را به دست آورید. توجه کنید که این مدار، همان مدار پیرو تحلیل شده در تمرین (۲۸-۵) است و $R_S = (1/g_{mb1})//r_{o1}//r_{o2}$ می‌باشد.

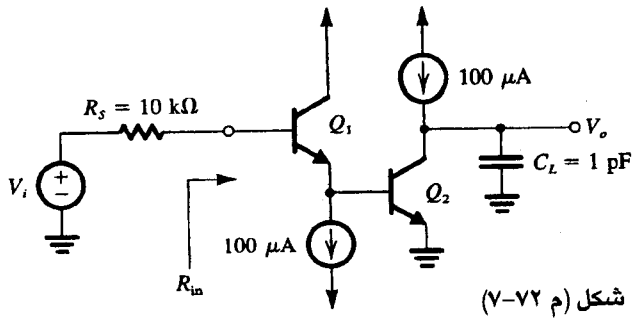
بخش ۷-۷: مدار متوالی شده کلکتور مشترک امیتر مشترک

ط* ۷-۷۲ ترانزیستورهای مدار شکل (م ۷۲-۷) دارای $\beta_o = 100$، $V_A = 100V$، $C_\mu = 0.2\ pF$ و $C_{je} = 0.8\ pF$ می‌باشند. در جریان بایاس $100\ \mu A$، $f_T = 400\ MHz$ می‌باشد. (توجه کنید که جزئیات مدار بایاس نشان داده نشده است.)

الف) بهرهٔ باند میانی و R_{in} را بیابید.

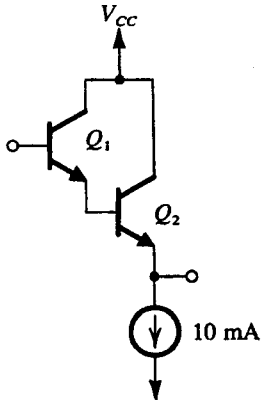
ب) تقریبی از فرکانس ۳ dB بالا f_H به دست آورید. کدام خازن غالب است؟ دومین اولویت با کدام خازن است؟

پ) اثر افزایش جریان بایاس با ضریب ۱۰ چیست؟



شکل (م ۷۲-۷)

۷-۷۳ BJTها در دارلینگتون پیرو شکل (م ۷۳-۷) دارای $\beta_o = 100$ است. اگر پیرو توسط منبع با مقاومت $100\ k\Omega$ تغذیه شود و بار آن $1\ k\Omega$ باشد، مقاومت ورودی، مقاومت خروجی (بدون بار) و بهرهٔ ولتاژ، در دو حالت مدار باز و با بار را به دست آورید.

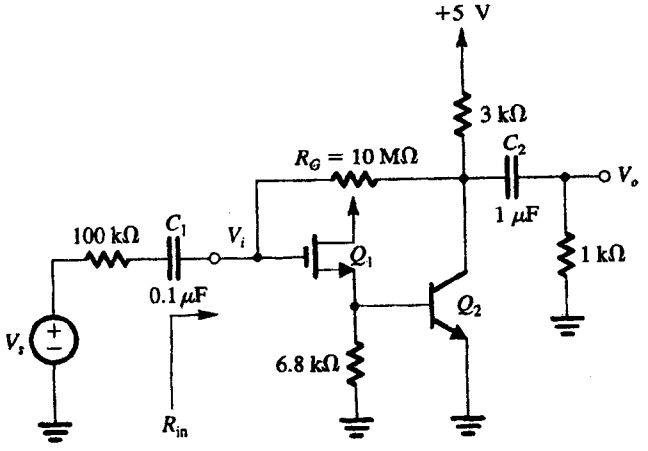


شکل (م ۷۳-۷)

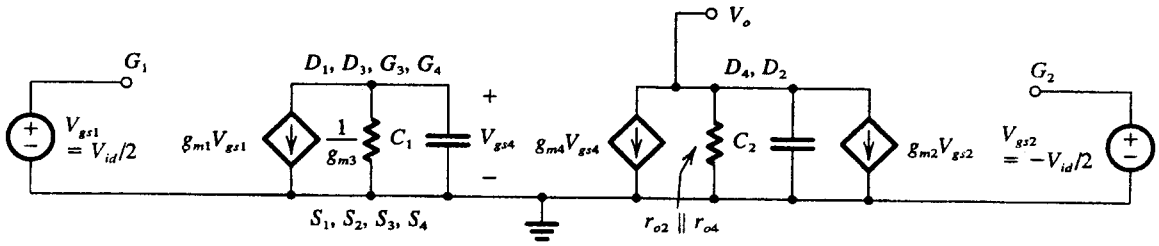
ط* ۷-۷۴ تقویت کننده BiCMOS شکل (م ۷۴-۷) را در نظر بگیرید. BJT دارای $|V_{BE}| = 0.7$، $\beta = 200$، $C_\mu = 0.8pF$، و $f_T = 600MHz$ است. ترانزیستور NMOS دارای: $V_t = 1V$، $k'_n(W/L) = 2mA/V^2$، $C_{gs} = C_{gd} = 1pF$ است.

(الف) مدار بایاس dc را در نظر بگیرید. از جریان بیس Q_2 در تعیین جریان Q_1 صرفنظر کنید و جریان‌های بایاس dc را در Q_1 و Q_2 به دست آورید و نشان دهید که تقریباً $100\mu A$ و $1mA$ می‌باشند.

(ب) پارامترهای سیگنال کوچک Q_1 و Q_2 را در نقاط بایاس آن‌ها حساب کنید.



شکل (م ۷۴-۷)



$$C_1 = C_{gd1} + C_{db1} + C_{db3} + C_{gs3} + C_{gs4}$$
$$C_2 = C_{db2} + C_{db4} + C_{gd2}$$

شکل (م ۷-۷۸)

(پ) مدار را در فرکانس‌های باند میانی در نظر بگیرید. ابتدا بهره ولتاژ سیگنال کوچک V_o/V_i را تعیین کنید. (توجه کنید که R_G را می‌توان در این فرآیند حذف کرد) سپس با استفاده از قضیه میلر روی R_G، مقاومت ورودی تقویت‌کننده، R_{in} را تعیین کنید. در انتها، بهره ولتاژ کلی V_o/V_i را به دست آورید.

(ت) مدار را در فرکانس‌های پایین در نظر بگیرید. فرکانس قطب‌های ناشی از C_1 و C_2 را تعیین کرده، فرکانس ۳dB پایین f_L را تخمین بزنید.

(ث) مدار را در فرکانس‌های بالا در نظر بگیرید. با استفاده از قضیه میلر، R_G را با یک مقاومت در ورودی جایگزین نمایید. (مقاومت موجود در خروجی باید بسیار بزرگ باشد). مدار معادل متناظر با شکل (ب ۲۸-۷) را رسم کنید. اکنون با استفاده از معادلات (۸۶-۷) تا (۹۴-۷) برای این مدار، ثابت زمانی مدار باز را به دست آورده، f_H را تخمین بزنید. [در کاربرد معادلات دقت کنید، مثلاً معادله (۹۲-۷) به $R'_{E1}//(1/g_{m1})$ تبدیل می‌شود.]

(ج) برای کاهش قابل ملاحظه اثر R_G روی R_{in} و عملکرد تقویت‌کننده، یک مقاومت ۱۰MΩ را بصورت سری با مقاومت موجود اضافه کرده و یک خازن کنارگذر بزرگ بین گره اتصال آن‌ها و زمین قرار می‌دهیم. R_{in}، A_M، و f_H چه تغییری می‌کند.

بخش ۸-۷: پاسخ فرکانسی تقویت‌کنندهٔ تفاضلی

۷-۷۵ یک تقویت‌کنندهٔ تفاضلی BJT که با جریان امیتر ۲ mA کار می‌کند از ترانزیستورهای با $\beta = 120$، $f_T = 700$ MHz، $C_\mu = 0.5$ pF و $r_x = 50\,\Omega$ استفاده می‌کند. مقاومت هریک از کلکتورها ۱۰ kΩ است و تقویت‌کننده بطور متقارن تحریک شده و مقاومت هر منبع ۱۰ kΩ است. بهرهٔ dc ی خروجی تفاضلی و فرکانس ۳dB، f_H را بیابید. همچنین حاصلضرب بهره - پهنای باند را به دست آورید.

۷-۷۶ تقویت‌کنندهٔ تفاضلی مشخص شده در مسأله ۷-۷۵ را با اضافه کردن یک مقاومت ۲۵ Ω در امیترها بهبود می‌دهیم. بهرهٔ dc خروجی تفاضلی و فرکانس ۳dB، f_H را بیابید. حاصلضرب بهره - پهنای باند را نیز به دست آورید.

ط *۷-۷۷ تقویت‌کنندهٔ تفاضلی مشخص شده در مسأله ۷-۷۵ را درنظر بگیرید. می‌خواهیم پهنای باند ۳ dB آنرا تا حدود ۱ MHz، با افزودن مقاومت در امیترها، گسترش دهیم. مقادیر مقاومتها را یافته و مقدار جدید بهرهٔ dc و حاصلضرب بهره - پهنای باند را به دست آورید.

***۷-۷۸** شکل (م ۷-۷۸) یک مدل سیگنال کوچک تقریبی و ساده شده برای تقویت‌کنندهٔ تفاضلی CMOS با بار فعال را که در بخش ۶-۶ مطالعه شد، شکل (۳۴-۶)، نشان می‌دهد. در این مدار معادل فرض شده که تقویت‌کننده بطور متقارن تغذیه می‌شود، و بنابراین سیگنال زمین روی سورس Q_1 و Q_2 آشکار می‌گردد. همچنین فرض شده است که منبع سیگنال ورودی ایده‌آل و خازنهای C_{gs1} و C_{gs2} اثری ندارند و از مدار معادل حذف می‌شوند. اثر C_{gd1} و C_{gd2} روی قطبهای مدار با افزودن این مقادیر به C_1 و C_2 درنظر گرفته می‌شود. از اثر C_{gd1} و C_{gd2} روی افزایش صفر، از آنجاکه این صفرها معمولاً در فرکانس‌های خیلی بالا هستند، صرفنظر می‌گردد. از آنجاکه $(r_{o1}//r_{o3}) \ll 1/g_{m3}$ می‌باشد، این دو مقاومت در مدار نخواهند بود. همچنین C_{gd4} از مدار معادل حذف خواهد شد. این کار برای سادگی تحلیل و به این علت که بنابر تحلیل کامپیوتری اثر کوچک و قابل اغماضی روی مدار دارد، انجام می‌شود. مدار را تحلیل کنید تا تابع انتقال V_o/V_{id} را به دست آورید. عبارتی برای بهرهٔ dc و قطبها ارائه دهید. فرض کنید همه ترانزیستورها دارای g_m و r_o یکسان باشند. کدام قطب غالب است؟

۷-۷۹ یک تقویت‌کنندهٔ تفاضلی با منبع جریانی به مقاومت خروجی ۱ MΩ و ظرفیت خروجی ۱۰ pF، تغذیه می‌شود. بهرهٔ تفاضلی یک قطب غالب در فرکانس ۵۰۰ kHz دارد. قطبهای CMRR چگونه است؟

۷-۸۰ در تقویت‌کننده تفاضلی مسأله (۷-۷۵)، بهره dc و f_H را در صورتی که مقاومت کلکتور ترانزیستور سمت چپ حذف شده و سیگنال ورودی به بیس آن اعمال، و بیس ترانزیستور دیگر زمین می‌شود، به دست آورید. فرض کنید مقاومت منبع ۲۰kΩ باشد و از r_x چشمپوشی نمایید.

ط ***۷-۸۱ نشان دهید که قرار دادن مقاومت R_E در هر یک از امیترهای زوج تفاضلی شکل (۳۴-۷) باعث می‌شود که مدار معادل شکل (ب ۳۷-۷) به گونه‌ای تغییر کند که شبیه امیتر پیرو شکل (پ ۲۵-۷) شود (مگر در مورد ضریب ۲ که در امپدانس بین B' و زمین ضرب می‌شود).

(الف) با چشمپوشی از مقاومت $2R_E$ در این مدار معادل، فرکانس قطب f_{P1} را به دست آورید. این عبارت را با آنچه که از $R_E = 0$ به دست آمده، مقایسه کنید.

(ب) برای جریان بایاس $I = 1$mA و $\beta = 100$، $C_\pi = 7.5$pF و $C_\mu = 0.5$ pF و استفاده از نتایج (الف) R_E را به گونه‌ای به دست آورید که $\omega_{P1} = 100$Mrad/s شود. فرض کنید که $R_S = 10$kΩ است.

(پ) با توجه به روابط قطب دیگر f_{P2} که ناشی از R_C و C_μ است، چگونه می‌توان فرکانس این قطب را کنترل کرد؟ مقدار R_C را به گونه‌ای به دست آورید که قطب دوم در ۴۰۰Mrad/s قرار گیرد.

(ت) برای تقویت‌کننده طراحی شده در قسمت (ب) و (پ)، بهره dc و f_H را به دست آورید.

۷-۸۲ مدار شکل (۳۵-۷) را با $I = 200\mu$A، $V_{GS} - V_t = 0.25$

$R_S = ۲۰۰\,k\Omega$، $R_D = ۵۰\,k\Omega$ و $C_{gd} = ۱pF$ و C_{gs} در نظر بگیرید. بهره dc و قطب‌های فرکانس بالا را به دست آورده، f_H را تخمین بزنید.

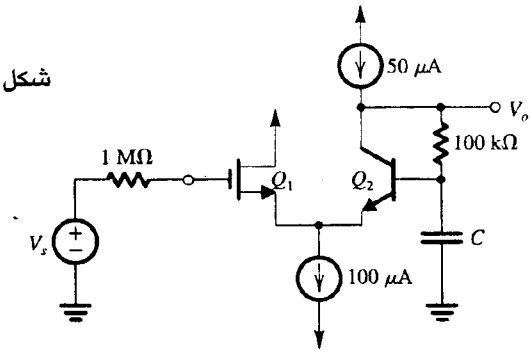
۷-۸۳ تقویت‌کننده تفاضلی پهن باند شکل (۷-۳۴) را با واردکردن مقاومت مساوی R_S در بیس $Q_۲$ و یک خازن کنارگذر بزرگ بین $B_۲$ و زمین، در نظر بگیرید. بهره باند میانی، قطب فرکانس بالا و فرکانس ۳dB بالا f_H را بـه دست آوریـد. فـرض کـنید $I = ۱۰۰\mu A$، $R_S = ۵۰\,k\Omega$، $R_C = ۱۰\,k\Omega$، $\beta = ۲۰۰$، $C_\mu = ۰/۸pF$ و $f_T = ۰/۶GHz$ باشد. اگر یک مقاومت $۲۰\,k\Omega$ در کلکتور $Q_۱$ قرار داده شده و خازن کنارگذر برداشته شود، مقادیر جدید بهره و f_H را به دست آورید. نتایج را در هر دو حالت مقایسه کرده و توضیح دهید.

ط ۷-۸۴ در مدار نشان داده شده در شکل (م ۷-۸۴)، بهره باند میانی و فرکانس ۳dB بالا را به دست آورید. BJT دارای $\beta=۲۰۰$، $C_\mu=۰/۸pF$ و $f_T=۶۰۰GHz$ و NMOS دارای $V_t = ۱V$، $k'(W/L) = ۲mA/V^۲$ و $C_{gs} = C_{gd} = ۱pF$ است. C را طوری انتخاب کنید که فرکانس قطع پایین ۱۰Hz باشد.

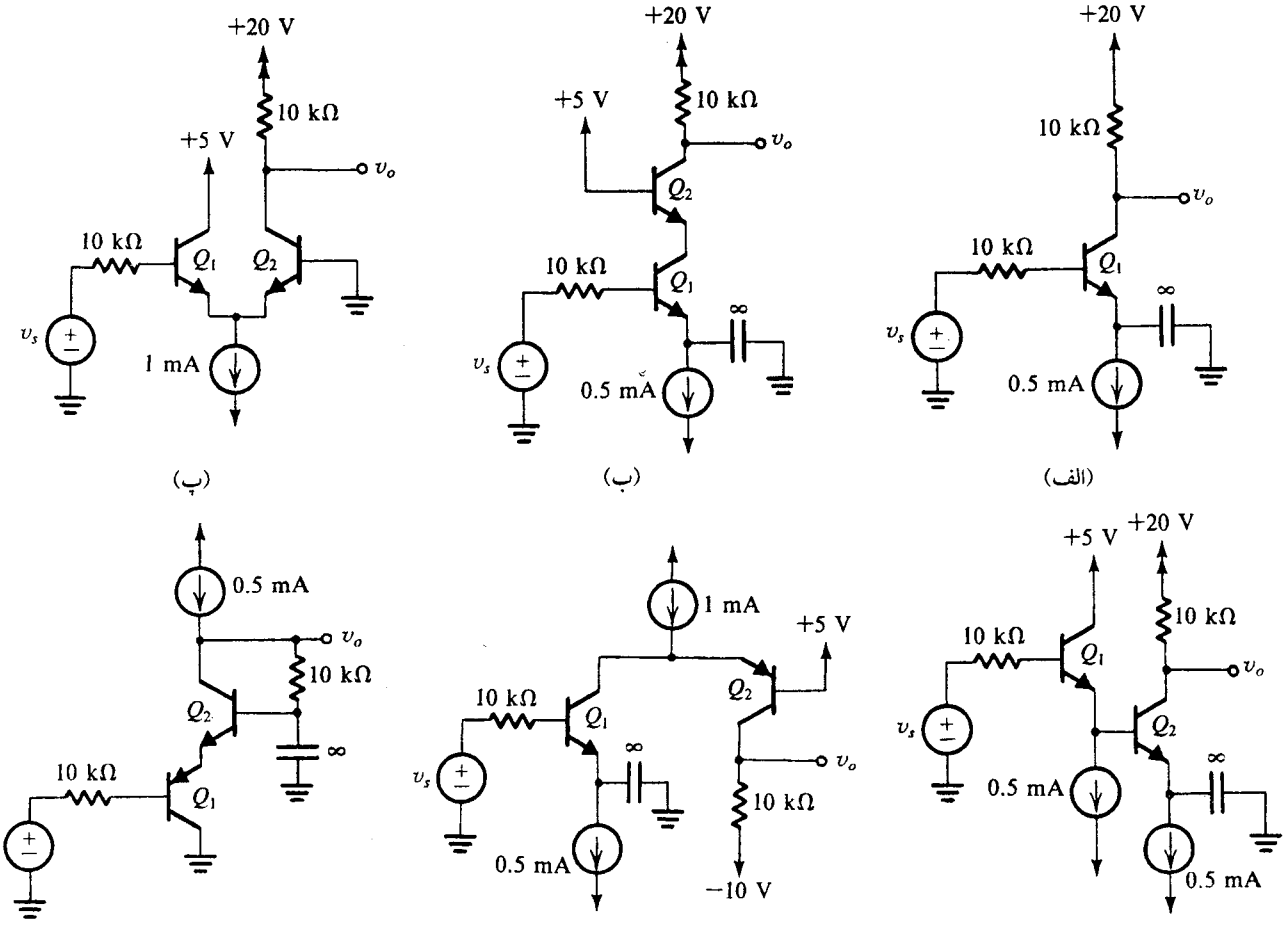
۷-۸۵ در مدار شکل (۷-۳۶) فرض کنید بایاس به‌گونه‌ای باشد که هر ترانزیستور در جریان کلکتور $۱۰۰\mu A$ کار کند. BJTها دارای $\beta = ۲۰۰$، $f_T = ۶۰۰GHz$، $C_\mu = ۰/۸pF$ باشد و از r_o و r_x چشمپوشی نمایید. بهره فرکانس پایین، مقاومت تفاضلی ورودی، قطب‌های فرکانس بالا را به دست آورده، f_H را تخمین بزنید.

مسائل عمومی

*****۷-۸۶** در هریک از شش مدار شکل (م۷-۸۶)، فرض‌کنید $\beta=۱۰۰$، $C_\mu=۲pF$، و $f_T = ۴۰۰\ MHz$ باشد. بهرهٔ باند میانی و فرکانس ۳ dB بالا را به دست آورید.



شکل (م ۷-۸۴)



شکل (م ۷-۸۶)

فصل ۸

فیدبک

۸-۱ ساختار کلی فیدبک
۸-۲ برخی از خواص فیدبک منفی
۸-۳ چهار شکل اصلی فیدبک
۸-۴ تقویت‌کننده با فیدبک سری - موازی
۸-۵ تقویت‌کننده با فیدبک سری - سری
۸-۶ تقویت‌کننده‌های با فیدبک موازی - موازی و موازی - سری
۸-۷ تعیین بهره حلقه
۸-۸ مسأله پایداری
۸-۹ اثر فیدبک روی قطبهای تقویت‌کننده
۸-۱۰ مطالعه پایداری توسط نمودار بودی
۸-۱۱ جبرانسازی فرکانسی
۸-۱۲ مثال‌هایی از شبیه سازی SPICE
خلاصه - مسائل - کتابشناسی

مقدمه

در اکثر سیستمهای فیزیکی می‌توان به نوعی شکلی از فیدبک را دید. جالب است توجه کنید که، تئوری فیدبک منفی توسط مهندسین الکترونیک تعمیم یافته است. هارولد بِلَک (Harold Black) یکی از مهندسین الکترونیک شرکت وِسترن الکتریک در تحقیقاتش برای طراحی تقویت‌کننده‌های با بهرهٔ ثابت برای استفاده در تکرارکننده‌های تلفنی، تقویت‌کنندهٔ فیدبک را در ۱۹۲۸ ابداع کرد. از آن پس این تکنیک بصورت گسترده بکار گرفته شد به صورتی که تقریباً تفکر به مدارهای الکترونیکی بدون وجود یکی از شکلهای فیدبک تقریباً غیرممکن است. بعلاوه، اصول فیدبک و نظریات مربوط به آن در مواردی بجز مهندسی مثل مدل‌کردن سیستمهای بیولوژیکی نیز کاربرد روزمره دارد.

فیدبک می‌تواند **منفی (بازترکیب)** یا **مثبت (بازتولید)** باشد، در طراحی تقویت‌کننده‌های فیدبک منفی برای تأثیر روی خواص زیر بکار می‌رود:

۱- **عدم حساسیت بهره**، یعنی کم‌کردن حساسیت بهره نسبت به تغییرات مقادیر عناصر مدار، مثل تغییراتی که ممکن است در اثر تغییر درجهٔ حرارت پیش آید.

۲- **کاهش اعوجاج غیرخطی**، یعنی متناسب ساختن خروجی با ورودی (به عبارت دیگر، داشتن یک بهرهٔ ثابت مستقل از سطح سیگنال.)

۳- **کاهش اثر نویز**، یعنی به حداقل رساندن مؤلفه‌های سیگنال‌های الکتریکی ناخواسته که توسط عناصر مدار و تداخل منابع خارجی تولید می‌شوند.

۴- **کنترل امپدانس ورودی و خروجی**. یعنی کم و زیادکردن امپدانس ورودی و خروجی با انتخاب نوع مناسب فیدبک،

۵- **گسترش پهنای باند تقویت‌کننده**.

همهٔ خواص دلخواه فوق را می‌توان به قیمت کاهش بهره بدست آورد. نشان داده خواهد شد که فاکتور کاهش بهره، که **میزان فیدبک** خوانده می‌شود، فاکتوری است که توسط آن مدار حساسیت خود را از دست می‌دهد، امپدانس ورودی تقویت‌کنندهٔ ولتاژ افزایش می‌یابد. پهنای باند گسترش می‌یابد و غیره. بطور خلاصه، نظریهٔ اصلی فیدبک منفی بدست آوردن خواص مطلوب در ازای کاهش بهره است. این فصل به بررسی

تقویت‌کننده‌های با فیدبک منفی، تحلیل، طراحی و مشخصات آنها می‌پردازد.

تحت شرایط خاص، فیدبک منفی در یک تقویت‌کننده می‌تواند مثبت شود و چنان دامنه‌ای داشته باشد که سبب نوسان شود. کاربرد فیدبک مثبت در طراحی نوسان‌سازها و مدارها با دو حالت پایدار را در فصل ۱۲ مطالعه خواهیم کرد. بهرحال، در این فصل علاقمند به طراحی تقویت‌کننده‌های پایدار هستیم. بعلاوه مسائل مربوط به پایداری تقویت‌کننده‌های با فیدبک منفی را نیز باید مطالعه کنیم.

نباید از یاد برد که فیدبک مثبت همواره سبب ناپایداری نمی‌شود. فیدبک مثبت در بعضی موارد مفید است، مثل طراحی فیلترهای فعال، که در فصل ۱۱ بررسی خواهند شد.

پیش از شروع مطالعهٔ فیدبک منفی می‌خواهیم به خواننده یادآوری کنیم که ما همواره فیدبک منفی را در تعدادی از کاربردها درنظر می‌گیریم. تقریباً همهٔ مدارهای op–amp دارای فیدبک منفی هستند. یک کاربرد معمول دیگر فیدبک منفی، استفاده از مقاومت امیتر R_E در پایداری نقطهٔ کار ترانزیستورهای دوقطبی و افزایش مقاومت ورودی و پهنای باند تقویت‌کنندهٔ تفاضلی BJT می‌باشد. بعلاوه، در امیتر پیرو و سورس پیرو میزان بزرگی از فیدبک منفی به چشم می‌خورد. سؤالی که مطرح می‌شود، نیاز به مطالعهٔ فیدبک منفی است. همچنانکه در پایان این فصل نیز درخواهید یافت، مطالعهٔ اصولی فیدبک ابزاری فوق‌العاده پر ارزش در تحلیل و طراحی مدارهای الکترونیکی در اختیار ما می‌گذارد، همچنین، دیدی که با مطالعهٔ فیدبک به آن می‌رسیم، بسیار سودبخش خواهد بود.

۸–۱ ساختار کلی فیدبک

شکل (۸–۱) ساختار کلی یک تقویت‌کننده با فیدبک را نمایش می‌دهد. بجای نمایش ولتاژ و جریانها، شکل (۸–۱) **نمودار عبور سیگنال** است، که هر x نمایانگر یک سیگنال ولتاژ یا جریان است. تقویت‌کنندهٔ حلقه باز دارای بهرهٔ A است، بنابراین خروجی x_o آن بصورت زیر با ورودی x_i مربوط است:

$$x_o = A\,x_i \qquad (۸–۱)$$

خروجی x_o همچنانکه به بار اعمال می‌شود، شبکهٔ فیدبک را نیز تغذیه می‌کند، که یک نمونه از خروجی را تولید می‌کند. این نمونهٔ x_f با x_o توسط **فاکتور فیدبک** β مربوط است،

$$x_f = \beta\,x_o \qquad (۸–۲)$$

سیگنال فیدبک x_f از سیگنال منبع x_s کم می‌شود، که ورودی تقویت‌کنندهٔ فیدبک است، تا سیگنال ورودی x_i را تولید کند، که ورودی تقویت‌کنندهٔ اصلی است،

$$x_i = x_s - x_f \qquad (۸–۳)$$

در اینجا توجه می‌کنیم که این تفاضل است که فیدبک منفی را می‌سازد. در اصل، فیدبک منفی سیگنالی را که در ورودی تقویت‌کنندهٔ اصلی ظاهر می‌شود، کاهش می‌دهد.

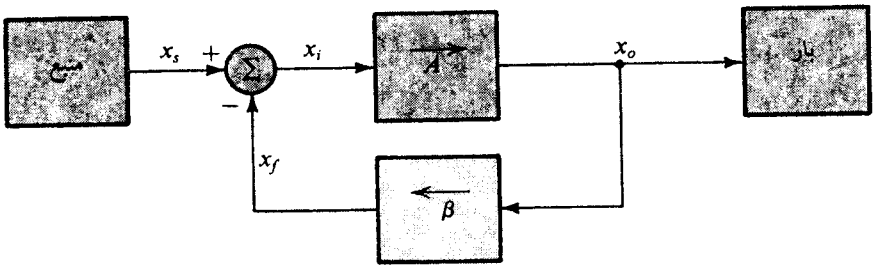
سادگی تعریف بالا از آنجاست که منبع، بار و شبکهٔ فیدبک اثر بارگذاری روی تقویت‌کنندهٔ اصلی ندارند. یعنی بهرهٔ A به هیچ یک از سه شبکهٔ مذکور بستگی ندارد. در عمل این حالت برقرار نیست، و ما مجبوریم که روشی برای نمایش مدارهای واقعی به فرم کلی و ایده‌آل نشان داده شده در شکل (۸–۱) بیابیم. همچنین سادگی در شکل (۸–۱) یعنی انتقال مستقیم تنها از طریق تقویت‌کنندهٔ اصلی و انتقال معکوس از طریق شبکهٔ فیدبک صورت می‌گیرد.

بهرهٔ تقویت‌کنندهٔ فیدبک را می‌توان توسط ترکیب معادلات (۸–۱) و (۸–۳) بدست آورد:

$$A_f \equiv \frac{x_o}{x_s} = \frac{A}{1 + A\beta} \qquad (۸–۴)$$

مقدار $A\beta$ را **بهرهٔ حلقه** می‌نامند، نامی که از شکل (۸–۱) بدست می‌آید. برای اینکه فیدبک منفی باشد، باید بهرهٔ حلقه $A\beta$ مثبت باشد، یعنی، سیگنال فیدبک x_f باید با x_s هم علامت باشد، بنابراین سیگنال تفاضلی x_i کوچکتری را نتیجه می‌دهد. معادلهٔ (۸–۴) نشان می‌دهد که برای مقادیر مثبت $A\beta$ بهره با فیدبک به اندازهٔ $1 + A\beta$ کوچکتر از بهرهٔ حلقه باز A است، که به آن میزان فیدبک می‌گویند.

اگر مانند حالتی که در بیشتر مدارها داریم، بهرهٔ حلقهٔ $A\beta$ بزرگ باشد، $A\beta >> 1$ آنگاه از معادلهٔ (۸–۴) داریم $A_f \cong (1/\beta)$. که یک نتیجهٔ جالب است: بهرهٔ تقویت‌کنندهٔ فیدبک تقریباً توسط شبکهٔ فیدبک تعیین می‌شود. از آنجا که شبکهٔ فیدبک معمولاً شامل عناصر غیرفعال است. که می‌توانند با دقت موردنیاز شخص انتخاب شوند، مزیت فیدبک منفی که داشتن بهرهٔ دقیق، قابل پیش‌بینی و پایدار است می‌تواند ظاهر شود. به عبارت دیگر، وابستگی بسیار کم بهرهٔ کلّی به بهرهٔ تقویت‌کننده اصلی، A، یک خاصیت مطلوب است، زیرا بهرهٔ A معمولاً تابعی از پارامترهای گوناگون است، که



شکل ۸–۱. ساختار کلی تقویت‌کننده فیدبک. این یک نمودار عبور جریان است و مقادیر x نمایشگر سیگنالهای ولتاژ یا جریان است.

بعضی از این پارامترها مقدار زیادی خطا دارند. برای مدارهای op-amp می‌توانیم این موارد را بخوبی ببینیم، که **بهرهٔ حلقه بسته** در آنها (نام دیگری برای بهرهٔ با فیدبک است) تقریباً فقط توسط عناصر فیدبک تعیین می‌شود.

معادلات (۱-۸) و (۳-۸) را می‌توان ترکیب کرد تا تعریف زیر برای سیگنال کوچک x_f را بدست آورد:

$$x_f = \frac{A\beta}{1 + AB} x_s$$

بنابراین برای $A\beta >> 1$ می‌بینیم $x_f \cong x_s$ است که نشان می‌دهد سیگنال x_i در ورودی تقویت‌کنندهٔ اصلی تقریباً صفر است. بنابراین اگر یک مقدار بزرگ فیدبک منفی برقرار شود، سیگنال فیدبک x_f تقریباً با سیگنال ورودی x_s یکسان خواهد بود. یک نتیجهٔ این خاصیت یکسانی دو پایانه ورودی op-amp است. تفاضل بین x_s و x_f، که x_i است، گاهی «سیگنال خطا» خوانده می‌شود. به همین ترتیب مدار تفاضلی ورودی نیز گاهی **مقایسه‌کننده** خوانده می‌شود. (همچنین آنرا به عنوان **مخلوط‌کننده (Mixer)** نیز می‌شناسند).

تمرین

۸-۱ آرایش op-amp ناوارونگر نشان داده شده در شکل (۱-۸ ت) نمایش مستقیم حلقهٔ فیدبک شکل ۱-۸ را فراهم می‌کند.

(الف) فرض کنید که op-amp دارای مقاومت ورودی نامحدود و مقاومت خروجی صفر است. تعریفی برای فاکتور فیدبک β پیدا کنید.

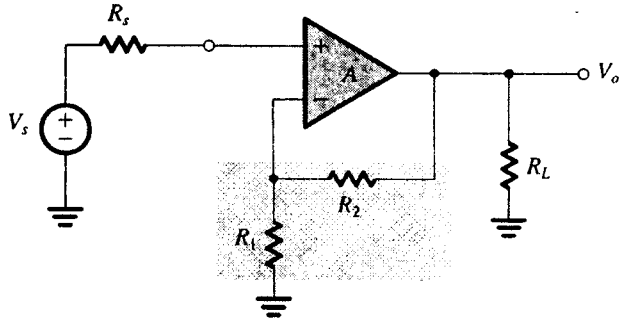
(ب) اگر بهرهٔ ولتاژ حلقه باز $A = 10^4$ باشد، R_2 / R_1 را چنان بدست آورید که بهرهٔ ولتاژ حلقه بسته $A_f = 10$ شود.

(پ) میزان فیدبک بر حسب دسی‌بل چقدر است؟

(ت) اگر $V_s = 1$ V باشد، V_o، V_f و V_i را بیابید.

(ث) اگر A به اندازهٔ ۲۰% کاهش یابد، کاهش متناظر آن در A_f چقدر خواهد بود؟

جواب. (الف) $\beta = \frac{R_1}{R_1 + R_2}$. (ب) ۹/۰۱، (پ) ۶۰ dB، (ت) ۱۰V، ۰/۹۹۹V، ۰/۰۰۱ V، (ث) ۰/۰۲ %



شکل (۱-۸ ت)

۸-۲ برخی از خواص فیدبک منفی

خواص فیدبک منفی را در مقدمه بیان کردیم. در قسمت زیر برخی از این خواص را بصورت مشروح درنظر می‌گیریم.

عدم حساسیت بهره

اثر فیدبک منفی روی عدم حساسیت بهرهٔ حلقه بسته در تمرین ۱-۸ بیان شده است که دیدیم کاهش ۲۰% بهرهٔ تقویت‌کنندهٔ اصلی تنها سبب کاهش ۰/۰۲% در بهرهٔ تقویت‌کنندهٔ حلقه بسته شده، این خاصیت کاهش حساسیت را می‌توان بصورت تحلیلی زیر ثابت کرد:

فرض کنید β ثابت است. مشتق‌گیری از هر دو طرف معادلهٔ (۴-۸) نتیجه می‌دهد.

$$dA_f = \frac{dA}{(1 + A\beta)^2} \qquad (۸-۵)$$

تقسیم معادلهٔ (۵-۸) بر معادلهٔ (۴-۸) نتیجه می‌دهد:

$$\frac{dA_f}{A_f} = \frac{1}{(1 + A\beta)} \frac{dA}{A} \qquad (۸-۶)$$

که نشان می‌دهد درصد تغییر A_f (متناظر با تغییر بعضی از پارامترهای مدار) به اندازهٔ میزان فیدبک کوچکتر از درصد تغییر در A است. به همین دلیل میزان فیدبک، $1 + A\beta$، را همچنین به عنوان **فاکتور عدم حساسیت** نیز می‌شناسند.

گسترش پهنای باند

تقویت‌کننده‌ای را درنظر بگیرید که پاسخ فرکانس بالای آن توسط یک قطب مشخص می‌شود. بهرهٔ فرکانسهای بالا و میانی آنرا می‌توان بصورت زیر نوشت:

$$A(s) = \frac{A_M}{1 + s / \omega_H} \qquad (۸-۷)$$

که A_M نشانگر بهرهٔ باند میانی و ω_H فرکانس ۳ dB بالاست. کاربرد فیدبک منفی، با فاکتور مستقل از فرکانس β، روی این تقویت‌کننده، بهرهٔ مستقیم حلقه بستهٔ $A_f(s)$ زیر را نتیجه می‌دهد.

$$A_f(s) = \frac{A(s)}{1 + \beta A(s)}$$

با جایگذاری $A(s)$ از معادلهٔ (۷-۸) داریم:

$$A_f(s) = \frac{A_M / (1 + A_M\beta)}{1 + s / \omega_H (1 + A_M\beta)}$$

بنابراین تقویت‌کنندهٔ فیدبک دارای بهرهٔ باند میانی $A_M (1 + A_M\beta)$ و فرکانس ۳ dB بالای ω_{Hf} بصورت زیر خواهد بود.

$$\omega_{Hf} = \omega_H (1 + A_M\beta) \qquad (۸-۸)$$

بنابراین فرکانس ۳ dB بالا به اندازهٔ میزان فیدبک افزایش می‌یابد.

بطریق مشابه، می‌توان نشان داد که اگر بهره حلقه بسته توسط قطب

غالب فرکانس پایین با فرکانس ۳ dB پایین ω_L مشخص شود، آنگاه تقویت‌کنندهٔ فیدبک دارای فرکانس ۳ dB پایین ω_{Lf} خواهد بود،

$$\omega_{Lf} = \frac{\omega_L}{1 + A_M\beta} \qquad (۸-۹)$$

توجه کنید که پهنای باند تقویت‌کننده با همان ضریبی که بهرهٔ باند میانی کاهش می‌یابد، افزایش خواهد یافت، تا حاصلضرب بهره - پهنای باند ثابت بماند.

تمرین

۸-۲ مدار op-amp ناوارونگر تمرین ۸-۱ را درنظر بگیرید. فرض کنید بهرهٔ حلقه باز A دارای مقدار فرکانس پایین 10^4 و افت یکسان ۶- dB/octave در فرکانسهای بالا با فرکانس ۳dB برابر ۱۰۰ Hz است. بهرهٔ فرکانس پایین و فرکانس ۳dB بالای تقویت کنندهٔ حلقه بسته را با $R_1 = 1\text{k}\Omega$ و $R_2 = 9\ \text{k}\Omega$ بدست آورید.

جواب. ۹۹/۹ V/V، ۱۰۰/۱ kHz ❑

کاهش نویز

فیدبک منفی می‌تواند نویز یا تداخلات را در یک تقویت‌کننده کاهش دهد یا بطور دقیقتر، نسبت سیگنال به نویز را افزایش دهد. اما، همچنانکه اکنون توضیح خواهیم داد، این عمل کاهش نویز تنها تحت شرایط خاصی ممکن است. حالتی را درنظر بگیرید که در شکل (۲-۸) نشان داده شده است. شکل (الف ۲-۸) یک تقویت‌کننده با بهرهٔ A_1، سیگنال ورودی V_s، و نویز یا تداخل V_n را نشان می‌دهد. فرض شده است که به دلایلی این تقویت‌کننده از نویز مصون نیست و فرض شده که نویز تنها در ورودی تقویت‌کننده می‌تواند باشد. **نسبت سیگنال به نویز** برای این تقویت‌کننده برابر است با:

$$S/N = \frac{V_s}{V_n}$$

حال مدار شکل (ب ۲-۸) را در نظر بگیرید. در اینجا فرض می‌کنیم که امکان ساخت یک طبقه تقویت‌کنندهٔ دیگر با بهرهٔ A_2 که از نویز مصون باشد، وجود دارد. اگر این حالت برقرار باشد، آنگاه می‌توانیم تقویت‌کنندهٔ اصلی A_1 را پس از یک تقویت‌کنندهٔ عاری از نویز A_2 قرار دهیم و فیدبک منفی را به ترکیب این دو طبقه اعمال کنیم تا بهرهٔ کلی را ثابت نگه داریم. ولتاژ خروجی مدار در شکل (ب ۲-۸) را می‌توان توسط جمع آثار بدست آورد.

$$V_o = V_s \frac{A_1 A_2}{1 + A_1 A_2 \beta} + V_n \frac{A_1}{1 + A_1 A_2 \beta}$$

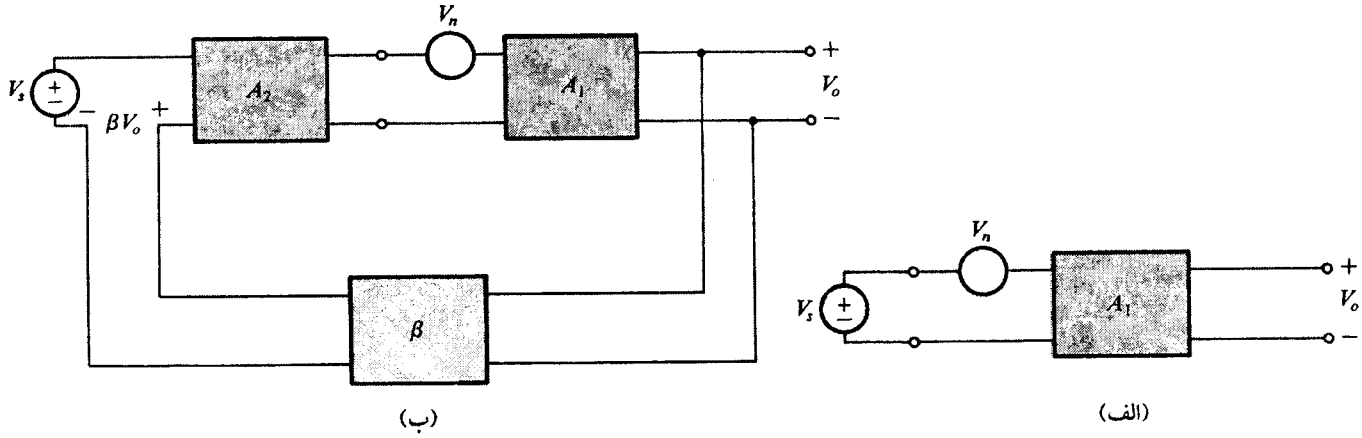
بنابراین نسبت سیگنال به نویز در خروجی برابر

$$S/N = \frac{V_s}{V_n} A_2$$

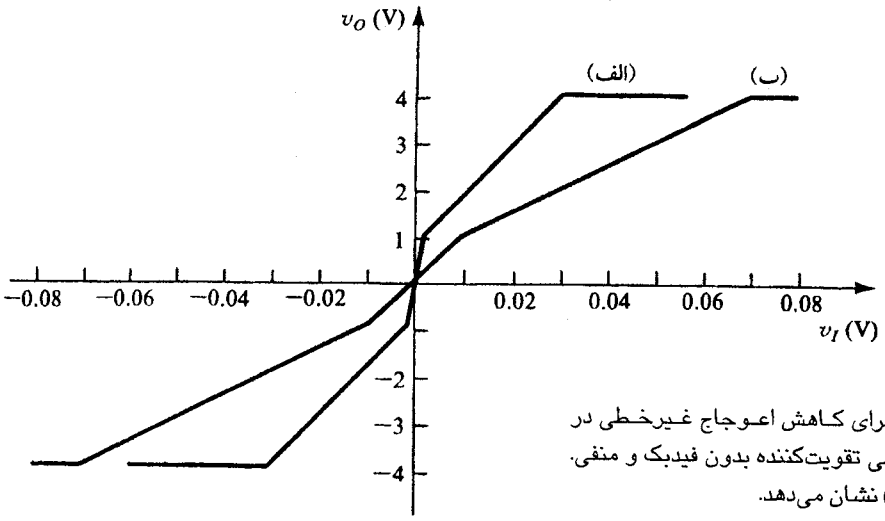
خواهد بود که A_2 برابر بزرگتر از حالت اصلی است.

باید مجدداً یادآوری کنیم که بهبود نسبت سیگنال به نویز توسط کاربرد فیدبک در صورتی امکان‌پذیر است که بتوان پیش از طبقهٔ تقویت‌کنندهٔ دارای نویز یک طبقهٔ (نسبتاً) عاری از نویز قرار داد. بهرحال این وضعیت در عمل غیرمعمول نیست. بهترین مثال را می‌توان در طبقهٔ تقویت‌کنندهٔ قدرت خروجی یک تقویت‌کنندهٔ صوتی یافت. چنین قسمتی معمولاً دارای مسأله‌ای بنام **پارازیت منبع تغذیه** است. علت بروز این مشکل کشیده‌شدن جریان زیاد از منبع تغذیه و دشواری تهیهٔ فیلتر ارزان‌قیمت مناسب برای آن می‌باشد.

لازم است که طبقهٔ قدرت خروجی، بهرهٔ قدرت زیاد با بهرهٔ ولتاژ کم را تأمین کند. بهرحال می‌توانیم پیش از طبقهٔ قدرت خروجی یک تقویت‌کنندهٔ سیگنال کوچک که بهرهٔ ولتاژ بزرگی را فراهم می‌کند قرار دهیم و فیدبک منفی بزرگی را اعمال کنیم تا بهرهٔ ولتاژ را برابر مقدار اولیه نگه داریم. از آنجا که تقویت‌کنندهٔ سیگنال کوچک می‌تواند از طریق یک منبع تغذیه کوچکتر (و در نتیجه ثابت‌تر) تغذیه شود، از مسأله پارازیت منبع مصون خواهد بود. پارازیت خروجی نیز توسط میزان بهرهٔ ولتاژ این **پیش تقویت‌کننده** کاهش خواهد یافت.



شکل ۲-۸. تشریح کاربرد فیدبک منفی برای بهبود نسبت سیگنال به نویز تقویت‌کننده



شکل ۳-۸ . تشریح کاربرد فیدبک منفی برای کاهش اعوجاج غیرخطی در تقویت‌کننده‌ها منحنی (الف) مشخصهٔ انتقالی تقویت‌کننده بدون فیدبک و منفی. (ب) مشخصه را با فیدبک منفی (β = ۰/۰۱) نشان می‌دهد.

تمرین

۳-۸ یک طبقهٔ قدرت با بهرهٔ ولتاژ A_1 = ۱، سیگنال ورودی V_s=۱V و پارازیت V_n = ۱V درنظر بگیرید. فرض کنید که پیش از این طبقهٔ قدرت یک طبقهٔ سیگنال کوچک با بهرهٔ A_2 = ۱۰۰ V/V قرار دارد و فیدبک کلّی اعمال شده β = ۱ است. اگر V_s و V_n بدون تغییر باقی بمانند، ولتاژ سیگنال و نویز در خروجی و در نتیجه نسبت S/N را بیابید.

جواب. ۱ V+ ≅ ، ۰/۰۱ V ≅ ، (۴۰ dB) ۱۰۰ ❑

کاهش اعوجاج غیرخطی

منحنی (الف) در شکل (۳-۸) مشخصهٔ تابع انتقال یک تقویت‌کننده را نشان می‌دهد. همچنانکه مشخص شده، مشخصه، جزء به جزء خطی است، با بهرهٔ ولتاژی که از ۱۰۰۰ به ۱۰۰ و سپس به صفر تغییر می‌کند. مشخصه انتقال غیرخطی در یک تقویت‌کننده تولید مقدار بزرگی اعوجاج غیرخطی خواهد کرد.

مشخصهٔ انتقال تقویت‌کننده را می‌توان با استفاده از فیدبک منفی تا حد قابل قبولی خطی کرد (یعنی، غیرخطی‌بودن آن را کاهش داد). که این امکان چندان تعجب‌آور نیست، زیرا دیده‌ایم که فیدبک منفی همواره وابستگی بهرهٔ تقویت‌کنندهٔ حلقه بسته را به بهرهٔ تقویت‌کنندهٔ اصلی کاهش می‌دهد. بنابراین تغییرات بزرگ در بهرهٔ حلقه باز (۱۰۰۰ تا ۱۰۰ در این حالت) تغییرات بسیار کوچکتری در بهره حلقه بسته را نتیجه می‌دهد.

برای توضیح، بیائید فیدبک منفی با β = ۰/۰۱ را به تقویت‌کننده‌ای که مشخصهٔ انتقال ولتاژ حلقه باز آن در شکل ۳-۸ آمده، اعمال کنیم. مشخصهٔ انتقال تقویت‌کنندهٔ حلقه بستهٔ حاصل به عنوان منحنی (ب) در شکل (۳-۸) نشان داده شده است. در اینجا شیب تندترین قسمت برابر است با:

$$A_{f1} = \frac{۱۰۰۰}{۱ + ۱۰۰۰ \times ۰/۰۱} = ۹۰/۹$$

و شیب قسمت بعدی از رابطه زیر به دست می‌آید:

$$A_{f2} = \frac{۱۰۰}{۱ + ۱۰۰ \times ۰/۰۱} = ۵۰$$

بنابراین درجهٔ تغییر دامنه در شیب تا حد قابل توجهی کاهش یافته است. البته بهایی که برای این خاصیت باید پرداخت، کاهش بهرهٔ ولتاژ است. بنابراین اگر بهره بخواهد ثابت بماند، باید یک پیش تقویت‌کننده به مدار افزوده شود. این پیش تقویت‌کننده نباید اعوجاج غیرخطی مهمی از خود بروز دهد، زیرا با سیگنالهای کوچکتر سروکار دارد.

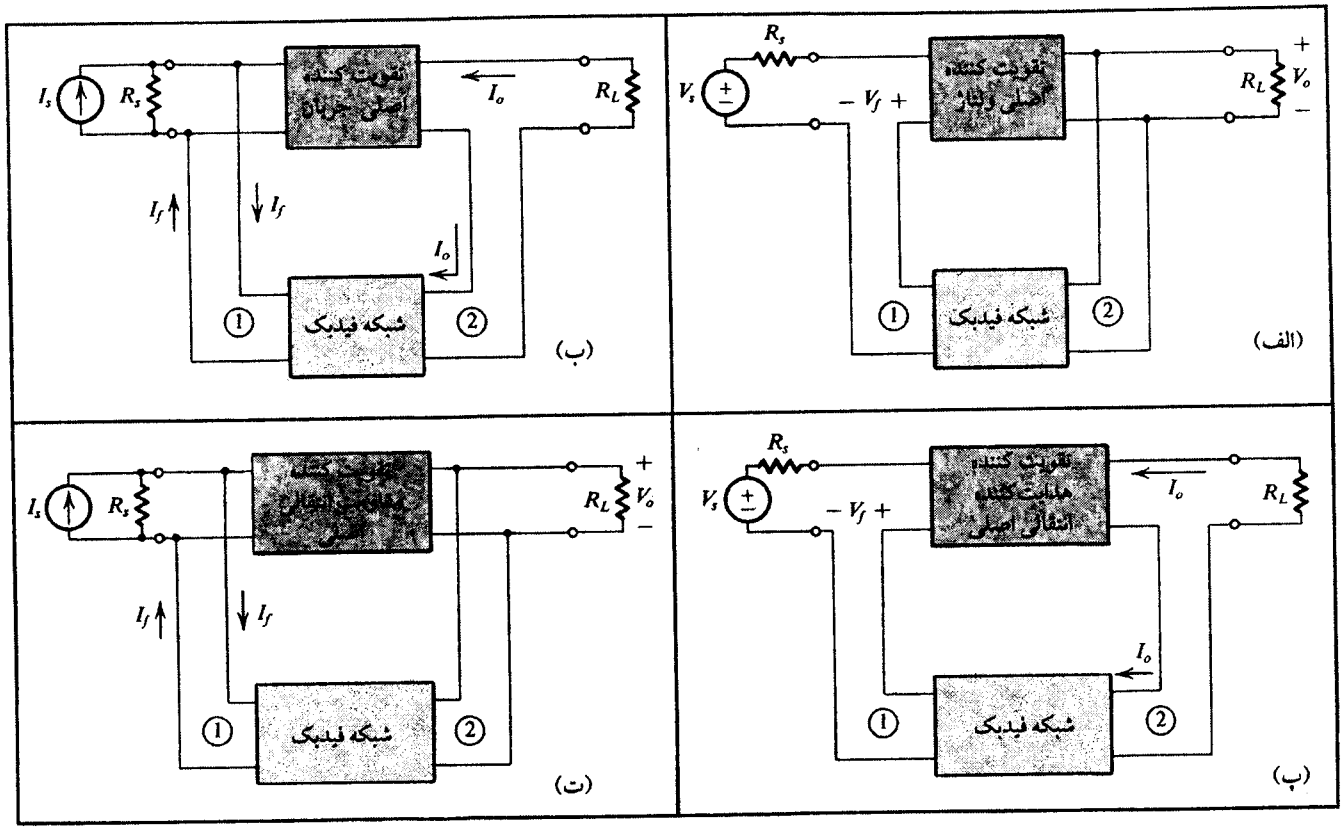
نهایتاً، باید توجه شود که فیدبک منفی هیچ کاری در رابطه با اشباع تقویت‌کننده انجام نمی‌دهد، زیرا در اشباع بهره بسیار کوچک است (تقریباً صفر) و بنابراین میزان فیدبک بسیار کوچک می‌باشد (تقریباً صفر).

۳-۸ چهار شکل اصلی فیدبک

بسته به کمیّتی که باید تقویت شود (ولتاژ یا جریان) و فرم دلخواه خروجی (ولتاژ یا جریان)، تقویت‌کننده‌ها به چهار دسته تقسیم‌بندی می‌شوند. این دسته‌ها در فصل ۱ بیان شدند. در قسمت زیر این دسته‌بندی تقویت‌کننده‌ها را دوباره مطالعه می‌کنیم و شکل فیدبک بکاررفته در هر حالت را استخراج خواهیم کرد.

تقویت‌کننده‌های ولتاژ

تقویت‌کننده‌های ولتاژ طراحی شده‌اند تا سیگنال ولتاژ ورودی را تقویت کنند و یک سیگنال ولتاژ خروجی فراهم نمایند. تقویت‌کنندهٔ ولتاژ اساساً یک منبع ولتاژ کنترل شده با ولتاژ است. امپدانس ورودی آن لازم است بزرگ باشد، و امپدانس خروجی باید کوچک باشد. از آنجا که منبع سیگنال اساساً یک منبع ولتاژ است، کافی است آنرا به فرم مدار معادل تونن نمایش دهیم. در یک تقویت‌کنندهٔ ولتاژ، خروجی موردنظر ولتاژ خروجی است. در نتیجه شبکهٔ فیدبک باید از ولتاژ خروجی نمونه گیری کند. همچنین، به علت نمایش معادل تونن منبع، سیگنال فیدبک x_f باید ولتاژی باشد که بتواند با ولتاژ منبع به طور سری ترکیب شود.



شکل ۴-۸. چهار شکل فیدبک اساسی (**الف**) نمونه‌گیری ولتاژ، ترکیب سری (سری - موازی). (**ب**) نمونه‌گیری جریان ترکیب موازی (موازی - سری). (**پ**) نمونه‌گیری جریان، ترکیب سری (سری - سری). (**ت**) نمونه‌گیری ولتاژ، ترکیب موازی (موازی - موازی)

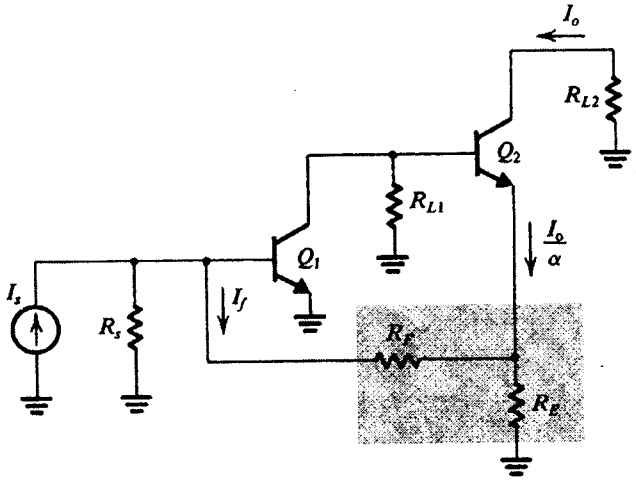
یک شکل مناسب فیدبک برای تقویت‌کنندهٔ ولتاژ، **نمونه‌گیری - ولتاژ ترکیب - سری** است که در شکل (الف ۴-۸) نشان داده شده است. همچنانکه نشان داده خواهد شد، این شکل نه تنها بهرهٔ ولتاژ ثابت دارد بلکه مقاومت ورودی بزرگتر (به علت اتصال سری در ورودی) و مقاومت خروجی کوچکتر به علت اتصال موازی در خروجی را، که جزو خواص مطلوب تقویت‌کننده‌های ولتاژ است، فراهم می‌کند. ترکیب op-amp ناوارونگر شکل (۱-۸ ت) یک مثال از این نوع فیدبک است. نهایتاً، باید یادآوری شود که این شکل فیدبک را همچنین **فیدبک سری - موازی** نیز می‌خوانند، که سری به اتصال در ورودی و موازی به اتصال در خروجی اشاره دارد.

تقویت‌کننده‌های جریان

در اینجا سیگنال ورودی، جریان است و بنابراین منبع سیگنال بهتر است که بصورت معادل نورتن بکار رود. خروجی موردنظر جریان است، بنابراین شبکهٔ فیدبک از جریان خروجی نمونه می‌گیرد. سیگنال فیدبک باید به فرم جریان باشد تا بصورت موازی با جریان منبع ترکیب شود. بنابراین شکل فیدبک مناسب برای تقویت‌کنندهٔ جریان نمونه‌گیری - جریان ترکیب - موازی است که در شکل (ب ۴-۸) نشان داده شده است. همچنانکه نشان داده خواهد شد، این شکل نه تنها بهرهٔ جریان را تثبیت می‌کند بلکه یک مقاومت ورودی کوچکتر و یک مقاومت خروجی بزرگتر را نیز فراهم می‌کند، که از خواص موردنظر در تقویت‌کننده‌های جریان است.

یک مثال شکل فیدبک نمونه‌گیری - جریان ترکیب - موازی در شکل (۵-۸) داده شده است. توجه کنید که جزئیات بایاس نشان داده نشده است و همچنین جریانی که نمونه‌برداری می‌شود، جریان خروجی نیست اما تقریباً برابر جریان امیتر Q_2 است. این کار برای راحتی طرّاحی انجام می‌شود و معمولاً در مدارهای با نمونه‌گیری جریان صورت می‌پذیرد.

جهت مرجع نشان داده شده در شکل (۵-۸) برای جریان فیدبک I_f



شکل ۵-۸. یک تقویت‌کنندهٔ ترانزیستوری با فیدبک موازی - سری

چنان است که این جریان از I_s کم می‌شود. این جهت‌گذاری در همهٔ مدارهای این فصل رعایت می‌شود، زیرا با جهت‌گذاری بکاررفته در ساختار کلّی فیدبک که در شکل (۱-۸) آمده، هماهنگی دارد. بنابراین، در همهٔ مدارها، برای اینکه فیدبک منفی باشد، باید بهرهٔ حلقه $A\beta$ مثبت باشد. به خواننده سفارش می‌کنیم که در مدار شکل (۵-۸) ثابت کند A منفی و β نیز منفی است.

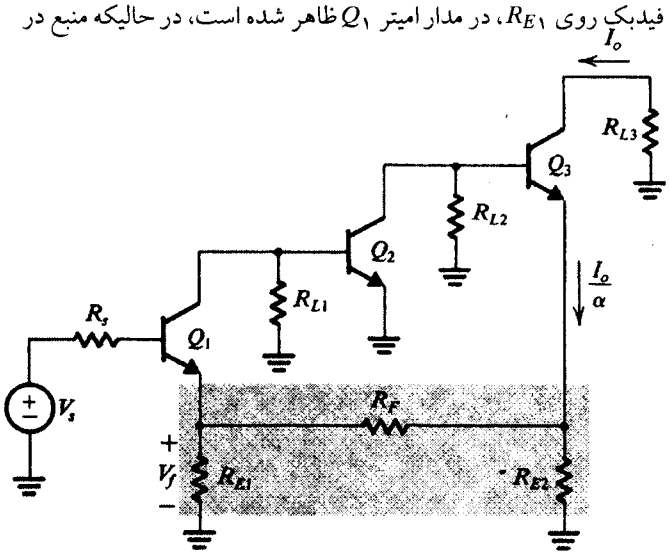
این بسیار مهم است که قادر باشیم پلاریتهٔ فیدبک (مثبت یا منفی بودن آن) را تعیین کنیم. این کار با «دنبال کردن سیگنال در حلقه» صورت می‌پذیرد. برای مثال، فرض کنید جریان I_s در شکل (۵-۸) افزایش می‌یابد. می‌بینیم که جریان بیس Q_1 و بنابراین جریان کلکتور افزایش خواهد یافت. این سبب می‌شود که ولتاژ کلکتور Q_1، و بنابراین جریان کلکتور Q_2، I_o، کاهش یابد. در نتیجه جریان امیتر Q_2، I_o/α (که α بهره جریان بیس مشترک BJT است)، کاهش خواهد یافت. از شبکهٔ فیدبک درمی‌یابیم که اگر I_o/α کم بشود، آنگاه I_f (در جهت نشان داده شده) افزایش خواهد یافت. با افزایش I_f از I_s کاسته می‌شود، و در نتیجه افزایش کوچکتری به تقویت‌کننده می‌رسد. بنابراین فیدبک منفی است.

نهایتاً، باید یادآور شویم که این شکل فیدبک را به عنوان فیدبک موازی- سری می‌شناسند. اولین کلمه در این نام (موازی) به اتصال در ورودی و دومین کلمه (سری) به اتصال در خروجی اطلاق می‌گردد.

تقویت‌کننده‌های هدایت انتقالی

در اینجا سیگنال ورودی ولتاژ و سیگنال خروجی جریان است. این نتیجه می‌دهد که شکل فیدبک مناسب **نمونه‌گیری جریان ، ترکیب سری** است، که در شکل (پ ۴-۸) بیان شده است.

یک مثال از این نوع فیدبک در شکل (۶-۸) داده شده است. در اینجا توجه کنید که مانند مدار شکل (۵-۸) جریان نمونه‌گیری شده جریان خروجی نیست ولی تقریباً برابر جریان امیتر Q_3 است. بعلاوه، حلقهٔ ترکیب قراردادی نیست، این یک اتصال سری ساده نیست، زیرا سیگنال فیدبک روی R_{E1}، در مدار امیتر Q_1 ظاهر شده است، در حالیکه منبع در



شکل ۶-۸ . مثالی از فیدبک سری - سری

مدار بیس Q_1 قرار دارد. این دو تقریب برای راحتی طراحی انجام شده‌اند.

نهایتاً، باید توجه شود که شکل فیدبک نمونه‌گیری - جریان ترکیب - سری را به عنوان آرایش فیدبک **سری - سری** می‌شناسند.

تقویت‌کننده‌های مقاومت انتقالی

در اینجا سیگنال ورودی جریان و سیگنال خروجی ولتاژ می‌باشد. این نتیجه می‌دهد که شکل فیدبک مناسب نوع **نمونه‌گیری ولتاژ، ترکیب جریان** نشان داده شده در شکل (ت ۴-۸) است.

یک مثال از این شکل فیدبک را در آرایش op-amp وارونگر شکل (الف ۷-۸) می‌بینید. در شکل (ب ۷-۸) با معادل‌گذاری منبع به فرم نورتن، مدار دوباره رسم شده است.

این شکل فیدبک را همچنین به عنوان فیدبک **موازی - موازی** نیز می‌شناسند.

۸-۴ تقویت‌کنندهٔ فیدبک سری - موازی

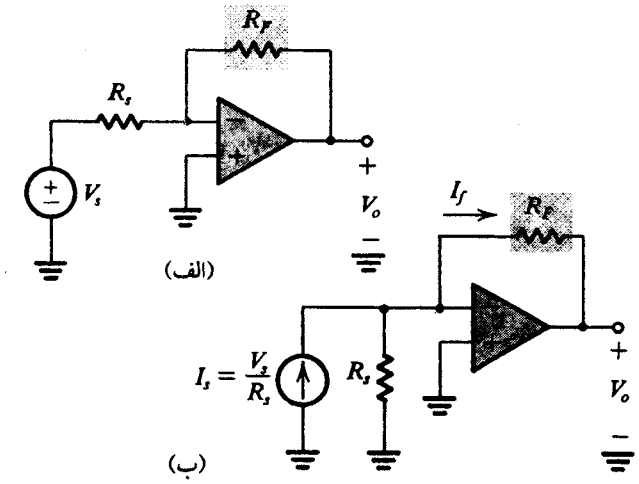
حالت ایده‌آل

ساختار ایده‌آل تقویت‌کنندهٔ فیدبک سری - موازی در شکل (الف ۸-۸) نشان داده شده است. این ترکیب شامل یک تقویت‌کنندهٔ حلقه باز یکطرفه (مدار A) و یک شبکهٔ فیدبک نمونه‌گیری - ولتاژ ترکیب سری (مدار β) ایده‌آل است. مدار A دارای مقاومت ورودی R_i، بهرهٔ ولتاژ A، و مقاومت خروجی R_o است. فرض می‌شود که مقاومتهای بار و منبع درون مدار A اضافه شده‌اند. بعلاوه، توجه کنید که مدار β اثر بارگذاری روی مدار A ندارد، یعنی اتصال مدار β مقدار A را تغییر نمی‌دهد ($A \equiv V_o/V_i$).

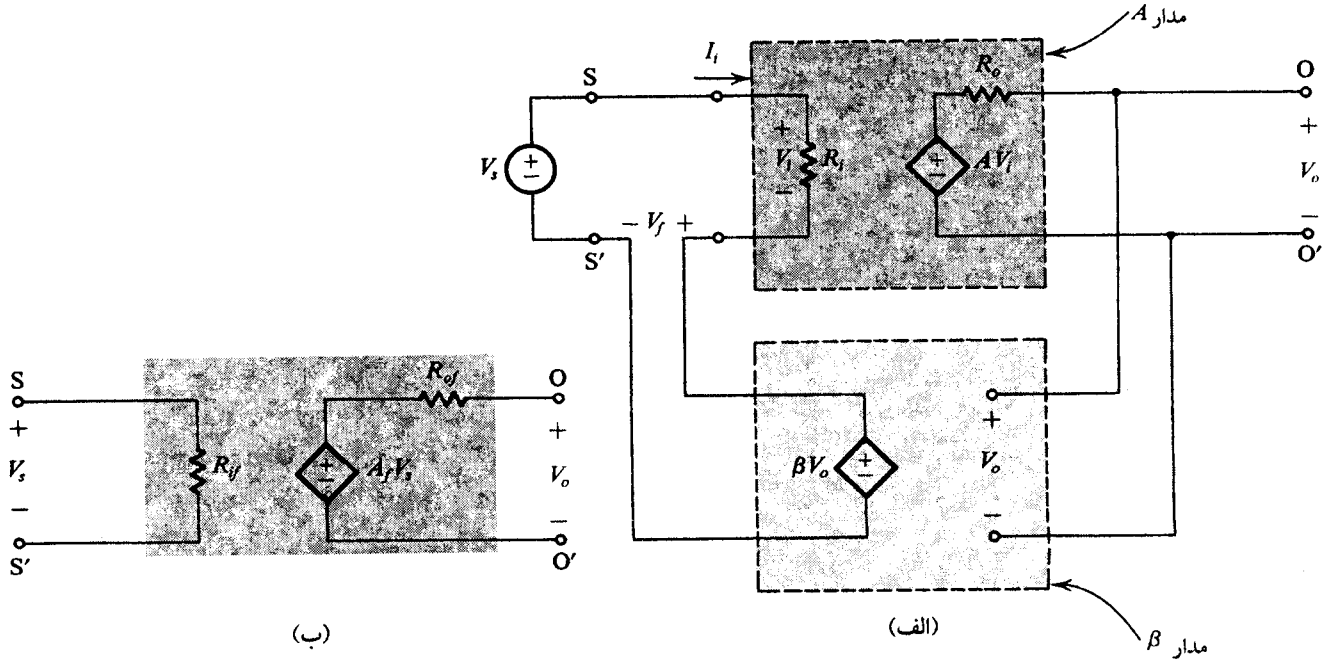
مدار شکل (الف ۸-۸) دقیقاً از مدل فیدبک ایده‌آل شکل (۱-۸) پیروی می‌کند. بنابراین بهرهٔ ولتاژ حلقه بسته A_f با رابطه زیر داده می‌شود.

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{1 + A\beta}$$

توجه کنید که واحدهای A و β اعداد متقابل هستند. در حقیقت همیشه این حالت برقرار است و در نتیجه بهرهٔ حلقه $A\beta$ فاقد بُعد است.



شکل ۷-۸ . آرایش op-amp وارونگر بعنوان مثالی از فیدبک موازی - موازی



شکل ۸.-۸. تقویت‌کنندهٔ با فیدبک سری - موازی: **(الف)** ساختار ایده‌آل. **(ب)** مدار معادل

مدل مدار معادل تقویت‌کنندهٔ با فیدبک سری - موازی در شکل (ب ۸-۸) نشان داده شده است. در اینجا R_{if} و R_{of} مشخص کنندهٔ مقاومتهای ورودی و خروجی با فیدبک هستند. رابطهٔ بین R_{if} و R_i را می‌توان با درنظرگرفتن مدار شکل (الف ۸-۸) بدست آورد،

$$R_{if} \equiv \frac{V_s}{I_i} = \frac{V_s}{V_i / R_i}$$

$$= R_i \frac{V_s}{V_i} = R_i \frac{V_i + \beta A V_i}{V_i}$$

بنابراین

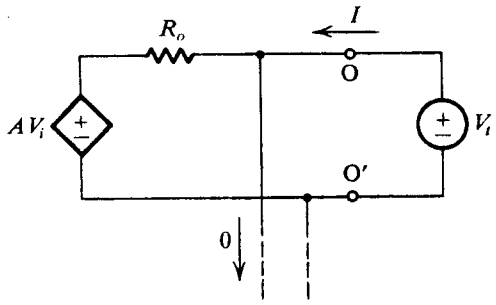
$$R_{if} = R_i (1 + A\beta)$$

یعنی، فیدبک منفی در این حالت مقاومت ورودی را با فاکتوری مساوی با میزان فیدبک افزایش می‌دهد. از آنجا که رابطه بالا بستگی به روش نمونه‌برداری (موازی یا سری) ندارد، نتیجه می‌دهد که رابطهٔ بین R_{if} و R_i فقط تابعی از روش ترکیب است. این مطلب را بعدها در این فصل تشریح خواهیم کرد.

بهرحال توجه کنید که این نتیجه تعجب‌آور نیست و از نظر فیزیکی قابل توجیه می‌باشد: از آنجا که ولتاژ فیدبک V_f از V_s کسر می‌شود، ولتاژی که روی R_i ظاهر می‌شود - یعنی V_i - کاملاً کوچک می‌شود $[V_i = V_s/(1+A\beta)]$. بنابراین جریان ورودی I_i کوچک می‌شود و مقاومت دیده شده توسط V_s بزرگ می‌شود. نهایتاً، باید توجه کرد که معادلهٔ (۸-۱۰) را می‌توان به فرم کلّی زیر تبدیل کرد.

$$Z_{if}(s) = Z_i(s)\,[1 + A(s)\beta(s)] \qquad (۸-۱۱)$$

برای پیداکردن مقاومت خروجی، R_{of}، تقویت‌کنندهٔ فیدبک شکل



شکل ۹-۸. اندازه‌گیری مقاومت خروجی تقویت‌کنندهٔ فیدبک شکل (الف ۸-۸) : $R_{of} \equiv V_t/I$

(الف ۸-۸)، V_s را به صفر کاهش می‌دهیم و ولتاژ آزمایشی V_t را به خروجی اعمال می‌کنیم، همچنانکه در شکل (۹-۸) نشان داده شده است،

$$R_{of} \equiv \frac{V_t}{I}$$

از شکل (۹-۸) می‌توانیم بنویسیم

$$I = \frac{V_t - AV_i}{R_o}$$

و از آنجا که $V_s = 0$ است، از شکل (الف ۸-۸) داریم:

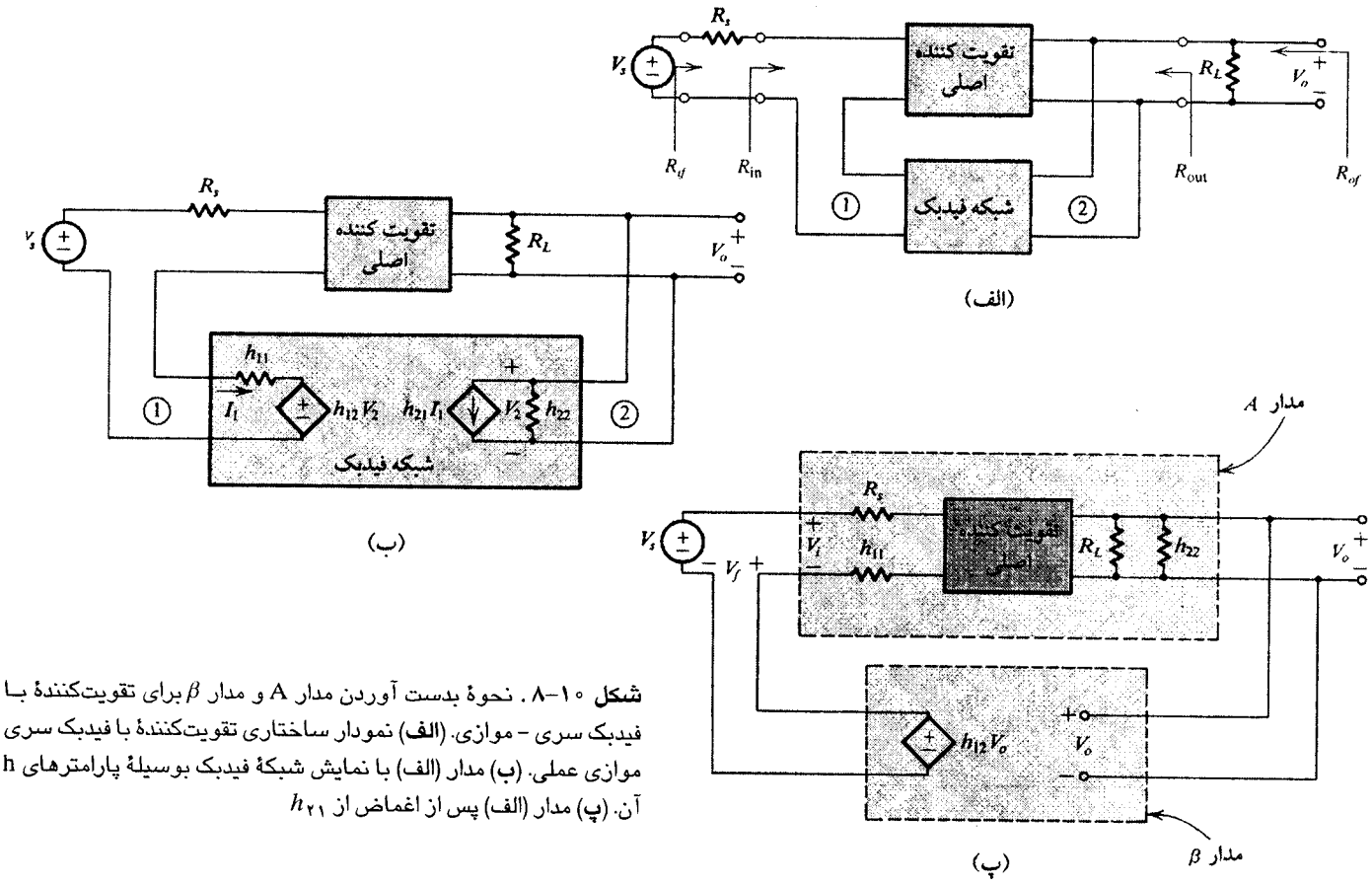
$$V_i = -V_f = -\beta V_o = -\beta V_t$$

بنابراین

$$I = \frac{V_t + A\beta V_t}{R_o}$$

که نتیجه می‌دهد

$$R_{of} = \frac{R_o}{1 + A\beta} \qquad (۸-۱۲)$$



شکل ۱۰-۸ . نحوهٔ بدست آوردن مدار A و مدار β برای تقویت‌کنندهٔ با فیدبک سری - موازی. **(الف)** نمودار ساختاری تقویت‌کنندهٔ با فیدبک سری موازی عملی. **(ب)** مدار (الف) با نمایش شبکهٔ فیدبک بوسیلهٔ پارامترهای h آن. **(پ)** مدار (الف) پس از اغماض از h_{21}

یعنی، فیدبک منفی در این حالت مقاومت خروجی را با فاکتوری معادل با میزان فیدبک کاهش می‌دهد. با کمی تأمل می‌توان دید که بدست آوردن معادلهٔ (۱۲-۸) به روش ترکیب بستگی ندارد. بنابراین رابطهٔ بین R_{of} و R_o فقط به روش نمونه‌گیری وابسته است، این نتیجه نیز تعجب‌آور نیست و به روش فیزیکی قابل توجیه است: چون فیدبک، ولتاژ خروجی V_o را نمونه برداری می‌کند، با این کار مقدار V_o ثابت نگهداشته می‌شود؛ یعنی تغییرات V_o کاهش می‌یابد، که این تغییرات خود موجب تغییر جریان کشیده شده از پایانه‌های خروجی تقویت کننده می‌شود. این در عمل به معنی آن است که فیدبک نمونه ولتاژ، مقاومت خروجی را کاهش می‌دهد. نهایتاً، توجه می‌کنیم که معادلهٔ (۱۲-۸) را می‌توان به فرم کلّی زیر نوشت:

$$Z_{of}(s) = \frac{Z_o(s)}{1 + A(s)\beta(s)} \qquad (۸-۱۳)$$

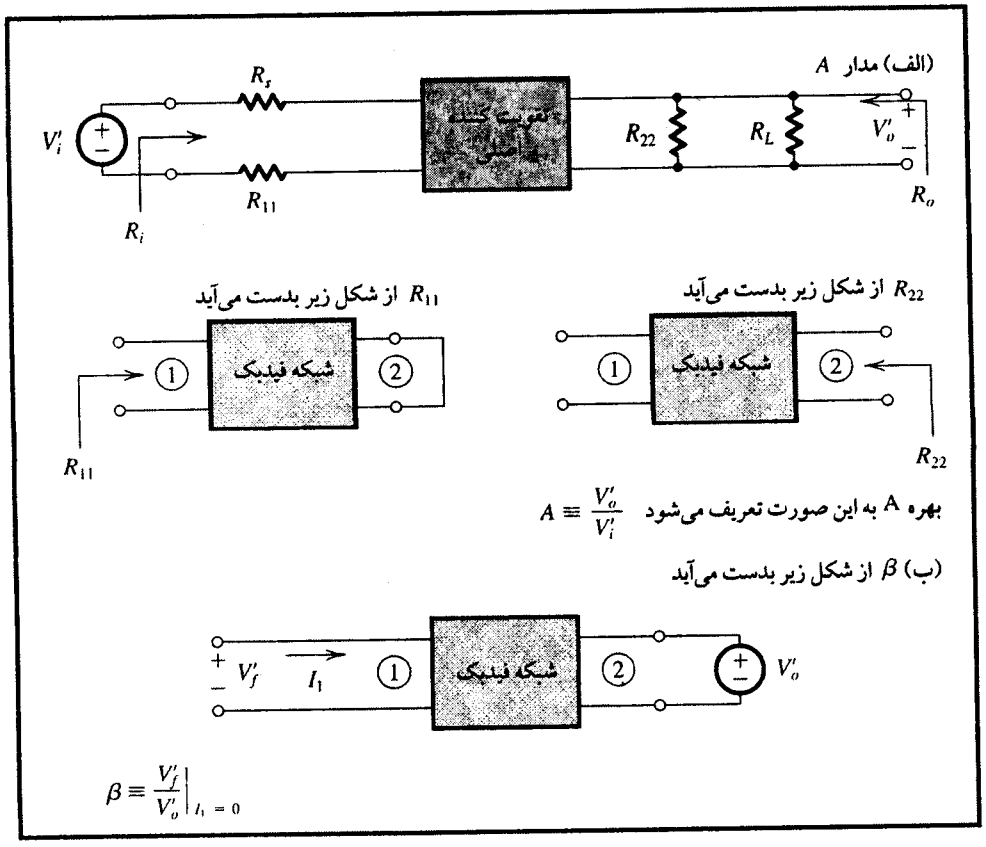
حالت عملی

در تقویت‌کنندهٔ با فیدبک سری - موازی واقعی، شبکهٔ فیدبک یک منبع ولتاژ ایده‌آل کنترل شده با ولتاژ نخواهد بود. در عوض، شبکهٔ فیدبک معمولاً غیرفعّال بوده و در نتیجه روی تقویت‌کنندهٔ اصلی اثر بارگذاری دارد و بنابراین روی مقادیر A، R_i و R_o نیز اثر خواهد گذاشت. بعلاوه، مقاومتهای بار و منبع روی این سه پارامتر اثر می‌گذارد. بنابراین مسأله‌ای که داریم بصورت زیر است: یک تقویت‌کنندهٔ با فیدبک سری - موازی داده شده که توسط نمودار شکل (الف ۱۰-۸) نمایش داده می‌شود، مدار A و مدار β را پیدا کنید.

مسألهٔ ما ایجاب می‌کند که تقویت‌کنندهٔ شکل (الف ۱۰-۸) را با ساختار ایده‌آل شکل (الف ۸-۸) نمایش دهیم. به عنوان اولین مرحله در این کار دیده می‌شود که مقاومتهای بار و منبع باید با تقویت‌کنندهٔ اصلی منطبق باشند. این خاصیت بعلاوهٔ نمایش شبکه فیدبک دوسر با پارامترهای h (ضمیمه ب راببینید)، در شکل (ب ۱۰-۸) نمایش داده شده است. انتخاب پارامترهای h بر این حقیقت استوار است که این نوع پارامتر تنها پارامتری است که شبکهٔ فیدبک را با یک شبکهٔ سری در سر ۱ و یک شبکهٔ موازی در سر ۲ نمایش می‌دهد. چنین نمایشی از نقطه نظر اتصال سری در ورودی و اتصال موازی در خروجی مناسب است.

آزمایش مدار شکل (ب ۱۰-۸) نتیجه می‌دهد که منبع جریان $h_{21}I_1$ انتقال مستقیم شبکهٔ فیدبک را نمایش می‌دهد. از آنجا که شبکهٔ فیدبک معمولاً غیرفعال است، از انتقال مستقیم آن در مقایسه با انتقال مستقیم خیلی بزرگتر تقویت‌کنندهٔ اصلی می‌توان صرفنظر کرد. بعلاوه فرض خواهیم کرد که $|h_{21}|_{\text{تقویت‌کنندهٔ اصلی}} \ll |h_{21}|_{\text{شبکهٔ فیدبک}}$ و بنابراین منبع جریان کنترل شدهٔ $h_{21}I_1$ را حذف می‌کنیم.

مدار شکل (ب ۱۰-۸) (پس از حذف منبع جریان $h_{21}I_1$) را با مدار



شکل ۱۱-۸. خلاصهٔ قواعد پیداکردن مدار A و β در حالت نمونه‌گیری ولتاژ، ترکیب - سری شکل (الف ۱۰-۸)

شکل (الف ۸-۸) مقایسه کنید. می‌بینیم که با اضافه کردن h_{11} و h_{22} به تقویت‌کنندهٔ اصلی، مدار شکل (پ ۱۰-۸) را بدست می‌آوریم که بسیار شبیه به مدار ایده‌آل است. حال اگر تقویت‌کنندهٔ اصلی یکطرفه باشد (یا تقریباً یکطرفه)، یعنی وضعیتی که در اثر برقراری شرط زیر حاصل می‌شود:

$$|h_{12}|_{\text{تقویت‌کنندهٔ اصلی}} << |h_{12}|_{\text{شبکهٔ فیدبک}}$$

آنگاه مدار شکل (پ ۱۰-۸) معادل (یا تقریباً معادل) مدار ایده‌آل خواهد بود. در نتیجه مدار A با ترکیب تقویت‌کنندهٔ اصلی در ورودی با امپدانس منبع R_s و امپدانس شبکهٔ فیدبک h_{11}، و ترکیبی از آن در خروجی با امپدانس بار R_L و ادمیتانس شبکهٔ فیدبک h_{22}، بدست می‌آید.

نتیجه می‌گیریم که اثر بارگذاری شبکهٔ فیدبک روی تقویت‌کنندهٔ اصلی توسط پارامترهای h_{11} و h_{22} نمایش داده می‌شود. از تعریف پارامترهای h در ضمیمهٔ ب درمی‌یابیم که h_{11} امپدانس دیده شده از سر ۱ شبکهٔ فیدبک با اتصال کوتاه کردن سر ۲ است. از آنجا که سر ۲ شبکهٔ فیدبک بصورت موازی به پایانه خروجی تقویت‌کننده متصل می‌شود، اتصال کوتاه کردن سر ۲ فیدبک را خراب می‌کند. بطریق مشابه، h_{22}، ادمیتانس دیده شده از سر ۲ شبکهٔ فیدبک با اتصال بازبودن سر ۱ است. از آنجا که سر ۱ شبکهٔ فیدبک بصورت سری با ورودی تقویت‌کننده بسته می‌شود، اتصال بازبودن سر ۱ فیدبک را خراب می‌کند.

این دست‌آوردها یک قانون ساده برای پیداکردن اثرات بارگذاری شبکهٔ فیدبک روی تقویت‌کنندهٔ اصلی را پیش روی ما می‌گذارند. اثر بارگذاری با نگاه‌کردن به پایانه موردنظر از شبکهٔ فیدبک هنگامی که پایانه دیگر اتصال کوتاه یا مدار باز شده است، تعیین می‌شود که فیدبک را نیز خراب می‌کند. اگر اتصال موازی باشد، پایانه را اتصال کوتاه می‌کنیم. اگر اتصال سری باشد، آنرا باز می‌کنیم. در بخش ۵-۸ و ۶-۸ دیده خواهد شد که این قانون ساده به سه شکل دیگر فیدبک نیز اعمال می‌شود.[1]

سپس تعیین β را درنظر می‌گیریم. از شکل (پ ۱۰-۸) می‌بینیم که β برابر h_{12} شبکهٔ فیدبک است

$$\beta = h_{12} \equiv \frac{V_1}{V_2}\Big|_{I_1=0}$$

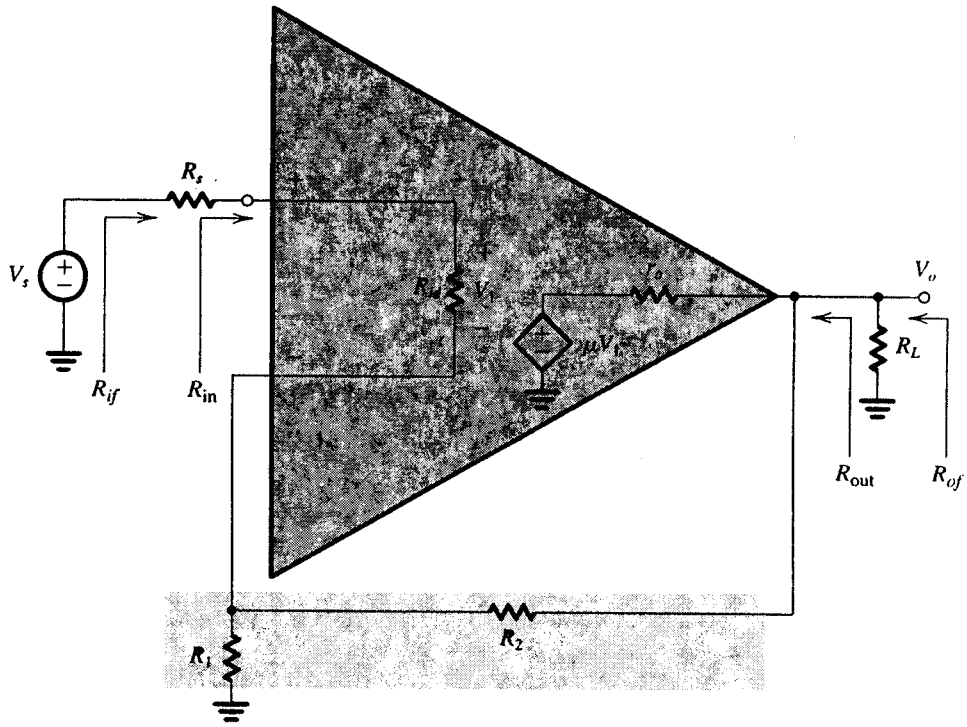
بنابراین برای محاسبهٔ β باید یک ولتاژ به پایانه ۲ اعمال کرد و ولتاژی را که در پایانه ۱ ظاهر می‌شود، به شرط مدار بازبودن آن، اندازه‌گیری نمود. این نتیجهٔ کاملاً واضح است زیرا کار مدار فیدبک نمونه‌برداری از ولتاژ خروجی ($V_2 = V_o$) و تأمین یک سیگنال ولتاژ است ($V_1 = V_f$) که بصورت سری با منبع ورودی ترکیب می‌شود. اتصال سری در ورودی این مطلب را آشکار می‌سازد که (همانند حالت پیداکردن اثر بارگذاری شبکهٔ فیدبک) برای پیداکردن β باید پایانه ۱ مدار باز باشد.

خلاصه

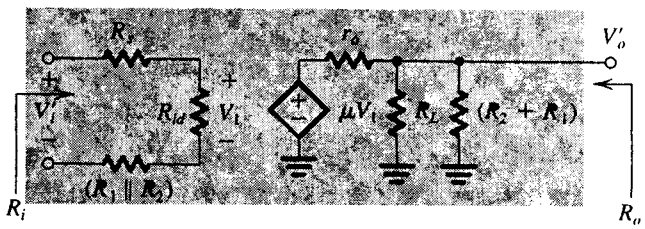
خلاصه‌ای از قوانین لازم برای پیداکردن مدار A و β برای یک تقویت‌کننده با فیدبک سری - موازی به فرم شکل (الف ۱۰-۸) در شکل (۱۱-۸) داده شده است. برای استفاده از فرمول های فیدبک معادله های (۱۰-۸) و (۱۲-۸) برای تعیین مقاومت های ورودی و خروجی، باید به

---

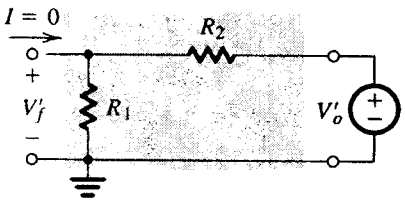
۱ - یادآوری یک قاعده ساده: اگر اتصال موازی است آنرا اتصال کوتاه کنید اگر سری است آن را باز کنید.



(الف)



(ب)



(پ)

شکل ۱۲-۸. مدارهای مثال ۱-۸

نکات زیر توجه شود:

۱- R_i و R_o بترتیب مقاومت‌های ورودی و خروجی مدار A در شکل (۱۱-۸) هستند.

۲- R_{if} و R_{of} بترتیب مقاومت‌های ورودی و خروجی تقویت کننده فیدبک داده شامل R_s و R_L هستند [شکل (الف ۱-۸) را ببینید].

۳- مقاومت‌های واقعی ورودی و خروجی تقویت کننده فیدبک معمولاً شامل R_s و R_L هستند که آن‌ها را با R_{in} و R_{out} در شکل (الف ۱۰-۸) نشان داده‌ایم و به راحتی از رابطه‌های زیر به دست می‌آیند:

$$R_{in} = R_{if} - R_s$$

$$R_{out} = 1 \Big/ \left(\frac{1}{R_{of}} - \frac{1}{R_L}\right)$$

مثال ۱-۸

شکل (الف ۱۲-۸) یک op-amp را که با آرایش ناوارونگر بسته شده است نشان می‌دهد. op-amp دارای بهره حلقه باز μ، مقاومت تفاضلی ورودی R_{id} و مقاومت خروجی r_o می‌باشد. به یاد آورید که در تحلیل op-amp فصل ۲، از اثرات R_{id} (که بینهایت فرض شده بود) و r_o (که صفر فرض شده بود)، صرفنظر کردیم. در این حال می‌خواهیم با استفاده از روش فیدبک مدار را با در نظر گرفتن R_{id} و r_o تحلیل کنیم. برای A، β، بهره حلقه بسته V_o/V_s، مقاومت ورودی R_{in} (شکل الف ۱۲-۸ را ببینید) و مقاومت خروجی R_{out} توصیفی بیابید. همچنین مقادیر عددی این روابط را برای $\mu = 10^4$، $R_{id} = 100\,k\Omega$، $r_o = 1\,k\Omega$، $R_L = 2\,k\Omega$، $R_1 = 1\,k\Omega$، $R_2 = 1\,M\Omega$، و $R_s = 10\,k\Omega$ بیابید.

حل:

دیده می‌شود که شبکهٔ فیدبک شامل R_2 و R_1 است. این شبکه از ولتاژ خروجی V_o نمونه‌برداری می‌کند و یک سیگنال ولتاژ (روی R_1)، که بصورت سری با منبع ورودی V_s ترکیب می‌شود، مهیا می‌کند.

مدار A به راحتی توسط قوانین شکل (۱۱-۸) بدست می‌آید و در شکل (ب ۱۲-۸) نشان داده شده است. برای این مدار می‌توانیم بنویسیم:

$$A = \frac{V'_o}{V'_i} \equiv \mu \frac{[R_L \| (R_1 + R_2)]}{[R_L \| (R_1 + R_2)] + r_o} \; \frac{R_{id}}{R_{id} + R_s + (R_1 \| R_2)}$$

برای مقادیر داده شده داریم: $A \cong ۶۰۰۰$ V/V.

مدار لازم برای بدست آوردن β در شکل (ت ۱۲-۸) نشان داده شده، که از آن داریم:

$$\beta \equiv \frac{V'_f}{V'_o} = \frac{R_۱}{R_۱ + R_۲} \cong ۱۰^{-۳} \text{ V/V}$$

بهرهٔ ولتاژ با فیدبک چنین بدست می‌آید.

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{۱ + A\beta} = \frac{۶۰۰۰}{۷} = ۸۵۷ \text{ V/V}$$

مقاومت ورودی R_{if} که توسط معادلات فیدبک داده شده مقاومتی است که منبع خارجی می‌بیند [در شکل (الف ۱۲-۸)] این مقاومت از رابطهٔ زیر به دست می‌آید:

$$R_{if} = R_i (۱ + A\beta)$$

که R_i مقاومت ورودی مدار A در شکل (ب ۱۲-۸) است.

$$R_i = R_s + R_{id} + (R_۱ \| R_۲)$$

برای مقادیر داده شده، $R_i \cong ۱۱۱ \text{ k}\Omega$، که نتیجه می‌دهد

$$R_{if} = ۱۱۱ \times ۷ = ۷۷۷ \text{ k}\Omega$$

اما این مقاومت خواسته شده نیست. آنچه مطلوب است R_{in} می‌باشد، که در شکل (الف ۱۲-۸) نشان داده شده است. برای بدست‌آوردن R_{in} ابتدا R_s را از R_{if} کم می‌کنیم

$$R_{in} = R_{if} - R_s$$

برای مقادیر داده شده، $R_{in} = ۷۳۹ \text{ k}\Omega$ است، مقاومت R_{of} داده شده توسط معادلات فیدبک، مقاومت خروجی تقویت‌کننده فیدبک است، که شامل مقاومت بار R_L می‌شود، همچنانکه در شکل (الف ۱۲-۸) نشان داده شده است. R_{of} از رابطه زیر به دست می‌آید:

$$R_{of} = \frac{R_o}{۱ + A\beta}$$

که R_o مقاومت خروجی مدار A است. R_o را می‌توان با بررسی شکل (ب ۱۲-۸) بصورت زیر بدست آورد:

$$R_o = [r_o \| R_L \| (R_۲ + R_۱)]$$

برای مقادیر داده شده، $R_o \cong ۶۶۷ \Omega$ و

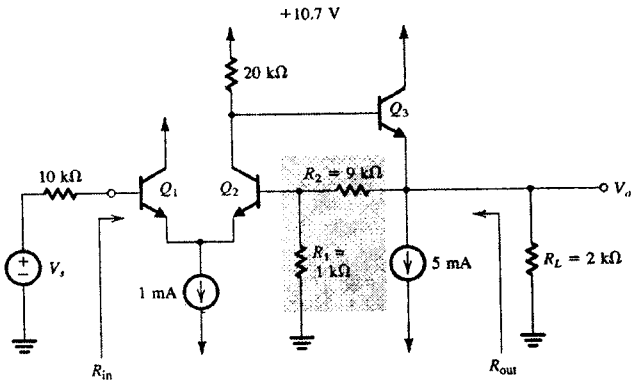
$$R_{of} = \frac{۶۶۷}{۷} = ۹۵/۳ \Omega$$

مقاومت خواسته شدهٔ R_{out}، مقاومت خروجی تقویت‌کننده فیدبک بجز مقاومت R_L است. از شکل (الف ۱۲-۸) می‌بینیم که

$$R_{of} = (R_{out} \| R_L)$$

بنابراین

$$R_{out} \cong ۱۰۰ \Omega$$



شکل (۵-۸. ت)

تمرینها

۸-۴ اگر op-amp مثال ۱-۸ دارای تضعیف فرکانس بالای −۶dB/octave با $f_{۳dB}$ = ۱ kHz باشد، فرکانس ۳ dB بهرهٔ حلقه بستهٔ V_o/V_s را بیابید.
جواب. ۷ kHz

۸-۵ مدار نشان داده شده در شکل ۵-۸ ت شامل یک طبقهٔ تفاضلی است که پس از آن یک مدارامیتر پیرو، با فیدبک سری - موازی تأمین شده توسط مقاومتهای $R_۱$ و $R_۲$ قرار گرفته است. با فرض اینکه مؤلفهٔ dc ولتاژ V_s صفر باشد، جریان کار dc هر سه ترانزیستور را پیدا کنید و نشان دهید که ولتاژ dc در خروجی تقریباً صفر است. سپس مقادیر A، β، $A_f \equiv V_o/V_s$، R_{in}، R_{out} را بیابید. فرض کنید ترانزیستورها دارای $\beta = ۱۰۰$ می‌باشند.
جواب. ۸۵/۷ V/V، ۰/۱ V/V، ۸/۹۶ V/V، ۱۹۱ kΩ، ۱۹/۱ Ω ❑

۸-۵ تقویت‌کنندهٔ فیدبک سری - سری

حالت ایده‌آل

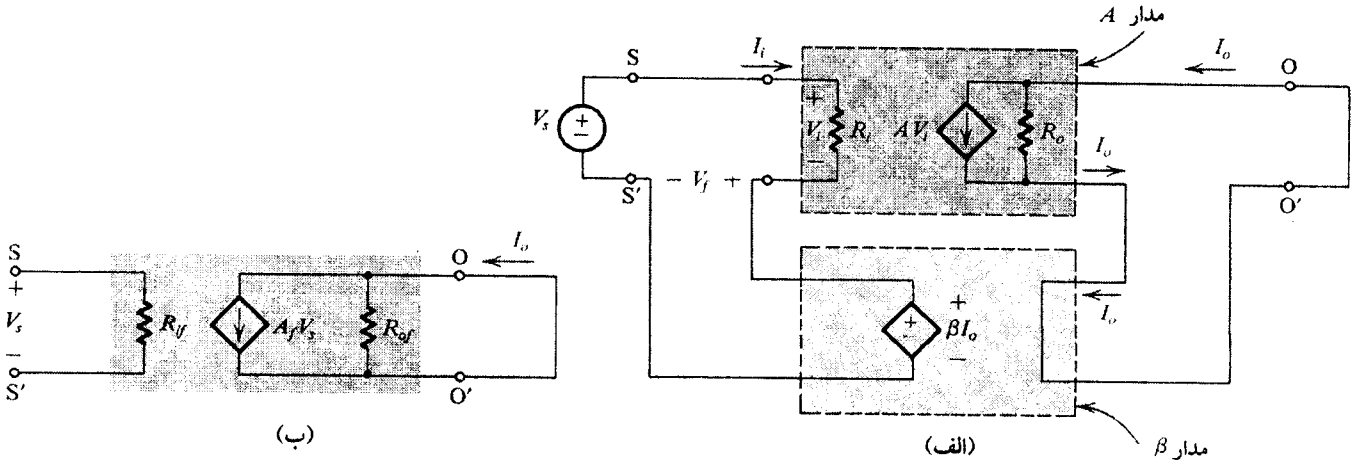
همچنانکه در بخش ۳-۸ بیان شد، شکل فیدبک سری - سری I_o/V_s را تثبیت می‌کند و بنابراین برای تقویت‌کننده‌های هدایت انتقالی مناسبترین می‌باشند. شکل (الف ۱۳-۸) ساختار ایده‌آل تقویت‌کنندهٔ فیدبک سری - سری را نشان می‌دهد. این مدار شامل تقویت‌کنندهٔ یکطرفهٔ حلقه باز (مدار A) یک و شبکهٔ فیدبک ایده‌آل است. توجه کنید که در این حالت A هدایت انتقالی است.

$$A \equiv \frac{I_o}{V_i} \qquad (۸-۱۴)$$

در حالیکه β مقاومت انتقالی است. بنابراین بهرهٔ حلقه $A\beta$ یک مقدار بی‌بُعد باقی می‌ماند، چنانکه همیشه نیز باید باشد.

در ساختار ایده‌آل شکل (الف ۱۳-۸)، مقاومتهای بار و منبع به درون مدار A اضافه شده‌اند و مدار β اثر بارگذاری روی مدار A ندارد. بنابراین مدار از مدل فیدبک ایده‌آل شکل (۱-۸) پیروی می‌کند و می‌توانیم بنویسیم:

$$A_f \equiv \frac{I_o}{V_s} = \frac{A}{۱ + A\beta} \qquad (۸-۱۵)$$



شکل ۱۳-۸. تقویت‌کننده با فیدبک سری - سری (**الف**) ساختار ایده‌آل. (**ب**) مدار معادل

این هدایت انتقالی با فیدبک در مدل مدار معادلِ تقویت‌کنندهٔ فیدبک اضافه شده، که در شکل (ب ۱۳-۸) نشان داده شده است. در این مدل R_{if} مقاومت ورودی با فیدبک است. با استفاده از تحلیلی شبیه بخش ۴-۸ می‌توانیم نشان دهیم:

$$R_{if} = R_i\,(1 + A\beta) \qquad (۸-۱۶)$$

این رابطه با رابطه‌ای که برای فیدبک سری - موازی بدست آمده یکسان می‌باشد که با نظر قبلی ما در این مورد که رابطهٔ بین R_{if} و R_i فقط تابعی از چگونگی ترکیب است، هماهنگی دارد. به هرحال ترکیب سری همواره مقاومت ورودی را افزایش می‌دهد.

برای پیداکردن مقاومت خروجی R_{of} تقویت‌کنندهٔ با فیدبک سری - سری شکل (الف ۱۳-۸)، V_s را به صفر کاهش می‌دهیم و با قطع مدار خروجی یک جریان آزمایشی I_t را، مطابق شکل ۱۴-۸ به آن اعمال می‌کنیم:

$$R_{of} \equiv \frac{V}{I_t} \qquad (۸-۱۷)$$

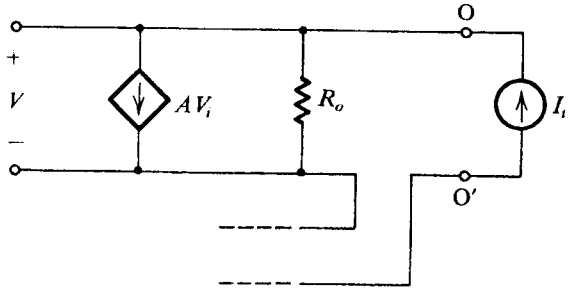
در این حالت، $V_i = -V_f = -\beta I_o = -\beta I_t$ است. بنابراین برای مدار شکل ۱۴-۸ داریم که

$$V = (I_t - AV_i)\,R_o = (I_t + A\beta\, I_t)\,R_o$$

در نتیجه

$$R_{of} = (1 + A\beta)\,R_o \qquad (۸-۱۸)$$

یعنی در این حالت فیدبک منفی مقاومت خروجی را افزایش می‌دهد، توقع چنین چیزی را نیز داشتیم، زیرا فیدبک منفی سعی در ثابت نگاه‌داشتن جریان I_o علیرغم تغییر ولتاژ خروجی دارد، که در نتیجه مقاومت خروجی را افزایش می‌دهد. این نتیجه همچنین با ذهنیات قبلی ما نیز تطابق دارد، که رابطهٔ بین R_{of} و R_o فقط تابعی از چگونگی نمونه‌برداری می‌باشد. در حالیکه نمونه‌گیری ولتاژ (موازی) مقاومت خروجی را کاهش می‌دهد، نمونه‌گیری جریان (سری) آنرا افزایش خواهد داد.



شکل ۱۴-۸. اندازه‌گیری مقاومت خروجی R_{of} تقویت‌کننده با فیدبک سری - سری

حالت واقعی (عملی)

شکل (الف ۱۵-۸) نمودار یک تقویت‌کنندهٔ فیدبک سری - سری واقعی را نشان می‌دهد. برای اینکه بتوانیم معادلات فیدبک را برای این تقویت‌کننده بکار ببریم مجبوریم که آنرا با ساختار ایده‌آل شکل (الف۱۳-۸) نمایش دهیم. کار بعدی ما تهیهٔ یک روش ساده برای پیداکردن A و β می‌باشد.

تقویت‌کنندهٔ سری - سری شکل (الف ۱۵-۸) با نزدیکترشدن R_s و R_L به تقویت‌کنندهٔ اصلی و نمایش شبکهٔ فیدبک دو سر با پارامترهای آن (ضمیمه ب) در شکل (ب ۱۵-۸) مجدداً رسم شده است. این مجموعه پارامتر به این علت انتخاب شده‌اند که شبکهٔ فیدبک را بصورت یک مدار سری در ورودی و یک مدار سری در خروجی نمایش می‌دهند. این مطلب از نقطه نظر اتصالات سری در ورودی و خروجی کاملاً مناسب می‌باشد.

مانند آنچه در تقویت‌کنندهٔ سری - موازی انجام دادیم، باید فرض کنیم که انتقال مستقیم از طریق شبکهٔ فیدبک در مقایسه با انتقال از طریق تقویت‌کنندهٔ اصلی قابل صرفنظر کردن است. یعنی، شرط

$$|z_{21}|_{\text{تقویت‌کننده اصلی}} \gg |z_{21}|_{\text{شبکهٔ فیدبک}}$$

برقرار است. صرفنظر از منبع ولتاژ $z_{21}I_1$ در شکل (ب ۱۵-۸)، را امکان‌پذیر می‌سازد. با انجام این کار، و با اضافه‌کردن z_{11} و z_{22} به تقویت‌کنندهٔ اصلی، به مدار شکل (پ ۱۵-۸) می‌رسیم. حال اگر

تقویت‌کنندهٔ اصلی یکطرفه باشد (یا تقریباً یکطرفه)، حالتی که به هنگام برقراری شرط زیر حاصل می‌شود:

$$|z_{12}|_{\text{شبکه فیدبک}} << |z_{12}|_{\text{تقویت‌کنندهٔ اصلی}}$$

می‌بینیم که این مدار معادل (یا تقریباً معادل) با مدار ایده‌آل شکل (الف ۱۳-۸) است.

بنابراین مدار A حاصل ترکیب تقویت‌کننده اصلی بعلاوهٔ R_s و z_{11} در ورودی و R_L و z_{22} در خروجی است. از آنجا که z_{11} و z_{22} امپدانسهای دیده شده از سرهای ۱ و ۲ شبکهٔ فیدبک با مدار بازبودن سر دیگر هستند، درمی‌یابیم که پیداکردن اثر بارگذاری شبکهٔ فیدبک روی تقویت‌کنندهٔ اصلی از قانون بخش ۴-۸ پیروی می‌کند. یعنی، به یک سر از شبکهٔ فیدبک نگاه می‌کنیم در حالی که سر دیگر مدار باز یا اتصال کوتاه شده، به صورتی که فیدبک خراب شود (مدار باز اگر سری و اتصال کوتاه اگر موازی باشند).

از شکل (ب ۱۵-۸) می‌بینیم که β برابر z_{12} شبکهٔ فیدبک است،

$$\beta = z_{12} = \frac{V_1}{I_2}\Big|_{I_1 = 0} \qquad (۸-۱۹)$$

این نتیجه کاملاً واضح است. یادآوری می‌کنیم که شبکهٔ فیدبک از جریان خروجی $[I_2 = I_o]$ نمونه‌برداری می‌کند و یک ولتاژ $[V_f = V_1]$ که بصورت سری با منبع ورودی ترکیب می‌شود مهیا می‌سازد. این اتصال سری در ورودی مشخص می‌کند که β با مدار بازکردن سر ۱ اندازه‌گیری می‌شود.

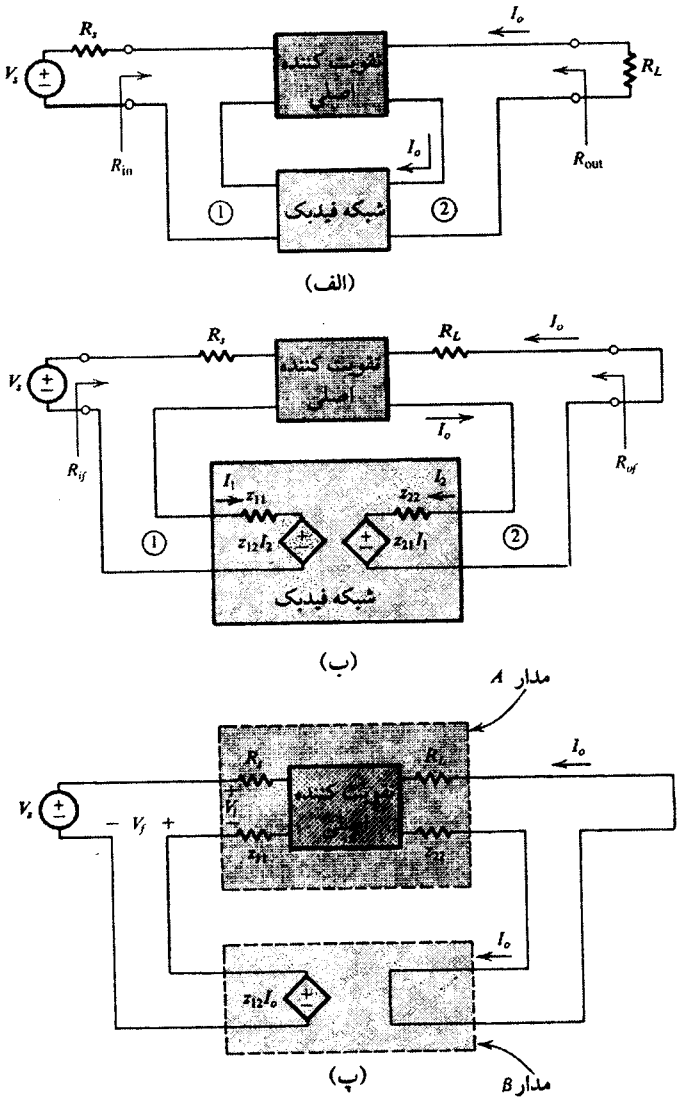
خلاصه

برای رجوع بعدی خلاصه‌ای از قوانین پیداکردن مدارهای A و β برای تقویت‌کنندهٔ با فیدبک سری - سری نشان داده شده در شکل (الف ۱۵-۸) را در شکل (۱۶-۸) نمایش داده‌ایم. توجه کنید که R_i مقاومت ورودی مدار A و R_o مقاومت خروجی آن است، که می‌توان این مقاومت‌ها را با شکستن حلقه خروجی و نظر به پایانه‌های Y و Y'، تعیین کرد. با استفاده از R_i و R_o در معادله‌های (۱۶-۸) و (۱۸-۸)، R_{if} و R_{of} [شکل (ب ۱۵-۸)] به دست می‌آیند. مقاومت ورودی و خروجی تقویت کننده فیدبک را می‌توان از تفریق R_s از R_{if} و R_L از R_{of} به دست آورد:

$$R_{in} = R_{if} - R_s$$
$$R_{out} = R'_{of} - R_L$$

مثال ۲-۸

از آنجا که فیدبک منفی پهنای باند تقویت‌کننده را افزایش می‌دهد، در طراحی تقویت‌کننده‌های باند پهن به طور معمول بکار می‌رود. یکی از این تقویت‌کننده‌ها MC1553 است. بخشی از مدار MC1553 در شکل (الف ۱۸-۷) نشان داده شده است. مدار نشان داده شده (که سه گانه فیدبک خوانده می‌شود) شامل سه‌طبقهٔ بهره با فیدبک سری-سری است که توسط شبکهٔ R_{E1}، R_F و R_{E2} پیاده شده است.

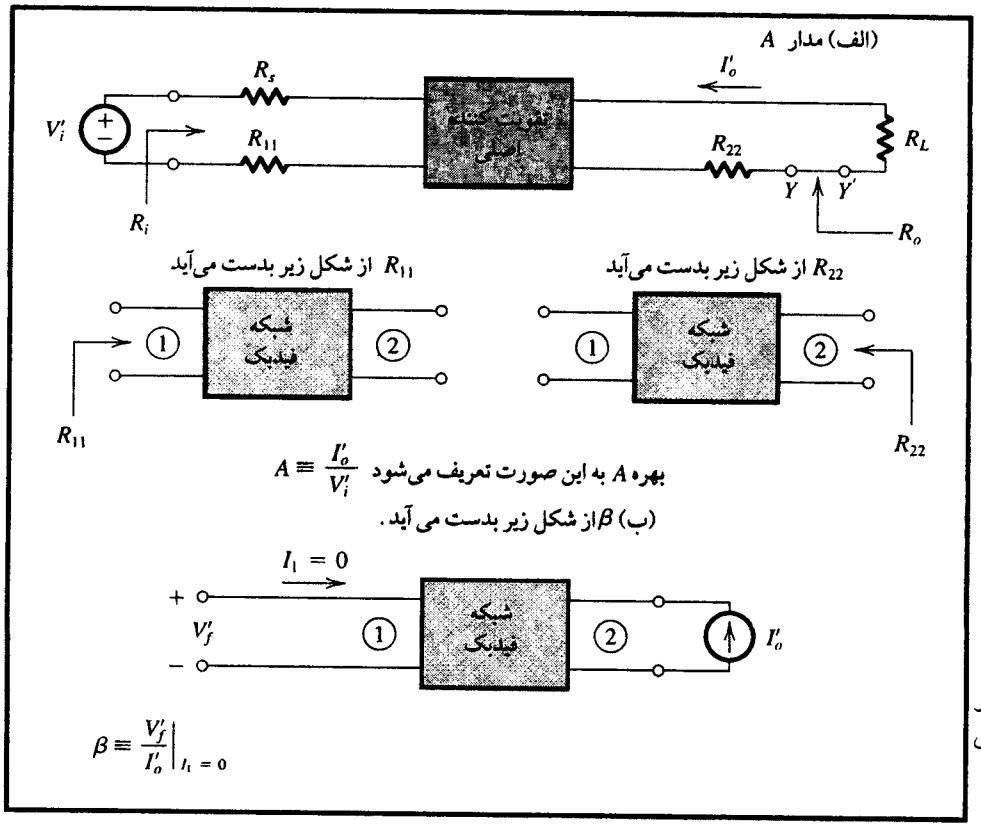


شکل ۱۵-۸. نحوهٔ بدست آوردن مدار A و مدار β برای تقویت کننده‌های با فیدبک سری - سری (**الف**) یک تقویت‌کننده سری - سری. (**ب**) مدار (الف) با نمایش شبکه فیدبک بوسیله پارامترهای z آن. (**پ**) ترسیم دوبارهٔ مدار (ب) پس از اغماض از z_{21}

فرض کنید که مدار بایاس، که نشان داده نشده، سبب ایجاد $I_{C1} = 0/6\text{mA}$، $I_{C2} = 1\text{mA}$ و $I_{C3} = 4\text{ mA}$ شود. با استفاده از این مقادیر و فرض $h_{fe} = 100$ و $r_o = \infty$، بهرهٔ حلقه باز A، ضریب فیدبک β، بهرهٔ حلقه بسته $A_f \equiv I_o / V_s$، بهرهٔ ولتاژ V_o/V_s، و مقاومت ورودی $R_{in} = R_{if}$ و مقاومت خروجی R_{of} (بین گره‌های Y و Y') را بیابید. اگر r_o مربوط به Q_3، $25K\Omega$ باشد، مقدار تقریبی مقاومت خروجی R_{out} را تخمین بزنید.

حل:

با اعمال قوانین بارگذاری داده شده در شکل (۱۶-۸)، مدار A نشان داده شده در شکل (ب ۱۷-۸) بدست می‌آید. برای یافتن $A \equiv I'_o/V'_i$



شکل ۱۶-۸. نحوهٔ پیداکردن مدار A و β در حالت نمونه‌گیری جریان، ترکیب سری (سری - سری)

ابتدا بهرهٔ طبقهٔ اول را بدست می‌آوریم. این را می‌توان بصورت زیر نوشت:

$$\frac{V_{c1}}{V'_i} = \frac{-\alpha_1 (R_{C1} \| r_{\pi 2})}{r_{e1} + [R_{E1} \| (R_F + R_{E2})]}$$

از آنجا که Q_1 در ۰/۶ mA بایاس شده، $r_{e1} = 41/7\ \Omega$ است. ترانزیستور Q_2 در ۱ mA بایاس شده، بنابراین $r_{\pi 2} = h_{fe}/g_{m2} = \frac{100}{40} = 2/5 k\Omega$. با جایگذاری این مقادیر و با $\alpha_1 = 0/99$، $R_{C1} = 9\ k\Omega$، $R_{E1} = 100\ \Omega$، $R_F = 640\ \Omega$ و $R_{E2} = 100\ \Omega$ داریم:

$$\frac{V_{c1}}{V'_i} = -14/92\ V/V$$

سپس بهرهٔ طبقهٔ دوم را بدست می‌آوریم، که بصورت زیر نوشته می‌شود (توجه کنید که $V_{b2} = V_{c1}$)

$$\frac{V_{c2}}{V_{c1}} = -g_{m2}\{R_{C2} \| (h_{fe}+1)[r_{e3} + (R_{E2} // (R_F + R_{E1}))]\}$$

با جایگذاری $g_{m2} = 40\ mA/V$، $R_{C2} = 5\ k\Omega$، $h_{fe} = 100$، $r_{e3} = \frac{25}{4} = 6/25\Omega$، $R_{E2} = 100\Omega$، $R_F = 640\Omega$، و $R_{E1} = 100\Omega$ خواهیم داشت:

$$\frac{V_{c2}}{V_{c1}} = -131/2\ V/V$$

در نهایت برای سومین طبقه می‌توان نوشت

$$\frac{I'_o}{V_{c2}} = \frac{I_{e3}}{V_{b3}} = \frac{1}{r_{e3} + (R_{E2} \| (R_F + R_{E1}))}$$

$$= \frac{1}{6/25 + (100 \| 740)} = 10/6\ mA/V$$

با ترکیب بهرهٔ سه طبقه خواهیم داشت:

$$A \equiv \frac{I'_o}{V'_i} = -14/92 \times -131/2 \times 10/6 \times 10^{-3} = 20/7 A/V$$

مدار لازم برای تعیین ضریب فیدبک β در شکل (پ ۱۸-۷) نشان داده شده است، از آنجا داریم

$$\beta \equiv \frac{V'_f}{I'_o} = \frac{R_{E2}}{R_{E2} + R_F + R_{E1}} \times R_{E1}$$

$$= \frac{100}{100+640+100} \times 100 = 11/9\ \Omega$$

اکنون می‌توان بهرهٔ حلقهٔ بستهٔ A_f را بدست آورد.

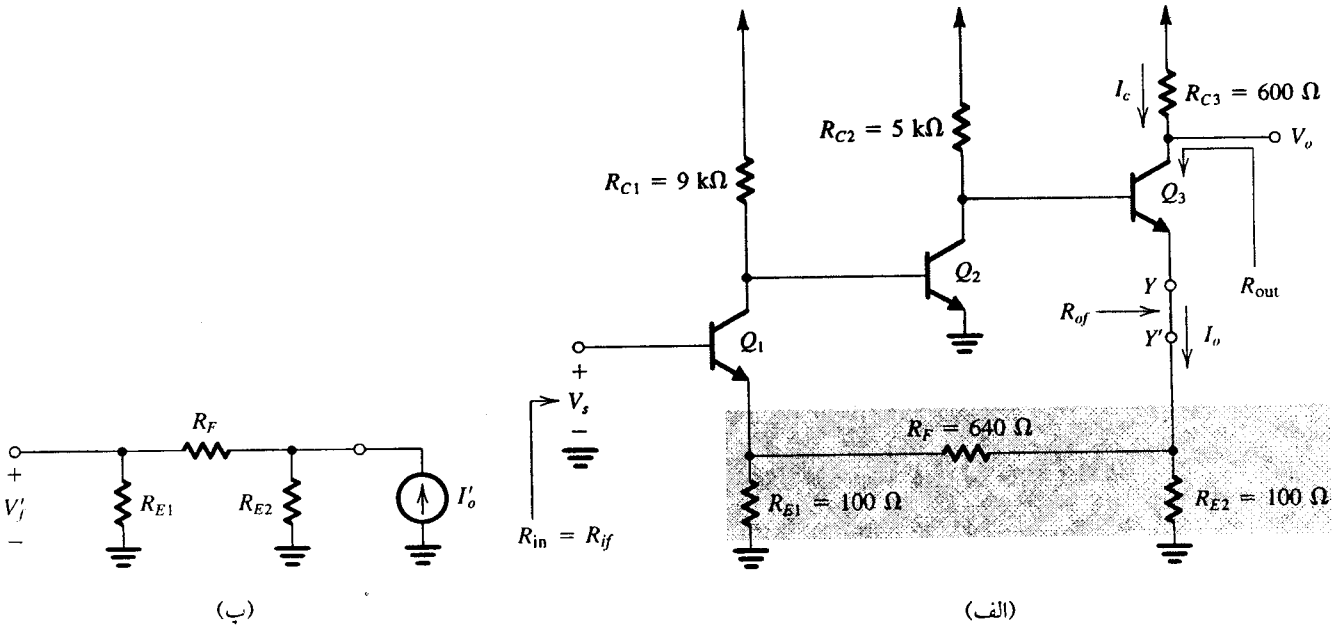
$$A_f \equiv \frac{I_o}{V_s} = \frac{A}{1 + A\beta}$$

$$= \frac{20/7}{1 + 20/7 \times 11/9} = 83/7\ mA/V$$

بهرهٔ ولتاژ از رابطهٔ زیر تعیین می‌شود.

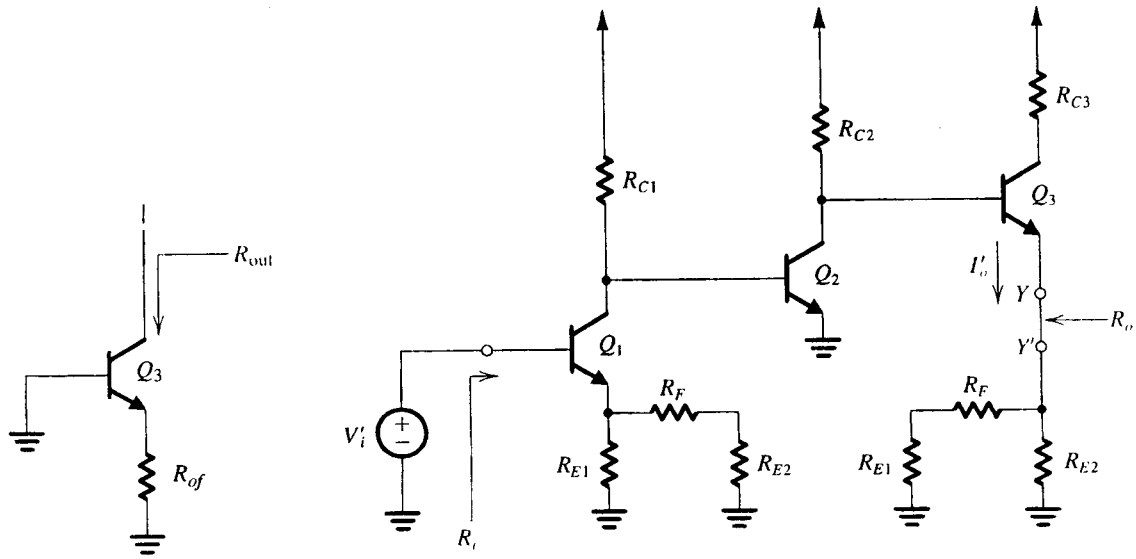
$$\frac{V_o}{V_s} = \frac{-I_c R_{C3}}{V_s} \cong -A_f R_{C3}$$

$$= -83/7 \times 10^{-3} \times 600 = -50/2\ V/V$$



(الف)

(ب)



(ت)

شکل ۱۷-۸. مدارهای مثال ۲-۸

(ب)

مقاومت ورودی تقویت‌کنندهٔ با فیدبک با رابطهٔ زیر داده شده

$$R_{if} = R_i\,(1 + A\beta)$$

که R_i مقاومت ورودی مدار A است. مقدار R_i از مدار شکل (ب ۱۷-۸) و بصورت زیر بدست می‌آید:

$$R_i = (h_{fe} + 1)\,[r_{e1} + (R_{E1} \parallel (R_F + R_{E2}))] = 13/65\ k\Omega$$

$$R_{if} = 13/65\,(1 + 20/5 \times 11/9) = 3/34\ M\Omega$$

برای پیدا کردن مقاومت خروجی، R_o، مربوط به مدار A در شکل (ب ۱۷-۸) مدار را بین Y و Y' می‌شکنیم. مقاومتی که از دید بین دو گره حاصل می‌شود عبارت است از:

$$R_o = [R_{E2} \parallel (R_F + R_{E1})] + r_{e3} + \frac{R_{C2}}{h_{fe} + 1}$$

بـه ازای مـقادیر داده شـده، $R_o = 143/9\Omega$ است. مـقاومت خـروجی تقویت کننده فیدبک R_{of} را می‌توان بصورت زیر به دست آورد:

$$R_{of} = R_o\,(1 + A\beta) = 143/9\,(1 + 20/7 \times 11/9) = 35/6K\Omega$$

توجه کنید که فیدبک، جریان امیتر Q_3 را تـثبیت مـی‌کند و بـنابرایـن مقاومت خارجی تعیین شده توسط فرمول فیدبک، مقاومت حلقه امیتر است (یعنی بین Y و Y')، که قبلاً آن را به دست آورده‌ایم، و مقاومت از دید کلکتور Q_3 نیست. اما می‌توانیم با استفاده از مـقدار R_{of}، مـقدار R_{out} را به طور تقریبی به دست آوریم. برای انجام این کار فرض کنید که اثر فیدبک را بصورت قرار دادن یک مقاومت R_{of} $(35/6k\Omega)$ در امیتر Q_3 نشان دهیم و مقاومت خروجی مدار معادل نشان داده شده در شکل (ب ۱۷-۸) را به دست آوریم. با استفاده از معادله (۷۸-۶)، R_{out} را می‌توان بصورت زیر به دست آورد:

$$R_{out} \cong r_o\,[1 + g_{m3}\,(R_{of} \parallel r_{\pi 3})] =$$

$$25[1 + 100\,(35/6 \parallel 1)] = 2/5M\Omega$$

بنابراین، مقاومت خروجی در کلکتور افزایش می‌یابد، اما این افزایش به اندازهٔ $(1+A\beta)$ نیست.

تمرین

۸-۶ مدار شکل (الف ۱۷-۸) را در نظر بگیرید. فرض کنید که ولتاژ خروجی از امیتر Q_3 گرفته شود. در این حالت، فیدبک را می‌توان نمونه‌گیری ولتاژ، ترکیب سری در نظر گرفت. اما توجه کنید که بهره حلقه بدون تغییر باقی می‌ماند. مقادیر $A \equiv (V'_{e3}/V'_i)$ و $A_f \equiv (V_{e3}/V_s)$ و مقاومت خروجی را به دست آورید.

جواب. ۱۸۲۷V/V؛ ۷/۴V/V، ۰/۱۴Ω

۸-۶ تقویت‌کننده‌های با فیدبک موازی-موازی و موازی - سری

در این بخش روش بخش ۴-۸ و ۵-۸ را - بدون اثبات - برای دو فرم فیدبک باقیمانده تعمیم می‌دهیم.

آرایش موازی - موازی

شکل (۱۸-۸) ساختار ایده‌آل تقویت‌کننده با فیدبک موازی - موازی را نشان می‌دهد. در اینجا مدار A دارای مقاومت ورودی R_i، مقاومت انتقالی A، و مقاومت خروجی R_o است. مدار β یک منبع جریان کنترل‌شده با ولتاژ و β هدایت انتقالی می‌باشد. بهرهٔ حلقه بستهٔ A_f بصورت زیر تعریف می‌شود:

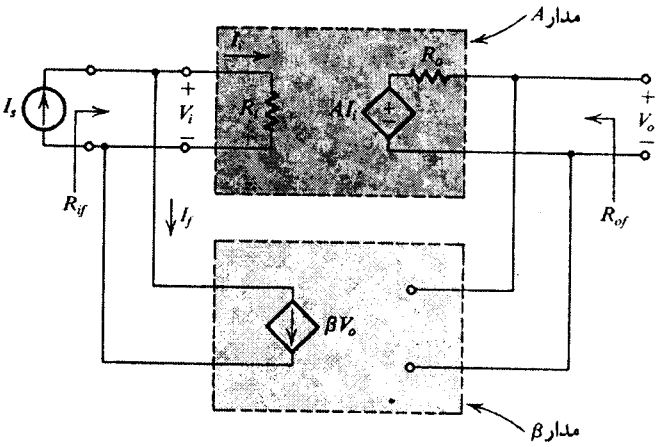
$$A_f \equiv \frac{V_o}{I_s} \qquad (۸-۲۰)$$

و بصورت زیر به دست می‌آید:

$$A_f = \frac{A}{1+A\beta}$$

مقاومت ورودی با فیدبک عبارت است از:

$$R_{if} = \frac{R_i}{1+A\beta} \qquad (۸-۲۱)$$



شکل ۱۸-۸. ساختار ایده‌آل تقویت‌کننده با فیدبک موازی - موازی

که توجه می‌کنیم اتصال موازی در ورودی سبب کاهش مقاومت ورودی می‌شود. همچنین توجه کنید که مقاومت R_{if} مقاومت دیده شده توسط منبع I_s است و شامل مقاومت منبع نیز می‌باشد.

مقاومت خروجی با فیدبک برابر است با:

$$R_{of} = \frac{R_o}{1+A\beta} \qquad (۸-۲۲)$$

و توجه می‌کنیم که اتصال موازی در خروجی سبب کاهش مقاومت خروجی می‌شود. این مقاومت شامل مقاومت بار نیز هست.

یک تقویت‌کننده با فیدبک موازی - موازی که دارای نمودار ساختاری شکل (۱۹-۸) می‌باشد، داده شده است. ما از روش شکل (۲۰-۸) برای بدست آوردن مدار A و تعیین β استفاده می‌کنیم. مانند بخش ۴-۸ و ۵-۸ روش شکل (۲۰-۸) فرض می‌کند که تقویت‌کنندهٔ اصلی تقریباً یکطرفه است و انتقال مستقیم از طریق شبکهٔ فیدبک نیز قابل صرفنظر کردن می‌باشد. اولین فرض با برقراری شرط زیر برای پارامترهای y معکوس تقویت‌کنندهٔ اصلی و شبکهٔ فیدبک، صحت می‌یابد

$$|y_{12}|_{\text{شبکهٔ فیدبک}} \ll |y_{12}|_{\text{تقویت‌کنندهٔ اصلی}} .$$

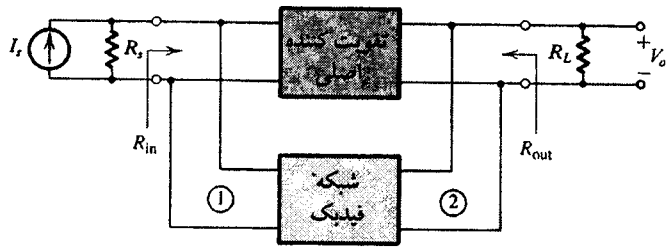
دومین فرض هنگامی که پارامترهای y در شرط زیر صدق کنند، برقرار می‌شود:

$$|y_{21}|_{\text{شبکه فیدبک}} \ll |y_{21}|_{\text{تقویت‌کنندهٔ اصلی}}$$

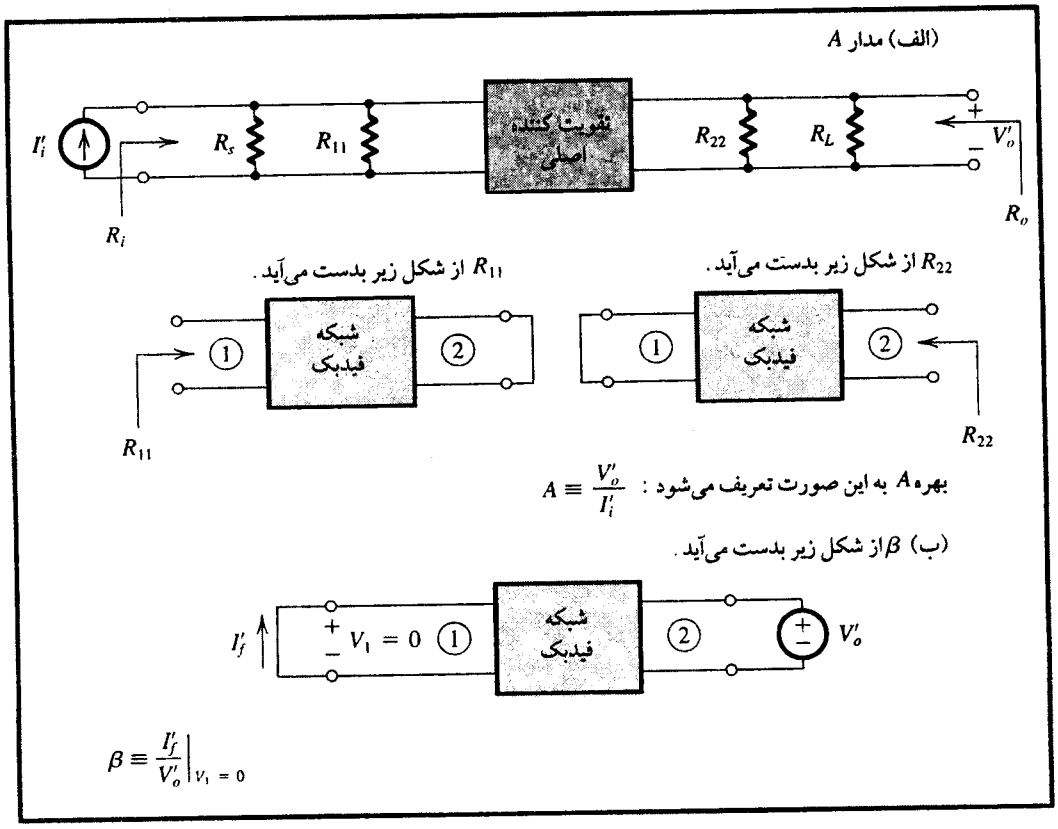
(برای تعریف پارامترهای y، به ضمیمه ب مراجعه کنید). توجه کنید که پس از محاسبهٔ R_{if} و R_{of} از فرمول‌های فیدبک [معادله‌های (۲۱-۸) و (۲۲-۸)]، مقاومت‌های ورودی و خروجی تقویت‌کننده مربوطه [شکل (۱۹-۸)]، بصورت زیر به دست می‌آید:

$$R_{in} = 1\Big/\left(\frac{1}{R_{if}} - \frac{1}{R_s}\right)$$

$$R_{out} = 1\Big/\left(\frac{1}{R_{of}} - \frac{1}{R_L}\right)$$



شکل ۱۹-۸. نمودار ساختاری تقویت‌کنندهٔ با فیدبک موازی-موازی عملی



شکل ۲۰-۸ . نحوهٔ پیداکردن مدار A و β در حالت نمونه‌گیری ولتاژ، ترکیب موازی (موازی - موازی)

مثال ۳-۸

می‌خواهیم مدار (الف ۲۱-۸) را تحلیل کنیم تا بهرهٔ ولتاژ سیگنال کوچک V_o/V_s، مقاومت ورودی R_{in}، و مقاومت خروجی $R_{out}=R_{of}$ را تعیین نمائیم. ترانزیستور دارای $\beta = ۱۰۰$ می‌باشد.

حل:

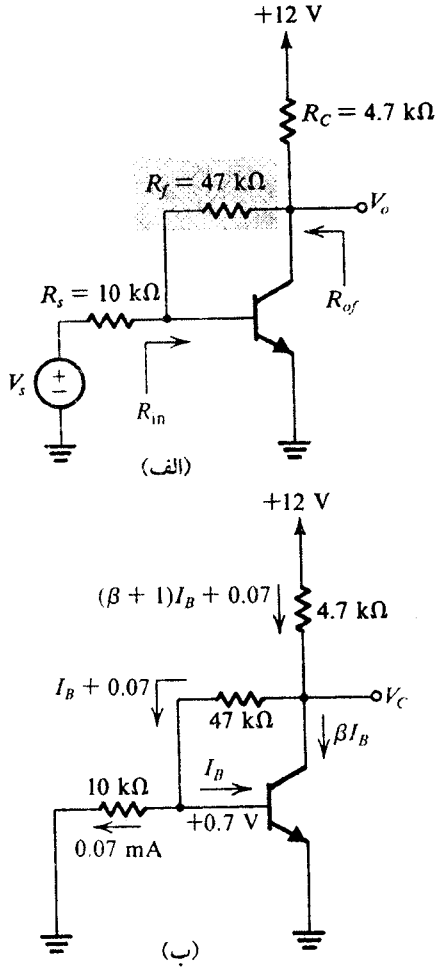
ابتدا نقطهٔ کار dc ترانزیستور را تعیین می‌کنیم. تحلیل dc در شکل (ب ۲۱-۸) آمده است، که با توجه به آن می‌توان نوشت:

$$V_C = ۰/۷ + (I_B + ۰/۰۷)\,۴۷ = ۳/۹۹ + ۴۷I_B \quad \text{و}$$

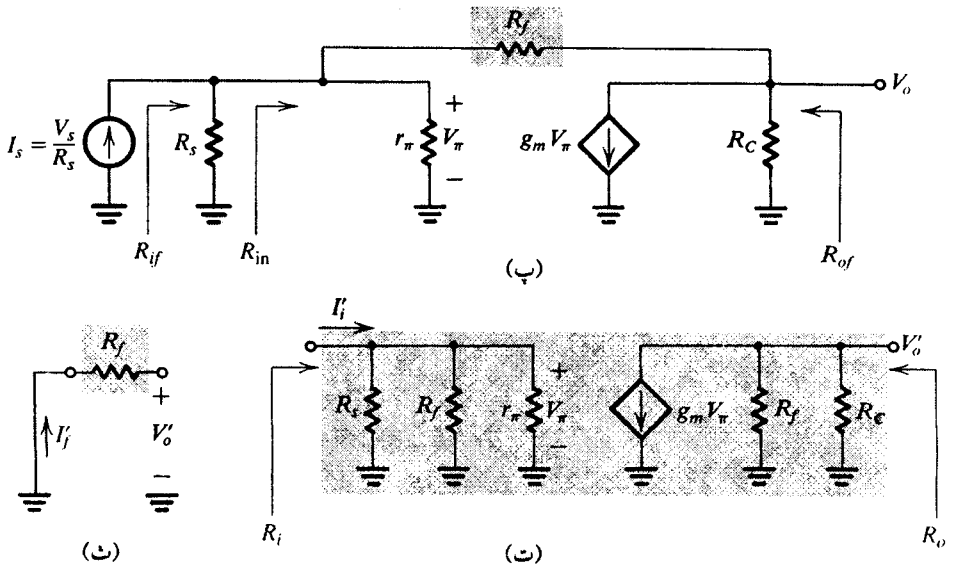
$$\frac{۱۲ - V_C}{۴/۷} = (\beta + ۱)\,I_B + ۰/۰۷$$

می‌توان این دو معادله را حل کرد تا $I_B \cong ۰/۰۱۵\text{mA}$، $I_C \cong ۱/۵\text{mA}$ و $V_C = ۴/۷\text{ V}$ را بدست آورد.

برای انجام تحلیل سیگنال کوچک ابتدا در می‌یابیم که فیدبک توسط مقاومت R_f انجام می‌شود، که از ولتاژ خروجی V_o نمونه‌برداری کرده و جریانی را به ورودی برمی‌گرداند که با جریان منبع ترکیب می‌شود. بنابراین کافی است معادل نورتن منبع را مانند آنچه در شکل (پ ۲۱-۸) نشان داده شده قرار دهیم. مدار A را می‌توان بسادگی توسط قوانین شکل (۲۰-۸) بدست آورد و این کار در شکل (ت ۲۱-۸) نشان داده شده است. برای مدار A می‌توان نوشت:



شکل ۲۱-۸ . مدارهای مثال ۳-۸



شکل ۲۱-۸. مدارهای مثال ۳-۸ (ادامه)

$$V_\pi = I'_i\,(R_s \| R_f \| r_\pi)$$
$$V'_o = -\,g_m\,V_\pi\,(R_f \| R_C)$$

بنابراین

$$A = \frac{V'_o}{I'_i} = -g_m\,(R_f \| R_C)\,(R_s \| R_f \| r_\pi)$$
$$= -\,۳۵۸/۷\ \text{k}\Omega$$

مقاومتهای ورودی و خروجی مدار A را می‌توان از شکل (ت ۲۱-۸) بدست آورد.

$$R_i = (R_s \| R_f \| r_\pi) = ۱/۴\ \text{k}\Omega$$
$$R_o = (R_C \| R_f) = ۴/۲۷\ \text{k}\Omega$$

مدار لازم برای تعیین β در شکل (ث ۲۱-۸) نشان داده شده که از آن داریم:

$$\beta \equiv \frac{I'_f}{V'_o} = -\frac{۱}{R_f} = -\frac{۱}{۴۷\ \text{k}\Omega}$$

توجه کنید که مثل همیشه جهت مرجع برای I_f چنان انتخاب می‌شود که I_f از I_s کم شود. علامت منفی β سبب نگرانی نمی‌شود، زیرا A نیز منفی است. که بهرهٔ حلقهٔ $A\beta$ را مثبت نگه می‌دارد، و این برای منفی کردن فیدبک لازم است. حال می‌توانیم A_f را بدست آوریم (برای مدار شکل (پ ۲۱-۸)):

$$A_f \equiv \frac{V_o}{I_s} = \frac{A}{۱ + A\beta}$$

$$\frac{V_o}{I_s} = \frac{-\,۳۵۸/۷}{۱ + ۳۵۸/۷/۴۷} = \frac{-\,۳۵۸/۷}{۸/۶۳} = -\,۴۱/۶\ \text{k}\Omega$$

برای پیدا کردن بهرهٔ ولتاژ V_o/V_s توجه می‌کنیم که

$$V_s = I_s R_s$$

بنابراین

$$\frac{V_o}{V_s} = \frac{V_o}{I_s R_s} = \frac{-\,۴۱/۶}{۱۰} \cong -\,۴/۱۶\ \text{V/V}$$

مقاومت ورودی با فیدبک بصورت زیر به دست می‌آید [شکل (پ ۲۱-۸)] :

$$R_{if} = \frac{R_i}{۱ + A\beta}$$

$$R_{if} = \frac{۱/۴}{۸/۶۳} = ۱۶۲/۲\ \Omega$$

این مقاومتی است که توسط منبع جریان I_s در شکل (پ ۲۱-۸) دیده می‌شود. برای بدست آوردن مقاومت ورودی تقویت‌کنندهٔ فیدبک بدون R_s (یعنی مقاومت موردنظر R_m)، $1/R_s$ را از $1/R_{if}$ کم می‌کنیم و نتیجه را عکس می‌نمائیم، بنابراین $R_{in}=۱۶۵\Omega$ ، نهایتاً مقاومت خروجی تقویت‌کننده R_{of} از رابطهٔ زیر بدست می‌آید.

$$R_{of} = \frac{R_o}{۱ + A\beta} = \frac{۴/۲۷}{۸/۶۳} = ۴۹۵\ \Omega$$

یک نکته مهم

روشی که برای تحلیل تقویت‌کننده‌های با فیدبک بیان کرده‌ایم، دارای دو مورد زیر است: اغلب انتقال مستقیم در تقویت‌کنندهٔ اصلی رخ می‌دهد، و اغلب انتقال معکوس (فیدبک) در شبکه فیدبک رخ می‌دهد. برای هریک از شکلهایی که تاکنون دیده‌ایم، این دو فرض بصورت شرایطی نسبت به دامنهٔ پارامترهای دو سر مستقیم و معکوسِ تقویت‌کنندهٔ اصلی و شبکهٔ فیدبک بصورت رابطهٔ ریاضی بیان شده‌اند. از آنجا که مدار در نظر گرفته شده در مثال (۳-۸) ساده است، شانس این را داریم که اعتبار این فرضها را بررسی کنیم.

توجه به شکل (ت ۲۱-۸) نشان می‌دهد که تقویت‌کنندهٔ اصلی یک طرفه است. بنابراین انتقال معکوس کاملاً از طریق شبکهٔ فیدبک صورت می‌پذیرد بهرحال، در صورتی که انتقال در مسیر مستقیم نیز داشته باشیم، باید پارامترهای y مستقیم محاسبه شود. برای مدار A در شکل (ت

۸-۲۱)، $y_{21} = g_m$ می‌باشد. برای شبکهٔ فیدبک می‌توان نشان داد که $y_{21} = -1/R_f$ است. بنابراین برای اینکه روش تحلیلی ما با ارزش باشد باید رابطهٔ $g_m >> 1/R_f$ برقرار باشد. برای مقادیر عددی مثال ۳-۸، $g_m = 60$ mA/V و $1/R_f = 0.02$ mA/V می‌باشد. که نشان دهندهٔ برقراری شرط مفروض است. با این وجود در طراحی تقویت‌کننده‌های با فیدبک، در انتخاب مقادیر عناصر باید دقت شود تا از برقراری دو فرض ذکر شده اطمینان حاصل کنیم.

آرایش موازی - سری

شکل ۲۲-۸ ساختار ایده‌آل تقویت‌کننده و با فیدبک موازی - سری را نشان می‌دهد. این یک تقویت‌کننده جریان است که بهرهٔ آن با فیدبک بصورت زیر است:

$$A_f = \frac{I_o}{I_s} = \frac{A}{1 + A\beta} \qquad (۸-۲۳)$$

مقاومت ورودی با فیدبک، مقاومت دیده شده توسط منبع جریان I_s است و برابر

$$R_{if} = \frac{R_i}{1 + A\beta} \qquad (۸-۲۴)$$

می‌باشد. توجه می‌کنیم که اتصال موازی در ورودی، مقاومت ورودی را کاهش می‌دهد. مقاومت خروجی با فیدبک، برابر مقاومت دیده شده، در اثر شکستن مدار خروجی، بین O و O′، و نگاه کردن به دو پایانه آن است (یعنی بین O و O′). این مقاومت R_{of} بصورت زیر داده شده

$$R_{of} = R_o (1 + A\beta) \qquad (۸-۲۵)$$

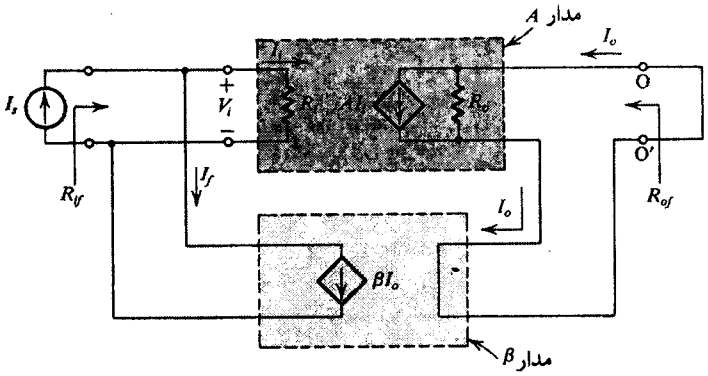
که توجه داریم افزایش مقاومت خروجی در اثر نمونه‌گیری جریان (سری) می‌باشد.

برای یک تقویت‌کنندهٔ واقعی با فیدبک موازی - سری همانند آنچه در نمودار ساختاری شکل (۲۳-۸) داده شده، برای بدست آوردن A و β روش بیان شده در شکل (۲۴-۸) را دنبال می‌کنیم.

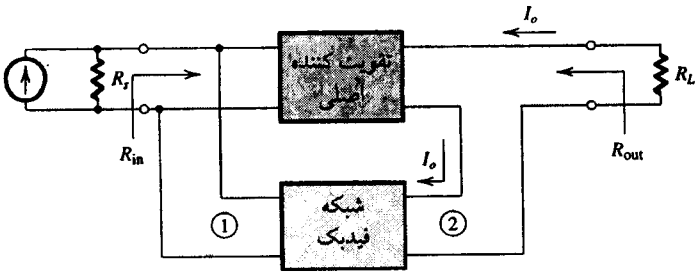
در این حالت نیز روش تحلیلی بر پایه این فرض که بیشتر انتقال از مسیر مستقیم و از طریق تقویت‌کنندهٔ اصلی است، استوار می‌باشد،

$$|g_{21}|_{\text{تقویت‌کنندهٔ اصلی}} \ll |g_{21}|_{\text{شبکهٔ فیدبک}}$$

و هم چنین با این فرض که بیشتر انتقال معکوس از طریق شبکه فیدبک صورت می‌گیرد،



شکل ۲۲-۸. ساختار ایده‌آل تقویت‌کننده با فیدبک موازی - سری



شکل ۲۳-۸. نمودار ساختاری تقویت‌کنندهٔ با فیدبک موازی - سری عملی

$$|g_{12}|_{\text{تقویت‌کنندهٔ اصلی}} << |g_{12}|_{\text{شبکه فیدبک}}$$

(برای تعریف پارامتر g به ضمیمه ب مراجعه کنید). پس از محاسبه R_{if} و R_{of} با استفاده از معادلات (۲۴-۸) و (۲۵-۸) مقاومت ورودی و خروجی تقویت کننده یعنی R_{in} و R_{out} [شکل (۲۳-۸)] بصورت زیر می‌آید:

$$R_{in} = 1\Big/\left(\frac{1}{R_{if}} - \frac{1}{R_s}\right)$$

$$R_{out} = R_{of} - R_L$$

مثال ۴-۸

شکل ۲۵-۸ یک مدار فیدبکِ نوع موازی - سری را نشان می‌دهد. I_{out}/I_{in}، R_{in}، و R_{out} را بیابید. فرض کنید ترانزیستورها دارای $\beta = 100$ و $r_o = 100$ kΩ می‌باشند.

حل:

کار را با تعیین نقطهٔ کار dc شروع می‌کنیم. توجه می‌کنیم که سیگنال فیدبک بصورت اتصال خازنی اعمال می‌شود، بنابراین فیدبک روی نقطهٔ کار dc اثری ندارد. تحلیل dc، نتایج زیر را می‌دهد:

$$V_{B1} \cong 12\frac{15}{100 + 15} = 1.57\ \text{V}$$

$$V_{E1} \cong 1.57 - 0.7 = 0.87\ \text{V}$$

$$I_{E1} = \frac{0.87}{0.87} = 1\ \text{mA}$$

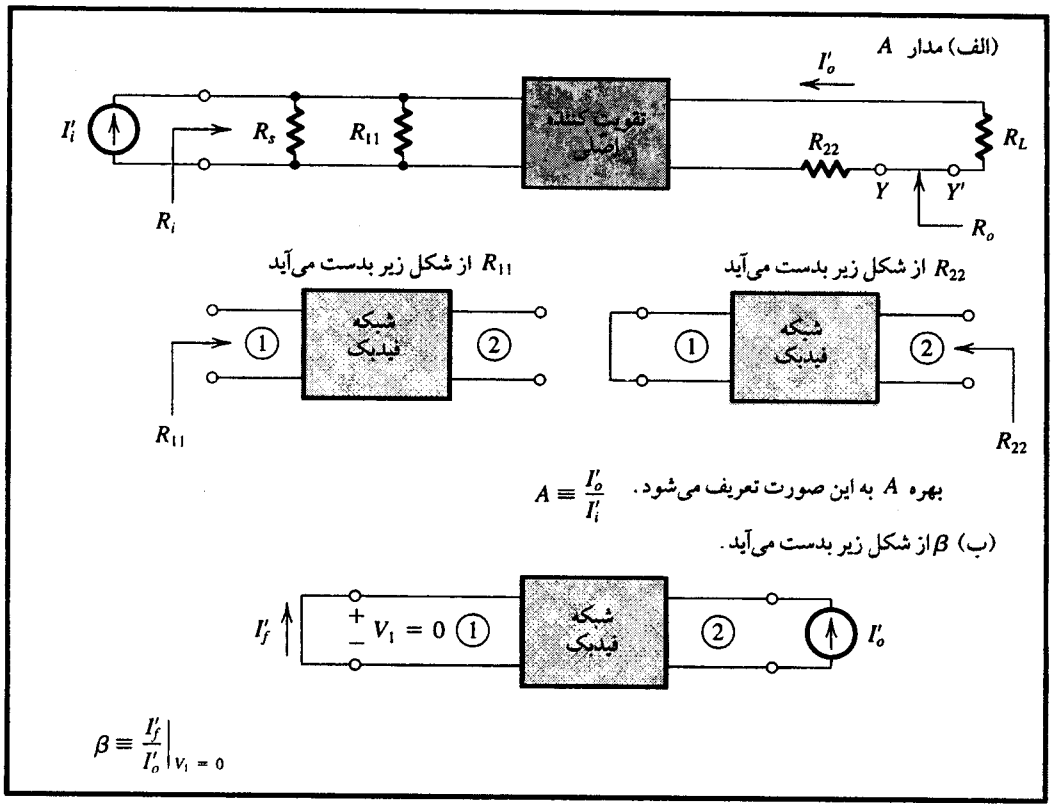
$$V_{C1} \cong 12 - 10 \times 1 = 2\ \text{V}$$

$$V_{E2} \cong 2 - 0.7 = 1.3\ \text{V}$$

$$I_{E2} \cong \frac{1.3}{3.4} \cong 0.4\ \text{mA}$$

$$V_{C2} \cong 12 - 0.4 \times 8 = 8.8\ \text{V}$$

مدار معادل تقویت‌کننده در شکل (ب ۲۵-۸) نشان داده شده است، که از آن می‌توان دریافت شبکهٔ فیدبک حاصل ترکیب R_{E2} و R_f است. شبکهٔ فیدبک از جریان امیتر Q_2 نمونه‌برداری می‌کند، که



شکل ۲۴-۸ . نحوهٔ پیداکردن مدار A و β در حالت نمونه‌گیری جریان، ترکیب موازی (موازی - سری)

تقریباً برابر جریان کلکتور I_o است. همچنین توجه کنید که بهرهٔ جریان موردنظر، I_{out}/I_{in}، کمی با بهرهٔ جریان حلقه بستهٔ $A_f \equiv I_o/I_s$ تفاوت دارد.

مدار A در شکل (پ ۲۵-۸) نشان داده شده، که در آن اثر بارگذاری شبکهٔ فیدبک را توسط قوانین شکل ۲۴-۸ تعیین کرده‌ایم. برای مدار A می‌توان نوشت:

$$V_{\pi 1} = I'_i\,[R_s \,\|\, (R_{E2} + R_f) \,\|\, R_B \,\|\, r_{\pi 1}]$$

$$V_{b2} = -g_{m1} V_{\pi 1}\,\{r_{o1} \,\|\, R_{C1} \,\|\, [r_{\pi 2} + (\beta + 1)\,(R_{E2} \,\|\, R_f)]\}$$

$$I'_o \cong \frac{V_{b2}}{r_{e2} + (R_{E2} \,\|\, R_f)}$$

در رابطه فوق از اثر r_{o2} چشمپوشی کرده‌ایم. با ترکیب معادلات، بهره حلقه باز A بصورت زیر به دست می‌آید:

$$A \equiv \frac{I'_o}{I'_i} \cong -۲۰۱/۴۵ \text{ A/A}$$

مقاومت ورودی R_i برابر است با:

$$R_i = [R_s \,\|\, (R_{E2} + R_f) \,\|\, R_B \,\|\, r_{\pi 1})] = ۱/۵۳۵ \text{ k}\Omega$$

مقاومت خروجی R_o با نگاه کردن به حلقهٔ خروجی مدار A بین Y و Y' (شکل (پ ۲۵-۸) را ببینید) و با صفرکردن تحریک I'_i پیدا می‌شود، با چشمپوشی از اثر ناچیز r_{o2} می‌توان نشان داد که،

$$R_o = (R_{E2} \,\|\, R_f) + r_{e2} + \frac{R_{C1} \,\|\, r_{o1}}{\beta + 1} = ۲/۶۹ K\Omega$$

مدار لازم برای تعیین β در شکل (ت ۲۵-۸) نشان داده شده است، که درآن داریم

$$\beta \equiv \frac{I'_f}{I'_o} = -\frac{R_{E2}}{R_{E2} + R_f} = -\frac{۳/۴}{۱۳/۴} = -۰/۲۵۴$$

بنابراین

$$۱ + A\beta = ۵۲/۱$$

مقاومت ورودی R_{if} از رابطهٔ زیر به دست می‌آید:

$$R_{if} = \frac{R_i}{۱ + A\beta} = ۲۹/۵\ \Omega$$

مقاومت ورودی موردنظر R_{in} برابر است با [شکل (ب ۲۵-۸) را ببینید]:

$$R_{in} = \frac{۱}{۱/R_{if} - ۱/R_s} = ۲۹/۵\Omega$$

از آنجا که $R_{in} \cong R_{if}$ است، این رابطه از شکل (ب ۲۵-۸) درمی‌یابیم که $I_{in} \cong I_s$ می‌باشد. بهرهٔ جریان A_f برابر است با:

$$A_f \equiv \frac{I_o}{I_s} = \frac{A}{۱ + A\beta} = -۳/۸۷$$

با توجه به $A\beta \gg ۱$ بهرهٔ حلقه بسته تقریباً برابر $۱/\beta$ است.

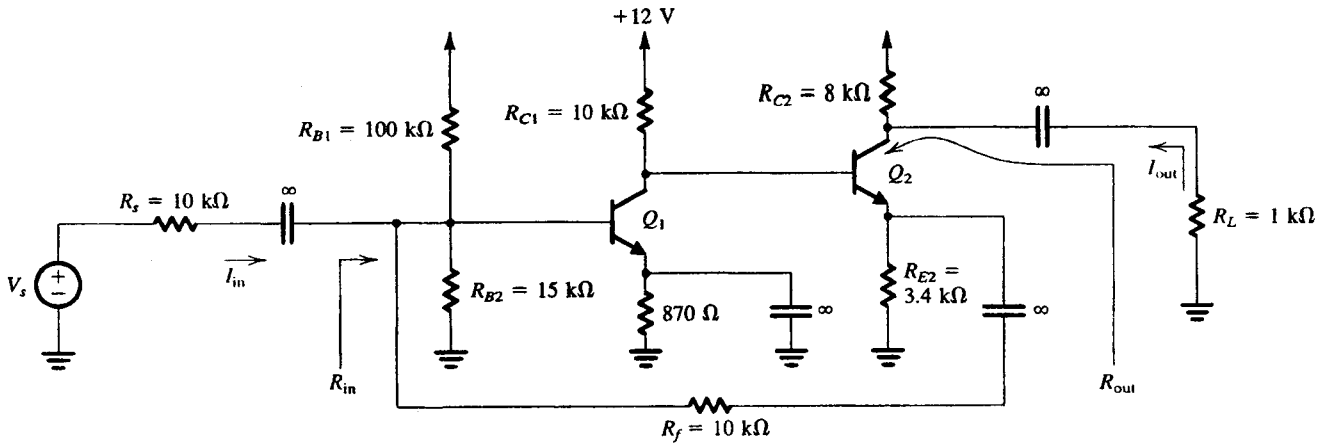
حال بهرهٔ جریان مطلوب چنین بدست می‌آید.

$$\frac{I_{out}}{I_{in}} \cong \frac{I_{out}}{I_s} = \frac{R_{C2}}{R_L + R_{C2}}\,\frac{I_c}{I_s} \cong \frac{R_{C2}}{R_L + R_{C2}}\,\frac{I_o}{I_s}$$

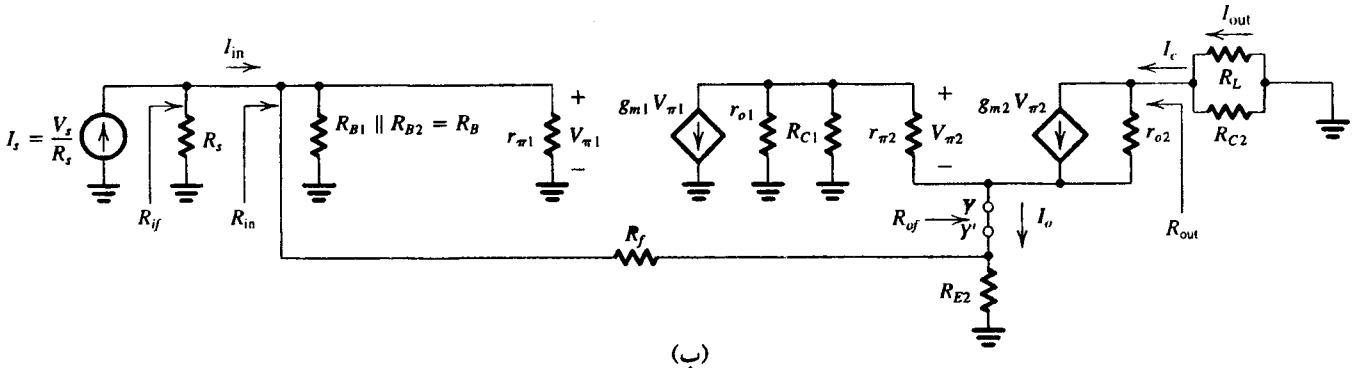
بنابراین $I_{out}/I_{in} = -۳/۴۴$

نهایتاً، مقاومت خروجی R_{of} برابر است با

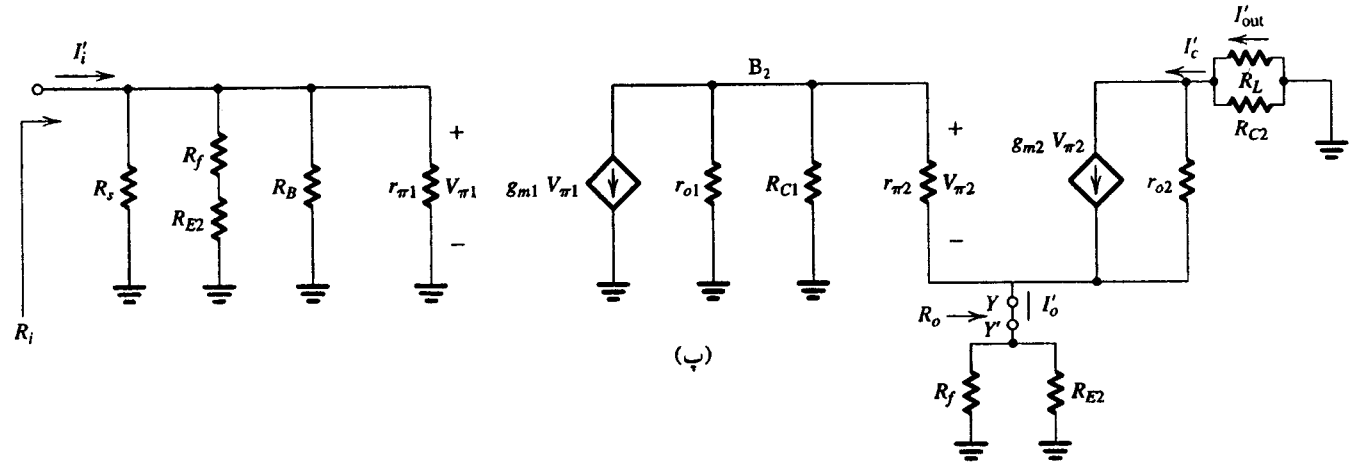
$$R_{of} = R_o\,(۱ + A\beta) \cong ۱۴۰/۱ \text{ K}\Omega$$



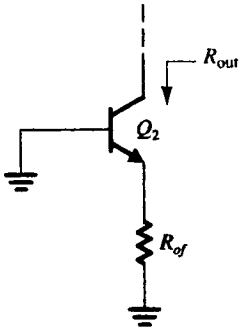
(الف)



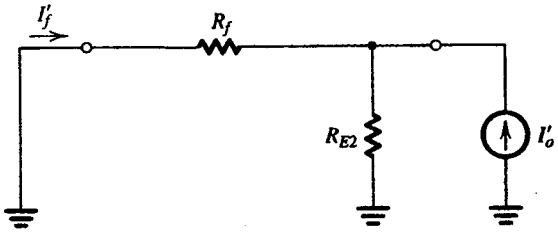
(ب)



(پ)



(ث)



(ت)

شکل ۲۵-۸. مدارهای مثال ۴-۸

با استفاده از روش به کار رفته در مثال (۲-۸)، یعنی قرار دادن مقاومت R_{of} ناشی از فیدبک در امیتر Q_2 [شکل (ث ۲۵-۸)] می‌توان مقاومت خروجی R_{out} را تخمین زد. بنابراین با استفاده از معادله (۷۸-۶) می‌توانیم بنویسیم:

$$R_{out} = r_{o2}\,[1 + g_{m2}\,(r_{\pi 2} \parallel R_{of})\,]$$

با جایگزینی $r_{o2} = \frac{75}{0/4} = 187/5\,K\Omega$، $r_{\pi 2} = 6/25\,K\Omega$ و $R_{of} = 140/1\,K\Omega$ داریم:

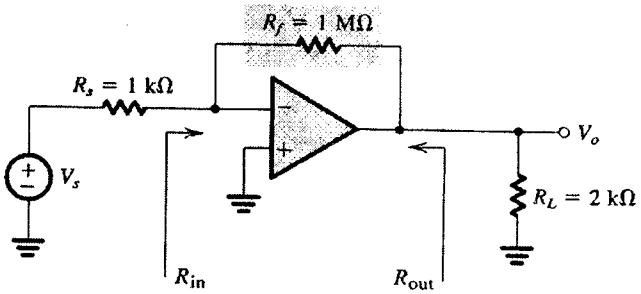
$$R_{out} = 18/1\,M\Omega$$

بنابراین اگر چه فیدبک منفی به طور قابل توجهی R_{out} را افزایش می‌دهد، اما این افزایش، با ضریب $(1+A\beta)$ نیست، چون شبکه فیدبک به جای نمونه گیری از جریان کلکتور، از جریان امیتر نمونه گیری می‌کند. در حقیقت شبکه فیدبک اطلاعی از وجود r_{o2} ندارد.

تمرین

۸-۷ از روش فیدبک برای پیدا کردن بهرهٔ ولتاژ V_o/V_s، مقاومت ورودی R_{in}، و مقاومت خروجی R_{out} مربوط به آرایش op-amp وارونگر شکل (۷-۸ ت) استفاده کنید. فرض کنید که op-amp دارای بهرهٔ حلقه‌باز $\mu = 10^4$، $R_{id} = 100\,k\Omega$ و $r_o = 1\,k\Omega$ است.
(راهنمایی: فیدبک از نوع موازی - موازی است).

جواب. $-870\,V/V$، $150\,\Omega$، $92\,\Omega$ ❑



شکل (۷-۸ ت)

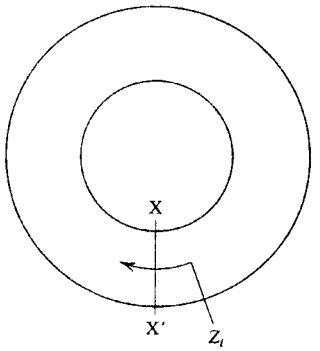
خلاصه نتایج

جدول ۱-۸ خلاصه‌ای از قوانین در روابط بکاررفته در تحلیل چهار نوع تقویت کننده فیدبک را نشان می‌دهد.

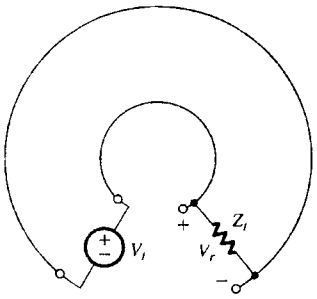
۸-۷ تعیین بهرهٔ حلقه

همیشه دیده‌ایم که بهرهٔ حلقه $A\beta$ یک مقدار بسیار مهم است که حلقهٔ فیدبک را مشخص می‌کند. بعلاوه، در بخشهای بعد نشان خواهیم داد که $A\beta$ مشخص می‌کند که آیا تقویت‌کنندهٔ فیدبک پایدار است یا خیر، (مخالفت با نوسان‌سازی) در این بخش یک راه حل برای تعیین بهرهٔ حلقه ارائه می‌دهیم.

ابتدا فرم کلی تقویت‌کننده با فیدبک را که در جدول ۱-۸ نشان داده

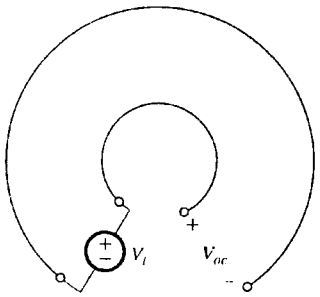


(الف)

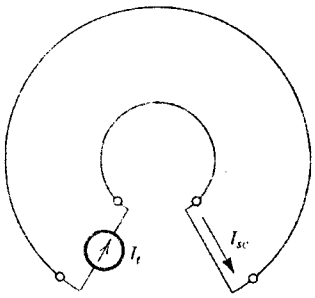


$A\beta = -V_r/V_t$

(ب)



$T_{oc} \equiv \frac{V_{oc}}{V_t}$ (پ) $A\beta = -1\Big/\left(\frac{1}{T_{oc}} + \frac{1}{T_{sc}}\right)$



$T_{sc} \equiv \frac{I_{sc}}{I_t}$

(ت)

شکل ۲۶-۸ . حلقه فیدبک فرضی در XX' شکسته شده، ولتاژ آزمایشی V_t به آن اعمال می‌شود. امپدانس Z_t با مقدار قبلی دیده شده با نگاه به سمت چپ XX' مساوی است. بهرهٔ حلقه، $A\beta = -V_r/V_t$ می‌باشد که در آن V_r ولتاژ برگشتی است. $A\beta$ را می‌توان با به دست آوردن تابع انتقال مدار باز T_{oc} (قسمت پ) و تابع انتقال اتصال کوتاه (قسمت ت) و ترکیب آنها تعیین کرد.

جدول ۱-۸. خلاصهٔ روابط بین چهار شکل تقویت‌کنندهٔ فیدبک

شکل مرجع	Z_{of}	Z_{if}	برای تعیین β به پایانه ۲ از شبکهٔ فیدبک اعمال کنید	محل بدست آوردن اثر بارگذاری شبکه فیدبک: در خروجی	محل بدست آوردن اثر بارگذاری شبکه فیدبک: در ورودی	شکل منبع	A_f	β	A	x_s	x_f	x_o	x_i	تقویت‌کنندهٔ فیدبک
الف ۴-۸ ۸-۸ ۸-۱۰ ۸-۱۱	$\frac{Z_o}{1+A\beta}$	$Z_i(1+A\beta)$	یک منبع ولتاژ و پیداکردن ولتاژ مدار باز در پایانه یک	با مدار بازکردن درگاهی ۱ از شبکه فیدبک	اتصال کوتاه کردن درگاهی ۲ شبکه فیدبک	تونن	$\frac{V_o}{V_s}$	$\frac{V_f}{V_o}$	$\frac{V_o}{V_i}$	V_s	V_f	V_o	V_i	سری - موازی (تقویت‌کنندهٔ جریان)
ب ۴-۸ ۸-۲۲ ۸-۲۳ ۸-۲۴	$Z_o(1+A\beta)$	$\frac{Z_i}{1+A\beta}$	یک منبع جریان و یافتن جریان اتصال کوتاه در درگاهی ۱	با اتصال کوتاه کردن درگاهی ۱ از شبکه فیدبک	با مدار بازکردن درگاهی ۲ از شبکه فیدبک	نورتن	$\frac{I_o}{I_s}$	$\frac{I_f}{I_o}$	$\frac{I_o}{I_i}$	I_s	I_f	I_o	I_i	موازی - سری (تقویت کننده جریان)
پ ۴-۸ ۸-۱۳ ۸-۱۵ ۸-۱۶	$Z_o(1+A\beta)$	$Z_i(1+A\beta)$	یک منبع جریان و پیداکردن ولتاژ مدار باز در درگاهی ۱	با مدار بازکردن درگاهی ۱ از شبکه فیدبک	با مدار بازکردن درگاهی ۲ از شبکه فیدبک	تونن	$\frac{V_o}{V_s}$	$\frac{V_f}{I_o}$	$\frac{I_o}{V_i}$	V_s	V_f	I_o	V_i	سری - سری (تقویت کننده هدایت انتقالی)
ت ۴-۸ ۸-۱۸ ۸-۱۹ ۸-۲۰	$\frac{Z_o}{1+A\beta}$	$\frac{Z_i}{1+A\beta}$	یک منبع ولتاژ و یافتن جریان اتصال کوتاه در درگاهی ۱	با اتصال کوتاه کردن درگاهی ۱ از شبکه فیدبک	با اتصال کوتاه کردن درگاهی ۲ از شبکه فیدبک	نورتن	$\frac{V_o}{I_s}$	$\frac{I_f}{V_o}$	$\frac{V_o}{I_i}$	I_s	I_f	V_o	I_i	موازی - موازی (تقویت کننده مقاومت انتقالی)

شده، در نظر بگیرید. فرض کنید منبع خارجی x_s صفر باشد. حلقهٔ فیدبک را با شکستن اتصال x_o به شبکهٔ فیدبک و اعمال یک سیگنال آزمون x_t به آن بازکنید. می‌بینیم که سیگنال در خروجی شبکهٔ فیدبک برابر $x_f = \beta x_t$، که در ورودی تقویت‌کنندهٔ اصلی برابر $x_i = -\beta x_t$ و سیگنال در خروجی تقویت‌کننده، که حلقه شکسته شده بود، برابر $x_o = -A\beta x_t$ خواهد بود. این نتیجه می‌دهد که بهرهٔ حلقه $A\beta$ توسط نسبت منفی سیگنال برگشت شده به سیگنال آزمون اعمال شده به دست می‌آید، یعنی $A\beta = -x_o/x_t$. همچنین واضح است که این مورد منتقل از عملی است که حلقه شکسته شده است.

در شکستن حلقهٔ فیدبک تقویت‌کننده‌های واقعی، باید دقت کنیم که شرایط قبل از شکستن حلقه تغییر پیدا نکنند. این کار را با قرار دادن امپدانسی برابر با آنچه که مدار قبل از شکسته‌شدن حلقهٔ فیدبک می‌بیند انجام می‌دهیم. برای یک حالت خاص، حلقهٔ فیدبک فرضی نشان داده شده در شکل (الف ۲۶-۸) را درنظر بگیرید. اگر حلقه را در XX' بشکنیم و ولتاژ V_t را به پایانه‌هایی که در سمت چپ XX' تولید شده اعمال کنیم، پایانه‌های سمت راست XX' باید به امپدانس Z_t، همچنانکه در شکل (ب ۲۶-۸) نشان داده شده، متصل شوند. امپدانس Z_t برابر مقدار دیده شده در اثر نگاه‌کردن به پایانه‌های سمت چپ XX' است. سپس بهرهٔ حلقهٔ $A\beta$ از رابطهٔ زیر تعیین می‌شود.

$$A\beta = {}^{\text{TM}}\frac{V_r}{V_t}$$

نهایتاً، باید توجه شود که در بعضی موارد باید برای تعیین $A\beta$، سیگنال آزمون I_t را اعمال کرد و جریان برگشتی I_r را پیدا نمود. در این حالت، $A\beta = -I_r/I_t$ می‌باشد.

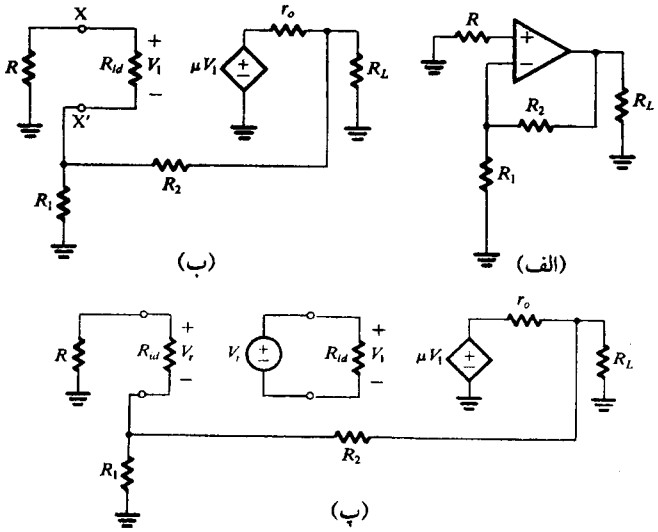
روش دیگر $A\beta$ که معمولاً بخصوص در شبیه سازی SPICE راحت‌تر است، بدین صورت است: مانند قبل حلقه در یک نقطه مناسب شکسته می‌شود، سپس تابع انتقال مدار باز T_{oc} مطابق شکل (پ ۲۶-۸) و تابع انتقال اتصال کوتاه T_{sc} مطابق شکل (ت ۲۶-۸) تعیین می‌شود. با ترکیب این دو تابع انتقال، بهره حلقه $A\beta$ بصورت زیر به دست می‌آید:

$$A\beta = -1\Big/\left(\frac{1}{T_{oc}} + \frac{1}{T_{sc}}\right)$$

این روش بویژه هنگامی مفید است که تعیین امپدانس ختم شدهٔ Z_t آسان نیست.

برای توضیح روش فوق حلقهٔ فیدبک نشان داده شده در شکل (الف ۲۷-۸) را درنظر می‌گیریم. این حلقهٔ فیدبک هردو آرایش وارونگر و ناوارونگر op-amp را نمایش می‌دهد. با استفاده از مدل مدار معادل ساده برای op-amp مدار شکل (ب ۲۷-۸) را بدست می‌آوریم. آزمایش این مدار مشخص می‌کند که محل مناسب برای شکستن حلقهٔ فیدبک، پایانه‌های ورودی op-amp است. حلقه‌ایکه به این صورت شکسته شده، بهمراه سیگنال آزمون اعمال شده، V_t به پایانه‌های سمت راست و مقاومت R_{id} متصل شده به پایانه‌های سمت چپ در شکل (پ۲۷-۸) نشان داده شده‌است. ولتاژ برگشتی V_r بصورت زیر بدست می‌آید.

$$V_r = -\mu V_1 \frac{\{R_L \parallel [R_2 + R_1 \parallel (R_{id}+R)]\}}{\{R_L \parallel [R_2 + R_1 \parallel (R_{id}+R)]\} + r_o} \times \frac{[R_1 \parallel (R_{id}+R)]}{[R_1 \parallel (R_{id}+R)] + R_2} \quad \frac{R_{id}}{R_{id}+R}$$



شکل ۲۷-۸. تعیین بهرهٔ حلقهٔ فیدبک (الف)

این معادله را می‌توان مستقیماً برای پیداکردن بهرهٔ حلقه $L = A\beta = -V_r/V_t = -V_r/V_1$ بکار برد.

از آنجاکه بهرهٔ حلقه L تابعی از فرکانس است، معمولاً آنرا **انتقال حلقه** می‌خوانند و با $L(s)$ یا $L(j\omega)$ نمایش می‌دهند.

مدارهای معادل از نظر حلقهٔ فیدبک

می‌دانیم از تئوری مدارها می‌توانیم که قطبهای یک مدار مستقل از تحریک خارجی هستند. در حقیقت قطبها، یا حالات طبیعی (که نام مناسبتری است)، با صفرکردن تحریک خارجی تعیین می‌شوند. این نتیجه می‌دهد که قطبهای تقویت‌کنندهٔ فیدبک فقط به حلقهٔ فیدبک بستگی دارند. این مطلب را در قسمت بعدی که نشان می‌دهیم معادلهٔ مشخصه (که ریشه‌های آن قطبها هستند) توسط بهرهٔ حلقه کاملاً تعیین می‌شود، تشریح خواهیم کرد. بنابراین از یک حلقهٔ فیدبک داده شده می‌توان برای تولید تعدادی مدار که دارای قطبهای یکسان ولی صفرهای انتقال متفاوت هستند، استفاده کرد. بهرهٔ حلقه بسته و صفرهای انتقال بستگی به چگونگی و محل تزریق سیگنال ورودی به حلقه دارند.

بعنوان مثال حلقهٔ فیدبک (الف ۲۷-۸) را درنظر بگیرید. این حلقه را می‌توان برای تولید مدار op-amp ناوارونگر با اعمال سیگنال ولتاژ ورودی به پایانه‌ای از R که به زمین متصل شده است، استفاده کرد. یعنی این پایانه را از زمین قطع کرده و به V_S متصل می‌کنیم. همین حلقهٔ فیدبک را می‌توان توسط اعمال سیگنال ولتاژ ورودی به پایانه‌ای از R_1 که به زمین متصل شده، به مدار op-amp وارونگر تبدیل کرد.

درک این حقیقت که دو یا چند مدار از نظر حلقهٔ فیدبک یکسان هستند بسیار مفید است زیرا (همچنانکه در بخش ۸-۸ نشان داده خواهد شد) پایداری، تابعی از حلقه است. بنابراین برای پایداری باید فقط یک مرتبه تحلیل پایداری را برای حلقهٔ داده شده بکار برد.

در فصل ۱۱ اصول معادل‌گذاری حلقه را در ساخت فیلترهای فعال بیان می‌کنیم.

تمرینها

۸-۸ تقویت‌کنندهٔ فیدبکی را که مدار معادل آن در شکل (ب ۲۵-۸) آمده در نظر بگیرید. حلقهٔ فیدبک را در ورودی ترانزیستور Q_1 بشکنید، یعنی ولتاژ آزمون V_t را به بیس Q_1 اعمال کنید و ولتاژ برگشتی را که روی $r_{\pi 1}$ ظاهر می‌شود، بیابید. سپس نشان دهید که بهرهٔ حلقه (با صرفنظرکردن از r_{o2} برای سادگی تحلیل) با رابطه زیر داده شده:

$$A\beta = g_{m1}\{r_{o1}//R_{C1}//[r_{\pi 2}+(h_{fe}+1)(R_{E2}//(R_f+(R_B//R_s//r_{\pi 1})))]\}$$
$$\times \frac{R_{E2}//(R_f+(R_B//R_s//r_{\pi 1}))}{R_{E2}//(R_f+(R_B//R_s//r_{\pi 1}))+r_{e2}}\,\frac{R_s//R_B//r_{\pi 1}}{(R_s//R_B//r_{\pi 1})+R_f}$$

از مقادیر عناصر در مثال ۴-۸ استفاده کنید و مقدار $A\beta$ را بیابید و آنرا با مقدار بدست آمده در مثال ۴-۸ مقایسه کنید.

جواب. ۴۹/۳ در مقایسه با ۵۲/۱

۹-۸ مقدار عددی $A\beta$ را برای تقویت‌کنندهٔ تمرین ۷-۸ بدست آورید.

جواب. ۶۵۸۹ V/V ❑

۸-۸ مسألهٔ پایداری

در یک تقویت‌کنندهٔ فیدبک مانند آنچه که توسط ساختار کلی شکل (۱-۸) نمایش داده شده، بهرهٔ حلقه باز A عموماً تابعی از فرکانس است و بعلاوه باید به عبارت دقیقتر آنرا **تابع انتقال حلقه باز** $A(s)$ نامید. همچنین در بیشتر قسمتها فرض کرده‌ایم که شبکهٔ فیدبک مقاومتی است و بنابراین فاکتور فیدبک β ثابت است، ولی همهٔ حالات به این مورد نیاز ندارند. بعلاوه باید فرض کنیم که در حالت کلی تابع انتقال فیدبک $\beta(s)$ است. این نتیجه می‌دهد که **تابع انتقال حلقه بستهٔ** $A_f(s)$ از رابطهٔ زیر بدست می‌آید:

$$A_f(s) = \frac{A(s)}{1 + A(s)\beta(s)} \qquad (۸-۲۶)$$

برای تمرکز روی نقاط اصلی بحث در این بخش، باید فرض کنیم که تقویت‌کننده دارای اتصال مستقیم با بهرهٔ dc ثابت A_0 است و قطب و صفرها در باند فرکانس بالا ظاهر می‌شوند. همچنین، برای بعضی زمانها می‌توان فرض کرد که در فرکانسهای پایین $\beta(s)$ به یک مقدار ثابت کاهش می‌یابد. بنابراین در فرکانسهای پایین بهرهٔ حلقهٔ $A(s)\beta(s)$ یک مقدار ثابت می‌شود، که باید یک عدد مثبت باشد، در غیر اینصورت فیدبک، منفی نخواهد بود. سؤالی که مطرح می‌شود اینست که در فرکانسهای بالاتر چه رخ می‌دهد. برای فرکانسهای فیزیکی $s = j(\omega)$، معادلهٔ (۲۶-۸) بصورت زیر است:

$$A_f(j\omega) = \frac{A(j\omega)}{1 + A(j\omega)\beta(j\omega)} \qquad (۸-۲۷)$$

بنابراین بهرهٔ حلقه $A(j\omega)\beta(j\omega)$ یک عدد مختلط است که توسط اندازه و فازش مشخص می‌شود،

$$L(j\omega) = A(j\omega)\beta(j\omega)$$
$$= |A(j\omega)\beta(j\omega)|\, e^{j\phi(\omega)} \qquad (۸-۲۸)$$

این روشی است که بهرهٔ حلقه با فرکانس تغییر می‌کند، که پایداری یا ناپایداری یک تقویت‌کنندهٔ فیدبک را تعیین می‌کند. برای درک این حقیقت، فرکانسی را در نظر بگیرید که در آن زاویهٔ فاز $\phi(\omega)$، ۱۸۰° می‌شود. در این فرکانس، ω_{180}، بهرهٔ حلقهٔ $A(j\omega)\beta(j\omega)$ یک عدد حقیقی با علامت منفی خواهد بود. بنابراین در این فرکانسها، فیدبک مثبت می‌شود. اگر در $\omega = \omega_{180}$ دامنهٔ بهرهٔ حلقه کمتر از واحد باشد، آنگاه از معادلهٔ (۲۷-۸) می‌بینیم که بهرهٔ حلقه بسته $A_f(j\omega)$ بزرگتر از بهرهٔ حلقه باز $A(j\omega)$ خواهد بود، زیرا مخرج معادلهٔ (۲۷-۸) کوچکتر از واحد است. با وجود این، تقویت کننده فیدبک همچنان پایدار است.

از طرف دیگر، اگر در فرکانس ω_{180} دامنهٔ بهرهٔ حلقه برابر واحد باشد، از معادلهٔ (۲۷-۸) نتیجه می‌گیریم که $A_f(j\omega)$ بی‌نهایت خواهد شد. این بدان معناست که تقویت‌کننده دارای یک خروجی برای ورودی صفر است، که بنا بر تعریف **نوسان‌ساز** خوانده می‌شود. برای تصور اینکه چگونه ممکن است که یک حلقهٔ فیدبک نوسان کند، حلقهٔ کلی شکل (۱-۸) را با صفرکردن ورودی خارجی x_s درنظر بگیرید. هر تداخلی در مدار، مثل مجاورت با سوئیچ منبع تغذیه، یک سیگنال $x_i(t)$ در ورودی تقویت‌کننده تولید خواهد کرد. چنین سیگنال نویزی معمولاً شامل محدودهٔ وسیعی از فرکانسهاست، و حالا می‌توانیم خود را روی مؤلفه‌های با فرکانس $\omega = \omega_{180}$ متمرکز کنیم، یعنی سیگنال $X_i \sin(\omega_{180}t)$. این سیگنال ورودی یک سیگنال فیدبک بصورت زیر را نتیجه خواهد داد:

$$X_f = A(j\omega_{180})\beta(j\omega_{180})X_i = -X_i$$

از آنجا که X_f در قسمت جمع‌کننده در ۱ − ضرب می‌شود، می‌بینیم که فیدبک سبب می‌شود تا سیگنال X_i در ورودی تقویت‌کننده تقویت شود. یعنی در ورودی و خروجی تقویت‌کننده سیگنالهای سینوسی با فرکانس ω_{180} موجود خواهند بود. بنابراین گفته می‌شود که تقویت‌کننده در فرکانس ω_{180} نوسان کرده است.

سؤال جدید این است که: اگر در ω_{180} دامنهٔ بهرهٔ حلقه بزرگتر از واحد باشد، چه اتفاقی رخ می‌دهد؟ ما باید این سؤال را پاسخ دهیم، البته نه بصورت کلی، ولی برای یک دستهٔ خیلی مهم از مدارها که در اینجا مورد نظر ما هستند. پاسخ، که از معادلهٔ (۲۷-۸) هم مشهود نمی‌باشد، اینست که مدار نوسان خواهد کرد، و دامنهٔ نوسانات بزرگ خواهد شد تا خواص غیرخطی (که همیشه به اشکال مختلف ظاهر می‌شود)، دامنهٔ بهرهٔ حلقه را به مقدار واحد تقلیل دهد. یعنی در نقطه‌ای که نوسانات تقویت‌شده بدست خواهند آمد. این روند برای شروع نوسانات با استفاده از فیدبک مثبت با بهرهٔ حلقهٔ بزرگتر از واحد و سپس استفاده از خواص غیرخطی برای کاهش دامنه به مقدار مطلوب، را در طراحی نوسان‌سازهای سینوسی در فصل ۱۲ بطور کامل بررسی خواهیم کرد. در اینجا منظور ما دقیقاً برعکس است: حال که می‌دانیم نوسانات چگونه در فیدبک منفی ظاهر می‌شوند، می‌خواهیم راهی برای جلوگیری از ظهور آنها پیدا کنیم.

نمودار نایکوئیست

نمودار نایکوئیست یک روش مطلوب برای آزمون پایداری بر اساس توضیحات فوق است. این نمودار یک نمودار ساده از بهرهٔ حلقه بر حسب فرکانس است. شکل (۲۸-۸) چنین نموداری را نشان می‌دهد. توجه کنید که فاصلهٔ شعاعی برابر $|A\beta|$ و زاویه برابر زاویهٔ فاز ϕ می‌باشد. نموداری که با خط پیوسته رسم شده برای فرکانسهای مثبت است. از آنجا که بهرهٔ حلقه – و به همین دلیل هر تابع بهره از شبکهٔ فیزیکی – دارای اندازه‌ای است که تابعی زوج از فرکانس می‌باشد و فازی که تابعی فرد از فرکانس است، نمودار $A\beta$ برای فرکانسهای منفی را می‌توان با بدست آوردن تصویر آینه‌ای نمودار قبلی نسبت به محور حقیقی تهیه کرد که در شکل (۲۸-۸) با خطوط شکسته نشان داده شده است.

نمودار نایکوئیست محور حقیقی منفی را در فرکانس ω_{180} قطع می‌کند. بنابراین اگر این قطع در سمت چپ نقطهٔ (۰ و ۱ −) اتفاق افتد، می‌دانیم که اندازهٔ بهرهٔ حلقه در این فرکانس بزرگتر از واحد است و تقویت‌کننده ناپایدار است. از طرف دیگر، اگر نقطهٔ تقاطع در سمت راست نقطهٔ (۰ و ۱ −) باشد تقویت‌کننده پایدار خواهد بود. این نتیجه می‌دهد که اگر نمودار نایکوئیست نقطهٔ (۰ و ۱ −) را دور بزند آنگاه تقویت‌کننده ناپایدار است. باید یادآور شویم که بهرحال این جمله حالت ساده شدهٔ معیار نایکوئیست است؛ به هرصورت آنرا می‌توانیم به هر مدار دلخواه اعمال کنیم. برای توضیح کامل در مورد روش نایکوئیست و جزئیات کاربردهای آن به کتاب Hay Kin (۱۹۷۰) مراجعه کنید.

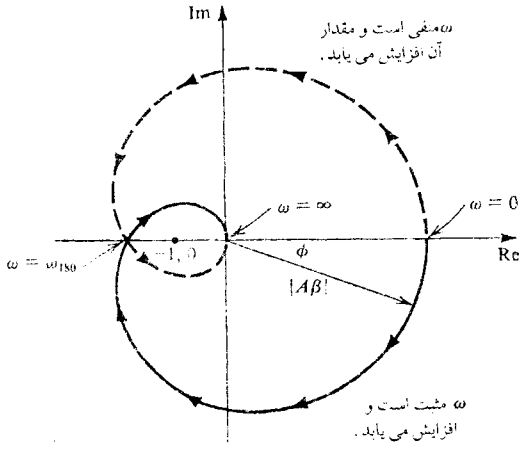
تمرین

۸-۱۰ تقویت‌کننده با فیدبکی را درنظر بگیرید که تابع انتقال حلقه باز آن بصورت زیر داده شده

$$A(s) = \left(\frac{۱۰}{۱ + s/۱۰^{۴}}\right)^{۳}$$

فاکتور β را یک مقدار ثابت مستقل از فرکانس قرار دهید. فرکانس ω_{180} را که در آن انتقال فاز ۱۸۰° است بیابید. آنگاه، نشان دهید که اگر فاکتور β کوچکتر از مقدار بحرانی β_{cr} باشد تقویت‌کننده پایدار و اگر $\beta \geq \beta_{cr}$ باشد؛ تقویت‌کننده ناپایدار است و مقدار β_{cr} را پیدا کنید.

جواب. $\omega_{180} = \sqrt{۳} \times ۱۰^{۴}$ rad/s ، $\beta_{cr} = ۰/۰۰۸$ ❑



شکل ۲۸-۸. نمودار نایکوئیست یک تقویت کننده ناپایدار

۸-۹ اثر فیدبک روی قطبهای تقویت‌کننده

پاسخ فرکانسی تقویت‌کننده و پایداری آن مستقیماً توسط قطبهایش تعیین می‌شود. بعلاوه می‌توانیم اثر فیدبک روی قطبهای تقویت‌کننده را بررسی کنیم.

پایداری و محل قطبها

باید بحث را با درنظر گرفتن رابطهٔ بین پایداری و مکان قطبها شروع کنیم. برای اینکه یک تقویت‌کننده یا هر سیستم دیگری پایدار باشد، قطبهایش باید در نیمه سمت چپ صفحهٔ s قرار داشته باشند. یک زوج قطب مزدوج مختلط روی محور $j\omega$ سبب ایجاد نوسانات سینوسی می‌شود. قطبها در نیمه سمت راست صفحهٔ s سبب تقویت نوسانات می‌شوند.

برای اثبات گفتهٔ فوق، یک تقویت‌کننده با یک زوج قطب در $s = \sigma_0 \pm j\omega_n$ درنظر بگیرید. اگر تقویت‌کننده تحت تأثیر نویز قرار گیرد؛ مثل مجاورت به کلید منبع تغذیه، پاسخ گذرای آن شامل جملاتی به فرم زیر است.

$$v(t) = e^{\sigma_0 t}\left[e^{+j\omega_n t} + e^{-j\omega_n t}\right] = 2\, e^{\sigma_0 t}\cos(\omega_n t)$$

این یک سیگنال سینوسی با پوش $e^{\sigma_0 t}$ است. حال اگر قطبها در سمت چپ صفحهٔ s قرار داشته باشند، σ_0 منفی خواهد بود و نوسانات بصورت نمایی به سمت صفر میرا خواهند شد، همچنانکه در شکل (الف ۲۹-۸) نشان داده شده است. که نشان‌دهندهٔ پایداری سیستم است. از طرف دیگر، اگر قطبها در نیم صفحهٔ راست باشند، آنگاه σ_0 مثبت خواهد بود و نوسانات بصورت نهایی رشد خواهند کرد (تا زمانی که خواص غیرخطی رشد آنها را محدود کند)، همچنانکه در شکل (ب ۲۹-۸) نشان داده شده است. نهایتاً، اگر قطبها روی محور $j\omega$ باشند، آنگاه σ_0 صفر است و نوسانات همانند شکل (ب ۲۹-۸) ثابت باقی خواهند ماند.

اگرچه توضیح فوق در مورد قطبهای مزدوج مختلط است، می‌توان نشان داد که وجود هر قطب در نیم صفحهٔ راست سبب ناپایداری می‌شود.

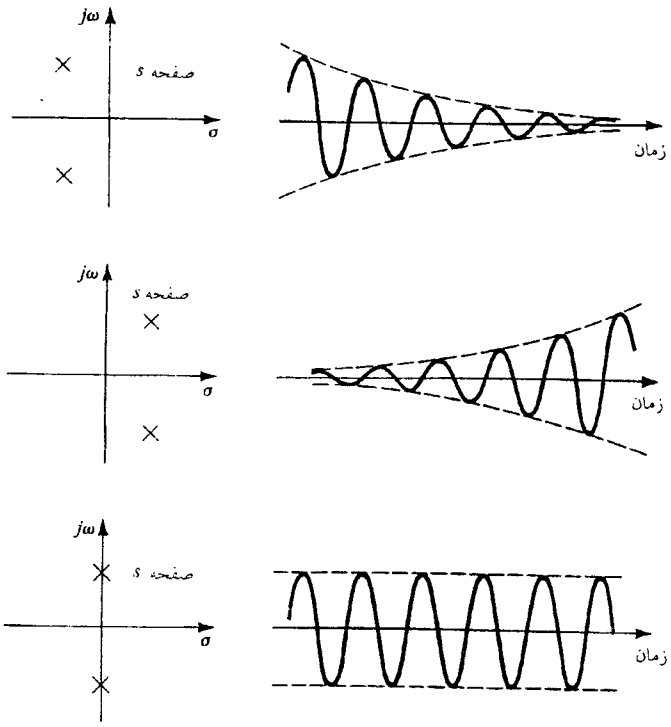
قطبهای تقویت‌کنندهٔ فیدبک

از تابع انتقال حلقه بستهٔ در معادله (۲۶-۸) درمی‌یابیم که قطبهای تقویت‌کنندهٔ فیدبک صفرهای $1 + A(s)\,\beta(s)$ هستند. یعنی قطبهای تقویت‌کنندهٔ فیدبک با حل معادلهٔ زیر بدست می‌آیند.

$$1 + A(s)\beta(s) = 0 \qquad (۸-۲۹)$$

که معادلهٔ مشخصهٔ حلقهٔ فیدبک خوانده می‌شود. بهرحال واضح است که اعمال فیدبک به یک تقویت‌کننده قطبهای آنرا تغییر می‌دهد.

در ادامه چگونگی تأثیرپذیری قطبهای تقویت‌کننده را در نظر می‌گیریم. برای این کار باید فرض کنیم که تقویت‌کنندهٔ حلقه باز دارای قطبهای حقیقی و صفرهای نامحدود است (یعنی همهٔ صفرها در $s = \infty$ قرار دارند). این فرض تحلیل را ساده می‌کند و ما را قادر می‌سازد تا توجه خود را روی اصول اساسی متمرکز کنیم. همچنین باید فرض کنیم که فاکتور فیدبک β مستقل از فرکانس است.



شکل ۲۹-۸. رابطه بین محل قطب و پاسخ گذرا

تقویت‌کننده با پاسخ تک‌قطبی

ابتدا حالتی را درنظر بگیرید که تابع انتقال حلقه باز تقویت‌کنندهٔ با یک قطب مشخص می‌شود.

$$A(s) = \frac{A_0}{1 + s/\omega_P} \qquad (۸-۳۰)$$

تابع انتقال حلقه بسته برابر زیر داده شده

$$A_f(s) = \frac{A_0/(1 + A_0\beta)}{1 + s/\omega_P(1 + A_0\beta)} \qquad (۸-۳۱)$$

بنابراین فیدبک قطب را در جهت محور حقیقی منفی به فرکانس ω_{Pf} منتقل می‌کند،

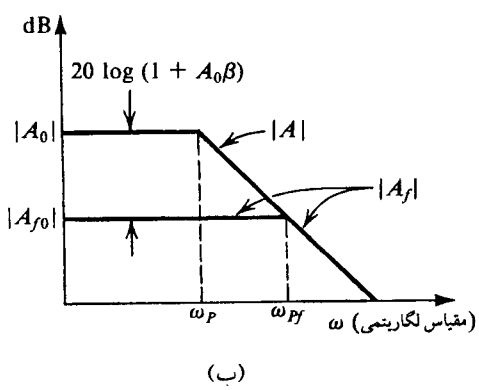
$$\omega_{Pf} = \omega_P(1 + A_0\beta) \qquad (۸-۳۲)$$

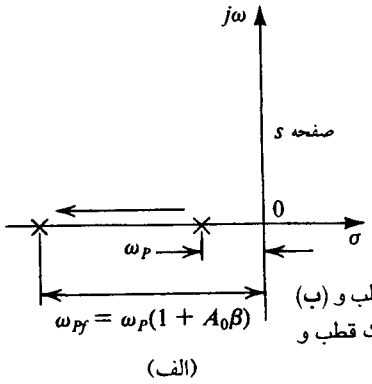
این عمل در شکل (الف ۳۰-۸) آمده است. شکل (ب ۳۰-۸) نمودار بودی برای $|A|$ و $|A_f|$ را نشان می‌دهد. توجه کنید در حالیکه در فرکانسهای پایین اختلاف بین قطبها برابر $20\log(1 + A_0\beta)$ است. در منحنی در فرکانسهای بالا بر هم منطبق می‌شوند. می‌توان نشان داد که این حالت با اعمال تقریب به معادلهٔ (۳۱-۸) برای فرکانسهای $\omega \gg \omega_P(1+A_0\beta)$ بدست می‌آید:

$$A_f(s) \cong \frac{A_0\,\omega_P}{s} \cong A(s) \qquad (۸-۳۳)$$

از نظر فیزیکی، در چنین فرکانسهای بالایی بهرهٔ حلقه بسیار کوچکتر از واحد است و فیدبک غیرمؤثر می‌باشد.

شکل (ب ۳۰-۸) بطور واضح این حقیقت را که اعمال فیدبک منفی به یک تقویت‌کننده پهنای باند آنرا به قیمت کاهش بهره، گسترش می‌دهد مشخص می‌کند. از آنجا که قطب تقویت‌کنندهٔ حلقه بسته هرگز به





شکل ۳۰-۸. اثر فیدبک بر (**الف**) محل قطب و (**ب**) پاسخ فرکانسی یک تقویت‌کننده دارای یک قطب و پاسخ حلقه باز

نیم‌صفحهٔ سمت راست وارد نمی‌شود، تقویت‌کنندهٔ تک‌قطبی برای هر تعداد β پایدار است. بنابراین به این تقویت‌کننده **پایدار غیرمشروط** گفته می‌شود. بهرحال این نتیجه تعجب‌آور نیست، زیرا پس فاز بودن متناظر با پاسخ تک‌قطبی هرگز نمی‌تواند بیشتر از °۹۰ باشد. بنابراین بهرهٔ حلقه، هرگز انتقال فاز °۱۸۰ لازم برای مثبت‌شدن فیدبک را نمی‌تواند اعمال کند.

تمرین

۸-۱۱ یک op-amp که دارای افت قطب منفرد در ۱۰۰ Hz و بهرهٔ فرکانس پایین 10^5 است با حلقهٔ فیدبک $\beta = 0/01$ کار می‌کند. با چه فاکتوری، فیدبک قطبها را انتقال می‌دهد؟ به چه فرکانسی برای بهرهٔ حلقه بستهٔ ۱، قطبها به چه فرکانسی منتقل می‌شوند؟

جواب. ۱۰۰۱، ۱۰۰/۱ kHz، ۱۰ MHz. ❑

تقویت‌کننده با پاسخ دو قطبی

حال یک تقویت‌کننده را که تابع انتقال مدار بازش توسط دو قطب حقیقی مشخص می‌شود، درنظر بگیرید:

$$A(s) = \frac{A_0}{(1 + s/\omega_{P1})(1 + s/\omega_{P2})} \qquad (۸-۳۴)$$

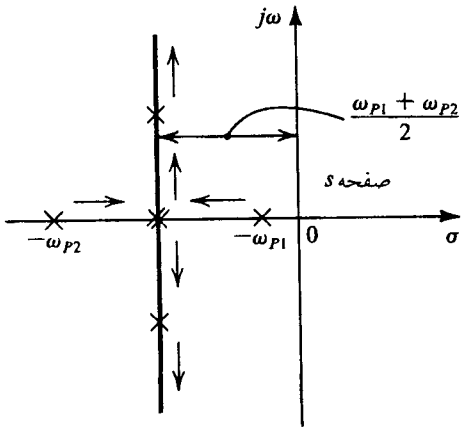
در این حالت قطبهای حلقه بسته از رابطهٔ $1 + A(s)\beta = 0$ بدست می‌آیند. که نتیجه می‌دهد

$$s^2 + s(\omega_{P1} + \omega_{P2}) + (1 + A_0\beta)\,\omega_{P1}\omega_{P2} = 0 \qquad (۸-۳۵)$$

بنابراین قطبهای حلقه بسته با رابطهٔ زیر داده می‌شوند:

$$s = -\frac{1}{2}(\omega_{P1}+\omega_{P2}) \pm \frac{1}{2}\sqrt{(\omega_{P1}+\omega_{P2})^2 - 4(1+A_0\beta)\omega_{P1}\omega_{P2}} \qquad (۸-۳۶)$$

از این معادلهٔ درمی‌یابیم همچنانکه بهرهٔ حلقه $A_0\beta$ از صفر افزایش می‌یابد، قطبها به یکدیگر نزدیکتر می‌شوند. آنگاه به یک مقدار بهرهٔ حلقه می‌رسیم که در آن قطبها بر هم منطبق می‌گردند. اگر بهرهٔ حلقه باز هم افزایش یابد، قطبها مزدوج مختلط می‌شوند و روی یک خط عمودی حرکت می‌کنند. شکل (۳۱-۸) مکان هندسی قطبها برای افزایش بهرهٔ حلقه را نشان می‌دهد. این نمودار را **نمودار مکان هندسی ریشه‌ها** می‌نامند، که «ریشه» به این حقیقت برمی‌گردد که قطبها، ریشه‌های معادلهٔ مشخصه هستند.



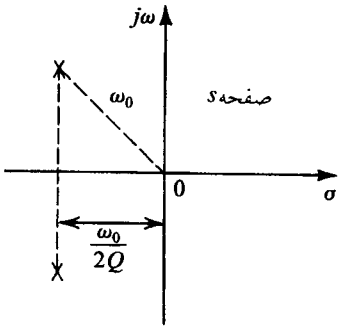
شکل ۳۱-۸. نمودار مکان هندسی ریشه‌ها برای تقویت‌کنندهٔ فیدبک که تابع انتقال آن دارای دو قطب حقیقی است.

از نمودار مکان هندسی ریشه‌ها در شکل (۳۱-۸) می‌فهمیم که این تقویت‌کنندهٔ فیدبک نیز پایدار غیر مشروط است. این نتیجه هم تعجب‌آور نیست، زیرا حداکثر انتقالِ فاز $A(s)$ در این حالت °۱۸۰ (°۹۰ برای هر قطب) است، ولی در $\omega = \infty$ به این مقدار می‌رسد. بنابراین فرکانس محدودی که انتقال فاز در آن به °۱۸۰ برسد وجود ندارد.

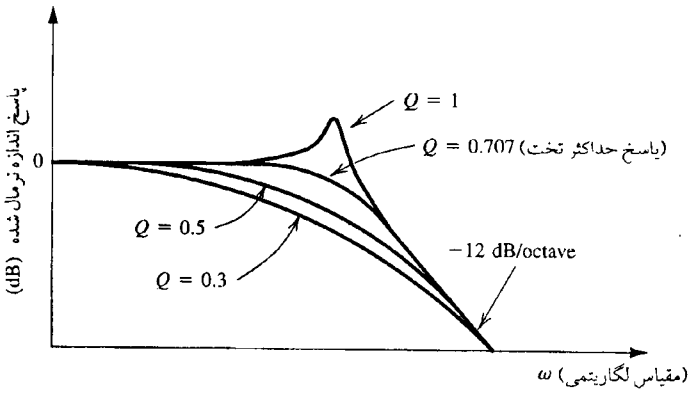
یک مورد دیگر را که می‌توان از نمودار مکان هندسی ریشه‌ها فهمید این است که تقویت‌کنندهٔ حلقه باز ممکن است دارای یک قطب غالب باشد، اما این شرط لازم برای تقویت‌کننده حلقه بسته نیست. البته پاسخ تقویت‌کنندهٔ حلقه بسته، همواره هنگامی که قطبها از معادلهٔ (۳۶-۸) پیدا می‌شوند، رسم می‌شود. همانند حالت پاسخ مرتبهٔ دوم، پاسخ حلقه بسته می‌تواند یک نوک از خود نشان دهد (فصل ۱۱ را ببینید). برای مشخص‌شدن بیشتر، معادلهٔ مشخصهٔ یک شبکهٔ مرتبهٔ دوم را می‌توان به فرم استاندارد زیر نوشت:

$$s^2 + s\frac{\omega_0}{Q} + \omega_0^2 = 0 \qquad (۸-۳۷)$$

که ω_0 **فرکانس قطب** و Q را **فاکتور Q قطب** نامند. اگر Q بزرگتر از ۰/۵ باشد قطبها مختلط هستند. یک توصیف هندسی برای ω_0 و Q برای یک زوج قطب مزدوج مختلط در شکل (۳۲-۸) نشان داده شده، که از آن درمی‌یابیم ω_0 فاصلهٔ شعاعی قطبها و Q نشان‌دهندهٔ فاصلهٔ قطبها از محور $j\omega$ است. قطبهای روی محور $j\omega$ دارای $Q = \infty$ هستند.



شکل ۳۲-۸. توصیف ω_0 و Q برای یک جفت قطب مزدوج مختلط



شکل ۳۳-۸. پاسخ اندازهٔ نرمال‌شدهٔ تقویت‌کنندهٔ فیدبک با دو قطب برای مقادیر گوناگون Q. توجه کنید که Q بوسیله بهره حلقه و بر اساس معادله (۳۸-۸) تعیین می‌شود.

با مقایسهٔ معادلات (۳۵-۸) و (۳۷-۸) فاکتور Q برای قطبهای تقویت‌کنندهٔ فیدبک برابر است با:

$$Q = \frac{\sqrt{(1 + A_0\beta)\,\omega_{P1}\,\omega_{P2}}}{(\omega_{P1} + \omega_{P2})} \qquad (۳۸-۸)$$

از مطالعهٔ پاسخهای شبکهٔ مرتبهٔ مهم در فصل ۱۱ دیده خواهد شد که پاسخ تقویت‌کنندهٔ فیدبک تحت بررسی برای $Q \le 0.707$ دارای نوک نخواهد بود. حالت مرزی متناظر با $Q = 0.707$ سبب ایجاد یک پاسخ **حداکثر تخت** خواهد شد. شکل ۳۳-۸ تعدادی از پاسخهای ممکن بدست آمده برای مقادیر مختلف Q را نشان می‌دهد (یا مقادیر مختلف $A_0\beta$).

تمرین

۱۲-۸ یک تقویت‌کننده با بهرهٔ فرکانس پایین ۱۰۰ و قطبهایی در 10^4 و 10^6 rad/s در یک حلقهٔ فیدبک منفی با فاکتور فیدبک β قرار گرفته است. برای چه مقدار β قطبهای تقویت‌کنندهٔ حلقه بسته بر هم منطبق خواهند بود؟ Q متناظر را برای سیستم مرتبهٔ دوم حاصل بدست آورید؟ به ازاء چه مقدار β پاسخ حداکثر تخت داریم؟ بهرهٔ فرکانس پایین حلقه بسته در حالت حداکثر تحت چقدر است؟

جواب. ۰/۲۴۵، ۰/۵، ۰/۵، ۱/۹۶ V/V ❑

مثال ۵-۸

به عنوان توضیحی برای نظریات فوق مدار فیدبک مثبت نشان داده شده در شکل (الف ۳۴-۸) را در نظر می‌گیریم. انتقال حلقهٔ $L(s)$ و معادله مشخصه را پیدا کنید. نمودار مکان هندسی ریشه‌ها به ازاء تغییر K را رسم کنید. و مقدار K را که پاسخ حداکثر تخت را نتیجه می‌دهد پیدا کنید و مقداری از K را که مدار را به نوسان وامی‌دارد بیابید. فرض کنید که تقویت‌کننده دارای امپدانس ورودی نامحدود و امپدانس خروجی صفر است.

حل:

برای بدست آوردن انتقال حلقه منبع سیگنال را اتصال کوتاه کرده و در ورودی تقویت‌کنندهٔ فیدبک حلقه را می‌شکنیم، سپس یک منبع ولتاژ آزمون V_t را به آن اعمال می‌کنیم و ولتاژ برگشتی V_r را می‌یابیم، همچنانکه در شکل (ب ۳۴-۸) آمده است. انتقال حلقه $L(s) \equiv A(s)\beta(s)$ بصورت زیر داده شده

$$L(s) = -\frac{V_r}{V_t} = -KT(s) \qquad (۳۹-۸)$$

که $T(s)$ تابع انتقال شبکهٔ RC دوسر نشان داده شده درون خطوط شکسته در شکل (ب ۳۴-۸) است:

$$T(s) = \frac{V_r}{V_1} = \frac{s(1/CR)}{s^2 + s(3/CR) + (1/CR)^2} \qquad (۴۰-۸)$$

بنابراین

$$= L(s)\frac{-s(K/CR)}{s^2 + s(3/CR) + (1/CR)^2} \qquad (۴۱-۸)$$

معادله مشخصهٔ برابر است با:

$$1 + L(s) = 0 \qquad (۴۲-۸)$$

یعنی:

$$s^2 + s\frac{3}{CR} + \left(\frac{1}{CR}\right)^2 - s\frac{K}{CR} = 0$$

$$s^2 + s\frac{3-K}{CR} + \left(\frac{1}{CR}\right)^2 = 0 \qquad (۴۳-۸)$$

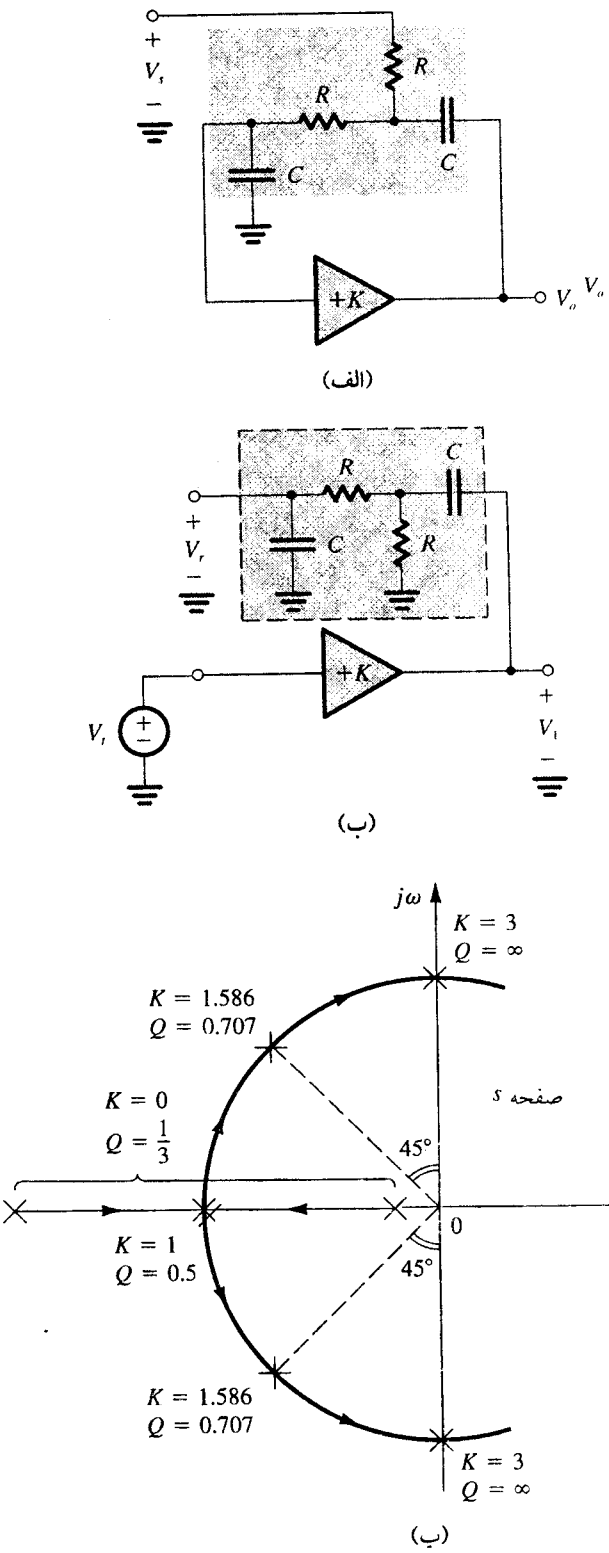
با مقایسهٔ این معادله با شکل استاندارد معادله مشخصهٔ مرتبهٔ دوم [معادلهٔ ۳۷-۸] می‌فهمیم که فرکانس قطب ω_0 برابر زیر داده شده

$$\omega_0 = \frac{1}{CR} \qquad (۴۴-۸)$$

و فاکتور Q

$$Q = \frac{1}{3-K} \qquad (۴۵-۸)$$

بنابراین برای $K = 0$ قطب دارای $Q = \frac{1}{3}$ هستند و بنابراین روی محور حقیقی منفی قرار دارند. همچنانکه K افزایش می‌یابد قطبها به یکدیگر نزدیکتر می‌شوند و حتی بر هم منطبق می‌گردند ($Q = 0.5$ و $K = 1$). افزایش بیشتر K سبب می‌شود که قطبها مزدوج و مختلط شوند. آنگاه مکان هندسی ریشه‌ها یک دایره است زیرا فاصلهٔ شعاعی ω_0 مستقل از مقدار K ثابت باقی می‌ماند.



شکل ۳۴-۸. مدارها و ترسیم مثال (۵-۸)

پاسخ حداکثر تخت هنگامی که $Q = ۰/۷۰۷$ است بدست می‌آید، که نتیجه می‌دهد $K = ۱/۵۸۶$. در این حالت قطبها در زاویهٔ °۴۵ هستند، همچنانکه در شکل (پ ۳۴-۸) نشان داده شده است. قطبها محور $j\omega$ را روی نیمهٔ راست صفحهٔ s در جایی قطع می‌کنند که مقدار K نتیجه می‌دهد $Q = \infty$، یعنی $K = ۳$. بنابراین برای $K \geq ۳$ این مدار ناپایدار است. ممکن است این نتیجه با نتیجه‌ایکه قبلاً بدست آوردیم، که تقویت‌کنندهٔ فیدبک با پاسخ مرتبهٔ دوم پایدار غیر مشروط است، مغایرت داشته باشد. بهرحال توجه کنید که مدار این مثال، کاملاً با تقویت‌کنندهٔ فیدبک منفی که آنرا مطالعه کردیم، تفاوت دارد. در اینجا یک تقویت کننده با بهرهٔ مثبت K داریم و یک شبکهٔ فیدبک که تابع انتقال $T(s)$ آن وابسته به فرکانس است. این فیدبک در حقیقت مثبت است، و مدار در فرکانسی که فاز $T(j\omega)$ صفر می‌شود، نوسان خواهد کرد.

مثال ۵-۸ استفاده از فیدبک (فیدبک مثبت در این حالت) را برای حرکت قطبهای شبکهٔ RC از روی محور حقیقی منفی به محل مزدوج مختلط تشریح می‌کند. می‌توان همین نتیجه را برای فیدبک منفی دنبال کرد، همچنانکه نمودار مکان هندسی ریشه‌های شکل (۳۱-۸) نشان می‌دهد. عمل کنترل قطب، که در فصل ۱۱ بیان خواهد شد، پایه و اساس طراحی فیلترهای فعال است.

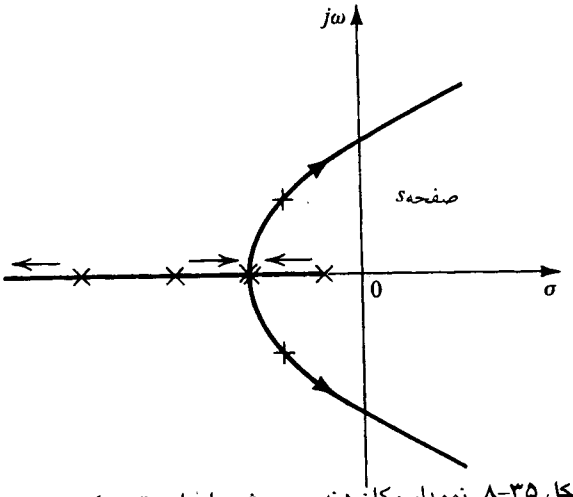
تقویت‌کننده‌هایی با سه قطب یا بیشتر

شکل (۳۵-۸) نمودار مکان هندسی ریشه‌ها را برای تقویت‌کننده فیدبکی که پاسخ مدار بازش با سه قطب مشخص می‌شود، نشان می‌دهد. همچنانکه نشان داده شده، افزایش بهرهٔ حلقه از صفر، قطب فرکانس بالا را دورتر و دو قطب دیگر را به یکدیگر نزدیکتر می‌کند. اگر $A_o\beta$ باز هم افزایش یابد، دو قطب بر هم منطبق شده و آنگاه مزدوج مختلط می‌شوند. مقداری از $A_o\beta$ وجود دارد که در آن زوج قطب مزدوج مختلط به نیمهٔ راست صفحهٔ s وارد می‌شوند، که سبب ناپایداری تقویت‌کننده می‌شود.

این نتیجه چندان عجیب نیست، زیرا که یک تقویت‌کننده با سه قطب دارای انتقال فاز °۲۷۰- در $\omega \to \infty$ است. بنابراین یک فرکانس محدود $\omega_{۱۸۰}$ وجود دارد که در آن انتقال فاز بهرهٔ حلقه °۱۸۰ شود.

از نمودار مکان هندسی ریشه‌های شکل (۳۵-۸) درمی‌یابیم که می‌توان پایداری یک تقویت‌کننده را، با انتخاب مقداری برای $A_o\beta$ که کوچکتر از مقدار متناظر برای حرکت قطبها به نیمهٔ راست صفحهٔ s باشد، تضمین کرد. بصورت نمودار نایکوئیست، مقدار بحرانی $A_o\beta$ مقداری است که به ازاء آن نمودار از نقطهٔ (۰ و ۱-) عبور کند. کاهش $A_o\beta$ زیر این مقدار سبب جمع شدن نمودار نایکوئیست می‌گردد و بنابراین نقطه تقاطع با محور حقیقی منفی به سمت راست (۰ و ۱-) می‌رود که نشانگر پایداری تقویت کننده است. از طرف دیگر، افزایش $A_o\beta$ بیشتر از مقدار بحرانی سبب گسترش نمودار نایکوئیست می‌گردد که در نتیجه نمودار نقطهٔ (۰ و ۱-) را دور می‌زند و نشانگر ناپایداری است.

برای یک بهرهٔ حلقه باز داده شده، نتایج فوق را بصورت جملاتی برحسب فاکتور فیدبک β می‌توان قرار داد. یعنی، برای β مقدار حداکثری وجود دارد که مقادیر بالاتر از آن سبب ناپایداری تقویت‌کنندهٔ فیدبک



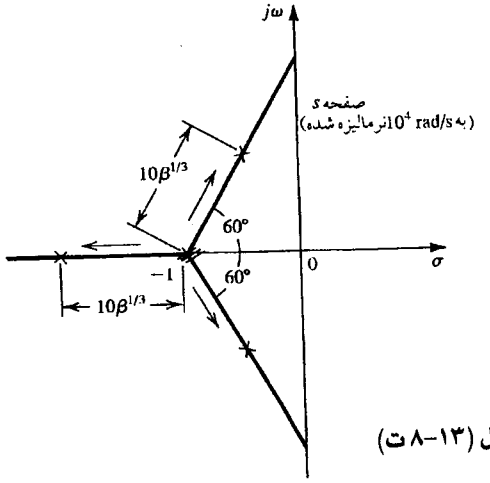
شکل ۳۵-۸. نمودار مکان هندسی ریشه‌ها برای تقویت‌کنندهٔ با سه قطب. پیکانها نشانگر حرکت قطبها با افزایش $A_0\beta$ می‌باشند.

می‌شود. ناچاراً، باید یک مقدار حداقل برای بهرهٔ حلقه بسته A_{f0} قرار دهیم که برای مقادیر کمتر از آن تقویت‌کنندهٔ فیدبک ناپایدار گردد. برای بدست آوردن مقدار حداقل بهرهٔ حلقه بسته نیازمند به اصلاح تابع انتقال حلقهٔ $L(s)$ هستیم. این شیوه را جبران سازی فرکانسی می‌گویند. تئوری و تکنیکهای جبران سازی فرکانسی را در بخش ۱۱-۸ بررسی خواهیم کرد.

قبل از پایان این بخش باید یادآوری کنیم که ایجاد نمودار مکان هندسی ریشه‌ها برای تقویت‌کننده‌هایی با سه قطب یا بیشتر دارای یک روش مدّون است. اما چنین روشی در اینجا آورده نشده است ولی خوانندگان علاقمند می‌توانند به کتاب Haykin (۱۹۷۰) مراجعه کنند. گرچه نمودار مکان هندسی ریشه‌ها دید خوبی برای طراحان تقویت‌کننده‌ها فراهم می‌کند، ولی روشهای ساده‌تری بر اساس نمودار بودی وجود دارد که می‌توان از آنها استفادهٔ مؤثرتری کرد. همچنانکه در بخش ۱۰-۸ تشریح شده است.

تمرین

۱۳-۸ یک تقویت‌کنندهٔ فیدبک که تابع انتقال حلقه باز آن $A(s)$ با



شکل (۱۳-۸ ت)

رابطهٔ زیر داده شده درنظر بگیرید:

$$A(s) = \left(\frac{10}{1 + s/10^4}\right)^3$$

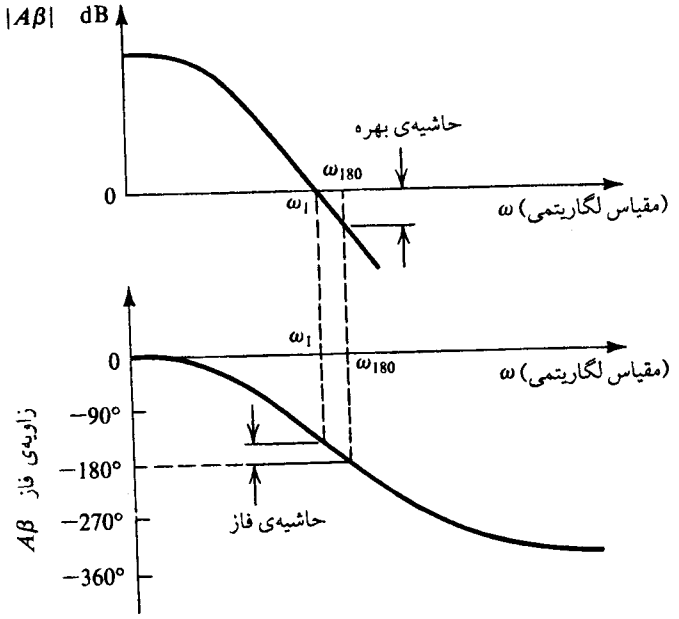
فاکتور فیدبک β را مستقل از فرکانس بگیرید. قطبهای حلقه بسته را بصورت توابعی از β پیدا کنید و نشان دهید که مکان هندسی ریشه‌ها، نمودار شکل (۱۳-۸ ت) است. همچنین مقداری از β را بیابید که در آن تقویت‌کننده ناپایدار می‌شود. (توجه: این همان تقویت‌کنندهٔ درنظر گرفته شده در تمرین (۱۰-۸) است.)

جواب. شکل (۱۳-۸ ت) را ببینید، $\beta_{\text{بحرانی}} = 0/008$ ❑

۱۰-۸ بررسی پایداری توسط نمودار بودی

حاشیه‌های بهره و فاز

از بخش ۸-۸ و ۹-۸ می‌دانیم که برای تعیین پایداری یا عدم پایداری تقویت‌کنندهٔ فیدبک می‌توان بهرهٔ حلقهٔ $A\beta$ را که بصورت تابعی از فرکانس است امتحان کرد. یکی از ساده‌ترین و مؤثرترین روش‌ها برای این کار استفاده از نمودار بودی برای $A\beta$ است، همچنانکه در شکل (۳۶-۸) نشان داده شده است. (توجه کنید از آنجا که فاز به سمت $-360°$ می‌رود، شبکهٔ مورد آزمایش از مرتبهٔ چهار است). تقویت‌کنندهٔ فیدبکی که بهرهٔ حلقه آن در شکل (۳۶-۸) رسم شده، پایدار خواهد بود. زیرا در فرکانسِ انتقالِ فازِ $180°$، ω_{180}، دامنهٔ بهرهٔ حلقه کمتر از واحد است (مقدار منفی برحسب dB). اختلاف بین مقدار $|A\beta|$ در ω_{180} و واحد را حاشیه بهره (gain margin) می‌خوانند و معمولاً آنرا بر حسب dB نمایش می‌دهند. حاشیه بهره تعیین‌کنندهٔ میزانی است که بهرهٔ حلقه می‌تواند افزایش یابد بدون اینکه پایداری بهم بخورد. تقویت‌کننده‌های فیدبک معمولاً چنان طراحی می‌شوند که دارای مقدار کافی حاشیه بهره باشند تا از تغییرات ناخواستهٔ بهرهٔ حلقه یا دما و زمان مصون بمانند.



شکل ۳۶-۸. نمودار بودی برای بهرهٔ حلقه و تعریف حاشیه‌های بهره

یک راه دیگر اثبات پایداری و بیان درجهٔ آن آزمایش کردن نمودار بودی در فرکانسی است که $|A\beta| = 1$ است، یعنی نقطه‌ای که نمودار دامنه خط ۰ dB را قطع می‌کند. اگر در این فرکانس، زاویهٔ فاز (مقدار زاویه) کوچکتر از ۱۸۰° باشد، آنگاه تقویت‌کننده پایدار است. این وضعیت در شکل (۳۶-۸) نشان داده شده است. اختلاف بین زاویهٔ فاز در این فرکانس و ۱۸۰° برابر حاشیه فاز (Phase margin) است. از طرف دیگر، اگر در فرکانس بهرهٔ حلقهٔ واحد، تأخیر فاز بیشتر از ۱۸۰° باشد، تقویت‌کننده ناپایدار خواهد بود.

تمرین

۸-۱۴ یک op-amp را درنظر بگیرید که دارای پاسخ تک‌قطبی با $A_0 = 10^5$ و $f_P = 10$ Hz است. op-amp را ایده‌آل بگیرید. (امپدانس ورودی بی‌نهایت، امپدانس خروجی صفر و غیره). اگر این تقویت‌کننده با آرایش ناوارونگر و با بهرهٔ حلقه بستهٔ فرکانس پایین ۱۰۰ باشد، فرکانسی را که در آن $|A\beta| = 1$ است، پیدا کنید. همچنین حاشیه فاز را بدست آورید.
جواب. 10^4 Hz، ۹۰°

اثر حاشیه فاز روی پاسخ حلقه بسته

تقویت‌کننده‌های فیدبک عموماً با حاشیه فازی حداقل برای ۴۵° طراحی می‌شوند. میزان حاشیه فاز اثر زیادی روی شکل اندازهٔ پاسخ حلقه بسته دارد. برای دیدن این رابطه، یک تقویت‌کنندهٔ فیدبک با بهرهٔ حلقه فرکانس پایین، $A_0\beta \gg 1$، درنظر بگیرید. در نتیجه بهرهٔ حلقه بسته در فرکانسهای پایین تقریباً برابر $1/\beta$ است. اگر فرکانسی را که در آن دامنهٔ بهرهٔ حلقه واحد است با ω_1 نشان دهیم، با توجه به شکل (۳۶-۸) داریم:

$$A(j\omega_1)\beta = 1 \times e^{-j\theta} \qquad (8\text{-}46)$$

که

$$\theta = 180^\circ - \text{حاشیه فاز} \qquad (8\text{-}47)$$

در ω_1 بهرهٔ حلقه بسته برابر است با:

$$A_f(j\omega_1) = \frac{A(j\omega_1)}{1 + A(j\omega_1)\beta}$$

با جایگذاری از معادلهٔ (۴۶-۸) داریم:

$$A_f(j\omega_1) = \frac{(\frac{1}{\beta})\, e^{-j\theta}}{1 + e^{-j\theta}}$$

بنابراین اندازهٔ بهره در ω_1 برابر با:

$$|A_f(j\omega_1)| = \frac{1/\beta}{|1 + e^{-j\theta}|} \qquad (8\text{-}48)$$

برای حاشیه فاز ۴۵°، $\theta = 135^\circ$، داریم:

$$|A_f(j\omega_1)| = 1.3\,\frac{1}{\beta}$$

یعنی بهره با ضریب ۱/۳ بالاتر از مقدار فرکانس پایین $1/\beta$ دارای نوک است. اگر حاشیه فاز کاهش یابد این نوک افزایش خواهد یافت، و در حاشیه فاز صفر به ∞ می‌رسد. البته حاشیه فاز صفر، به معنای نوسان تقویت‌کننده است [قطبها روی محور $j\omega$، نمودار نایکوئیست از نقطهٔ (۰ و ۱ −) عبور می‌کند.].

تمرین

۸-۱۵ بهرهٔ حلقه بسته در ω_1 را نسبت به بهرهٔ فرکانس پایین در مقادیر حاشیه فاز ۳۰° و ۶۰° و ۹۰° پیدا کنید.
جواب. ۱/۹۳، ۱، ۰/۷۰۷

یک راه دیگر دسترسی

اثبات پایداری با استفاده از نمودار بودی برای بهرهٔ حلقهٔ $A\beta$ یک عمل وقت‌گیر و طاقت‌فرساست، بویژه اگر مجبور به تعیین پایداری یک تقویت‌کننده برای تعدادی شبکهٔ فیدبک باشیم. یک راه دسترسی، که بسیار ساده‌تر هم هست، رسم نمودار بودی، تنها برای بهرهٔ حلقه باز $A(j\omega)$ است. با فرض اینکه β مستقل از فرکانس است، می‌توانیم $20\log(1/\beta)$ را بصورت یک خط راست افقی در همان صفحه‌ای که $20\log|A|$ رسم شده است، ترسیم نمائیم. اختلاف بین این دو منحنی برابر است با:

$$20\log|A(j\omega)| - 20\log\frac{1}{\beta} = 20\log|A\beta| \qquad (8\text{-}49)$$

که بیانگر بهرهٔ حلقه برحسب dB است. برای بررسی پایداری امکان آزمایش اختلاف بین دو منحنی نیز وجود دارد. اگر علاقمند به بررسی پایداری برای فاکتور فیدبک دیگری نیز باشیم، به راحتی یک خط افقی دیگر در سطح $20\log(\frac{1}{\beta})$ رسم می‌کنیم.

برای توضیح، تقویت‌کننده‌ای را درنظر بگیرید که تابع انتقال حلقه بازش توسط سه قطب مشخص می‌شود. برای سادگی فرض کنید سه قطب خیلی مجزا هستند - مثلاً در ۰/۱، ۱ و ۱۰ MHz قرار دارند، همچنانکه در شکل (۳۷-۸) نشان داده شده است. توجه کنید از آنجا که قطب ها مجزا هستند، فاز در فرکانس اولین قطب تقریباً ۴۵° −، در دومین قطب ۱۳۵° − و در سومین قطب ۲۲۵° − است. فرکانسی که در آن فاز $A(j\omega)$ برابر ۱۸۰° − است، در روی قطعه با شیب ۴۰ dB/decade − قرار دارد، همچنانکه در شکل (۳۷-۸) مشخص شده است.

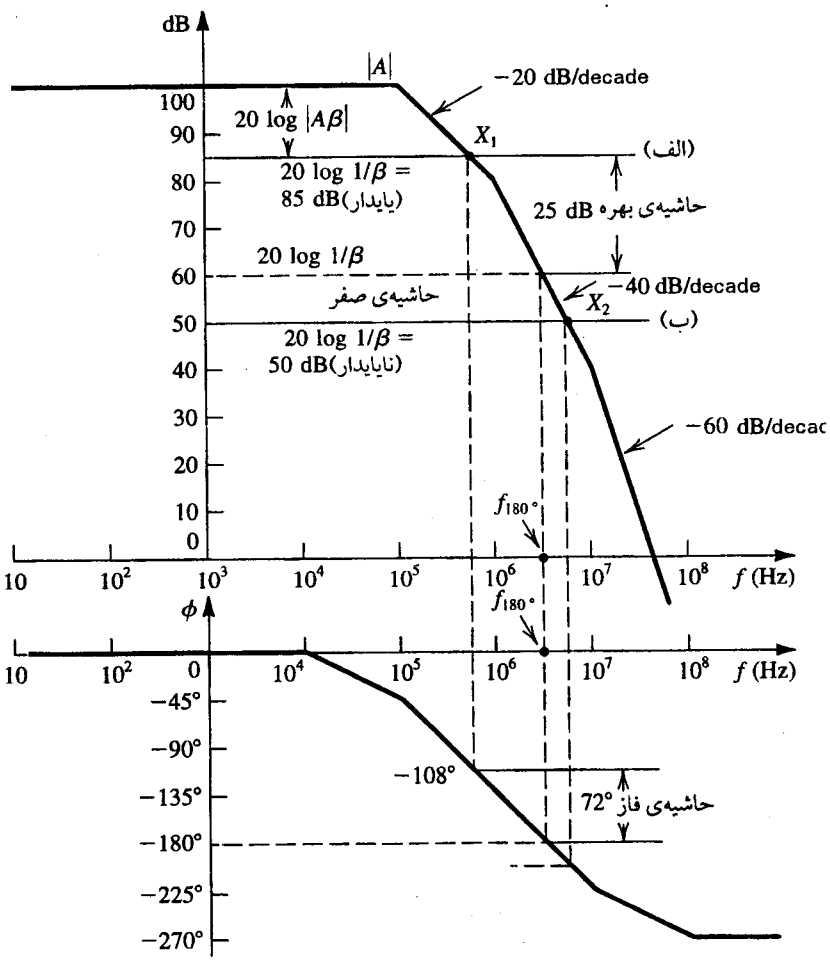
بهرهٔ حلقه باز این تقویت‌کننده را می‌توان بصورت زیر بدست آورد:

$$A = \frac{10^5}{(1 + jf/10^5)(1 + jf/10^6)(1 + jf/10^7)} \qquad (8\text{-}50)$$

که از آن $|A|$ برای هر مقدار f (بر حسب Hz) تعیین می‌شود، و فاز به صورت زیر بدست می‌آید:

$$\phi = -[\tan^{-1}(f/10^5) + \tan^{-1}(f/10^6) + \tan^{-1}(f/10^7)] \qquad (8\text{-}51)$$

نمودارهای دامنه و فازِ نشان داده شده در شکل (۳۷-۸) توسط روش تهیه



شکل ۳۷-۸. با استفاده از نمودار بودی $|A|$

نمودار بودی (بخش ۱-۷) بدست آمده‌اند. این نمودارها مقادیر تقریبی برای پارامترهای تقویت‌کننده بدست می‌دهند، و مقادیر دقیق را می‌توان از معادلات (۵۰-۸) و (۵۱-۸) بدست آورد. به عنوان مثال فرکانس f_{180} که در آن زاویهٔ فاز ۱۸۰° است را می‌توان از شکل (۳۷-۸) بصورت تقریبی 3.2×10^6 Hz تعیین کرد. اگر از این نقطه شروع کنیم، مقدار دقیق را می‌توان به روش سعی و خطا توسط معادلهٔ (۵۱-۸) بدست آورد. نتیجه $f_{180} = 3.34 \times 10^6$ Hz است، در این فرکانس، معادلهٔ (۵۰-۸) اندازهٔ بهرهٔ 58.2 dB را می‌دهد که بسیار نزدیک به مقدار تقریبی ۶۰ dB است که توسط شکل (۳۷-۸) داده شده است.

سپس خط راستی را که با (الف) در شکل (۳۷-۸) مشخص شده درنظر بگیرید. این خط نمایانگر فاکتور فیدبک برای $20\log(1/\beta)=85$dB است، که متناظر با $\beta = 5.632 \times 10^{-5}$ و بهرهٔ حلقه بستهٔ 83.6 dB است. از آنجا که بهرهٔ حلقه برابر اختلاف بین منحنی $|A|$ و خط $1/\beta$ است، نقطهٔ تقاطع X_1 متناظر با فرکانسی است که در آن $|A\beta| = 1$ است، با استفاده از نمودارهای (۳۷-۸)، این فرکانس تقریباً برابر 5.6×10^5 Hz بدست می‌آید. با استفاده از معادلات تابع انتقال مقدار دقیق 4.936×10^5 بدست خواهد آمد. در این فرکانس از نمودار فاز می‌بینیم که، فاز −۱۰۸° است. بنابراین تقویت‌کنندهٔ حلقه بسته، برای $20\log(1/\beta) = 85$ dB، با حاشیه فاز ۷۲° پایدار خواهد بود. به راحتی می‌توان حاشیه بهره را از شکل (۳۷-۸) برابر ۲۵ dB بدست آورد.

سپس، فرض کنید می‌خواهیم با استفاده از این تقویت‌کننده مقدار بهرهٔ حلقه بستهٔ مقدار نامی ۵۰ dB را بدست آوریم. از آنجا که $A_0 = 100$dB است، می‌فهمیم که $A_0\beta >> 1$ و $20\log(A_0\beta) \cong 50$ dB می‌باشد. در نتیجه $20\log(1/\beta) \cong 50$dB برای اینکه ببینیم این تقویت‌کننده پایدار است یا خیر، خط (ب) را در شکل (۳۷-۸) با ارتفاع ۵۰ dB رسم می‌کنیم. این خط منحنی بهرهٔ حلقه باز را در نقطهٔ X_2 قطع می‌کند، که فاز متناظر آن بزرگتر از ۱۸۰° است. بنابراین تقویت‌کننده حلقه بسته با بهرهٔ ۵۰ dB ناپایدار خواهد بود.

در حقیقت، به راحتی از شکل (۳۷-۸) دیده می‌شود که حداقل مقدارِ $20\log(1/\beta)$ که می‌تواند استفاده شود، تا تقویت‌کننده حاصل پایدار بماند، برابر ۶۰ dB است. به عبارت دیگر، حداقل مقدار بهرهٔ حلقه بستهٔ پایدار که توسط این تقویت‌کننده بدست آمده تقریباً ۶۰ dB است. اما در این مقدار بهره، تقویت‌کننده ممکن است نوسان کند، زیرا هیچ حدی برای تغییرات ممکن در بهره درنظر گرفته نشده است.

از آنجا که نقطهٔ فاز ۱۸۰° همیشه در ناحیهٔ −۴۰ dB/decade نمودار بودی برای $|A|$ ظاهر می‌شود، یک شیوه عملی برای تضمین پایداری

بصورت زیر است: تقویت‌کنندهٔ حلقه بسته پایدار است اگر خط $20\log(1/\beta)$، منحنیِ $20\log|A|$ را در نقطه‌ای روی ناحیهٔ -20 dB/decode قطع کند. پیروی از این قانون سبب می‌شود که حاشیه فازی حداقل برابر $45°$ بدست آید. برای مثال شکل (۳۷-۸)، این قانون نتیجه می‌دهد که حداکثر مقدار β برابر 10^{-4} است که متناظر با بهرهٔ حلقه بسته‌ای تقریباً برابر ۸۰dB است.

قانون اجمالی فوق را می‌توان برای حالتی که β تابعی از فرکانس است تعمیم داد. قانون کلی می‌گوید که در محل تقاطع $20\log[1/|\beta(j\omega)|]$ و $20\log|A(j\omega)|$ اختلاف شیبها نباید بیشتر از 20 dB/decode باشد (که **میزان مجاورت** خوانده می‌شود).

تمرین

۸-۱۶ یک op-amp را درنظر بگیرید که بهرهٔ حلقه باز آن با آنچه در شکل (۳۷-۸) آمده، یکسان است. فرض کنید که op-amp ایده‌آل است. اتصال op-amp را بصورت یک مشتق‌گیر فرض کنید. با استفاده از قانون اجمالی فوق نشان دهید که برای پایداری باید ثابت زمانی مشتق‌گیر بزرگتر از ۱۵۹ ms باشد. (راهنمایی: بیاد آورید که برای یک مشتق‌گیر نمودار بودی برای $1/|\beta(j\omega)|$ دارای شیب $+20$ dB/decade است و خط ۰ dB را در $1/\tau$ قطع می‌کند که τ ثابت زمانی مشتق‌گیر است.) ❑

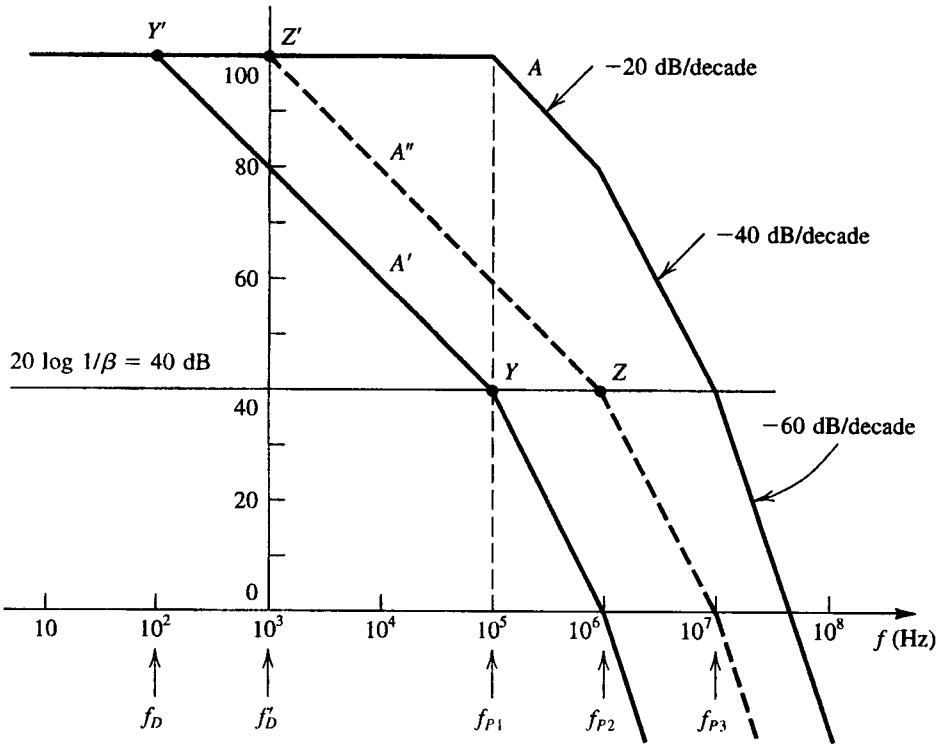
۸-۱۱ جبران‌سازی فرکانسی

در این بخش روشهایی را برای بهبود تابع انتقال حلقه باز $A(s)$ یک تقویت‌کننده که دارای سه قطب یا بیشتر است توضیح می‌دهیم، که تقویت کنندهٔ حلقه بسته را برای مقادیر مطلوب بهرهٔ حلقه بسته پایدار نگه می‌دارد.

تئوری

ساده‌ترین روش جبران‌سازی فرکانسی شامل تولید یک قطب جدید در تابع $A(s)$ در فرکانس به حد کافی پایینِ f_D است بصورتی که بهرهٔ حلقه بسته بهبود یافتهٔ $A'(s)$، منحنی $20\log(1/|\beta|)$ را با اختلاف شیب 20 dB/decade قطع کند. به عنوان یک مثال، فرض کنید نیاز به جبران‌سازی تقویت‌کننده‌ای داریم که $A(s)$ آن در شکل (۳۸-۸) نشان داده شده است، به صورتی که تقویت‌کنندهٔ حلقه بسته با β به بزرگی 10^{-2} (یعنی، بهرهٔ حلقه بسته‌ای به کوچکی تقریباً ۴۰ dB) پایدار باشد. ابتدا یک خط افقی در سطح ۴۰ dB رسم می‌کنیم که نمایانگرِ $20\log(1/\beta)$ است، همچنانکه در شکل (۳۸-۸) نشان داده شده است. سپس نقطهٔ Y را روی این خط در فرکانسِ اولین قطب، f_{P1}، قرار می‌دهیم. از Y خطی با شیب -20 dB/decade رسم می‌کنیم و نقطه‌ای را که این خط با خط بهرهٔ dc تلاقی می‌کند، نقطهٔ Y' می‌نامیم. این نقطه فرکانس f_D قطب جدیدی را که باید به تابع انتقال حلقه باز اضافه کرد، می‌دهد.

پاسخ حلقه باز جبران‌شدهٔ $A'(s)$ در شکل (۳۸-۸) نشان داده شده است. این پاسخ دارای چهار قطب است: در f_D، f_{P1}، f_{P2} و f_{P3}. بنابراین $|A'|$ در f_D با شیب -20 dB/decade افت می‌کند. در f_{P1} تغییرات شیب -40 dB/decade است، در f_{P2} به -60 dB/decade تغییر می‌یابد و بهمین صورت. از آنجا که خط $20\log(1/\beta)$، منحنی $20\log|A'|$ را در Y روی ناحیهٔ -20 dB/decode قطع می‌کند، تقویت‌کنندهٔ حلقه بسته با این مقدار β (یا مقادیر کوچکتر) پایدار خواهد بود.



شکل ۳۸-۸. جبران‌سازی فرکانس برای $\beta = 10^{-2}$. پاسخ A' شامل قطب اضافی f_D می‌باشد. پاسخ A'' از حرکت قطب فرکانس پایین f'_D حاصل شده است.

یک عیب جدی این روش جبران‌سازی اینست که در بیشتر فرکانسها بهرهٔ حلقه باز شدیداً کاهش می‌یابد. این بدان معناست که در بیشتر فرکانسها میزان فیدبک موجود کوچک است. از آنجا که همهٔ مزایای فیدبک منفی مستقیماً متناسب با میزان فیدبک است، کار تقویت‌کنندهٔ جبران‌سازی شده خراب می‌شود.

بررسی دقیق شکل (۳۸-۸) نشان می‌دهد که علت پایین‌بودن $A'(s)$، وجود قطب در f_{P1}است. اگر به صورتی این قطب را حذف کنیم، آنگاه - بجای قراردادن نقطهٔ Y، رسم YY' و غیره - می‌توانیم کار را از نقطهٔ Z شروع کنیم (در فرکانس اولین قطب) و خط ZZ' را رسم نمائیم. نتیجهٔ این کار منحنی حلقه باز $A''(s)$است، که نشان دهندهٔ بهرهٔ بالاتری نسبت به $A'(s)$است.

اگرچه امکان حذف قطب در f_{P1}نیست، ولی معمولاً امکان انتقال قطب از $f = f_{P1}$ به $f = f_D'$ وجود دارد. این عمل سبب غالب‌شدن قطب می‌گردد و نیاز به تولید یک قطب اضافی در فرکانس پایین‌تر را نیز برطرف می‌کند، همچنانکه بعداً بیان خواهد شد.

پیاده‌سازی

حال باید نحوهٔ انجام جبران‌سازی فرکانس فوق را مشخص کنیم. مدار تقویت‌کننده معمولاً شامل تعدادی طبقهٔ بهره است، که هر طبقه یک یا چند قطب تابع انتقال را دربردارد. توسط تحلیل کامپیوتری و یا دستی، می‌توان تعیین کرد که کدام طبقه هریک از قطبهای مهم f_{P1}، f_{P2} و غیره را تولید می‌کند. برای توضیح، فرض کنید که اولین قطب، f_{P1}، در مدار رابط بین دو طبقهٔ تفاضلیِ نشان داده شده در شکل (الف ۳۹-۸) ایجاد می‌شود. در شکل (ب ۳۹-۸) یک مدارِ مدل سیگنال کوچک ساده برای این مدار واسطه را نشان داده‌ایم. منبع جریان I_x نمایانگر جریان سیگنال خروجیِ طبقهٔ $Q_1 - Q_2$است. مقاومت R_x و خازن C_x نمایانگر مقاومت و خازن بین دو گره β و β'هستند. این نتیجه می‌دهد که قطب f_{P1}از رابطهٔ زیر بدست می‌آید:

$$f_{P1} = \frac{1}{2\pi C_x R_x} \qquad (۸-۵۲)$$

حال بیائید خازن جبران‌ساز C_C را بین B و B′ ببندیم. حاصل این کار مدار معادل بهبودیافتهٔ نشان داده شده در شکل (پ ۳۹-۸) است، که از آن می‌توان دید قطب حاصل دیگر در f_{P1}نمی‌باشد. در عوض این قطب می‌تواند در هر فرکانس پایین‌تر مطلوب f_D'قرار داشته باشد.

$$f_D' = \frac{1}{2\pi (C_x + C_C) R_x} \qquad (۸-۵۳)$$

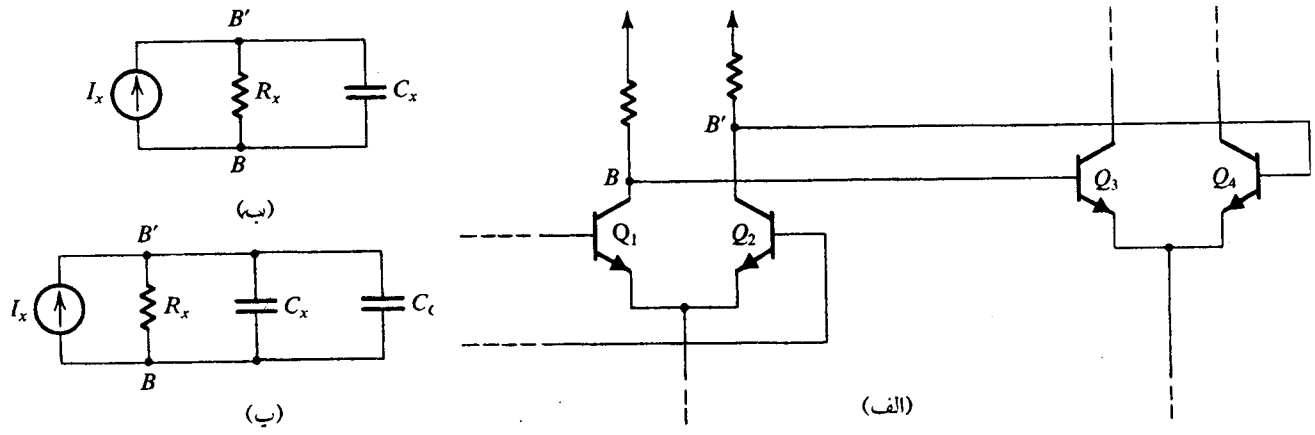
بنابراین نتیجه می‌گیریم که با انتخاب مقدار مناسب برای C_C می‌توان فرکانس قطب را از f_{P1}به مقدار f_D'، که توسط نقطهٔ Z' در شکل (۳۸-۸) مشخص شده، انتقال داد.

در این‌جا باید یادآور شویم که افزودن خازن C_C معمولاً سبب تغییراتی در محل سایر قطب‌ها نیز می‌شود (که f_{P2}و f_{P3}هستند) ممکن است به محاسبهٔ محل جدید f_{P2}نیز نیاز داشته باشید و پس از چندین بار تکرار این روش به یک مقدار مناسب برای C_C برسید.

یک عیب این روش پیاده‌سازی این است که مقدار لازم C_C معمولاً کمی بزرگ است. بنابراین اگر تقویت‌کننده‌ای که باید جبرانسازی شود IC op-amp باشد، اضافه‌کردن این خازن جبران‌سازی روی ICکاری بسیار دشوار و حتی غیرممکن است. (همچنانکه در فصل ۱۰ و ضمیمه الف آمده است، حداکثر اندازهٔ عملی خازن روی IC می‌تواند PF ۱۰۰ باشد). یک راه حل هوشمندانه برای این مشکل بستن خازن در مسیر فیدبک طبقهٔ تقویت‌کننده است. بخاطر اثر میلر، ظرفیت جبران‌سازی در بهرهٔ طبقه ضرب می‌شود، که ظرفیت مؤثر بسیار بزرگتری را می‌دهد. بعلاوه، همچنانکه در زیر نیز خواهد آمد، یک مزیت پیش‌بینی نشده نیز حاصل می‌شود.

جبران‌سازی میلر و تقسیم قطب

شکل (الف ۴۰-۸) یک طبقهٔ بهره از یک تقویت‌کنندهٔ چند طبقه را نشان می‌دهد. برای سادگی، این طبقه را بصورت تقویت‌کنندهٔ امیتر مشترک نشان داده‌ایم ولی در عمل این مدار پیچیده‌تر است. در مسیر فیدبکِ این طبقهٔ امیتر - مشترک یک خازن جبران‌سازی C_f قرار داده‌ایم.



شکل ۳۹-۸ . (الف) دو طبقه بهرهٔ متوالی از یک تقویت‌کنندهٔ چند طبقه. **(ب)** مدار معادل ارتباط بین دو طبقه (الف). **(پ)** چند مدار مانند (ب) اما با خازن جبران‌ساز C_C

شکل (ب ۴۰-۸) مدار معادلِ ساده شدهٔ طبقهٔ بهرهٔ (الف ۴۰-۸) را نشان می‌دهد. در اینجا R_1 و C_1 نمایانگر کل مقاومت و کل ظرفیت بین گره B و زمین هستند. بطریق مشابه، R_2 و C_2 نمایانگر کل مقاومت و کل ظرفیت بین گره C و زمین می‌باشند. بعلاوه، فرض شده است که C_1 و C_2 شامل مؤلفهٔ میلرِ متناظر با خازن C_μ و C_2 شامل ظرفیت ورودی تقویت‌کنندهٔ طبقهٔ بعدی است. نهایتاً، I_i نمایانگر جریان سیگنال خروجیِ طبقهٔ قبل است.

در غیاب خازن جبران‌ساز C_f، از شکل (ب ۴۰-۸) می‌فهمیم که دو قطب در اینجا وجود دارند - یکی در ورودی و یکی در خروجی. فرض کنیم که این دو قطب f_{P1} و f_{P2} در شکل (۳۸-۸) هستند. بنابراین

$$f_{P1} = \frac{1}{2\pi C_1 R_1} \qquad f_{P2} = \frac{1}{2\pi C_2 R_2} \tag{۸-۵۴}$$

با حضور C_f، تحلیل مدار تابع انتقال زیر را می‌دهد.

$$\frac{V_o}{I_i} = \frac{(sC_f - g_m)R_1R_2}{1+s[C_1R_1+C_2R_2+C_f(g_mR_1R_2+R_1+R_2)]+s^2[C_1C_2+C_f(C_1+C_2)]R_1R_2} \tag{۸-۵۵}$$

صفر در فرکانسی بسیار بالاتر از قطب غالب است و از اثر آن صرفنظر می‌کنیم. چند جمله‌ای مخرج $D(s)$ را می‌توان بصورت زیر نوشت:

$$D(s) = \left(1+\frac{s}{\omega'_{P1}}\right)\left(1+\frac{s}{\omega'_{P2}}\right) = 1 + s\left(\frac{1}{\omega'_{P1}}+\frac{1}{\omega'_{P2}}\right) + \frac{s^2}{\omega'_{P1}\omega'_{P2}} \tag{۸-۵۶}$$

که ω'_{P1} و ω'_{P2} فرکانسهای جدید دو قطب هستند. معمولاً یکی از قطبها غالب است، $\omega'_{P1} \ll \omega'_{P2}$. بنابراین

$$D(s) \cong 1 + \frac{s}{\omega'_{P1}} + \frac{s^2}{\omega'_{P1}\omega'_{P2}} \tag{۸-۵۷}$$

معادل‌گذاری ضرائب s در مخرج معادلهٔ (۵۵-۸) با معادلهٔ (۵۷-۸) نتیجه می‌دهد.

$$\omega'_{P1} = \frac{1}{C_1R_1 + C_2R_2 + C_f(g_m R_1R_2 + R_1 + R_2)}$$

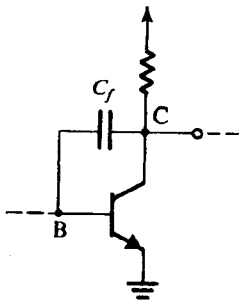
که بصورت تقریبی برابر است با:

$$\omega'_{P1} \cong \frac{1}{g_m R_2 C_f R_1} \tag{۸-۵۸}$$

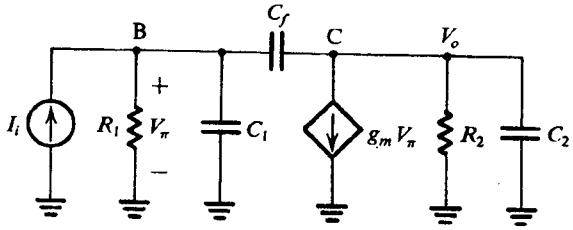
برای بدست‌آوردن ω'_{P2} ضرائب s^2 در مخرج معادلهٔ (۵۵-۸) و معادلهٔ (۵۷-۸) را معادل هم قرار می‌دهیم و از معادلهٔ (۵۸-۸) استفاده می‌کنیم:

$$\omega'_{P2} \cong \frac{g_m C_f}{C_1C_2 + C_f(C_1 + C_2)} \tag{۸-۵۹}$$

از معادلات (۵۸-۸) و (۵۹-۸) می‌بینیم که اگر C_f افزایش یابد، ω'_{P1} کاهش و ω'_{P2} افزایش می‌یابد. به این خاصیت **تقسیم قطب** می‌گویند. توجه کنید که افزایش ω'_{P2} بسیار سودمند است زیرا ما را قادر می‌سازد تا نقطهٔ Z را هرچه بیشتر به سمت راست حرکت دهیم (شکل ۳۸-۸ را ببینید) و



(الف)



(ب)

شکل ۴۰-۸. (الف) یک طبقه بهره در تقویت‌کنندهٔ چند طبقه با خازن جبران‌ساز متصل شده در حلقه فیدبک و **(ب)** مدار معادل

بهرهٔ حلقه باز جبران‌شدهٔ بالاتری بدست آوریم. نهایتاً، از معادلهٔ (۵۸-۸) داریم که C_f در فاکتور اثر میلر g_mR_2 ضرب شده است، بنابراین یک مقدار ظرفیت خیلی بزرگترِ $g_mR_2\,C_f$ نتیجه این عمل خواهد بود. به عبارت دیگر، مقدار موردنیاز C_f بسیار کوچکتر از مقدار C_C در شکل (۳۹-۸) خواهد بود.

مثال ۶-۸

یک op-amp را درنظر بگیرید که تابع انتقال حلقه بازش مشابه آنچه در شکل (۳۷-۸) نشان داده شده، باشد. می‌خواهیم این op-amp را چنان جبران‌سازی کنیم که تقویت‌کنندهٔ حلقه بسته با فیدبک مقاومتی برای هر مقدار بهره (یعنی برای β تا مقدار واحد) پایدار باشد. فرض کنید که مدار op-amp شامل طبقه‌ای شبیه آنچه در شکل (۴۰-۸) آمده، می‌باشد با $C_1 = 100$ pF، $C_2 = 5$ pF، و $g_m = 40$ mA/V، که قطب در f_{P1} توسط مدار ورودی این طبقه و قطب در f_{P2} توسط مدار خروجی حاصل شده‌اند. مقدار خازن جبران‌ساز را اگر بین گره ورودی B و زمین یا در مسیر فیدبک ترانزیستور بسته شده باشد، پیدا کنید.

حل:

ابتدا R_1 و R_2 را تعیین می‌کنیم.

$$f_{P1} = 0.1\ \text{MHz} = \frac{1}{2\pi C_1 R_1}$$

بنابراین

$$f_{P2} = 1\ \text{MHz} = \frac{1}{2\pi C_2 R_2} \qquad R_1 = \frac{10^5}{2\pi}\ \Omega$$

بنابراین

$$R_2 = \frac{10^5}{\pi}\,\Omega$$

اگر خازن جبران‌ساز C_C بین پایانه‌های ورودی طبقهٔ ترانزیستور بسته شده باشد، آنگاه فرکانس اولین قطب از f_{P1} به f'_D تغییر می‌کند.

$$f'_D = \frac{1}{2\pi\,(C_1 + C_C)\,R_1}$$

قطب دوم دست نخورده باقی می‌ماند. مقدار لازم برای f'_D توسط رسم خط ۲۰ dB/decade − از نقطهٔ فرکانس ۱ MHz روی خط $20\log(1/\beta) = 20\log 1 = 0\,\text{dB}$ تعیین می‌شود. این خط، خط بهرهٔ ۱۰۰dB dc را در ۱۰ Hz قطع می‌کند. بنابراین

$$f'_D = 10\ \text{Hz} = \frac{1}{2\pi\,(C_1 + C_C)\,R_1}$$

که نتیجه می‌دهد $C_C \cong 1\ \mu\text{F}$، که کمی بزرگ است و البته نمی‌توان آنرا روی IC ساخت.

سپس، اگر خازن جبران‌ساز C_f در مسیر فیدبک ترانزیستور بسته شده باشد، آنگاه هر دو قطب به مقادیر داده شده با معادلات (۵۸-۸) و (۵۹-۸) تغییر محل می‌دهند:

$$f'_{P1} \cong \frac{1}{2\pi\, g_m R_2 C_f R_1}$$

$$f'_{P2} \cong \frac{g_m C_f}{2\pi\,[C_1 C_2 + C_f(C_1 + C_2)]} \qquad (8\text{-}60)$$

برای تعیین محل قرارگرفتن اولین قطب نیاز به دانستن مقدار f'_{P2} داریم. به عنوان یک تقریب بیائید فرض کنیم $C_f \gg C_2$ باشد، که رابطهٔ زیر را به ما می‌دهد:

$$f'_{P2} \cong \frac{g_m}{2\pi\,(C_1 + C_2)} = 60.6\ \text{MHz}$$

بنابراین دیده می‌شود که این قطب به فرکانس بالاتر از f_{P3} (که ۱۰MHz است) منتقل می‌شود. بعلاوه فرض کنیم که دومین قطب در f_{P3} باشد. پس لازم می‌آید که اولین قطب در ۱۰۰ Hz قرار داشته باشد:

$$f'_{P1} = 100\ \text{Hz} = \frac{1}{2\pi\, g_m R_2 C_f R_1}$$

که نتیجه می‌دهد $C_f = 78.5\ \text{pF}$. اگر چه این مقدار بسیار بزرگتر از C_2 است، می‌توانیم محل قطب f'_{P2} را از معادلهٔ (۶۰-۸) تعیین کنیم که نتیجه می‌دهد $f'_{P2} = 57.2\ \text{MHz}$، و بیانگر این حقیقت است که این قطب از f_{P3} گذشته است.

نتیجه می‌گیریم که جبران‌سازی میلر نه تنها خازن جبران‌ساز بسیار کوچکتری را فراهم می‌کند، بلکه، با دارابودن خاصیت تقسیم قطب، می‌توانیم قطب غالب را در فرکانسی ده برابر بالاتر قرار دهیم. حاصل این عمل پهنای باند وسیع‌تر برای op−amp جبران‌سازی شده است.

تمرینها

۸-۱۷ یک تقویت‌کنندهٔ چندقطبی که دارای اولین قطب در ۱ MHz و بهرهٔ حلقه باز ۱۰۰ dB است برای بهرهٔ حلقهٔ بسته‌ای به اندازهٔ ۲۰ dB با اضافه کردن یک قطب غالب جدید جبران‌سازی شده است. در چه فرکانسی باید قطب جدید را قرار داد؟

جواب. ۱۰۰ Hz

۸-۱۸ برای تقویت‌کنندهٔ تمرین ۱۷-۸ بجای اضافه کردن یک قطب غالب جدید می‌توانیم یک ظرفیت در گرهی که اولین قطب شکل گرفته اضافه کنیم تا فرکانس اولین قطب را کاهش دهیم. اگر فرکانس دومین قطب ۱۰ MHz باشد، و اگر به هنگام اضافه‌شدن این ظرفیت تغییری در آن پیدا نشود، فرکانسی را که اولین قطب برای پایداری بهرهٔ حلقه بسته در ۲۰ dB باید به آن حرکت کند پیدا کنید. ظرفیت در گره کنترل‌کننده با چه فاکتوری افزایش می‌یابد؟

جواب. ۱۰۰۰ Hz، ۱۰۰۰ ❑

۸-۱۲ مثال‌هایی از شبیه‌سازی SPICE

این فصل را با ارائه دو مثال که در آن‌ها از شبیه سازی SPICE در تحلیل تقویت‌کننده‌ای فیدبک استفاده شده است، به پایان می‌بریم.

مثال ۷-۸: تأیید صحت روش تحلیل فیدبک

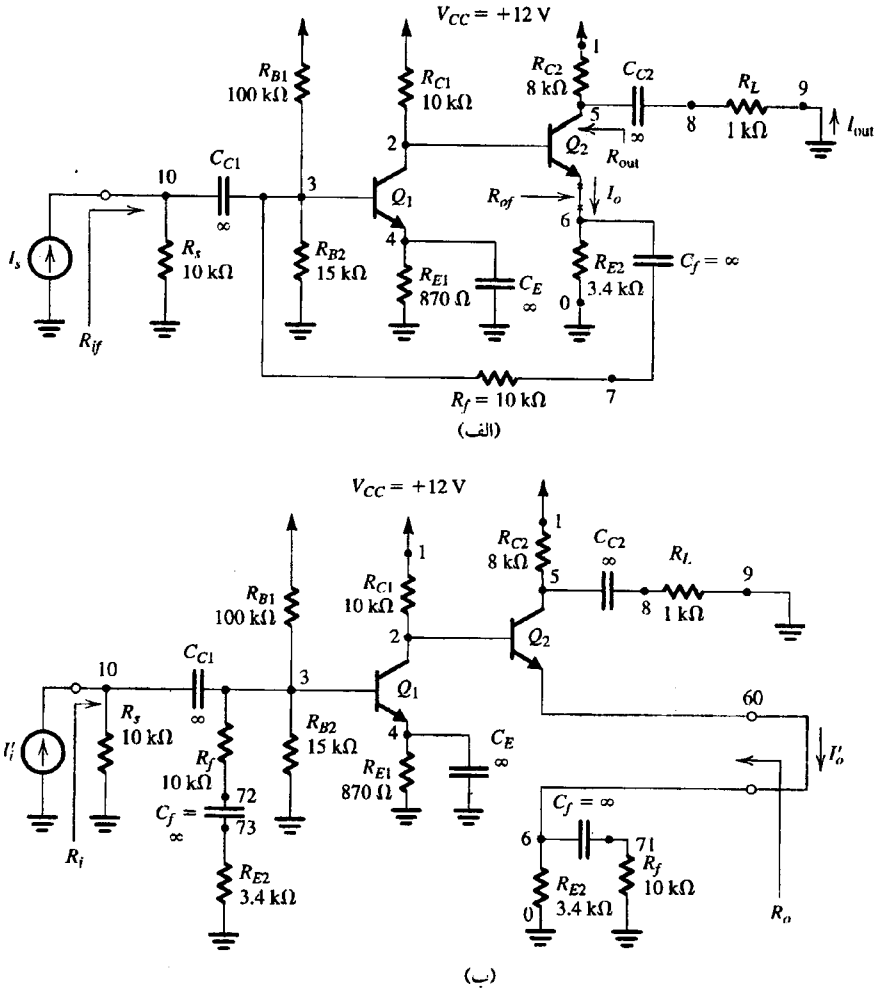
هدف از این مثال، اثبات درستی تحلیل مرکب ارائه شده در این فصل است. مدار تحلیل شده در مثال (۴-۸) را در نظر می‌گیریم. این مدار در شکل (الف ۴۱-۸) و مدار A در شکل (ب ۴۱-۸) رسم شده است. از آن جا که فیدبک بصورت تزویج خازنی اعمال شده، هر دو مدار شکل (۴۱-۸) در شبیه سازی مورد استفاده قرار گرفته و مقادیر پارامترهای آن در فایل ورودی ضمیمه ت آمده است.

به روش زیر عمل می‌کنیم: با تحلیل مدار A شکل (ب ۴۱-۸) توسط SPICE بهره $A \equiv \frac{I'_o}{I'_i}$، مقاومت ورودی R_i، و مقاومت خروجی R_o را به دست می‌آوریم، سپس با این مقادیر و ضریب فیدبک $\beta = -R_{E2}/(R_f + R_{E2}) = -0.2537\,\text{A/A}$ و معادله‌های فیدبک، $A_f \equiv \frac{I_o}{I_s}$، R_{if} و R_{of} را تعیین می‌کنیم. تخمینی از R_{out} را می‌توان با روش مثال (۴-۸) به دست آورد. سپس با استفاده از SPICE مقادیر هر چهار پارامتر را با تحلیل مستقیم مدار تقویت‌کننده فیدبک به دست می‌آوریم. با مقایسه دو گره جواب می‌توان درستی روش تحلیل فیدبک را بررسی کرد.

از تحلیل SPICE مدار A شکل (ب ۴۱-۸) به نتایج زیر می‌رسیم:

$$A = -246.6\,\text{A/A},\ R_i = 2.077\,\text{K}\Omega,\ R_o = 2.639\,\text{K}\Omega$$

با به کار بردن مقادیر فوق در فرمول‌های فیدبک به نتایج جدول (۲-۸) می‌رسیم. در این جدول نتایج به دست آمده از تحلیل مستقیم SPICE مدار (الف ۴۱-۸) نیز آمده است. می‌بینیم که دو گروه جواب بسیار نزدیک به هم هستند که بیانگر درستی روش فیدبک در تحلیل مدار است. چنانچه قبلاً گفتیم تحلیل با استفاده فرمول فیدبک دید



شکل ۴۱-۸. مدارهای مثال ۷-۸: (الف) تقویت کننده فیدبک موازی-سری (ب) مدار A

عمیقی در مورد مدار به ما می‌دهد که در طراحی مفید است. اگر حتی تمام مدار را بدون تفکر تحلیل کنیم به چنین دیدی دست نخواهیم یافت. این نکته نیز جالب است که نتایج تحلیل اختلاف کمی با تحلیل دستی مثال (۴-۸) دارد، مخصوصاً این که در تحلیل دستی از مدار ساده‌ای برای ترانزیستور استفاده کرده‌ایم.

به خاطر آورید که روش تحلیل فیدبک با این فرض انجام شد که بیشتر انتقال مستقیم از تقویت کننده (و نه در شبکه فیدبک غیر فعال) و بیشتر انتقال معکوس (فیدبک) در شبکه فیدبک صورت می‌گیرد. از آن جا که نتایج تحلیل فیدبک مدار شکل (۴۱-۸) خیلی نزدیک به نتایج تحلیل مستقیم است، در فرض ما اثبات می‌شود، با این وجود، اثبات رسمی آن‌ها جالب است. این کار را می‌توان با محاسبه پارامترهای دو درگاهی که مناسب‌ترین آرایش برای فیدبک موازی-سری است یعنی پارامترهای g (ضمیمه ب)، انجام داد. نتایج در جدول (۳-۸) نشان داده شده است. همان طور که مشاهده می‌کنید انتقال از طریق شبکه فیدبک (g_{21} مدار B) ۱۰۰۰ بار کمتر از انتقال از طریق مدار A (g_{21} مدار A) می‌باشد. انتقال معکوس از طریق شبکه فیدبک (g_{12} مدار B) نیز از نظر دامنه بیش از پنج برابر انتقال معکوس از طریق مدار A (g_{12} مدار A) است. بنابراین فرض‌های ما درست بوده‌اند.

جدول ۲-۸. نتایج SPICE مثال ۷-۸ که از تحلیل مستقیم و روش فیدبک به دست آمده است.

پارامتر	روش فیدبک	تحلیل مستقیم
$A_f \equiv \frac{I_o}{I_s}$ (A/A)	−۳/۸۷۹	−۳/۸۷۹
R_{if} (Ω)	۳۲/۶۸	۳۲/۶۵
R_{of} (kΩ)	۱۶۷/۷	۱۶۷/۹
R_{out} (MΩ)	۱۸/۲۶	۱۸/۳۵

جدول ۳-۸. پارامترهای g مدارهای A و B برای مثال ۷-۸ که توسط SPICE محاسبه شده‌اند.

پارامتر g	مدار A	مدار β
g_{11} (A/V)	$۴/۸۱۷\times۱۰^{-۴}$	$۷/۴۶۳\times۱۰^{-۵}$
g_{12} (A/A)	$۹/۹۳۴\times۱۰^{-۷}$	$۲/۵۳۷\times۱۰^{-۱}$
g_{21} (V/V)	$۳/۱۳۸\times۱۰^{۲}$	$۲/۵۳۷\times۱۰^{-۱}$
g_{22} (V/A)	$۲/۶۴۰\times۱۰^{۳}$	$۲/۵۳۷\times۱۰^{۳}$

مثال ۸-۸ : تعیین بهره حلقه با استفاده از SPICE

استفاده از SPICE را برای تعیین بهره حلقه $A\beta$ در مثال دوم تشریح می‌کنیم. برای مقایسه نتایج می‌توانیم از همان تقویت کننده فیدبک موازی-سری مثالهای ۴-۸ و ۷-۸ استفاده کنیم، اما این مسأله محدودیتی برای تعمیم روشی به وجود نمی‌آورد.

حلقه فیدبک را در نقطهٔ بین کلکتور Q_1 و بیس Q_2 [شکل (الف ۴۱-۸)] می‌شکنیم. برای انجام این کار بدون تغییر دادن شرایط dc مدار، یک اندوکتانس بزرگ مطابق شکل (الف ۴۲-۸) به مدار اضافه می‌کنیم، مقداری در حدود ۱GH باز بودن حلقه را برای سیگنال‌ها بدون تغییر شرایط dc، تضمین می‌کند. در شکل (الف ۴۲-۸) سیگنال ورودی V_t از طریق یک خازن تزویج C_{ti} به بیس Q_2 اعمال می‌شود. سپس می‌توان تابع انتقال ولتاژ مدار باز حلقه را بصورت V_{oc}/V_t تعیین کرد. فایل ورودی SPICE در ضمیمه ت آمده است و نتیجه عبارت است از:

$$T_{oc} = -۶۰/۶۸\text{V/V}$$

مدار تعیین تابع انتقال جریان اتصال کوتاه در شکل (ب ۴۲-۸) نشان داده شده است. در این شکل، سیگنال جریان I_t به بیس Q_2 اعمال شده و خروجی حلقه در کلکتور Q_1، از طریق خازن بزرگ C_{to} و منبع ولتاژ صفر ولت زمین شده است تا بتوانیم جریان اتصال کوتاه I_{sc} را تعیین کنیم. بنابراین مدار را می‌توان برای تعیین تابع انتقال اتصال کوتاه T_{sc} بصورت I_{sc}/I_t تعیین کرد، نتیجه بصورت زیر است:

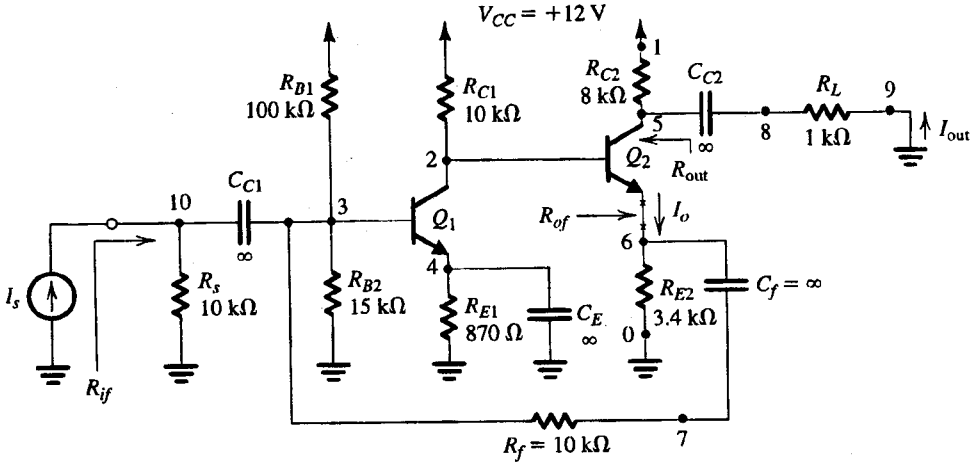
$$T_{sc} = -۲۷۵۳\text{A/A}$$

اکنون با ترکیب T_{oc} و T_{sc} بهره حلقهٔ $A\beta$ را به دست می‌آوریم:

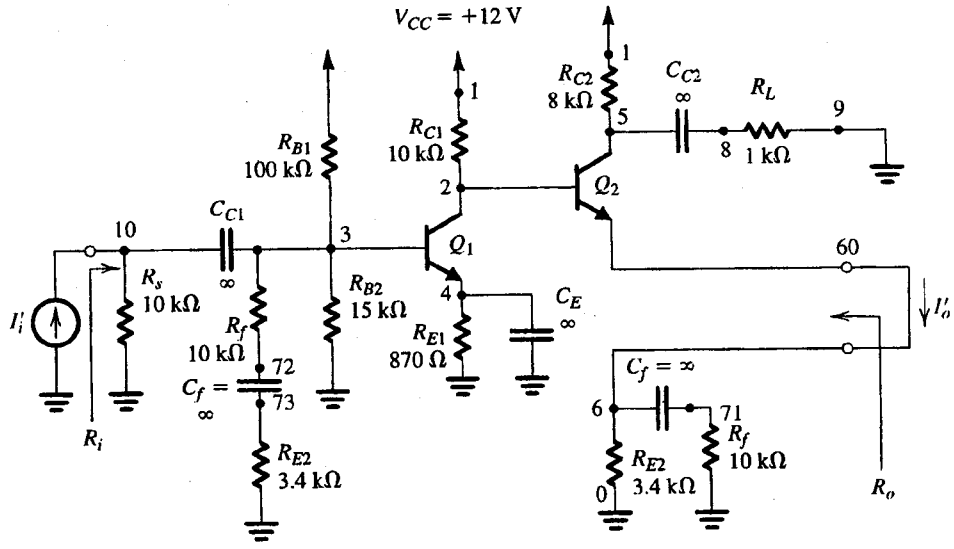
$$A\beta = -۱\Big/\left(\frac{۱}{T_{oc}} + \frac{۱}{T_{sc}}\right) = ۵۹/۵۴$$

این مقدار خیلی نزدیک به مقادیر مثال (۷-۸) است که A و β را جداگانه تعیین کردیم و به مقدار زیر رسیدیم:

$$A\beta = -۲۴۶/۶ \times -۰/۲۵۳۷ = ۶۲/۵۶$$



(الف)



(ب)

شکل ۴۲-۸ . تعیین: (الف) تابع انتقال ولتاژ مدار باز، و (ب) تابع انتقال جریان اتصال کوتاه تقویت کننده فیدبک شکل (الف ۴۱-۸) برای تعیین بهره حلقه

خلاصه

- فیدبک منفی برای: کم‌کردن حساسیت بهرهٔ تقویت‌کننده نسبت به تغییرات عناصر، کنترل امپدانس ورودی و خروجی، گسترش پهنای باند، کاهش اعوجاج غیرخطی و بهبود نسبت سیگنال به نویز (سیگنال به تداخل) بکار می‌رود.
- مزایای بالا به قیمت کاهش بهره و احتمال ناپایدارشدن تقویت‌کننده (یعنی نوسان) بدست می‌آیند. مشکل آخری را می‌توان با طراحی مناسب رفع کرد.
- برای هریک از چهار نوع تقویت‌کننده، یک فرم مناسب فیدبک وجود دارد. چهار فرم موجود، بهمراه روش تحلیل و اثرات آنها روی امپدانس ورودی و خروجی، در جدول ۱-۸ خلاصه شده‌اند.
- پارامترهای کلیدی فیدبک بهرهٔ حلقهٔ ($A\beta$)، که برای فیدبک منفی باید یک عدد مثبتِ بدون بُعد باشند و میزان فیدبک برابر ($1 + A\beta$) هستند. میزان فیدبک مستقیماً کاهش بهره، عدم حساسیت بهره، گسترش پهنای باند و تغییرات Z_i و Z_o را تعیین می‌کند.
- از آنجاکه A و β به طور کلی وابسته به فرکانس هستند، قطبهای تقویت‌کنندهٔ فیدبک با حل معادله مشخصهٔ $1 + A(s)\beta(s) = 0$ بدست می‌آیند.
- برای پایداربودن تقویت‌کنندهٔ فیدبک، باید قطبهایش در نیم صفحهٔ چپ s قرار داشته باشند.
- اگر در فرکانسی که زاویهٔ فاز $A\beta$ در آن برابر $180°$ است؛ (یعنی ω_{180})، $|A\beta|$ کمتر از واحد باشد، پایداری مدار تضمین شده است. به تفاوت این مقدار از واحد، که برحسب دسی‌بل بیان می‌شود، حاشیه بهره می‌گویند. بنابراین، تقویت‌کننده پایدار است اگر در فرکانسی که $|A\beta| = 1$ زاویهٔ فاز کمتر از $180°$ باشد. اختلاف فاز را در این حالت حاشیه فاز می‌گویند.
- پایداری تقویت‌کنندهٔ فیدبک را می‌توان با رسم نمودار بودی برای $|A|$ و $1/|\beta|$ تحلیل کرد. اگر دو نمودار یکدیگر را با اختلاف شیبی کمتر از 10^6 dB/octave قطع کنند، تقویت‌کننده پایدار است.
- برای پایدارساختن یک تقویت‌کنندهٔ داده شده با فاکتور فیدبک β، پاسخ فرکانسی حلقه باز را می‌توان به روش جبران‌سازی فرکانسی بهبود بخشید.
- یک روش معمول برای جبران‌سازی فرکانس اتصال یک خازن فیدبک به یک طبقهٔ وارونگر در تقویت‌کننده است. این کار سبب می‌شود که قطب شکل گرفته در ورودی تقویت‌کننده به فرکانس پایین‌تر منتقل شود و بنابراین غالب باشد، در حالیکه قطب شکل گرفته در خروجی تقویت‌کننده به فرکانس خیلی بالاتر منتقل می‌شود و بنابراین غیر غالب می‌باشد. به این شیوه تقسیم قطب می‌گویند.

مسائل

بخش ۱-۸: ساختار کلی فیدبک

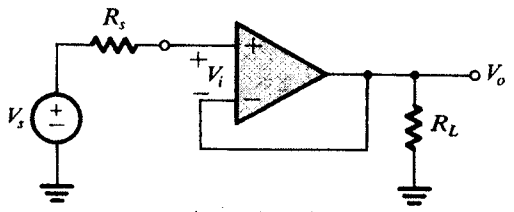
۱-۸ یک تقویت کننده با فیدبک منفی دارای بهرهٔ حلقهٔ $A_f = 100$ و بهرهٔ حلقهٔ باز $A = 10^5$ است. ضریب فیدبک β چقدر است؟ اگر در اثر خطای ساخت مقدار A به 10^3 برسد، بهرهٔ حلقه بسته چقدر خواهد بود؟ درصد تغییرات A_f متناظر با ضریب کاهش ۱۰۰ در A چقدر است؟

۲-۸ تمرین ۱-۸ را از بخش (ب) تا (ث) برای $A = 100$ تکرار کنید.

۳-۸ تمرین ۱-۸ را، از بخش (ب) تا (ث) برای $A_f = 10^3$ تکرار کنید.

برای بخش (ت) از $V_s = 0.01$ V استفاده کنید.

۴-۸ آرایش میانگیر ناوارونگر با op-amp که در شکل (م ۴-۸) نشان داده شده نمایشی از پیاده‌سازی حلقهٔ فیدبکِ شکل (۱-۸) است. با فرض اینکه op-amp دارای امپدانس ورودی بی‌نهایت و مقاومت خروجی صفر باشد، β چقدر است؟ اگر $A = 100$ باشد، بهرهٔ ولتاژ حلقه بسته چقدر است؟ میزان فیدبک برحسب dB چقدر است؟ برای $V_s = 1$V، V_o و V_i را بیابید؟ اگر A، ۱۰٪ کاهش یابد، میزان کاهش A_f چقدر خواهد بود؟



شکل (م ۴-۸)

بخش ۲-۸ برخی از خواص فیدبک منفی

۵-۸ برای حلقهٔ فیدبک منفی در شکل (۱-۸)، رابطهٔ A و β را برای حالتی که حساسیت بهرهٔ حلقه بسته به بهرهٔ حلقه باز - یعنی $(dA_f/A_f)/(dA/A)$ - برابر ۲۰ dB - است، بیابید. برای چه مقدار $A\beta$ حساسیت ۱/۲ می‌شود؟

ط ۶-۸ می‌خواهیم تقویت‌کننده‌ای با بهرهٔ ۱۰۰ طراحی کنیم که دارای دقت ۱٪ ± است. طبقه‌های تقویت‌کنندهٔ موجود دارای بهرهٔ ۱۰۰۰ و دقت ۳۰٪ ± هستند. طرحی را با استفاده از چند طبقهٔ بهرهٔ مذکور، و با استفاده از فیدبک منفی مناسب، ارائه دهید.

۷-۸ در تقویت‌کنندهٔ فیدبک برای $A = 10^4$ و $A_f = 10^3$، ضریب عدم حساسیت بهره را بدست آورید. با استفاده از معادلهٔ (۶-۸) در دو حالت زیر مقدار دقیق و تقریبی A_f را بیابید: (الف) افت A به میزان ۱۰٪ (ب) افت A به میزان ۴۰٪.

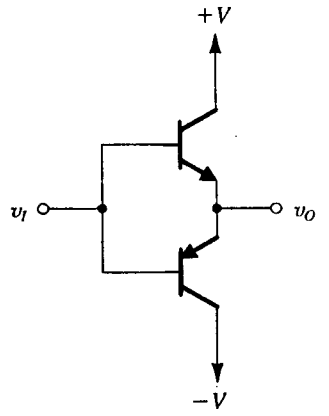
۸-۸ یک تقویت‌کننده که دارای بهرهٔ باند میانی A_M و پاسخ فرکانس پایین مشخص شده توسط قطب در $s = -\omega_L$ و صفر در $s = 0$، درنظر بگیرید. فرض کنید تقویت‌کننده در یک حلقه فیدبک منفی با ضریب فیدبک β، بسته شده باشد. توصیفی برای بهرهٔ باند میانی و فرکانس ۳ dB پایینِ تقویت‌کنندهٔ حلقه بسته بیابید. ضریب تغییرات هردو را بدست آورید.

۹-۸ یک تقویت‌کننده با اتصال خازنی دارای بهرهٔ باند میانی ۱۰۰، یک قطب فرکانس بالا در ۱۰ kHz، و یک قطب فرکانس پایین در ۱۰۰ Hz است. فیدبک منفی سبب کاهش بهرهٔ باند میانی تا ۱۰ می‌شود. فرکانسهای ۳ dB بالا و پایین را بیابید؟

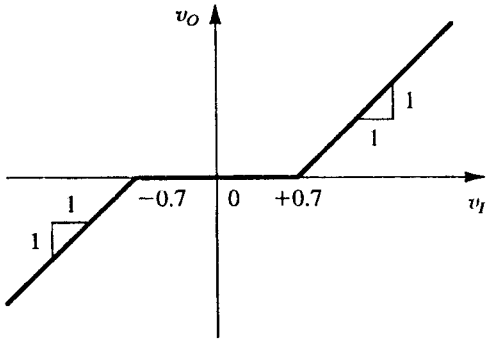
ط **۱۰-۸ می‌خواهیم یک تقویت‌کنندهٔ dc با بهرهٔ فرکانس پایین ۱۰۰۰ و فرکانس ۳ dB، ۰/۵ MHz طراحی کنیم. دارای طبقه‌های تقویت‌کننده با بهرهٔ ۱۰۰۰ و قطب غالب فرکانس بالا در ۱۰ kHz هستیم. طرحی را با استفاده از فیدبک منفی مناسب و مقدار لازم از این طبقات ارائه دهید. [راهنمایی: هنگامی که فیدبک منفی با میزان ($1+A\beta$) روی طبقهٔ بهره اعمال می‌شود، فرکانس x-dB آن با ضریب ($1+A\beta$) افزایش می‌یابد.]

ط ۸-۱۱ یک طبقهٔ خروجی قدرت با بهرهٔ ولتاژ ۱، که با یک موج سینوسی ۱ kHz تغذیه می‌شود، دارای خروجی شامل ۲ V نوک تا نوک با فرکانس ۱kHz آغشته به نویز منبع تغذیه ۳ V نوک تا نوک با فرکانس ۱۲۰ Hz است. مدار فیدبکی طراحی کنید که پیش تقویت‌کنندهٔ کم نویزی ایجاد کند چنان که نویز خروجی به ۱۰ mV نوک تا نوک تقلیل یابد در حالیکه بهرهٔ ولتاژ همچنان تقریباً واحد باقی بماند. مقدار β و بهرهٔ موردنیاز پیش تقویت‌کننده را بدست آورید. میزان بهبود نسبت سیگنال به نویز (بر حسب dB) چقدر است؟

*۸-۱۲ مدار زوج مکمل پیرو BJT نشان داده شده در شکل (الف) (م ۱۲-۸) دارای مشخصهٔ انتقال تقریبی نشان داده شده در شکل (ب) (م ۱۲-۸) می‌باشد. برای $-0.7\ V \le v_I \le 0.7\ V$ ، ثابت کنید خروجی صفر است. این "باند مرده" سبب اعوجاج تقاطعی (بخش ۳-۹ را ببینید) می‌شود. این مدار پیرو را که توسط خروجی یک تقویت‌کنندهٔ تفاضلی با بهرهٔ ۱۰۰ تغذیه می‌شود، درنظر بگیرید در حالیکه پایانه مثبت آن به منبع سیگنال ورودی v_S و پایانه منفی آن به امیترِ پیرو متصل شده است. مشخصه انتقال v_O بر حسب v_S تقویت‌کنندهٔ فیدبک حاصل را رسم کنید. حدود باند مرده و بهره در خارج این باند را پیدا کنید؟



(الف)



(ب)

شکل (م ۱۲-۸.)

ط ۸-۱۳ یک تقویت کننده دارای مشخصهٔ انتقال غیرخطی است که بصورت زیر تقریب زده می‌شود:
(الف) برای ورودیهای سیگنال کوچک، $|v_I| \le 10\ mV$ ، $v_O/v_I = 10^3$
(ب) برای سیگنالهای ورودی متوسط، $10\ mV \le |v_I| \le 50\ mV$ ، $v_O/v_I = 10^2$. (پ) برای ورودیهای سیگنال بزرگ، $|v_I| \ge 50\ mV$ ، خروجی اشباع می‌شود.
اگر تقویت‌کننده با حلقهٔ فیدبک منفی بسته شده باشد، ضریب فیدبک β را چنان بدست آورید که اگر بهره با ضریب ۱۰ تغییر کند (هنگامی که $|v_I| = 10mV$ است) این تغییرات را به ۱۰% کاهش دهد. مشخصهٔ انتقال تقویت‌کنندهٔ با فیدبک را تعیین کنید.

بخش ۳-۸: چهار شکل اصلی فیدبک

۸-۱۴ یک تقویت‌کننده با فیدبک سری - موازی همانند آنچه در شکل (الف ۴-۸) آمده، توسط یک تقویت‌کنندهٔ ولتاژ ایده‌آل، در $V_s = 100mV$ ، $V_f = 90\ mV$ و $V_o = 10\ V$ کار می‌کند. مقادیر A و β چقدر است؟ واحد صحیح هریک را نیز ذکر کنید.

۸-۱۵ یک تقویت‌کنندهٔ با فیدبک موازی- سری که قابل نمایش توسط شکل (ب ۴-۸) است، توسط تقویت کنندهٔ جریان ایده‌آل در $I_s = 100\mu A$ ، $I_f = 90\ \mu A$ ، $I_o = 10\ mA$ کار می‌کند. مقادیر A و β چقدر است؟ واحد صحیح هر یک را ذکر کنید.

۸-۱۶ تقویت‌کنندهٔ موازی - سری نشان داده شده در شکل (۵-۸) را در نظر بگیرید. با فرض اینکه مقاومت ورودی در بیس Q_1 بسیار کوچک باشد، توصیفی برای $\beta \equiv I_f/I_o$ بیابید.

۸-۱۷ مدار فیدبک سری - سری شکل (۶-۸) را در نظر بگیرید. فرض کنید مقاومت دیده شده از امیتر Q_1 نسبتاً بزرگ باشد، توصیفی برای $\beta \equiv V_f/I_o$ بیابید.

۸-۱۸ مدار فیدبک سری - سری توسط شکل (پ ۴-۸) نمایش داده شده توسط یک تقویت‌کنندهٔ هدایت انتقالی با $V_s = 100\ mV$ ، $V_f = 90\ mV$ و $I_o = 10\ mA$ کار می‌کند. مقادیر A و β را بدست آورید؟ واحد صحیح هر یک را نیز ذکر کنید.

۸-۱۹ مدار فیدبک موازی - موازی توسط شکل (ت ۴-۸) نمایش داده شده و با تقویت‌کنندهٔ مقاومت انتقالی با $I_s = 100\ \mu A$ ، $I_f = 90\mu A$ و $V_o = 10\ V$ کار می‌کند. مقادیر A و β را بدست آورید؟ واحد صحیح هر یک را نیز ذکر کنید.

بخش ۴-۸: تقویت‌کننده با فیدبک سری - موازی

۸-۲۰ یک تقویت‌کننده با فیدبک سری - موازی از یک تقویت‌کنندهٔ اصلی با مقاومت ورودی و خروجی $1\ k\Omega$ و بهرهٔ $A = 1000\ V/V$ استفاده می‌کند. ضریب فیدبک $\beta = 0.1\ V/V$ است. بهرهٔ A_f ، مقاومت ورودی R_{if} و مقاومت خروجی R_{of} تقویت‌کنندهٔ حلقه بسته را بیابید.

۸-۲۱ برای یک تقویت‌کنندهٔ خاص که در مسیر فیدبک بسته شده و ولتاژ خروجی آن نمونه‌برداری شده است، اندازه‌گیری مقاومت خروجی قبل و بعد از اعمال فیدبک تغییرات با ضریب ۱۰۰ را نشان می‌دهد. آیا با اعمال فیدبک مقاومت بزرگتر می‌شود یا کوچکتر؟ مقدار بهرهٔ حلقهٔ $A\beta$ را بیابید؟ اگر R_{of} برابر $100\ \Omega$ باشد، R_o بدون فیدبک چقدر است؟

**۸-۲۲ یک تقویت‌کننده با فیدبک سری - موازی از یک تقویت‌کنندهٔ

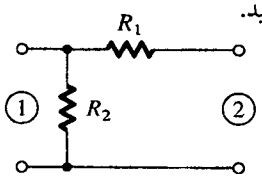
اصلی که دارای بهرهٔ dc برابر 10^4 V/V و پاسخ فرکانسی STC با فرکانس بهرهٔ واحدی برابر ۱ MHz است، استفاده می‌کند. مقاومت ورودی تقویت‌کنندهٔ اصلی ۱۰ kΩ و مقاومت خروجی آن ۱ kΩ است. اگر ضریب فیدبک $\beta = 0/1$ V/V باشد، امپدانس ورودی Z_{if} و امپدانس خروجی Z_{of} مربوط به تقویت‌کنندهٔ با فیدبک را بیابید. مدار معادلی برای نمایش این امپدانسها ارائه دهید. مقادیر هریک از این امپدانسها را در 10^3 Hz و 10^5 Hz بیابید.

۸-۲۳ یک تقویت‌کننده با فیدبک سری - موازی به مدار فیدبک شکل (م ۲۳-۸) متصل می‌شود.

الف) توصیفی برای پارامترهای h مدار فیدبک بیابید (شکل (ب ۱۰-۸) را ببینید).

ب) اگر $R_1 = 1$ kΩ و $\beta = 0/01$ باشد، مقادیر چهار پارامتر h را بدست آورید؟ واحد هر پارامتر را نیز ذکر کنید.

پ) برای حالتی که $R_s = 1$ kΩ و $R_L = 1$ kΩ است، مدار معادلی متناظر با مدل شکل (پ ۱۰-۸) ارائه دهید.



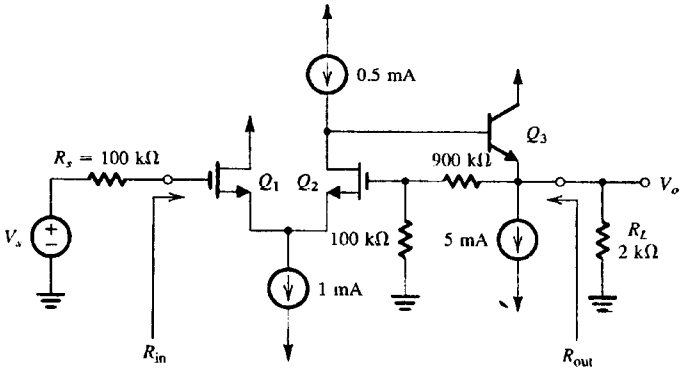
شکل (م ۲۳-۸)

۸-۲۴ یک تقویت‌کننده فیدبک از نمونه‌گیری ولتاژ بهره برده و از یک تقویت‌کنندهٔ ولتاژ که با بهرهٔ ۱۰۰ و مقاومت خروجی ۱۰۰۰ Ω، دارای مقاومت خروجی حلقه بستهٔ ۱۰۰ Ω است، استفاده می‌کند. بهرهٔ حلقه بسته چقدر است؟ اگر تقویت‌کنندهٔ اصلی به عنوان یک میانگیر ولتاژ با بهرهٔ واحد فرض شود، چه میزان مقاومت خروجی را انتظار خواهید داشت؟

۸-۲۵ مدار شکل (۵-۸ ت) توسط جایگزینی اتصال کوتاه بجای R_2 بهبود یافته است. مقادیر A، β، A_f، R_{in} و R_{out} را بیابید.

۸-۲۶ مدار تمرین ۵-۸ توسط جایگزینی یک مقاومت ۲۰ KΩ با منبع جریان ۰/۵ mA که دارای مقاومت خروجی معادل ۱ MΩ است، بهبود یافته است. مقادیر A، β، A_f، R_{in} و R_{out} را بیابید.

۸-۲۷** برای مدار شکل (م ۲۷-۸)، $|V_t| = 1$ V، $K'W/L = 1$mA/V^2، $h_{fe} = 100$ و مقدار ولتاژ ارلی برای همهٔ قطعه‌ها (شامل عناصری که منبع جریان را ساخته‌اند) برابر ۱۰۰ V است. منبع سیگنال V_s دارای مؤلفهٔ dc صفر است. ولتاژ dc در خروجی و در بیس Q_3 را بیابید. مقادیر A، β، A_f، R_{in} و R_{out} را بدست آورید.



شکل (م ۲۷-۸)

ط *۸-۲۸ شکل (م ۲۸-۸) یک تقویت‌کنندهٔ با فیدبک سری - موازی را بدون جزئیات مدار بایاس نشان می‌دهد.

الف) مدار A و مداری را که توسط آن β تعیین می‌شود، رسم کنید.

ب) نشان دهید که اگر $A\beta$ بزرگ باشد، آنگاه بهرهٔ ولتاژ حلقه بسته با رابطهٔ تقریبی زیر داده می‌شود:

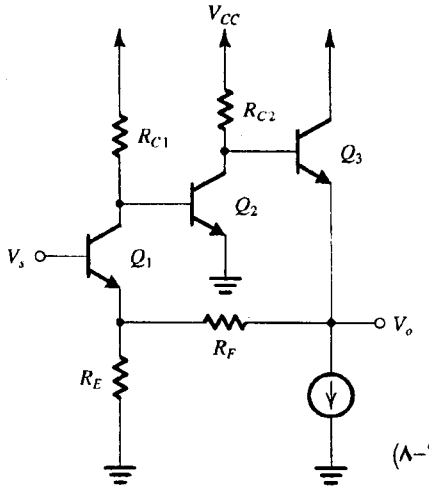
$$A_f \equiv \frac{V_o}{V_s} \cong \frac{R_F + R_E}{R_E}$$

پ) اگر R_E برابر ۵۰ Ω انتخاب شود، R_F را چنان بیابید که بهرهٔ حلقه بسته تقریباً برابر ۲۵ V/V باشد.

ت) اگر Q_1 در ۱ mA، Q_2 در ۲ mA و Q_3 در ۵ mA بایاس شده باشند و فرض کنیم ترانزیستورها دارای $h_{fe} = 100$ باشند، مقادیر تقریبی R_{C1} و R_{C2} را برای داشتن بهره از طبقه‌های مدار A بصورت زیر بیابید: بهرهٔ ولتاژ Q_1 در حدود ۱۰ − و بهرهٔ ولتاژ Q_2 در حدود ۵۰ − .

ث) برای طرح خود، چه مقدار بهرهٔ ولتاژ حلقه بسته درنظر می‌گیرید؟

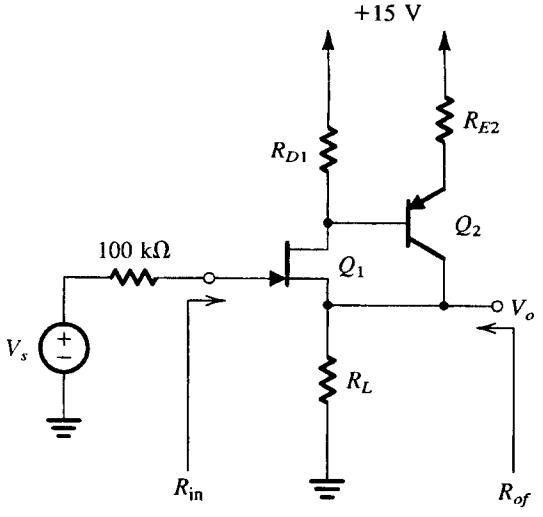
ج) مقاومت ورودی و خروجی تقویت‌کنندهٔ حلقه بستهٔ طراحی‌شده را محاسبه کنید.



شکل (م ۲۸-۸)

ط **۸-۲۹ ترانزیستورهای مدار شکل (م ۲۹-۸) دارای پارامترهای زیر هستند:

برای Q_1، I_{DSS}=۴mA، $V_p = -2$V. برای Q_2، $|V_{BE}| = 0/7$V، $h_{fe} = 100$.



شکل (م ۲۹-۸)

الف) مقادیر مقاومتی را که Q_1 در $I_D = 1$ mA و Q_2 در $I_C = 9$ mA کار کند و ولتاژ dc روی درین Q_1 برابر $+13/5$ V باشد، بیابید. فرض کنید V_s دارای مؤلفهٔ dc صفر است.

ب) مقادیر A، β، A_f، R_{if} و R_{of} را محاسبه کنید.

پ) توسط تحلیل مستقیم، یعنی بدون استفاده از روش فیدبک، نیز درستی مقدار A_f را بررسی کنید.

راهنمایی: بیادآورید که برای JFET،

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad \text{و} \quad g_m = \frac{2 I_{DSS}}{|V_P|}\sqrt{\frac{I_D}{I_{DSS}}}$$

بخش ۸-۵ : تقویت‌کننده با فیدبک سری - سری

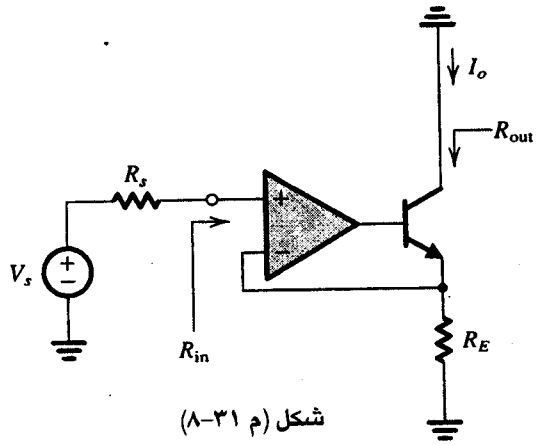
۸-۳۰ یک تقویت‌کننده با فیدبک سری - سری از یک تقویت‌کنندهٔ هدایت انتقالی که دارای $G_m = 100$ mA/V، مقاومت ورودی $10\,k\Omega$ و مقاومت خروجی $100\,k\Omega$ است، استفاده می‌کند. شبکهٔ فیدبک دارای $\beta = 0/1$ V/mA، مقاومت ورودی (با بازگذاشتن سر ۱) برابر $100\,\Omega$ و مقاومت ورودی (با بازگذاشتن سر ۲) برابر $10\,k\Omega$ است. تقویت‌کننده با منبع سیگنالی که دارای مقاومت $10\,k\Omega$ و مقاومت بار $10\,k\Omega$ کار می‌کند. A_f، R_{in} و R_{out} را بیابید.

۸-۳۱* ط شکل (م ۸-۳۱) مداری را برای منبع جریان کنترل شده با ولتاژ با استفاده از فیدبک سری - سری توسط مقاومت R_E نشان می‌دهد. (مدار بایاس ترانزیستور نشان داده نشده است.) نشان دهید که اگر بهرهٔ حلقهٔ $A\beta$ بزرگ باشد،

$$\frac{I_o}{V_s} \cong \frac{1}{R_E}$$

سپس مقدار R_E را برای داشتن هدایت انتقالی برابر ۱ mA/V بیابید. اگر تقویت‌کنندهٔ ولتاژ دارای مقاومت ورودی تفاضلی $100\,k\Omega$، بهرهٔ ولتاژ ۱۰۰ و مقاومت خروجی $1\,K\Omega$ باشد و اگر ترانزیستور در جریان 1mA بایاس شده و دارای h_{fe} برابر ۱۰۰ و r_o برابر $100\,k\Omega$ باشد، مقدار عملی هدایت انتقالی (I_o/V_s) را بدست آورید. از $R_s = 10\,k\Omega$ استفاده کنید. همچنین مقاومت ورودی R_{in} و مقاومت خروجی R_{out} را بیابید. برای محاسبهٔ R_{out} بیادآورید که مقاومت خروجی BJT با مقاومت امیتر R_E و مقاومت مدار بیس R_B به رابطهٔ زیر داده شده:

$$r_o\left[1 + \frac{g_m R_E}{1 + R_B/r_\pi}\right]$$



شکل (م ۸-۳۱)

۸-۳۲ برای مدار شکل (الف ۸-۱۷) مقداری تقریبی برای I_o/V_s با فرض بزرگ بودن بهرهٔ حلقه، بیابید. مقدار بدست آمده را با آنچه در مثال ۸-۲ بدست آمده، مقایسه کنید.

۸-۳۳* شکل (م ۸-۳۳) مداری را برای مبدل ولتاژ به جریان با استفاده از فیدبک سری - سری توسط مقاومت R_F نشان می‌دهد. MOSFET دارای ابعاد نشان داده شده و $\mu_n C_{ox} = 20\ \mu A/V^2$، $|V_t| = 1$V و $|V_A| = 100$ V است. مقدار I_o/V_s را برای بهرهٔ حلقهٔ بزرگ بدست آورید. با استفاده از تحلیل فیدبک مقدار دقیقتری برای I_o/V_s بیابید.

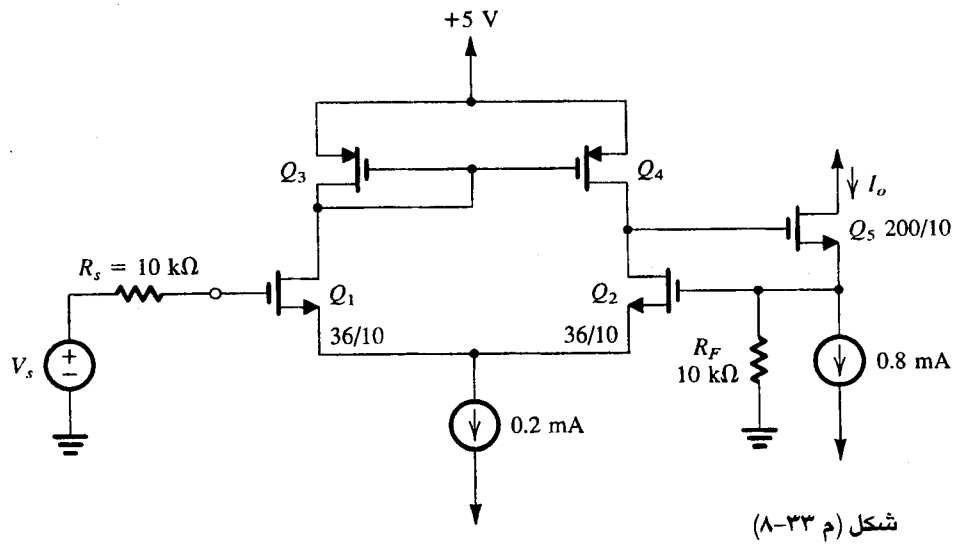
بخش ۸-۶ : تقویت‌کننده‌های با فیدبک موازی - موازی و موازی - سری

۸-۳۴* ط برای تقویت‌کنندهٔ نشان داده شده در شکل (الف ۸-۲۱) نشان دهید که برای مقادیر بزرگ بهرهٔ حلقه، داریم:

$$\frac{V_o}{V_s} \cong -\frac{R_f}{R_s}$$

این مقدار را برای مقادیر عناصر نشان داده شده در نمودار مداری بدست آورید و حاصل را با آنچه در مثال ۸-۳ بدست آمده، مقایسه کنید. مقدار جدید R_f را چنان بیابید که بهرهٔ ولتاژ تقریباً $-7/5$ V/V باشد.

۸-۳۵ یک تقویت‌کنندهٔ مقاومت انتقالی که دارای بهرهٔ مدار باز 100V/mA، مقاومت ورودی $1\,k\Omega$، و مقاومت خروجی $1\,k\Omega$ است، بصورت حلقهٔ فیدبک منفی با آرایش موازی - موازی بسته شده است. شبکهٔ



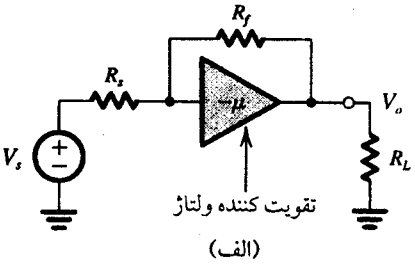
شکل (م ۸-۳۳)

فیدبک دارای مقاومت ورودی (با اتصال کوتاه سر ۱) ۱۰ kΩ و یک مقاومت ورودی (با اتصال کوتاه سر ۲) ۱۰ kΩ و فاکتور فیدبک $\beta = ۰/۱$ mA/V است. تقویت‌کننده با یک منبع جریان که دارای $R_s = ۱۰$kΩ است تغذیه می‌شود و مقاومت بار $R_L = ۱$ kΩ به خروجی متصل شده است. مقاومت انتقالی A_f تقویت‌کننده را با فیدبک، مقاومت ورودی R_{in}، و مقاومت خروجی R_{out} مربوط به آنرا بیابید.

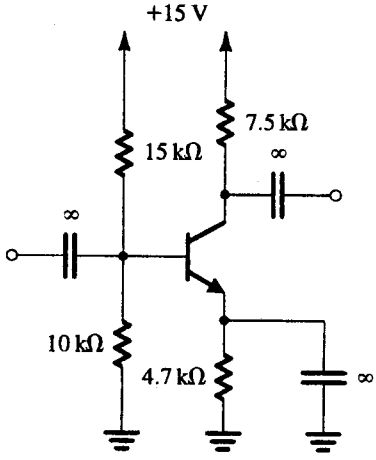
ط **۸-۳۶ (الف) نشان دهید که برای مدار شکل (م ۳۶-۸) (الف) اگر بهرهٔ حلقه بزرگ باشد، بهرهٔ ولتاژ V_o / V_s تقریباً بصورت زیر داده می‌شود.

$$\frac{V_o}{V_s} \cong -\frac{R_f}{R_s}$$

ب) تقویت کننده فیدبک را طوری طراحی کنید که با استفاده از سری‌کردن سه طبقه از نوع شکل (ب)(م ۳۶-۸) تقویت‌کنندهٔ μ با بهرهٔ ولتاژ ۱۰۰ V/V − بدست آید. تقویت‌کننده باید بین مقاومت منبع $R_s = ۱۰$KΩ و مقاومت بار $R_L = ۱$ kΩ کار کند. مقدار عملی V_o/V_s، مقاومت ورودی (بدون R_S)، و مقاومت خروجی (بدون R_L) را بیابید. فرض کنید که BJT ها دارای $h_{fe} = ۱۰۰$ هستند. (توجه: در عمل سه طبقهٔ تقویت‌کننده، به دلیل پایداری، یکسان نخواهند بود.)



(الف)

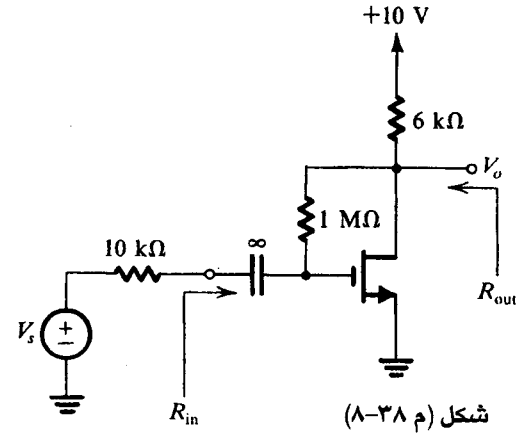


(ب)

شکل (م ۳۶-۸)

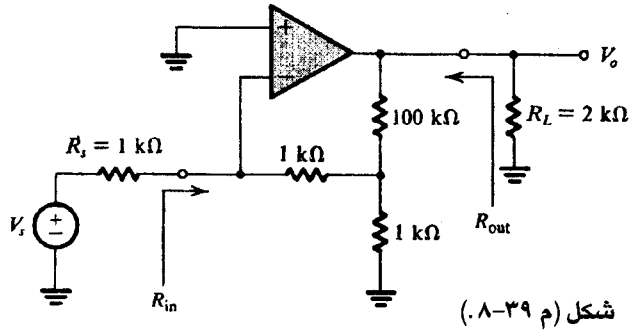
ط ۸-۳۷ از فیدبک منفی برای بهبود مشخصهٔ یک تقویت‌کنندهٔ خاص استفاده شده است. نوع فیدبک بکاررفته را در حالات زیر تعیین کنید اگر:
الف) مقاومت ورودی کمتر و مقاومت خروجی بیشتر شده باشد.
ب) هر دو مقاومت ورودی و خروجی افزایش یافته باشند.
پ) هر دو مقاومت ورودی و خروجی کاهش یافته باشند.

*۸-۳۸ برای $V_t = ۲$ V و $k'_nW/L = ۰/۵$ mA/V^۲، بهرهٔ ولتاژ (V_o/V_s) و مقاومت ورودی و خروجی مدار شکل (م ۳۸-۸) را با استفاده از تحلیل فیدبک بدست آورید. درستی جواب را با تحلیل مستقیم بررسی کنید.



شکل (م ۳۸-۸)

*۸-۳۹ برای مدار شکل (م ۳۹-۸)، با استفاده از روش فیدبک بهرهٔ ولتاژ V_o/V_s، مقاومت ورودی R_{in}، و مقاومت خروجی R_{out} را بیابید. op−amp دارای بهرهٔ حلقه باز $\mu = ۱۰^۴$V/V، $R_{id} = ۱۰۰$kΩ و $r_o = ۱$kΩ است.



شکل (م ۳۹-۸.)

۸-۴۰ تقویت‌کنندهٔ شکل (الف ۲۵-۸) را که خروجی از امیتر ترانزیستور $Q_۲$ گرفته شده، درنظر بگیرید. با استفاده از تکنیک تقویت‌کنندهٔ با فیدبک موازی - موازی، (V_{out}/I_{in}) و R_{in} را محاسبه کنید. با استفاده از نتیجهٔ حاصل، I_{out}/I_{in} را بدست آورید. حاصل را با نتایج مثال ۴-۸ مقایسه کنید.

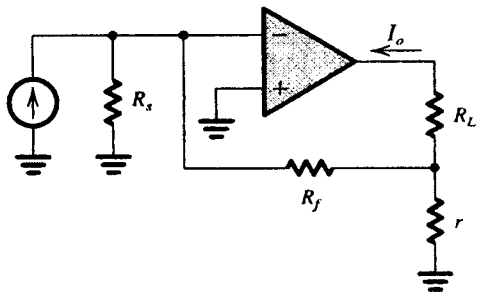
۸-۴۱ یک تقویت‌کنندهٔ جریان با بهرهٔ جریان اتصال کوتاه ۱۰۰ A/A، مقاومت ورودی ۱ kΩ و مقاومت خروجی ۱۰ kΩ بصورت حلقهٔ فیدبک منفی با آرایش موازی - سری بسته شده است. شبکهٔ فیدبک ضریب فیدبک $\beta = ۰/۱$ A/A را فراهم می‌کند. کلیه اطلاعات مربوط به وضعیت موجود را تعیین کنید، بهرهٔ جریان، مقاومت ورودی و مقاومت خروجی تقویت‌کنندهٔ با فیدبک را تخمین بزنید.

۸-۴۲ شکل (م ۴۲-۸) چگونگی استفاده از فیدبک موازی - سری را برای طراحی تقویت‌کنندهٔ جریان در op−amp نشان می‌دهد.
الف) نشان دهید که برای مقادیر بزرگ بهرهٔ حلقه، بهرهٔ جریان تقریباً برابر است با:

$$\frac{I_o}{I_s} \cong ۱ + \frac{R_f}{r}$$

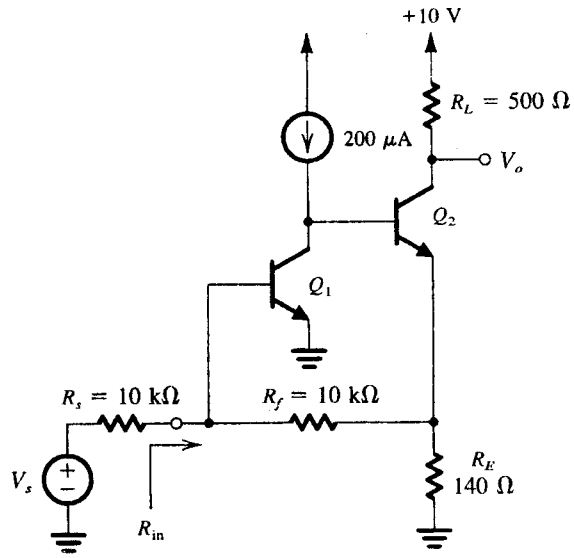
ب) با استفاده از روش تحلیل فیدبک، بهرهٔ حلقه بستهٔ I_o/I_s، مقاومت

ورودی (بدون R_s)، و مقاومت خروجی (بدون R_L) را برای: بهرهٔ ولتاژ حلقه باز op-amp برابر 10^4 V/V، $R_{id} = 100$ kΩ، مقاومت خروجی op-amp برابر 1 kΩ، $R_s = R_L = 10$ kΩ، $r = 100$ Ω و $R_f = 1$kΩ بدست آورید.



شکل (م ۴۲-۸)

۸-۴۳* برای مدار تقویت‌کنندهٔ شکل (م ۴۳-۸)، با فرض اینکه V_s دارای مؤلفهٔ dc صفر باشد، ولتاژهای dc در همهٔ گرهها و جریانهای dc امیترهای Q_1 و Q_2 را بدست آورید. فرض کنید BJT دارای $\beta = 100$ می‌باشد. با استفاده از تحلیل فیدبک V_o/V_s و R_{in} را بیابید.



شکل (م ۴۳-۸)

بخش ۸-۷: تعیین بهرهٔ حلقه

۸-۴۴ با شکستن حلقه در گیت Q_2 و پیداکردن ولتاژ برگشتی روی مقاومت 100 kΩ (با صفر قراردادن V_s)، بهرهٔ حلقهٔ تقویت‌کنندهٔ شکل (م ۲۷-۸) را بدست آورید. قطعه‌ها دارای $|V_t| = 1$ V و $k'_nW/L = 1$mA/V^2 و $h_{fe} = 100$ هستند. مقدار ولتاژ ارلی برای همهٔ عناصر (شامل عناصر منبع جریان) 100 V است. منبع سیگنال V_s دارای مؤلفهٔ dc صفر است. مقاومت خروجی R_{out} را تعین کنید.

۸-۴۵ می‌خواهیم بهرهٔ حلقهٔ مدار تقویت‌کنندهٔ شکل (م ۲۸-۸) را تعیین کنیم. مناسبترین محل برای شکستن حلقه، بیس Q_2 است. مقاومتی معادل با $r_{\pi 2}$ بین کلکتور Q_1 و زمین ببندید، ولتاژ آزمون V_t را به بیس Q_2 اعمال کنید، و ولتاژ برگشتی در کلکتور Q_1 را بدست آورید (البته با صفرکردن V_s). نشان دهید:

$$A\beta = \frac{g_{m2} R_{C2} (h_{fe3} + 1)}{R_{C2} + (h_{fe3} + 1)[r_{e3} + R_F + (R_E // r_{e1})]} \times \frac{\alpha_1 R_E}{R_E + r_{e1}} (R_{C1} // r_{\pi 2})$$

۸-۴۶ برای تعیین بهرهٔ حلقهٔ تقویت‌کننده نشان داده شده در شکل (م ۲۹-۸)، بهترین نقطه شکستن حلقه بین کلکتور Q_2 و R_L است. این کار را انجام داده، سیگنال جریان I_t را به گره سورس Q_1 اعمال کنید وسیگنال جریان برگشتی در کلکتور Q_2 را تعیین کنید. مثل همیشه، V_s باید صفر باشد. نشان دهید که:

$$A\beta = \frac{R_L}{R_L + 1/g_{m1}} \frac{h_{fe2} R_{D1}}{R_{D1} + (1 + h_{fe2})(r_{e2} + R_{E2})}$$

۸-۴۷ نشان دهید که بهرهٔ حلقه تقویت‌کننده شکل (م ۳۳-۸) برابر است با:

$$A\beta = g_{m1,2} (r_{o2} // r_{o4}) \frac{R_F // r_{o5}}{(R_F // r_{o5}) + 1/g_{m5}}$$

که $g_{m1,2}$، g_m هریک از ترانزیستورهای Q_1 و Q_2 است.

۸-۴۸ برای مدار شکل (م ۳۸-۸) بهرهٔ حلقه را محاسبه کنید فرض کنید FET دارای $g_m = 1$ mA/V است.

۸-۴۹ مدار op-amp شکل (م ۴۲-۸) دارای مقاومت تفاضلی ورودی R_{id}، بهرهٔ حلقه باز μ، و مقاومت خروجی r_o است. نشان دهید که بهرهٔ حلقه برابر است با:

$$A\beta = \frac{\mu}{r_o + R_L + r // [(R_s \parallel R_{id}) + R_f]} \times \frac{r(R_s // R_{id})}{r + R_f + (R_s // R_{id})}$$

۸-۵۰ برای مدار شکل (م ۴۳-۸) بهرهٔ حلقه را محاسبه کرده و سپس مقاومت ورودی R_{in} را بیابید. فرض کنید BJT ها دارای $h_{fe} = 100$ هستند.

بخش ۸-۸: مسأله پایداری

۸-۵۱ یک op-amp چنان طراحی شده که دارای بهرهٔ فرکانس پایین 10^5 و پاسخ فرکانس بالایی با قطب غالب در 100 rad/s باشد. در حین مراحل ساخت، یک زوج قطب اضافی در 10000 rad/s به آن اضافه شده است. در چه فرکانسی انتقال فاز کل به 180° می‌رسد؟ در این فرکانس به ازاء چه مقدار β، که مستقل از فرکانس فرض می‌شود، بهرهٔ حلقه به واحد می‌رسد؟ مقدار متناظر بهرهٔ حلقه بسته در فرکانسهای پایین چقدر است؟

۸-۵۲* برای حالتی که در مسأله ۸-۵۱ بیان شده، نمودار نایکوئیست را برای 10^{-3} و $\beta = 1/0$ رسم کنید. (نمودار را برای $\omega = 0, 100, 10^3, 10^4$ و ∞ rad/s رسم کنید.)

۸-۵۳ یک op-amp که دارای بهرهٔ فرکانس پایین 10^3 و قطب در 10^4 rad/s است بصورت حلقه فیدبک منفی از طریق شبکهٔ فیدبکی که دارای انتقال k و دو قطب در 10^4 rad/s است، بسته شده است. مقداری برای k بیابید که برای مقادیر بیش از آن تقویت‌کنندهٔ حلقه بسته ناپایدار شود.

۸-۵۴ تقویت‌کنندهٔ فیدبکی راکه بهرهٔ حلقه باز آن $A(s)$ بصورت زیر

داده شده در نظر بگیرید:

$$A(s) = \frac{1000}{(1 + s/10)^4)(1 + s/10^5)^2}$$

اگر ضریب فیدبک β مستقل از فرکانس باشد، فرکانسی را که در آن انتقال فاز $180°$ است، بیابید و مقدار بحرانی β را که سبب نوسان می‌شود، بدست آورید.

بخش ۹-۸: اثر فیدبک روی قطبهای تقویت‌کننده

۸-۵۵ یک تقویت‌کنندهٔ dc که دارای پاسخ تک‌قطبی با فرکانس قطب 10^4 Hz و فرکانس بهرهٔ واحد ۱۰ MHz است، در یک حلقه که ضریب فیدبک آن مستقل از فرکانس و برابر ۰/۱ است، بسته می‌شود. بهرهٔ فرکانس پایین، فرکانس ۳ dB، و فرکانس بهرهٔ واحد تقویت‌کنندهٔ فیدبک را بیابید. با چه ضریبی، قطب انتقال می‌یابد؟

***۸-۵۶** یک تقویت‌کننده که دارای بهره فرکانس پایین 10^3 و قطبهایی در 10^4 و 10^5 Hz است در یک حلقه فیدبک منفی با β مستقل از فرکانس کار می‌کند.

الف) برای چه مقدار β قطبهای حلقه بسته بر هم منطبق می‌شوند؟ در چه فرکانسی؟

ب) بهرهٔ فرکانس پایین متناظر با حالت (الف) را بیابید؟ مقدار بهره در فرکانسی که قطبها برهم منطبق می‌شود، چقدر است؟

پ) مقدار متناظر Q در حالت (الف) چقدر است؟

ت) اگر β با ضریب ۱۰ افزایش یابد، محل جدید قطبها را بدست آورید؟ مقدار متناظر Q ی قطب را بدست آورید؟

ط ۸-۵۷ یک تقویت‌کنندهٔ dc دارای بهرهٔ حلقه باز ۱۰۰۰ و دو قطب، یک قطب غالب در ۱ kHz و یک قطب فرکانس بالا که محل آن قابل کنترل است، می‌باشد. می‌خواهیم این تقویت‌کننده را در حلقهٔ فیدبک منفی که بهرهٔ حلقه بستهٔ dc، ۱۰۰ را ایجاد می‌کند و پاسخ حداکثر تخت را ارائه می‌دهد، ببندیم. مقدار موردنیاز β و فرکانسی را که قطب دوم در آن قرار دارد بیابید.

۸-۵۸ مثال ۵-۸ و مدار شکل ۳۴-۸ را که تغییر کرده تا یک شبکهٔ مخروطی ایجاد کند درنظر بگیرید، که در آن عناصر نزدیک به ورودی تقویت‌کننده افزایش امپدانس C/۱۰ و ۱۰R را دارند. توصیفی برای فرکانس قطب ω_0 و ضریب Q بیابید. برای چه مقدار K قطبها بر هم منطبق می‌شوند؟ برای چه مقدار K مدار نوسان می‌کند؟

۸-۵۹ سه وارونگر یکسان، که هریک توسط ناحیهٔ کلیدزنی مشخص شده و در این ناحیه بصورت تقویت‌کنندهٔ خطی با بهرهٔ $-K$ و قطب در 10^7 Hz می‌باشند، بصورت حلقه بسته شده‌اند. اگر این حلقه را به عنوان حلقه فیدبک با $\beta = 1$ فرض کنیم، حداقل مقدار K برای نوسان حلقهٔ وارونگر را بیابید. فرکانس نوسانات برای کار در سیگنالهای خیلی کوچک چقدر است؟ (توجه کنید که در عمل این نوسان‌کنندهٔ حلقوی با سیگنال به مراتب بزرگتر و فرکانس کمی پایین‌تر کار می‌کند (سطوح منطقی).

بخش ۱۰-۸: مطالعهٔ پایداری توسط نمودار بودی

۸-۶۰ تمرین ۱۴-۸ را برای حالتی که op-amp بصورت میانگیر با بهرهٔ واحد کار می‌کند، درنظر بگیرید. در چه فرکانسی $|A\beta| = 1$ می‌باشد؟ حاشیه فاز مربوطه چقدر است؟

۸-۶۱ تمرین ۱۴-۸ را برای حالتی که در اثر خطای ساخت قطب دوم در 10^4 Hz ایجاد شده است، درنظر بگیرید. حال فرکانسی را که $|A\beta| = 1$ می‌شود بدست آورید؟ حاشیه فاز در این حالت چقدر است؟ برای چه مقدار β، حاشیه فاز $45°$ یا بیشتر است؟

۸-۶۲ برای چه میزان حاشیه فاز نوک بهره مقدار ۵% را داراست؟ برای ۱۰% چقدر؟ برای ۰/۱ dB چقدر؟ برای ۱ dB چقدر؟ [راهنمایی: از نتیجهٔ معادلهٔ (۴۸-۸) استفاده کنید.]

۸-۶۳ یک تقویت‌کننده دارای بهرهٔ dc برابر 10^5 و قطبهایی در 10^5 Hz، $3/16 \times 10^5$ Hz و 10^6 Hz است. مقدار β و بهرهٔ حلقه بستهٔ متناظر را برای حالتی که حاشیه فاز $45°$ بدست می‌آید، تعیین کنید.

۸-۶۴ یک تقویت‌کنندهٔ دو قطبی که در آن $A_o = 10^3$ است و دارای قطبهایی در ۱ MHz و ۱۰ MHz می‌باشد بصورت مشتق‌گیر بسته شده است. بر اساس قانون میزان نزدیکی، کوچکترین ثابت زمانی مشتق‌گیر برای کار پایدار آن چقدر است؟ حاشیه‌های بهره و فاز را نیز تعیین کنید؟

۸-۶۵ برای تقویت‌کننده شکل ۳۷-۸ با فیدبک مستقل از فرکانس، حداقل بهرهٔ ولتاژ حلقه بسته‌ای را که از حاشیه فاز $90°$ و $45°$ بدست می‌آید، تعیین کنید؟

بخش ۱۱-۸: جبرانسازی فرکانسی

ط ۸-۶۶ یک تقویت‌کننده چندقطبی که دارای یک قطب در ۲ MHz و بهرهٔ dc حلقه بستهٔ ۸۰ dB است تا بهرهٔ حلقه بسته‌ای در حدود واحد در اثر یک قطب غالب جدید داشته باشد. قطب جدید باید در چه فرکانسی باشد؟

ط ۸-۶۷ برای تقویت‌کنندهٔ توصیف شده در مسأله ۶۶-۸، بجای ایجاد یک قطب غالب جدید، از یک خازن درگرهی از مدار که مولد قطب است برای کاهش فرکانس قطب استفاده می‌کنیم. اگر فرکانس قطب دوم ۱۰ MHz باشد و اگر در ضمن اضافه کردن خازن تغییری در آن رخ ندهد، فرکانسی را که قطب اول به آن می‌رسد تا با داشتن تقویت‌کنندهٔ پایدار، بهرهٔ حلقه بسته واحد باشد، بدست آورید؟ ضریب افزایش ظرفیت در گره کنترل چقدر است؟

۸-۶۸ اثر حذف قطب را توسط معادلات (۵۸-۸) و (۵۹-۸) تحت شرایط $R_1 \cong R_2 = R$، $C_2 \cong C_1/10 = C$، $C_f \gg C$ و $g_m = 100/R$ درنظر بگیرید و ω_{p1} و ω_{p2} و ω'_{p1}، ω'_{p2} را محاسبه کنید.

ط ۸-۶۹ یک op-amp با بهرهٔ ولتاژ حلقه باز 10^4 و قطبهایی در 10^5 و 10^6 و 10^7 Hz توسط افزایش قطب غالب چهارم برای کار پایدار مدار و تحت فیدبک واحد ($\beta = 1$) کار می‌کند. فرکانس قطب غالب مورد نظر چقدر است؟ شبکه جبرانسازی باید شامل شبکهٔ پایین‌گذر RC باشد که در مسیر فیدبک منفی با op-amp قرار گرفته است. شرایط بایاس dc به صورتی است که یک مقاومت ۱ MΩ می‌تواند بصورت سری با هریک از سرهای مثبت و منفی op-amp قرار گیرد. برای داشتن قطب چهارم چه خازنی باید بین سر منفی و زمین قرار گیرد؟

ط *۸-۷۰ یک op-amp با بهرهٔ ولتاژ حلقه باز ۸۰ dB و قطبهایی در 10^5، 10^6 و 2×10^6 Hz برای پایداری به ازاء واحدبودن β

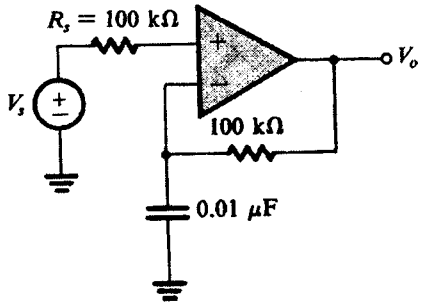
جبران‌سازی شده است. فرض کنید op-amp معادل تقویت‌کنندهٔ شکل (۸-۴۰) با $C_1 = 150$ pF ، $C_2 = 5$ pF و $g_m = 40$ mA/V است و f_{p1} توسط مدار ورودی و f_{p2} توسط مدار خروجی تقویت‌کننده ایجاد شده است. میزان خازن جبران‌سازی میلر مورد نیاز و فرکانس جدید قطب خروجی را بیابید.

۸-۷۱ op-amp در مدار شکل (م ۷۱-۸) دارای بهرهٔ حلقه باز 10^5 و افت در $\omega_{3dB} = 10$ rad/s است.

الف) نمودار بودی را برای بهرهٔ حلقه رسم کنید.

ب) فرکانسی را که در آن $|A\beta| = 1$ است یافته و حاشیه فاز متناظر را تعیین کنید.

پ) تابع انتقال حلقه بسته را به همراه صفر و قطبهایش بیابید. نمودار صفر و قطب را رسم کنید. نمودار اندازه تابع انتقال بر حسب فرکانس را رسم کرده و پارامترهای مهم را روی آن مشخص کنید.



شکل (م ۷۱-۸)

کتابشناسی

G. S. Moschytz, *Linear Integrated Networks: Design,* New York: Van Nostrand Reinhold, 1974.

E. Renschler, *The MC1539 Operational Amplifier and Its Applications,* Application Note AN-439, Phoenix, Ariz.: Motorola Semiconductor Products.

J. K. Roberge, *Operational Amplifiers: Theory and Practice,* New York: Wiley, 1975.

G. W. Roberts and A. S. Sedra, *SPICE,* New York: Oxford Univ. Press, 1992, 2nd ed., 1997.

S. Rosenstark, *Feedback Amplifier Principles,* New York: Macmillan Publishing Company, 1986.

P. E. Gray and C. L. Searle, *Electronic Principles,* New York: Wiley, 1969.

P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3nd ed., New York: Wiley, 1993.

S. S. Haykin, *Active Network Theory,* Reading, Mass.: Addison-Wesley, 1970.

E. S. Kuh and R. A. Rohrer, *Theory of Linear Active Networks,* San Francisco: Holden-Day, Inc., 1967. (This is an advanced-level text.)

Linear Integrated Circuits, Harrison, N.J.: RCA, 1967.

فصل ۹

طبقات خروجی و تقویت‌کننده‌های توان

۹-۱ طبقه بندی طبقات خروجی
۹-۲ طبقه خروجی کلاس A
۹-۳ طبقه خروجی کلاس B
۹-۴ طبقه خروجی کلاس AB
۹-۵ تغذیه مدار کلاس AB
۹-۶ ترانزیستورهای توان BJT
۹-۷ تغییرات پیکربندی کلاس AB
۹-۸ تقویت کننده‌های توان بصورت IC
۹-۹ ترانزیستورهای توان MOS
۹-۱۰ مثالی از شبیه‌سازی SPICE
خلاصه - مسائل - کتابشناسی

مقدمه

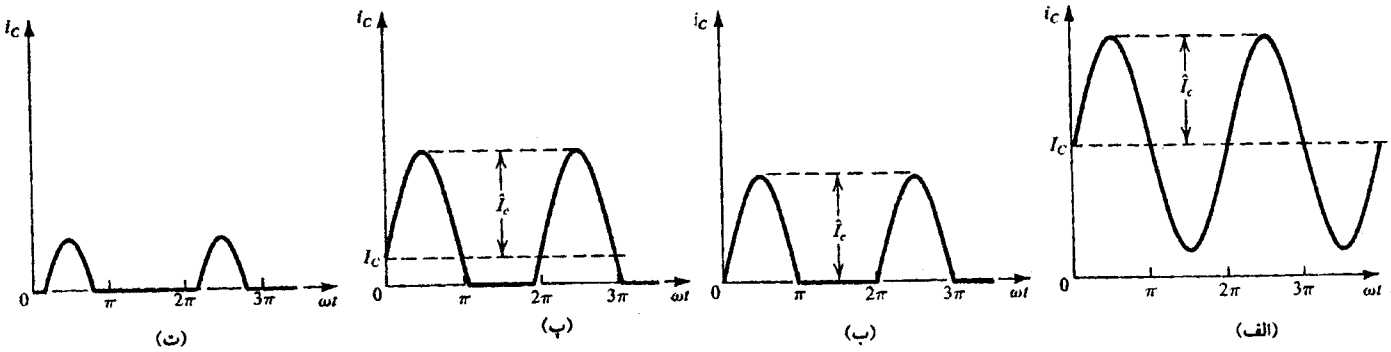
یکی از وظایف مهم طبقه خروجی ارائه تقویت‌کننده‌ای با مقاومت خروجی کم است، طوری که سیگنال خروجی بدون اتلاف بهره به بار خروجی تحویل شود. چون طبقه خروجی، آخرین طبقه تقویت است، معمولاً با سیگنالهای نسبتاً بزرگ سروکار دارد. از اینرو تقریبها و مدلهای سیگنال کوچک برای تقویت‌کننده‌های خروجی کارآمد نیست و باید آنها را بااحتیاط بکار گرفت. با این وجود، خطی‌بودن همچنان ضرورت تام است، یعنی میزان خوبی طراحی طبقه خروجی مربوط به اعوجاج هارمونیک کل (یا به اختصار THD) آن است و آن مقدار مؤثر مؤلفه‌های هارمونیک سیگنال خروجی، بدون درنظرگرفتن **مؤلفه مبنای** [1] آن است که بصورت درصدی از مقدار مؤثر مؤلفه مبنا بیان می‌شود. THD در تقویت‌کننده توان صوتی با همانندهی [2] زیاد در حدود کسری از یک درصد است.

بحث‌برانگیزترین ضرورت در طراحی طبقه خروجی آن است که توان موردنیاز p به قدر کفایت به بار تحویل شود. به این معنی که توان تلف شده در طبقه خروجی ترانزیستورها باید تا حد ممکن کم باشد. زیرا توان تلف شده در ترانزیستور، دمای پیوند داخلی آن را افزایش می‌دهد و در بالاتر از دمای ماکزیمم (در محدوده ۱۵۰ تا ۲۰۰ درجه سانتی‌گراد برای ترانزیستورهای سلیسیومی) ترانزیستور خراب می‌شود. در تبدیل توان دلایل دیگری برای بازده زیاد وجود دارد از جمله عمر طولانی‌تر باطریها تا امکان استفاده از منبع کوچک و ارزان وجود داشته باشد و نیز به پروانهٔ خنک‌کننده برای دفع حرارت عناصر پرمصرف نیاز نباشد.

این فصل را با مطالعه آرایشهای گوناگون طبقات خروجی آغاز می‌کنیم که در آنها تقویت‌کننده‌هایی با توانهای کم و زیاد بکار رفته است. در این مبحث، «توان زیاد» غالباً به معنی بیش از W ۱ است. سپس نیازهای ویژه BJT های بکاررفته در طراحی طبقات خروجی پرتوان را که **ترانزیستورهای توان** نامیده می‌شوند، بررسی می‌کنیم. به خواص حرارتی این ترانزیستور نیز توجه خاصی خواهد شد.

یک تقویت‌کننده توان بطور خلاصه عبارت از یک تقویت‌کننده توان زیاد است. مثالهایی از تقویت‌کننده‌های توان با مدارهای مجتمع و یا عناصر مجزا ارائه می‌شود. این فصل با توضیح مختصری درباره ساختمان MOSFET به پایان می‌رسد که اخیراً در طراحی تقویت‌کننده‌های توان از آن استفاده می‌شود.

1– Fundamental 2– Fidelity



شکل ۱-۹. شکل موج‌های جریان کلکتور طبقه تقویت‌کننده در حالات کار
(الف) کلاس A (ب) کلاس B (پ) کلاس AB (ت)کلاس C

۹-۱ طبقه‌بندی طبقات خروجی

طبقات خروجی بر اساس شکل موج جریان کلکتور طبقه‌بندی [1] می‌شود که از اعمال یک سیگنال به ورودی بدست می‌آید. شکل (۱-۹) طبقه‌بندی یا کلاس‌های تقویت را برای موردی نشان می‌دهد که یک سیگنال سینوسی به ورودی اعمال می‌شود. طبقه کلاس A، که شکل موج مربوط به آن در شکل (الف ۱-۹) نشان داده شده، با جریان I_C تغذیه[2] شده که از دامنه جریان سیگنال آن، $\hat{I}_c$، بزرگتر است. بنابراین، ترانزیستور در کلاس A، در سیکل کامل سیگنال ورودی هدایت می‌کند، یعنی زاویه هدایت ۳۶۰ درجه است. برعکس، در طبقه کلاس B که شکل موج آن در شکل (ب ۱-۹) نشان داده شده در جریان dc صفر تغذیه شده است. بنابراین ترانزیستور در کلاس B به ازای نیم سیکل از موج سینوسی ورودی هدایت می‌کند. در نتیجه زاویه هدایت ۱۸۰ درجه است. همانگونه که بعداً ملاحظه خواهد شد، نیمه‌های منفی موج سینوسی به کمک ترانزیستور دیگری تأمین می‌شود که آن نیز در کلاس B عمل می‌کند و طی نیم‌سیکلهای دیگر هدایت می‌کند.

یک کلاس میانی بین A و B که AB نامیده می‌شود نیز وجود دارد که در آن ترانزیستور با یک جریان dc غیرصفر و بسیار کوچکتر از جریان نوک موج سینوسی، بایاس می‌شود. در نتیجه مطابق شکل (پ ۱-۹)، ترانزیستور در فاصله زمانی کمی بیش از نیم موج هدایت می‌کند. به این ترتیب زاویه هدایت بزرگتر از ۱۸۰ درجه اما کوچکتر از ۳۶۰ درجه است. یک طبقه تقویت‌کننده در کلاس AB دارای ترانزیستور دیگری نیز هست که در فاصله زمانی کمی بیش از نیم سیکل منفی هدایت می‌کند و جریانهای هر دو ترانزیستور دوبار با یکدیگر ترکیب می‌شوند. در نتیجه هر دو ترانزیستور طی فاصله‌های زمانی نزدیک به نقاط گذر از صفر موج سینوسی ورودی، هدایت می‌کنند.

شکل (ت ۱-۹) شکل موج جریان کلکتور را برای ترانزیستوری نشان می‌دهد که بصورت یک تقویت‌کننده در کلاس C عمل می‌کند، مشاهده کنید ترانزیستور در فاصله زمانی کمتر از نیم سیکل هدایت می‌کند؛ یعنی زاویه هدایت کمتر از ۱۸۰ درجه است. حاصل کار، شکل موج جریان پالسی متناوب نشان داده شده است. برای بدست آوردن ولتاژ خروجی سینوسی، این جریان از مدار LC موازی عبور می‌کند که در فرکانس موج سینوسی ورودی تنظیم شده است. مدار تنظیمی به عنوان «فیلتر میان‌گذر[3]» عمل می‌کند و موج خروجی‌ای فراهم می‌کند که متناسب با دامنه مؤلفه مبنا در نمایش سری فوریهٔ شکل موج جریان است.

در این فصل کلاسهای A، AB، و B مطالعه می‌شود. از آنها به عنوان طبقه خروجی op-amp ها، و تقویت‌کننده‌های صوتی توان استفاده می‌شود. برای کاربردهای اخیر، به دلایلی که در بخش بعد توضیح می‌دهیم، کلاس AB، بهتر است. معمولاً تقویت‌کننده‌های کلاس C برای تقویت توان فرکانس رادیویی[4] (یا به اختصار RF) در فرستنده و گیرنده‌های رادیو و تلویزیون بکار می‌رود. طراحی تقویت‌کننده‌های کلاس C مبحث نسبتاً خاصی است و در حوصله این کتاب نمی‌باشد.

اگرچه برای توضیح کلاسهای مختلف طبقات خروجی از BJT استفاده شده است اما همین کلاس‌بندی در مورد طبقه‌های خروجی ساخته شده با MOSFET نیز بکار می‌رود. علاوه براین، طبقه‌بندی تقویت‌کننده غیر از طبقات خروجی برای سایر طبقات نیز مصداق دارد. به این ترتیب تقویت کننده‌های امیتر مشترک، بیس مشترک، و کلکتور مشترک (و FET های متناظر آنها) را که در فصول قبل مطالعه شد، در دسته کلاس A قرار دارند.

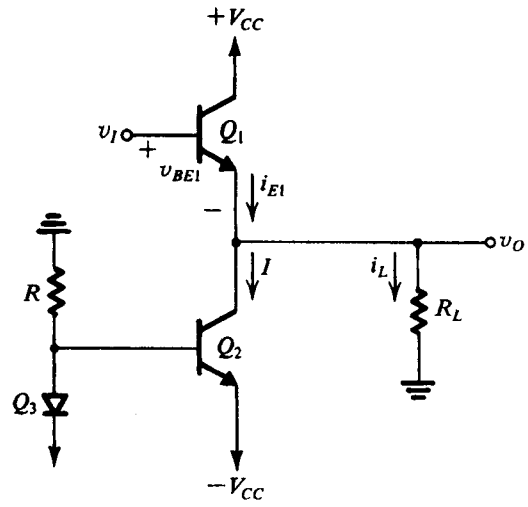
۹-۲ طبقه خروجی در کلاس A

تقویت‌کننده امیتر پیرو به دلیل مقاومت خروجی کم، متداولترین طبقه خروجی کلاس A است. پیش از این در فصلهای ۴ و ۷ تقویت‌کننده امیتر پیرو را مطالعه کرده‌ایم. در ادامه عملکرد سیگنال بزرگ آن را بررسی می‌کنیم.

مشخصه انتقال

شکل (۲-۹) تقویت‌کننده امیتر پیرو Q_1 را نشان می‌دهد که با جریان ثابت I تغذیه شده که از ترانزیستور Q_2 بدست می‌آید. چون جریان امیتر برابر با $I_{E1} = I + i_L$ است جریان تغذیه I بایستی بزرگتر از بزرگترین

1– Classity
2– bias
3– bandpass filter
4– Radio Frequency



شکل ۲-۹. یک امیتر پیرو (Q_1) که با منبع جریان ثابت I که ترانزیستور Q_2 را فراهم می‌کند بایاس شده است.

جریان بار منفی باشد. در غیراینصورت، Q_1 قطع می‌شود و کار در کلاس A ، دیگر ممکن نخواهد بود.

مشخصه انتقال امیتر پیرو شکل (۲-۹) بصورت زیر توصیف می‌گردد:

$$v_O = v_I - v_{BE1} \qquad (۹-۱)$$

که در آن v_{BE1} به جریان امیتر i_{E1} و در نتیجه به جریان بار i_L بستگی دارد، اگر از تغییرات بسیار کوچک v_{BE1} (۶۰mV به ازای ۱۰ برابر تغییر در جریان امیتر) صرفنظر کنیم، منحنی انتقال خطی شکل (۳-۹) بدست می‌آید. مطابق شکل حد مثبت ناحیه خطی با اشباع Q_1 تعیین می‌شود؛ به این ترتیب:

$$v_{O\,\text{ماکزیمم}} = V_{CC} - V_{CE1\,\text{اشباع}} \qquad (۹-۲)$$

حد منفی ناحیه خطی هم با خاموشی Q_1 بصورت زیر بدست می‌آید:

$$v_{O\,\text{مینیمم}} = -IR_L \qquad (۹-۳)$$

و با اشباع Q_2 بصورت زیر است:

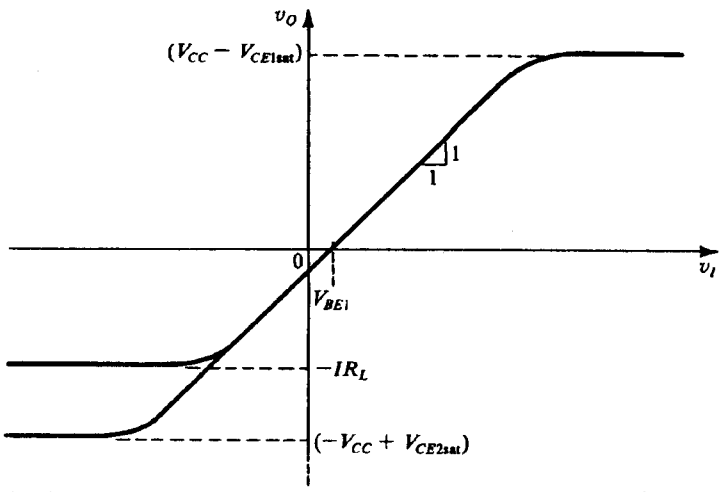
$$v_{O\,\text{مینیمم}} = -V_{CC} + V_{CE2\,\text{اشباع}} \qquad (۹-۴)$$

که به مقادیر I و R_L بستگی دارد. کمترین ولتاژ خروجی مطلق از معادله (۴-۹) در صورتی بدست می‌آید که جریان بایاس I بزرگتر، از مقدار جریان بار متناظر آن باشد:

$$I \geq \frac{|-V_{CC} + V_{CE2\,\text{اشباع}}|}{R_L} \qquad (۹-۵)$$

تمرینها

۹-۱ در تقویت‌کننده امیتر پیرو شکل (۲-۹) فرض کنید $V_{CC} = 15\text{V}$ ، $V_{CE\,\text{اشباع}} = 0.2\text{ V}$ ، $V_{BE} = 0.7\text{ V}$ و ثابت، و β خیلی بزرگ باشد. R را طوری پیدا کنید که جریان تغذیه به اندازه کافی بزرگ باشد تا امکان بزرگترین نوسان ممکن سیگنال خروجی برای $R_L = 1\text{k}\Omega$ فراهم شود.



شکل ۳-۹. مشخصه انتقالی امیتر پیرو شکل ۲-۹ این مشخصه خطی با چشم‌پوشی از تغییرات V_{BE1} با i_L حاصل شده است. ماکزیمم خروجی مثبت با اشباع Q_1 تعیین می‌شود. در جهت منفی حد ناحیه خطی با خاموش‌شدن Q_1 یا اشباع Q_2 معین می‌گردد. (وابسته به مقدار I و R_L).

نوسان سیگنال خروجی و نیز جریانهای امیتر ماکزیمم و مینیمم را بیابید:
جواب. $0.97\text{ k}\Omega$ ، -14.8 V تا $+14.8\text{ V}$ ؛ ۰ تا 29.6 mA .

۹-۲ در تقویت‌کننده امیتر پیرو تمرین ۱-۹، که $I = 14.8\text{ mA}$ است، حالتی را درنظر بگیرید که در آن v_O در محدوده -10 V تا $+10\text{ V}$ باشد، فرض کنید Q_1 در $i_C = 1\text{ mA}$ دارای $v_{BE} = 0.6\text{ V}$ باشد و فرض که $\alpha \cong 1\text{mA}$ ، v_I متناظر با "$+10\text{V}$ و ۰ و -10V" v_O را بیابید. در هریک از این نقاط، با تحلیل سیگنال کوچک بهره ولتاژ v_o/v_i بهره را بدست آورید. توجه کنید که بهره ولتاژ افزایشی شیب مشخصه v_o را در مقابل v_I بدست می‌دهد.
جواب. -9.36 V ، 0.67 V و 10.68V ؛ 0.995 V/V ، 0.998 V/V ؛ و 0.999 V/V . ❑

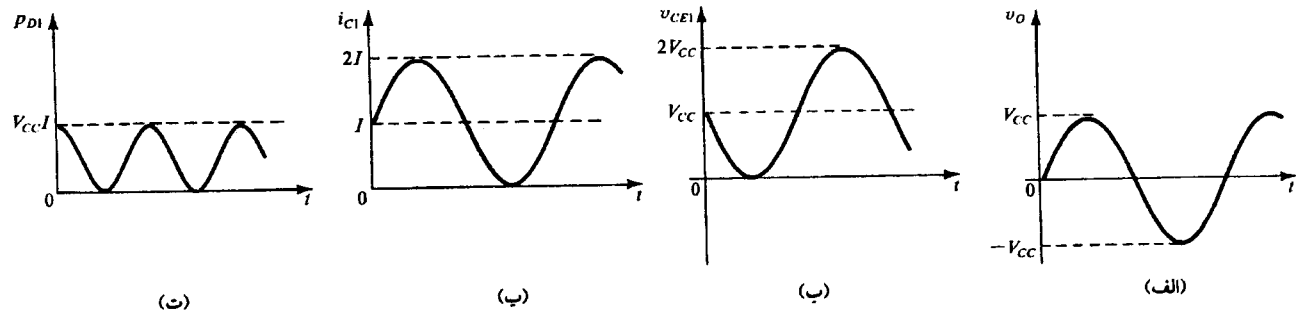
شکل موجهای سیگنال

کار مدار امیتر پیرو شکل (۲-۹) را برای ورودی موج سینوسی درنظر بگیرید. بانادیده گرفتن $V_{CE\,\text{اشباع}}$ ، مطابق شکل (الف ۴-۹) مشاهده می‌کنیم ولتاژ خروجی می‌تواند بین $-V_{CC}$ تا $+V_{CC}$ نوسان کند در صورتی که مقدار سکون[1] صفر باشد. شکل (ب ۴-۹) شکل موج متناظر را برای $v_{CE1} = V_{CC} - v_O$ نشان می‌دهد. اکنون با فرض آنکه جریان تغذیه I بگونه‌ای انتخاب شده باشد که ماکزیمم جریان بار منفی V_{CC}/R_L وجود داشته باشد، جریان کلکتور Q_1 ، شکل موجی مانند شکل (پ ۴-۹) خواهد داشت. سخن آخر آنکه شکل (ت ۴-۹) شکل موج **اتلاف توان لحظه‌ای**[2] را در Q_1 نشان می‌دهد.

$$P_{D1} \equiv v_{CE1}\, i_{C1} \qquad (۹-۶)$$

1– quiescent

2– instantaneous power dissipation



شکل ۴-۹. شکل موجهای سیگنال ماکزیمم در طبقه خروجی کلاس A
شکل ۲-۹ تحت شرایط $I = V_{CC}/R_L$ یا معادل آن $R_L = V_{CC}/I$

اتلاف توان

شکل (ت ۴-۹) نشان می‌دهد که اتلاف توان لحظه‌ای ماکزیمم در Q_1 برابر با $V_{CC}I$ است. این مقدار برابر اتلاف توان سکون در Q_1 می‌باشد. به این ترتیب ترانزیستور امیتر پیرو هنگامی بیشترین توان را تلف می‌کند که $v_O = 0$ باشد. چون این شرط (نبودن سیگنال ورودی) می‌تواند در زمانهای طولانی حاکم باشد، ترانزیستور Q_1 باید قادر به تحمل اتلاف توان دائم $V_{CC}I$ باشد.

اتلاف توان در Q_1 به مقدار R_L بستگی دارد. آخرین حد یک مدار خروجی باز، یعنی $R_L = \infty$ رادرنظر بگیرید. در این حالت $i_{C1} = I$ ثابت است و اتلاف توان لحظه‌ای در Q_1 به مقدار لحظه‌ای v_O بستگی دارد. اتلاف توان ماکزیمم در حالت $v_O = -V_{CC}$ اتفاق می‌افتد. زیرا در این حالت V_{CE1} برابر با ماکزیمم $2V_{CC}$ است و $p_{D1} = 2V_{CC}I$. البته، این شرط برای زمان طولانی ادامه نمی‌یابد، بنابراین لازم نیست طرح تا آن حد محافظه کارانه باشد. مشاهده کنید در حالت بار با مدار باز، اتلاف توان متوسط در Q_1، $V_{CC}I$ است. موقعیت به مراتب خطرناکتر بویژه در حد دیگر، یعنی در $R_L = 0$ اتفاق می‌افتد. در حالت اتصال کوتاه خروجی، ولتاژ ورودی مثبت به طور نظری، یک جریان بار نامحدود ایجاد می‌کند. در عمل ممکن است جریان بسیار بزرگی از Q_1 عبور کند و چنانچه حالت اتصال کوتاه ادامه یابد، اتلاف توان بزرگ بدست آمده در Q_1 دمای پیوند را تا مقداری بالاتر از ماکزیمم تعیین شده افزایش دهد و سبب شود Q_1 بسوزد. برای جلوگیری از چنین وضعی، طبقات خروجی معمولاً به طبقه‌ای به نام حفاظت در برابر اتصال کوتاه مجهز می‌شوند که در ادامه درباره آن توضیح داده خواهد شد.

در طراحی طبقه خروجی امیتر پیرو، بایستی اتلاف توان Q_2 نیز درنظر گرفته شود. چون Q_2 جریان ثابت I را هدایت می‌کند و مقدار ماکزیمم V_{CE2} برابر $2V_{CC}$ است، اتلاف توان لحظه‌ای ماکزیمم در Q_2 برابر $2V_{CC}I$ می‌باشد. البته، این ماکزیمم وقتی اتفاق می‌افتد که $v_O = V_{CC}$ باشد، شرطی که برای زمان طولانی اجراشدنی نیست. کمیت بسیار مهم در طراحی متوسط توان تلف شده در Q_2 است که برابر با $V_{CC}I$ می‌باشد.

تمرین

۹-۳ امیتر پیرو شکل (۲-۹) را با $V_{CC}=10\,V$، $I=100\,mA$، $R_L=100\,\Omega$ درنظر بگیرید. اتلاف توان Q_1 و Q_2 را در شرایط سکون ($v_O=0$) بیابید. برای ولتاژ خروجی سینوسی با ماکزیمم دامنه ممکن (بدون درنظرگرفتن اشباع V_{CE}) اتلاف توان متوسط را در Q_1 و Q_2 بدست آورید. همچنین توان بار را بیابید.

جواب. ۱ W، ۱ W؛ ۰/۵ W، ۰/۵ W؛ ۰ ❑

بازده تبدیل توان

بازده تبدیل توان طبقه خروجی بصورت زیر تعیین می‌شود:

$$\eta = \frac{\text{توان بار } (P_L)}{\text{توان منبع تغذیه } (P_S)} \qquad (۹-۷)$$

در امیتر پیرو شکل (۲-۹)، با فرض آنکه ولتاژ خروجی یک سیگنال با مقدار نوک $\hat{V}_o$ باشد، توان بار متوسط برابر خواهد بود با:

$$P_L = \frac{1}{2} \times \frac{\hat{V}_o^2}{R_L} \qquad (۹-۸)$$

چون جریان Q_2 (یعنی I) ثابت است، جریان کشیده شده از تغذیه منفی[1] برابر $V_{CC}I$ خواهد بود. جریان متوسط در Q_1 برابر با I است و در نتیجه توان متوسط کشیده شده از تغذیه مثبت برابر $V_{CC}I$ است. پس توان تغذیه متوسط کل برابر است با:

$$P_S = 2V_{CC}I \qquad (۹-۹)$$

با ترکیب معادلات (۸-۹) و (۹-۹) بدست می‌آید:

$$\eta = \frac{1}{4} \times \frac{\hat{V}_o^2}{I R_L V_{CC}}$$

$$= \frac{1}{4}\left(\frac{\hat{V}_o}{I R_L}\right)\left(\frac{\hat{V}_o}{V_{CC}}\right) \qquad (۹-۱۰)$$

چون $\hat{V}_o \le V_{CC}$ و $\hat{V}_o \le I R_L$ است، بازده ماکزیمم هنگامی بدست می‌آید

۱- این امر شامل توان کشیده شده بوسیله ترانزیستور Q_3 متصل شده بصورت دیود بایاسینگ نمی‌باشد.

که شرط زیر برقرار باشد:

$$\hat{V}_o = V_{CC} = I R_L \qquad (۹-۱۱)$$

ماکزیمم بازده قابل حصول ۲۵٪ است. به دلیل پایین‌بودن این عدد، درکاربردهای توان زیاد (بیش از ۱ W) از طبقه خروجی کلاس A بندرت استفاده می‌شود. همچنین توجه داشته باشید که در عمل، ولتاژ خروجی در مقادیر پایین‌تر محدود می‌شود تا ترانزیستور اشباع نشود و در اثر آن اعوجاج خطی روی ندهد. به این ترتیب، بازده بدست آمده معمولاً بین ۱۰ تا ۲۰ درصد می‌باشد.

تمرین

۹-۴ در امیتر پیرو شکل ۹-۲ فرض کنید که $V_{CC} = ۱۰$ V، $I = ۱۰۰$ mA، و $R_L = ۱۰۰\ \Omega$ است. چنانچه ولتاژ خروجی یک ولتاژ سینوسی با نوک ۸V باشد، مقادیر زیر را بدست آورید: (الف) توان تحویل‌شده به بار. (ب) متوسط توان کشیده شده از منابع تغذیه. (پ) بازده تبدل توان.

از اتلاف توان $Q_۳$ صرفنظر کنید.

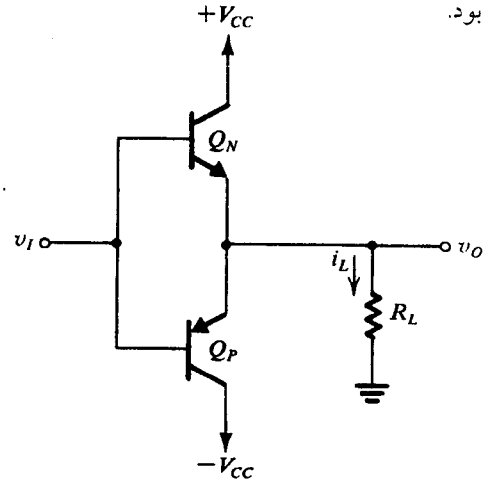
جواب. ۰/۳۲ W؛ ۲ W؛ ۱۶٪ ❑

۹-۳ طبقه خروجی در کلاس B

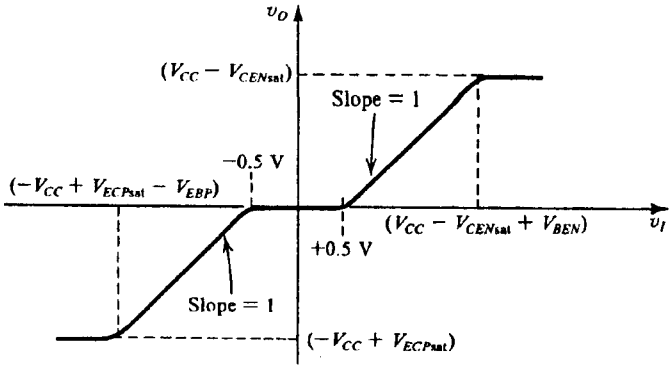
شکل (۹-۵) یک طبقه خروجی را در کلاس B نشان می‌دهد. این طبقه از دو ترانزیستور مکمل (یعنی یک *npn* و یک *pnp*) متصل به هم تشکیل شده و به گونه‌ای به هم مرتبطند که هر دو همزمان نمی‌توانند کار کنند.

کار مدار

وقتی ولتاژ ورودی v_I صفر است، هر دو ترانزیستور در حالت قطع و ولتاژ خروجی v_O صفر است. مادامی که v_I مثبت می‌شود و از حدود ۰/۵V بیشتر می‌شود، Q_N هدایت کرده و مانند یک امیتر پیرو عمل می‌کند. در این حالت v_O تابع v_I است (یعنی $v_o = v_I - v_{BEN}$) و Q_N جریان بار را تأمین می‌کند. در ضمن، پیوند امیتر - بیس Q_P بوسیله V_{BE} ترانزیستور Q_N که تقریباً ۰/۷ V است، بایاس معکوس می‌شود. در نتیجه Q_P قطع خواهد بود.



شکل ۹-۵. طبقه خروجی کلاس B



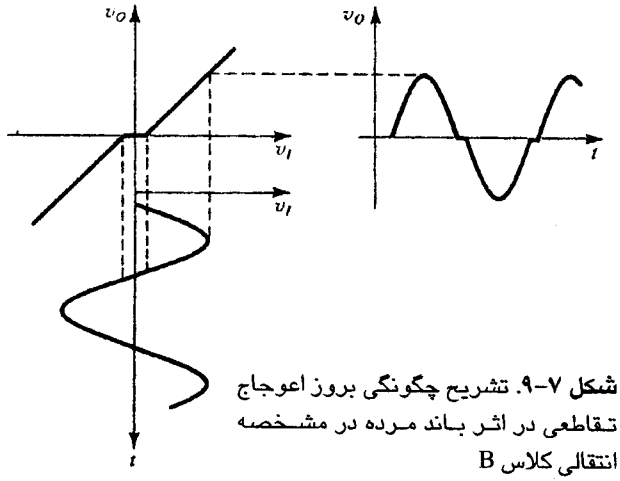
شکل ۹-۶. مشخصه انتقالی طبقه خروجی کلاس B شکل ۹-۵

اگر ورودی با بیش از حدود ۰/۵ V منفی شود، Q_P روشن شده و مانند یک امیتر پیرو عمل می‌کند. باز هم v_O تابع v_I است (یعنی $v_O = v_I + v_{EBP}$)، اما در این حالت Q_P جریان بار را تأمین می‌کند و Q_N قطع خواهد بود.

نتیجه می‌گیریم که ترانزیستورهای کلاس B شکل (۹-۵) در جریان صفر تغذیه شده و تنها وقتی هدایت می‌کنند که سیگنال ورودی موجود باشد. این مدار بصورت هُل - کشیدن [1] (پوشپول) عمل می‌کند. Q_N جریان منبع را به دورن بار هل می‌دهد. وقتی v_I مثبت باشد. و Q_P جریان را از بار می‌کشد وقتی v_I منفی است.

مشخصه انتقال

نموداری از مشخصه انتقال طبقه کلاس B در شکل (۹-۶) نشان داده شده است. توجه کنید که گستره‌ای از v_I حول صفر متمرکز می‌شوند وقتی هر دو ترانزیستور قطع و v_O صفر است. این **باند مرده** موجب **اعوجاج تقاطعی** [2] مانند شکل (۹-۷) برای ورودی سینوسی می‌شود. تأثیر اعوجاج تقاطعی وقتی دامنه سیگنال ورودی کوچک است، مشخص‌تر می‌باشد. اعوجاج تقاطعی در تقویت‌کننده‌های توان صوتی سبب ناخوشایندی صدا می‌شود.



شکل ۹-۷. تشریح چگونگی بروز اعوجاج تقاطعی در اثر باند مرده در مشخصه انتقالی کلاس B

1– Push–Pull

2– Cross over distortion

بازده تبدیل توان

برای محاسبه بازده تبدیل توان، η، در کلاس B، اعوجاج تقاطعی آنرا اغماض کرده خروجی سینوسی را با دامنه نوک $\hat{V}_o$ درنظرمی‌گیریم. توان بار متوسط خواهد بود:

$$P_L = \frac{1}{2} \times \frac{\hat{V}_o^2}{R_L} \qquad (۹-۱۲)$$

جریان کشیده شده از هر منبع تغذیه، از موجهای نیم‌سینوسی با دامنه نوک $(\hat{V}_o/R_L)$ بوجود می‌آید. بنابراین جریان متوسط کشیده شده از هریک از دو منبع تغذیه برابر با $(\hat{V}_o/\pi R_L)$ خواهد بود. این امر موجب می‌شود که متوسط توان کشیده شده از هریک از دو منبع یکسان باشد.

$$P_{S+} = P_{S-} = \frac{1}{\pi} \frac{\hat{V}_o}{R_L} V_{CC} \qquad (۹-۱۳)$$

و منبع توان کل عبارت است از:

$$P_S = \frac{2}{\pi} \times \frac{\hat{V}_o}{R_L} V_{CC}$$

بنابراین بازده بصورت زیر بدست می‌آید:

$$\eta = \frac{\pi}{4} \times \frac{\hat{V}_o}{V_{CC}} \qquad (۹-۱۵)$$

نتیجه می‌شود که بازده ماکزیمم وقتی بدست می‌آید که $\hat{V}_o$ ماکزیمم باشد. این ماکزیمم محدود می‌شود به اشباع Q_N و Q_P به $V_{CC} - V_{CE\,\text{اشباع}} \cong V_{CC}$ در این مقدار از ولتاژ خروجی نوک، بازده تبدیل توان برابر است با

$$\eta_{\text{ماکزیمم}} = \frac{\pi}{4} = ۷۸/۵\ \% \qquad (۹-۱۶)$$

این مقدار بسیار بزرگتر از مقدار بدست آمده در کلاس A (۲۵%) است. سرانجام، دقت می‌کنیم که ماکزیمم توان متوسط قابل حصول از طبقه خروجی کلاس B با جایگزینی $\hat{V}_o = V_{CC}$ در معادله (۹-۱۲) بدست می‌آید.

$$P_{L\,\text{ماکزیمم}} = \frac{1}{2} \times \frac{V_{CC}^2}{R_L} \qquad (۹-۱۷)$$

اتلاف توان

بر خلاف طبقه کلاس A، که در شرایط سکون $(v_O = 0)$ توان ماکزیمم را تلف می‌کند، اتلاف توان سکون در کلاس B صفر است. وقتی سیگنال ورودی اعمال شود، متوسط توان تلف شده در طبقه کلاس B بصورت زیر می‌باشد:

$$P_D = P_S - P_L \qquad (۹-۱۸)$$

از جایگزینی P_S از معادله (۹-۱۴) و به جای P_L از معادله (۹-۱۲) نتیجه می‌شود:

$$P_D = \frac{2}{\pi} \times \frac{\hat{V}_o}{R_L} V_{CC} - \frac{1}{2} \frac{\hat{V}_o^2}{R_L} \qquad (۹-۱۹)$$

از تقارن درمی‌یابیم که نیمی از P_D در Q_N و نیمی دیگر در Q_P تلف شده است. بنابراین Q_N و Q_P بایستی قادر به تلف $\frac{1}{2} P_D$ وات باشند.

چون P_D به $\hat{V}_o$ وابسته است، باید بدترین حالت اتلاف توان، یعنی $P_{D\,\text{ماکزیمم}}$ را بیابیم. مشتق‌گیری از معادله (۹-۱۹) نسبت به $\hat{V}_o$ و برابر صفر قراردادن مشتق آن، مقدار $\hat{V}_o$ را بدست می‌دهد که در نتیجه ماکزیمم توان متوسط تلف شده بصورت زیر بدست می‌آید:

$$\hat{V}_o \big|_{P_{D\,\text{ماکزیمم}}} = \frac{2}{\pi} V_{CC} \qquad (۹-۲۰)$$

از جایگزینی این مقدار در معادله (۹-۱۹) بدست می‌آید:

$$P_{D\,\text{ماکزیمم}} = \frac{2 V_{CC}^2}{\pi^2 R_L} \qquad (۹-۲۱)$$

به این ترتیب

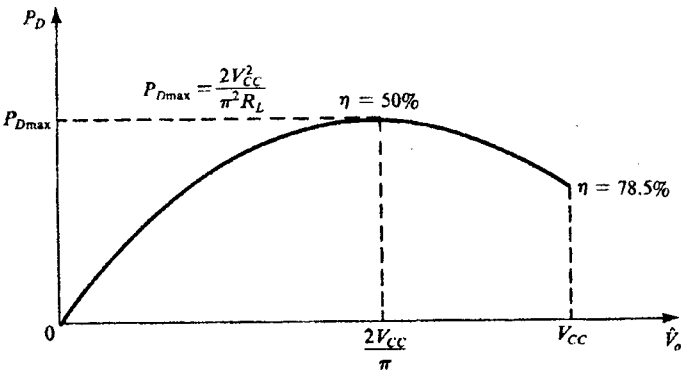
$$P_{DN\,\text{ماکزیمم}} = P_{DP\,\text{ماکزیمم}} = \frac{V_{CC}^2}{\pi^2 R_L} \qquad (۹-۲۲)$$

در نقطه ماکزیمم اتلاف توان می‌توان بازده را با قراردادن $\hat{V}_o$ از معادله (۹-۲۰) در معادله (۹-۱۵) بدست آورد؛ به این ترتیب $\eta = ۵۰\%$.

شکل (۹-۸) ترسیمی از P_D (معادله (۹-۱۹)) در مقابل ولتاژ خروجی نوک $\hat{V}_o$ نشان می‌دهد. چنین منحنی‌هایی معمولاً در **برگه‌های اطلاعات**[1] آی سی های تقویت توان ارائه می‌شود. (البته معمولاً P_D نسبت به P_T به جای $\hat{V}_o$ رسم می‌شود)

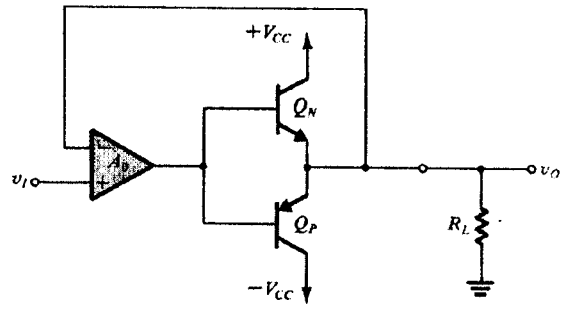
$$P_L = \frac{1}{2} \times \frac{\hat{V}_o^2}{R_L}$$

نکته قابل توجه از شکل (۹-۸) آن است که:
افزایش $\hat{V}_o$ بیش از $2V_{CC}/\pi$ توان تلف شده در طبقه کلاس B را به هنگام افزایش بار توان، کاهش می‌دهد. بهای آن، اعوجاج غیرخطی به دلیل نزدیک‌شدن به ناحیه اشباع کار Q_N و Q_P است. اشباع ترانزیستور نوکهای موج سینوسی خروجی را تخت می‌کند. متأسفانه، این نوع اعوجاج را به کمک فیدبک منفی نمی‌توان کاهش داد. (بخش ۲-۸ را ملاحظه کنید). در نتیجه درکاربردهایی که به THD پایین نیاز است، از اشباع ترانزیستور باید جلوگیری شود.



شکل ۸-۹. اتلاف توان طبقه خروجی کلاس B نسبت به دامنه سینوسی خروجی

1– data sheet



شکل ۹-۹. مدار کلاس B با اتصال یک op−amp در حلقهٔ فیدبک منفی برای کاهش اعوجاج تقاطعی

مثال ۱-۹

مطلوبست طراحی یک طبقه خروجی کلاس B تا متوسط توان تحویل شده به بار ۸ Ω برابر با ۲۰ W باشد. منبع تغذیه به گونه‌ای انتخاب می‌شود که V_{CC} حدود ۵ V ازولتاژ نوک خروجی بزرگتر باشد. این امر از اشباع ترانزیستور و اعوجاج غیرخطی مربوط به آن جلوگیری می‌کند و امکان اضافه‌کردن مدار محافظ از اتصال کوتاه را میسر می‌سازد. (مدار محافظ در بخش ۷-۹ بحث خواهد شد). منبع ولتاژ موردنیاز، جریان نوک کشیده شده از هر منبع تغذیه، توان کل منبع تغذیه و بازده تبدیل توان را بدست آورید. همچنین ماکزیمم اتلاف توان هر ترانزیستور را در حالت کار سالم بدست آورید.

حل:

چون

$$P_L=\frac{۱}{۲}\times\frac{\hat{V}_o^{۲}}{R_L}$$

بنابراین

$$V_o=\sqrt{۲P_LR_L}$$

$$=\sqrt{۲\times۲۰\times۸}=۱۷/۹\ \text{V}$$

در آنصورت درنظر می‌گیریم $V_{CC}=۲۳\text{V}$

جریان نوک کشیده شده از هر منبع برابر است با:

$$\hat{I}_o=\frac{\hat{V}_o}{R_L}=\frac{۱۷/۹}{۸}=۲/۲۴\ \text{A}$$

متوسط توان کشیده شده از هر منبع برابر است با:

$$P_{S+}=P_{S-}=\frac{۱}{\pi}\times۲/۲۴\times۲۳=۱۶/۴\ \text{W}$$

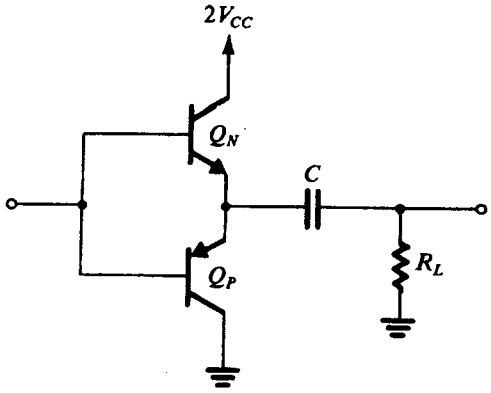
در یک منبع تغذیه با توان ۳۲/۸ W، بازده تبدیل توان مساوی است با

$$\eta=\frac{P_L}{P_S}=\frac{۲۰}{۳۲/۸}\times۱۰۰=۶۱\%$$

ماکزیمم توان تلف‌شده در هر ترانزیستور از معادله (۲۲-۹) بدست می‌آید؛ بنابراین

$$P_{DN_{\text{ماکزیمم}}}=P_{DP_{\text{ماکزیمم}}}=\frac{V_{CC}^{۲}}{\pi^{۲}R_L}$$

$$=\frac{(۲۳)^{۲}}{\pi^{۲}\times۸}=۶/۷\ \text{W}$$



شکل ۱۰-۹. طبقه خروجی کلاس B در حالت کار با یک منبع تغذیه

کاهش اعوجاج تقاطعی

اعوجاج تقاطعی در طبقه خروجی کلاس B را می‌توان مطابق شکل (۹-۹) با استفاده از یک op−amp و فیدبک منفی کامل، کاهش داد. باند مرده ۰/۷ V ± به $\pm\frac{۰/۷\text{V}}{A_o}$ ولت کاهش می‌یابد که A_o بهره dc ی op−amp است. با این وجود محدودیت سرعت واکنش op−amp موجب روشن و خاموش شدن متناوب ترانزیستورهای خروجی به طرزی چشمگیر بویژه در فرکانسهای بالا می‌گردد. روش عملی‌تر کاهش و تقریباً حذف اعوجاج تقاطعی که در طبقه کلاس AB دیده می‌شود، در بخش بعد بررسی خواهد شد.

کار با یک منبع تغذیه

طبقه کلاس B بنابر شکل (۱۰-۹) می‌تواند با یک منبع تغذیه کارکند در صورتی که بار دارای تزویج (انتقال) خازنی باشد. توجه داشته باشید، برای آنکه فرمولهای بدست آمده در بالا مستقیماً قابل استفاده باشد، منبع تغذیه ۲ V_{CC} قرارداد شده است.

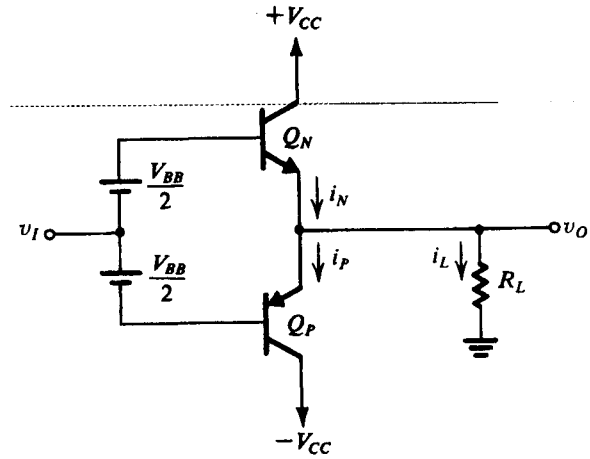
تمرین

۹-۵ در طبقه خروجی کلاس B شکل (۵-۹) فرض کنید $V_{CC}=۶\text{V}$ و $R_L=۴\Omega$ باشد. چنانچه خروجی ولتاژی سینوسی با دامنه ۴/۵V نوک باشد، مطلوبست (الف) توان خروجی؛ (ب) متوسط توان کشیده شده از هر منبع؛ (پ) بازده توان بدست آمده از این ولتاژ خروجی؛ (ت) جریانهای نوک تأمین شده بوسیله v_I، با فرض آنکه $\beta_N=\beta_P=۵۰$ باشد؛ (ث) ماکزیمم توانی که هر ترانزیستور باید قادر به مصرف آن باشد بی‌آنکه معیوب گردد.

جواب. (الف) ۲/۵۳W، (ب) ۲/۱۵ W؛ (پ) ۵۹%، (ت) ۲۲/۱ mA؛ (ث) ۰/۹۱ W. ❑

۹-۴ طبقه خروجی کلاس AB

اعوجاج تقاطعی را با تغذیه ترانزیستورهای خروجی مکمل بوسیله یک جریان کوچک غیرصفر، می‌توان حذف نمود. نتیجه مطابق شکل



شکل ۱۱-۹. طبقه خروجی کلاس AB ، ولتاژ بایاس V_{BB} بین بیس‌های Q_N ، Q_P اعمال شده منجر به جریان بایاس I_Q در معادله (۲۳-۹) می‌شود. بنابراین برای v_I کوچک هر دو ترانزیستور هدایت کرده و اعوجاج تقاطعی تقریباً بطور کلی حذف می‌شود.

(۱۱-۹) یک طبقه خروجی کلاس AB می‌باشد. ولتاژ تغذیه V_{BB} بین بیس‌های Q_N و Q_P اعمال می‌شود. در $v_I = 0$ ، $v_O = 0$ می‌شود و ولتاژ $V_{BB}/2$ در دو سر پیوند بیس - امیتر هریک از دو ترانزیستور Q_N و Q_P بدست می‌آید. با فرض تطبیق هر دو قطعه،

$$i_N = i_P = I_Q = I_S\, e^{V_{BB}/2V_T} \qquad (۹-۲۳)$$

مقدار V_{BB} طوری انتخاب می‌شود که جریان سکون I_Q بدست آید.

نحوه کار مدار

وقتی v_I به اندازه معینی مثبت می‌شود، ولتاژ بیس Q_N به همان اندازه افزایش می‌یابد و خروجی تقریباً به همان اندازه مثبت می‌گردد.

$$v_O = v_I + \frac{V_{BB}}{2} - v_{BEN} \qquad (۹-۲۴)$$

ولتاژ مثبت v_O جریان i_L را سبب می‌شود که از R_L عبور می‌کند و بنابراین i_N باید افزایش یابد، یعنی:

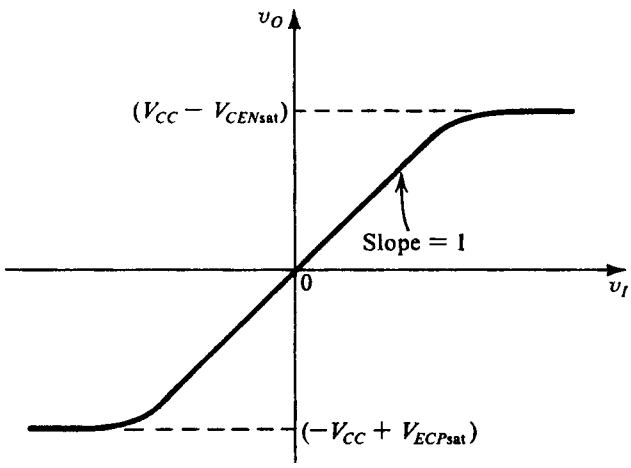
$$i_N = i_P + i_L \qquad (۹-۲۵)$$

افزایش i_N با افزایش متناظر v_{BEN} (بالاتر از مقدار سکون $\frac{V_{BB}}{2}$) همراه است. البته، چون ولتاژ بین دو بیس در V_{BB} ثابت می‌ماند، افزایش در v_{BEN} کاهشی معادل در v_{EBP} و بنابراین در i_P بوجود می‌آورد. رابطه بین i_N و i_P را بصورت زیر می‌توان بدست آورد.

$$v_{BEN} + v_{EBP} = V_{BB}$$

$$V_T \ln\left(\frac{i_N}{I_S}\right) + V_T \ln\left(\frac{i_P}{I_S}\right) = 2\, V_T \ln\left(\frac{I_Q}{I_S}\right)$$

$$i_N i_P = I_Q^2 \qquad (۹-۲۶)$$



شکل ۱۲-۹. مشخصه انتقالی طبقه کلاس AB شکل ۱۱-۹

بنابراین با افزایش i_N ، i_P با همان نسبت کاهش می‌یابد طوری که حاصلضرب آنها ثابت می‌ماند. معادله‌های (۲۵-۹) و (۲۶-۹) را می‌توان ترکیب کرد تا با حل معادله درجه دوم زیر i_N را برای مقدار معین i_L بدست آورد.

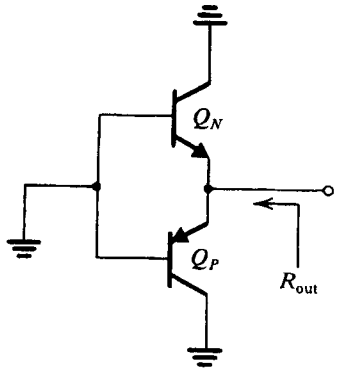
$$i_N^2 + i_L\, i_N - I_Q^2 = 0 \qquad (۹-۲۷)$$

از مباحث بالا متوجه می‌شویم که برای ولتاژهای خروجی مثبت، جریان بار توسط Q_P تأمین می‌شود که بصورت امیتر پیرو خروجی عمل می‌کند. در همین حال، Q_P جریانی را هدایت می‌کند که با افزایش v_O ، کاهش می‌یابد؛ برای v_O بزرگ به کلی از جریان Q_P می‌توان چشم پوشید.

برای ولتاژهای ورودی منفی، وضعیت عکس روی می‌دهد. جریان بار توسط Q_N تأمین می‌شود که بصورت امیتر پیرو خروجی عمل می‌کند. در همین حال، Q_N جریانی را هدایت می‌کند که با منفی‌تر شدن v_I کوچکتر می‌شود. معادله (۲۶-۹) که i_N و i_P را به هم ربط می‌دهد، به ازای ورودیهای منفی نیز صادق است.

نتیجه می‌گیریم که طبقه کلاس AB خیلی شبیه به کلاس B کار می‌کند اما با یک تفاوت: به ازای v_I کوچک هر دو ترانزیستور هدایت می‌کنند، و با افزایش یا کاهش v_I، یکی از ترانزیستورها کار می‌کند. چون انتقال هدایت از یکی به دیگری بسیار آهسته صورت می‌گیرد، اعوجاج تقاطعی تقریباً به طور کامل حذف می‌شود. شکل (۱۲-۹) مشخصه انتقال طبقه کلاس AB را نشان می‌دهد.

رابطه‌های توان در طبقه کلاس AB تقریباً با رابطه کلاس B که در بخش قبل بدست آمد، یکسان است. تنها تفاوت در این است که در شرایط سکون مدار طبقه کلاس AB ، در هر ترانزیستور توان $V_{CC}I_Q$ تلف می‌شود. چون معمولاً I_Q بسیار کوچکتر از جریان نوک بار است، اتلاف توان سکون معمولاً کوچک است. با این وجود، آنرا به سادگی می‌توان محاسبه کرد. بویژه، به سادگی می‌توان اتلاف توان سکون هر ترانزیستور را به ماکزیمم اتلاف توان هنگام اعمال سیگنال افزود تا اتلاف توان کل قابل تحمل ترانزیستور بدست آید.



شکل ۱۳-۹. تعیین مقاومت خروجی سیگنال کوچک مدار کلاس AB شکل ۱۱-۹

مقاومت خروجی

اگر فرض کنیم منبع تأمین v_I ایده‌آل باشد. در آنصورت مقاومت خروجی طبقه کلاس AB را از مدار شکل (۱۳-۹) بصورت زیر می‌توان بدست آورد.

$$R_{out} = r_{eN} // r_{eP} \qquad (۹-۲۸)$$

که در آن، r_{eN} و r_{eP} به ترتیب مقاومتهای امیتر سیگنال کوچک Q_N و Q_P هستند. در یک ولتاژ ورودی معین، جریانهای i_N و i_P را می‌توان بدست آورد و r_{eN} و r_{eP} بصورت زیر تعیین می‌شود:

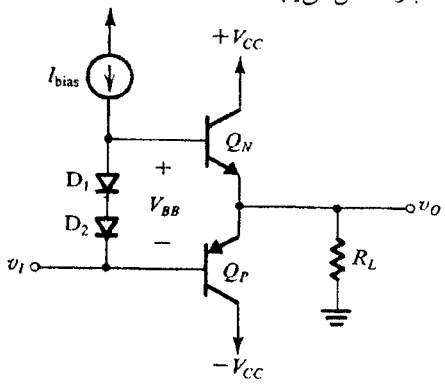
$$r_{eN} = \frac{V_T}{i_N} \qquad (۹-۲۹)$$

$$r_{eP} = \frac{V_T}{i_P} \qquad (۹-۳۰)$$

بنابراین

$$R_{out} = \frac{V_T}{i_N} // \frac{V_T}{i_P} = \frac{V_T}{i_P + i_N}$$

چون با افزایش i_N، i_P کاهش می‌یابد و برعکس، مقاومت خروجی حول ناحیه $v_I = 0$ تقریباً ثابت می‌ماند. این امر، دلیلی بر نبودن اعوجاج تقاطعی است. در جریانهای بار بزرگتر i_N یا i_P قابل ملاحظه خواهند بود و R_{out} با افزایش جریان بار کاهش می‌یابد.



شکل ۱۴-۹. طبقه خروجی کلاس AB با استفاده از دیودها برای بایاس‌کردن. اگر ناحیه پیوند قطعات خروجی، Q_N و Q_P، n برابر قطعات بایاس D_1 و D_2 باشد جریان سکون بایاس $I_Q = nI$ در قطعات خروجی جاری می‌شود.

تمرین

۹-۶ یک مدار کلاس AB را با V_{CC}=۱۵V , I_Q=۲mA، و R_L=۱۰۰Ω درنظر بگیرید. V_{BB} را تعیین کنید.

جدولی بسازید که i_L، i_N، i_P، v_{BEN}، v_{EBP}، v_I، v_O/v_I، R_{out}، v_o/v_i را بر حسب v_O و به ازای ولتاژهای خروجی ۰، ۰/۱، ۰/۲، ۰/۵، ۱، ۵، ۱۰، ۱/۰-، ۰/۲-، ۰/۵-، ۱-، ۵- و ۱۰- ولت، بدست دهد. توجه کنید که v_O/v_I بهره ولتاژ سیگنال بزرگ است و v_o/v_i بهره افزایشی بدست آمده بصورت $R_L/(R_L+R_{out})$ است. بهرهٔ افزایشی معادل شیب منحنی انتقالی است. فرض کنید Q_N و Q_P در تطابق بوده و $I_S = 10^{-13}$ A باشد.

جواب. V_{BB} = ۱/۱۸۶ V ❑

v_O(V)	i_L(mA)	i_N(mA)	i_P(mA)	v_{BEN}(V)	v_{EBP}(V)	v_I(V)	v_O/v_I	R_{out}(Ω)	v_o/v_i
+۱۰/۰	۱۰۰	۱۰۰/۰۴	۰/۰۴	۰/۶۹۱	۰/۴۹۵	۱۰/۱	۰/۹۹	۰/۲۵	۱/۰۰
+۵/۰	۵۰	۵۰/۰۸	۰/۰۸	۰/۶۷۳	۰/۵۱۳	۵/۰۸	۰/۹۸	۰/۵۰	۱/۰۰
+۱/۰	۱۰	۱۰/۳۹	۰/۳۹	۰/۶۳۴	۰/۵۵۲	۱/۰۴۱	۰/۹۶	۲/۳۲	۰/۹۸
+۰/۵	۵	۵/۷۰	۰/۷۰	۰/۶۱۹	۰/۵۶۷	۰/۵۲۶	۰/۹۵	۴/۰۳	۰/۹۶
+۰/۲	۲	۳/۲۴	۱/۲۴	۰/۶۰۵	۰/۵۸۱	۰/۲۱۲	۰/۹۴	۵/۵۸	۰/۹۵
+۰/۱	۱	۲/۵۶	۱/۵۶	۰/۵۹۹	۰/۵۸۷	۰/۱۰۶	۰/۹۴	۶/۰۷	۰/۹۴
۰	۰	۲	۲	۰/۵۹۳	۰/۵۹۳	۰	-	۶/۲۵	۰/۹۴
-۰/۱	-۱	۱/۵۶	۲/۵۶	۰/۵۸۷	۰/۵۹۹	-۰/۱۰۶	۰/۹۴	۶/۰۷	۰/۹۴
-۰/۲	-۲	۱/۲۴	۳/۲۴	۰/۵۸۱	۰/۶۰۵	-۰/۲۱۲	۰/۹۴	۵/۵۸	۰/۹۵
-۰/۵	-۵	۰/۷۰	۵/۷۰	۰/۵۶۷	۰/۶۱۹	-۰/۵۲۶	۰/۹۵	۴/۰۳	۰/۹۶
-۱/۰	-۱۰	۰/۳۹	۱۰/۳۹	۰/۵۵۲	۰/۶۳۴	-۱/۰۴۱	۰/۹۶	۲/۳۲	۰/۹۸
-۵/۰	-۵۰	۰/۰۸	۵۰/۰۸	۰/۵۱۳	۰/۶۷۳	-۵/۰۸	۰/۹۸	۰/۵۰	۱/۰۰
-۱۰/۰	-۱۰۰	۰/۰۴	۱۰۰/۰۴	۰/۴۹۵	۰/۶۹۱	-۱۰/۱	۰/۹۹	۰/۲۵	۱/۰۰

۹-۵ تغذیه مدار کلاس AB

در این بخش دو روش برای بدست آوردن ولتاژ V_{BB} موردنیاز تغذیه طبقه کلاس AB بررسی می‌کنیم.

تغذیه با استفاده از دیود

شکل (۱۴-۹) مدار کلاس AB را نشان می‌دهد که در آن ولتاژ V_{BB} با عبور جریان ثابت $I_{\text{تغذیه}}$ از زوج دیود (یا ترانزیستورهای اتصال دیودی) D_1 و D_2 بدست می‌آید. در مدارهایی که توان زیاد تأمین می‌کنند، ترانزیستورهای خروجی از نظر ابعاد بزرگ هستند. اما لازم نیست دیودهای تغذیه‌کننده بزرگ باشد و بنابراین جریان سکون I_Q که در Q_N و Q_P بوجود آمده، برابر با $I_Q = nI_{\text{تغذیه}}$ خواهد بود. که n نسبت سطح پیوند امیتر ترانزیستورهای خروجی به سطح مقطع پیوند دیودهای تغذیه‌کننده است. به بیان دیگر، جریان اشباع I_S ترانزیستورهای خروجی، n برابر جریان اشباع دیودهای تغذیه‌کننده است.

وقتی طبقه خروجی شکل (۱۴-۹) به بار جریان می‌دهد، جریان بیس Q_N از I_Q/β_N (که معمولاً کوچک است)، تقریباً به i_L/β_N افزایش می‌یابد. راه‌اندازی جریان بیس باید بوسیله منبع جریان $I_{\text{تغذیه}}$ باشد. این موجب می‌شود که $I_{\text{تغذیه}}$ باید بزرگتر از ماکزیمم مقدار پیش‌بینی شده بیس Q_N

باشد. این امر برای مقدار تغذیه I حد پائینی بوجود می‌آورد. اکنون، چون $I_Q = nI_{\text{تغذیه}}$ و چون I_Q معمولاً بسیار کوچکتر از جریان بار نوک (کمتر از ۱۰٪) است، ملاحظه می‌کنیم که n را نمی‌توان بزرگ انتخاب کرد. به بیان دیگر، نمی‌توان دیودها را خیلی کوچکتر از قطعات خروجی ساخت، و این، ایراد طرح تغذیه دیودی است.

از بحث بالا درمی‌یابیم که وقتی طبقه خروجی به بار جریان می‌دهد، جریانهایی که از دیودهای تغذیه می‌گذرند، کاهش می‌یابد بنابراین ولتاژ تغذیه V_{BB} نیز کاهش می‌یابد و تحلیل بخش قبل باید بادرنظرگرفتن این اثر اصلاح شود.

روش تغذیه دیودی یک مزیت بزرگ دارد: در این روش پایداری حرارتی جریان سکون تأمین می‌گردد. برای درک این نکته به یاد بیاورید که طبقه کلاس AB توان را تحت شرایط سکون تلف می‌کند. اتلاف توان دمای داخلی ترانزیستورها را بالا می‌برد. از فصل ۴ بیاد داریم که افزایش دمای ترانزیستور موجب کاهش در V_{BE} آن (حدود -2mv/°C) می‌شود اگر جریان کلکتور ثابت بماند. و نیز در صورتی که V_{BE} ثابت باشد و دما افزایش یابد، جریان کلکتور افزایش پیدا می‌کند. افزایش در جریان کلکتور اتلاف توان را بیشتر می‌کند که این بنوبه خود جریان کلکتور را افزایش می‌دهد. بنابراین یک فیدبک مثبت بوجود می‌آید که پدیده‌ای موسوم به **«لجام‌گسیختگی حرارتی»** بوجود می‌آید، در صورتی که به آن توجه نشود، این امر به خراب‌شدن سریع ترانزیستورها منجر می‌شود. تغذیه دیود می‌تواند بگونه‌ای انجام شود که تأثیر جبران‌کننده داشته باشد و ترانزیستورهای خروجی را در برابر لجام‌گسیختگی حرارتی محافظت کند بویژه، اگر دیودها در مجاورت حرارتی ترانزیستورهای خروجی باشند، دمایشان به همان اندازه Q_N و Q_P افزایش خواهد داشت. بنابراین V_{BB} با همان آهنگ $V_{BEN} + V_{EBP}$ کاهش خواهد داشت با این نتیجه که I_Q ثابت باقی می‌ماند، مجاورت حرارتی به سهولت در ساخت IC عملی است. در مدارهای گسترده با قراردادن دیودها در محفظه فلزی Q_N یا Q_P این کار عملی می‌شود.

مثال ۲-۹

یک طبقه خروجی کلاس AB درنظر بگیرید طوری که $V_{CC}=15\text{ V}$، $R_L = 100\,\Omega$، و خروجی سینوسی و با دامنه ماکزیمم آن ۱۰ V باشد. فرض کنید Q_N و Q_P با $I_S = 10^{-13}\text{ A}$ تطبیق یافته‌اند و $\beta = 50$ است. فرض کنید که دیودهای تغذیه‌کننده دارای یک سوم مساحت پیوند قطعات خروجی باشند، مقدار $I_{\text{تغذیه}}$ را بیابید طوری که همواره ۱mA از دیودها جریان بگذرد. جریان ساکن و اتلاف توان ساکن در ترانزیستورهای خروجی را تعیین کنید (مثلاً در $v_O = 0$). همچنین V_{BB} را برای -10V، $+10\text{V}$، $v_O = 0$ بدست آورید.

حل:

ماکزیمم جریانی که از Q_N می‌گذرد تقریباً برابر است با:

$$i_{L_{\text{ماکزیمم}}} = \frac{10\text{V}}{0.1\text{ k}\Omega} = 100\text{mA}$$

بنابراین ماکزیمم جریان بیس در Q_N تقریباً ۲ mA می‌باشد. برای آنکه جریان عبوری از دیود همراه ۱ mA باشد، $I_{\text{تغذیه}} = 3\text{ mA}$ را انتخاب می‌کنیم. سه برابربودن سطح مقطع سبب می‌شود جریان سکون در Q_N و Q_P برابر ۹ mA شود. اتلاف توان سکون عبارت است از:

$$P_{DQ} = 2\times15\times9 = 270\text{ mW}$$

به ازای $v_O = 0$، جریان بیس Q_N برابر است با $\frac{9}{51} \cong 0.18\text{ mA}$، و جریان $3 - 0.18 = 2.82\text{ mA}$ برای عبور از دیودها باقی می‌ماند. چون دیودها دارای $I_S = \frac{1}{3}\times10^{-13}\text{ A}$ هستند، ولتاژ V_{BB} می‌شود:

$$V_{BB} = 2V_T \ln\frac{2.82\text{mA}}{I_S} = 1.26\text{ V}$$

به ازای $v_O = +10\text{ V}$، جریان دیودها به ۱ mA کاهش می‌یابد. در نتیجه $V_{BB} \approx 1.21\text{ V}$ می‌شود. در حد دیگر به ازای $v_O = -10\text{ V}$ Q_N جریان بسیار کوچکی هدایت خواهد کرد. بنابراین جریان بیس آن کوچک و غیرقابل ملاحظه بوده و تمام بایاس I (۳ mA) آن از دیودها جریان می‌یابد، در نتیجه $V_{BB} \cong 1.26\text{ V}$ خواهد بود.

تمرینها

۹-۷ در مدار مثال ۲-۹، i_N و i_P را برای $v_o = +10\text{V}$ و $v_O = -10\text{V}$ بیابید.

جواب. ۱۰۰/۱ mA، ۰/۱ mA؛ ۰/۸ mA، ۱۰۰/۸ mA

۹-۸ چنانچه جریان کلکتور ترانزیستور ثابت بماند، v_{BE} آن ۲ mV به ازای هر درجه سانتی‌گراد افزایش دما، کاهش می‌یابد. برای ترانزیستور که در $I_C=10\text{mA}$ کار می‌کند، تغییر جریان کلکتور ناشی از ۵ درجه افزایش دما را بیابید.

جواب. ۴ mA ❑

تغذیه با استفاده از ضرب‌کننده V_{BE}

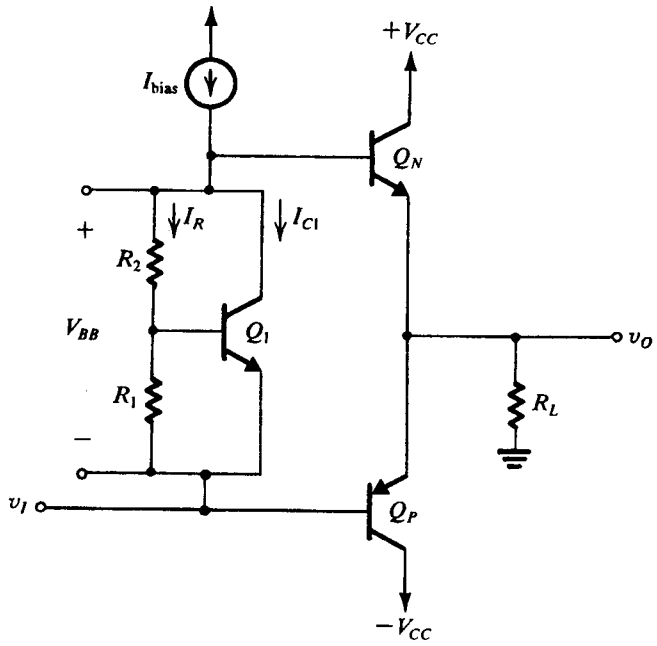
روش دیگر تغذیه که برای طراح در طراحی مدارهای مجتمع و گسترده انعطاف‌پذیری بیشتری دارد در شکل (۹-۱۵) نشان داده شده است، مدار تغذیه شامل ترانزیستور Q_1 است که دارای مقاومت R_1 بین بیس و امیتر و مقاومت فیدبک R_2 بین کلکتور و بیس آن متصل می‌باشد. شبکه دو پایانه بدست آمده با منبع $I_{\text{تغذیه}}$ منبع جریان ثابت تغذیه می‌شود. چنانچه از جریان بیس Q_1 صرفنظر کنیم، در آنصورت R_1 و R_2 همان جریان I_R را خواهند داشت که از رابطه زیر بدست می‌آید:

$$I_R = \frac{V_{BE1}}{R_1} \qquad (9\text{-}32)$$

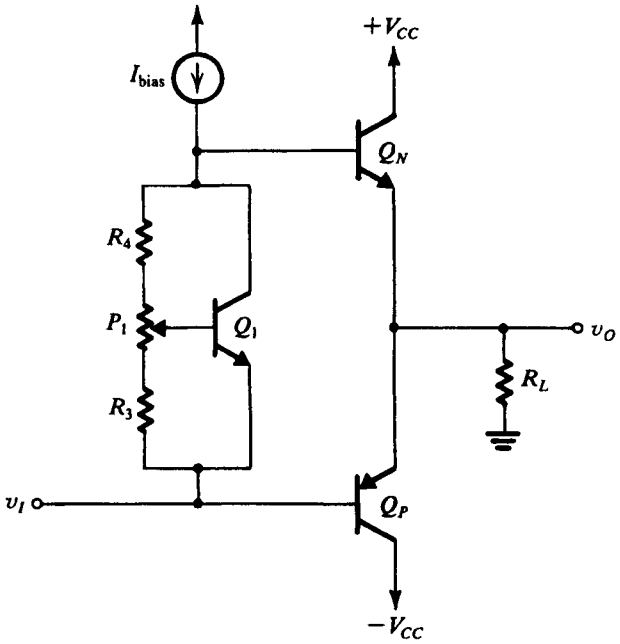
و ولتاژ V_{BB} در دو سر شبکه تغذیه خواهد شد:

$$V_{BB} = I_R(R_1 + R_2)$$

$$= V_{BE1}\left(1 + \frac{R_2}{R_1}\right) \qquad (9\text{-}33)$$



شکل ۱۵-۹. طبقه خروجی کلاس AB با استفاده از ضرب‌کننده V_{BE} برای بایاس‌کردن



شکل ۱۶-۹. طبقه خروجی کلاس AB مدار گسسته با یک پتانسیومتر در ضرب‌کنندهٔ V_{BE}. پتانسیومتر طوری تنظیم می‌شود که مقدار لازم جریان سکون در Q_N و Q_P فراهم شود.

بنابراین مدار به راحتی V_{BE1} را در عامل $(1 + \frac{R_2}{R_1})$ ضرب می‌کند و «ضرب‌کننده V_{BE}» نامیده می‌شود. عامل ضرب مسلماً در اختیار طراح است و برای بدست آوردن مقدار V_{BB} موردنیاز جریان سکون I_Q دلخواه می‌توان از آن استفاده کرد. در طراحی IC، کنترل دقیق نسبت دو مقاومت آسان است. در طراحی مدارهای گسترده از یک پتانسیومتر مانند شکل (۹-۱۶) استفاده می‌شود و با دست در وضعیتی تنظیم می‌شود که مقدار دلخواه I_Q بدست آید.

مقدار V_{BE1} در معادله (۹-۳۳) به وسیله جزئی از تغذیه I بدست می‌آید که در کلکتور Q_1 جاری می‌شود؛ یعنی:

$$I_{C1} = I_{\text{تغذیه}} - I_R \qquad (۹-۳۴)$$

$$V_{BE1} = V_T \ln\left(\frac{I_{C1}}{I_{S2}}\right) \qquad (۹-۳۵)$$

که از جریان بیس Q_N چشم‌پوشی کرده‌ایم چون معمولاً کوچک است، هم در شرایط سکون و هم وقتی ولتاژ خروجی نوسان منفی دارد، به این ترتیب، به ازای v_O مثبت، بویژه در نزدیکی مقدار نوک آن، جریان بیس Q_N زیاد می‌شود و جریان موجود برای ضرب‌کننده V_{BE} را کاهش می‌دهد. با این وجود، چون تغییرات بزرگ I_{C1} متناسب با تغییرات کوچک در V_{BE1} است، کاهش در جریان بیشتر بوسیله Q_1 جذب می‌شود. در نتیجه I_R، و بنابراین V_{BB} تقریباً ثابت می‌ماند.

تمرین

۹-۹ یک ضرب‌کننده V_{BE} با $R_1 = R_2 = 1/2\ \text{k}\Omega$ درنظر بگیرید. از ترانزیستوری استفاده کنید که دارای $V_{BE} = 0/6\ \text{V}$ در $I_C = 1\ \text{mA}$، و β خیلی زیاد باشد. (الف) مقدار جریان I را بیابید که بایستی به ضرب‌کننده داده شود تا ولتاژ پایانه‌ای $1/2\ \text{V}$ بدست آید. (ب) مقدار I را چنان بیابید که تغییر به اندازهٔ ولتاژ پایانه‌ای (از مقدار $1/2\text{V}$) $+50\text{mV}$، $+100\text{mV}$، 200mV، -50mV، -100mV، -200mV بوجود آید.

جواب. (الف) $1/5\ \text{mA}$؛ (ب) $3/24\ \text{mA}$، $7/93\ \text{mA}$، $55/18\ \text{mA}$، $0/85\text{mA}$، $0/59\ \text{mA}$، $0/43\ \text{mA}$. ❑

مدار ضرب‌کننده V_{BE} مانند شبکه تغذیه دیودی می‌تواند پایداری گرمایی I_Q را تأمین کند. این امر بویژه وقتی درست است که $R_1 = R_2$ باشد و در صورتی که Q_1 در تماس گرمایی با ترانزیستورهای خروجی باشد.

مثال ۳-۹

می‌خواهیم بار دیگر طبقه خروجی مثال ۲-۹ را با استفاده از ضرب‌کننده V_{BE} برای تغذیه، طراحی کنیم. Q_1 را ترانزیستوری با ابعاد کوچک و با $I_S = 10^{-14}\ \text{A}$ درنظر بگیرید و برای جریان سکون $I_Q = 2\text{mA}$ طراحی کنید.

حل:

چون جریان نوک مثبت $100\ \text{mA}$ است، جریان بیس Q_N می‌تواند به اندازه $2\ \text{mA}$ باشد. در آنصورت I تغذیه را $3\ \text{mA}$ درنظر می‌گیریم، در

نتیجه ضرب‌کننده با مینیمم جریان ۱ mA بدست می‌آید.

در شرایط سکون ($v_O = ۰$ و $i_L = ۰$)، از جریان بیس Q_N چشم‌پوشی می‌شود و تمام تغذیه I از ضرب‌کننده جریان می‌یابد اکنون باید تصمیم بگیریم که چگونه این جریان (۳ mA) بین $I_{C۱}$ و I_R تقسیم شود. اگر I_R بزرگتر از ۱ mA باشد، ترانزیستور در نوک مثبت v_O قطع خواهد بود. بنابراین طوری انتخاب می‌کنیم که $I_R = ۰/۵$mA باشد و ۲/۵ mA برای $I_{C۱}$ بماند.

برای بدست آوردن ۲ mA جریان سکون، در ترانزیستورهای خروجی، V_{BB} باید باشد:

$$V_{BB} = ۲V_T \ln \frac{۲\times۱۰^{-۳}}{۱۰^{-۳}} = ۱/۱۹ \text{ V}$$

اکنون $R_۱ + R_۲$ را بصورت زیر بدست می‌آوریم:

$$R_۱ + R_۲ = \frac{V_{BB}}{I_R} = \frac{۱/۱۹}{۰/۵} = ۲/۳۸ \text{ k}\Omega$$

با ۲/۵ mA جریان کلکتور، $Q_۱$ دارد:

$$V_{BE۱} = V_T \ln \frac{۲/۵ \times ۱۰^{-۳}}{۱۰^{-۱۴}} = ۰/۶۶ \text{ V}$$

مقدار $R_۱$ را بصورت زیر می‌توان بدست آورد:

$$R_۱ = \frac{۰/۶۶}{۰/۵} = ۱/۳۲ \text{ k}\Omega$$

و $R_۲$ را بصورت

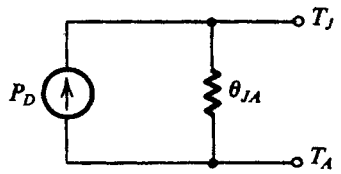
$$R_۲ = ۲/۳۸ - ۱/۳۲ = ۱/۰۶ \text{ k}\Omega$$

۹-۶ ترانزیستورهای توان BJT

ترانزیستورهایی که جریانهای چند آمپری هدایت می‌کنند و توانی حدود دهها وات تلف می‌کنند، از نظر ساختار فیزیکی، بسته‌بندی و مشخصه، با ترانزیستورهای سیگنال کوچک که در فصلهای قبل توضیح داده شد، متفاوت هستند. در این بخش چند خاصیت مهم ترانزیستور توان را بررسی می‌کنیم بویژه آن جنبه‌هایی را که به طراحی مدارهای بررسی شده در بخشهای گذشته مربوط می‌شود. البته، ترانزیستورهای توان کاربردهای دیگری نیز دارند، مانند کاربردشان به عنوان عناصر سوئیچینگ در وارونگرها و مدارات کنترل موتور. که چنین کاربردهایی در این کتاب بحث نمی‌شود.

دمای پیوند

در پیوند بیس - کلکتور ترانزیستورهای توان، توان زیادی تلف می‌شود. توان تلف‌شده به گرما تبدیل می‌شود که این گرما دمای پیوند را افزایش می‌دهد. البته، دمای پیوند، T_J، نباید از مقدار معینی، T_{Jmax}، افزونتر شود. چه در غیراینصورت ترانزیستور برای همیشه معیوب می‌شود. در ترانزیستورهای سیلیکونی T_{Jmax} در محدود ۱۵۰ تا ۲۰۰ درجه سانتی‌گراد است.



شکل ۱۷-۹. مدار معادل الکتریکی فرآیند هدایت گرمایی، $T_J - T_A = P_D\theta_{JA}$

مقاومت گرمایی

ابتدا حالتی را درنظر می‌گیریم که ترانزیستور در هوای آزاد، یعنی بدون هیچگونه خنک‌کننده‌ای کار کند، گرمای ایجادشده در پیوند ترانزیستور از پیوند به بدنه ترانزیستور و از بدنه به محیط اطراف منتقل می‌شود. در حالت پایدار، که ترانزیستور P_D وات تلف می‌کند، افزایش دمای پیوند نسبت به محیط اطراف را می‌توان بصورت زیر بیان کرد.

$$T_J - T_A = \theta_{JA}P_D \qquad (۹-۳۶)$$

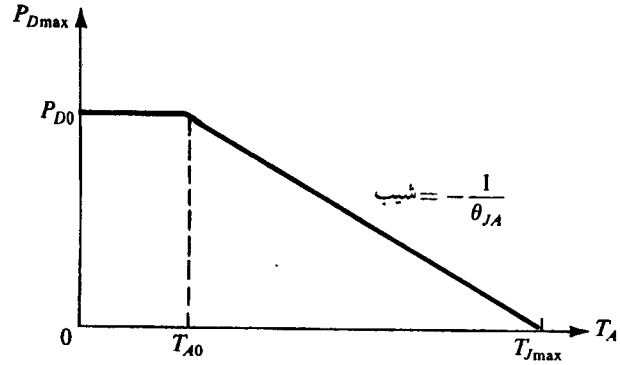
که در آن θ_{JA} **مقاومت حرارتی** میان پیوند و محیط است و واحد آن درجه سانتی‌گراد می‌باشد. توجه کنید که θ_{JA} افزایش دمای پیوند بیش از دمای محیط برای هر وات توان تلف شده می‌باشد، چون مایلیم اتلاف توان زیادی داشته باشیم بدون آنکه دمای پیوند از T_{Jmax} بیشتر شود، مطلوب آن است که در حد امکان مقاومت گرمایی θ_{JA} تا حد ممکن کوچک باشد. کار در هوای آزاد، θ_{JA} در وهله نخست به نوع بدنه ترانزیستور بستگی دارد. مقدار θ_{JA} معمولاً در برگه مشخصه ترانزیستور ارائه می‌شود.

معادله (۳۶-۹) که بیان‌کننده فرآیند هدایت گرمایی است، مشابه قانون اهم است که فرآیند هدایت الکتریکی را توضیح می‌دهد. در این قیاس، اتلاف توان متناسب با جریان، اختلاف دما متناسب با اختلاف ولتاژ، و مقاومت گرمایی متناسب با مقاومت الکتریکی است. بنابراین، فرآیند هدایت گرمایی را بوسیله مدار الکتریکی شکل (۱۷-۹) نشان می‌دهیم.

اتلاف توان بر حسب دما

سازنده ترانزیستور معمولاً ماکزیمم توان تلف شده، T_{Jmax}، را در دمای یک محیط خاص $T_{A۰}$ (معمولاً ۲۵ درجه سانتی‌گراد) تعیین می‌کنند. بعلاوه، نموداری نظیر آنچه در شکل (۱۸-۹) نشان داده شده نیز ارائه می‌گردد. نمودار به خوبی نشان می‌دهد که برای کار در دمای کمتر از $T_{A۰}$، قطعه می‌تواند اتلاف توان $P_{D۰}$ وات را بخوبی تحمل کند. اما اگر قرار باشد قطعه در دماهای بالاتر محیط کار کند، باید ماکزیمم اتلاف توان مجاز مطابق شکل (۱۸-۹) بصورت خط مستقیمی کاهش یابد. منحنی کاهش توان، نمایش ترمیمی معادله (۳۶-۹) است. بویژه توجه کنید که اگر دمای محیط $T_{A۰}$ باشد و اتلاف توان، ماکزیمم توان مجاز ($P_{D۰}$) باشد، در آنصورت دمای پیوند T_{Jmax} خواهد بود. از جایگزینی این کمیتها در معادله (۳۶-۹) بدست می‌آید:

$$\theta_{JA} = \frac{T_{Jmax} - T_{A۰}}{P_{D۰}} \qquad (۹-۳۷)$$



شکل ۱۸-۹. ماکزیمم مقدار مجاز اتلاف توان نسبت به حرارت محیط برای یک BJT[1] که در هوای آزاد کار می‌کند این منحنی را منحنی «کاهش توان» می‌نامند.

که عکس شیب خط مستقیم کاهش توان است. در دمای محیط T_A، بالاتر از T_{A0}، ماکزیمم اتلاف توان مجاز P_{Dmax} از معادله (۳۶-۹) با جایگزینی $T_J = T_{Jmax}$ بدست می‌آید. به این ترتیب

$$P_{Dmax} = \frac{T_{Jmax} - T_A}{\theta_{JA}} \qquad (۹-۳۸)$$

ملاحظه می‌کنید که با نزدیک شدن T_A به T_{Jmax}، اتلاف توان مجاز کاهش می‌یابد. شیب حرارتی کمتر، مقدار گرمایی را محدود می‌کند که می‌تواند از پیوند حذف شود.

مثال ۴-۹

در یک ترانزیستور که اتلاف توان ماکزیمم آن P_{D0} برابر ۲ وات و دمای محیط T_{A0} آن ۲۵ درجه سانتی‌گراد است، و ماکزیمم دمای پیوند T_{Jmax} برابر ۱۵۰ درجه سانتی‌گراد می‌باشد، موارد زیر را پیدا کنید.

(الف) مقاومت حرارتی θ_{JA}

(ب) ماکزیمم توانی را که در دمای محیط ۵۰ درجه سانتی‌گراد بدون معیوب‌شدن تلف می‌کند.

(پ) دمای پیوند را در صورتی که این قطعه در $T_A = ۲۵\,°C$ عمل کند و ۱ W تلف کند.

حل:

(الف) $$\theta_{JA} = \frac{T_{jmax} - T_{A0}}{P_{D0}} = \frac{۱۵۰ - ۲۵}{۲} = ۶۲/۵\ °C/W$$

(ب) $$P_{Dmax} = \frac{T_{Jmax} - T_A}{\theta_{JA}} = \frac{۱۵۰ - ۵۰}{۶۲/۵} = ۱/۶\ W$$

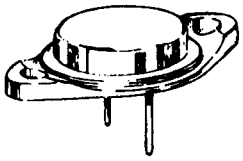
(پ) $$T_J = T_A + \theta_{JA}P_D = ۲۵ + ۶۲/۵ \times ۱ = ۸۷/۵\ °C$$

بدنه ترانزیستور و خنک‌کننده

مقاومت گرمایی بین پیوند و محیط θ_{JA}، را می‌توان بصورت زیر بیان کرد:

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \qquad (۹-۳۹)$$

که θ_{JC} مقاومت گرمایی بین پیوند و بدنه ترانزیستور و θ_{CA} مقاومت گرمایی بین بدنه و محیط است. در یک ترانزیستور معین θ_{JC} به وسیله طراحی و بسته‌بندی معین می‌شود. سازنده می‌تواند با قراردادن قطعه بر یک بدنه فلزی نسبتاً بزرگ و جای‌دادن کلکتور (که بیشتر حرارت در آن تلف می‌شود) در تماس مستقیم با بدنه، θ_{JC} را کاهش دهد. بیشتر ترانزیستورهای پرتوان به این صورت بسته‌بندی می‌شوند، شکل (۱۹-۹) نمای یک ترانزیستور قدرت را نشان می‌دهد.



شکل ۱۹-۹. یک بسته مشهور ترانزیستور قدرتی. بدنه فلزی با قطر حدود ۲/۲ cm، ابعاد خارجی صفحه اتصال به گرماگیر تقریباً ۴ cm. این صفحه دارای دو سوراخ برای پیچ‌کردن ترانزیستور به گرماگیر می‌باشد. کلکتور از نظر الکتریکی به بدنه متصل است.

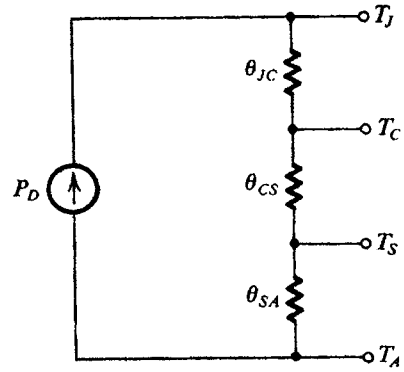
گرچه طراح مدار (هنگامی که یک ترانزیستور معین انتخاب می‌کند) هیچ کنترلی بر θ_{JC} ندارد اما می‌تواند θ_{CA} را به مقدار قابل ملاحظه‌ای از مقدار هوای آزاد (که توسط سازنده به مثابه بخشی از θ_{JA} مشخص می‌شود) کاهش دهد. سهولت انتقال گرما از بدنه به محیط، در کاهش θ_{CS} مؤثر است. روش متداول در انتقال بهتر گرما به محیط، با پیچ بستن ترانزیستور به شاسی و یا سطح فلزی گسترده‌ای است. این فلز در آنصورت به عنوان **گرماگیر** عمل می‌کند. گرما به سهولت از بدنه ترانزیستور به گرماگیر منتقل می‌شود؛ یعنی مقاومت گرمایی θ_{SA} معمولاً بسیار کم است. همچنین گرما به طور مؤثری (با تبدیل) از گرماگیر به محیط منتقل می‌شود و مقاومت گرمایی θ_{SA} ناچیزی بدست می‌آید. در اینصورت اگر از گرماگیر استفاده شود، مقاومت گرمایی بدنه به محیط چنین بدست می‌آید:

$$\theta_{CA} = \theta_{CS} + \theta_{SA} \qquad (۹-۴۰)$$

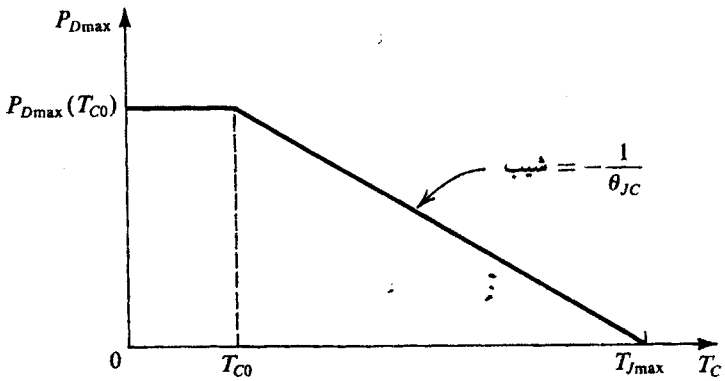
و می‌تواند کوچک باشد زیرا با انتخاب یک گرماگیر مناسب می‌توان دو جزء آن را کوچک کرد. برای مثال، در کاربردهای توان بالا، گرماگیر معمولاً

---

۱ - همانطور که قبلاً تذکر دادیم بدنه فلزی ترانزیستور قدرت از نظر الکتریکی به کلکتور متصل شده است. بنابراین معمولاً ماده عایق الکتریکی مانند میکا بین بدنه فلزی و گرماگیر قرار می‌گیرد. پوششهای عایق نیز برای اتصال ترانزیستور به گرماگیر بکار می‌رود.



شکل ۲۰-۹. معادل الکتریکی فرآیند هدایت گرما توسط گرماگیر



شکل ۲۱-۹. ماکزیمم مقدار مجاز اتلاف توان نسبت به حرارت بدنه ترانزیستور

دارای پره‌هایی است که خنک‌کردن را با سهولت بیشتری انجام می‌دهد.

تشابه الکتریکی فرآیند هدایت گرمایی وقتی یک گرماگیر استفاده می‌شود در شکل (۲۰-۹) نشان داده شده است. از این تشابه می‌توانیم بنویسیم:

$$T_J - T_A = P_D(\theta_{JC} + \theta_{CS} + \theta_{SA}) \qquad (۹-۴۱)$$

علاوه بر مشخص‌کردن θ_{JC}، سازنده قطعه معمولاً یک منحنی کاهش برای P_{Dmax} بر حسب دمای بدنه، T_C بدست می‌دهد.

چنین منحنی‌ای در شکل (۲۱-۹) نشان داده شده است. توجه کنید که شیب خط راست کاهش توان، برابر $-\frac{1}{\theta_{JC}}$ است. در یک ترانزیستور معین، اتلاف توان ماکزیمم در دمای بدنه T_{C0} (معمولاً ۲۵ درجه سانتی‌گراد) بسیار بزرگتر از ماکزیمم اتلاف توان در دمای محیط T_{A0} (معمولاً ۲۵ درجه سانتی‌گراد) است. اگر دمای بدنه ترانزیستور T_C را در $T_{C0} \le T_C \le T_{Jmax}$ نگهداشته شود، در آنصورت ماکزیمم اتلاف توان مطمئن وقتی بدست می‌آید که $T_J = T_{Jmax}$ باشد.

$$P_{Dmax} = \frac{T_{Jmax} - T_C}{\theta_{JC}} \qquad (۹-۴۲)$$

مثال ۵-۹

یک ترانزیستور دارای T_{Jmax}=۱۵۰°C است و می‌تواند توان ماکزیمم زیر را تلف کند.

T_C = ۲۵ °C در ۴۰W

T_A = ۲۵ °C در ۲W

در بالاتر از ۲۵ °C ، ماکزیمم اتلاف توان با θ_{JC} = ۳/۱۲ °C/W و θ_{JA}=۶۲/۵°C/W به طور خطی کاهش می‌یابد. کمیتهای زیر را بیابید.

(الف) ماکزیمم توانی که این ترانزیستور بطور مطمئن تلف می‌کند، هنگامی که در هوای آزاد در T_A = ۵۰ °C کار می‌کند.

(ب) ماکزیمم توانی که ترانزیستور بطور مطمئن تلف می‌کند هنگام‌کار در دمای محیط ۵۰°C، با گرماگیری که در آن θ_{CS}=۰/۵۰°C/W و θ_{SA}=۴°C/W است. در این حالت دمای بدنه، گرماگیر را بدست آورید.

(پ) ماکزیمم توانی را که ترانزیستور بطور مطمئن تلف می‌کند اگر یک گرماگیر نامحدود استفاده شود و T_A = ۵۰ °C باشد.

حل:

(الف) $P_{Dmax} = \frac{T_{Jmax} - T_A}{\theta_{JA}} = \frac{۱۵۰ - ۵۰}{۶۲/۵} = ۱/۶$ W

(ب) با گرماگیر، θ_{JA} می‌شود:

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA} = ۳/۱۲ + ۰/۵ + ۴ = ۷/۶۲ \text{ °C/W}$$

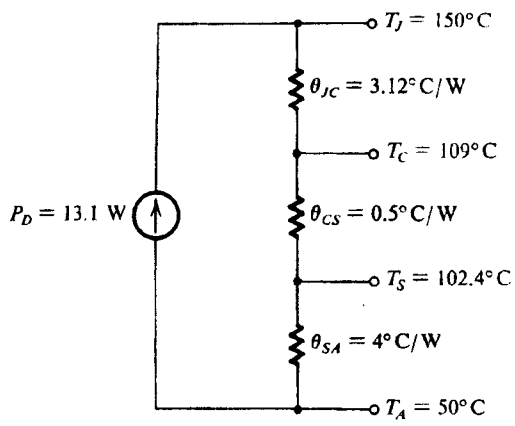
بنابراین

$$P_{Dmax} = \frac{۱۵۰ - ۵۰}{۷/۶۲} = ۱۳/۱ \text{ W}$$

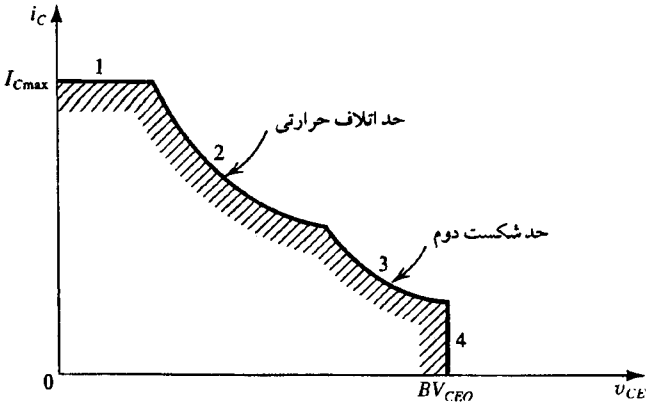
شکل (۲۲-۹) مدار معادل گرمایی را با دماهای متفاوت نشان می‌دهد.

(پ) گرماگیر نامحدود، به شرط موجودبودن، سبب می‌شود دمای بدنه T_C با دمای محیط T_A برابر شود. در گرماگیر نامحدود A_{CA} = ۰ است. بطور مسلم نمی‌توان گرماگیر نامحدود تهیه کرد، اما بعضی از سازندگان برای توصیف منحنی کاهش توان شکل (۲۱-۹) از این عبارت استفاده می‌کنند. در آنصورت محور طولها با T_A مشخص می‌شود و این منحنی «اتلاف توان بر حسب دمای محیط» نامیده می‌شود. در این مثال، با گرماگیر نامحدود داریم:

$$P_{Dmax} = \frac{T_{Jmax} - T_A}{\theta_{JC}} = \frac{۱۵۰ - ۵۰}{۳/۱۲} = ۳۲ \text{ W}$$



شکل ۲۲-۹. مدار معادل حرارتی مثال ۵-۹



شکل ۲۳-۹. ناحیه کار صحیح (SOA) یک BJT

از مثال بالا مزیت استفاده از گرماگیر به خوبی نمایان است. با گرماگیر، ماکزیمم توان مجاز از ۱/۶ W تا ۱۳/۱ W افزایش می‌یابد. همچنین توجه کنید که اگرچه ترانزیستورهای موردنظر را «ترانزیستور ۴۰ W» می‌نامیم، این سطح از اتلاف توان در عمل دست‌یافتنی نمی‌باشد. این کار به گرماگیر نامحدود و دمای محیط $T_A \leq 25\ °C$ نیاز دارد.

تمرین

۹-۱۰ در ترانزیستور توان 2N6306 مشخصه‌ها عبارت است از $T_{Jmax}=200\ °C$ و $P_{Dmax}=125\ W$ برای $T_C \leq 25°C$ و در $T_C \geq 25°C$ داریم $\theta_{JC}=1/4°C/W$. چنانچه در کاربردی خاص این قطعه ۵۰ W تلف کند، و در دمای محیط ۲۵ °C کار کند، ماکزیمم مقاومت گرمایی را در گرماگیر مورد استفاده بدست آورید. (یعنی θ_{SA} را). فرض کنید $\theta_{CS} = 0/6\ °C/W$. دمای بدنه T_C چقدر است؟

جواب. ۱/۵ °C/W؛ ۱۳۰ °C ❑

ناحیه کار مطمئن ترانزیستور

علاوه بر تعیین ماکزیمم اتلاف توان در دماهای مختلف بدنه، سازندگان ترانزیستورهای توان معمولاً نموداری از مرز ناحیه کار مطمئن (SOA) را در صفحه $i_C - v_{CE}$ ارائه می‌کنند. مشخصه SOA بصورت شکل (۲۳-۹) درمی‌آید. اعداد پاراگرافهای زیر با مرزهای روی نمودار متناظر است.

۱- ماکزیمم جریان مجاز I_{Cmax}. افزایش دائم این جریان می‌تواند موجب ذوب‌شدن سیمهایی شود که قطعه را به پایانه‌های بدنه وصل می‌کند.

۲- هذلولی ماکزیمم اتلاف توان. این منحنی مکان هندسی نقاطی است که برای آنها $v_{CE}i_C = P_{Dmax}$ (در T_{C0}) است. در دماهای $T_C>T_{C0}$، منحنی‌های کاهش توان توضیح داده شده، برای بدست‌آوردن مقدار عملی P_{Dmax} و بنابراین به طور متناظر هذلولی پایین‌تری می‌توان بدست آورد. هرچند نقطه کار می‌تواند به طور موقت به بالای هذلولی برده شود، متوسط اتلاف توان نباید از P_{Dmax} تجاوز کند.

۳- حد **شکست دوم**. شکست دوم پدیده‌ای است که بدلیل یکنواخت نبودن شارش جریان در پیوند امیتر - بیس بدست می‌آید. بعلاوه، تمرکز جریان در نزدیکی اطراف پیوند، بیشترین مقدار است. این «تجمع جریان» سبب افزایش اتلاف توان موضعی و بنابراین افزایش دما (در مکان‌هایی موسوم به نقاط داغ) می‌شود. چون افزایش دما سبب افزایش جریان می‌شود، ممکن است شکلی از لجام گسیختگی گرمایی پدیدار شود و به معیوب شدن پیوند منجر گردد.

۴- ولتاژ شکست کلکتور به امیتر، BV_{CEO}، مقدار لحظه‌ای v_{CE} هرگز نباید از BV_{CEO} تجاوز کند. در غیراینصورت شکست بهمنی پیوند کلکتور - بیس روی می‌دهد (بخش ۱۳-۴ را ملاحظه کنید).

البته، لازم به تذکر است که مقیاسهای لگاریتمی استفاده شده برای i_C و v_{CE}، به مرز SOA می‌انجامد که شامل خطوط مستقیم است.

مقادیر پارامتری ترانزیستورهای توان

به دلیل ابعاد هندسی بزرگ و جریانهای کار بالا، ترانزیستورهای توان معمولاً دارای شاخصه‌هایی است که مقدار آن با شاخصه‌های ترانزیستورهای سیگنال کوچک متفاوت است. تفاوتهای مهم عبارتند از:

۱- در جریانهای زیاد، رابطه نمایی $i_C - v_{BE}$ ثابت $n=2$ را به نمایش می‌گذارد. یعنی $i_C = I_S e^{v_{BE}/2V_T}$.

۲- β کم و معمولاً ۳۰ تا ۸۰ است، اما می‌تواند تا ۵ هم کاهش یابد. در اینجا توجه به این نکته اهمیت دارد که β دارای ضریب دمایی مثبت است.

۳- درجریانهای زیاد، r_π بسیار کوچک می‌شود و r_x (چند اهم) مهم می‌شود. (r_x تعریف شده است و در بخش ۱۵-۴ توضیح داده شده است).

۴- f_T کوچک است (چند MHz)، C_μ بزرگ است (صدهاپیکوفاراد)، و C_π حتی بزرگتر است (این شاخصه‌ها در بخش ۱۵-۴ تعریف شده، توضیح داده شده‌اند.

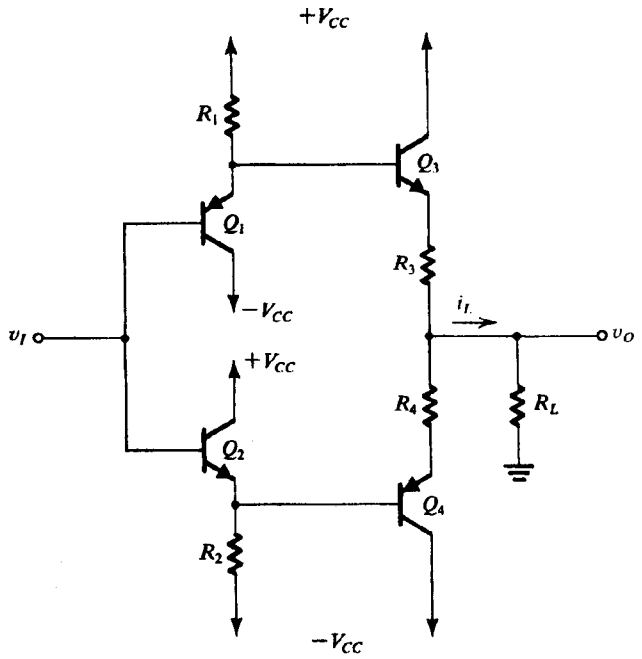
۵- I_{CBO} بزرگ است (دهها μA)، و مطابق معمول، به ازای هر ۱۰°C افزایش دما، دو برابر می‌شود.

۶- BV_{CEO} معمولاً ۵۰ تا ۱۰۰ V است، اما می‌تواند به اندازه ۵۰۰V باشد.

۷- I_{Cmax} معمولاً حدود آمپر است، اما به ۱۰۰ A نیز می‌رسد.

۹-۷ تغییرات پیکربندی کلاس AB

در این بخش برخی از اصلاحات مداری و روشهای محافظت از طبقه خروجی کلاس AB آورده می‌شود.

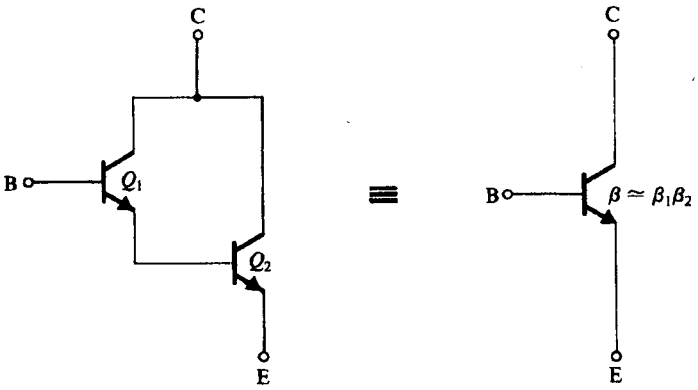


شکل ۲۴-۹. طبقه خروجی کلاس AB با میانگیر ورودی، ترانزیستورهای میانگیر Q_1 و Q_2 علاوه بر فراهم‌آوردن مقاومت ورودی بالا ترانزیستورهای خروجی Q_3 و Q_4 را نیز بایاس می‌کنند.

استفاده از امیتر پیرو ورودی

شکل (۲۴-۹) یک مدار کلاس AB را نشان می‌دهد که با استفاده از ترانزیستورهای Q_1 و Q_2 تغذیه شده‌اند. این ترانزیستورها که بصورت امیتر پیرو عمل می‌کنند، مقاومت ورودی زیادی را برای مدار بوجود می‌آورند. در نتیجه، مدار به مثابه یک تقویت‌کننده میانگیر با بهره واحد عمل می‌کند. چون هر چهار ترانزیستور معمولاً تطبیق یافته‌اند، جریان سکون ($v_I = 0$، $R_L = \infty$) در Q_3 و Q_4 برابر با جریان سکون Q_2 و Q_1 است. مقاومتهای R_3 و R_4 معمولاً خیلی کوچک و به منظور جبران عدم تطابق احتمالی بین Q_3 و Q_4 و حفاظت در برابر لجام گسیختگی حرارتی ناشی از اختلاف دمای بین ترانزیستورهای طبقه خروجی و ورودی، در مدار جای داده می‌شود. برای درک نکته اخیر توجه کنید که افزایش درجهٔ مثلاً Q_3، سبب می‌شود افت ولتاژ دوسر R_3 افزایش یابد و متناظر با آن در V_{BE3} کاهش بوجود می‌آید. بنابراین R_3 موجب فیدبک منفی می‌شود که به پایداری جریان Q_3 کمک می‌کند.

چون مدار شکل (۲۴-۹) به ترانزیستورهای *npn* با کیفیت بالا نیاز دارد، این مدار برای پیاده‌سازی در تکنولوژی یکپارچه آی سی مناسب نیست. اما با پیاده‌سازی این مدار در تکنولوژی «قشر ضخیم هیبرید» (ونگ و شروین، ۱۹۷۹) نتیجه‌های بسیار خوبی بدست می‌آید. در این تکنولوژی امکان منظم قراردادن اجزا، بطور مثال، برای به حداقل رساندن ولتاژ افست خروجی، میسر می‌شود. این مدار را می‌توان به تنهایی و یا به همراه یک op-amp بکار برد تا توانایی راه‌اندازی خروجی بدست آید. کاربرد اخیر در بخش بعد بحث خواهد شد.



شکل ۲۵-۹. آرایش دارلینگتون

تمرین

۹-۱۱ (توجه: این تمرین آموزنده ولی طولانی است)، مدار شکل (۲۴-۹) را درنظر بگیرید با $R_1 = R_2 = 5\ k\Omega$، $R_3 = R_4 = 0\ \Omega$، و $V_{CC} = 15V$. فرض کنید ترانزیستورها با $I_S = 3/3 \times 10^{-14}A$، $n = 1$ و $\beta = 200$ تطابق داشته باشند. (این مقادیر در ساخت LH002 بوسیله کارخانه نیمه‌هادی ناسیونال، استفاده شده با این تفاوت که $R_3=R_4=2\Omega$.) (الف) به ازای $v_I=0$ و $R_L=\infty$، جریان سکون را در هر جریان ترانزیستور و v_O را بیابید. (ب) به ازای $R_L=\infty$، پیدا کنید i_{C1}، i_{C2}، i_{C3}، i_{C4} را، و v_O را به ازای $v_I = +10V$ و $-10\ V$ بدست آورید. (پ) قسمت (ب) را برای $R_L = 100\ \Omega$ بیابید.

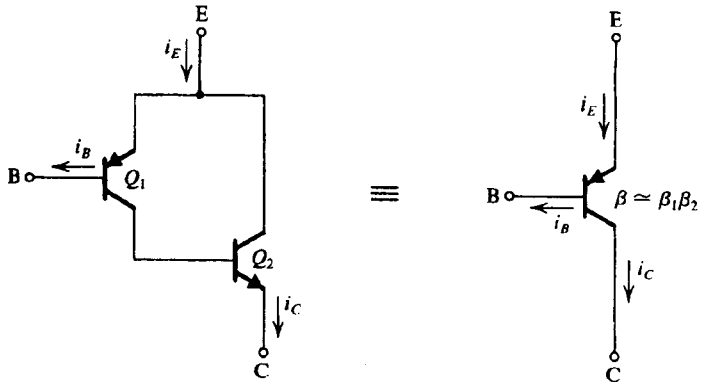
جواب. (الف) $2/87\ mA$، $0\ V$؛ (ب) برای $v_I = +10\ V$: $0/88mA$، $4/87\ mA$، $1/95\ mA$، $1/95\ mA$، $9/98\ V$ −؛ به ازای $v_I=-10\ V$: $4/87\ mA$، $0/88\ mA$، $1/95\ mA$، $1/95\ mA$، $9/98\ V$ −؛ (پ) برای $v_I = +10\ V$: $0/38\ mA$، $4/87\ mA$، $100\ mA$، $0/02\ mA$، $9/86V$؛ به ازای تا $v_I = -10$: $4/87\ mA$، $0/38\ mA$، $0/02\ mA$، $100\ mA$، $-9/86\ V$.

❑

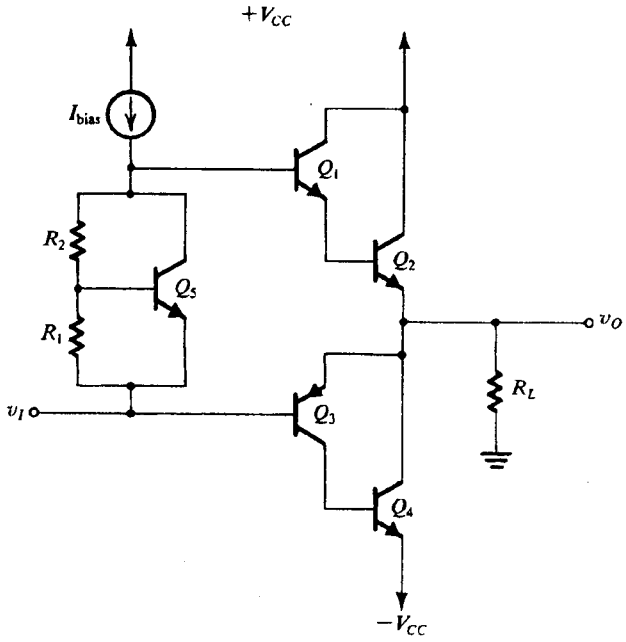
استفاده از قطعات مرکب

به منظور افزایش بهره جریان ترانزیستورهای طبقه خروجی، و در نتیجه کاهش جریان راه‌اندازی بیس، غالباً از ترکیب دارلینگتون مانند شکل (۲۵-۹) به جای ترانزیستور *npn* طبقه کلاس AB استفاده می‌شود. ترکیب دارلینگتون معادل یک ترانزیستور *npn* با $\beta \cong \beta_1\beta_2$ است اما تقریباً با دو برابر مقدار V_{BE}.

پیکربندی دارلینگتون به جای ترانزیستورهای *pnp* نیز استفاده می‌شود، و از این روش در طراحی مدارهای گسترده بطور جدی استفاده می‌شود، در طراحی IC، نبود ترانزیستورهای *pnp* با کیفیت خوب، استفاده ترکیب دیگری را مطابق شکل (۲۶-۹) مطرح کرده است. این قطعه مرکب معادل است با یک ترانزیستور *pnp* با $\beta \approx \beta_1\beta_2$. در تکنولوژی IC استاندارد، $Q1$ معمولاً یک ترانزیستور *pnp* جانبی و دارای β کم (β=۵تا۱۰) و پاسخ فرکانسی بالای ضعیف ($f_T \cong 5$ MHz) است.



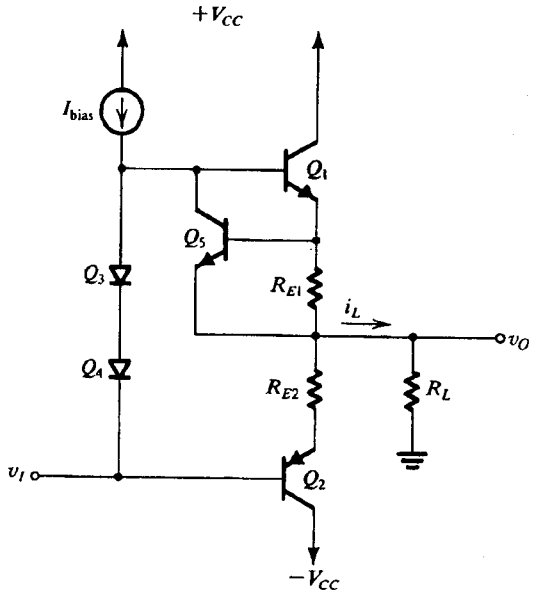
شکل ۲۶-۹. آرایش pnp مرکب



شکل ۲۷-۹. طبقه خروجی کلاس AB با استفاده از دارلینگتون npn و pnp مرکب. برای بایاس از ضرب‌کنندهٔ V_{BE} استفاده شده است.

ضمیمه الف را ملاحظه کنید. این قطعه مرکب؛ اگرچه دارای β معادل نسبتاً زیاد است، اما هنوز پاسخ فرکانس بالای ضعیفی دارد. این مدار شکل دیگری نیز دارد. حلقه فیدبک متشکل از Q_1 و Q_2 مستعد نوسانهای فرکانس بالا است (با فرکانسی نزدیک f_T قطعه pnp؛ یعنی حدود ۵MHz). برای جلوگیری از چنین نوسانهایی روشهایی وجود دارد. فیدبک تقویت‌کننده در فصل ۸ بررسی شد.

برای نمایش عملکرد پیکربندی دارلینگتون و ترکیب pnp، در شکل (۲۷-۹) یک طبقه خروجی نشان داده شده که از هر دو نوع استفاده می‌کند: کلاس AB با استفاده از ضرب‌کننده V_{BE} بایاس می‌شود. توجه کنید که دارلینگتون npn یک V_{BE} افت ولتاژ بیشتر دارد و بنابراین لازم است ولتاژ بایاس ضرب‌کننده ۲ V باشد. طراحی این طبقه کلاس AB در مسأله ۳۹-۹ مطرح شده است.



شکل ۲۸-۹. طبقه خروجی کلاس AB با حفاظت از اتصال کوتاه. مدار حفاظت نشان داده شده هنگام اتصال کوتاه‌شدن خروجی و مثبت بودن v_O عمل می‌کند.

تمرین

۹-۱۲ (الف) با توجه به شکل (۲۶-۹) نشان دهید که برای ترانزیستور مرکب pnp

$$i_E \cong i_C \quad \text{و} \quad i_B \cong \frac{i_C}{\beta_N\beta_P}$$

بنابراین نشان دهید که

$$i_C \cong \beta_N I_{SP} e^{v_{EB}/V_T}$$

و بنابراین ترانزیستور دارای جریان مؤثر زیر می‌باشد.

$$I_S = \beta_N I_{SP}$$

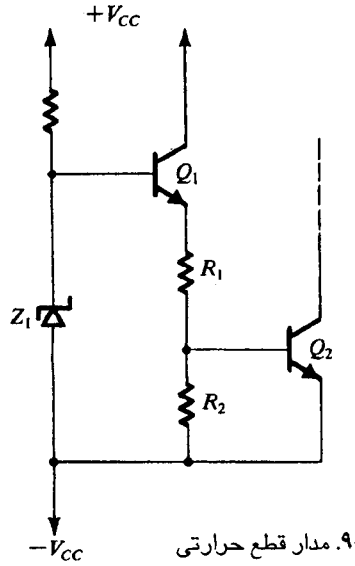
(ب) به ازای $\beta_P = ۲۰$، $\beta_N = ۵۰$، $I_{SP} = ۱۰^{-۱۴}$ A، بهره جریان مؤثر قطعه مرکب و v_{EB} آنرا بدست آورید وقتی $i_C = ۱۰۰$ mA باشد. فرض کنید $n = ۱$ است.

جواب. (ب) ۱۰۰۰؛ ۰/۶۵۱ V ❑

حفاظت از اتصال کوتاه

شکل (۲۸-۹) یک طبقه خروجی کلاس AB نشان می‌دهد که مجهز به مدار حفاظت از اتصال کوتاه خروجی است وقتی جریان از آن خارج می‌شود. هنگام اتصال کوتاه، جریان بزرگی که از Q_1 می‌گذرد افت ولتاژی در دوسر R_{E1} بوجود می‌آورد که مقدار آن برای روشن‌کردن Q_5 کفایت می‌کند. در آنصورت کلکتور Q_5 بیشترین جریان I_{bias} را هدایت کرده، جریان راه‌اندازی بیس Q_1 را هم می‌بلعد. در نتیجه آن، جریان Q_1 به یک سطح مطمئن کاهش می‌یابد.

این روش در کار مطمئن قطعه و حفاظت در برابر اتصال کوتاه مفید است اما این عیب را دارد که در شرایط عادی، ۰/۵ V در دو سر هر مقاومت R_E افت می‌کند. به این معنی که تغییر ولتاژ خروجی به همین مقدار



شکل ۲۹-۹. مدار قطع حرارتی

در هر دو کاهش می‌یابد. از سوی دیگر، وجود مقاومت‌های امیتر سبب محافظت ترانزیستورهای خروجی در برابر فرار حرارتی آنها است.

تمرین

ط ۱۳-۹ در مدار شکل ۲۸-۹ فرض کنید $I_{bias} = ۲\ mA$ باشد، مطلوبست مقدار R_{E1} که سبب روشن‌شدن Q_5 شده همه جریان ۲ mA را جذب می‌کند، وقتی جریان خروجی به ۱۵۰ mA برسد. برای Q_5، $I_S = ۱۰^{-۱۴}A$ و $n=۱$ است. اگر نوک عادی جریان خروجی ۱۰۰ mA باشد، افت ولتاژ دو سر R_{E1} و جریان کلکتور Q_5 را بدست آورید.

جواب. ۴/۳ Ω؛ ۴۳۰ mV؛ ۰/۳ μA ❑

قطع حرارتی

علاوه بر حفاظت در برابر اتصال کوتاه، اغلب ICهای تقویت‌کننده‌های توان مجهز به مداری هستند که دمای تراشه را حس کرده و هنگام افزایش دما از مقداری معین، یک ترانزیستور را روشن می‌کند. ترانزیستور به گونه‌ای وصل است که وقتی روشن می‌شود، جریان بایاس تقویت‌کننده را جذب می‌کند. در نتیجه با این عمل، کار مدار متوقف می‌شود.

شکل (۲۹-۹) یک مدار قطع حرارتی را نشان می‌دهد، در این مدار، ترانزیستور Q_2 معمولاً قطع است. با افزایش دما، و ترکیب ضریب حرارتی مثبت دیود زنر Z_1 و ضریب حرارتی منفی V_{BE1}، سبب بالارفتن ولتاژ امیتر Q_1 می‌شود. این به نوبه خود ولتاژ بیس Q_2 را بالا می‌برد تا وقتی این قطعه روشن شود.

۹-۸ تقویت‌کننده‌های توان بصورت IC

امروزه تقویت‌کننده‌های توان گوناگونی وجود دارد. بسیاری از آنها شامل تقویت‌کننده سیگنال کوچک با بهره زیادی است که در پی آن یک طبقه کلاس AB بکار رفته است. اغلب آنها دارای فیدبک منفی هستند که بهره ولتاژ حلقه بسته ثابتی بدست می‌دهند. بقیه IC ها از جمله op−amp با توان خروجی زیاد فاقد فیدبک هستند. در حقیقت در op−amp ها با کاسکودکردن کلاس B یا کلاس AB طبقه خروجی و اعمال فیدبک منفی کلی، توانایی تحریک جریان خروجی آنها افزونتر می‌شود. علاوه بر این طبقه خروجی می‌تواند یک مدار مجهز و یا IC هیبرید نظیر میانگیر توضیح داده شده در بخش قبلی باشد. در ادامه چند نمونه تقویت‌کننده توان توضیح داده می‌شود.

یک IC تقویت‌کننده توان با بهره ثابت

اولین مثال ما LM380 است (محصولی از شرکت ناسیونال) که یک تقویت‌کننده توان با بهره ثابت می‌باشد. در شکل (۳۰-۹) صورت ساده شده مدار داخلی تقویت‌کننده را نشان می‌دهد. این مدار شامل یک تقویت‌کننده تفاضلی ورودی است که از Q_1 و Q_2 به عنوان امیتر پیرو برای میانگیری ورودی، و از Q_3 و Q_4 به عنوان زوج تفاضلی با مقاومت R_3 امیتر، استفاده می‌کند. مقاومت‌های R_4 و R_5 برای جریانهای بیس Q_1 و Q_2، مسیرهای dc به زمین بوجود می‌آورند و موجب تزویج خازنی منبع سیگنال ورودی به هریک از دو پایانه‌های ورودی می‌شود.

ترانزیستورهای Q_3 و Q_4 تقویت‌کننده تفاضلی بوسیله دو مدار جریان مجزا بایاس می‌شوند: Q_3 بوسیله جریان بدست آمده از منبع dc ی V_S از طریق ترانزیستور اتصال دیودی Q_{10}، و مقاومت R_1 بایاس می‌شود؛ Q_4 بوسیله جریانی که از پایانه خروجی بوسیله R_2 بدست می‌آید، بایاس می‌گردد. در شرایط سکون (یعنی بدون سیگنال ورودی) دو جریان بایاس مساوی بوده و جریانی که از R_3 می‌گذرد (و ولتاژ دو سر R_3) صفر می‌باشد. برای جریان امیتر Q_3 می‌توانیم بنویسیم:

$$I_3 \cong \frac{V_S - V_{EB10} - V_{EB3} - V_{EB1}}{R_1}$$

که در آن از ولتاژ dc ناچیز دو سر R_4 چشم‌پوشی شده است. برای سهولت فرض می‌کنیم همه V_{EB} ها برابر باشند.

$$I_3 \cong \frac{V_S - 3V_{EB}}{R_1} \qquad (۹-۴۳)$$

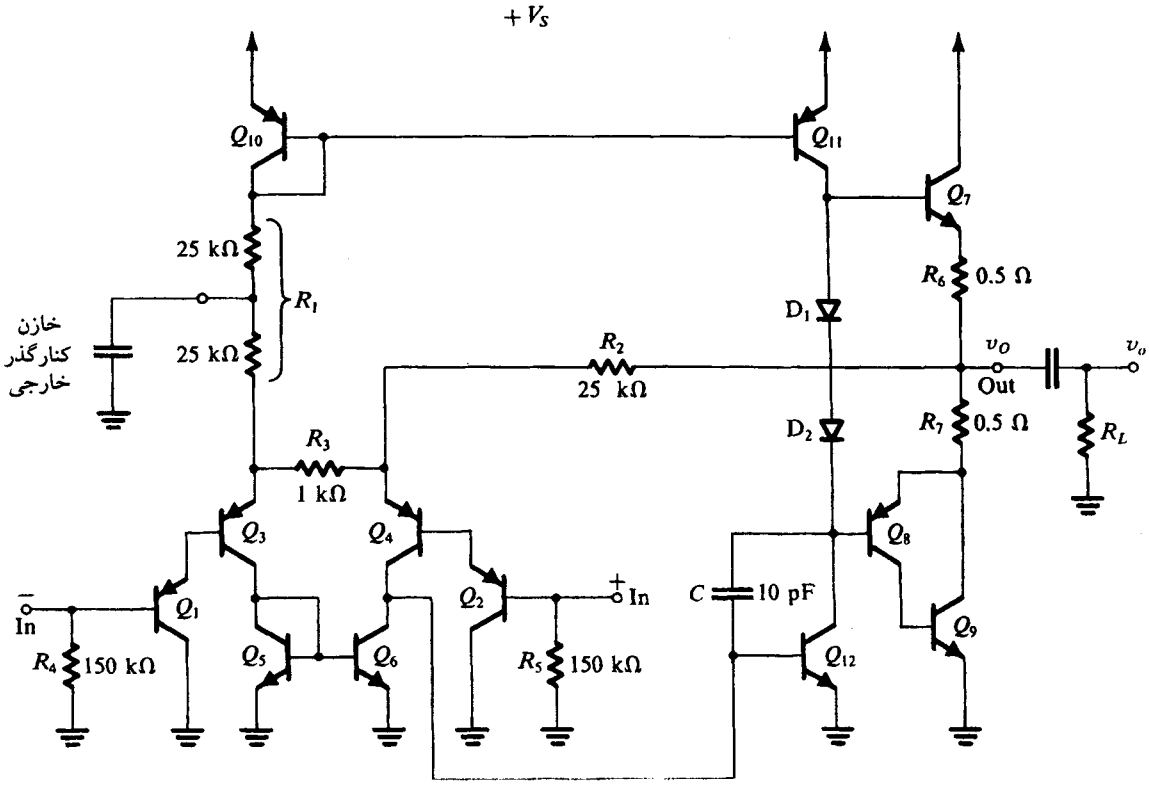
برای جریان امیتر Q_4 داریم:

$$I_4 = \frac{V_O - V_{EB4} - V_{EB2}}{R_2}$$

$$\cong \frac{V_O - 2V_{EB}}{R_2} \qquad (۹-۴۴)$$

که V_O جریان dc خروجی است و در آن از افت ولتاژ ناچیز دوسر R_5 چشم‌پوشی شده است. از برابر قراردادن I_3 و I_4 استفاده از این نکته که $R_1 = 2R_2$، نتیجه می‌شود:

$$V_O = \frac{1}{2}V_S + \frac{1}{2}V_{EB} \qquad (۹-۴۵)$$



شکل ۳۰-۹. مدار داخلی ساده شدهٔ تقویت‌کنندهٔ توان LM380 IC (با اجازه شرکت National semiconductor)

بنابراین، همانگونه که برای ماکزیمم نوسان ولتاژ خروجی درنظر بود، خروجی تقریباً با نصف ولتاژ منبع تغذیه بایاس می‌شود. یک ویژگی مهم این مدار فیدبک dc از خروجی به امیتر Q_4 از طریق R_2 است. فیدبک dc برای تثبیت ولتاژ dc بایاس خروجی در مقدار معادله (۴۵-۹) بکار می‌رود. چگونگی کار فیدبک dc چنین است: اگر بدلایلی V_O افزایش یابد، متناسب با آن افزایش جریانی از طریق R_2 و به داخل امیتر Q_4 خواهیم داشت. بنابراین جریان کلکتور Q_4 افزایش می‌یابد، و در نتیجه آن در بیس Q_{12} افزایش ولتاژ بوجود می‌آید، این امر به نوبه خود، سبب افزایش جریان کلکتور Q_{12} شده، ولتاژ بیس Q_7 و در نتیجه V_O کاهش می‌یابد.

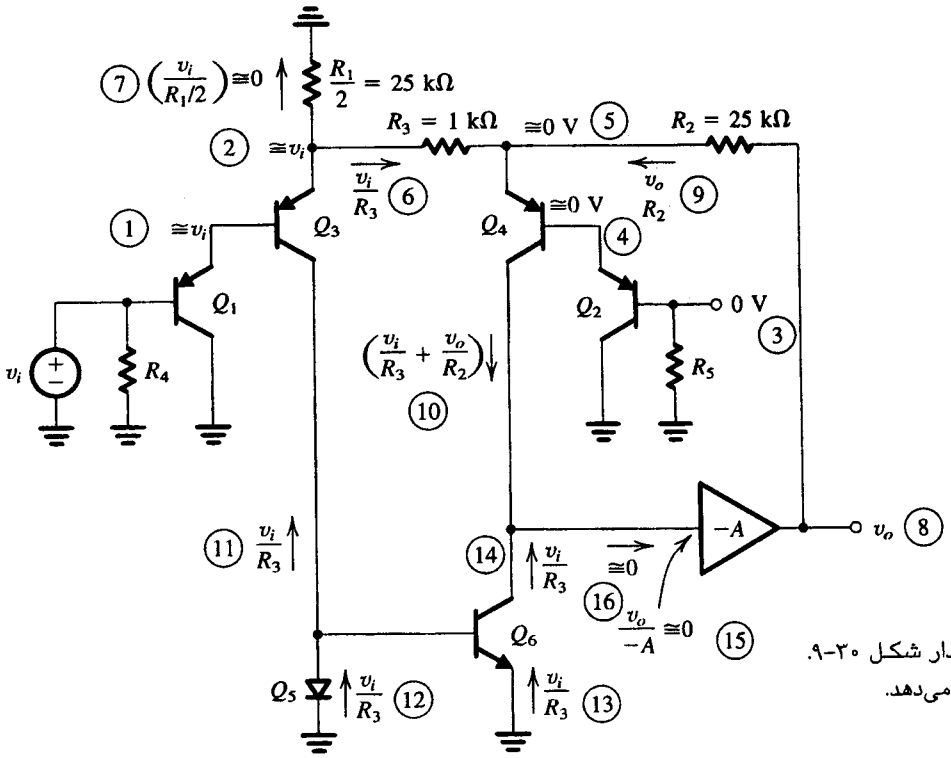
در ادامه توضیح مدار شکل (۳۰-۹)، ملاحظه می‌کنیم که تقویت‌کننده تفاضلی (Q_3، Q_4) دارای بار آینه جریانی متشکل از Q_5 و Q_6 است. (برای مرور بار فعال به بخش ۶-۵ مراجعه کنید). سیگنال ولتاژ خروجی تک‌سر مربوط به اولین طبقه در کلکتور Q_6 بوجود می‌آید و بنابراین به بیس Q_{12} دومین تقویت‌کننده امیتر مشترک اعمال می‌شود. ترانزیستور Q_{12} با منبع جریان ثابت Q_{11} بایاس می‌شود که بار فعال آن نیز محسوب می‌شود. البته در عمل بار Q_{12} تحت تأثیر مقاومت انعکاسی ناشی از R_L می‌باشد.

طبقه کلاس AB خروجی از یک ترانزیستور *pnp* مرکب (Q_8 و Q_9) استفاده می‌کند. فیدبک منفی از طریق مقاومت R_2 از خروجی به امیتر Q_4 اعمال می‌شود. برای یافتن بهره حلقه بسته، مدار معادل سیگنال کوچک (۳۱-۹) را درنظر بگیرید. تقویت‌کننده امیتر مشترک دومین طبقه و طبقه خروجی را با یک تقویت‌کننده وارونگر (ساختاری با بهره A) جایگزین کرده‌ایم. فرض خواهیم کرد که تقویت‌کننده دارای بهره زیاد و مقاومت ورودی زیاد است، و بنابراین جریان سیگنال ورودی به A ناچیز و قابل چشمپوشی است. با این فرض، شکل (۳۱-۹) جزئیات تحلیل را نشان می‌دهد که در آن سیگنال ورودی v_i به پایانه ورودی معکوس (وارون) اعمال شده است. ترتیب مراحل تحلیل با شماره‌های داخل دایره مشخص شده است. دقت کنید که چون تقویت‌کننده تفاضلی ورودی در مدار امیتر دارای مقاومت بالنسبه زیاد R_3 است، قسمت اعظم ولتاژ ورودی در دو سر R_3 ظاهر می‌شود. به عبارت دیگر، ولتاژهای سیگنال دو سر پیوندهای بیس امیتر Q_1، Q_2، Q_3، و Q_4 در مقایسه با ولتاژ دو سر R_3 کوچک هستند. با نوشتن معادله گره کلکتور Q_6، بهره ولتاژ را می‌توان بدست آورد:

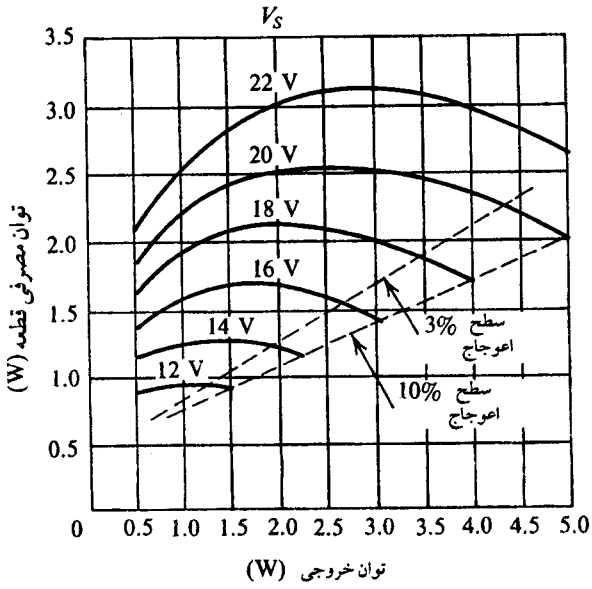
$$\frac{v_i}{R_3} + \frac{v_o}{R_2} + \frac{v_i}{R_3} = 0$$

که نتیجه می‌دهد:

$$\frac{v_o}{v_i} = -\frac{2R_2}{R_3} = -50 \text{ V/V}$$



شکل ۳۱-۹. تحلیل سیگنال کوچک مدار شکل ۳۰-۹. شماره‌های دایره‌دار ترتیب تحلیل را نشان می‌دهد.



شکل ۳۲-۹. توان مصرفی (P_D) نسبت به توان خروجی (P_L) برای LM380 با $R_L = 8\ \Omega$ (با اجازه شرکت National semiconductor)

ماکزیمم توان در مقابل دما، مشابه با آنچه در بخش ۶-۹ درباره ترانزیستورهای مجزا بحث شد.

تمرینها

۹-۱۵ کارخانه‌ای اعلام می‌کند که در دماهای محیط کمتر از ۲۵ درجه سانتی‌گراد، LM380 می‌تواند حداکثر ۳/۶ W توان تلف کند. این امر دروضعیتی صورت می‌گیرد که آی سی دو ردیفه بر یک قطعه فیبر مدار چاپی در تماس حرارتی با ۶ اینچ مربع ورق مسی ۲ اونسی لحیم شده است.

تمرین

۹-۱۴ مقاومت کل بین کلکتور Q_6 و زمین را R بنامید. با استفاده از شکل (۳۱-۹) نشان دهید که

$$\frac{v_o}{v_i} = \frac{-2R_2/R_3}{1 + (R_2/AR)}$$

به $(2R_2/R_3)-$ کاهش می‌یابد اگر $AR >> R_2$ باشد. ❑

همانگونه که در فصل ۸ نشان داده شد، یکی از مزایای فیدبک منفی کاهش اعوجاج غیرخطی است. این کار در مدار آی‌سی LM380 نیز انجام می‌شود.

LM380 طوری طراحی شده که با یک منبع تغذیه V_S با حدود ۱۲ تا ۲۲ ولت کار کند. انتخاب منبع تغذیه به مقدار R_L و توان خروجی موردنیاز (R_L) بستگی دارد. سازندگان، منحنی‌ها را به ازای اتلاف توان قطعه در مقابل توان خروجی برای یک مقاومت بار معین و منابع ولتاژ مختلف ارائه می‌کنند. در شکل (۳۲-۹) مجموعه‌ای از منحنی‌ها را به ازای $R_L = 8\ \Omega$ نشان می‌دهد. در حقیقت خواننده به راحتی می‌تواند ثابت کند که مکان و مقدار نوک منحنی‌های شکل (۳۲-۹) به دقت به کمک معادله‌های (۲۰-۹) و (۲۱-۹) پیش‌بینی می‌شود (که در آن $V_{CC} = \frac{1}{2}V_S$). خط «اعوجاج ۳%» در شکل (۳۲-۹) مکان هندسی نقاطی از منحنی‌های گوناگونی که در آنها اعوجاج (THD) به ۳% می‌رسد. ۳% اعوجاج THD نشان‌دهنده مرحله برش نوک بدلیل اشباع ترانزیستور خروجی است.

کارخانه‌های سازنده همچنین منحنی‌هایی ارائه می‌کنند از اتلاف

در دمایی بیش از $T_A = ۲۵°C$ ، مقاومت حرارتی $\theta_{JA} = ۳۵\ °C/W$ است. T_{Jmax} برای ۱۵۰ °C تعیین شده است. ماکزیمم تلف توان ممکن را بدست آورید اگر دمای محیط ۵۰ درجه سانتی‌گراد باشد.

جواب. ۲/۹ W.

ط ۱۶-۹ برای راه‌اندازی یک بلندگوی ۸ Ω یک LM380 لازم است. با استفاده از منحنی‌های شکل (۳۲-۹) ماکزیمم اتلاف توان ممکن را بدست‌آورید با توجه به اینکه ماکزیمم اتلاف توان تعیین شده در مثال ۱۵-۹ برابر ۲/۹W باشد. اگر در این کاربرد THD ۳% مجاز باشد، P_L و نوک تا نوک ولتاژ خروجی را بدست آورید.

جواب. ۲۰ V؛ ۴/۲ W؛ ۱۶/۴ V ❑

Op − amp های توان

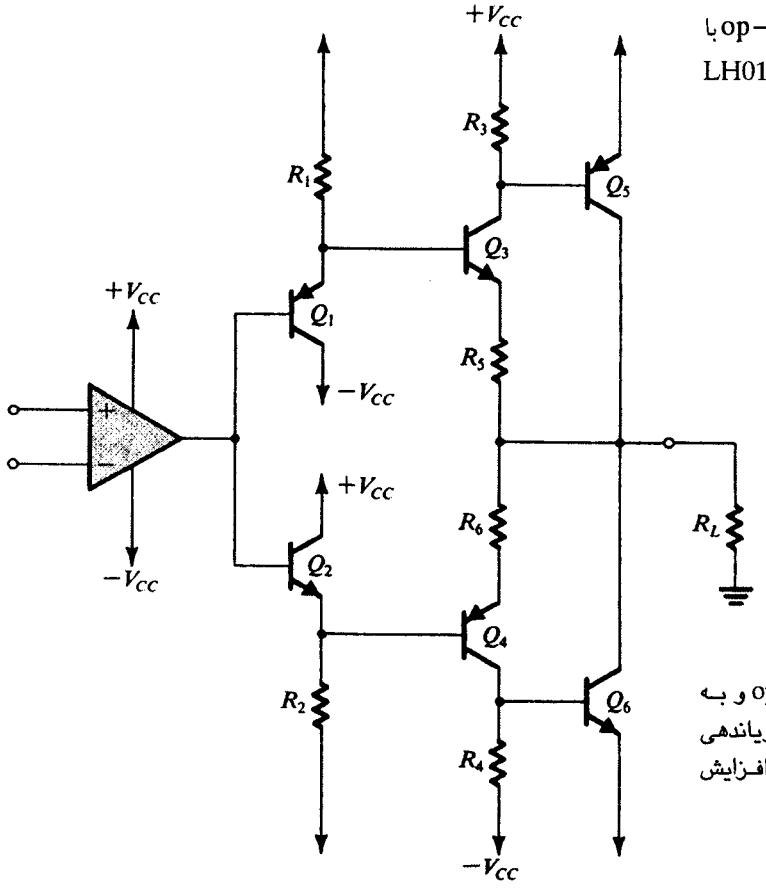
شکل ۳۳-۹ ساختار کلی یک op − amp توان را نشان می‌دهد. این مدار شامل یک op−amp است که بعد از آن یک طبقه میانگیر کلاس AB مشابه آنچه در بخش ۷-۹ بحث شد، دیده می‌شود. میانگیر شامل ترانزیستورهای Q_1، Q_2، Q_3، و Q_4 با مقاومتهای بایاس R_1 و R_2 و مقاومتهای امیتر R_5 و R_6 است. میانگیر جریان بار لازم را تهیه می‌کند تا وقتی جریان به اندازه‌ای افزایش یابد که افت ولتاژ دوسر R_3 (در حالت بیرون‌دادن جریان) به قدر کافی بزرگ شده Q_5 را روشن کند. در آنصورت Q_5 جریان بار اضافی موردنیاز را تهیه می‌کند. در حالت کشیدن جریان، Q_4 جریان بار را تا آنجا تهیه می‌کند که ولتاژ کافی در دو سر R_4 برای روشن‌شدن Q_6 ظاهر شود. سپس Q_6 جریان بار اضافی را می‌کشد. بنابراین طبقه‌ای که با Q_5 و Q_6 بوجود می‌آید به عنوان یک **افزایندهٔ جریان** عمل می‌کند. هدف آن است که در پیکربندیهای حلقه بسته، op−amp با فیدبک منفی استفاده شود. مداری بر اساس شکل (۳۳-۹) با نام LH0101 ساخت کارخانه ناسیونال، در بازار موجود است. این op−amp قادراست پیوسته جریان خروجی ۲ A بدست دهد و با گرماگیری مناسب، ۴۰ W توان خروجی ارائه کند. LH0101 با استفاده از تکنولوژی لایه نازک هیبرید ساخته شده است.

تقویت‌کننده پل

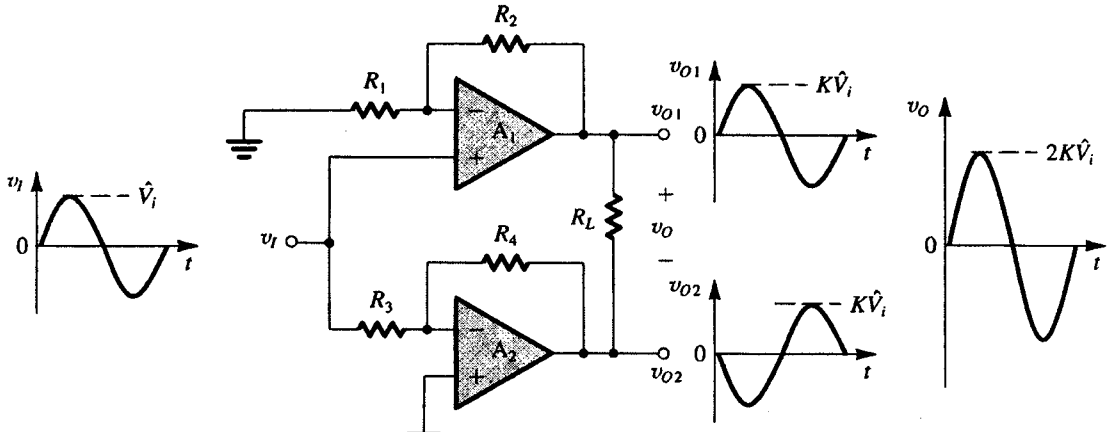
این بخش را با توضیح، درباره مداری به پایان می‌بریم که در کاربردهای توان زیاد متداول است. این مدار با آرایش تقویت‌کننده پل که در شکل (۳۴-۹) نشان داده شده از دو op−amp توان، A_1 و A_2 استفاده می‌کند. وقتی A_1 به پیکربندی ناوارونگری با بهره $K = 1 + (R_2/R_1)$ متصل است، A_2 به عنوان یک تقویت‌کننده وارونگر با بهره‌ای معادل $K = R_4 / R_3$ متصل است. بار R_L شناور است و بین پایانه خروجی دو op−amp وصل می‌باشد.

اگر v_I موجی سینوسی با دامنه $\hat{V}_i$ باشد، نوسان ولتاژ خروجی هر op−amp برابر با $\pm K\hat{V}_i$ ، و نوسان ولتاژ دو سر بار برابر $\pm 2K\hat{V}_i$ است. بنابراین وقتی op−amp با منبع ±۱۵ V کار می‌کند و قادر به تهیه، مثلاً ±۱۲ V نوسان خروجی، می‌شود، نوسان خروجی در دو سر بار تقویت‌کننده پل برابر با ±۲۴ V می‌شود.

در طراحی تقویت‌کننده‌های پُل، به این نکته باید توجه شود که جریان نوک کشیده شده از هر op−amp برابر $2K\hat{V}_i / R_L$ است. این اثر با توجه به اینکه بار هر op−amp برابر $R_L / 2$ است، باید درنظر گرفته شود.



شکل ۳۳-۹. ساختار op−amp قدرتی. مدار شامل یک op−amp و به دنبال آن میانگیر کلاس AB مشابه مبحث بخش ۷-۹ می‌باشد. جریاندهی خروجی میانگیر شامل Q_1 و Q_2 ، Q_3 و Q_4 توسط Q_5 و Q_6 افزایش می‌یابد.



$$\frac{R_4}{R_3} = 1 + \frac{R_2}{R_1} \equiv K$$

شکل ۳۴-۹. آرایش تقویت‌کنندهٔ پل

تمرین

۹-۱۷ مدار شکل (۳۴-۹) را با $R_1 = R_3 = 10\ k\Omega$، $R_2 = 5\ k\Omega$، $R_4 = 15\ k\Omega$، و $R_L = 8\ \Omega$ درنظر بگیرید. بهره ولتاژ و مقاومت ورودی را بدست آورید. منبع تغذیه مورد استفاده $\pm 18\ V$ است. چنانچه v_I یک موج سینوسی با $20\ V$ نوک تا نوک باشد، ولتاژ نوک تا نوک خروجی چقدر است؟ جریان بار نوک چقدر است؟ توان بار چقدر است؟

جواب. $3\ V/V$؛ $10\ k\Omega$؛ $60\ V$؛ $3/75\ A$؛ $56/25\ W$. ❑

۹-۹ ترانزیستورهای توان MOS

تاکنون فقط با مدارهای BJT سروکار داشتیم. اینک با پیشرفت تکنولوژی ترانزیستورهای توان MOS با مشخصه‌هایی ساخته شده که با BJT ها به خوبی رقابت می‌کنند. در این بخش ساختمان، مشخصه‌ها، و کاربرد MOSFET های توان درنظر گرفته می‌شود.

ساختمان MOSFET توان

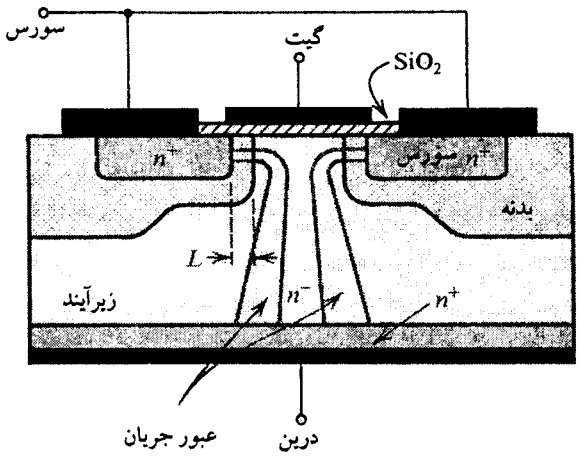
ساختمان MOSFET افزایشی که در فصل ۵ (شکل ۱-۵) مطالعه شد، برای کاربردهای توان زیاد مناسب نیستند. برای درک این مطلب، بیاد آورید که جریان درین MOSFET کانال n در حال کار در ناحیه اشباع از رابطه زیر بدست می‌آید:

$$i_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(v_{GS} - V_t)^2 \qquad (۹-۴۶)$$

به این معنی که برای افزایش توانایی عبور جریان MOSFET، پهنای W آن بایستی بزرگ و طول کانال آن L بایستی در حد ممکن کوچک شود. البته متأسفانه، کاهش طول کانال ساختمان MOSFET استاندارد به کاهش مؤثر ولتاژ شکست آن منجر می‌شود. بخصوص ناحیه تهی پیوند درین به بدنه دارای بایاس معکوس به داخل کانال کوتاه گسترش می‌یابد و در نتیجه شکست در ولتاژ نسبتاً پایینی صورت می‌گیرد. بنابراین MOSFET بدست آمده قادر به تحمل ولتاژهای زیاد معمول برای ترانزیستورهای توان نیست. به این دلیل برای ساخت MOSFET هاباید از کانالهای کوتاه (۱ تا ۲ میکرومتر) با ولتاژ شکست بالا استفاده شود.

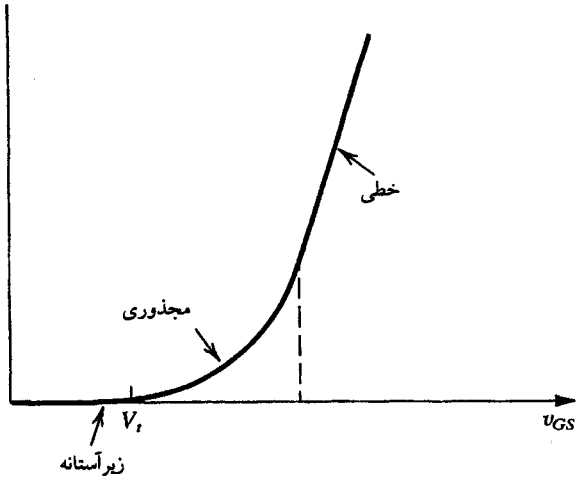
هم‌اکنون در متداولترین ساختار MOSFET توان، از ترانزیستور با نفوذ دو برابر یا DMOS مطابق شکل (۳۵-۹) استفاده می‌شود. چنانکه ملاحظه می‌کنید، قطعه روی ماده نوع n با آلایش کم ساخته می‌شود که در زیر آن ناحیه‌ای با آلایش زیاد برای اتصال درین قرار دارد. دو گونه نفوذ بکار رفته است.[1] یکی برای تشکیل ناحیه بدنه نوع P و دیگری برای تشکیل ناحیه سورس نوع n.

قطعه DMOS به این صورت عمل می‌کند: اعمال ولتاژ گیت مثبت v_{GS}، بزرگتر از ولتاژ آستانه V_t، یک کانال جانبی n در ناحیه بدنه نوع P زیر اکسید گیت ایجاد می‌کند. کانال بدست آمده کوتاه است. طول آن در شکل (۳۵-۹) با L نشان داده شده است. سپس جریان توسط الکترونهایی بوجود می‌آید که از سورس حرکت کرده از طریق کانال کوتاه بدست آمده به زیربنا می‌روند و آنگاه بطور عمودی در زیربنا به سمت درین پایین می‌رود. این جریان باید با جریان جانبی MOSFET سیگنال کوچک استاندارد متمایز شود (فصل ۵).



شکل ۳۵-۹. ترانزیستور MOS عمودی با نفوذ دوبرابر (DMOS)

۱- برای توصیف فرآیند ساخت IC ضمیمه الف را ملاحظه کنید.



شکل ۳۶-۹. نمونه مشخصه $i_D - V_{GS}$ برای MOSFET قدرتی

به علت این که ترانزیستور DMOS دارای کانال کوتاه است، ولتاژ شکست آن می‌تواند خیلی زیاد باشد (به اندازه ۶۰۰ ولت). زیرا ناحیه تهی بین زیربنا و بدنه در زیربنا با آلایش کم توسعه می‌یابد و به داخل کانال گسترش نمی‌یابد. نتیجه یک ترانزیستور MOS است که همزمان دارای جریان زیاد (احتمالاً ۵۰ A) و ولتاژ شکست زیاد است. به این ترتیب یادآوری می‌کنیم که ساختار قائم این قطعه استفاده مؤثر از فضای سیلیسی را ممکن می‌سازد.

شایسته است درباره ساختمان استفاده شده در ترانزیستورهای MOS ذکری بشود. این قطعه یک MOS با شیار V است. این قطعه اگرچه هنوز استفاده می‌شود، اما در مقایسه با DMOS شکل (۳۵-۹) بجز برای فرکانسهای بالا کاربردی ندارد. به خاطر محدودیت، MOSFET با شیار V را توضیح نمی‌دهیم.

مشخصه‌های MOSFET های توان

با وجود تفاوتهای اساسی MOSFET های توان، این قطعات مشخصه‌هایی مشابه مشخصه‌های MOSFET های سیگنال کوچک مطالعه شده در فصل ۵ دارند. تفاوت‌های مهمی وجود دارند و این اختلافها به شرح زیر است:

MOSFET های توان دارای ولتاژهای آستانه بین ۲ تا ۴ V هستند. در حالت اشباع، جریان درین به کمک مشخصه قانون مربعی معادله (۴۶-۹) به v_{GS} مربوط می‌شود. البته مطابق شکل (۳۶-۹) مشخصه‌های $i_D - v_{GS}$ به ازای مقادیر بزرگتر v_{GS} خطی می‌شود. قسمت خطی به سبب میدان الکتریکی بالای موجود در طول کانال پدید می‌آید و سبب می‌شود سرعت حاملهای بار به حد بالایی برسد، پدیده‌ای که به **اشباع سرعت** معروف است. در آنصورت جریان درین چنین است:

$$i_D = \frac{1}{2} C_{ox} W U_{\text{اشباع}} (v_{GS} - V_t) \qquad (۴۷-۹)$$

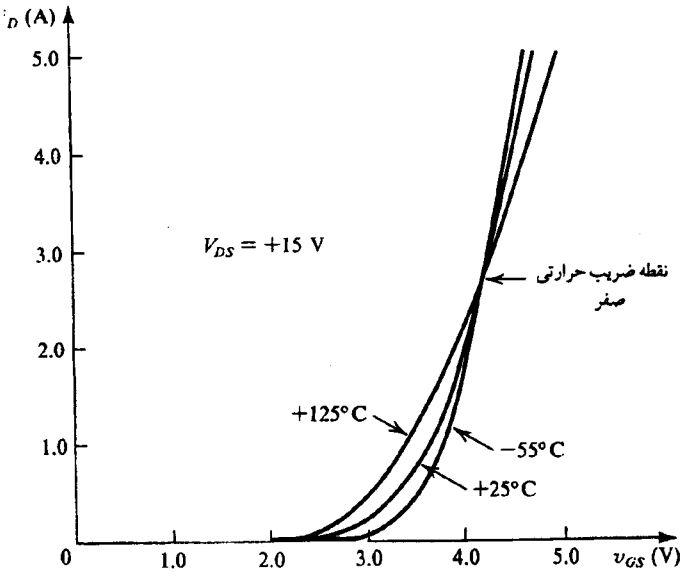
که در آن $U_{\text{اشباع}}$ مقدار سرعت استاندارد 5×10^6 cm/s برای الکترونهای سیلیکون است) است. رابطه خطی $i_D - v_{GS}$ بر ثابت‌بودن g_m در ناحیه اشباع دلالت دارد. جالب است یادآوری کنیم که g_m متناسب با W است که معمولاً W برای ترانزیستورهای توان، بزرگ است؛ بنابراین MOSFETهای توان هدایت انتقالی بالنسبه بزرگی دارند.

در مشخصه $i_D - v_{GS}$ شکل (۳۶-۹)، بخشی به نام «زیرآستانه» قرار دارند. البته با وجود توانایی کم قطعات توان کار در ناحیه زیرآستانه در کاربردهای توان کم مورد توجه‌اند.

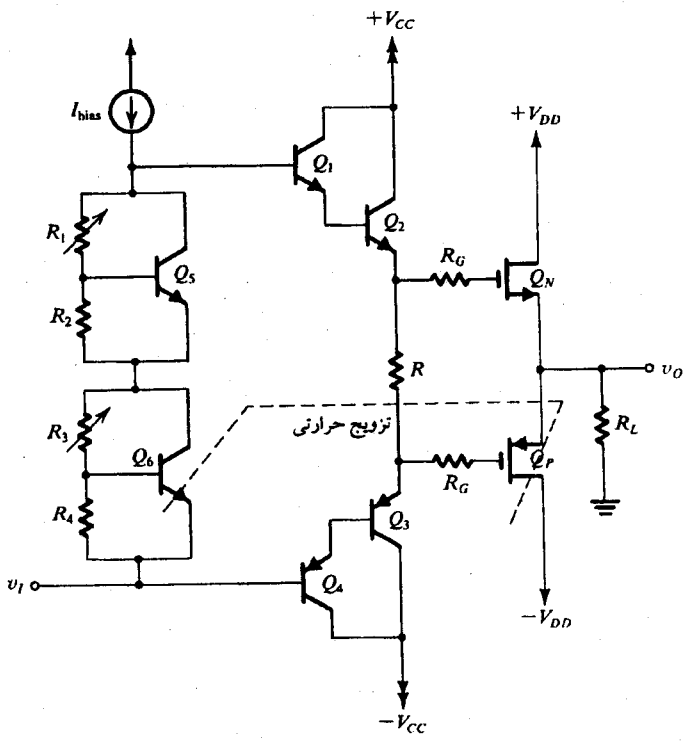
اثرات دما

یکی از موارد قابل توجه در طراحی مدارهای MOS توان، تغییر مشخصه‌های آن در اثر دما است که در شکل (۳۷-۹) نشان داده شده. ملاحظه کنید که مقداری از v_{GS} (در حدود ۴ تا ۶ ولت در بیشتر MOSFET ها) وجود دارد که به ازای آن ضریب دمایی i_D برابر صفر می‌شود. در مقادیر بالاتر v_{GS}، i_D ضریب دمایی منفی دارد. این خاصیت مهم است؛ و به اشاره می‌گوید که یک MOSFET که بالاتر از نقطه ضریب حرارتی صفر عمل کند، دچار مشکل فرار حرارتی نمی‌شود. البته در جریانهای کم (یعنی نقاط پایین‌تر از ضریب دمای صفر) چنین نیست. در ناحیه جریان بالنسبه کم، ضریب دمایی i_D مثبت است و MOSFET توان به راحتی دچار فرار حرارتی (و پیامدهای ناگوار آن) است. چون طبقه کلاس AB با جریانهای کم بایاس می‌شود، محافظت در برابر فرار حرارتی تأمین است.

علت مثبت‌بودن ضریب حرارتی i_D در جریانهای پایین آن است که $v_{GS} - V_t$ بالنسبه کوچک است و وابستگی دمایی تحت تأثیر ضریب حرارتی منفی V_T (در محدوده ۳ − تا ۶ mV/°C −) است.



شکل ۳۷-۹. منحنی مشخصه $i_D - v_{GS}$ ترانزیستور MOS قدرتی (IRF ۶۳۰siliconix) برای دماهای ۵۵°C−، ۲۵°C+ و ۱۲۵°C+ (با اجازهٔ شرکت Siliconix)



شکل ۳۸-۹. تقویت‌کننده کلاس AB با ترانزیستورهای خروجی MOS و راه‌اندازهای BJT . مقاومت R_3 برای جبران حرارتی و R_1 برای تأمین جریان سکون در ترانزیستورهای خروجی بکار رفته است.

مقایسه با BJT ها

MOSFET توان مشکل شکست دوم را ندارد که میدان عمل BJT ها را محدود می‌کند. همچنین MOSFET های توان به جریان زیاد تحریک بیس BJT ها نیاز ندارند. البته توجه کنید که طبقه راه‌انداز تقویت‌کننده توان MOS ، باید توانایی تأمین جریان کافی برای پر و تخلیه خازن غیرخطی و بزرگ ورودی MOSFET را در زمان تعیین شده داشته باشد. و بالاخره، بطور کلی MOSFET توان نسبت به BJT توان دارای سرعت عمل بیشتری است. این امر کاربرد ترانزیستورهای MOS توان را در کاربردهای سوئیچینگ مانند مدارهای کنترل موتور مسلم کرده است.

کلاس AB خروجی با استفاده از MOSFET ها

به عنوان یکی از کاربردهای MOSFET های توان، شکل (۳۸-۹) را ملاحظه کنید که در آن برای طبقه کلاس AB خروجی یک زوج مکمل MOSFET بکار برده و از BJT ها برای بایاس و طبقه راه‌انداز استفاده شده است. این مدار شامل دارلینگتون امیتر پیرو مکمل بوجود آمده از Q_1 و Q_3 است و دارای مقاومت کم لازم برای راه‌اندازی MOSFET های خروجی در سرعت‌های بالاست.

از نکات جالب مدار شکل (۳۸-۹)، مدار بایاس است که از دو ضرب‌کننده V_{BE} متشکل از Q_5 و Q_6 و مقاومتهای مرتبط با آن بوجود آمده است. ترانزیستور Q_6 در تماس مستقیم حرارتی ترانزیستورهای خروجی است، این کار به راحتی با قراردادن Q_6 در گرماگیر مشترک ترانزیستورهای خروجی امکان‌پذیر است. بنابراین، با انتخاب دقیق ضریب ضرب‌کننده V_{BE} ی Q_6 ولتاژ بایاس V_{GG} (بین گیت‌های ترانزیستورهای خروجی) به همان اندازه مجموع ولتاژهای آستانه MOSFET های خروجی ($V_{tN} + |V_{tP}|$) کاهش می‌یابد. به این صورت جریان سکون ترانزیستورهای خروجی در مقابل تغییرات دما ثابت نگهداشته می‌شود.

بطور تحلیلی، V_{GG} چنین بدست می‌آید:

$$V_{GG} = \left(1 + \frac{R_3}{R_4}\right) V_{BE6} + \left(1 + \frac{R_1}{R_2}\right) V_{BE5} - 4\,V_{BE} \qquad (۹-۴۸)$$

چون V_{BE6} بصورت حرارتی با قطعات خروجی تزویج گرمایی دارد، در حالی که BJT های دیگر در دمای ثابت باقی می‌مانند، داریم:

$$\frac{\partial V_{GG}}{\partial T} = \left(1 + \frac{R_3}{R_4}\right)\left(\frac{\partial V_{BE6}}{\partial T}\right) \qquad (۹-۴۹)$$

که این رابطه برای تعیین R_3/R_4 لازم است طوری که $\partial V_{GG} / \partial T = \partial(V_{tN} + |V_{tP}|) / \partial T$ باشد. در آنصورت ضرب‌کننده دیگر V_{BE} برای بدست آوردن مقدار V_{GG} موردنیاز و بنابراین جریان سکون دلخواه در Q_N و Q_P تنظیم می‌شود.

تمرینها

۹-۱۸ در مدار شکل ۳۸-۹ نسبت R_3/R_4 را برای ایجاد پایداری حرارتی جریان سکون Q_N و Q_P ، بدست آورید. فرض کنید تغییرات $|V_t|$ ، ۳mV/°C− و تغییرات $\partial V_{BE} / \partial T = -2$ mV/°C ، باشد.
جواب. ۲

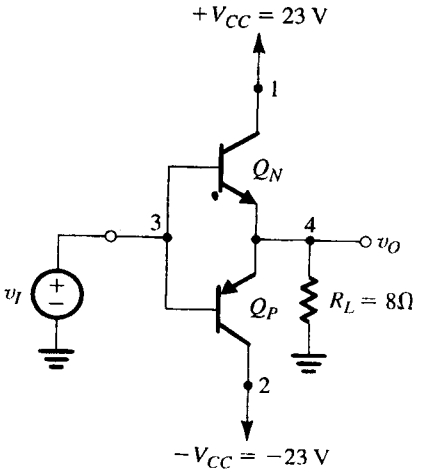
۹-۱۹ در مدار شکل ۳۸-۹ فرض کنید BJT ها دارای V_{BE} اسمی ۰/۷V و MOSFET ها دارای $|V_t| = 3$ V ، $\mu_n C_{ox}(W/L) = 2$ A/V^2 باشند. می‌خواهیم جریان سکون در طبقهٔ خروجی، ۱۰۰ mA و در طبقه راه‌انداز، ۲۰ mA باشد $|V_{GS}|$ ، V_{GG} ، R و R_1/R_2 را بدست آورید. از مقدار R_3/R_4 تمرین ۱۸-۹ استفاده کنید.
جواب. ۳/۳۲ V، ۶/۶۴ V، ۳۳۲ Ω، ۹/۵ ❑

۹-۱۰ مثالی از شبیه سازی SPICE

این فصل را با ارائه مثالی که استفاده از SPICE را برای تحلیل مدارهای خروجی تشریح می‌کند، به پایان می‌بریم.

مثال ۶-۹: طبقه خروجی کلاس B

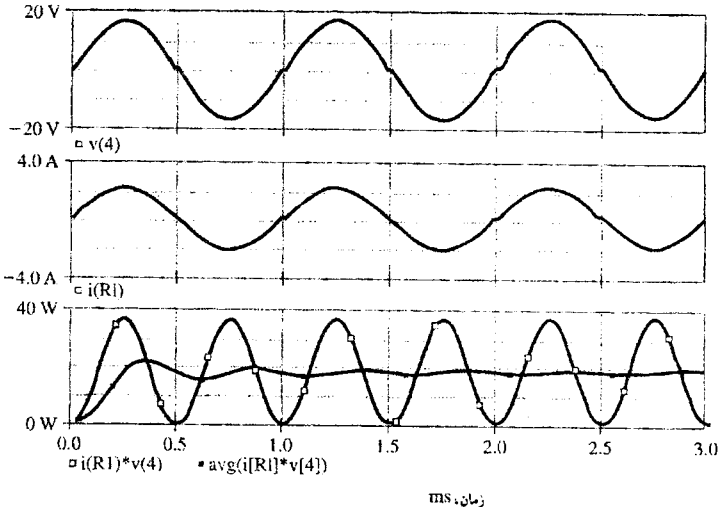
عملکرد طبقه خروجی کلاس B شکل (۳۹-۹) را با ترانزیستورهای زوج مکمل NA۵۱ و NA۵۲ شرکت National Semiconductor بررسی می‌کنیم. برای مقایسه با تحلیل دستی، در شبیه سازی از ولتاژها و عناصر مساوی و یا نزدیک به مدار مثال (۱-۹) یعنی از مقاومت بار ۸Ω ، سیگنال ورودی، سینوسی با مقدار نوک ۱۷/۹ V و فرکانس ۱KHz و منبع تغذیه ۲۳V استفاده می‌کنیم. فایل ورودی SPICE این



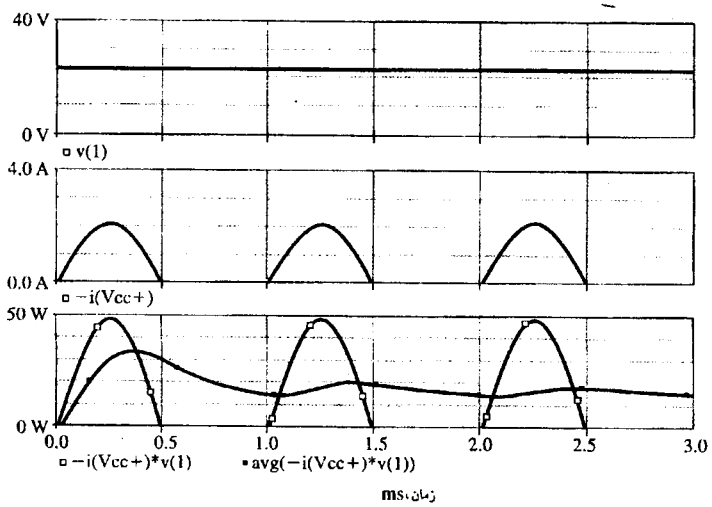
شکل ۳۹-۹. طبقه خروجی کلاس B برای شبیه‌سازی SPICE مثال ۶-۹

مدار در ضمیمه ت آورده شده است. تحلیل گذرا در گستره صفر تا ۳ میلی ثانیه انجام شده و شکل موج ولتاژ گره‌ها و جریان شاخه‌های مختلف ترسیم شده‌اند. در این مثال از قابلیت Probe شبیه ساز PSPICE برای محاسبه توان مصرفی استفاده شده است. قابلیت‌های دیگری نیز در انواع دیگر SPICE برای این منظور وجود دارد.

چند شکل موج در شکل (۴۰-۹) رسم شده است. نمودار بالایی و میانی، ولتاژ و جریان بار را نشان می‌دهد. دامنه نوک ولتاژ V ۱۷/۰۵ و دامنه نوک جریان A ۲/۱۳ است و در هر دو اعوجاج تقاطعی وجود دارد. نمودار پایین توان متوسط و لحظه‌ای مصرف شده در بار مقاومتی را که با قابلیت Probe از ضرب ولتاژ و جریان به دست آمده و از متوسط گیری آن، توان متوسط (P_L) حاصل شده است، نشان می‌دهد. رفتار گذرای توان متوسط بار که گاهی در حالت پایدار در



شکل ۴۰-۹. شکل موج‌های مربوطه به طبقه خروجی کلاس B در شکل (۳۹-۹) در حالتی که با سیگنال سینوسی با مقدار V ۱۷/۹ و فرکانس ۱ kHz تحریک شده است. نمودارها از بالا به پایین، به ترتیب ولتاژ روی مقاومت بار، جریان بار و توان مصرفی متوسط و لحظه‌ای بار را نشان می‌دهد.

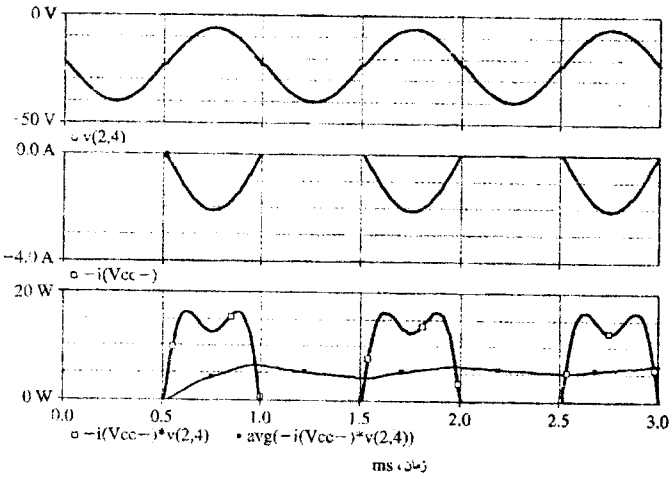


شکل ۴۱-۹. ولتاژ (نمودار بالا)، جریان (نمودار وسط) و توان متوسط و لحظه‌ای (نمودار پایین) فراهم شده توسط ولتاژ تغذیه مثبت ($+V_{CC}$) در مدار شکل (۳۹-۹)

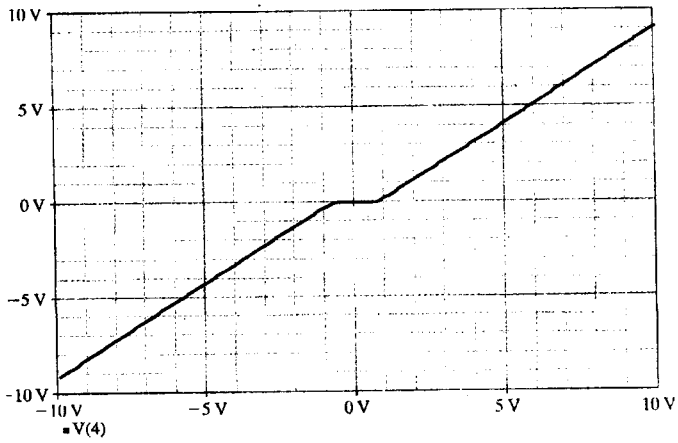
حدود W ۱۷/۷ تقریباً ثابت می‌شود ناشی از الگوریتم به کار گرفته شده توسط SPICE برای متوسط گیری از شکل موج است.

دو نمودار بالایی شکل (۴۱-۹)، شکل موج‌های ولتاژ جریان تغذیه مثبت $+V_{CC}$ را نشان می‌دهند. در نمودار پایین توان لحظه‌ای و متوسط فراهم شده توسط $+V_{CC}$، به نمایش در آمده است. شکل موج‌های مشابه را برای تغذیه منفی $-V_{CC}$ نیز می‌توان رسم کرد. توان متوسط فراهم شده توسط هر تغذیه حدود W ۱۵ و برای کل منبع تغذیه، P_S، W ۳۰ است. بنابراین بازده تبدیل توان را می‌توان بصورت $\eta = P_L/P_S = \frac{۱۷/۷}{۳۰} \times ۱۰۰\% = ۵۹\%$ محاسبه کرد.

شکل (۴۲-۹) ترسیم‌های ولتاژ، جریان و توان مربوط به ترانزیستور Q_P را نشان می‌دهد. شکل موج‌های مشابه را می‌توان برای Q_N بدست آورد. همانطور که انتظار می‌رود شکل موج، سینوسی است و شکل موج جریان نیم سینوسی می‌باشد، اما شکل موج توان لحظه‌ای



شکل ۴۲-۹. شکل موج‌های ولتاژ، جریان و توان مصرفی متوسط ترانزیستور pnp یعنی Q_P در طبقه خروجی شکل (۳۹-۹)



شکل ۴۳-۹. مشخصه انتقالی طبقه خروجی کلاس B شکل (۳۹-۹)

نسبتاً غیر معمول است و بعلت این که راه اندازی ترانزیستورها نسبتاً مشکل است، دارای اعوجاج است. این مسأله را می‌توان با کاهش دامنه سیگنال ورودی اثبات کرد. اگر دامنه را به حدود ۱۷ V کاهش دهیم، این "فرو رفتگی" ناپدید می‌شود. توان مصرفی متوسط هر یک از ترانزیستورهای Q_N و Q_P را می‌توان با قابلیت Probe، در حدود ۶ W به دست آورد.

در جدول (۱-۹) نتایج به دست آمده از شبیه سازی SPICE و مقادیر متناظر حاصل از تحلیل دستی، مقایسه شده است. توجه کنید که دو گروه نتایج کاملاً نزدیک به هم هستند.

در شکل (۴۳-۹) مشخصه انتقالی ولتاژ (VTC) مدار کلاس B برای بررسی بیشتر اعوجاج تقاطعی، ترسیم شده است. این نمودار با استفاده از فرمان جاروب DC با V_i متغیر در گستره ۱۰ V- تا ۱۰ V+ و افزایش ۵۰ میلی ولتی، به دست آمده است. شیب VTC تقریباً واحد است و باند مرده از ۰/۷۲ V- تا ۰/۷۲ V+ امتداد یافته است. مقدار اعوجاج تقاطعی را می‌توان با انجام تحلیل فوریه شکل موج ولتاژ خروجی به دست آورد. این کار با فرمان FOUR. در SPICE انجام می‌شود. این فرمان شکل موج را از طریق تحلیل گذرا به مولفه‌های سری فوریه‌اش تجزیه می‌کند و علاوه بر آن SPICE اعوجاج هارمونیک کلی (THD) شکل موج خروجی را محاسبه می‌کند. نتایج به دست آمده در ادامه آمده است. یاد آوری می‌کنیم که شکل موج خروجی از نظر هارمونیک‌های زوج غنی‌تر بوده و THD حاصله نسبتاً بالاست (۲/۵۵٪).

جدول ۱-۹. توان‌های مختلف مربوط به طبقه خروجی کلاس B نشان داده شده در شکل (۳۹-۹) که بصورت دستی و با تحلیل SPICE به دست آمده است. در آخرین ستون سمت راست درصد خطای نسبی بین مقادیر تحلیل دستی و تحلیل SPICE نشان داده شده است.

بازده / توان		تحلیل دستی	SPICE	%خطا
P_S	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}$	۳۱/۲ W	۳۰ W	۴
P_D	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} - \frac{1}{2}\frac{\hat{V}_o^2}{R_L}$	۱۳/۰ W	۱۲ W	۸/۳
P_L	$\frac{1}{2}\frac{\hat{V}_o^2}{R_L}$	۱۸/۲ W	۱۷/۷ W	۲/۸
η	$\frac{P_L}{P_S} \times 100\%$	٪۵۸/۳	٪۵۹	-۱/۲

```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(4)

DC COMPONENT = 9.648686E-05

HARMONIC    FREQUENCY    FOURIER     NORMALIZED    PHASE       NORMALIZED
  NO          (Hz)       COMPONENT   COMPONENT     (DEG)       PHASE (DEG)

   1       1.000E+03   1.683E+01   1.000E+00   -8.163E-05    0.000E+00
   2       2.000E+03   1.373E-04   8.162E-06   -9.067E+01   -9.067E+01
   3       3.000E+03   3.387E-01   2.013E-02   -1.800E+02   -1.800E+02
   4       4.000E+03   6.927E-05   4.117E-06   -8.964E+01   -8.964E+01
   5       5.000E+03   1.977E-01   1.175E-02   -1.800E+02   -1.800E+02
   6       6.000E+03   5.794E-05   3.443E-06   -8.846E+01   -8.846E+01
   7       7.000E+03   1.378E-01   8.188E-03   -1.800E+02   -1.800E+02
   8       8.000E+03   5.281E-05   3.139E-06   -8.740E+01   -8.740E+01
   9       9.000E+03   1.045E-01   6.213E-03   -1.800E+02   -1.800E+02

TOTAL HARMONIC DISTORTION = 2.547618E+00 PERCENT
```

خلاصه

- طبقات خروجی برحسب زاویه هدایت ترانزیستور به این صورت دسته‌بندی می‌شوند: کلاس A (°۳۶۰)، کلاس AB (کمی بیش از °۱۸۰) و کلاس C (کمتر از °۱۸۰).
- متداولترین طبقه خروجی کلاس A امیتر پیرو می‌باشد و در جریانی بزرگتر از جریان نوک بار بایاس می‌شود.
- ماکزیمم اتلاف توان طبقه خروجی A در شرایط سکون است ($v_O = ۰$). بازده تبدیل توان آن ٪۲۵ می‌باشد.
- طبقه کلاس B در جریان صفر بایاس شده و بنابراین هیچ اتلاف توانی در حالت ساکن ندارد.
- بازده تبدیل توان طبقه کلاس B، ٪۷۸/۵ است. ماکزیمم اتلاف توان آن در $\hat{V}_o = (۲/\pi)V_{CC}$ اتفاق می‌افتد.
- مشکل طبقه کلاس B، داشتن اعوجاج تقاطعی است.
- جریان بایاس طبقه خروجی کلاس AB کم است. بنابراین هر دو ترانزیستور با سیگنالهای کوچک ورودی هدایت کرده، اعوجاج تقاطعی به کلی حذف می‌شود.
- روابط توان در طبقه کلاس AB مانند کلاس A است اما اتلاف توان ساکن آن کمی بیشتر است.
- برای محافظت در مقابل فرار حرارتی ولتاژ بایاس مدار کلاس AB همانند V_{BE} ترانزیستورهای خروجی بصورت متغیر طراحی می‌شود.
- برای سهولت در دفع حرارت تراشه سیلیکینی، ادوات قدرتی روی گرماگیر نصب می‌شوند. ماکزیمم توان اتلافی مجاز قطعه از رابطهٔ زیر بدست می‌آید:

$$P_{D_{\text{ماکزیمم}}} = \frac{T_{J_{\text{ماکزیمم}}} - T_A}{\theta_{JC} + \theta_{CS} + \theta_{SA}}$$

در رابطه فوق $T_{J_{\text{ماکزیمم}}}$ و θ_{JC} توسط سازندگان مشخص شده و θ_{CS} و θ_{SA} به طراحی گرماگیر بستگی دارند.

- استفاده از آرایش دارلینگتون در طبقهٔ خروجی کلاس AB نیاز به راه‌اندازی جریان بیس را کاهش می‌دهد. در مدارهای مجتمع، بکارگیری آرایش pnp مرکب مرسوم‌تر است.
- طبقات خروجی معمولاً دارای مدارهایی هستند که در صورت بروز اتصال کوتاه روشن شده، جریان راه‌انداز بیس و بنابراین جریان امیتر ترانزیستور خروجی را محدود می‌کنند.
- IC های تقویت‌کنندهٔ قدرت شامل تقویت‌کننده‌های ولتاژ سیگنال کوچک و بدنبال آن طبقه خروجی توان بالا، می‌باشند. از فیدبک کلی، روی تراشه یا بصورت خارجی استفاده می‌شود.
- آرایش تقویت‌کنندهٔ پل، روی بارهای شناور، ولتاژ خروجی نوک تا نوک دو برابر مقداری که از یک تقویت‌کنندهٔ منفرد با بار زمین شده حاصل می‌شود، تولید می‌کند.
- ترانزیستور DMOS، یک قطعه قدرتی باکانال کوتاه است و توانایی کار در جریانها و ولتاژهای زیاد را دارد.
- جریان درین MOSFET قدرتی در جریانهای پایین دارای ضریب حرارتی مثبت است بنابراین، این قطعه درگیر مشکل فرار حرارتی می‌باشد. در جریانهای زیاد ضریب حرارتی i_D منفی است.

مسائل

بخش ۲-۹: طبقه خروجی کلاس A

۱-۹ یک امیتر پیرو کلاس A با استفاده از مدار شکل ۲-۹ بایاس شده و دارای $V_{CC} = ۵\text{V}$، $R = R_L = ۱\ \text{k}\Omega$ بوده و همه ترانزیستورهای آن (شامل $Q_۳$) مساوی می‌باشند. فرض کنید $V_{BE} = ۰/۷\ \text{V}$، $V_{CE_{\text{sat}}} = ۰/۳\ \text{V}$، و β خیلی بزرگ باشد. برای عملکرد خطی، محدوده‌های بالا و پایین ولتاژ خروجی و ورودیهای متناظر با آن کدامند؟ اگر ناحیه پیوند بیس - امیتر $Q_۳$ دو برابر $Q_۲$ باشد این مقادیر چه تغییری می‌کنند؟ اگر نصف باشد چقدر؟

۲-۹ با استفاده از الگوی شکل ۲-۹ و ترانزیستورهای NMOS افزایشی یک سورس پیرو طراحی شده است هر سه ترانزیستور یکسان و دارای $V_t = ۱\text{V}$ و $\mu_n C_{ox} W/L = ۲۰\ \text{mA/V}^۲$ می‌باشند. فرض کنید $V_{CC} = ۵\text{V}$ و $R = R_L = ۱\ \text{k}\Omega$ است. محدوده‌های بالا و پایین ولتاژ خروجی ورودیهای متناظر با آن برای عملکرد خطی چیست؟

ط۳-۹ با استفاده از آرایش پیرو شکل ۲-۹ و منبع تغذیه ۹ V ±، با بهره‌گیری از کمترین مقدار جریان تغذیه طرحی به منظور داشتن خروجی‌های ۷V ± با بار ۱ kΩ پیشنهاد کنید. می‌توانید از چهار BJT یکسان با β زیاد و مقاومت‌های دلخواه استفاده نمایید.

ط۴-۹ یک امیتر پیرو با بهره‌گیری از مدار شکل ۲-۹ که گسترهٔ ولتاژ خروجی آن ۵ V ± باشد، با استفاده از $V_{CC} = ۱۰\ \text{V}$ مورد نیاز است. طراحی باید بگونه‌ای باشد که تغییرات جریان ترانزیستور امیتر پیرو برای بارهایی به کوچکی ۱۰۰ Ω از ضریب ۱۰ تجاوز نکند. مقدار R لازم چقدر است؟ بهرهٔ ولتاژ افزایشی پیرو بدست آمده در، ۵ V− و ۰ و ۵ = v_O + و با بار ۱۰۰ Ω چقدر است؟ درصد تغییرات بهره در این گسترهٔ v_O چیست؟

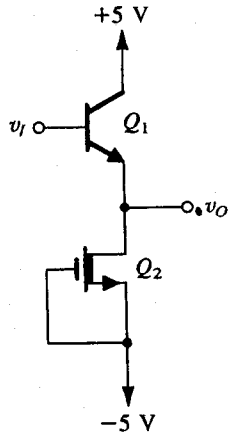
***۵-۹** فرض کنید مدار پیرو شکل ۲-۹ که در آن، $R_L = V_{CC}/I$ می‌باشد، با یک موج مربعی راه‌اندازی شود. گستره خروجی آن از V_{CC}+ تا $-V_{CC}$ (با اغماض از $V_{CE_{\text{sat}}}$) باشد. معادل شکل ۴-۹ را برای v_O و $i_{C۱}$ و $p_{D۱}$ در این حالت رسم کنید. مسأله را برای خروجی موج مربعی با سطوح نوک $\pm V_{CC}/۲$ تکرار کنید. توان اتلافی متوسط $Q_۱$ در هر حالت چقدر است؟ این نتایج را با مقادیر حاصل از موج سینوسی با دامنه نوک V_{CC} و $V_{CC}/۲$ مقایسه کنید.

۶-۹ شرایط مسأله ۵-۹ را با خروجی‌های موج مربعی با مقادیر نوک تا نوک $۲V_{CC}$ و V_{CC} و موجهای سینوسی با همین مقدار درنظر بگیرید. توان متوسط تلف‌شده در ترانزیستور منبع جریان $Q_۲$ را بدست آورید.

۷-۹ شرایط تمرین ۴-۹ را با تغییرات V_{CC}، مخصوصاً برای ۸ V و ۱۰، ۱۲، ۱۶ = V_{CC} درنظر بگیرید. فرض کنید $V_{CE_{\text{sat}}}$ تقریباً صفر باشد. بازده تبدیل توان در هر حالت چقدر است؟

۸-۹ پیرو BiCMOS شکل (م ۸-۹) از قطعاتی که در آنها $V_{BE} = ۰/۷\text{V}$، $V_{CE_{\text{sat}}} = ۰/۳\ \text{V}$، $\mu_n C_{ox} W/L = ۲۰\ \text{mA/V}^۲$ و $V_t = -۲\ \text{V}$ است استفاده می‌کند. گسترهٔ ولتاژهای خروجی با $R_L = \infty$ برای عملکرد خطی چقدر است؟ با $R = ۱۰۰\Omega$ چقدر؟ کوچکترین

مقاومت مجاز خروجی برای داشتن موج سینوسی خروجی نوک تا نوک ۱ V چقدر است؟ بازده تبدیل توان متناظر با آن چیست؟



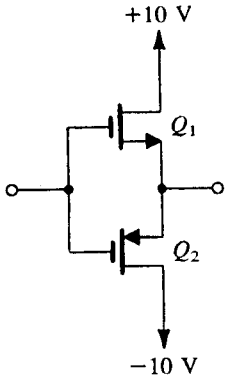
شکل (م ۸-۹)

بخش ۳-۹: طبقه خروجی کلاس B

۹-۹ مدار طبقه خروجی کلاس B، BJT مکمل را درنظر بگیرید. در چه دامنه‌ای از سیگنال ورودی، اعوجاج تقاطعی باعث حذف ۱۰٪ دامنه نوک می‌شود؟

۱۰-۹ آرایش فیدبک با خروجی کلاس B شکل ۹-۹ را درنظر بگیرید. فرض کنید بهرهٔ تقویت‌کننده $A_o = ۱۰۰$ V/V باشد. با فرض $|V_{BE}| = ۰/۷$V عبارتی برای v_O نسبت به v_I بدست آورید. مشخصه انتقالی v_O نسبت به v_I را رسم کرده آنرا با حالت بدون فیدبک مقایسه کنید.

۱۱-۹ طبقه خروجی کلاس B را که با بهره‌گیری از MOSFET های افزایشی در شکل (م ۱۱-۹) به نمایش درآمده درنظر بگیرید. فرض کنید قطعه‌ها دارای $|V_t| = ۱$ V و $\mu_n C_{ox} W/L = ۲۰۰\ \mu A/V^۲$ باشند. با ورودی سینوسی با دامنه نوک ۵ V و فرکانس ۱۰ kHz و مقاومت بار زیاد، مقدار نوک خروجی چقدر است؟ بازهٔ زمانی اعوجاج تقاطعی چه کسری از دورهٔ تناوب موج سینوسی است؟ به ازای چه مقاومت باری، مقدار نوک ولتاژ خروجی به نصف ورودی تقلیل می‌یابد؟



شکل (م ۱۱-۹)

۱۲-۹ طبقه خروجی کلاس B، BJT مکمل را با اغماض از اثرات V_{BE} و V_{CEsat} درنظر بگیرید. برای منبع تغذیه ۱۰ V± و مقاومت بار ۱۰۰ Ω، بیشترین توان خروجی سینوسی چقدر است؟ توان منبع متناظر با آن چقدر؟ بازده تبدیل توان چقدر؟ برای سیگنالهای خروجی با دامنه‌ای مساوی با نصف این دامنه، توان خروجی، توان منبع و بازده تبدیل توان را بدست آورید.

ط ۱۳-۹ یک طبقه خروجی کلاس B با منبع تغذیه ۵ V± کار می‌کند. با فرض اینکه ترانزیستورها نسبتاً ایده‌آل هستند، ولتاژ خروجی را برای ماکزیمم بازده تبدیل توان بدست آورید. ولتاژ خروجی برای ماکزیمم توان اتلافی قطعه چقدر است؟ اگر توان اتلافی هر قطعه بطور مجزا ۱ W و با ضریب اطمینان ۲ باشد کمترین مقدار مجاز برای مقاومت بار در حالت ولتاژ خروجی کامل چقدر است؟ اگر کار در نیمی از ولتاژ خروجی کامل باشد این مقاومت چقدر است؟ بیشترین توان خروجی ممکن در هر حالت چیست؟

ط ۱۴-۹ می‌خواهیم توان تحویلی ۱۰۰ W را به یک مقاومت ۱۶ Ω با یک طبقه خروجی کلاس B تأمین کنیم. منبع تغذیه باید ۴ V بیشتر از ولتاژ خروجی نوک متناظر با آن باشد. ولتاژ منبع تغذیه (نزدیکترین ولتاژ در جهت مناسب) جریان پیک هر منبع و بازده تبدیل توان را تعیین کنید. ماکزیمم اتلاف توان مجاز در هر ترانزیستور با ورودی سینوسی را بدست آورید.

۱۵-۹ طبقه خروجی کلاس B، BJT را با ولتاژ خروجی مربعی با دامنه $\hat{V}_o$ روی بار R_L و منابع تغذیه $\pm V_{SS}$ درنظر بگیرید. با اغماض از اثرات V_{BE} و V_{CEsat}، توان بار، توان تغذیه، بازده تبدیل توان، ماکزیمم بازده تبدیل توان قابل حصول و مقدار $\hat{V}_o$ متناظر با آن و ماکزیمم توان بار را بدست آورید. مقداری از $\hat{V}_o$ را که به ازای آن اتلاف توان ترانزیستورها به مقدار نوک می‌رسد و بازده تبدیل توان متناظر با آن را بدست آورید.

بخش ۴-۹: طبقه خروجی کلاس AB

ط ۱۶-۹ جریان نقطه سکون یک طبقه خروجی BJT کلاس AB را طوری طراحی کنید که بهرهٔ ولتاژ افزایشی v_I در همسایگی مبدأ، ۰/۹۹ V/V برای بارهای بزرگتر از ۱۰۰Ω باشد. اگر BJTها دارای $V_{BE} = ۰/۷$V در جریان کلکتور ۱۰۰ mA باشند، مقدار V_{BB} لازم را تعیین کنید.

ط ۱۷-۹ طراحی یک طبقه خروجی MOS افزایشی کلاس AB موردنظر است قطعه‌های موجود دارای $|V_t| = ۱$ V و $\mu_n C_{ox} W/L = ۲۰۰ mA/V^۲$ می‌باشند. مقدار لازم ولتاژ بایاس گیت به گیت، V_{GG}، برای کاهش مقاومت افزایشی خروجی حالت ساکن به ۱۰ Ω چقدر است؟

***۱۸-۹** یک طبقه خروجی کلاس AB شبیه شکل ۱۱-۹ اما با بهره‌گیری از منبع تغذیه ۱۰ V+ و بایاس شده در $V_I = ۶$ V با کوپلاژ خازنی به بار ۱۰۰ Ω متصل شده است. اگر ترانزیستورها در جریان ۱ mA دارای $|V_{BE}| = ۰/۷$ V و ولتاژ بایاس $V_{BB} = ۱/۴$ V باشد جریان سکون حاصل چقدر است؟ برای یک تغییر پله‌ای در خروجی از ۰ تا ۱ V−، پلهٔ ورودی لازم چقدر است؟ با فرض اینکه ولتاژ اشباع ترانزیستورها صفر باشد. بزرگترین پله‌های پایین رونده و بالارونده در خروجی را بدست آورید.

بخش ۵-۹: بایاس مدار کلاس AB

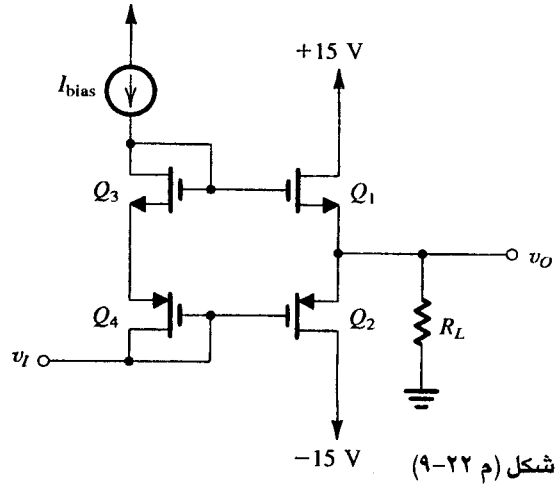
ط ۱۹-۹ مدار کلاس AB بایاس دیودی شکل ۱۴-۹ را درنظر بگیرید. در $I_{بایاس} = ۱۰۰\ \mu A$، اندازهٔ نسبی (n) که برای قطعه‌های خروجی نسبت

به قطعه‌های بایاس باید مورد استفاده قرار گیرد برای اطمینان از مقاومت خروجی Ω ۱۰ یا کمتر چقدر است؟

ط* ۹-۲۰ یک طبقه خروجی کلاس AB با استفاده از شبکه بایاس دو دیودی شکل ۹-۱۴ از دیودهایی با همان ناحیه پیوند ترانزیستورهای خروجی بهره می‌برد. در حالت $V_{CC} = 10$ V ، $I_{\text{بایاس}} = 0/5$ mA ، $R_L = 100\Omega$ ، $\beta_N = 50$ و $|V_{CE_{sat}}| = 0$ V جریان نقطه سکون چقدر است؟ بیشترین سطوح خروجی مثبت و منفی ممکن چقدر است؟ برای اینکه مقادیر نوک مثبت و منفی مساوی باشد، اگر $I_{\text{بایاس}}$ بدون تغییر بماند مقدار β_N موردنیاز چقدر است؟ چه مقدار $I_{\text{بایاس}}$ موردنیاز است اگر β_N، ۵۰ باشد؟ برای این مقدار، I_Q چقدر می‌شود؟

** ۹-۲۱ یک طبقه خروجی کلاس AB با استفاده شبکه بایاس ورودی شکل ۹-۱۴ از دیودهایی با همان ناحیه پیوند ترانزیستورهای خروجی بهره می‌برد. در دمای اتاق حدود ۲۰°C جریان ساکن ۱mA و $|V_{BE}| = 0/6$V است. بعلت خطایی در هنگام ساخت، کوپلاژ حرارتی بین ترانزیستورهای خروجی و ترانزیستورهای اتصال دیودی بایاسینگ از بین رفته است. بعد از مدتی کار، حرارت قطعه‌های خروجی به ۷۰ °C می‌رسد در حالی که قطعه‌های ورودی در ۲۰°C باقی می‌مانند بنابراین در حالی که V_{BE} هر قطعه بدون تغییر می‌ماند جریان سکون قطعه‌های خروجی افزایش می‌یابد برای محاسبه مقدار جریان جدید بخاطر آورید که دو اثر وجود دارد: I_S تقریباً ۱۴ %/ °C افزایش می‌یابد و $V_T = kT/q$ تغییر می‌کند چون (حرارت بر حسب °C + ۲۷۳° = T) می‌باشد که در آن $V_T = 25$ mV فقط در ۲۰°C است. ممکن است فرض کنید که β_N تقریباً ثابت می‌ماند این فرض بر این حقیقت استوار است که β با حرارت زیاد می‌شود اما با جریان کم می‌شود (شکل ۶۸-۴) مقدار جدید I_Q چقدر است؟ اگر منبع تغذیه ±۲۰ V باشد توان اتلافی اضافی چقدر است؟ اگر دمای ترانزیستور خروجی ۱۰ °C به ازای هر وات توان اضافی، افزایش یابد، افزایش دما و جریان حاصل چقدر است؟ این فرآیند فرار حرارتی نامیده می‌شود.

ط ۹-۲۲ شکل (م ۹-۲۲) یک طبقه خروجی کلاس AB MOSFET افزایشی را نشان می‌دهد همه ترانزیستورها دارای $|V_t| = 1$ V و $k_1=k_2=nk_3=nk_4$ هستند، که در آن $k = \mu_n C_{ox} W/L$ ، پارامتر هدایت انتقالی MOSFET است. و $k_3 = 2$ mA/V² می‌باشد. برای $I_{\text{بایاس}} = 100\mu A$ و $R_L = 1$ kΩ مقدار n را که منجر به بهرهٔ سیگنال کوچک ۰/۹۹ برای ولتاژهای خروجی حول صفر شود و مقدار I_Q متناظر با آن را بدست آورید.



شکل (م ۹-۲۲)

ط ۹-۲۳ مثال ۹-۳ را در حالتی که جریان خروجی نوک مثبت ۲۰۰mA باشد تکرار کنید از همان تقریبها برای حاشیه‌های امنیت استفاده کنید. R_1 و R_2 را چقدر انتخاب می‌کنید؟

** ۹-۲۴ یک ضرب‌کنندهٔ V_{BE} با مقاومتهای مساوی برای کار نامی در جریان پایانهٔ ۱ mA با جریان یافتن نیمی از آن در شبکه بایاس طراحی شده است. طراحی اولیه با توجه به $\beta = \infty$ و $V_{BE} = 0/7$ V در ۱ mA صورت گرفته است.

(الف) مقادیر لازم مقاومت‌ها و ولتاژ پایانه را بدست آورید.

(ب) ولتاژ پایانه را که در اثر افزایش جریان پایانه به ۲ mA حاصل می‌شود پیدا کنید؟ β را بی‌نهایت فرض کنید.

(پ) قسمت (ب) را برای حالتی که جریان پایانه ۱۰ mA شود تکرار کنید.

(ت) قسمت (پ) را با مقدار واقعی $\beta = 100$ تکرار کنید.

بخش ۹-۶ BJT های قدرت

ط ۹-۲۵ یک ترانزیستور خاص دارای مقاومت حرارتی $\theta_{JA} = 2$°C/W در دمای محیط ۳۰ °C با ولتاژ کلکتور - امیتر ۲۰ V کار می‌کند. اگر برای مدت طولانی ماکزیمم حرارت پیوند ۱۳۰ °C بماند نرخ توان متناظر قطعه چقدر است؟ بیشترین جریان متوسط کلکتور که بایستی درنظر گرفت چقدر است؟

ط ۹-۲۶ یک ترانزیستور خاص دارای نرخ توان ۲۰۰ mW در ۲۵ °C است و ماکزیمم حرارت پیوند آن ۱۵۰ °C می‌باشد. مقاومت حرارتی آن چقدر است؟ نرخ توان آن هنگامی که در دمای محیط ۷۰ °C کار کند چقدر است؟ حرارت پیوند آن هنگام اتلاف توان ۱۰۰ mW در دمای محیط ۵۰°C چقدر است؟

ط ۹-۲۷ یک ترانزیستور قدرت در دمای محیط ۵۰ °C کار می‌کند و متوسط جریان امیتر آن ۳ A اتلاف و توان، ۳۰ W است. اگر مقاومت حرارتی ترانزیستور کمتر از ۳ °C/W باشد. بیشترین حرارت پیوند چقدر است؟ اگر V_{BE} این ترانزیستور با استفاده از جریان امیتر پالسی ۳ A در حرارت پیوند ۲۵ °C، ۰/۸ V باشد در حالت کار عادی متوسط V_{BE} چقدر است؟ (از ثابت حرارتی ۲ mV/°C− استفاده کنید)

۹-۲۸ در یک کاربرد خاص ترانزیستور مثال ۹-۴، قابلیت اطمینان فوق‌العاده ضروری است. برای بهبود قابلیت اطمینان ماکزیمم حرارت پیوند باید به ۱۰۰ °C محدود شود. در این شرایط چه تصمیمی می‌گیرید؟

۹-۲۹ یک ترانزیستور قدرت دارای ماکزیمم حرارت پیوند ۱۳۰ °C است. هنگامی که در این درجه حرارت روی گرماگیر کار می‌کند حرارت بدنه ۹۰°C می‌باشد. بدنه با یک رابط که مقاومت حرارتی آن $\theta_{CS} = 0/5$°C/W است روی گرماگیر نصب شده و مقاومت حرارتی گرماگیر نیز $\theta_{SA} = 0/1$°C/W است. اگر حرارت محیط ۳۰°C باشد اتلاف توان قطعه چقدر است؟ مقاومت حرارتی قطعه، θ_{JC}، از پیوند به بدنه چقدر است؟

۹-۳۰ یک ترانزیستور قدرت با $T_{Jmax} = 180$ °C می‌تواند ۵۰ W را در حرارت بدنهٔ ۵۰ °C تلف کند. اگر ترانزیستور با استفاده از یک واشر عایق با مقاومت حرارتی ۰/۶ °C/W، به گرماگیر متصل شود حرارت گرماگیر لازم برای اطمینان از کار در ۳۰ W چقدر است؟ در دمای محیط ۳۹ °C،

مقاومت حرارتی گرماگیر لازم چقدر است؟ اگر برای یک گرماگیر از آلومینیوم نازک قالبی استفاده شود که مقاومت حرارتی آن در هوا ۴/۵°C/W برای هر سانتیمتر طول باشد، گرماگیر باید چه طولی داشته باشد؟

۹-۳۱ یک ترانزیستور قدرت *npn* که در $I_C = ۱۰$ A کار می‌کند دارای جریان بیس ۰/۵ A و مقاومت ورودی افزایشی بیس ۰/۹۵ Ω می‌باشد. r_x چقدر است؟ (در این چگالی جریان $n = ۲$ می‌باشد)

۹-۳۲ یک ترانزیستور قدرت در $I_C = ۵$ A با ولتاژ بیس امیتر ۱/۰۵ V و جریان بیس ۱۹۰ mA، دارای مقاومت گستردهٔ (r_x)، ۰/۸ Ω می‌باشد. با فرض $n = ۲$ برای کار در چگالی جریان زیاد، انتظار دارید ولتاژ بیس - امیتر در جریان $I_C = ۲$A چقدر باشد؟

بخش ۷-۹: تغییرات آرایش کلاس AB

۹-۳۳ با استفاده از نتایج پاسخ تمرین ۱۱-۹ جریان ورودی مدار شکل ۲۴-۹ را برای $v_I = ۰$ و ±۱۰ V با بار بی‌نهایت و بار ۱۰۰ Ω تعیین کنید.

ط*۹-۳۴** مدار شکل ۲۴-۹ را در حالتی در نظر بگیرید که Q_1 و Q_2 کاملاً یکسان بوده و Q_3 و Q_4 نیز یکسانند اما دارای سطح پیوند ۳ برابر سایر ترانزیستورها هستند. برای $V_{CC} = ۱۰$ V مقادیر مقاومتهای R_1 تا R_4 که باعث برقراری جریان حداقل ۱۰ mA در بیس Q_3 و Q_4 در $v_I = +۵$V شود (هنگامی که بار به آن نیاز داشته باشد) و تغییرات جریانهای Q_1 و Q_2 بین ۲ تا ۱، و جریان سکون بدون بار ۴۰ mA در Q_3 و Q_4 باشد بدست آورید. $\beta_{1,2} \geq ۱۵۰$ و $\beta_{3,4} \geq ۵۰$ می‌باشد. برای ولتاژهای ورودی حدود صفر ولت مقاومت خروجی کلی پیرو راه‌اندازی شده با منبعی با مقاومت صفر چقدر است؟ برای ولتاژ ورودی ۱+ V و مقاومت بار ۲ Ω، ولتاژهای خروجی چقدر است؟ Q_1 و Q_2 در جریان ۱۰ mA دارای $|V_{BE}| = ۰/۷$V بوده و ثابت $n = ۱$ می‌باشد.

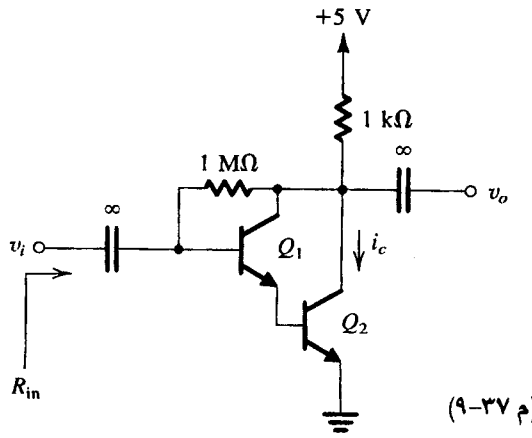
۹-۳۵ درمداری شبیه شکل ۲۴-۹ از چهار ترانزیستور یکسان با $|V_{BE}| = ۰/۷$V در جریان ۱۰ mA و $n = ۱$ و $\beta \geq ۵۰$ استفاده شده است. مقاومتهای R_1 و R_2 با منابع جریان ۲ mA تعویض شده و $R_3 = R_4 = ۰$ قرار داده می‌شوند. جریان سکون ترانزیستورهای خروجی چیست؟ جریان بایاس بیس‌های ترانزیستورهای ورودی چقدر است؟ به کجا جریان می‌یابد؟ جریان ورودی خالص (جریان افست) برای عدم تطبیق β به میزان ۱۰٪ چقدر است؟ برای یک مقاومت بار $R_L = ۱۰۰$ Ω مقاومت ورودی چقدر است؟ بهرهٔ ولتاژ سیگنال کوچک چقدر؟

۹-۳۶ یک ترانزیستور دارلینگتون مرکب را که از دو BJT، *npn* با $V_{BE} = ۰/۷$ V و $n = ۱$ تشکیل شده، بطور کامل مشخص کنید. $\beta \geq ۵۰$. برای کار در جریان ۱۰ mA مقادیر β_{eq}، V_{BEeq}، $r_{\pi eq}$ و g_{meq} را بدست آورید.

۹-۳۷ در مدار شکل (م ۳۷-۹) که در آن ترانزیستورها دارای $V_{BE} = ۰/۷$V و $\beta = ۱۰۰$ هستند، i_c، g_{meq}، v_o/v_i و R_{in} را بدست آورید.

۹-۳۸** BJT های مدار شکل (م ۳۸-۹) دارای $\beta_P = ۱۰$، $\beta_N = ۱۰۰$، $|V_{BE}| = ۰/۷$ V و $|V_A| = ۱۰۰$ V هستند.

(الف) جریان dc ی کلکتور هر ترانزیستور و مقدار V_C را بدست آورید.

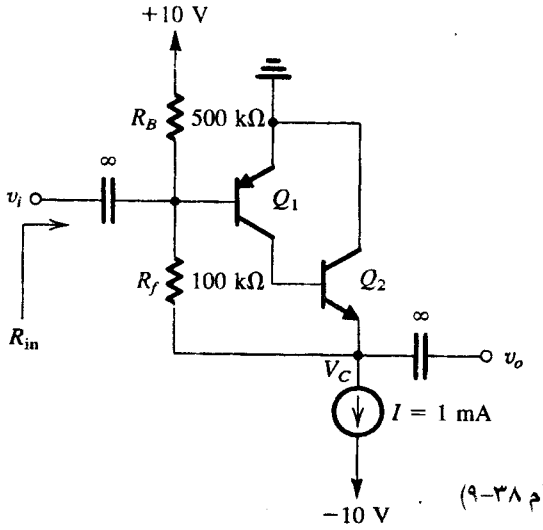


شکل (م ۳۷-۹)

(ب) با جایگذاری مدل هیبرید - π ترانزیستور بجای آن نشان دهید:

$$\frac{v_o}{v_i} \cong g_{m1}\,[r_{o1} \,//\, \beta_N (r_{o2} \,//\, R_f)]$$

(پ) مقادیر v_o/v_i و R_{in} را بدست آورید.



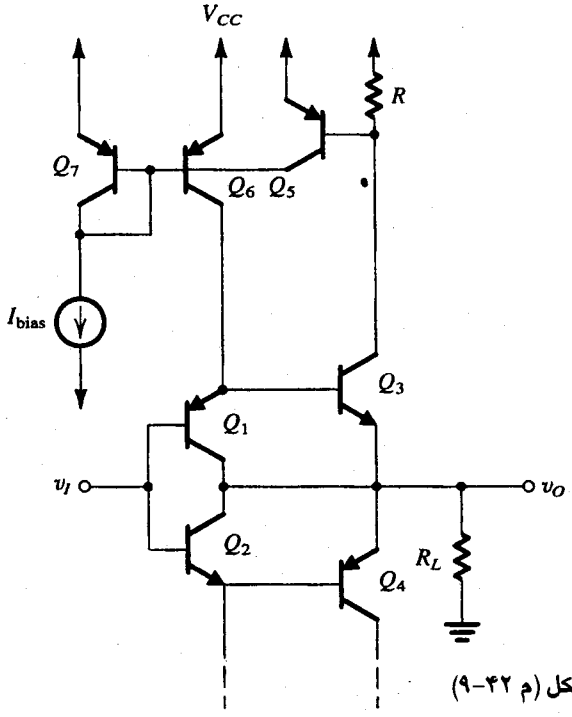
شکل (م ۳۸-۹)

ط۹-۳۹** طبقه خروجی کلاس AB ترانزیستور مرکب شکل ۲۷-۹ را که در آن Q_2 و Q_4 ترانزیستورهای کاملاً یکسان با $V_{BE} = ۰/۷$ V در جریان ۱۰mA و $\beta = ۱۰۰$، Q_1 و Q_5 دارای $V_{BE} = ۰/۷$ V در جریان ۱ mA و $\beta = ۱۰۰$ و Q_3 دارای $V_{EB} = ۰/۷$ V در جریان ۱ mA و $\beta = ۱۰$ است درنظر بگیرید. در همه ترانزیستورها $n = ۱$ می‌باشد. مدار را برای داشتن جریان سکون ۲ mA در Q_2 و Q_4، بایاس I در حدود ۱۰۰ برابر جریان بیس Q_1 در حالت آماده و جریان Q_5 حدود ۹ برابر مقاومتهای مربوط به آن، طراحی کنید. مقادیر ولتاژهای ورودی لازم برای تولید خروجی‌های ±۱۰ V برای بار ۱ kΩ را بدست آورید. از $V_{CC} = ۱۵$ V استفاده نمایید.

ط ۴۰-۹ تمرین ۱۳-۹ را برای تغییرات طراحی در ترانزیستور Q_5 با تغییر اندازهٔ آن با ضریب ۱۰ و بقیه شرایط تمرین مذکور تکرار کنید.

ط ۴۱-۹ تمرین ۱۳-۹ را برای یک طراحی که در آن جریان خروجی محدودکننده و جریان عادی نرک بترتیب ۵۰ mA و ۳۳/۳ mA تکرار کنید.

ط ۹-۴۲ مدار شکل (م ۴۲-۹) مانند شکل (۲۸-۹) برای محدودکردن جریان خروجی Q_3 در صورت اتصال کوتاه و سایر اختلالات عمل می‌کند. مزیت آن این است که مقاومت حس‌کنندهٔ جریان، R، مستقیماً در خروجی ظاهر نمی‌شود. مقدار R را که باعث می‌شود Q_5 روشن شده و همه جریان $I_{\text{بایاس}}$=۲mA را جذب کند، هنگامی که جریان تغذیه به ۱۵۰ mA می‌رسد بدست آورید. برای Q_5، $I_S = 10^{-14}$ A و $n = 1$ می‌باشد. اگر جریان نوک خروجی در حالت عادی ۱۰۰ mA باشد. ولتاژ R و جریان کلکتور Q_5 را بدست آورید.



شکل (م ۴۲-۹)

ط ۹-۴۳ مدار قطع حرارتی شکل ۲۹-۹ را درنظر بگیرید در دمای ۲۵°C، Z_1 دیود زنر ۶/۸ ولت با TC = ۲ mV/°C و Q_1 و Q_2 BJT هایی با V_{BE}=۰/۷V در جریان ۱۰۰ μA و دارای TC = −۲ mV/°C می‌باشند. مدار را طوری طراحی کنید که در ۱۲۵ °C، جریان Q_1 و Q_2، ۱۰۰ μA باشد. جریان Q_2 در ۲۵ °C چقدر است؟

بخش ۸-۹: IC های تقویت‌کنندهٔ توان

ط ۹-۴۴ در مدار تقویت‌کننده توان شکل ۳۰-۹ دو ترانزیستور در کنترل بهرهٔ ولتاژ مهم هستند، این دو ترانزیستور کدامند؟ کدامیک به تنهایی بهره را کنترل می‌کند؟ کدامیک هم بر خروجی dc و هم بر بهره اثر می‌گذارد؟ یک طراحی جدید که در آن سطح dc ی خروجی تقریباً $\frac{1}{3}V_S$ (بجای تقریباً $\frac{1}{2}V_S$) با بهره ۵۰ (مانند قبل) باشد انجام دهید. به چه تغییراتی نیاز دارید؟

۹-۴۵ قسمت انتهایی مدار شکل ۳۰-۹ را درنظر بگیرید. در V_S=۲۰V مقادیر تقریبی جریانهای بایاس در Q_1 تا Q_6 را بدست آورید. فرض کنید $\beta_{npn} = 100$، $\beta_{pnp} = 20$ و $|V_{BE}| = 0/7\,V$ باشد. ولتاژ dc در خروجی را نیز بدست آورید.

۹-۴۶ فرض کنید ولتاژ خروجی مدار شکل ۳۰-۹ از نظر سیگنال زمین باشد. (بنابراین فیدبک سیگنال غیرفعال است) و مقاومتهای ورودی حالت مشترک و تفاضلی را بدست آورید. بدین منظور R_4 و R_5 را درنظر نگیرید. فرض کنید V_S = ۲۰ V و β_{pnp} = ۱۰ و β_{pnp} = ۲۰ باشد. هدایت انتقالی از ورودی به خروجی اولین طبقه (در محل اتصال کلکتورهای Q_4 و Q_6 و بیس Q_{12}) را نیز بدست آورید.

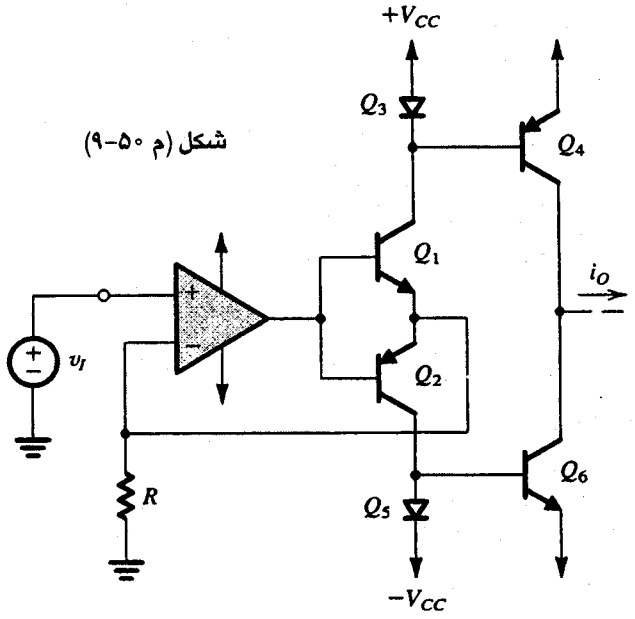
۹-۴۷ می‌خواهیم از تقویت‌کنندهٔ قدرت LM۳۸۰ برای راه‌اندازی بلندگوی ۸ اهمی با توان حداکثر ۱/۵ W استفاده کنیم با استفاده از نمودارهای شکل ۳۲-۹ ماکزیمم ولتاژ منبع تغذیه را تعیین کنید. (فقط از نمودارها استفاده کنید و درونیابی را نیز بکار نبرید) اگر ماکزیمم مقدار مجاز THD، ۳% باشد ماکزیمم توان بار چقدر است؟ برای تحویل این توان به بار به چه ولتاژ خروجی سینوسی نوک تا نوک، نیاز داریم؟

۹-۴۸ تقویت کننده LM ۳۸۰ را در نظر بگیرید. اگر منبع تغذیه ۲۰ V باشد هدایت انتقالی اولین طبقه، ۱/۶ mA/V است، پهنای باند بهرهٔ واحد را بدست آورید (f_t). از آنجا که بهره حلقه بسته تقریباً ۵۰ V/V است، پهنای باند ۳ dB آن را پیدا کنید.

ط ۹-۴۹ طبقه خروجی op−amp قدرت شکل ۳۳-۹ را درنظر بگیرید با بهره گیری از تغذیه ۱۵ V± یک طراحی انجام دهید که در آن خروجی V ۱۱± یا بیشتر باشد و جریانهایی بیش از ۲۰ mA± توسط Q_3 و Q_4 که ۱۰% آن توسط Q_5 و Q_6 تأمین می‌شود و جریانهای خروجی نوک ۱ A در خروجی کامل ۱۱V+ بدست آید. مانند اصول طراحی اولیه از $\beta = 50$ و $|V_{BE}| = 0/7$ V در همه جریانها استفاده کنید. همچنین R_5=R_6= ۰ می‌باشد.

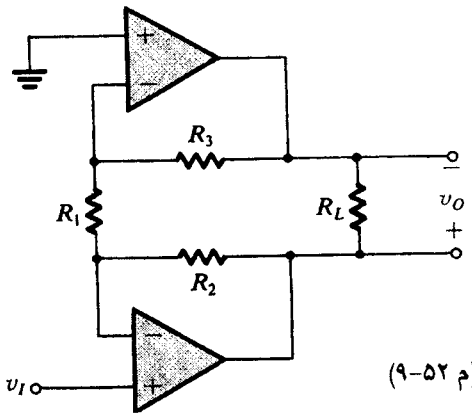
ط ۹-۵۰ در مدار شکل (م ۵۰-۹) با فرض اینکه همه ترانزیستورها دارای βی زیاد هستند نشان دهید $i_O = v_I/R$ می‌باشد. (این مبدل ولتاژ به جریان کاربردی از ساختار مداری فراگیری بنام انتقال‌دهندهٔ جریان می‌باشد، سدرا و رابرت ۱۹۹۰ را ببینید). برای $\beta = 100$، i_O واقعاً چند درصد از این مقدار کمتر است؟

ط ۹-۵۱ در تقویت‌کنندهٔ پل شکل ۳۴-۹ فرض کنید R_1=R_4=۱۰$k\Omega$ باشد. R_2 و R_4 را برای دستیابی به بهره کلی ۱۰ بدست آورید.



شکل (م ۵۰-۹)

ط ۹-۵۲ یک آرایش تقویت‌کنندهٔ پل دیگر با مقاومت ورودی بالا در شکل (م ۵۲-۹) به نمایش درآمده است. (دقت کنید که این مدار شبیه قسمت انتهایی مدار تقویت‌کنندهٔ اندازه‌گیری شکل ۲۳-۲ می‌باشد) بهرهٔ ولتاژ v_O/v_I چقدر است؟ برای op-amp که با تغذیه ۱۵ V± کارکرده و خروجی آن به ۱۳ V± محدود است، بزرگترین موج سینوسی روی R_L چیست؟ از مقاومت ۱ kΩ بعنوان کوچکترین مقاومت استفاده کنید) مقادیر مقاومتی را که منجر به v_O/v_I=۱۰ V/V شود بدست آورید.



شکل (م ۵۲-۹)

بخش ۹-۹: ترانزیستورهای قدرت MOS

ط ۹-۵۳ یک PMOS قدرتی خاص با C_{ox} = ۴۰۰ μF/m۲، W=۱۰^۵μm و V_t = ۲ V در v_{GS} = ۵ V بسرعت اشباع می‌شود. با بهره‌گیری از معادلات (۴۶-۹) و (۴۷-۹) عبارتی برای L و مقدار آن را برای ترانزیستور بدست آورید. در چه مقداری از جریان درین اشباع سریع شروع می‌شود؟ برای الکترونهای سیلیکین، U_{sat} = ۵ × ۱۰^-۶ cm/s و μ_n=۵۰۰ cm۲/V.s می‌باشد. g_m این قطعه در جریانهای بالا چقدر است؟

ط ۹-۵۴ طراحی تقویت‌کنندهٔ کلاس AB شکل ۳۸-۹ را با شرایط زیر درنظر بگیرید: $|V_t|$ = ۲ V، $\mu_n C_{ox} W/L$ = ۱۰۰ mA/V۲، $|V_{BE}|$ = ۰/۷V، β ی زیاد، $I_{QN} = I_{QP} = I_R$ = ۱۰ mA، $I_{Q۵} = I_{Q۶} = I_{بایاس}$ / ۲، $I_{بایاس}$ = ۱۰۰μA، $R_۲ = R_۴$، ضریب حرارتی V_{BE} = −۲mV/°C و ضریب حرارتی = − ۳ mV/°C، V_t در ناحیه جریان پایین. مقادیر R، $R_۱$، $R_۲$، $R_۳$ و $R_۴$ را بدست آورید. فرض کنید $Q_۶$، Q_P و Q_N دارای کوپلاژ حرارتی باشند. (R_G برای تحمل نوسانهای اغتشاشی در فرکانس بالا بکار می‌رود و مقدار آن معمولاً در حدود ۱۰۰ Ω است).

کتابشناسی

C. A. Holt, *Electronic Circuits*, New York: Wiley, 1978.

National Semiconductor Corporation, *Audio/Radio Handbook*, Santa Clara, Calif.: National Semiconductor Corporation, 1980.

G. W. Roberts and A. S. Sedra, SPICE, New York: Oxford Univ. Press, 1992 and 1997.

D. L. Schilling and C. Belove, *Electronic Circuits*, 2nd ed., New York: McGraw-Hill, 1979.

A. S. Sedra and G. W. Roberts, "Current conveyor theory and practice," Chapter 3 in *Analogue IC Design: The Current-Mode Approach*, C. Toumazou, F. J. Lidgey, and D. G. Haigh, editors, London: Peter Peregrinus, 1990.

J. Wong and R. Johnson, "Low-distortion wideband power op amp," *Application Note 261*, Santa Clara, Calif.: National Semiconductor Corporation, July 1981.

R. Severns, (Ed.), *MOSPOWER Applications Handbook*, Santa Clara, Calif.: Siliconix, 1984.

S. Soclof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, N.J.: Prentice-Hall, 1985.

Texas Instruments, Inc., *Power-Transistor and TTL Integrated-Circuit Applications*, New York: McGraw-Hill, 1977.

J. Wong and J. Sherwin, "Applications of wide-band buffer amplifiers," *Application Note 227*, Santa Clara, Calif.: National Semiconductor Corporation, October 1979.

فصل ۱۰

مدارهای مجتمع آنالوگ

۱۰-۱ مدار تقویت‌کننده عملیاتی 741
۱۰-۲ تحلیل dc ی 741
۱۰-۳ تحلیل سیگنال کوچک طبقه ورودی 741
۱۰-۴ تحلیل سیگنال کوچک طبقه دوم 741
۱۰-۵ تحلیل طبقه خروجی 741
۱۰-۶ بهره و پاسخ فرکانسی 741
۱۰-۷ تقویت‌کننده‌های عملیاتی CMOS
۱۰-۸ پیکربندیهای دیگر تقویت‌کننده‌های عملیاتی CMOS و BiCMOS
۱۰-۹ مبدلهای داده - مقدمه
۱۰-۱۰ مدارهای مبدل D/A
۱۰-۱۱ مدارهای مبدل A/D
۱۰-۱۲ مثالی از شبیه سازی SPICE
خلاصه - مسائل

مقدمه

IC های آنالوگ شامل تقویت‌کننده‌های عملیاتی، ضرب‌کننده‌های آنالوگ، مبدلهای آنالوگ به دیجیتال (A/D) و دیجیتال به آنالوگ (D/A)، حلقه‌های قفل فازی، و قطعات باکاربردهای مخصوص هستند. مدارهای نامبرده در ساختمان داخلی خود از قطعات و مدارهایی مانند زوج تفاضلی، آینه‌های جریان، سوئیچ‌های MOS و نظایر آن استفاده می‌کنند که در فصلهای پیش مطالعه شد.

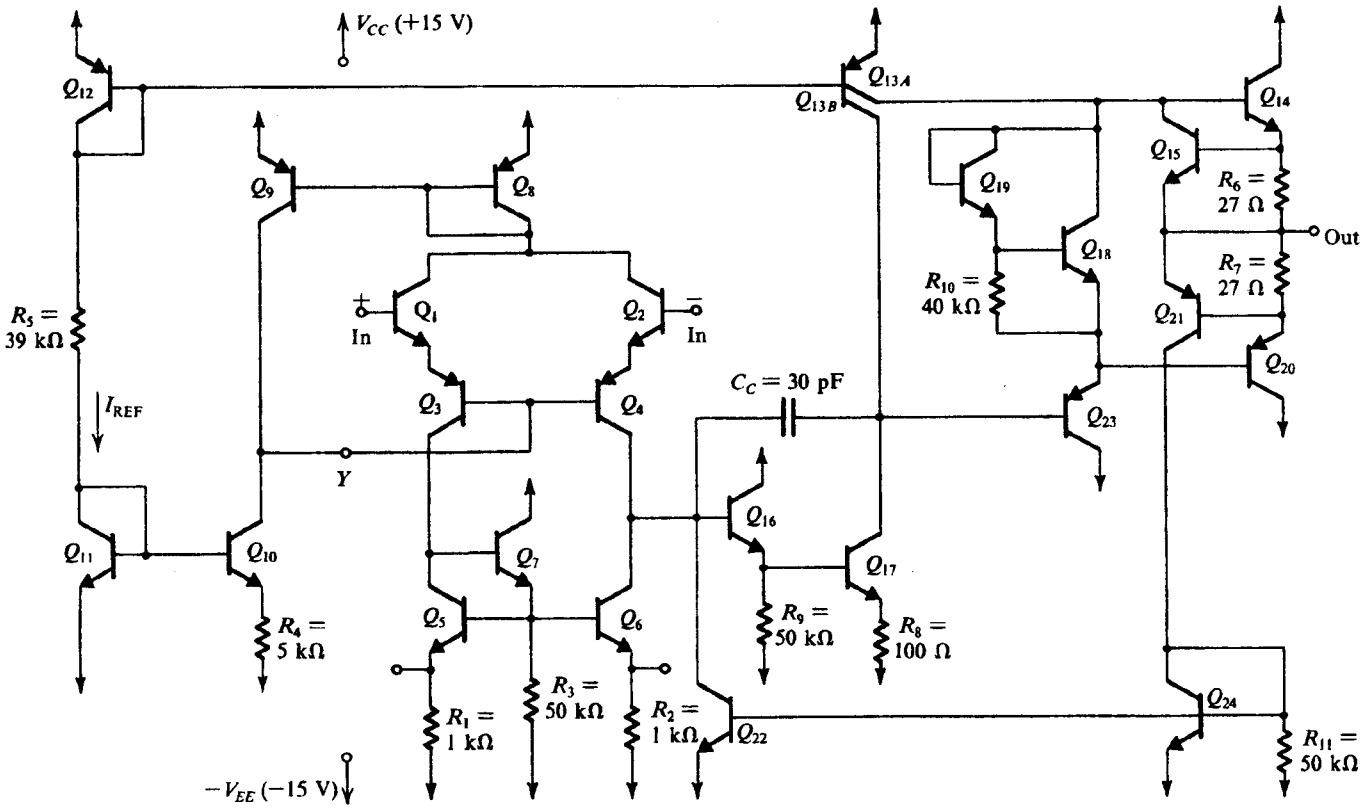
در این فصل مدار داخلی مشهورترین IC های آنالوگ یعنی تقویت کننده عملیاتی و مبدلهای داده را بررسی خواهیم کرد. مشخصه‌های پایانه و کاربردهای op-amp ها در فصل ۲ ارائه شد. در اینجا، هدف، آشنایی خواننده با روشهایی است که طی سالیان برای ترکیب مدار آنالوگ ابتدایی و به وجود آمدن یک op-amp کامل، تکمیل شده است. بطور خاص، جزئیات داخلی مشهورترین IC آنالوگ یعنی تقویت‌کننده عملیاتی 741 را بررسی خواهیم کرد. این op-amp در سال ۱۹۶۶ معرفی شد و امروز بیشتر کارخانه‌های سازنده قطعات نیمه‌هادی آنرا تولید می‌کنند. علاوه بر این یک مدار مشهور تقویت‌کننده عملیاتی CMOS را به تفصیل مطالعه خواهیم کرد. اگرچه کاربرد تقویت‌کننده عملیاتی CMOS با واحدهای دو قطبی موجود در انطباق نیست، لیکن به دلیل کاربردشان در سازندهای VLSI بسیار مناسب است. تلفیق مزایای قطعات دو قطبی و CMOS در تکنولوژی BiCMOS ، طراحی op-amp های بسیار خوبی را میسر ساخته است.

مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ از کاربردهای مهم ICهای آنالوگ است که در این فصل بررسی می‌شود.

علاوه بر آشنایی خواننده با نظریات بسیاری در طراحی IC آنالوگ بعنوان موضوعی جذاب، این فصل برای آشنایی بیشتر با مفاهیم و روشهایی است که در فصلهای قبل مطالعه شد.

۱۰-۱ مدار تقویت‌کننده عملیاتی 741

بررسی خود را با مطالعه کیفی مدار تقویت‌کننده عملیاتی 741 آغاز می‌کنیم که در شکل (۱-۱۰) نشان داده شده است. دقت کنید که با توجه به اصول طراحی IC ، مدار از تعداد زیادی ترانزیستور، تعداد کمی مقاومت و فقط یک عدد خازن تشکیل شده است. این اصل را مسائل اقتصادی



شکل ۱-۱۰. مدار op-amp 741، Q_{11} و Q_{12} و R_5 جریان بایاس مرجع، مرجع I را تأمین می‌کنند. Q_{10}، Q_9 و Q_8 طبقه ورودی را بایاس می‌کنند که مرکب از Q_1 تا Q_7 است. دومین طبقه بهره شامل Q_{16} و Q_{17} با Q_{13B} بعنوان بار فعال است. طبقه خروجی کلاس AB و شامل Q_{14} و Q_{20} با قطعه‌های بایاسینگ Q_{13A}، Q_{18} و Q_{19} و میانگیر ورودی Q_{23} است. ترانزیستورهای Q_{15}، Q_{21}، Q_{24} و Q_{22} جهت محافظت از اتصال کوتاه خروجی بوده در حالت عادی خاموش می‌باشند.

(سطح سیلیسیوم، سهولت ساخت، کیفیت عناصر حاصل) در ساخت قطعات فعال و غیرفعال IC تعیین می‌کند (ضمیمه الف را ملاحظه کنید).

مانند بیشتر op-amp های جدید، 741 دو منبع تغذیه $+V_{CC}$ و $-V_{EE}$ لازم دارد. معمولاً $V_{CC} = V_{EE} = 15$ V است. اما مدار با منبع تغذیه خیلی کمتری (مثلاً ±۵ V) هم بطرز رضایت بخشی کار می‌کند. توجه به این نکته مهم است که هیچ گرهی از مدار به زمین، یعنی پایانه مشترک دو منبع تغذیه وصل نمی‌شود.

در یک مدار بزرگ نظیر آنچه در شکل (۱-۱۰) دیده می‌شود، اولین مرحله تحلیل، شناسایی اجزاء و وظایف آنها است. این کار بصورت زیر انجام می‌شود:

مدار بایاس

مرجع جریان بایاس مدار 741 یعنی I_{REF}، در شاخه منتهی‌الیه سمت چپ شامل دو ترانزیستور اتصال دیودی Q_{11} و Q_{12} و مقاومت R_5 است. با استفاده از منبع جریان وایدلر که از Q_{11} و Q_{12} و R_4 تشکیل شده، جریان بایاس اولین طبقه در کلکتور Q_{10} بوجود می‌آید. آینه جریان دیگر که از Q_8 و Q_9 تشکیل شده در بایاس اولین طبقه سهیم است.

جریان بایاس مرجع I_{REF} برای تهیه دو جریان متناسب در کلکتور Q_{13} به کار می‌رود. این ترانزیستور *pnp* جانبی دو کلکتوری[1] را می‌توان دو ترانزیستور پنداشت که پیوندهای بیس - امیترشان بصورت موازی وصل شده است. بنابراین Q_{12} و Q_{13} یک آینه جریان با دو خروجی تشکیل می‌دهند: یک خروجی کلکتور Q_{13B} است که جریان بایاس Q_{17} را تأمین می‌کند، و خروجی دیگر کلکتور Q_{13A} است که جریان بایاس طبقه خروجی op-amp تهیه می‌نماید.

ترانزیستورهای Q_{18} و Q_{19} در فرآیند بایاس dc سهیمند. منظور از به کاربردن Q_{18} و Q_{19} ایجاد دو V_{BE} افت ولتاژ بین بیس و خروجی ترانزیستورهای Q_{14} و Q_{20} است.

مدار محافظت از اتصال کوتاه

مدار 741 شامل تعدادی ترانزیستور است که معمولاً خاموشند و هنگامی که بخواهیم از پایانه خروجی op-amp جریان زیادی کشیده شود، هدایت می‌کنند. برای مثال، این کار وقتی اتفاق می‌افتد که پایانه خروجی به یکی از منابع تغذیه اتصال کوتاه شود. شبکه محافظت از اتصال کوتاه شامل R_6، R_7، Q_{15}، Q_{21}، Q_{24}، R_{11} و Q_{22} است. در ادامه فرض می‌کنیم این ترانزیستورها خاموش هستند. کار مدار محافظت از اتصال کوتاه در بخش (۵-۱۰) توضیح داده خواهد شد.

---

۱ - ضمیمه الف را برای توصیف ترانزیستورهای *pnp* جانبی ملاحظه نمایید.

طبقه ورودی

مدار 741 شامل سه طبقه است: یک طبقه تفاضلی ورودی، یک طبقه میانی تک‌سر با بهره زیاد، و یک طبقه میانگیر خروجی. طبقه ورودی شامل ترانزیستورهای Q_1 تا Q_7 است که بوسیله Q_8 و Q_9 و Q_{10} بایاس می‌شوند. ترانزیستورهای Q_1 و Q_2 بصورت امیتر پیرو عمل می‌کنند و سبب زیادشدن مقاومت ورودی و تحویل سیگنال ورودی تفاضلی به تقویت‌کننده بیس مشترک تفاضلی بوجود آمده از Q_3 و Q_4 ، می‌شود. بنابراین طبقه ورودی از نوع پیکربندی کلکتور مشترک - بیس مشترک بررسی شده در بخش (۸-۷) است.

ترانزیستورهای Q_5 ، Q_6 و Q_7 و مقاومتهای R_1 ، R_2 و R_3 مدار بار طبقه ورودی را تشکیل می‌دهند. این مدار یک مدار بار آینه جریان دقیق است که به تفصیل در بخش ۳-۱۰ تحلیل خواهد شد. نشان خواهیم داد که این مدار بار نه تنها یک بار با مقاومت زیاد است بلکه سیگنال را از شکل تفاضلی به شکل تک سر مبدل می‌سازد بدون افت بهره یا حذف حالت مشترک. خروجی طبقه ورودی بصورت تک سر از کلکتور Q_6 دریافت می‌شود.

چنانکه در بخش ۱۰-۶ ذکر شد، هر op-amp دارای یک انتقال‌دهنده سطح است تا سطح dc ی سیگنال را به اندازه‌ای تغییر دهد که سیگنال خروجی op-amp بتواند نوسان مثبت و منفی داشته باشد. در 741 ، انتقال سطح در طبقه اول بوسیله ترانزیستورهای *pnp* جانبی Q_3 و Q_4 انجام می‌شود. اگرچه عملکرد ترانزیستورهای *pnp* جانبی در فرکانس‌های بالا ضعیف است اما کاربرد آنها در پیکربندی بیس مشترک (که به داشتن پاسخ فرکانس بالای خوب مشهور است) به پاسخ فرکانسی op-amp بطور جدی آسیب نمی‌رساند.

استفاده از ترانزیستورهای *pnp* ی Q_3 و Q_4 در طبقه اول یک مزیت دیگر هم دارد: محافظت ترانزیستورهای طبقه ورودی Q_1 و Q_2 در برابر شکست پیوند امیتر - بیس. چون پیوند امیتر - بیس ترانزیستورهای *npn*، با ۷ V بایاس معکوس می‌شکنند. (بخش ۱۵-۴ را ملاحظه کنید). طبقات تفاضلی *npn* معمولی، دچار چنین شکستی خواهند شد اگر مثلاً ولتاژ تغذیه بطور تصادفی بین پایانه‌های ورودی وصل شود. بنابراین ترانزیستورهای *pnp* جانبی، دارای ولتاژ شکست بیس امیتر زیاد می‌باشند (حدود ۵۰ V)؛ و چون بطور سری با Q_1 و Q_2 قرار می‌گیرند، ترانزیستورهای ورودی 741 ، یعنی Q_1 و Q_2 را محافظت می‌کنند.

طبقه دوم

دومین طبقه یا طبقه میانی از Q_{16} ، Q_{17} ، Q_{13B} و دو مقاومت R_8 و R_9 تشکیل شده است. ترانزیستور Q_{16} مانند یک امیتر پیرو عمل می‌کند، بنابراین برای طبقه دوم دارای مقاومت زیادی می‌باشد. این امر بارگذاری طبقه ورودی را به حداقل رسانده از افت بهره جلوگیری می‌کند. ترانزیستور Q_{17} بعنوان یک تقویت‌کننده امیتر مشترک با یک مقاومت ۱۰۰ Ω در امیتر عمل می‌کند. بار این تقویت‌کننده از مقاومت زیاد خروجی منبع جریان *pnp* ترانزیستور Q_{13B} به موازات مقاومت ورودی طبقه خروجی تشکیل می‌شود (با نظر به داخل بیس Q_{23}). استفاده از منبع جریان ترانزیستور بعنوان یک مقاومت بار، روشی موسوم به بار فعال است (بخش ۵-۶). این روش به ما امکان می‌دهد تا از بهره زیاد استفاده کنیم بدون آنکه مقاومت‌های بار را به کار بگیریم که فضای زیادی را اشغال می‌کنند.

خروجی طبقه دوم از کلکتور Q_{17} به دست می‌آید. خازن C_C در مسیر فیدبک طبقه دوم برای جبران فرکانس با استفاده از روش میلر (که در بخش ۱۱-۸ بررسی شد) به کار می‌رود. در بخش ۶-۱۰ خواهیم دید که خازن نسبتاً کوچک C_C یک قطب غالب با حدود ۴Hz می‌دهد. بعلاوه، جداسازی قطب دوم سبب انتقال قطبهای دیگر به فرکانسهای خیلی بالاتر و درنتیجه افت بهره یکنواخت op-amp با شیب ۲۰dB/decade- و پهنای باند بهره واحد حدود ۱ MHz می‌شود. باید یادآوری شود که اگرچه C_C کوچک است، مکانی را که در IC اشغال می‌کند ۱۳ برابر یک ترانزیستور *npn* استاندارد است !

طبقه خروجی

منظور از طبقه خروجی (فصل ۹) تأمین مقاومت کم خروجی تقویت‌کننده است. بعلاوه، طبقه خروجی باید بتواند جریان بار بالنسبه زیاد تأمین کند بدون آنکه توان زیادی در IC تلف کند. 741 از یک طبقه کلاس AB کارآمد بعنوان خروجی استفاده می‌کند که به تفصیل در بخش ۵-۱۰ بررسی خواهد شد.

طبقه خروجی شامل زوج مکمل Q_{14} و Q_{20} است که در آن Q_{20} یک *pnp* زیربنایی است (ضمیمه الف را ملاحظه کنید). ترانزیستورهای Q_{18} و Q_{19} بوسیله منبع جریان Q_{13A} تغذیه می‌شوند و ترانزیستورهای خروجی Q_{14} و Q_{20} را بایاس می‌کنند. ترانزیستور Q_{23} (که *pnp* زیربنایی دیگر است) بصورت یک امیتر پیرو کار می‌کند، بنابراین اثر بارگذاری طبقه خروجی را بر طبقه دوم به حداقل می‌رساند.

پارامترهای قطعه

در بخشهای زیر، تحلیل مفصلی از مدار 741 ارائه خواهیم کرد. برای ترانزیستورهای *pnp* و *npn* استاندارد، از پارامترهای زیر استفاده می‌شود:

$$npn : I_S = 10^{-14}\ \text{A} \text{ و } \beta = 200 \text{ ، } V_A = 125\ \text{V}$$

$$pnp : I_S = 10^{-14}\ \text{A} \text{ و } \beta = 50 \text{ و } V_A = 50\ \text{V}$$

در مدار 741 ، قطعات غیراستاندارد عبارتند از Q_{13} ، Q_{14} و Q_{20} . فرض می‌کنیم ترانزیستور Q_{13} معادل دو ترانزیستور ، Q_{13A} و Q_{13B} است که پیوندهای بیس -امیتر آنها موازی و دارای جریانهای اشباع زیرند.

$$I_{SA} = 0.25 \times 10^{-14}\ \text{A} \qquad I_{SB} = 0.75 \times 10^{-14}\ \text{A}$$

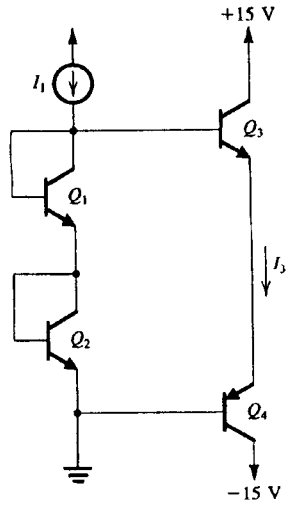
ترانزیستورهای Q_{14} و Q_{20} بنا به فرض دارای ابعادی معادل سه قطعه استاندارد هستند. ترانزیستورهای خروجی معمولاً ابعاد بزرگی دارند تا بتوانند جریان بار زیادی تأمین و توان نسبتاً زیادی تلف کنند بدون آنکه دمای قطعه از حد اعتدال زیادتر شود.

تمرینها

۱-۱۰ در یک ترانزیستور npn استاندارد که پارامترهای آن در بالا ذکر شد، مقادیر تقریبی پارامترهای زیر را به ازای $I_C = 1\ \text{mA}$ به دست آورید: V_{BE}، g_m، r_e، r_π، r_o، r_μ (توجه: فرض کنید $r_\mu = 10\,\beta r_o$ باشد).
جواب. ۶۳۳ mV؛ ۴۰ mA/V؛ ۲۵ Ω؛ ۵ kΩ؛ ۱۲۵ kΩ؛ ۲۵۰ MΩ.

۲-۱۰ در مدار شکل (۲-۱۰ت)، از جریان بیس چشمپوشی کرده با استفاده از رابطه نمایی $i_C - v_{BE}$ نشان دهید که

$$I_3 = I_1 \sqrt{\frac{I_{S3} I_{S4}}{I_{S1} I_{S2}}}$$ ❑



(شکل ۲-۱۰ ت)

۲-۱۰. تحلیل DC ی 741

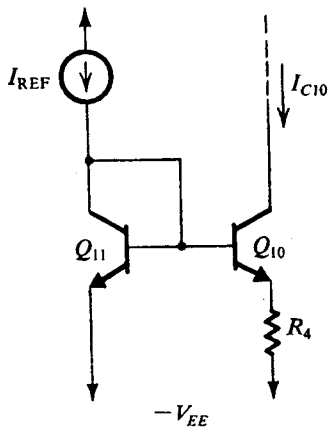
در این بخش، مدار 741 را از نظر dc تحلیل می‌کنیم تا نقطه بایاس هر ترانزیستور تعیین شود. برای تحلیل dc ی op-amp، پایانه‌های ورودی به زمین وصل شده‌اند. از نظر تئوری ولتاژ dc خروجی باید صفر شود. اما چون op-amp دارای بهره زیاد است، با اندکی تقریب در تحلیل، نشان خواهیم داد که ولتاژ خروجی به هیچ روی صفر نیست و نزدیک به $+V_{CC}$ یا $-V_{EE}$ است. در کارهای عملی یک op-amp با حلقه باز، ولتاژ خروجی اشباع‌شده‌ای نزدیک به یکی از منابع تغذیه خواهد داشت. برای غلبه بر این مشکل در تحلیل dc، فرض می‌شود که op-amp به حلقه فیدبک منفی متصل شده است که ولتاژ خروجی را تثبیت شده در صفر ولت نگه می‌دارد.

جریان بایاس مرجع

جریان بایاس مرجع I_{REF} در شاخه‌ای متشکل از دو ترانزیستور اتصال دیودی Q_{11} و Q_{12} و مقاومت R_5 بوجود می‌آید. با توجه به شکل (۱-۱۰)، می‌توانیم بنویسیم:

$$I_{REF} = \frac{V_{CC} - V_{EB12} - V_{BE11} - (-V_{EE})}{R_5}$$

به ازای $V_{CC} = V_{EE} = 15\ \text{V}$ و $V_{BE11} = V_{EB12} \cong 0.7\ \text{V}$، داریم $I_{REF} = 0.73\ \text{mA}$.



شکل ۲-۱۰. منبع جریان وایدلر

بایاس طبقه ورودی

ترانزیستور Q_{11} بوسیله I_{REF} بایاس می‌شود و ولتاژ ظاهر شده در دو سر آن برای بایاس Q_{10} به کار می‌رود که دارای مقاومت سری امیتر R_4 است. این قسمت از مدار در شکل (۲-۱۰) دوباره ترسیم شده و بعنوان منبع جریان وایدلر که در بخش ۴-۶ مطالعه شد، شناخته می‌شود. با توجه به این مدار داریم:

$$V_{BE11} - V_{BE10} = I_{C10} R_4$$

بنابراین

$$V_T \ln \frac{I_{REF}}{I_{C10}} = I_{C10} R_4 \qquad (۱-۱۰)$$

که فرض بر آن است که $I_{S10} = I_{S11}$. با قراردادن مقادیر I_{REF} و R_4 معادله را به روش آزمون و خطا می‌توان حل کرد تا I_{C10} به دست آید. در این حالت، $I_{C10} = 19\ \mu\text{A}$ است.

تمرین

ط ۳-۱۰ منبع جریان وایدلر شکل (۲-۱۰) را طراحی کنید طوری که با جریان $I_{C10} = 10\ \mu\text{A}$، $I_{REF} = 1\ \text{mA}$ به دست آید. چنانچه جریان کلکتور 1mA و $V_{BE} = 0.7\ \text{V}$ باشد. مطلوبست V_{BE11} و V_{BE10}.
جواب. $R_4 = 11.5\ \text{k}\Omega$؛ $V_{BE11} = 0.7\ \text{V}$؛ $V_{BE10} = 0.585\ \text{V}$ ❑

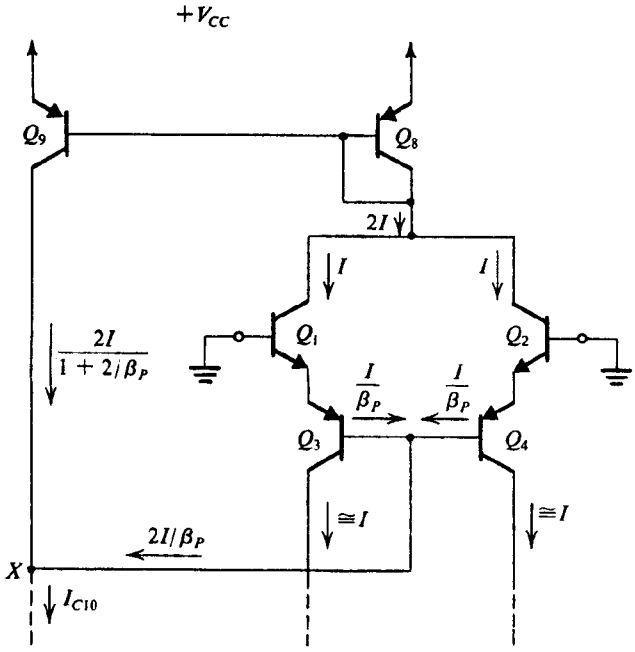
با تعیین I_{C10}، جریان dc هر ترانزیستور طبقه ورودی را تعیین می‌کنیم. قسمتی از طبقه ورودی در شکل (۳-۱۰) دوباره ترسیم شده است. از تقارن چنین برمی‌آید که

$$I_{C1} = I_{C2}$$

این جریان را با I نشان می‌دهیم. ملاحظه می‌کنیم اگر β ی npn زیاد باشد، آنگاه

$$I_{E3} = I_{E4} \cong I$$

و جریانهای بیس Q_3 و Q_4 معادل و دارای $I/(\beta_P+1) \cong I/\beta_P$ هستند که در آن β_P علامت β ی قطعه pnp است.



شکل ۳-۱۰. تحلیل dc ی طبقه ورودی 741

آینه جریان که از Q_8 و Q_9 تشکیل می‌شود با جریان ورودی $2I$ تغذیه می‌شود. با استفاده از نتیجه معادله (۶۳-۶) جریان خروجی آینه را بصورت زیر بیان می‌کنیم.

$$I_{C9} = \frac{2I}{1 + 2/\beta_P}$$

اکنون معادله گره را برای گره X در شکل (۳-۱۰) می‌توان نوشت و مقدار I را تعیین نمود. اگر $\beta_P \gg 1$ باشد، در آن صورت از معادله گره به دست می‌آید:

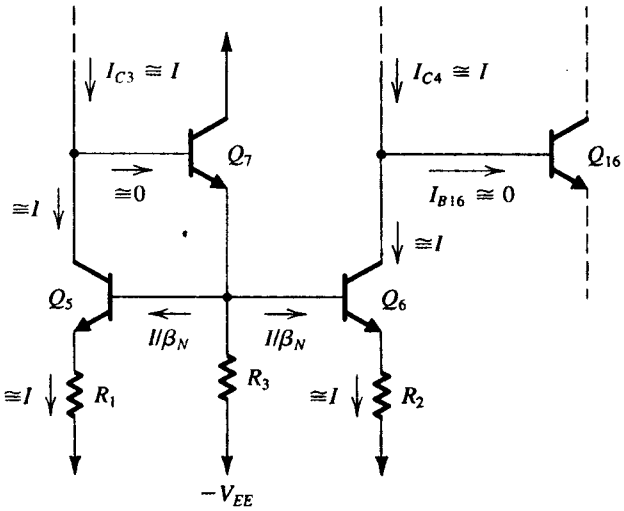
$$2I \approx I_{C10}$$

در 741 ، $I_{C10} = 19\,\mu A$ است؛ بنابراین $I \cong 9.5\,\mu A$ می‌باشد. بنابراین داریم:

$$I_{C1} = I_{C2} \cong I_{C3} = I_{C4} = 9.5\,\mu A$$

در اینجا بایستی دقت شود که ترانزیستورهای Q_1 تا Q_4 ، Q_8 و Q_9 یک **حلقه فیدبک منفی** می‌سازند که مقدار I را تقریباً در $I_{C10}/2$ تثبیت می‌کنند. برای درک مطلب فرض کنید به دلایل بسیاری جریان I در Q_1 و Q_2 افزایش یابد، در آنصورت جریان کشیده شده از Q_8 افزایش می‌یابد و جریان خروجی آینه جریان $Q_8 - Q_9$ نیز افزایش می‌یابد. البته چون I_{C10} ثابت می‌ماند، در گره X مجموع جریانهای بیس Q_3 و Q_4 به اجبار کاهش می‌یابد. این امر بنوبه خود سبب کاهش جریانهای امیتر Q_3 و Q_4 و در نتیجه جریانهای کلکتور Q_1 و Q_2 می‌شود. این کار خلاف جهت تغییری است که ابتدا فرض کرده‌ایم. بنابراین فیدبک منفی است و مقدار I را تثبیت شده نگه می‌دارد.

شکل (۴-۱۰) بقیه طبقه ورودی 741 را نشان می‌دهد. اگر جریان بیس



شکل ۴-۱۰. ادامه تحلیل dc ی طبقه ورودی 741

Q_{16} را نادیده انگاریم، در آن صورت:

$$I_{C6} \cong I$$

به همین منوال، با صرفنظرکردن از جریان بیس Q_7 به دست می‌آوریم:

$$I_{C5} \cong I$$

جریان بایاس Q_7 از رابطه زیر به دست می‌آید.

$$I_{C7} \cong I_{E7} = \frac{2I}{\beta_N} + \frac{V_{BE6} + IR_2}{R_3} \qquad (۱۰-۲)$$

که β_N نشان‌دهنده β ی ترانزیستورهای npn است. برای تعیین V_{BE6} از رابطه نمایی ترانزیستور استفاده کرده می‌نویسیم:

$$V_{BE6} = V_T \ln \frac{I}{I_S}$$

با قراردادن $I_S = 10^{-4}$ A و $I = 9.5\,\mu A$ نتیجه $V_{BE6} = 517$ mV به دست می‌آید. سپس با قراردادن در معادله (۲-۱۰)، $I_{C7} = 10.5\,\mu A$ به دست می‌آید. توجه کنید که جریان بیس Q_7 به واقع در مقایسه با مقدار I قابل چشم‌پوشی است، همانگونه که فرض شده بود.

جریانهای بایاس ورودی و افست

جریان بایاس ورودی یک op −amp (از فصل‌های ۲ و ۶) بصورت زیر تعریف می‌شود:

$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

برای 741 به دست می‌آوریم:

$$I_B = \frac{I}{\beta_N}$$

با استفاده از $\beta_N = 200$ ، $I_B = 47.5$ nA به دست می‌آید. توجه کنید که این مقدار واقعاً کوچک است و جریان بایاس op −amp های همه منظوره که در طبقه ورودی آنها BJT به کار می‌رود، معمولاً همین مقدار است. با استفاده از طبقه ورودی FET می‌توان جریانهای بایاس بسیار

کوچکتر (در محدوده پیکوآمپر) بوجود آورد. علاوه بر این، برای کاهش جریان بایاس ورودی op–amp های دارای ترانزیستورهای دو قطبی در ورودی، روشهای دیگری وجود دارد.

به علت عدم تطابق مقادیر βی Q_1 و Q_2، جریانهای بیس ورودی برابر نخواهند بود. با داشتن βی نامنطبق، از معادله (۶۰-۶) جریان افست ورودی بصورت زیر محاسبه می‌شود:

$$I_{OS} = |I_{B1} - I_{B2}|$$

ولتاژ افست ورودی

از فصل ۶ می‌دانیم که ولتاژ افست ورودی در وهله اول از عدم تطبیق در دو طرف طبقه ورودی به دست می‌آید. در 741 ، ولتاژ افست ناشی از عدم تطابق بین Q_1 و Q_2، بین Q_3 و Q_4، بین Q_5 و Q_6، و بین R_1 و R_2 به دست می‌آید. محاسبه مؤلفه‌های V_{OS} بر اساس عدم تطابقهای گوناگون در بخش ۳-۶ ارائه می‌شود. اساساً جریان خروجی اولین طبقه را بنابر ناتطبیقی خاص در نظر می‌گیریم. سپس ولتاژ ورودی طبقه تفاضلی را به دست می‌آوریم که برای کاهش جریان خروجی به صفر، باید اعمال شود.

گستره حالت مشترک ورودی

گستره ورودی حالت مشترک، گستره‌ای از ولتاژهای ورودی حالت مشترک است که در آن طبقه ورودی در حالت فعال خطی باقی می‌ماند. با توجه به شکل (۱-۱۰) ملاحظه می‌کنیم که در مدار 741 ، گسترهٔ ورودی حالت مشترک در حد بالایی از اشباع Q_1 و Q_2 و در حد پایینی از اشباع Q_3 و Q_4 تعیین می‌شود.

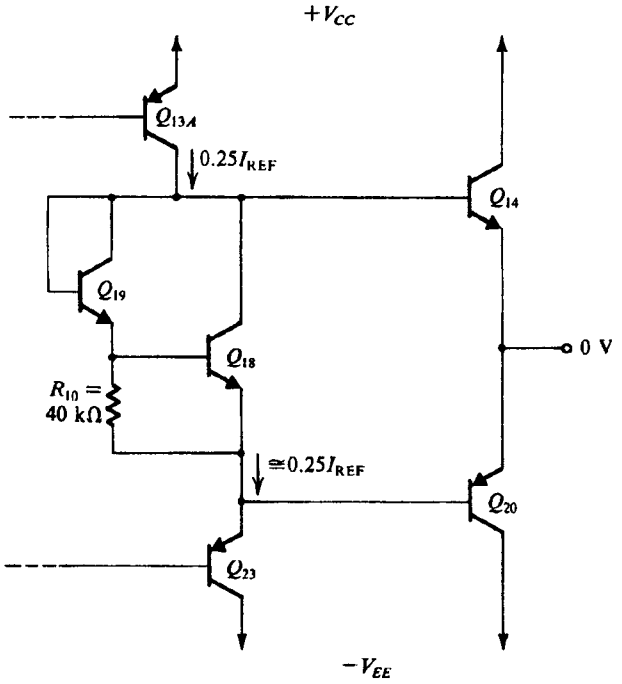
تمرین

۱۰-۴ افت ولتاژ دو سر R_1 و R_2 را نادیده بگیرید و فرض کنید که $V_{CC} = V_{EE} = 15\text{V}$ باشد. نشان دهید که گستره حالت مشترک ورودی 741 تقریباً -12.6 V تا $+14.4$ V است. (فرض کنید که $V_{BE} \cong 0.6$ V است و برای اجتناب از اشباع، برای ترانزیستورهای npn ، $V_{CB} \geq 0$ و برای ترانزیستورهای pnp، $V_{BC} \geq 0$ است) ❑

بایاس طبقه دوم

اگر از جریان بیس Q_{23} صرفنظر کنیم، در آنصورت با توجه به شکل (۱-۱۰)، ملاحظه می‌کنیم که جریان کلکتور Q_{17} تقریباً معادل جریان به دست آمده از منبع جریان Q_{13B} است. چون Q_{13B} دارای جریانی به اندازه ۰/۷۵ جریان Q_{12} است، جریان کلکتورش $I_{C13B} \approx 0.75\, I_{REF}$ خواهد بود، که فرض بر این است که $\beta_P \gg 1$ است. بنابراین $I_{C13B} = 550\,\mu\text{A}$ و $I_{C17} \cong 550\,\mu\text{A}$ می‌باشد. با این مقدار جریان، ولتاژ بیس - امیتر Q_{17} برابر است با:

$$V_{BE17} = V_T \ln \frac{I_{C17}}{I_S} = 618\,\text{mV}$$



شکل ۵-۱۰. طبقه خروجی 741 بدون قطعات حفاظت از اتصال کوتاه

جریان کلکتور Q_{16} از رابطه زیر به دست می‌آید:

$$I_{C16} \cong I_{E16} = I_{B17} + \frac{I_{E17} R_8 + V_{BE17}}{R_9}$$

از این محاسبه $I_{C16} = 16.2\,\mu\text{A}$ به دست می‌آید. توجه کنید که بنا به فرض قبلی جریان بیس Q_{16} حقیقتاً در مقایسه با Iی بایاس طبقه ورودی ناچیز است.

بایاس طبقه خروجی

شکل (۵-۱۰) طبقه خروجی 741 را بدون مدار محافظت از اتصال کوتاه نشان می‌دهد. منبع جریان Q_{13A} (چون I_S ترانزیستور Q_{13A}، برابر $0.25\, I_S$ ترانزیستور Q_{12} است) جریان $0.25\, I_{REF}$ را به شبکه متشکل از Q_{18}، Q_{19}، و R_{10} می‌دهد. اگر جریان بیس Q_{14} و Q_{20} را نادیده بگیریم، در آن صورت جریان امیتر Q_{23} برابر با $0.25\, I_{REF}$ خواهد بود. بنابراین

$$I_{C23} \cong I_{E23} \cong 0.25\, I_{REF} = 180\,\mu\text{A}$$

بنابراین می‌بینیم که جریان بیس Q_{23} فقط $\frac{180}{50} = 3.6\,\mu\text{A}$ است که در مقایسه با I_{C17} بنا به فرض، مقداری ناچیز چشم‌پوشیدنی است.

چنانچه فرض کنیم V_{BE18} تقریباً 0.6 V باشد، جریان R_{10} را $15\mu\text{A}$ تعیین می‌کنیم. در آن صورت جریان امیتر Q_{18} عبارت است از:

$$I_{E18} = 180 - 15 = 165\,\mu\text{A}$$

همچنین

$$I_{C18} \cong I_{E18} = 165\,\mu\text{A}$$

با این مقدار جریان $V_{BE18} = 588$ mV را به دست می‌آوریم که به مقدار فرضی بسیار نزدیک است. جریان بیس Q_{18} برابر است با

$$\frac{۱۶۵}{۲۰۰} = ۰/۸\ \mu A$$

که می‌توان آن را به جریان $R_{۱۰}$ افزود تا جریان $Q_{۱۹}$ بصورت زیر به دست‌آید:

$$I_{C۱۹} \cong I_{E۱۹} = ۱۵/۸\ \mu A$$

افت ولتاژ دو سر پیوند بیس -امیتر $Q_{۱۹}$ بصورت زیر به دست می‌آید:

$$V_{BE۱۹} = V_T \ln \frac{I_{C۱۹}}{I_S} = ۵۳۰\ mV$$

چنانکه در بخش ۱-۱۰ ذکر شد، منظور از شبکه $Q_{۱۸} - Q_{۱۹}$ ایجاد دو افت ولتاژ V_{BE} بین بیس ترانزیستورهای خروجی $Q_{۱۴}$ و $Q_{۲۰}$ است. این افت ولتاژ، V_{BB}، اکنون چنین محاسبه می‌شود:

$$V_{BB} = V_{BE۱۸} + V_{BE۱۹} = ۵۸۸ + ۵۳۰ = ۱/۱۱۸\ V$$

چون V_{BB} در دو سر ترکیب سری پیوندهای بیس - امیتر $Q_{۱۴}$ و $Q_{۲۰}$ بوجود می‌آید، می‌توان نوشت:

$$V_{BB} = V_T \ln \frac{I_{C۱۴}}{I_{S۱۴}} + V_T \ln \frac{I_{C۲۰}}{I_{S۲۰}}$$

با استفاده از مقادیر محاسبه شده V_{BB} و قراردادن $I_{S۱۴} = I_{S۲۰} = ۳\times۱۰^{-۱۴} A$، جریانهای کلکتور را بصورت

$$I_{C۱۴} = I_{C۲۰} = ۱۵۴\ \mu A$$

به دست می‌آوریم.

خلاصه

برای مراجعه‌های بعدی، در جدول ۱-۱۰ لیستی از مقادیر جریان بایاس کلکتور ترانزیستورهای 741 ارائه شده است.

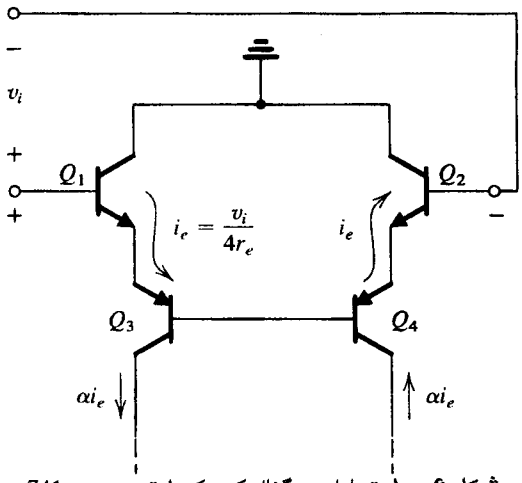
جدول ۱-۱۰. جریان‌های dc ی کلکتور مدار 741 (به میکروآمپر)

$Q_۱$	۹/۵	$Q_۸$	۱۹	$Q_{۱۳B}$	۵۵۰	$Q_{۱۹}$	۱۵/۸
$Q_۲$	۹/۵	$Q_۹$	۱۹	$Q_{۱۴}$	۱۵۴	$Q_{۲۰}$	۱۵۴
$Q_۳$	۹/۵	$Q_{۱۰}$	۱۹	$Q_{۱۵}$	۰	$Q_{۲۱}$	۰
$Q_۴$	۹/۵	$Q_{۱۱}$	۷۳۰	$Q_{۱۶}$	۱۶/۲	$Q_{۲۲}$	۰
$Q_۵$	۹/۵	$Q_{۱۲}$	۷۳۰	$Q_{۱۷}$	۵۵۰	$Q_{۲۳}$	۱۸۰
$Q_۶$	۹/۵	$Q_{۱۳A}$	۱۸۰	$Q_{۱۸}$	۱۶۵	$Q_{۲۴}$	۰
$Q_۷$	۱۰/۵						

تمرین

۵-۱۰ اگر در مدار شکل (۵-۱۰)، شبکه $Q_{۱۸} - Q_{۱۹}$ با دو ترانزیستور اتصال دیودی جایگزین شود، جریان $Q_{۱۴}$ و $Q_{۲۰}$ را به دست آورید (راهنمایی: از نتیجه تمرین ۲-۱۰ استفاده کنید).

جواب. $۵۴۰\ \mu A$ ❑



شکل ۶-۱۰. تحلیل سیگنال کوچک طبقه ورودی 741

۳-۱۰. تحلیل سیگنال کوچک طبقه ورودی 741

شکل ۶-۱۰ قسمت ورودی 741 را برای تحلیل سیگنال کوچک آن نشان می‌دهد. توجه کنید چون کلکتورهای $Q_۱$ و $Q_۲$ به یک ولتاژ dc ی ثابت وصل می‌شود، آنها را متصل به زمین نشان داده‌ایم. همچنین بایاس جریان ثابت بیس‌های $Q_۳$ و $Q_۴$ معادل مدار باز بیس مشترک است.

سیگنال تفاضلی v_i که به پایانه‌های ورودی اعمال می‌شود در دو سر چهار مقاومت سری امیترهای $Q_۱$، $Q_۲$، $Q_۳$، و $Q_۴$ ظاهر می‌شود. در نتیجه، جریانهای سیگنال امیتر چنانکه در شکل (۶-۱۰) دیده می‌شود با

$$i_e = \frac{v_i}{۴ r_e} \qquad (۱۰-۳)$$

جاری می‌شود. در رابطه بالا r_e علامت مقاومت امیتر هریک از ترانزیستورهای $Q_۱$ تا $Q_۴$ است. بنابراین

$$r_e = \frac{V_T}{I} = \frac{۲۵mV}{۹/۵\ \mu A} = ۲/۶۳\ k\Omega$$

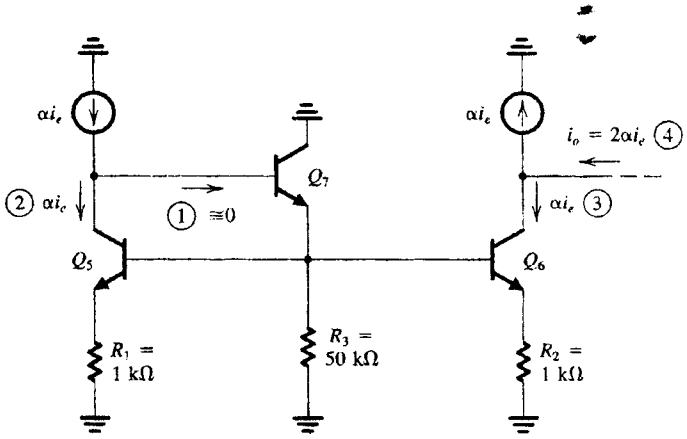
بنابراین چهار ترانزیستور $Q_۱$ تا $Q_۴$ مطابق شکل (۶-۱۰) یک زوج سیگنال جریان مکمل αi_e به مدار بار می‌دهند.

مقاومت تفاضلی ورودی op-amp از شکل (۶-۱۰) بصورت زیر به دست می‌آید:

$$R_{id} = ۴(\beta_N + ۱) r_e \qquad (۱۰-۴)$$

به ازای $\beta_N = ۲۰۰$ به دست می‌آوریم: $R_{id} = ۲/۱\ M\Omega$

در ادامه تحلیل طبقه ورودی، در شکل (۷-۱۰) نشان می‌دهیم که مدار بار با سیگنالهای جریان زوج مکمل به دست آمده در فوق تغذیه می‌شود. با چشمپوشی از جریان سیگنال بیس $Q_۷$، ملاحظه می‌کنیم که جریان سیگنال کلکتور $Q_۵$ تقریباً برابر با جریان ورودی αi_e است. اکنون، چون $Q_۵$ و $Q_۶$ یکسانند و بیس آنها به هم وصل است، و چون همه مقاومتهای مساوی به امیترها متصل است، نتیجه می‌شود که جریانهای سیگنال کلکتورشان مساوی باشند. بنابراین جریان سیگنال کلکتور به اجبار مساوی αi_e است. به بیان دیگر، مدار بار به مثابه یک آینه جریان عمل می‌کند.



شکل ۷-۱۰. مدار بار طبقه ورودی که به آن دو سیگنال جریان مکمل که توسط Q_1 تا Q_4 در شکل (۶-۱۰) تولیدشده‌اند، اعمال شده است. ترتیب تحلیل با شماره‌های دایره‌دار مشخص شده است.

اکنون گره خروجی طبقه ورودی را درنظر بگیرید. جریان خروجی i_o برابر است با:

$$i_o = 2\alpha i_e \qquad (۱۰-۵)$$

ضریب دو در این معادله بیانگر تبدیل شکل تفاضلی به تک‌سر بدون از دست دادن نیمی از سیگنال انجام می‌شود. البته، نکته ظریف کار در استفاده از آینه جریان برای تبدیل یکی از سیگنالهای جریان و سپس افزودن سیگنال حاصل به سیگنال جریان دیگر است (بخش ۵-۶ را ملاحظه کنید).

از ترکیب معادله‌های (۳-۱۰) و (۵-۱۰) هدایت انتقالی طبقه ورودی، G_{m1} را می‌توان محاسبه کرد:

$$G_{m1} \equiv \frac{i_o}{v_i} = \frac{\alpha}{2r_e} \qquad (۱۰-۶)$$

با قراردادن $r_e = 2/63\ \text{k}\Omega$ و $\alpha \cong 1$ به دست می‌آید:

$$G_{m1} = \frac{1}{5/26}\ \text{mA/V}$$

تمرین

۶-۱۰ در مدار شکل (۷-۱۰)، بر حسب i_e به دست آورید: (الف) ولتاژ سیگنال بیس Q_6 را؛ (ب) جریان سیگنال امیتر Q_7 را؛ (پ) جریان سیگنال بیس Q_7 را؛ (ت) ولتاژ سیگنال بیس Q_7؛ (ث) مقاومت ورودی از نظر منبع جریان سمت چپ αi_e. (توجه: برای ساده کردن آن فرض کنید که $I_{C7} \cong I_{C5} = I_{C6}$ است.)

جواب. (الف) $3/63\ \text{k}\Omega \times i_e$؛ (ب) $0/08\ i_e$؛ (پ) $0/0004\ i_e$؛ (ت) $3/84\ \text{k}\Omega \times i_e$؛ (ث) $3/84\ \text{k}\Omega$ ❑

برای تکمیل مدلسازی طبقه ورودی 741 ، باید مقاومت خروجی آن R_{o1} را بیابیم. این مقاومت با «نظر به عقب» به پایانه کلکتور Q_6 در شکل (۷-۱۰) دیده می‌شود. بنابراین R_{o1} معادل موازی مقاومت خروجی منبع جریان تأمین سیگنال αi_e و مقاومت خروجی Q_6 است. قطعه اول مقاومتی است که در شکل (۶-۱۰) با نظر به کلتور Q_4 دیده می‌شود. اگر فرض کنیم بیس مشترک Q_3 و Q_4 به زمین مجازی وصلند، به دست آوردن این مقاومت ساده است. البته این حالت وقتی اتفاق می‌افتد که سیگنال ورودی v_i بصورت مکمل اعمال شود. با این وجود، با چنین فرضی، اندازه خطا زیاد نیست.

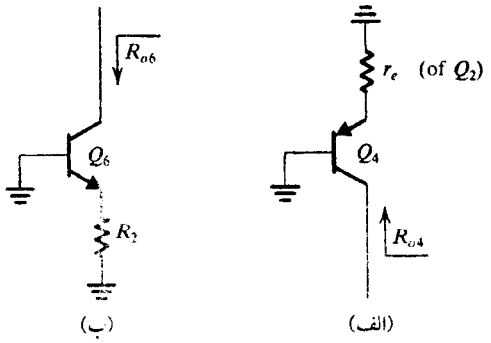
با این فرض که بیس Q_4 به زمین مجازی وصل است، بنا به شکل (الف ۸-۱۰) مقاومت موردنظر ما R_{o4} است. این مقاومت، مقاومت خروجی ترانزیستور بیس مشترکی است که در امیتر آن مقاومت (r_e ی Q_2) قرار دارد. برای یافتن R_{o4} از رابطه (معادله ۷۸-۶) در فصل ۶ استفاده می‌کنیم.

$$R_o = r_o\,[1 + g_m\,(R_E \,//\, r_\pi)] \qquad (۱۰-۷)$$

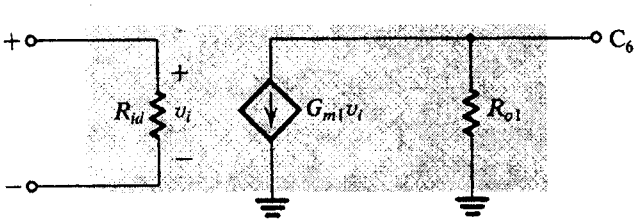
از قراردادن $R_E = r_e \equiv 2/63\ \text{k}\Omega$ و $r_o = V_A / I$، که در آن $V_A = 50\ \text{V}$ و $I = 9/5\ \mu\text{A}$ (و بنابراین $r_o = 5/26\ \text{M}\Omega$ است)، $R_{o4} = 10/5\ \text{M}\Omega$ به دست می‌آید.

مؤلفه دوم مقاومت خروجی آن است که با نظر به کلکتور Q_6 در شکل (۷-۱۰) دیده می‌شود. اگرچه بیس Q_6 زمین سیگنال نیست فرض می‌کنیم سیگنال ولتاژ بیس به قدر کافی کم است تا تقریب معتبر باشد. در این صورت مدار بصورت شکل (ب ۸-۱۰) درمی‌آید و R_{o6} با استفاده از معادله (۷-۱۰) با $R_E = R_2$ به دست می‌آید. بنابراین $R_{o6} \cong 18/2\text{M}\Omega$ است. سرانجام، با ترکیب موازی R_{o4} و R_{o6} مقاومت خروجی طبقه ورودی R_{o1} را بصورت $R_{o1} = 6/7\ \text{M}\Omega$ به دست می‌آوریم.

شکل (۹-۱۰) مدار معادلی را نشان می‌دهد که برای طبقه ورودی به دست آورده‌ایم. این مدار صورت ساده شده‌ای از مدل y پارامتر شبکه دو درگاهی با فرض ناچیزبودن y_{12} است (ضمیمه ب را ملاحظه کنید).



شکل ۸-۱۰. مدارهای ساده شده برای به دست آوردن دو مؤلفهٔ مقاومت خروجی R_{O1} طبقه اول



شکل ۹-۱۰. مدار معادل سیگنال کوچک طبقه ورودی 741 op−amp

مثال ۱ – ۱۰

مطلوبست ولتاژ افست ورودی به دست آمده از ۲% عدم انطباق بین R_1 و R_2 در شکل (۱–۱۰).

حل:

ابتدا وضعیتی را با دو پایانه ورودی درنظر بگیرید و فرض کنید که $R = R_1$ و $R_2 = R + \Delta R$ که در آن $\Delta R / R = 0/02$ از شکل (۱۰–۱۰) ملاحظه می‌کنیم که وقتی Q_5 بازهم جریانی معادل I هدایت می‌کند، جریان Q_6 به اندازه ΔI کوچکتر خواهد بود. مقدار ΔI از رابطه زیر به دست می‌آید:

$$V_{BE5} + IR = V_{BE6} + (I - \Delta I)(R + \Delta R)$$

بنابراین

$$V_{BE5} - V_{BE6} = I\Delta R - \Delta I (R + \Delta R) \qquad (10\text{–}8)$$

کمیت سمت چپ در واقع تغییر V_{BE} ناشی از تغییر I_E به اندازه ΔI است. بنابراین می‌توان نوشت:

$$V_{BE5} - V_{BE6} \cong \Delta I r_e \qquad (10\text{–}9)$$

از تلفیق معادله‌های (۸–۱۰) و (۹–۱۰) به دست می‌آید:

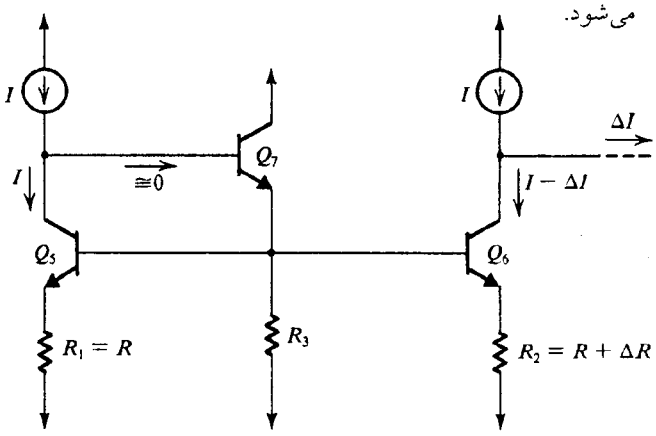
$$\frac{\Delta I}{I} = \frac{\Delta R}{R + \Delta R + r_e} \qquad (10\text{–}10)$$

جایگزینی $R = 1\ \text{k}\Omega$ و $r_e = 2/63\ \text{k}\Omega$ نشان می‌دهد که ۲% عدم تطابق بین R_1 و R_2 منجر به جریان خروجی $\Delta I = 5/5 \times 10^{-3} I$ می‌شود. برای کاهش این جریان به صفر، ولتاژ ورودی V_{OS} را اعمال می‌کنیم که از رابطه زیر به دست می‌آید.

$$V_{OS} = \frac{\Delta I}{G_{m1}} = \frac{5/5 \times 10^{-3} I}{G_{m1}} \qquad (10\text{–}11)$$

از قراردادن $I = 9/5\ \mu\text{A}$ و $G_{m1} = \frac{1}{5/26}\ \text{mA/V}$، ولتاژ افست $V_{OS} \cong 0/3\text{mV}$ به دست می‌آید.

لازم به ذکر است که ولتاژ افست محاسبه شده فقط یک جزء از ولتاژ افست ورودی 741 است. جزءهای دیگر بدلیل عدم تطابق مشخصه‌های ترانزیستور است. ولتاژ افست 741 معمولاً ۲mV تعیین می‌شود.



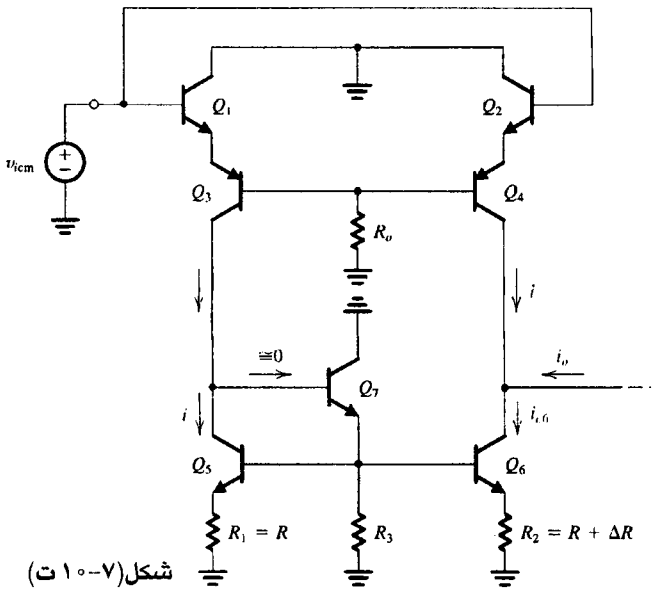
شکل ۱۰–۱۰. طبقه ورودی با دو ورودی زمین شده و وجود عدم تطبیق ΔR بین R_1 و R_2

تمرینها

هدف از تمرینهای زیر تعیین بهرهٔ محدود حالت مشترک به دست آمده از عدم تطابق بار در طبقهٔ ورودی op–amp 741 است. شکل (۷–۱۰ت) طبقهٔ ورودی را نشان می‌دهد که در آن سیگنال حالت مشترک ورودی v_{icm} اعمال شده است و عدم تطابق دو مقاومت R_1 و R_2 برابر ΔR است. توجه کنید که برای ساده شدن مطلب حلقهٔ فیدبک در حالت مشترک شامل مقاومت R_o را باز کرده‌ایم. R_o مقاومت دیده شده هنگام نگاه کردن از سمت چپ به گره Y در شکل (۱–۱۰) است. بنابراین R_o برابر مقاومت معادل موازی R_{o9} (مقاومت خروجی Q_9) و R_{o10} (مقاومت خروجی Q_{10}) است.

۷–۱۰ نشان دهید که جریان i (شکل ۷–۱۰ت) برابر است با

$$i = \frac{v_{icm}}{r_{e1} + r_{e3} + [2R_o/(\beta_P + 1)]}$$



شکل(۷–۱۰ ت)

۸–۱۰ نشان دهید که

$$i_o = -i \frac{\Delta R}{R + r_{e5} + \Delta R}$$

۹–۱۰ با استفاده از نتایج تمرینهای ۷–۱۰ و ۸–۱۰ و با فرض $\Delta R << (R + r_e)$ و $R_o/(\beta_P + 1) >> (r_{e1} + r_{e3})$ نشان دهید که G_{mcm} هدایت انتقالی حالت مشترک تقریباً برابر است با

$$G_{mcm} \equiv \frac{|i_o|}{v_{icm}} \cong \frac{\beta_P}{2R_o} \frac{\Delta R}{R + r_{e5}}$$

۱۰–۱۰ با توجه به شکل (۱–۱۰) و با فرض اینکه بیسهای Q_9 و Q_{10} تقریباً ولتاژهای ثابت دارند (زمین سیگنال)، R_{o9} و R_{o10} و بنابراین R_o را بیابید. در ترانزیستور npn مقدار V_A را برابر ۱۲۵V و در ترانزیستور pnp مقدار آن را ۵۰V در نظر بگیرید و از r_μ صرفنظر کنید.

جواب. $R_{o9} = 2/63\text{M}\Omega$، $R_{o10} = 31/1\text{M}\Omega$ و $R_o = 2/43\text{M}\Omega$.

۱۱–۱۰ به ازای $\beta_P = 50$ و $\Delta R/R = 0/02$ مقدار G_{mcm} به دست آمده در تمرین (۹–۱۰) را حساب کنید.

جواب. $0/057\ \mu\text{A/V}$.

۱۲-۱۰ با استفاده از مقدار G_{mcm} به دست آمده در تمرین ۱۱-۱۰ و مقدار G_{m1} به دست آمده از معادلهٔ (۶-۱۰) مقدار CMRR یعنی نسبت G_{m1} به G_{mcm} را برحسب دسی‌بل بیابید.
جواب. ۷۰/۵ dB.

۱۳-۱۰ با توجه به این که با قرارگرفتن حلقهٔ فیدبک منفی حالت مشترک در جای خود، بهرهٔ حالت مشترک به اندازهٔ فیدبک کاهش می‌یابد و با توجه به اینکه بهرهٔ حلقه تقریباً برابر β_P است (مسأله ۸-۱۰ را ببینید)، CMRR را حالتی که حلقه فیدبک در جای خود قرار دارد. حساب کنید.
جواب. ۱۰۴/۶dB. ❑

۴-۱۰ تحلیل سیگنال کوچک دومین طبقه 741

شکل (۱۱-۱۰) دومین طبقه آماده شده برای تحلیل سیگنال کوچک را نشان می‌دهد. در این بخش، دومین طبقه را تحلیل کرده مقدار پارامترهای مدار معادل شکل (۱۲-۱۰) را به دست می‌آوریم. این مدار، یک مدار معادل با پارامتر ساده شده y است که در آن از y_{12} چشمپوشی شده است.

مقاومت ورودی

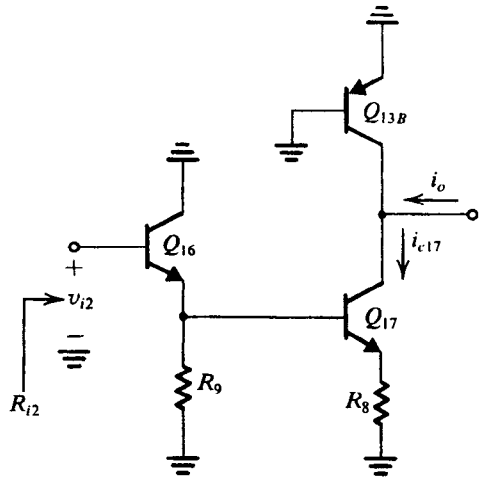
مقاومت ورودی R_{i2} با معاینه دقیق مدار بصورت زیر دیده می‌شود:

$$R_{i2} = (\beta_{16} + 1)\,[r_{e16} + R_9 \,//\, (\beta_{17} + 1)\,(r_{e17} + R_8)] \qquad (۱۰-۱۲)$$

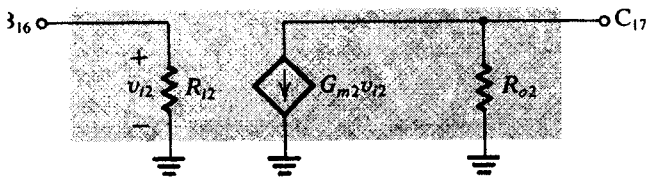
با قراردادن مقادیر مناسب پارامترها به دست می‌آید: $R_{i2} = 4\ \text{M}\Omega$.

هدایت انتقالی

از مدار معادل (۱۲-۱۰) ملاحظه می‌کنیم که هدایت انتقالی G_{m2} نسبت جریان اتصال کوتاه خروجی به ولتاژ ورودی است. با اتصال کوتاه کردن پایانهٔ خروجی طبقه دوم (شکل ۱۱-۱۰) به زمین، جریان سیگنالی که از مقاومت خروجی Q_{13B} عبور می‌کند صفر است و جریان اتصال کوتاه خروجی برابر با جریان سیگنال Q_{17} یعنی i_{c17} است. این جریان را



شکل ۱۱-۱۰. طبقه دوم 741 آماده شده برای تحلیل سیگنال کوچک



شکل ۱۲-۱۰. مدل مدار معادل سیگنال کوچک طبقه دوم

به آسانی می‌توان به v_{i2} بصورت زیر ربط داد:

$$i_{c17} = \frac{\alpha\, v_{b17}}{r_{e17} + R_8} \qquad (۱۰-۱۳)$$

$$v_{b17} = v_{i2}\,\frac{(R_9 \,//\, R_{i17})}{(R_9 \,//\, R_{i17}) + r_{e16}} \qquad (۱۰-۱۴)$$

$$R_{i17} = (\beta_{17} + 1)\,(r_{e17} + R_8) \qquad (۱۰-۱۵)$$

از ترکیب این معادلات به دست می‌آید:

$$G_{m2} \equiv \frac{i_{c17}}{v_{i2}} \qquad (۱۰-۱۶)$$

که برای مقادیر پارامترهای 741، $G_{m2} = 6/5\ \text{mA/V}$ به دست می‌آید.

مقاومت خروجی

برای تعیین مقاومت خروجی طبقه دوم (R_{o2}) از شکل (۱۱-۱۰)، پایانه ورودی را به زمین وصل کرده و مقاومت با نظر به عقب به پایانه خروجی را به دست می‌آوریم. در نتیجه R_{o2} برابر است با:

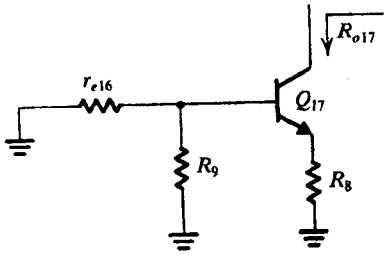
$$R_{o2} = (R_{o13B} \,//\, R_{o17}) \qquad (۱۰-۱۷)$$

که R_{o13B} مقاومتی است که با نظر به کلکتور Q_{13B} به دست می‌آید در حالی که بیس و امیتر آن به زمین وصل شده‌اند. به آسانی می‌توان نشان داد که:

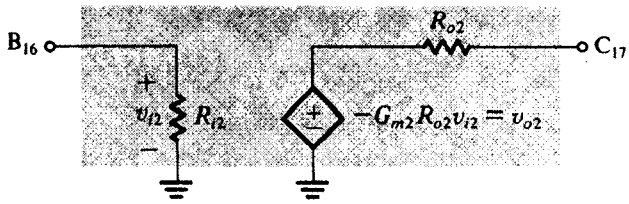
$$R_{o13B} = r_{o13B} \qquad (۱۰-۱۸)$$

به ازای اجزای 741 داریم $R_{o13B} = 90/9\ \text{k}\Omega$

بنابر شکل (۱۳-۱۰) جزء دوم در معادله (۱۷-۱۰)، R_{o17}، مقاومت دیده شده با نظر به کلکتور Q_{17} است. چون مقاومت بین بیس Q_{17} و زمین بالنسبه کوچک است، با این فرض که بیس به زمین وصل شده می‌توان مطالب را تا حد امکان ساده کرد. برای این کار، می‌توان از معادله (۷-۱۰) برای به دست‌آوردن R_{o17} استفاده کرد. در اینصورت $R_{o17} \cong 787\ \text{k}\Omega$ به دست می‌آید. از ترکیب موازی R_{o13B} و R_{o17}، به دست می‌آوریم: $R_{o2} = 81\ \text{k}\Omega$.



شکل ۱۳-۱۰. تعریف R_{o17}



شکل ۱۴-۱۰. فرم تونن مدل سیگنال کوچک طبقه دوم

مدار معادل تونن

مدار معادل دومین طبقه مطابق شکل (۱۴-۱۰) بصورت تونن درمی‌آید. توجه کنید که بهره ولتاژ مدار باز برابر با $-G_{m2}R_{o2}$ است.

تمرینها

۱۴-۱۰ با استفاده از معادله (۱۲-۱۰) نشان دهید که $R_{i2} \cong 4\ \text{M}\Omega$ می‌باشد.

۱۵-۱۰ با استفاده از معادله‌های (۱۳-۱۰) تا (۱۶-۱۰)، ثابت کنید که G_{m2} برابر $6.5\ \text{mA/V}$ است.

۱۶-۱۰ ثابت کنید که $R_{o2} = 81\ \text{k}\Omega$ است.

۱۷-۱۰ بهره ولتاژ مدار باز دومین طبقه 741 را بیابید.

جواب. $-526.5\ \text{V/V}$ ❑

۵-۱۰ تحلیل طبقه خروجی 741

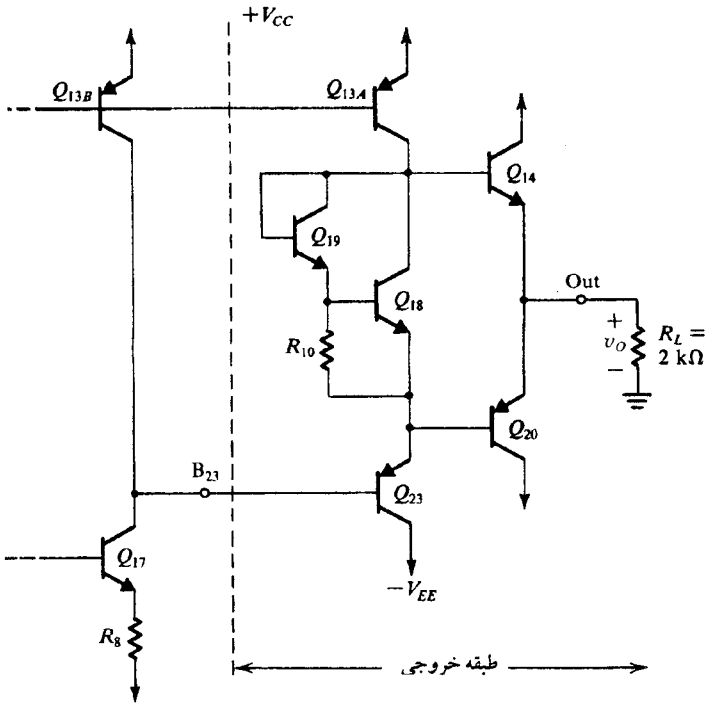
طبقه خروجی 741 در شکل (۱۵-۱۰) بدون مدار محافظ اتصال کوتاه نشان داده شده است. این طبقه با ترانزیستور Q_{17} در دومین طبقه راه‌اندازی می‌شود و با مقاومت $2\ \text{k}\Omega$ بار می‌گردد. مدار شامل کلاس AB است (با توجه به فصل ۹) و شبکه‌ای شامل Q_{18} و Q_{19}، و R_{10} که بایاس ترانزیستورهای خروجی Q_{14} و Q_{20} را تأمین می‌کند. استفاده از این شبکه به جای دو ترانزیستور سری اتصال دیودی ما را قادر می‌سازد تا ترانزیستورهای خروجی را با جریان کم (0.15mA) بایاس کنیم، اگرچه قطعات خروجی سه مرتبه بزرگتر از قطعات استاندارد هستند. این کار با کوچک کردن جریان Q_{19} انجام می‌گردد که در نتیجه V_{BE} ی آن نیز کوچک می‌شود. با بایاس dc را در بخش ۲-۱۰ تحلیل کردیم.

مشخصه دیگر طبقه خروجی 741 در آن است که این طبقه با یک امیتر پیرو مثل Q_{23} راه‌اندازی می‌شود. چنانکه خواهیم دید، امیتر پیرو با ایفای نقش میانگیری، سبب مستقل شدن پارامترهای ترانزیستورهای خروجی از بهره op-amp می‌شود.

محدودیت‌های طبقه خروجی

ماکزیمم ولتاژ خروجی با اشباع ترانزیستور منبع جریان Q_{13A} محدود می‌شود. بنابراین

$$v_{o\max} = V_{CC} - V_{CE\,\text{اشباع}} - V_{BE14} \qquad (۱۰-۱۹)$$



شکل ۱۵-۱۰. طبقه خروجی 741

که 1 V کمتر از V_{CC} است. مینیمم ولتاژ خروجی (که ماکزیمم دامنه منفی است) با اشباع Q_{17} محدود می‌شود. با نادیده انگاشتن افت ولتاژ دو سر R_8 به دست می‌آوریم:

$$v_{o\min} = -V_{EE} + V_{CE\,\text{اشباع}} + V_{EB23} + V_{EB20} \qquad (۱۰-۲۰)$$

که حدود 1.5 ولت بیش از $-V_{EE}$ است.

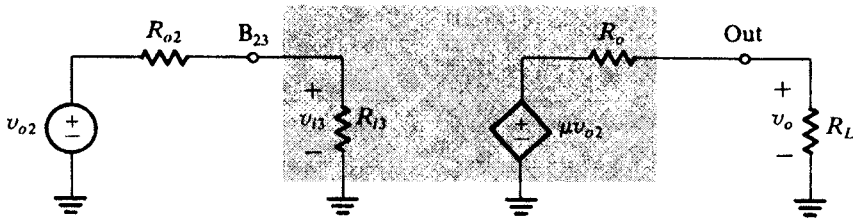
مدل سیگنال کوچک

اکنون تحلیل سیگنال کوچک طبقه خروجی را برای تعیین مقادیر پارامترهای مدل مدار معادل نشان داده شده در شکل (۱۶-۱۰) ارائه می‌کنیم. این مدل مطابق شکل بوسیله v_{o2} تغذیه شده است که ولتاژ خروجی مدار باز طبقه دوم است. با توجه به شکل (۱۴-۱۰) v_{o2} از رابطه زیر به دست می‌آید:

$$v_{o2} = -G_{m2} R_{o2} v_{i2} \qquad (۱۰-۲۱)$$

که پیش از این $G_{m2} = 6.5\ \text{mA/V}$ و $R_{o2} = 81\ \text{k}\Omega$ تعیین شده بود. مقاومت R_{i3}، مقاومت ورودی طبقه خروجی است که با تقویت‌کننده دارای بار R_L به دست آمد. اگرچه تأثیر بارگذاری یک طبقه تقویت‌کننده بر مقاومت ورودی‌اش در ورودی دومین طبقه قابل چشمپوشی است، اما این حالت در طبقه خروجی عمومی نیست. تعیین R_{i3} به این صورت، ارزیابی صحیح از بهره ولتاژ طبقه دوم، A_2، را میسر می‌سازد.

$$A_2 \equiv \frac{v_{i3}}{v_{i2}} = -G_{m2} R_{o2} \frac{R_{i3}}{R_{i3} + R_{o2}} \qquad (۱۰-۲۲)$$



شکل ۱۶-۱۰. مدلی برای طبقه خروجی 741

برای تعیین $R_{i۳}$ فرض کنید یکی از دو ترانزیستور- مثلاً $Q_{۲۰}$- ۵mA جریان هدایت کند. این امر موجب می‌شود که مقاومت ورودی با نظر به بیس $Q_{۲۰}$ تقریباً $\beta_{۲۰}R_L$ باشد. با فرض $\beta_{۲۰} = ۵۰$، به ازای $R_L = ۲\ k\Omega$ مقاومت ورودی $Q_{۲۰}$ برابر ۱۰۰kΩ است. این مقاومت با ترکیب سری مقاومت خروجی $Q_{۱۳A}$ ($r_{o۱۳A} \cong ۲۸۰\ k\Omega$) و مقاومت شبکه $Q_{۱۸}-Q_{۱۹}$ بطور موازی ظاهر می‌شود. این مقاومت کوچک (حدود ۱۶۰ Ω؛ با توجه به تمرین ۱۸-۱۰) است. بنابراین مقاومت کل امیتر $Q_{۲۳}$ تقریباً (۱۰۰ kΩ // ۲۸۰ kΩ) یا ۷۴ kΩ و مقاومت ورودی $R_{i۳}$ چنین است:

$$R_{i۳} = \beta_{۲۳} \times ۷۴\ k\Omega$$

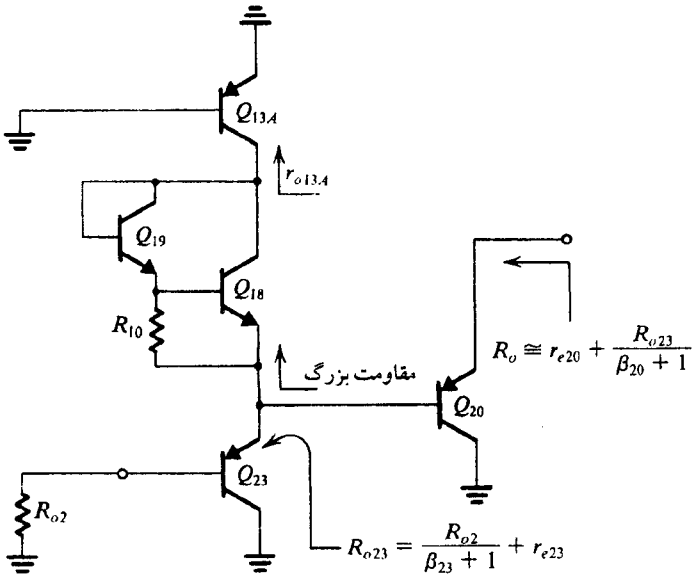
که برای $\beta_{۲۳} = ۵۰$، $R_{i۳} = ۳/۷\ M\Omega$ است. چون $R_{o۲} = ۸۱\ k\Omega$ است، ملاحظه می‌کنیم که $R_{i۳} >> R_{o۲}$ و مقدار $R_{i۳}$ تأثیر کمی بر عملکرد op-amp خواهد داشت. از مقدار به دست آمده برای $R_{i۳}$ در تعیین بهره دومین طبقه معادله (۲۲-۱۰) بصورت $A_۲ = -۵۱۵\ V/V$ استفاده می‌کنیم. مقدار $A_۲$ در بخش ۶-۱۰ در رابطه با تحلیل پاسخ فرکانسی مورد نیاز خواهد بود.

در ادامه، با تعیین پارامترهای مدل مدار معادل، از شکل (۱۶-۱۰) متوجه می‌شویم که μ **بهره ولتاژ مدار باز** طبقه خروجی است:

$$\mu = \left.\frac{v_o}{v_{o۲}}\right|_{R_L = \infty} \qquad (۱۰-۲۳)$$

با $R_L = \infty$، بهره ترانزیستور خروجی امیتر پیرو ($Q_{۱۴}$ یا $Q_{۲۰}$) نزدیک واحد خواهد شد. همچنین با $R_L = \infty$، مقاومت امیتر $Q_{۲۳}$ بسیار بزرگ خواهد بود. به این معنی که بهره $Q_{۲۳}$ به واحد نزدیک شده و مقاومت ورودی $Q_{۲۳}$ بسیار بزرگ خواهد شد. بنابراین نتیجه می‌گیریم که $\mu \cong ۱$ است.

سپس مقدار مقاومت خروجی op-amp، R_o، را به دست خواهیم آورد. برای این منظور به مدار شکل (۱۷-۱۰) برمی‌گردیم. در ارتباط با تعیین R_o، منبع ورودی تغذیه‌کننده طبقه خروجی به زمین وصل شده اما مقاومتش (که مقاومت طبقه دوم، $R_{o۲}$ است) وجود دارد. فرض کرده‌ایم که ولتاژ خروجی v_o منفی است، و بنابراین $Q_{۲۰}$ قسمت اعظم جریان را هدایت می‌کند؛ در اینصورت $Q_{۱۴}$ حذف شده است. البته مقدار دقیق مقاومت خروجی به ترانزیستور هدایت‌کننده ($Q_{۱۴}$ یا $Q_{۲۰}$) و به مقدار جریان بار بستگی دارد. با این وجود، می‌خواهیم بطور تخمینی R_o را به دست آوریم.



شکل ۱۷-۱۰. مداری برای پیداکردن مقاومت خروجی R_o

همانطور که در شکل (۱۷-۱۰) نشان داده شده، مقاومت دیده شده با نظر به امیتر $Q_{۲۳}$ عبارت است از:

$$R_{o۲۳} = \frac{R_{o۲}}{\beta_{۲۳}+۱} + r_{e۲۳} \qquad (۱۰-۲۴)$$

با قراردادن $R_{o۲} = ۸۱\ k\Omega$، $\beta_{۲۳} = ۵۰$، و $r_{e۲۳} = \frac{۲۵}{۰/۱۸} = ۱۳۹\Omega$ به دست می‌آوریم: $R_{o۲۳} = ۱/۷۳\ k\Omega$. این مقاومت با ترکیب سری $r_{o۱۳A}$ و مقاومت شبکه $Q_{۱۸} - Q_{۱۹}$، بصورت موازی ظاهر می‌شود. چون $r_{o۱۳A}$ به تنهایی ($۰/۲۸\ M\Omega$) از $R_{o۲۳}$ خیلی بزرگتر است، مقاومت مؤثر بین بیس $Q_{۲۰}$ و زمین تقریباً برابر با $R_{o۲۳}$ است. اکنون مقاومت خروجی R_o را بصورت زیر به دست می‌آوریم.

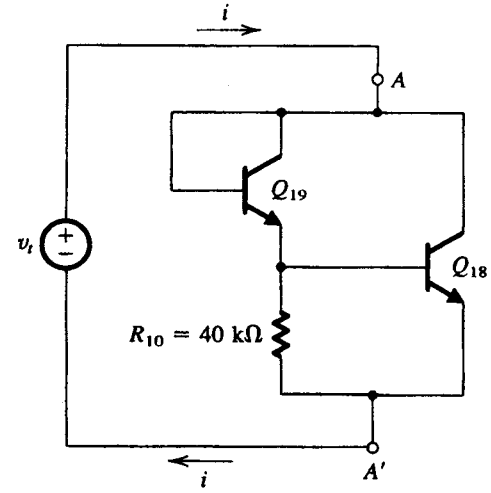
$$R_o = \frac{R_{o۲۳}}{\beta_{۲۰}+۱} + r_{e۲۰} \qquad (۱۰-۲۵)$$

برای $\beta_{۲۰} = ۵۰$ جزء اول R_o برابر ۳۴ Ω است. جزء دوم اساساً به مقدار جریان خروجی بستگی دارد. به ازای ۵ mA جریان خروجی، $r_{e۲۰}$ برابر ۵Ω و R_o برابر ۳۹ Ω است. به این مقدار باید مقاومت $R_۷$ (۲۷ Ω) را اضافه کنیم (شکل ۱-۱۰ را ملاحظه کنید.)، که برای محافظت اتصال کوتاه وجود دارد. مقاومت خروجی 741 معمولاً ۷۵ Ω قرارداد می‌شود.

تمرینها

۱۸-۱۰ با استفاده از مدل ساده‌ای (r_π ، g_m) برای هریک از دو ترانزیستور Q_{18} و Q_{19} در شکل (۱۸-۱۰ ت)، مقاومت سیگنال کوچک بین A و A' را بیابید. (توجه: از جدول ۱-۱۰ داریم $I_{C18} = 165\,\mu A$ و $I_{C19} \cong 16\,\mu A$.)

جواب. ۱۶۳ Ω

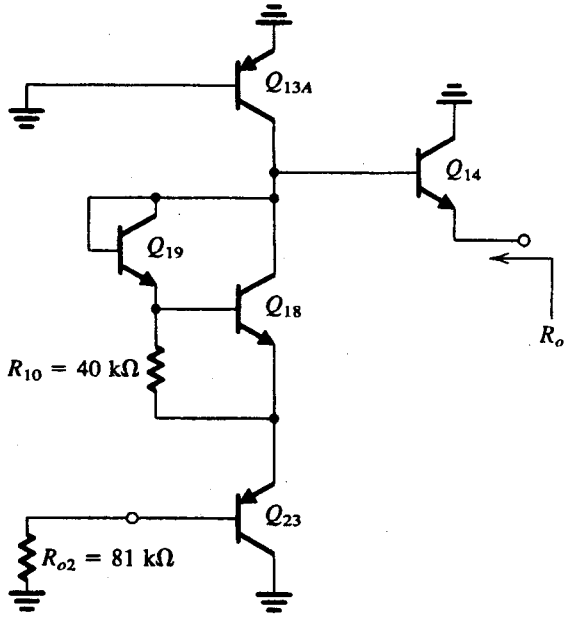


$r_{AA'} \equiv \frac{v_t}{i}$

شکل (۱۸-۱۰ ت)

۱۹-۱۰ شکل (۱۹-۱۰ ت) مداری برای تعیین مقاومت خروجی op-amp نشان می‌دهد که v_o مثبت باشد و Q_{14} بیشتر جریان را هدایت کند. با استفاده از مقاومت شبکه Q_{18} - Q_{19} (که در تمرین ۱۸-۱۰ محاسبه شد) و با صرفنظرکردن از مقاومت خروجی بزرگ Q_{13A}، R_o را هنگامی که Q_{14} جریان خروجی ۵ mA بیرون می‌دهد، به دست آورید.

جواب. ۱۴/۴ Ω ❑



شکل (۱۹-۱۰ ت)

محافظت از اتصال کوتاه خروجی

اگر پایانه خروجی op-amp به یکی از منابع تغذیه اتصال کوتاه شود، یکی از دو ترانزیستور خروجی، جریان قابل ملاحظه‌ای هدایت می‌کند. چنین جریانی می‌تواند حرارت زیاد ایجاد کرده سبب سوختن IC شود. برای جلوگیری از چنین اتفاقی، 741 به یک مدار محافظت از اتصال کوتاه خروجی مجهز می‌شود. کار این مدار محدودکردن جریان ترانزیستورهای خروجی هنگام اتصال کوتاه است.

با توجه به شکل (۱-۱۰) مقاومت R_6 به همراه ترانزیستور Q_{15} جریان خروجی Q_{14} را در زمان اتصال کوتاه محدود می‌کنند. بطور خاص، اگر جریان امیتر Q_{14} از ۲۰ mA افزونتر شود، ولتاژ دو سر R_6 از ۵۴۰mV بیشتر می‌شود که Q_{15} را روشن می‌سازد. با روشن‌شدن Q_{15}، کلکتور جریان تهیه شده بوسیله Q_{13A} را می‌کشد و بنابراین جریان بیس Q_{14} کاهش می‌یابد. بنابراین، این مکانیزم ماکزیمم جریان خروجی op-amp را تا حدود ۲۰ mA محدود می‌کند.

ماکزیمم جریانی که op-amp می‌تواند بکشد، و بنابراین جریان Q_{20} بوسیله مکانیزمی مشابه با آنچه در بالا بحث شد محدود می‌شود. مدار مربوطه به آن از R_7، Q_{21}، Q_{24}، و Q_{22} تشکیل می‌شود. برای اجزای نشان داده شده، جریان به طرف داخل در ۲۰ mA محدود می‌شود.

۶-۱۰ پاسخ فرکانسی و بهره 741

در این بخش بهره ولتاژ سیگنال کوچک کامل 741 را بررسی می‌کنیم. سپس پاسخ فرکانسی و محدودیت سرعت واکنش آنرا درنظر می‌گیریم.

بهره سیگنال کوچک

بهره سیگنال کوچک کل را می‌توان متوالیاً از مدارهای معادل به دست آورد که در بخش‌های پیش برای سه طبقه op-amp حاصل شده بود. این مدار متوالی در شکل (۱۸-۱۰) نشان داده شده که دارای بار $R_L = 2k\Omega$ است. معمولاً از این مقدار برای اندازه‌گیری و تعیین داده‌های 741 استفاده می‌شود. بهره کل را بصورت زیر می‌توان بیان نمود:

$$\frac{v_o}{v_i} = \frac{v_{i2}}{v_i} \times \frac{v_{o2}}{v_{i2}} \times \frac{v_o}{v_{o2}} \qquad (۱۰-۲۶)$$

$$= -G_{m1}(R_{o1} // R_{i2})(-G_{m2}R_{o2})\mu \frac{R_L}{R_L + R_o} \qquad (۱۰-۲۷)$$

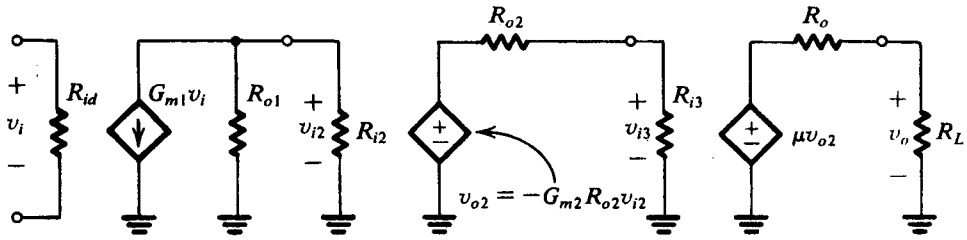
با استفاده از مقادیر به دست آمده در بخش قبل نتیجه می‌شود که:

(۱۰-۲۸)

$$\frac{v_o}{v_i} = -476.1 \times (-526.5) \times 0.97 = 243147\,V/V = 107.7\,dB$$

پاسخ فرکانسی

741 یک op-amp با جبران داخلی است. در این op-amp از تکنیک جبران میلر، که در بخش ۱۱-۸ مطالعه شد، استفاده می‌شود تا قطب فرکانس پایین غالب به دست آید. بطور خاص یک خازن ۳۰pF



شکل ۱۸-۱۰. مدارهای معادل سیگنال کوچک طبقات مجزای متوالی شده برای ارزیابی بهرهٔ ولتاژ کلی

(C_C) در مسیر فیدبک منفی دومین طبقه متصل شده است. یک تخمین تقریبی از فرکانس قطب غالب بصورت زیر به دست می‌آید:

با استفاده از قضیه میلر (بخش ۴-۷) و با توجه به شکل (۱-۱۰)، خازن مؤثر ناشی از C_C بین بیس Q_{16} و زمین عبارت است از:

$$C_i = C_C(1 + |A_2|) \qquad (10\text{-}29)$$

که در آن A_2 بهره طبقه دوم است. استفاده از مقدار محاسبه شده برای A_2 در بخش (۵-۱۰)، $A_2 = -515$، نتیجه می‌دهد: $C_i = 15480\text{pF}$. چون این خازن بسیار بزرگ است، از همه خازنهای بین بیس Q_{16} و زمین سیگنال صرفنظر می‌کنیم. مقاومت کل بین این گره و زمین عبارت است از:

$$R_t = (R_{o1} // R_{i2}) \qquad (10\text{-}30)$$
$$= (6.7\ \text{M}\Omega // 4\ \text{M}\Omega) = 2.5\ \text{M}\Omega$$

بنابراین قطب غالب دارای فرکانس f_P است که بصورت زیر به دست می‌آید:

$$f_P = \frac{1}{2\pi C_i R_t} = 4.1\ \text{Hz} \qquad (10\text{-}31)$$

بایستی توجه شود که این بررسی هم ارز استفاده از فرمول تقریبی معادله (۸-۵۸) است.

همانگونه که در بخش ۱۱-۸ آمد، جبران میلر یک مزیت اضافی، موسوم به انشعاب قطب، دارد. در نتیجه، قطبهای دیگر مدار به فرکانسهای خیلی بالا انتقال داده می‌شوند. این کار، با تحلیل کامپیوتری قابل اثبات است.

با فرض اینکه همه قطبهای غیر غالب در فرکانسهای بالا باشند، مقادیر محاسبه شده به نمودار بودی نشان داده شده در شکل (۱۹-۱۰) منجر می‌شود.

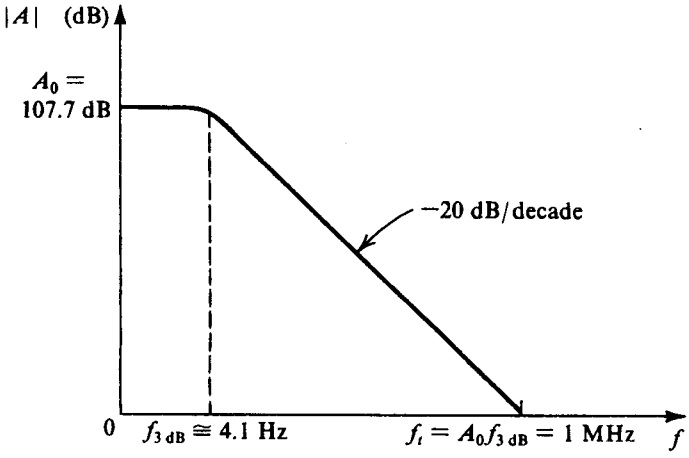
پهنای باند بهره واحد f_t بصورت زیر محاسبه می‌شود:

$$f_t = A_0 f_{3\text{dB}} \qquad (10\text{-}32)$$

بنابراین

$$f_t = 243147 \times 4.1 \cong 1\ \text{MHz} \qquad (10\text{-}33)$$

اگرچه نمودار بودی تلویحاً نشان می‌دهد که تغییر فاز در f_t برابر ۹۰- درجه است و بنابراین حاشیه فاز ۹۰ درجه می‌باشد، در عمل حاشیه فاز حدود ۸۰ درجه به دست می‌آید. تغییر فاز اضافی (حدود ۱۰ درجه) ناشی از قطب‌های غیرغالب است. این حاشیه فاز برای عمل پایدار تقویت‌کننده‌های حلقه بسته با هر مقدار از ضریب فیدبک β، کافی است.



شکل ۱۹-۱۰. نمودار بودی بهرهٔ 741 با اغماض از قطب‌های غیرغالب

سهولت استفاده از 741 با جبران داخلی به بهای کاهش زیاد بهره حلقه بار و بنابراین در مقدار فیدبک منفی به دست می‌آید. به عبارت دیگر، چنانچه تقویت‌کننده حلقه بسته‌ای با بهره ۱۰۰۰ لازم باشد، در آن صورت 741 برای چنین کاربردی دارای جبران کامل است و از آن با اطمینان می‌توان استفاده کرد.

یک مدل ساده شده

شکل (۲۰-۱۰) مدل ساده شده‌ای از op-amp 741 را نشان می‌دهد که در آن بهره زیاد دومین طبقه و خازن فیدبک C_C آن بوسیله یک انتگرال‌گیر ایده‌آل مدل شده است. در این مدل، بهره دومین طبقه بزرگ فرض شده و به اندازه‌ای که یک زمین مجازی در ورودی آن به وجود می‌آید، به این دلیل، مقاومت خروجی طبقه ورودی و مقاومت ورودی دومین طبقه حذف شده‌اند. بعلاوه فرض بر این است که طبقه خروجی یک طبقه با بهره واحد است. خواننده به یاد دارد که این مدل در بررسی مشخصه‌های پایانه op-amp در فصل ۲ مورد مطالعه قرار گرفت.

از تحلیل مدل شکل (۲۰-۱۰) داریم:

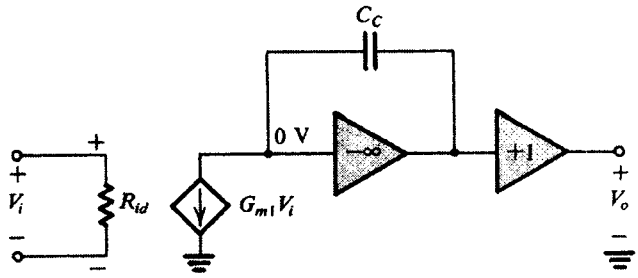
$$A(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{G_{m1}}{s\,C_C} \qquad (10\text{-}34)$$

بنابراین

$$A(j\omega) = \frac{G_{m1}}{j\omega C_C} \qquad (10\text{-}35)$$

و مقدار بهره در $\omega = \omega_t$ واحد می‌شود، که در آن

$$\omega_t = \frac{G_{m1}}{C_C} \qquad (10\text{-}36)$$



شکل ۲۰-۱۰. مدل ساده 741 بر اساس مدلسازی طبقه دوم بعنوان یک انتگرالگیر

است. با قراردادن $G_{m1} = \frac{1}{5/26}$ mA/V و $C_C = 30$ pF داریم:

$$f_t = \frac{\omega_t}{2\pi} \cong 1 \text{ MHz} \qquad (10\text{-}37)$$

که با مقدار به دست آمده قبلی برابر است. البته لازم به یادآوری است که مدل فقط در فرکانسهای $f \gg f_{3dB}$ معتبر است. در چنین فرکانسهایی، بهره با شیب -20 dB/decade مانند یک انتگرالگیر افت می‌کند.

سرعت واکنش

محدودیت سرعت واکنش op-amp در فصل ۲ بحث شد. در اینجا مبدأ پدیده واکنش را در مدار 741 نشان خواهیم داد.

پیرو بهره واحد شکل (۲۱-۱۰) را درنظر بگیرید که به ورودی آن یک ولتاژ پله‌ای، مثلاً ۱۰ ولتی، اعمال شده است. به دلیل دینامیک تقویت‌کننده، خروجی‌اش در زمان صفر تغییر نمی‌کند. بنابراین بلافاصله پس از اعمال ورودی، تقریباً همه مقادیر ولتاژ پله‌ای بصورت یک سیگنال تفاضلی بین دو پایانه ورودی ظاهر می‌شود. این ولتاژ بزرگ ورودی سبب **فرا راه اندازی** طبقه ورودی شده، مدل سیگنال کوچک آن دیگر به کار نمی‌آید. البته نیمی از طبقه قطع‌شده و نیمی دیگر همه جریان را هدایت می‌کنند. بطور خاص، مراجعه به شکل (۱-۱۰) نشان می‌دهد که ولتاژ تفاضلی ورودی سبب می‌شود ترانزیستورهای Q_1 و Q_3 همه جریانهای بایاس موجود ($2I$) راهدایت کنند در حالی که Q_2 و Q_4 قطع خواهند بود. آینه جریان Q_5، Q_6، و Q_7 همچنان انجام وظیفه می‌کنند و Q_6 جریان $2I$ تولید می‌کند.

با استفاده از مشاهدات فوق، و مدل‌سازی طبقه دوم به عنوان یک انتگرالگیر، مدل شکل (۲۲-۱۰) به دست می‌آید. از این مدار ملاحظه می‌کنیم که ولتاژ خروجی یک تابع شیب با شیب $2I/C_C$ خواهد بود:

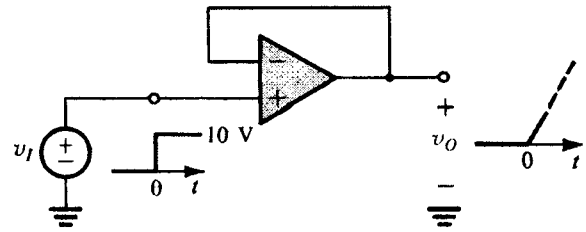
$$v_O(t) = \frac{2I}{C_C}t \qquad (10\text{-}38)$$

بنابراین سرعت واکنش SR بصورت زیر به دست می‌آید:

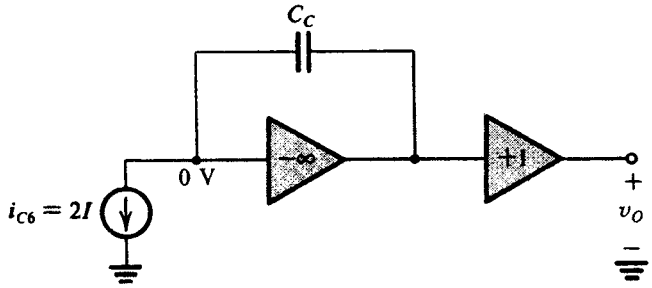
$$SR = \frac{2I}{C_C} \qquad (10\text{-}39)$$

در 741 با $I = 9.5\mu A$ و $C_C = 30pF$، بدست می‌آید: $SR = 0.63 V/\mu S$

لازم به یادآوری است که این یک مدل بالنسبه ساده از فرآیند واکنش است.



شکل ۲۱-۱۰. یک پیرو با بهرهٔ واحد و یک ورودی پلهٔ بزرگ از آنجا که ولتاژ خروجی سریعاً تغییر نمی‌کند ولتاژ تفاضلی بزرگی بین پایانه‌های ورودی op-amp ظاهر می‌شود.



شکل ۲۲-۱۰. مدلی برای op-amp 741 هنگامی که یک سیگنال تفاضلی بزرگ به آن اعمال شود.

تمرین

۲۰-۱۰ از مقدار سرعت واکنش محاسبه شده در بالا استفاده کرده، پهنای باند تمام توان f_M را برای تقویت‌کننده عملیاتی 741 به دست آورید. فرض کنید که ماکزیمم خروجی ± 10 V باشد.

جواب. 10 kHz ❑

رابطه بین f_t و SR

رابطه ساده‌ای بین پهنای باند بهره واحد f_t و سرعت واکنش SR وجود دارد. این رابطه از معادله (۳۶-۱۰) و (۳۹-۱۰) باهم به دست می‌آید:

$$G_{m1} = 2\frac{1}{4r_e}$$

که در آن r_e مقاومت امیتر هریک از ترانزیستورهای Q_1 تا Q_4 است. بنابراین:

$$r_e = \frac{V_T}{I}$$

و

$$G_{m1} = \frac{I}{2V_T} \qquad (10\text{-}40)$$

با قرارگرفتن در معادله (۳۶-۱۰) به دست می‌آید

$$\omega_t = \frac{1}{2C_C V_T} \qquad (10\text{-}41)$$

با قراردادن برای I/C_C از معادله (۳۹-۱۰) به دست می‌آید:

$$\omega_t = \frac{SR}{4V_T} \qquad (10\text{-}42)$$

که می‌توان آن را بصورت دیگری بیان نمود:

$$SR = ۴\,\omega_t V_T \qquad (۱۰-۴۳)$$

جهت امتحان، برای 741 داریم:

$$SR = ۴\times ۲\pi \times ۱۰^{۶} \times ۲۵ \times ۱۰^{-۳} = ۰/۶۳\ V/\mu S$$

که همان نتیجه به دست آمده در قبل است.

شکل عمومی رابطه بین SR و ω_t برای یک op-amp با ساختاری مشابه 741 بصورت زیر است:

$$SR = (\frac{۲}{a})\,\omega_t$$

در رابطه فوق a مقدار ثابتی است که هدایت انتقالی اولین طبقه، $G_{m۱}$، را به جریان بایاس اولین طبقه یعنی I، با رابطه $G_{m۱} = aI$ مرتبط می‌کند. به ازای یک ω_t مشخص، با کوچک کردن a به SR بزرگتری می‌توان دست یافت، یعنی I ثابت نگه داشته شده و $G_{m۱}$ کاهش می‌یابد. این روش، یک تکنیک قابل اطمینان برای افزایش سرعت واکنش است که از آن بعنوان روش کاهش G_m یاد می‌شود (تمرین ۲۲-۱۰ را ببینید).

تمرینها

۲۱-۱۰ مدل انتگرال‌گیر op-amp شکل (۲۰-۱۰) را درنظر بگیرید. مقدار مقاومتی را به دست آورید که وقتی به دو سر C_C وصل می‌شود، مقدار صحیح بهره dc به دست می‌آید.

جواب. ۱۲۷۹ MΩ

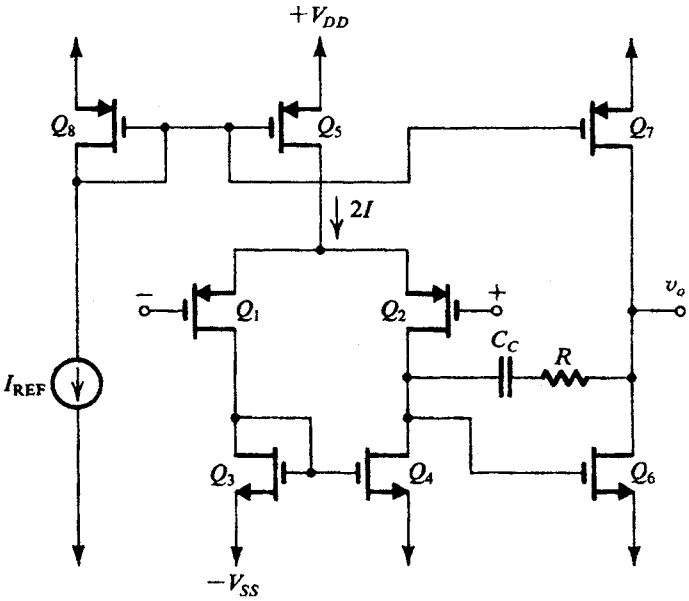
ط ۲۲-۱۰ اگر R_E مقاومت هریک از پایه‌های امیتر $Q_۳$ و $Q_۴$ باشد، نشان دهید که $SR = ۴\omega_t\,(V_T + IR_E/۲)$. در آنصورت مقدار R_E که سرعت واکنش 741 را در صورت بی‌تغییرماندن ω_t و I، دوبرابر می‌کند، به دست آورید. مقادیر جدید C_C، بهره dc، و فرکانس ۳ dB چقدر است؟

جواب. ۵/۲۶ kΩ؛ ۱۵ PF؛ ۱۰۱/۷ dB (۶ dB کاهش)؛ ۸/۲ Hz

❑

۱۰-۷ تقویت‌کننده‌های عملیاتی CMOS

بر خلاف تقویت‌کننده عملیاتی 741 که یک op-amp همه منظوره است و کاربرد وسیعی دارد، اغلب تقویت‌کننده‌های عملیاتی CMOS بعنوان بخشی از یک مدار VLSI طراحی می‌شود. این کاربرد محدود نشانگر آن است که مشخصه‌های آن به گونه‌ای است که مدار ساده آن وسعت سیلیکونی بالنسبه کوچکی را اشغال می‌کند. مهمترین مشخصه سادگی در توانایی تحریک بار op-amp است. در اغلب op-amp ها به بار خازنی روی تراشه با ظرفیت چند پیکوفاراد نیاز است. این امر موجب می‌شود که چنین op-amp هایی به طبقه خروجی پیچیده‌ای نیاز نداشته باشند، در حقیقت بسیاری از op-amp های CMOS دارای طبقه خروجی کم امپدانس نیستند. البته روی یک تراشه VLSI، بسیاری از تقویت‌کننده‌ها بارهای خارج از تراشه را تحریک می‌کنند، و این تقویت‌کننده‌ها معمولاً به یک طبقه خروجی از نوع معمولی مجهز می‌شوند.



شکل ۲۳-۱۰. آرایش CMOS op-amp دو طبقه

وضعیت دو طبقه

شکل (۲۳-۱۰) یک تقویت‌کننده عملیاتی دو طبقه مشهور را نشان می‌دهد. این مدار از دو منبع تغذیه ±۵ V استفاده می‌کند که منبع می‌تواند برای تکنولوژی پیشرفته و در ابعاد کوچک، ±۲/۵ V هم باشد. جریان بایاس مرجع I_{REF} هم برای مدارهای داخلی و هم برای مدارهای خارجی تولید می‌شود. آینه جریان تشکیل‌شده بوسیله $Q_۸$ و $Q_۵$ جریان بایاس زوج تفاضلی $Q_۱ - Q_۲$ را تأمین می‌کنند. نسبت W/L در $Q_۵$ برای بدست آوردن بایاس دلخواه طبقه ورودی انتخاب می‌شود. زوج تفاضلی ورودی دارای بار فعال متشکل از آینه جریان $Q_۳$ و $Q_۴$ است. بنابراین، طبقه ورودی با آنچه در بخش ۷-۶ مطالعه شد، یکسان است.

طبقه دوم شامل $Q_۶$ است، که یک تقویت‌کننده سورس مشترک با بار فعال ترانزیستور منبع جریان $Q_۷$ است. مانند 741 جبران فرکانس با استفاده از خازن فیدبک میلر C_C انجام می‌شود. البته در اینجا یک مقاومت اضافی بطور سری با C_C قرار دارد. کار این مقاومت، که معمولاً با استفاده از یک یا دو ترانزیستور MOS به کار می‌رود، بزودی توضیح داده خواهد شد.

بهره ولتاژ

بهره ولتاژ اولین طبقه در بخش ۷-۶ از رابطه زیر به دست می‌آید.

$$A_۱ = -\,g_{m۱}\,(r_{o۲} \,//\, r_{o۴}) \qquad (۱۰-۴۴)$$

طبقه دوم یک طبقه با بار فعال تقویت‌کننده سورس مشترک است که بهره ولتاژش از رابطه زیر به دست می‌آید:

$$A_۲ = -\,g_{m۶}\,(r_{o۶} \,//\, r_{o۷}) \qquad (۱۰-۴۵)$$

بهره حلقه باز dc ی op-amp حاصلضرب $A_۱$ و $A_۲$ است.

مثال ۲-۱۰

مدار شکل ۲۳-۱۰ را با ابعاد هندسی زیر در نظر بگیرید.

ترانزیستور	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
W/L	۱۲۰/۸	۱۲۰/۸	۵۰/۱۰	۵۰/۱۰	۱۵۰/۱۰	۱۰۰/۱۰	۱۵۰/۱۰	۱۵۰/۱۰

فرض کنید $I_{REF} = ۲۵\,\mu A$، در همه قطعات $|V_t| = ۱\,V$، $\mu_n C_{ox} = ۲۰\mu A/V^۲$، $\mu_P C_{ox} = ۱۰\,\mu A/V^۲$، در همه قطعات $|V_A| = ۲۵V$، $V_{DD} = V_{SS} = ۵V$ باشد. در همه قطعات مقادیر I_D، $|V_{GS}|$، g_m و r_o را به دست آورید. همچنین A_1، A_2، بهره ولتاژ حلقه باز dc، محدوده حالت مشترک ورودی، و محدوده ولتاژ خروجی را به دست آورید. از اثر V_A بر جریان بایاس چشمپوشی کنید.

حل:

با توجه به شکل (۲۳-۱۰)، چون Q_8 و Q_5 در تطابقند، $۲I = I_{REF}$ است. بنابراین Q_1، Q_2، Q_3، و Q_4 هریک جریان $I = ۱۲/۵\mu A$ هدایت می‌کنند. چون Q_7 با Q_5 و Q_8 در تطابق است، جریان Q_7 با $I_{REF} = ۲۵\mu A$ برابر است. و بالاخره، Q_6 جریانی برابر با $۲۵\,\mu A$ هدایت می‌کند.

با I_D هر قطعه شناخته شده، از

$$I_D = \frac{۱}{۲}(\mu C_{ox})(W/L)(|V_{GS}| - |V_t|)^۲$$

برای تعیین $|V_{GS}|$ استفاده می‌کنیم، نتایج در جدول ۲-۱۰ داده شده است.

هدایت انتقالی g_m هر قطعه از رابطه زیر به دست می‌آید.

$$g_m = \mu C_{ox}(W/L)(|V_{GS}| - |V_t|)$$
$$= \sqrt{۲(\mu C_{ox})(W/L)I_D}$$

یا از سوی دیگر

$$g_m = ۲I_D/(|V_{GS}| - |V_t|)$$

مقدار r_o از رابطه زیر به دست می‌آید

$$r_o = |V_A|/I_D$$

مقادیر به دست آمده از g_m و r_o در جدول (۲-۱۰) آورده شده است.

بهره ولتاژ اولین طبقه با استفاده از معادله (۴۴-۱۰) تعیین می‌شود.

$$A_1 = -g_{m1}(r_{o2} // r_{o4})$$
$$= -۶۲/۵(۲ // ۲) = -۶۲/۵\ V/V$$

بهره ولتاژ دومین طبقه با استفاده از معادله (۴۵-۱۰) به دست می‌آید:

$$A_2 = -g_{m6}(r_{o6} // r_{o7})$$
$$= -۱۰۰(۱ // ۱) = -۵۰\ V/V$$

بنابراین بهره حلقه باز dc ی کل عبارت است از:

$$A_o = A_1 A_2 = (-۶۲/۵)(-۵۰) = ۳۱۲۵\ V/V$$

حد پایین محدوده حالت مشترک مقداری است که در آن Q_1 و Q_2 ناحیه اشباع را ترک می‌کنند. این کار وقتی اتفاق می‌افتد که ولتاژ ورودی به اندازه $|V_t|$ ولت کمتر از ولتاژ درین افت کند. چون درین Q_1 دارای $-۳/۵\ V = ۵ + ۱/۵ -$ است، در آنصورت حد پایین محدوده حالت مشترک برابر با $-۴/۵\ V$ می‌شود.

حد بالایی محدوده حالت مشترک مقداری از ولتاژ ورودی است که درآن Q_5 ناحیه اشباع را ترک می‌کند. بنابراین

$$v_{Icm/max} = V_{DD} - |V_{GS5}| + |V_t| - |V_{GS1}|$$
$$= ۵ - ۱/۶ + ۱ - ۱/۴ = ۳\ V$$

بالاخره، گستره ولتاژ خروجی با ترک ناحیه اشباع Q_7 به دست می‌آید

$$v_{Omax} = V_{DD} - |V_{GS7}| + |V_t|$$
$$= ۵ - ۱/۶ + ۱ = ۴/۴\ V$$

و از ترک ناحیه اشباع Q_6 به دست می‌آید

$$v_{Omin} = -V_{SS} + |V_{GS6}| - |V_t| = -۴/۵\ V$$

جدول ۲-۱۰

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
$I_D(\mu A)$	۱۲/۵	۱۲/۵	۱۲/۵	۱۲/۵	۲۵	۲۵	۲۵	۲۵
$\|V_{GS}\|(V)$	۱/۴	۱/۴	۱/۵	۱/۵	۱/۶	۱/۵	۱/۶	۱/۶
$g_m(\mu A/V)$	۶۲/۵	۶۲/۵	۵۰	۵۰	۸۳/۳	۱۰۰	۸۳/۳	۸۳/۳
$r_o(M\Omega)$	۲	۲	۲	۲	۱	۱	۱	۱

ولتاژ افست ورودی

بی‌تطبیقی مسلم قطعات طبقات ورودی، سبب ولتاژ افست ورودی می‌شود. مؤلفه‌های این ولتاژ افست ورودی با استفاده از روش‌های ارائه شده در فصل ۶ و آنچه برای تقویت‌کننده‌های عملیاتی 741 آمد، قابل محاسبه است. چون قطعات طبیعتاً دارای عدم تطابق اتفاقی هستند، ولتاژ افست به دست آمده را **افست اتفاقی** می‌نامند. این نامگذاری برای تمایز با نوع دیگر ولتاژ افست ورودی است که در op-amp های CMOS دیده می‌شود حتی اگر قطعات درنظر گرفته شده کاملاً در تطابق باشند. این افست قابل پیش‌بینی و یا **سیستماتیک** با طراحی دقیق به حداقل می‌رسد. این کار در op-amp های BJT بدلیل بهره بزرگ هر طبقه اتفاق نمی‌افتد.

برای دیدن پدیده افست سیستماتیک، مدار شکل (۲۳-۱۰) را با دو پایانه متصل به زمین درنظر بگیرید. اگر طبقه ورودی کاملاً دارای موازنه باشد، در آن صورت ولتاژی که در درین Q_4 پدید می‌آید مساوی با ولتاژ درین Q_3 (یعنی $-V_{SS} + V_{GS4}$) خواهد بود. در این صورت این ولتاژ به گیت Q_6 نیز اعمال می‌شود. به بیان دیگر، ولتاژی مساوی با V_{GS4} بین گیت و سورس Q_6 پدیدار می‌گردد. بنابراین جریان درین Q_6 یعنی I_6 بصورت زیر با جریان درین Q_4 که مساوی با I است، مرتبط است:

$$I_6 = \frac{(W/L)_6}{(W/L)_4} I \qquad (۴۶-۱۰)$$

برای حذف ولتاژ افست در خروجی، این جریان باید دقیقاً مساوی جریان فراهم شده توسط Q_7 باشد. این جریان آخر بصورت زیر با جریان $2I$ ترانزیستور موازی Q_5 مرتبط است:

$$I_7 = \frac{(W/L)_7}{(W/L)_5}(2I) \qquad (10\text{-}47)$$

اکنون می‌توان شرط مساوی بودن $I_6 = I_7$ را از معادله‌های (۴۶-۱۰) و (۴۷-۱۰) بصورت زیر نوشت:

$$\frac{(W/L)_6}{(W/L)_4} = 2\frac{(W/L)_7}{(W/L)_5} \qquad (10\text{-}48)$$

اگر این شرایط برآورده نشود، آفست سیستماتیک، نتیجه خواهد شد.

تمرینها

۲۳-۱۰ تقویت کننده عملیاتی CMOS شکل (۲۳-۱۰) را که با تکنولوژی $0/8\mu m$ با پارامترهای زیر ساخته شده در نظر بگیرید: $V_{DD}=V_{SS}=2/5V$ و $|V_t|=0/8V$، $\mu_n C_{ox}=3\mu_p C_{ox}=90\mu A/V^2$ در یک طراحی خاص $I=50\mu A$، $(W/L)_1=(W/L)_2=(W/L)_5=200$ و $(W/L)_3=(W/L)_4=100$ می‌باشد.

(الف) نسبت‌های (W/L) مربوط به Q_6 و Q_7 را بگونه‌ای به دست آورید که $I_6 = 100\mu A$ شود.

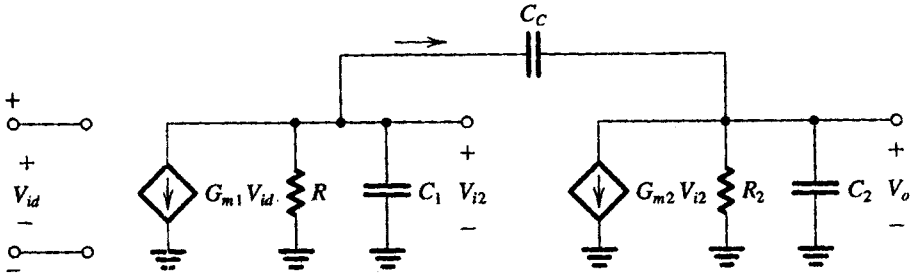
(ب) ولتاژ موثر، $(|V_{GS}|-|V_t|)$. را برای هر یک از ترانزیستورهای Q_1، Q_2 و Q_6 در حال کار پیدا کنید.

(پ) g_m ترانزیستورهای Q_1، Q_2 و Q_6 را به دست آورید.

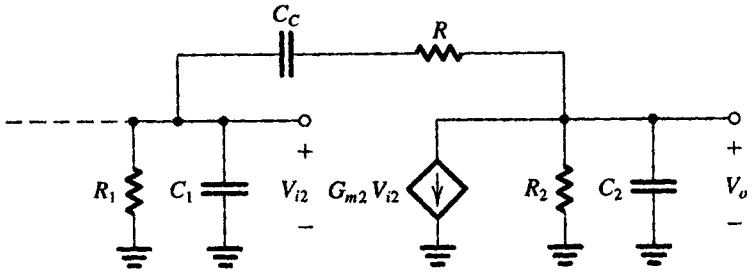
(ت) اگر $|V_A| = 10\ V$ باشد، r_{o2}، r_{o4}، r_{o6} و r_{o7} را به دست آورید.

(ث) بهره‌های ولتاژ A_1 و A_2، و بهره ولتاژ کلی A را به دست آورید.

(الف) $(W/L)_6=(W/L)_7=200$ (ب) $0/129V$، $0/129V$، $0/105V$ (پ) $0/775mA/V$، $0/775mA/V$، $1/90mA/V$ (ت) $200k\Omega$، $200k\Omega$، $100k\Omega$، $100k\Omega$ (ث) $-77/5V/V$، $-95V/V$، $7363V/V$.



(الف)



(ب)

شکل ۲۴-۱۰. مدار معادل سیگنال کوچک CMOS op-amp شکل ۲۳-۱۰: **(الف)** بدون مقاومت R. **(ب)** با مقاومت R

پاسخ فرکانسی

برای ارزیابی نیاز به مقاومت R که بطور سری با C_C خازن جبران میلر در مدار شکل (۲۳-۱۰) قرارگرفته، ابتدا وضعیت بدون R را درنظربگیرید. شکل (الف ۲۴-۱۰) مدار معادل سیگنال کوچک op-amp را فقط با C_C نشان می‌دهد. توجه کنید که G_{m1} هدایت انتقالی طبقه ورودی $(G_{m1}=g_{m1}=g_{m2})$، R_1 مقاومت خروجی طبقه اول $[R_1=r_{o2}//r_{o4}]$، C_1 ظرفیت خازنی کل بین اولین و دومین طبقه، G_{m2} هدایت انتقالی دومین طبقه $(G_{m2} = g_{m6})$، R_2 مقاومت خروجی دومین طبقه $(R_2 = r_{o6}//r_{o7})$، و C_2 ظرفیت خازنی کل در گره خروجی op-amp است. چون C_2 شامل ظرفیت بار است، معمولاً مقدار آن بزرگتر از C_1 می‌باشد.

مداری شبیه شکل (الف ۲۴-۱۰) در بخش ۱۱-۸ تحلیل شد، و دو قطب بصورت زیر به دست آمد:

$$\omega_{p1} \cong \frac{1}{G_{m2}R_2C_CR_1} \qquad (10\text{-}49)$$

$$\omega_{p2} \cong \frac{G_{m2}C_C}{C_1C_2 + C_C(C_1 + C_2)} \qquad (10\text{-}50)$$

مشاهده می‌کنیم که اولین قطب به دلیل ظرفیت میلر

$$(1 + G_{m2}R_2)C_C \cong G_{m2}R_2C_C$$

(که خیلی بزرگتر از C_1 است) بر R_1 اثر می‌گذارد. برای آنکه ω_{P1} قطب غالب شود، برای C_C مقداری انتخاب می‌کنیم که یک مقدار برای ω_{P1} به دست دهد که وقتی در A_0 بهره dc، ضرب می‌شود، ω_t فرکانس بهره واحد فرکانسهای قطبها و صفرهای غیرغالب کمتر باشد. بنابراین در چنین حالتی داریم:

$$A_0\omega_{P1} = \omega_t$$

$$(G_{m1}R_1G_{m2}R_2)\left(\frac{1}{G_{m2}R_2C_CR_1}\right) = \omega_t$$

که نتیجه می‌دهد:

$$\omega_t = \frac{G_{m1}}{C_C} \qquad (10\text{-}51)$$

ظرفیت میلر C_C همچنین در تابع انتقال تقویت‌کننده یک صفر نیم صفحه سمت راست عرضه می‌کند. ما به این صفر در 741 توجه نداریم زیرا در فرکانس خیلی زیاد است. متأسفانه، در تقویت‌کننده‌های CMOS این وضعیت نیست. محل صفر بسهولت از مدار شکل (الف ۲۴-۱۰) به دست می‌آید. می‌خواهیم مقدار s را بیابیم وقتی که $V_o = 0$ است. مادامی که $V_o = 0$ است، جریان در C_C برابر با sC_CV_{i2} در جهت نشان داده شده می‌باشد. اکنون بدلیل $V_o = 0$ جریانی در R_2 و C_2 نخواهد بود. بنابراین معادله گره در خروجی به دست می‌دهد:

$$sC_CV_{i2} = G_{m2}V_{i2}$$

به بیان دیگر، صفر در

$$s = \frac{G_{m2}}{C_C} \qquad (10\text{-}52)$$

خواهد بود. چون G_{m2} در تقویت‌کننده‌های CMOS دارای همان مقدار G_{m1} است، فرکانس صفر به ω_t به دست آمده از معادله (۵۱-۱۰) نزدیک خواهد بود. از آنجا که صفر در نیم صفحه سمت راست است، تغییر فاز آن حاشیه فاز را کاهش داده و ثبات تقویت‌کننده را خراب می‌کند. بار دیگر اشاره می‌کنیم که این شکل در تقویت‌کننده BJT وجود ندارد زیرا G_{m2} معمولاً بسیار بزرگتر از G_{m1} است و بنابراین صفر در فرکانس خیلی بالاتر از ω_t می‌باشد.

با قرارگرفتن مقاومت R بطور سری با خازن فیدبک C_C مطابق شکل (ب ۲۴-۱۰) می‌توان مسأله بالا را حل کرد. برای پیداکردن مکان جدید صفر انتقال، قرار دهید $V_o = 0$. در آن صورت جریانی که از C_C می‌گذرد $V_{i2} / (R + 1/sC_C)$ خواهد بود، و معادله گره خروجی به دست می‌دهد:

$$\frac{V_{i2}}{R + 1/sC_C} = G_{m2}V_{i2}$$

بنابراین صفر در

$$s = \frac{1}{C_C(1/G_{m2} - R)} \qquad (10\text{-}53)$$

به دست می‌آید. مشاهده می‌کنیم که با انتخاب $R = 1/G_{m2}$، صفر می‌تواند در فرکانس بی‌نهایت قرار گیرد. در یک انتخاب بهتر R بزرگتر از $1/G_{m2}$ قرار داده می‌شود. بنابراین با قراردادن صفر در مکان محور حقیقی منفی فاز مشخص شده توسط آن، با حاشیه فاز جمع می‌شود.

حتی با وجود مقاومت R، مشکل دیگری نیز باقی می‌ماند: فرکانس قطب دوم (معادله ۵۰-۱۰) از ω_t خیلی فاصله ندارد. بنابراین قطب دوم، تغییر فاز قابل ملاحظه‌ای در ω_T نشان می‌دهد که حاشیه فاز را کاهش می‌دهد. برای واضحترشدن آن، حالتی را درنظر بگیرید که C_2 و C_C خیلی بزرگتر از C_1 باشد. معادله (۵۰-۱۰) با رابطه زیر تقریب می‌شود:

$$\omega_{p2} \cong \frac{G_{m2}}{C_2} \qquad (\text{الف } 10\text{-}50)$$

اکنون، از مقایسه معادله (۵۱-۱۰) با معادله (الف ۵۰-۱۰)، ملاحظه می‌کنیم که به ازای C_2 با مرتبه C_C (که در حالت ظرفیت خازنی بار نسبتاً بزرگ اتفاق می‌افتد)، ω_{p2} به ω_t نزدیک خواهد بود. این مشکل با افزایش C_C و بنابراین با کاهش ω_t برطرف می‌شود (مسئله ۵۰-۱۰ را ملاحظه کنید)

تمرین

تمرینهای زیر به تقویت‌کننده‌های تحلیل‌شده در مثال ۲-۱۰ مربوط می‌شود.

۲۴-۱۰ مقدار C_C را طوری به دست آورید که $f_t = 1$ MHz باشد.

جواب. ۱۰ PF

۲۵-۱۰ مقدار R را بیابید طوری که صفر تابع انتقال را در بی‌نهایت قرار دهد.

جواب. ۱۰ kΩ

۲۶-۱۰ فرکانس قطب دوم را در شرایطی که ظرفیت کل خروجی ۱۰PF باشد، به دست آورید. سپس فاز اضافی ایجادشده بوسیله قطب دوم در $\omega = \omega_t$ و حاشیه فاز به دست آمده را پیدا کنید. فرض کنید که صفر در $\omega = \infty$ باشد.

جواب. ۱/۵۹ MHz؛ ۳۲/۲°؛ ۵۷/۸° ❑

سرعت واکنش

تقویت کننده عملیاتی CMOS شکل (۲۳-۱۰) شامل یک تقویت کننده هدایت انتقالی یک طبقه و پس از آن یک تقویت کننده با بهره زیاد و شبکه جبران سازی فرکانس RC در مسیر فیدبک است. اگر از مقاومت R چشمپوشی کنیم، تقویت کننده COMS را می‌توان با مدار معادلی که برای تقویت کننده 741 مورد استفاده قرار دادیم، یعنی مدار شکل (۲۰-۱۰)، نمایش داد. تقویت کنندهٔ COMS طبقه خروجی ندارد و به همین علت میانگیر با بهره واحد در مدار معادل وجود ندارد. اما این نکته تاثیری در محاسبه سرعت واکنش ندارد. این مسأله از مدار معادل (۲۰-۱۰) مشهود است که در آن طبقه ورودی فرا راه‌اندازی شده بصورت شکل (۲۲-۱۰) در آمده است. بنابراین سرعت واکنش مدار COMS از همان فرمول 741 یعنی معادلهٔ (۳۹-۱۰) به دست می‌آید:

$$\text{SR} = \frac{2I}{C_C} \qquad (10\text{-}54)$$

با استفاده از معادله (۵۱-۱۰) و جایگزینی G_{m1} داریم:

$$G_{m1} = g_{m1} = \frac{2I}{|V_{GS1}| - |V_t|}$$

با استفاده از رابطه فوق می‌توان واکنش را بر حسب فرکانس بهره واحد ω_t بصورت زیر نوشت:

$$\text{SR} = (|V_{GS1}| - |V_t|)\,\omega_t = V_{eff1}\,\omega_t \qquad (10\text{-}55)$$

بنابراین به ازای یک ω_t معین، سرعت واکنش توسط ولتاژ موثر ترانزیستورهای در حال کار طبقه اول تعیین می‌شود. چنانچه Q_1 و Q_2 در V_{eff} بیشتر کار کنند، سرعت واکنش، بالاتر خواهد بود. در یک جریان

بایاس I معین، اگر Q_1 و Q_2 قطعات کانال p باشند، V_{eff}، زیاد است و این دلیل مهم استفاده از قطعات کانال p به جای کانال n در طبقه ورودی تقویت کننده عملیاتی COMS است. دلیل دیگر این است که این امر اجازه می‌دهد تا در طبقه دوم از قطعات کانال n که هدایت انتقالی G_{m2} بزرگتری دارند استفاده کنیم که منجر به فرکانس قطب دوم بالاتر و متناظر با آن ω_t بزرگتر می‌شود. البته این کار به قیمت G_{m1} پایین‌تر و در نتیجه بهره dc کمتر تمام می‌شود.

رابطه بین SR و ω_t در معادله (۱۰-۵۵) را می‌توان مستقیماً با رابطه متناظر op amp های BJT در معادله (۱۰-۴۳) مقایسه کرد. از آن جا که V_{eff} معمولاً حدود ۰/۱ V بزرگتر از $4V_T$ است، op amp های COMS، به ازای ω_t مشخص، سرعت واکنش بیشتری دارند.

تمرین

۱۰-۲۷ سرعت واکنش op-amp شکل (۱۰-۲۳) که پارامترهای آن در مثال ۱۰-۲ مشخص شده‌اند به ازای جبران طراحی شده در تمرین ۱۰-۲۴ را محاسبه کنید ($C_C = 10$ PF ، $f_t = 1$ MHz).

جواب. ۲/۵ V/μs ❑

یک مدار اساسی برای تثبیت g_m

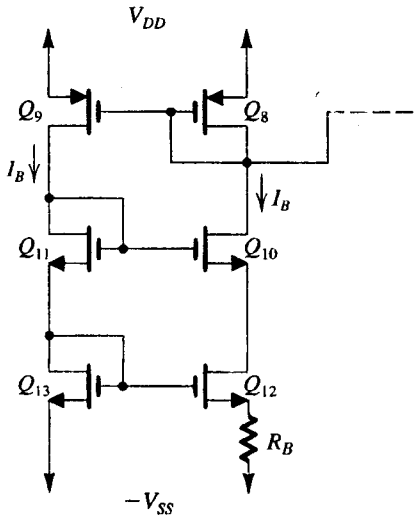
این بخش را با ارائه یک مدار اساسی برای تقویت کننده عملیاتی COMS دو طبقه، به پایان می‌بریم. خاصیت جالب و مفید این مدار آن است که جریان بایاس آن مستقل از ولتاژ تغذیه و ولتاژ آستانه MOSFET است. علاوه بر آن هدایت انتقالی ترانزیستورهایی که با این مدار بایاس شده‌اند تنها بوسیله یک مقاومت و ابعاد قطعه تعیین می‌شود.

مدار بایاس در شکل (۱۰-۲۵) نشان داده شده است و شامل دو ترانزیستور Q_{12} و Q_{13} که عمداً دارای تطابق نیستند، و Q_{12} که معمولاً چهار مرتبه از Q_{13} وسیع‌تر است، می‌باشد. مقاومت R_B با سورس Q_{12} سری شده است. چنانچه نشان خواهیم داد، R_B تعیین کنندهٔ جریان بایاس I_B و هدایت انتقالی g_{m12} است که می‌توان مقدار آن را تصحیح و پایدار کرد. در بسیاری از کاربردها R_B یک مقاومت خارج از تراشه است. برای حداقل کردن اثر مدولاسیون طول کانال روی Q_{12} یک طبقه کاسکود تشکیل شده از زوج ترانزیستور تطبیق شده Q_{10} و Q_{11} نیز در مدار وجود دارد. یک آینه جریان کانال p متشکل از زوج قطعات تطبیق شده Q_8 و Q_9 نمونهٔ جریان I_B را از Q_{11} و Q_{13} باز می‌گرداند و خط بایاس Q_5 و Q_7 مدار COMS op-amp شکل (۱۰-۲۳) را فراهم می‌کند. مدار بصورت زیر کار می‌کند: آینه جریان (Q_8 و Q_9) باعث می‌شود Q_{13} جریانی را مساوی Q_{12} یعنی I_B، هدایت کند. بنابراین:

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{12}(V_{GS12} - V_t)^2 \qquad (۱۰-۵۶)$$

همچنین داریم:

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{13}(V_{GS13} - V_t)^2 \qquad (۱۰-۵۷)$$



شکل ۱۰-۲۵. مدار اساسی برای تقویت کننده عملیاتی COMS

با توجه به مدار می‌بینیم که ولتاژهای گیت-سورس Q_{12} و Q_{13} با هم به صورت زیر مرتبط‌اند:

$$V_{GS13} = V_{GS12} + I_B R_B$$

اگر از دو طرف فوق V_t را کم کنیم و با توجه به معادله‌های (۱۰-۵۶) و (۱۰-۵۷) مقادیر $(V_{GS13} - V_t)$ و $(V_{GS12} - V_t)$ را جایگزین کنیم، داریم:

$$\sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{13}}} = \sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{12}}} + I_B R_B \qquad (۱۰-۵۸)$$

بنابراین I_B بصورت زیر است:

$$I_B = \frac{2}{\mu_n C_{ox}(W/L)_{12} R_B^2}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)^2 \qquad (۱۰-۵۹)$$

با توجه به رابطه فوق می‌بینیم که I_B به اندازه قطعه و مقدار R_B و نسبت ابعاد Q_{12} و Q_{13} تعیین می‌شود. معادله (۱۰-۵۹) را می‌توان بصورت زیر نیز نوشت:

$$R_B = \frac{2}{\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)$$

در رابطه فوق $\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}$ همان g_{m12} است بنابراین داریم:

$$g_{m12} = \frac{2}{R_B}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right) \qquad (۱۰-۶۰)$$

این یک نتیجه جالب است: g_{m12} منحصراً توسط مقدار R_B و نسبت ابعاد Q_{12} و Q_{13} تعیین می‌شود. علاوه بر آن، چون g_m مربوط به MOSFET متناسب با $\sqrt{I_D\ (W/L)}$ است، g_m هر ترانزیستور بایاس با مدار شکل (۱۰-۲۵)، ضریبی از g_{m12} است. برای i امین MOSFET کانال n داریم:

$$g_{mi} = g_{m12}\sqrt{\frac{I_{Di}\ (W/L)_i}{I_B\ (W/L)_{12}}}$$

و برای iامین قطعه کانال P :

$$g_{mi} = g_{m12}\sqrt{\frac{\mu_p I_{Di}(W/L)_i}{\mu_n I_B (W/L)_{12}}}$$

سر انجام متذکر می‌شویم که مدار بایاس شکل (۲۵-۱۰) از فیدبک مثبت استفاده می‌کند و بنابراین باید در طراحی آن بسیار دقت کرد تا مدار ناپایدار نشود. می‌توان با بزرگتر قرار دادن ابعاد Q_{12} نسبت به Q_{13} که قبلاً هم متذکر شده‌ایم از این ناپایداری اجتناب کرد. با وجود این ممکن است عوامل دیگری سبب ناپایداری مدار شود یعنی مدار در حالتی پایدار باشد که همه جریان‌ها صفر باشند. برای خارج کردن مدار از این حالت باید جریانی به یکی از گره‌های مدار تزریق شود، تا کار مدار آغاز شود.

تمرین

۲۸-۱۰ مدار بایاس شکل (۲۵-۱۰) را در حالت $(W/L)_8 = (W/L)_9 = (W/L)_{10} = (W/L)_{11} = (W/L)_{13} = 20$ و $(W/L)_{12} = 80$ در نظر بگیرید، مقدار R_B را طوری تعیین کنید که جریان بایاس $I_B = 10\mu A$ شود. هدایت انتقالی g_{m12} را برای تکنولوژی ساخت با $\mu_n C_{ox} = 90\mu A/V^2$ به دست آورید.

جواب. $0.379\ \mu A/V$ ، $5.27\ k\Omega$ ❑

۸-۱۰ پیکربندی‌های دیگر برای تقویت‌کننده‌های عملیاتی CMOS و BiCMOS

پیکربندی تقویت‌کننده عملیاتی CMOS دو طبقه که در بخش قبل توضیح داده شد، در طراحی op-amp ها برای کار در مدار VLSI دارای شهرت بسیار است. شاید مهمترین این کاربردها، تحقق فیلترهای کلید خازنی است (بخش ۱۰-۱۱). تقویت‌کننده عملیاتی CMOS تا وقتی خوب کار می‌کند که بارش بیشتر خازنی بوده و مقدارش درحد قابل ملاحظه کم (کمتر از ۱۰ pF) باشد. بار مقاومتی سبب کاهش بهره حلقه باز dc می‌شود. یک بار خازنی بزرگ موجب می‌شود فرکانس قطب غیرغالب ω_{P2} (در معادله ۵۳-۱۰) کاهش یابد. بنابراین کاهش حاشیه فاز حتی سبب بی‌ثباتی می‌گردد.

چنانچه تقویت‌کننده عملیاتی CMOS دو طبقه برای راه‌اندازی بارهای بزرگتر، مانند خازنهای خارج از IC ، لازم باشد، بایستی به یک طبقه با امپدانس خروجی کم مجهز باشد. طبقات خروجی کلاس AB مشابه با آنچه در فصل ۹ مطالعه شد، می‌تواند برای این منظور در تکنولوژی CMOS پیاده‌سازی شود. البته موارد کاربرد زیادی وجود دارد که در آن یک مقاومت خروجی کم موردنیاز نیست بلکه یک بهره حلقه باز بزرگ و توانایی راه‌اندازی بارهای خازنی به هنگام بزرگ نگهداشتن یک حاشیه فاز، نیازمندیهای اولیه هستند. در چنین مواردی، استفاده از پیکربندی متوالی (بخش‌های ۵-۶ و ۷-۶) و تکنولوژی BiCMOS (بخش ۷-۶) راه حل‌های مناسب این مشکل هستند، در این بخش به اختصار بخشی از مدار به دست آمده را توضیح می‌دهد.

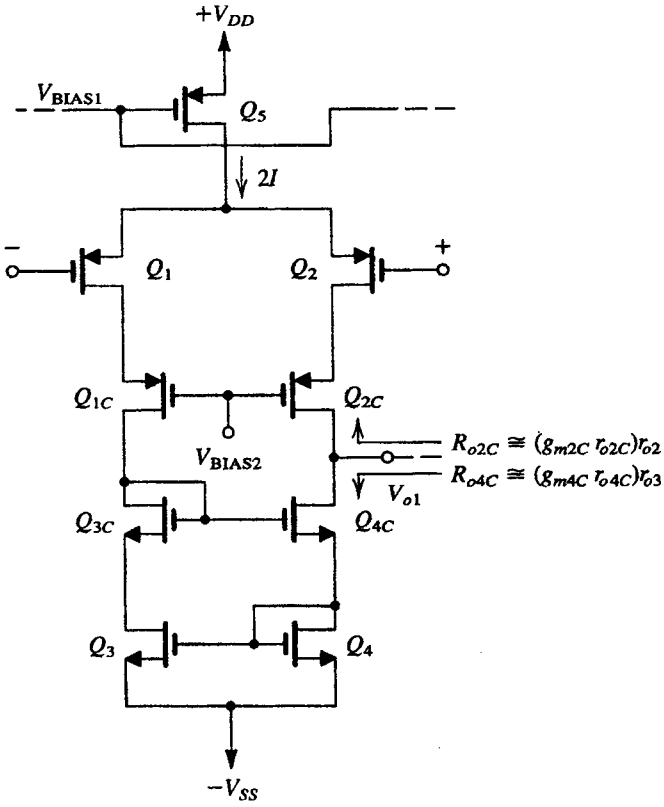
تقویت‌کننده‌های عملیاتی CMOS کاسکود

اگرچه بهره تقویت‌کننده عملیاتی CMOS دو طبقه با اضافه کردن طبقات متوالی بهره، افزایش می‌یابد، اما این راه حل عملی نیست. هر طبقه اضافی تغییر فاز را افزایش داده و جبران فرکانسی را مشکل‌تر می‌کند. راه حل دیگر، افزودن طبقات اضافی برای افزایش بهره است، که با استفاده از آرایش کاسکود شکل (۲۶-۱۰) حاصل می‌شود. در اینجا دو ترانزیستور گیت مشترک Q_{1C} و Q_{2C} قطعات کاسکود برای ترانزیستورهای زوج تفاضلی Q_1 و Q_2 هستند. با توجه به معادله (۱۱۶-۶) مقاومت خروجی با نگاه به درین Q_{2C} می‌شود:

$$R_{o2C} \cong g_{m2C} r_{o2C} r_{o2} \qquad (۱۰-۶۱)$$

که به اندازه ضریب $g_{m2C} r_{o2C}$ (معمولاً حدود ۱۰۰) از مقدار بدون کاسکود بیشتر است. برای آنکه مزایای این مقاومت خروجی افزایش یافته محقق شود، مقاومت بار فعال نیز بایستی بالا برود. این کار در مدار شکل (۲۶-۱۰) با اعمال آینه جریان ویلسون (بخش ۶-۶) انجام می‌شود. مقاومت خروجی آینه ویلسون، با نگاه به درین Q_{4C} عبارت است از:

$$R_{o4C} \cong g_{m4C} r_{o4C} r_{o3} \qquad (۱۰-۶۲)$$



شکل ۲۶-۱۰. استفاده از آرایش کاسکود در طبقه اول op-amp CMOS : ترانزیستورهای Q_{1C} و Q_{2C} برای تقویت‌کنندهٔ تفاضلی Q_1 و Q_2 ترانزیستورهای کاسکود هستند (مقاومت خروجی Q_2 را با ضریب $g_{m2C} r_{o2C}$ بالا می‌برند. ترانزیستورهای Q_3 و Q_4 ، Q_{3C} و Q_{4C} تشکیل یک آینه جریان ویلسون داده منجر به مقاومت بار بزرگی یعنی R_{o4C} می‌شوند. مجموع مقاومت خروجی طبقه اول این شکل تقریباً دو برابر طبقه اول شکل (۲۳-۱۰) می‌باشد.

که به اندازه $g_{m4C}r_{o4C}$ (معمولاً ۱۰۰) برابر بزرگتر از مقاومت خروجی آینه جریان ساده است. بنابراین مقاومت خروجی اولین طبقه می‌شود:

$$R_o = R_{o2C} // R_{o4C}$$
$$= (g_{m2C}r_{o2C}r_{o2}) // (g_{m4C}r_{o4C}r_{o3}) \qquad (۱۰-۶۳)$$

چون بهره ولتاژ اولین طبقه از این رابطه به دست می‌آید:

$$A_1 = -g_{m1}R_o \qquad (۱۰-۶۴)$$

افزایش R_o به اندازه حدود دو برابر، A_1 را با همان ضریب افزایش می‌دهد. بنابراین واقعاً چنین طبقه‌ای می‌تواند برای بهره ولتاژ ۵۰۰۰ تا ۱۰۰۰۰ طراحی شود.

یک اشکال مهم طبقه بهرهٔ شکل (۲۶-۱۰) در آن است که محدوده حالت مشترک ورودی بطرز قابل توجهی کمتر از آن است که در تقویت‌کننده دو طبقه به دست می‌آمد. این بخاطر دو ترانزیستور اضافی است که بین دو منبع تغذیه قرار گرفته است.

خروجی طبقه کاسکود شکل (۲۶-۱۰) مانند مدار شکل (۲۳-۱۰) می‌تواند به دومین طبقه بهره وصل شود. البته در این صورت از یک طبقه تغییر سطح dc معمولاً استفاده می‌شود. بطور مسلم پیکربندی کاسکود در دومین طبقه نیز به کار می‌رود. البته، این امر سبب کاهش محدود نوسان ولتاژ خروجی می‌شود.

چون مقدار قابل ملاحظه‌ای بهره ولتاژ از طبقه بهره کاسکود به دست می‌آید، یک تقویت‌کننده عملیاتی CMOS تک طبقه امکان پذیر است. چنین طرحی چنانکه خواهیم دید با تغییر در مدار کاسکود شکل (۲۶-۱۰) عملی می‌شود.

تمرین

۲۹-۱۰ برای طبقه بهره کاسکود شکل (۲۶-۱۰) فرض کنید $2I=25\mu A$؛ $\mu_n C_{ox}=20\mu A/V^2$؛ $\mu_p C_{ox}=10\mu A/V^2$؛ $|V_A|=25V$؛ $|V_t|=1V$؛ W/L برای Q_1، Q_2، Q_{1C}، و Q_{2C} برابر با $\frac{120}{8}$ است؛ W/L برای Q_{3C} و Q_{4C} برابر $\frac{60}{8}$؛ و W/L برای Q_3 و Q_4 مساوی ۸/۸ است. R_o و A_1 را پیدا کنید.

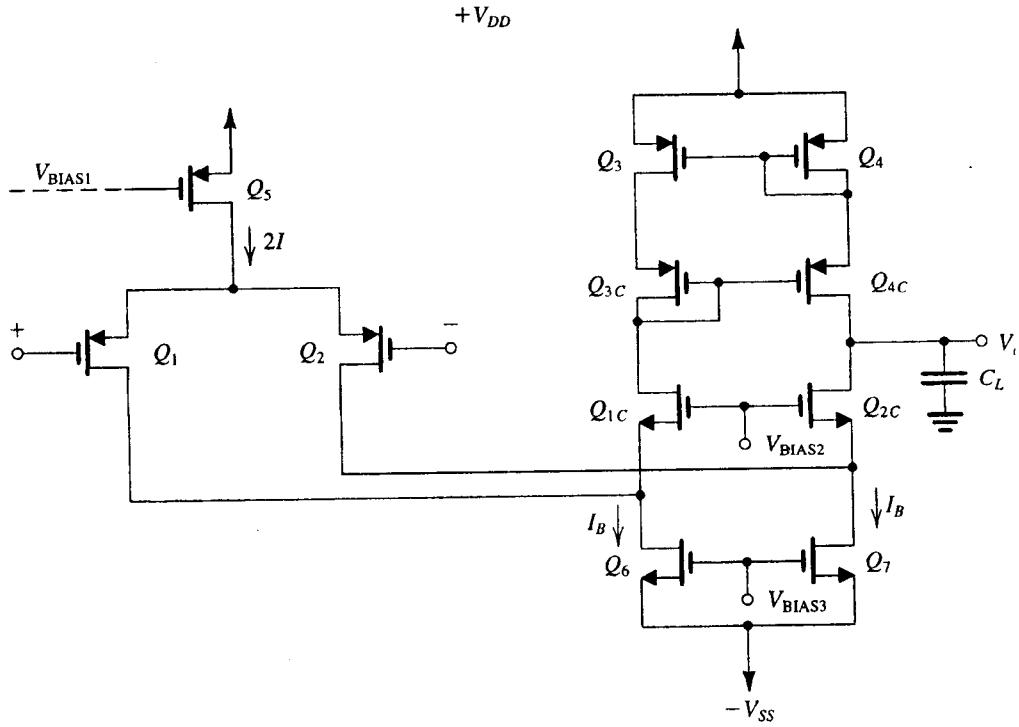
جواب. -7500 V/V؛ ۱۲۲/۴ MΩ ❑

تقویت‌کننده عملیاتی CMOS کاسکود تاشده

اگر در مدار شکل (۲۶-۱۰) هریک از شش ترانزیستور زیر Q_1 و Q_2 با مکملش جایگزین شود، و این گروه شش قطعه‌ای از $-V_{SS}$ قطع شود و به $+V_{DD}$ وصل گردد، مدار شکل (۲۷-۱۰) به دست می‌آید. توجه کنید که علاوه بر تاشدن دو منبع جریان Q_6 و Q_7 اضافه شده است. مدار به دست آمده را بطور خلاصه **مدار کاسکود تاشده** می‌نامند که از جهات بسیاری شبیه مدار کاسکود شکل (۲۶-۱۰) کار می‌کند. البته در اینجا، محدوده حالت مشترک ورودی بزرگتر است زیرا فقط سه ترانزیستور در زنجیره ورودی بین دو منبع تغذیه پشت سر هم قرار گرفته‌اند (در مقایسه با پنج ترانزیستور در مدار اصلی).

تمرین

۳۰-۱۰ در مدار شکل (۲۷-۱۰) فرض کنید $2I = I_B = 25\,\mu A$ و $\mu_n C_{ox} = 2\mu_p C_{ox} = 20\mu A/V^2$، $|V_t| = 1V$،



شکل ۲۷-۱۰. یک CMOS op-amp کاسکود تاشده. در اینجا قطعات کانال n، Q_{1C} و Q_{2C} طبقه گیت مشترک طبقه ورودی آرایش کاسکود را تشکیل می‌دهند. ترانزیستورهای Q_3، Q_4، Q_{3C} و Q_{4C} یک آینه جریان ویلسون را که بعنوان بار برای طبقه بهره عمل می‌کند، می‌سازند.

$(W/L)_{1C} = (W/L)_{2C} = \frac{60}{8}$ ، $(W/L)_1 = (W/L)_2 = \frac{120}{8}$ ،
$(W/L)_3 = (W/L)_4 = \frac{8}{8}$ ، $(W/L)_{3C} = (W/L)_{4C} = \frac{120}{8}$
$(W/L)_5 = \frac{150}{10}$ ، $(W/L)_6 = (W/L)_7 = \frac{8}{8}$ و $V_{DD} = V_{SS} = 5\ V$.
مقادیر V_{Bias1} ، V_{Bias2} ، و V_{Bias3} را طوری به دست آورید که Q_6 و Q_7 در لبه اشباع عمل کنند. محدوده حالت مشترک ورودی و محدوده ولتاژ خروجی را به دست آورید.

جواب. ۳/۴+ V، ۲− V، ۲/۴− V، ۴/۴− V تا ۳+ V؛ ۳− V تا ۲+ V. ❑

مدار کاسکود تاشده غالباً بعنوان یک op−amp تک طبقه استفاده می‌شود. بهره ولتاژ آن از رابطه زیر به دست می‌آید:

$$A = g_{m1} R_o \qquad (10\text{-}65)$$

که در آن R_o مقاومت خروجی است

$$R_o = R_{o2C} // R_{o4C} = [g_{m2C} r_{o2C}(r_{o7} // r_{o2})] // (g_{m4C} r_{o4C} r_{o3}) \qquad (10\text{-}66)$$

تمرین

۱۰−۳۱ نشان دهید که بهره ولتاژ op−amp متوالی تاشده شکل (۱۰-۲۷) در حالتی که $I_B = 2I$ است و قطعات دو به دو در تطابقند، از رابطه زیر به دست می‌آید:

$$A = \frac{|V_A|^2}{I} \frac{2\sqrt{\mu_n \mu_p}\, C_{ox} \sqrt{W_1/L_1}}{3/\sqrt{(W/L)_{2C}} + \sqrt{\mu_n/\mu_p}\,/\sqrt{(W/L)_{4C}}} \qquad (10\text{-}67)$$

یک ویژگی مهم مدار کاسکود تاشده در آن است که قطب غالب بوسیله ظرفیت کل گره خروجی، C_L، ایجاد می‌شود که C_L شامل ظرفیت بار است. بطور خاص، اگر قطب غالب را با ω_D نشان دهیم، در آن صورت

$$\omega_D = 1/C_L R_o \qquad (10\text{-}68)$$

بنابراین فرکانس ω_t بهره واحد از رابطه زیر به دست می‌آید:

$$\omega_t = A\omega_D = \frac{g_{m1}}{C_L} \qquad (10\text{-}69)$$

مدار البته دارای قطب‌های غیرغالب است، اما معمولاً در فرکانسهای بالاتر از ω_t. اگر دیده شود که چنین نیست، یا اگر حاشیه فاز در ω_t ناکافی باشد، بسهولت می‌توان ظرفیت بار C_L را افزایش داد. مشاهده می‌کنیم که تأثیر افزایش ظرفیت بار مخالف با وضعیت op−amp دو طبقه است. این مطلب بعلاوه اینکه هیچ شبکه جبران فرکانسی خاصی لازم نیست، مدار کاسکود تاشده را برای کار در طراحی فیلتر سوئیچ خازنی فرکانس بالا مناسب می‌سازد.

سرعت واکنش op−amp کاسکود تاشده عبارت است از:

$$SR = 2I/C_L \qquad (10\text{-}70)$$

مزیت مهم دیگر مدار متوالی تاشده در آن است که این مدار کمتر مستعد تأثیر نویز فرکانس بالا بر منبع تغذیه منفی ($-V_{SS}$) است. چنین نویزی بناچار بر خط منبع تغذیه در تراشه‌های VLSI و مثلاً در مدارهای سوئیچ ظاهر می‌شود. (بخش ۱۰-۱۱ را ملاحظه کنید). در بسیاری از مدارهای op−amp، نویز منبع تغذیه فرکانس بالا به خروجی تزویج می‌شود و سیگنال خروجی را مغشوش می‌کند. برای دیدن چگونگی آن به مدار تقویت‌کننده عملیاتی CMOS دو طبقه شکل (۱۰-۲۳) مراجعه کنید. یک سیگنال نویز فرکانس بالا بر خط $-V_{SS}$ در پایانه سورس Q_6 ظاهر می‌شود و به گیت Q_6 تزویج می‌گردد. سپس از طریق خازن C_C و مقاومت سری کوچک R به خروجی تزویج می‌شود. چنین مسیر تزویجی در مدار کاسکود تاشده وجود ندارد. بنابراین گویا مدار کاسکود تاشده دارای **نسبت حذف منبع تغذیه (PSRR)** بزرگتر از مدار op−amp دو طبقه است.

یک عیب مدار متوالی تاشده کاهش توانایی نوسان ولتاژ خروجی ناشی از وجود دو ترانزیستور سری بین پایانه خروجی و هر منبع تغذیه است.

تقویت‌کننده عملیاتی BiCMOS متوالی تاشده

برای افزایش پهنای باند op−amp کاسکود تاشده، فرکانسهای قطبهای غیرغالب باید افزایش یابند. معمولاً پایین‌ترین فرکانس قطب غیرغالب (نامسلط) آن است که در ورودی طبقه گیت مشترک Q_{1C}، Q_{2C} ظاهر می‌شود. بطور خاص، مقاومت گره اتصال Q_1 و Q_{1C} (و مشابه آن در گره متصل‌کننده Q_2 و Q_{2C}) تقریباً مساوی با $1/g_{m1C}$ است (که برابر با $1/g_{m2C}$ می‌باشد). بنابراین اگر ظرفیت کل هریک از این دو گره را با C_{P1} نشان دهیم، فرکانس قطب به دست آمده بصورت زیر بیان می‌شود:

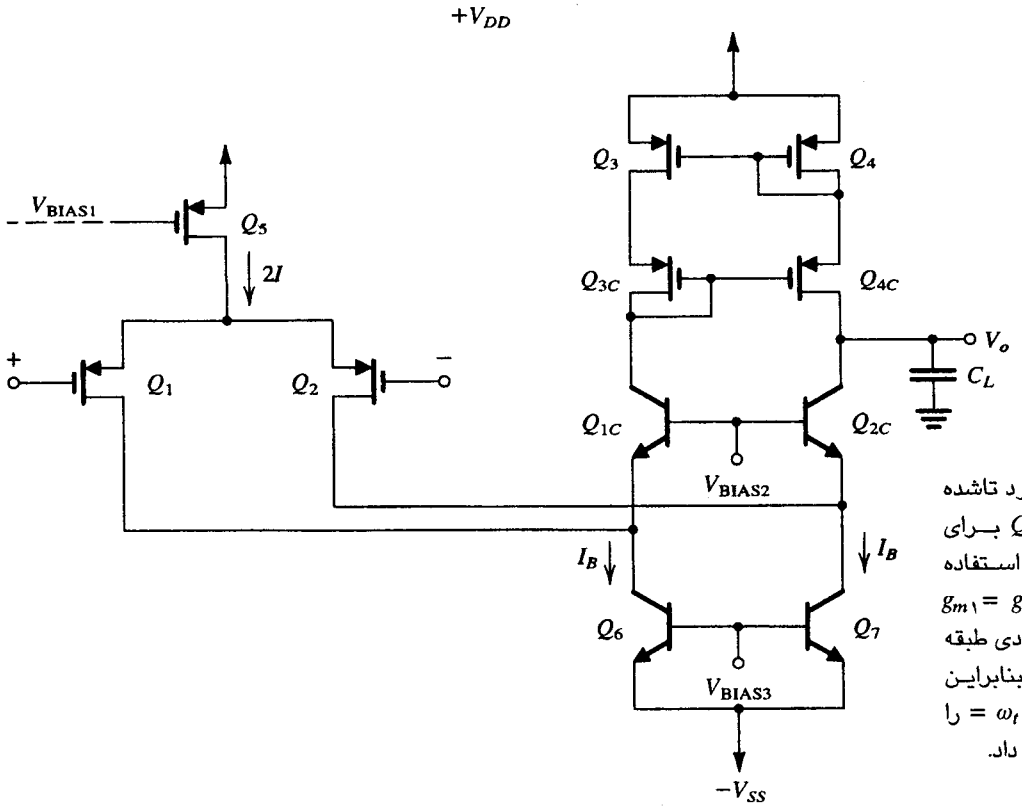
$$\omega_P = g_{m1C} / C_{P1} \qquad (10\text{-}71)$$

چون تحقق مقادیر بسیار بزرگتر هدایت انتقالی با استفاده از BJT ها نسبت به MOSFET ها امکان‌پذیر است، فرکانس ω_Pی غیرغالب (نامسلط) با استفاده از یک طبقه بیس مشترک BJT به جای طبقه MOS گیت مشترک افزایش می‌یابد. نتیجه، مدار کاسکود تاشده BiCMOS نشان داده شده در شکل (۱۰-۲۸) است. اکنون با افزایش ω_P، ω_t متناظراً افزایش می‌یابد وقتی با طراحی اولین طبقه دارای هدایت انتقالی بزرگتر g_{m1}، C_L ثابت می‌ماند (معادله ۱۰-۶۹ را ببینید).

مدار BiCMOS پهنای باند افزایش یافته را با مزیت یک طبقه ورودی MOS تلفیق می‌کند؛ یعنی، یک امپدانس ورودی تقریباً بی‌نهایت، یک جریان بایاس ورودی صفر، و سرعت واکنش بالاتر (برای مورد اخیرالذکر به بخش ۱۰-۷ و تمرین زیر مراجعه کنید).

تمرین

۱۰−۳۲ می‌خواهیم تقویت‌کننده عملیاتی BiCMOS کاسکود تاشده شکل (۱۰-۲۷) را با مدار اولین طبقه‌ای که با یک زوج تفاضلی BJT جایگزین شده، مقایسه کنیم. در هر دو مدار، f_t با ۲ MHz برای $C_L = 10\ pF$ لازم است. (الف) برای مدار BiCMOS فرض کنید $|V_t| = 1V$، $(W/L) = \frac{150}{10}$، و $\mu_p C_{ox} = 10\ \mu A/V^2$ باشد. جریان بایاس موردنیاز



شکل ۲۸-۱۰. یک op-amp کاسکود تاشده BiCMOS ، BJT هـای Q_{1C} و Q_{2C} بـرای پیاده‌سازی طبقه بیس مشترک مورد استفاده قـرار گـرفته‌انـد مـقدار زیـاد $g_{m1} = g_{m\,C2C}$ فرکانس قطب غیرغالبی را که در ورودی طبقه بیس مشترک ایجاد شده بالا می‌برد. بنابرایـن در یک مقدار مشخص C_L ، $\omega_t\, g_{m1}/CL =$ را می‌توان، بالابردن g_m طبقه اول افزایش داد.

$2I$ و سرعت واکنش ایجادشده را به دست آورید. (ب) درمداری با طبقه ورودی BJT ، جریان بایاس $2I$ و سرعت واکنش ایجاد شده را بیابید.

جواب. $105/3\ \mu A$؛ $10/5\ V/\mu s$. (ب) $6/3\ \mu A$؛ $0/63\ V/\mu S$ ❑

۹-۱۰ مبدلهای داده، مقدمه

در این بخش، گروه بزرگ دیگری از مدارهای IC آنالوگ موسوم بـه مبدل‌های داده را بررسی می‌کنیم.

پردازش دیجیتالی سیگنال

در عمل سیگنالهای بسیاری، مانند آنچه در خروجی مبدلها به دست می‌آید، بصورت آنالوگ وجود دارند. پردازش لازم برای این سیگنالها غالباً براحتی در شکل آنالوگ آن انجام می‌شود. بـطور مـثال، در دسـتگاههای اندازه‌گیری، استفاده از تقویت‌کنندهٔ تفاضلی با امپدانس ورودی زیاد، بهره زیاد، و CMRR زیاد درست در خروجی مبدل، امری معمول است. اینها معمولاً به منظور حذف تداخل در پی یک فیلتر قرار می‌گیرند. البته معمولاً برای اندازه‌گیری توان سیگنالها یا اجرای عملیات جبری روی آنـها و بـه دست آوردن مقادیر پارامترهای یک سیستم خاص بـرای انـجام وظـایف کنترلی پیچیده، پردازش بیشتری لازم است. مثال دیگر پردازش سیگنال در نیاز مشترک ارسال سیگنال به یک گیرنده دور می‌باشد.

صورت‌های مختلف پردازش سیگنال با پردازش آنالوگ میسر است. در بخش قبل با مدارهایی سروکار داشتیم که چندکار از این نوع را انـجام می‌دادند. اما، روش جاذبه‌دار دیگری وجود دارد: و آن تبدیل سیگنال پس از برخی پردازش‌های آنالوگ، از صـورت آنـالوگ بـه دیـجیتال و سـپس استفاده اقتصادی، دقیق و راحت IC های دیجیتال بـرای **پردازش سیگنال دیجیتال** می‌باشد. چنین پردازشی در سـاده‌ترین شکـل تـوان سـیگنال را بصورت یک عدد (بـرای مـثال در یک ولتـمتر) ارائـه مـی‌کند. در مـوارد بسیاری، پردازشگر سیگنال دیـجیتال کـارهای حسـابی و مـنطقی انـجام می‌دهد که **یک فیلتر محاسباتی** ایجاد می‌کند. **فیلتر دیجیتالی** به دست آمده همان وظایف فیلتر آنالوگ، یعنی حذف نویزهای تـداخل‌کننده را انـجام می‌دهد. اکنون مثال دیگری از پردازش سیگنال دیجیتال در دسـتگاههای مخابراتی دیجیتال دیده می‌شود که سیگنالها بصورت رشته‌ای از پالسهای دودویی ارسال می‌شود با این مزیت که اغتشاش دامنه پالسها بوسیله نویز تا حد زیادی در آن ممکن نیست.

وقتی سیگنال دیجیتال پردازش می‌شود، نتیجه را مـی‌توان بـه شکـل دیجیتال و بصورت فهرستی از اعداد به دست آورد. از طرف دیگر ممکن است یک خروجی آنـالوگ نـیاز بـاشد. مـثلاً در یک دسـتگاه مـخابراتـی خروجی ممکن است صحبت باشد. چنانکه یک خروجی آنالوگ موردنظر باشد، آنگاه بطور مسلم احتیاج به برگرداندن سـیگنال دیـجیتال بـصورت آنالوگ آن است.

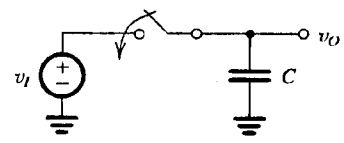
در اینجا منظور ما مطالعه روشهای پردازش سیگنال دیجیتالی نیست. بلکه مدارهای رابط بین حوزه‌های آنالوگ و دیجیتال را بـررسی مـی‌کنیم. بطور خاص، روشهای اسـاسی و مـدارهـای تـبدیل سـیگنال آنـالوگ بـه دیجیتال (**آنالوگ به دیجیتال** یا بطور خـلاصه **تبدیل A/D**) و مـدارهـای تبدیل سیگنال دیجیتال به آنالوگ (**دیجیتال به آنالوگ** یا به اختصار **تبدیل**

D/A) را مطالعه خواهیم کرد. مدارهای دیجیتال در فصل‌های ۱۳ و ۱۴ بررسی می‌شوند.

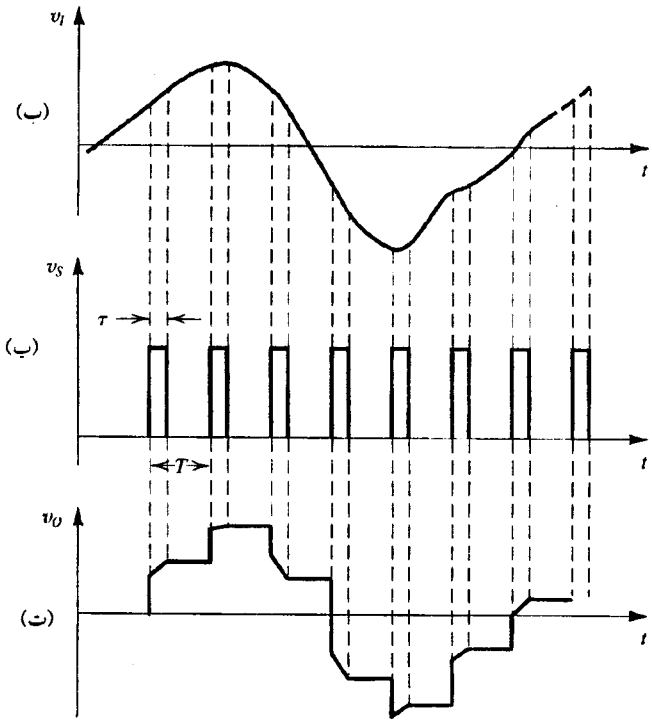
نمونه‌گیری سیگنالهای آنالوگ

پردازش سیگنال دیجیتال براساس نمونه‌گیری آنالوگ است. شکل (۲۹-۱۰) یک شکل غیرعملی از پردازش نمونه‌های به دست آمده از یک سیگنال آنالوگ است. سوئیچ نشان داده شده بطور تناوبی تحت کنترل یک سیگنال پالسی تناوبی (ساعت) می‌باشد. زمان بستن سوئیچ τ نسبتاً کوتاه است و نمونه گرفته شده در خازن ذخیره (نگهداری) شده است. مدار شکل (۲۹-۱۰) یک **مدار نمونه و نگهداری** (یا به اختصار **S/H**) نامیده می‌شود. مطابق شکل، مدار S/H شامل یک کلید آنالوگ است که از یک گیت انتقال MOSFET (بخش ۹-۵)، یک خازن ذخیره، و یک تقویت کننده میانگیر (که نشان داده نشده) تشکیل می‌شود.

بین فاصله‌های نمونه‌گیری، یعنی در خلال فاصله‌های نگهداری، سطح ولتاژ خازن، نمونه‌های سیگنال را نشان می‌دهد. در آن صورت هریک از سطوح ولتاژ، به ورودی یک مبدل A/D اعمال می‌شود، که یک شماره دودویی N بیتی متناسب با مقدار نمونه سیگنال به دست می‌دهد.



(الف)



شکل ۲۹-۱۰. فرآیند نمونه‌برداری متناوب از یک سیگنال آنالوگ. (**الف**) مدار نمونه‌بردار و نگهدارنده (S/H). سوئیچ در هر دورهٔ تناوب τ ثانیه بسته می‌شود.(**ب**) شکل موج سیگنال ورودی.(**پ**) سیگنال نمونه‌برداری (سیگنال کنترل سوئیچ) (**ت**) سیگنال خروجی (برای اعمال به مبدل A/D)

می‌توان پردازش را روی تعداد محدودی از نمونه‌های سیگنال آنالوگ به هنگام نادیده انگاشتن جزئیات سیگنال آنالوگ بین نمونه‌ها بر اساس قضیه نمونه‌گیری انجام داد.

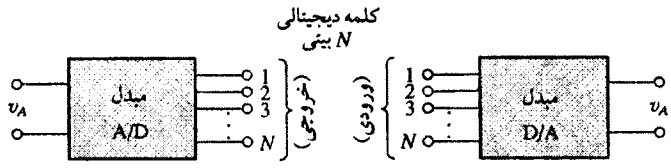
کوانتیزه کردن سیگنال

یک سیگنال آنالوگ در گستره ۰ تا ۱۰ V+ درنظر بگیرید. فرض کنیم که بخواهیم این سیگنال را بصورت دیجیتال درآوریم طوری که خروجی موردنیاز یک سیگنال ۴ بیتی[1] باشد. می‌دانیم که یک عدد دودویی ۴ بیتی، می‌تواند ۱۶ مقدار مختلف از ۰ تا ۱۵ را نشان دهد. این امر موجب می‌شود که قابلیت تفکیک ما بصورت $\frac{10V}{15} = \frac{2}{3}V$ باشد. بنابراین سیگنال آنالوگ ۰ V بصورت ۰۰۰۰، $\frac{2}{3}$ V بصورت ۰۰۰۱، ۶ V بصورت ۱۰۰۱، و ۱۰ V بصورت ۱۱۱۱ نشان داده می‌شود.

کلیه اعداد نمونه بالا ضریبی از نمو اساسی ($\frac{2}{3}$ V) می‌باشند. یک سؤال با توجه به تبدیل اعداد بین این سطوح افزایشی متوالی بوجود می‌آید. بطور مثال، حالتی با سطح آنالوگ ۶/۲ V درنظر بگیرید. این عدد بین $\frac{18}{3}$ و $\frac{20}{3}$ قرار می‌گیرند. بنابراین، چون به $\frac{18}{3}$ نزدیک است، آنرا ۶ V و کد آنرا ۱۰۰۱ به حساب می‌آوریم. این فرآیند را کوانتیزه کردن می‌نامیم. البته، خطاهایی در این فرآیند وجود دارد؛ چنین خطاهایی را خطای کوانتیزه کردن می‌نامیم. استفاده از بیت‌های بیشتر برای نمایش (رمزکردن) یک سیگنال آنالوگ خطاهای کوانتیزه را کاهش می‌دهد اما به مدارهای پیچیده‌تری نیاز است.

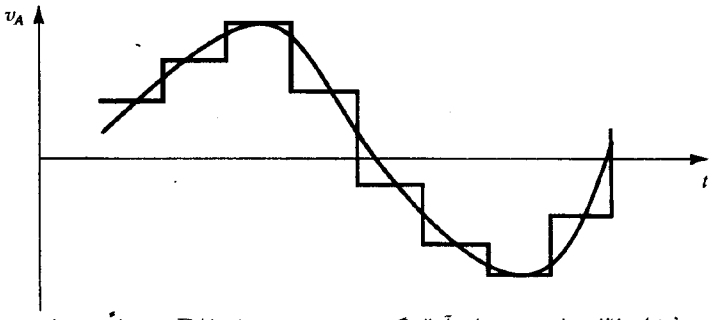
مبدلهای A/D و D/A بصورت نمودارهای ساختاری

شکل (۳۰-۱۰) مبدلهای A/D و D/A را بصورت کلی آن نشان می‌دهد. مطابق شکل، **مبدل A/D** (که آنرا ADC نیز می‌نامند) یک v_A نمونه آنالوگ دریافت کرده و یک **کلمه دیجیتال** N بیتی را ایجاد می‌کند. برعکس، مبدل D/A (که آنرا DAC نیز می‌نامند) یک کلمه دیجیتال n بیتی دریافت کرده یک نمونه آنالوگ ایجاد می‌کند. نمونه‌های خروجی مبدل D/A اغلب به یک مدار نمونه و نگهداری داده می‌شود. در خروجی مدار S/H یک شکل موج پله‌ای نظیر شکل (۳۱-۱۰) به دست می‌آید. شکل موج پله‌ای سپس بوسیله یک فیلتر پایین‌گذر صاف می‌گردد و بصورت منحنی صاف شکل (۳۷-۱۰) درمی‌آید. به این ترتیب یک سیگنال خروجی آنالوگ دوباره ساخته می‌شود. در خاتمه، توجه کنید که خطای کوانتیزه یک مبدل A/D برابر با $\pm\frac{1}{2}$ کم ارزشترین بیت (b_N) است.



شکل ۳۰-۱۰. مبدلهای A/D و D/A بعنوان ساختارهای مدار

۱- Bit خلاصه شده binary digit می‌باشد.



شکل ۳۱-۱۰. نمونه‌های آنالوگ در خروجی مبدل D/A معمولاً به مدار نمونه بردار و نگهدارنده اعمال شده و مطابق شکل موج پلکانی به دست می‌آید. میتوان این موج را فیلتر کرد و شکل موج صافی بـه دست آورد. تأخیر زمانی که معمولاً توسط فیلتر ایجاد می‌شود به نمایش در نیامده است.

تمرین

۳۳-۱۰ یک سیگنال آنالوگ درمحدوده ۰ تا ۱۰ V+ ، به یک سیگنال دیجیتال ۸ بیتی تبدیل می‌شود. تبدیل آن بر حسب ولت چگونه است؟ نمایش دیجیتال یک ورودی ۶ V چیست؟ نمایش یک ورودی ۶/۲V چگونه است؟ خطای ایجادشده در ۶/۲ V کوانتیزه بر حسب قدر مطلق و بصورت درصدی از ورودی چقدر است؟ بعنوان درصدی از مقیاس کل؟ بزرگترین خطای کوانتیزه بصورت درصدی از مقیاس کل چقدر است؟

جواب. ۰/۰۳۹۲ V؛ ۱۰۰۱۱۰۰۱. ۱۰۰۱۱۱۱۰؛ ۰/۰۰۶۴ V؛ −۰/۱ %؛ −۰/۰۶۴ %؛ ۰/۱۹۶ % ❑

۱۰-۱۰ مدارهای مبدل D/A

مدار اساسی با استفاده از مقاومتهای وزنی دودویی

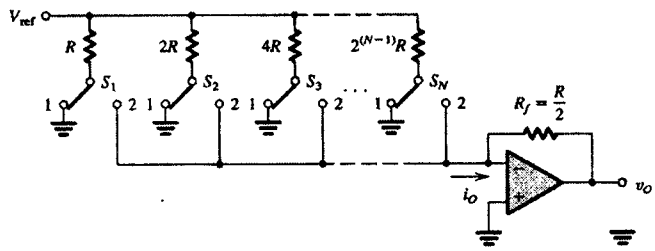
شکل (۳۲-۱۰) مدار ساده‌ای برای یک مبدل N بیتی D/A را نشان می‌دهد. مدار شامل ولتاژ مرجع V_{ref}، مقاومت‌های وزنی دودویی R، $2R$، $4R$، ...، $2^{N-1}R$، N کلید یک قطب و دو راهه S_1، S_2، ...، S_N، و یک op-amp با مقاومت فیدبک $R_f = \frac{2}{R}$ است.

کلیدها بوسیله کلمه ورودی دیجیتال N بیتی D کنترل می‌شود.

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \qquad (۱۰-۷۲)$$

که در آن b_1، b_2 و غیره ضرایب بیتی ۰ یا ۱ هستند. توجه کنید که b_N **کم ارزش‌ترین بیت (LSB)** و b_1 **با ارزش‌ترین بیت (MSB)** است. در مدار شکل (۳۱-۱۰)، b_1 سوئیچ S_1 را کنترل می‌کند، b_2، سوئیچ S_2 را کنترل می‌کند و الی آخر. وقتی b_i برابر ۰ است، سوئیچ S_i در وضعیت ۱ است و وقتی b_i در وضعیت ۱ است، سوئیچ S_i در وضعیت ۲ می‌باشد.

چون وضعیت ۱ همه سوئیچ‌ها زمین و وضعیت ۲ زمین مجازی است، جریانی که از مقاومتها می‌گذرد ثابت است. هر سوئیچ فقط کنترل می‌کند که جریان متناظرش به زمین برود (وقتی بیت متناظر ۰ است) یا بـه زمین مجازی برود (وقتی بیت متناظر آن ۱ است). جریانهایی که از زمین مجازی



شکل ۳۲-۱۰. مبدل D/A ، N بیتی بـا اسـتفاده از شـبکه نردبانی مقاومتی وزنی دودویی

می‌گذرند جمع می‌شوند و مجموع آنها از مقاومت فیدبک R_f عبور می‌کنند. در آنصورت جریان کل i_O از رابطه زیر به دست می‌آید:

$$i_O = \frac{V_{ref}}{R} b_1 + \frac{V_{ref}}{2R} b_2 + \dots + \frac{V_{ref}}{2^{N-1}R} b_N$$

$$= \frac{2V_{ref}}{R}\left(\frac{b_1}{2^1} + \frac{b^2}{2^2} + \dots + \frac{b_N}{2^N}\right)$$

بنابراین

$$i_O = \frac{2V_{ref}}{R} D \qquad (۱۰-۷۳)$$

و ولتاژ خروجی V_o از رابطه زیر به دست می‌آید:

$$v_O = -i_O R_f = -V_{ref} D \qquad (۱۰-۷۴)$$

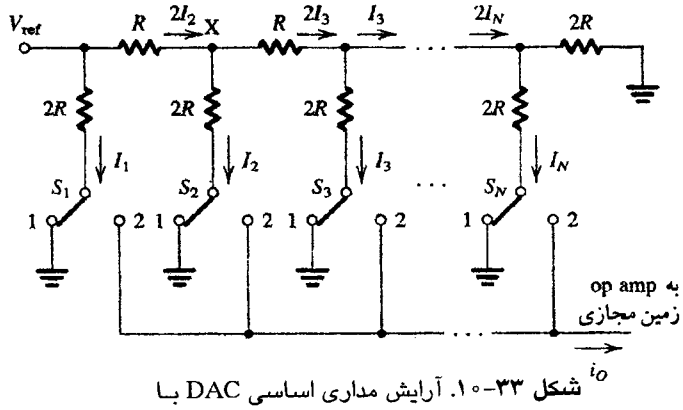
که مطابق دلخواه، با کلمه دیجیتال D نسبت مستقیم دارد.

لازم به یادآوری است که صحت DAC عـمدتاً بسـتگی دارد بـه (۱) صـحت V_{ref} ، (۲) دقت مـقاومتهای وزنـی دودویـی، و (۳) کـامل‌بودن سوئیچ‌ها . با توجه به نکته سوم تأکید می‌کنیم که این سوئیچ‌ها سیگنالهای آنالوگ به دست می‌دهند؛ بنابراین کامل بودن آنها از موارد مـهم است. در حالی که ولتاژ افست و محدودیت مقاومت در سوئیچ دیجیتال اهمیت زیاد ندارند، این پارامترها در **سوئیچ های آنالوگ** دارای اهمیت بسیارند. استفاده از FET ها بعنوان کلیدهای آنالوگ در بخش ۵ بحث شد. همچنین، بزودی خواهیم دید که در پیاده‌سازی یک مدار عملی DAC جـریان‌های وزنـی دودویی بوسیله منابع جریان ایجاد شوند. در این حالت چنانکه خواهـیم دید، سوئیچ آنالوگ با استفاده از مدار زوج تفاضلی تحقق می‌یابد.

یک عیب شبکه مقاومتی وزنی دودویـی درآن است کـه در صـورت زیادبودن تعداد بیتها ($N>4$)، گستره بین کوچکترین و بزرگترین مقاومت کاملاً زیاد می‌شود. این مـطلب تـلویحاً مشکـلات صـحیح‌ماندن مـقادیر مقاومت را بیان می‌کند. یک طرح راحت‌تر با اسـتفاده از شـبکه مـقاومتی موسوم به نردبان $R-2R$ وجود دارد.

نردبانهای R − 2R

شکل (۳۳-۱۰) روش بایاس یک DAC را با استفاده از یک نـردبان R−2R نشان می‌دهد. به علت گسترهٔ کوچک مقادیر مقاومتها، این شبکه را معمولاً در طرح وزنی دودویی توضیح داده شده در بالا، ترجیح می‌دهند بخصوص به ازای N>۴. کار نردبان R−2R روشن است. ابتدا، با شروع



شکل ۳۳-۱۰. آرایش مداری اساسی DAC با استفاده از شبکه نردبانی R−۲R

از راست و کار به سمت چپ، می‌توان نشان داد که مقاومت سمت راست هر گره نردبان، که X نامیده شده، برابر با ۲R است. بنابراین جریانی که از هر گره به سمت راست جاری می‌شود، برابر با جریانی است که به سمت پایین به زمین جاری می‌شود و دو برابر آن جریان در گره سمت چپ جاری می‌شود. جاری‌شدن آن بصورت زیر است:

$$I_1 = 2I_2 = 4I_3 = \ldots = 2^{N-1}I_N$$

بنابراین، مانند شبکه مقاومتی وزنی دودویی، جریان کنترل شده بوسیله سوئیچ‌ها، وزنی دودویی هستند. در آن صورت جریان خروجی i_O از رابطه زیر به دست خواهد آمد:

$$i_O = \frac{V_{ref}}{R} D$$

پیاده‌سازی یک مدار عملی

پیاده‌سازی یک مدار عملی DAC با استفاده از نردبان R−۲R در شکل ۳۴-۱۰ نشان داده شده است. مدار از BJT ها برای تولید جریانهای ثابت وزنی دودویی I_1، I_2، ...، I_N استفاده می‌کند، که بین زمین و زمین مجازی خروجی یک op−amp جمع‌کننده (که در این جا نشان داده نشده) سوئیچ می‌شوند. ابتدا نشان خواهیم داد که جریانهای I_1 تا I_N بواقع وزنی دودویی، با I_1 متناظر با MSB و I_N متناظر با LSB ی DAC هستند.

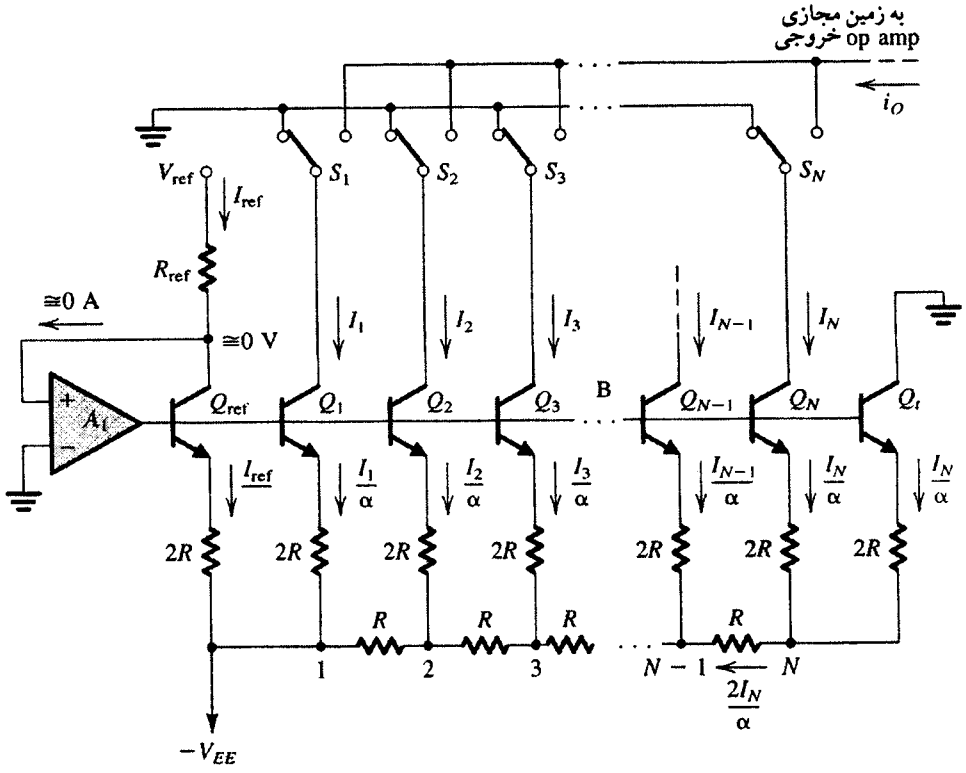
با شروع از ترانزیستورهای Q_1 و Q_N در سمت راست، می‌بینیم که اگر آنها در تطابق باشند، جریان‌های امیترشان مساوی بوده و با (I_N/α) نشان داده می‌شوند. ترانزیستور Q_1 ارتباطات صحیح شبکه R−۲R را ممکن می‌سازد. ولتاژ بین خط بیس BJT ها و گره N خواهد بود:

$$V_N = V_{BE_N} + \left(\frac{I_N}{\alpha}\right)(2R)$$

که V_{BE_N} ولتاژ بیس −امیتر Q_N است. چون جریانی که از مقاومت R جاری می‌شود و به گره N ربط می‌یابد $2I_N/\alpha$ است، ولتاژ بین گره B و گره $(N-1)$ برابر خواهد بود با:

$$V_{N-1} = V_N + \left(\frac{2I_N}{\alpha}\right)R = V_{BE_N} + \frac{4I_N}{\alpha}R$$

برای لحظاتی فرض کنید که $V_{BE_{N-1}} = V_{BE_N}$ است، ملاحظه می‌کنیم که ولتاژ $(4I_N/\alpha)$ در دو سر مقاومت $2R$ در امیتر Q_{N-1} پدید می‌آید. بنابراین Q_{N-1} دارای جریان امیتر $(2I_N/\alpha)$ و جریان کلکتور $(2I_N)$، دو برابر جریان Q_N خواهد بود. دو ترانزیستور دارای افت ولتاژ V_{BE} یکسان



شکل ۳۴-۱۰. مدار عملی DAC با استفاده از شبکه نردبانی $R-2R$

هستند اگر وسعت پیوندشان به همان نسبت جریانشان مقیاس شود که معمولاً در حین عمل چنین می‌شود.

با ادامه روش فوق می‌توان نشان داد که:

$$I_1 = 2I_2 = 4I_3 = \ldots = 2^{N-1} I_N$$

با این فرض که وسعت EBJ ی Q_1 تا Q_N بصورت وزنی دودویی مقیاس شده‌اند.

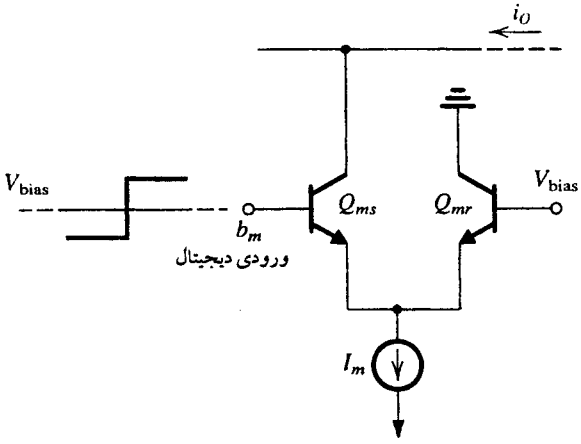
بعد تقویت‌کننده عملیاتی A_1 را درنظر بگیرید، که به همراه ترانزیستور مرجع Q_{ref}، یک حلقه فیدبک منفی تشکیل می‌دهند. (مطمئن شوید که فیدبک واقعاً منفی باشد.) زمین مجازی ایجادشده از کلکتور Q_{ref} سبب هدایت جریان کلکتور $I_{ref} = V_{ref}/R_{ref}$ مستقل از عیب‌های احتمالی Q_{ref} می‌شود. اکنون، چنانچه Q_{ref} و Q_1 در تطابق باشند، جریانهای کلکتورشان مساوی خواهند بود:

$$I_1 = I_{ref}$$

بنابراین، جریانهای وزنی دودویی مستقل از مقدار واقعی V_{BE} و α مستقیماً به جریان مرجع ربط می‌یابد. همچنین مشاهده می‌کنید که تقویت‌کننده عملیاتی A_1 جریانهای بیس همه BJT ها را تأمین می‌کند.

سوئیچهای جریان

هریک از سوئیچ‌های تک قطب دو راهه در مدار DAC شکل (۳۴-۱۰) بوسیله مداری نظیر آنچه در شکل (۳۵-۱۰) برای سوئیچ‌های S_m دیده‌می‌شود، پیاده‌سازی می‌گردد. در اینجا I_m نشان‌دهنده جریان جاری شونده در کلکتور ترانزیستور بیت شماره m است. مدار، یک زوج تفاضلی است که بیس ترانزیستور مرجع Q_{mr} به یک ولتاژ dc مناسب V_{bias} متصل است، و سیگنال دیجیتال نشان‌دهنده بیت mام (b_m)، به بیس ترانزیستور دیگر Q_{ms} اعمال می‌شود. در صورتی که ولتاژ نشان‌دهنده b_m به اندازه چند صدمیلی‌ولت از V_{bias} بزرگتر باشد، Q_{ms} روشن و Q_{mr} خاموش خواهد شد. جریان بیت I_m از Q_{ms} جاری شده و به خط جمع‌کننده خروجی راه می‌یابد. از طرف دیگر، وقتی b_m پایین است، Q_{ms} خاموش بوده و I_m از Q_{mr} به زمین جاری می‌شود.



شکل ۳۵-۱۰. مدار سوئیچ S_m در DAC شکل (۳۴-۱۰) در تکنولوژی BiCMOS، برای Q_{ms} و Q_{mr} از MOSFET استفاده می‌شود. بنابراین از خطای جریان بیس BJT اجتناب می‌شود.

سوئیچ جریانی شکل (۳۵-۱۰) ساده است و عمل با سرعت بالا را سبب می‌شود. اما عیب آن این است که قسمتی از جریان I_m از بیس Q_{ms} می‌گذرد و بنابراین در خط جمع‌کننده خروجی ظاهر نمی‌شود. همچنین در تکنولوژی BiCMOS جفت ترانزیستورهای تفاضلی Q_{ms} و Q_{mr} با MOSFET ها جایگزین می‌شوند، بنابراین مشکل جریان بیس را برطرف می‌سازند.

تمرینها

۳۴-۱۰ ماکزیمم نسبت مقاومت موردنیاز بوسیله یک مبدل ۱۲ یعنی D/A که از نردبان وزنی دودویی استفاده می‌کند چقدر است؟

جواب. ۲۰۴۸

۳۵-۱۰ اگر جریان بایاس ورودی یک op-amp که بعنوان جمع‌کنندهٔ خروجی یک DAC - ۱۰ بیتی استفاده می‌شود، بیش از معادل $\frac{1}{4}$LSB نباشد، ماکزیمم جریان موردنیاز یک op-amp که در R_f جاری می‌شود چقدر است در صورتی که جریان بایاس به اندازه $0/5\,\mu A$ باشد.

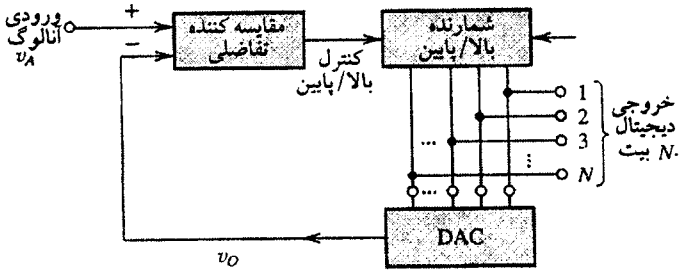
جواب. $2/046$ mA ❑

۱۱-۱۰ مدارهای مبدل A/D

روشهای گوناگون تبدیل A/D وجود دارد که در پیچیدگی و سرعت تبدیل با هم فرق دارند. در ادامه، دو طرح ساده اما آهسته یک طرح پیچیده (برحسب میزان مدار موردنیاز) اما فوق‌العاده سریع، و بالاخره یک روش مخصوص و مناسب برای پیاده‌سازی MOS مورد بحث قرار می‌گیرند.

مبدل نوع فیدبک

شکل (۳۶-۱۰) یک مبدل ساده A/D را نشان می‌دهد که در آن یک مقایسه‌گر، یک شمارشگر بالا - پایین، و یک مبدل D/A به کار رفته است. مدار مقایسه‌گر، یک خروجی ارائه می‌کند که یکی از دو مقدار متفاوت را فرض می‌گیرد: مثبت وقتی تفاضل سیگنال ورودی مثبت است، و منفی وقتی تفاضل سیگنال ورودی منفی است. مدار مقایسه‌گر را در فصل ۱۲ مطالعه خواهید کرد. یک شمارشگر بالا - پایین یک شمارشگر ساده است که با توجه به سطح دودویی اعمال شده به پایانه کنترل بالا - پایین آن، بطرف بالا یا پایین می‌تواند شمارش کند. چون مبدل A/D شکل (۳۶-۱۰) در حلقه فیدبک از یک DAC استفاده می‌کند، معمولاً آن را مبدل A/D نوع فیدبک می‌نامیم. این مدار، بصورت زیر کار می‌کند: با شمارش صفر در شمارشگر،



شکل ۳۶-۱۰. یک مبدل A/D نوع فیدبک ساده

خروجی مبدل D/A ، v_O برابر صفر می‌شود و خروجی مقایسه‌گر بالا خواهد بود، و به شمارشگر دستور خواهد داد تا پالسهای ساعت را در جهت بالا بشمارد. با افزایش شمارش، خروجی DAC بالا می‌رود. این فرآیند ادامه می‌یابد تا وقتی خروجی DAC به مقدار سیگنال ورودی آنالوگ برسد که در آن نقطه مقایسه‌گر سوئیچ می‌کند و شمارشگر متوقف می‌شود. در آن صورت خروجی شمارشگر معادل دیجیتالی ولتاژ آنالوگ ورودی خواهد بود.

کار مبدل شکل (۳۶-۱۰) آهسته است اگر از صفر شروع کند. البته این مدل تغییرات افزایشی را در سیگنال ورودی با سرعت زیاد پی می‌گیرد.

مبدل A/D دوشیبه

یک مبدل A/D مشهور با قابلیت تفکیک زیاد (۱۲ تا ۱۴ بیت) (اما آهسته) در شکل (۳۷-۱۰) نشان داده شده است. برای دیدن چگونگی کار آن، به شکل ۳۷-۱۰ مراجعه کنید و فرض کنید که سیگنال ورودی آنالوگ v_A منفی باشد. قبل از شروع برگردان سیکل، سوئیچ S_2 بسته است، بنابراین خازن C تخلیه شده و $v_1 = 0$ می‌شود. وارونگی سیکل با بازشدن S_2 آغاز شده و ورودی انتگرال‌گیر از طریق سوئیچ S_1 به سیگنال ورودی آنالوگ وصل می‌شود. چون v_A منفی است، جریان $I = v_A/R$ از مقاومت R در مسیری غیر از انتگرال‌گیر جاری خواهد شد. بنابراین v_1 بطور خطی و با شیب $I/C = v_A/RC$ مطابق شکل (ب ۳۷-۱۰) افزایش می‌یابد. همزمان با آن، شمارشگر فعال شده، پالسهای ساعت با فرکانس ثابت را شمارش می‌کند. این مرحله از تبدیل که به مدت ثابت T_1 ادامه می‌یابد. وقتی پایان می‌گیرد که شمارشگر شمارش ثابتی که با n_{ref} نشان داده می‌شود را جمع کند. معمولاً در شمارشگر N بیتی، $n_{ref} = 2^N$ است. با نمایش ولتاژ نوک در خروجی انتگرال‌گیر بصورت $V_{\text{نوک}}$ ، و مراجعه به شکل (ب ۳۶-۱۰) می‌توان نوشت:

$$\frac{V_{\text{نوک}}}{T_1} = \frac{v_A}{RC} \qquad (۱۰-۷۵)$$

در پایان این مرحله، شمارشگر صفر می‌شود.

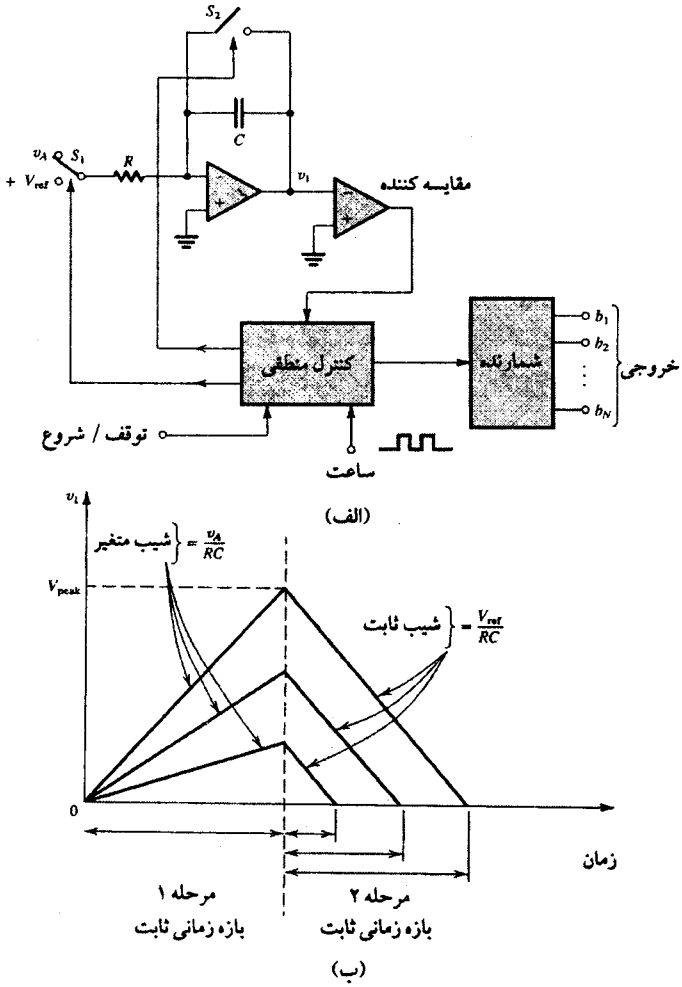
مرحله دوم تبدیل در $t = T_1$ با اتصال ورودی انتگرال‌گیر از طریق سوئیچ S_1 به ولتاژ مرجع مثبت V_{ref} آغاز می‌شود. جریانی که از انتگرال گیر می‌گذرد در جهت معکوس بوده و مساوی V_{ref}/R است. بنابراین v_1 بطور خطی با شیب (V_{ref}/RC) کاهش می‌یابد. همزمان با آن شمارشگر فعال شده و پالسهای با فرکانس ثابت ساعت را می‌شمارد. وقتی v_1 به صفر ولت می‌رسد، سیگنالهای مقایسه‌گر با کنترل منطقی شمارشگر را متوقف می‌سازد. با نمایش زمان مرحله دوم بصورت T_2 ، با مراجعه به شکل (ب ۳۷-۱۰) می‌توان نوشت:

$$\frac{V_{\text{نوک}}}{T_2} = \frac{V_{ref}}{RC} \qquad (۱۰-۷۶)$$

از تلفیق معادله‌های (۷۵-۱۰) و (۷۶-۱۰) به دست می‌آید:

$$T_2 = T_1\left(\frac{v_A}{V_{ref}}\right) \qquad (۱۰-۷۷)$$

چون خواندن n_{ref} شمارشگر در پایان T_1 متناسب با T_1 است و خواندن n



شکل ۳۷-۱۰. روش تبدیل A/D دوشیبه. توجه کنید v_A را منفی فرض کرده‌ایم.

در پایان T_2 متناسب با T_2 است، داریم:

$$n = n_{ref}\left(\frac{v_A}{V_{ref}}\right) \qquad (۱۰-۷۸)$$

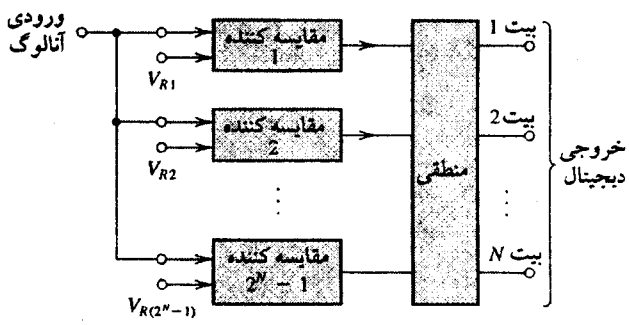
بنابراین شماره شمارشگر[1] ، n ، در پایان مرحله شمارش معادل دیجیتالی v_A می‌باشد.

مبدل دو شیبه دارای دقت زیاد است چون عملکرد آن مستقل از مقادیر واقعی R و C است. هم اکنون کاربردهای تجاری زیادی برای روش دو شیبه وجود دارد که بعضی از آنها از تکنولوژی CMOS استفاده می‌کنند.

مبدل موازی یا سریع (Flash)

سریعترین طرح مبدل A/D مبدل همزمان، موازی یا مبدل سریع شکل (۳۸-۱۰) می‌باشد. مبدل سریع بصورت ذهنی خیلی ساده است. این مبدل از $2^N - 1$ مقایسه‌کننده برای مقایسه سطح سیگنال ورودی با هریک از $2^N - 1$ سطح مقداردهی (کوانتیزاسیون) استفاده می‌کند. خروجی‌های

۱- توجه کنید که n تابعی پیوسته از v_A نیست که ممکن است از معادله (۷۸-۱۰) این گونه برداشت کنیم. در عوض n مقداری گسسته است که متناظر با سطوح مقادیر v_A می‌باشد.



شکل ۳۸-۱۰. مبدل A/D موازی، همزمان یا سریع

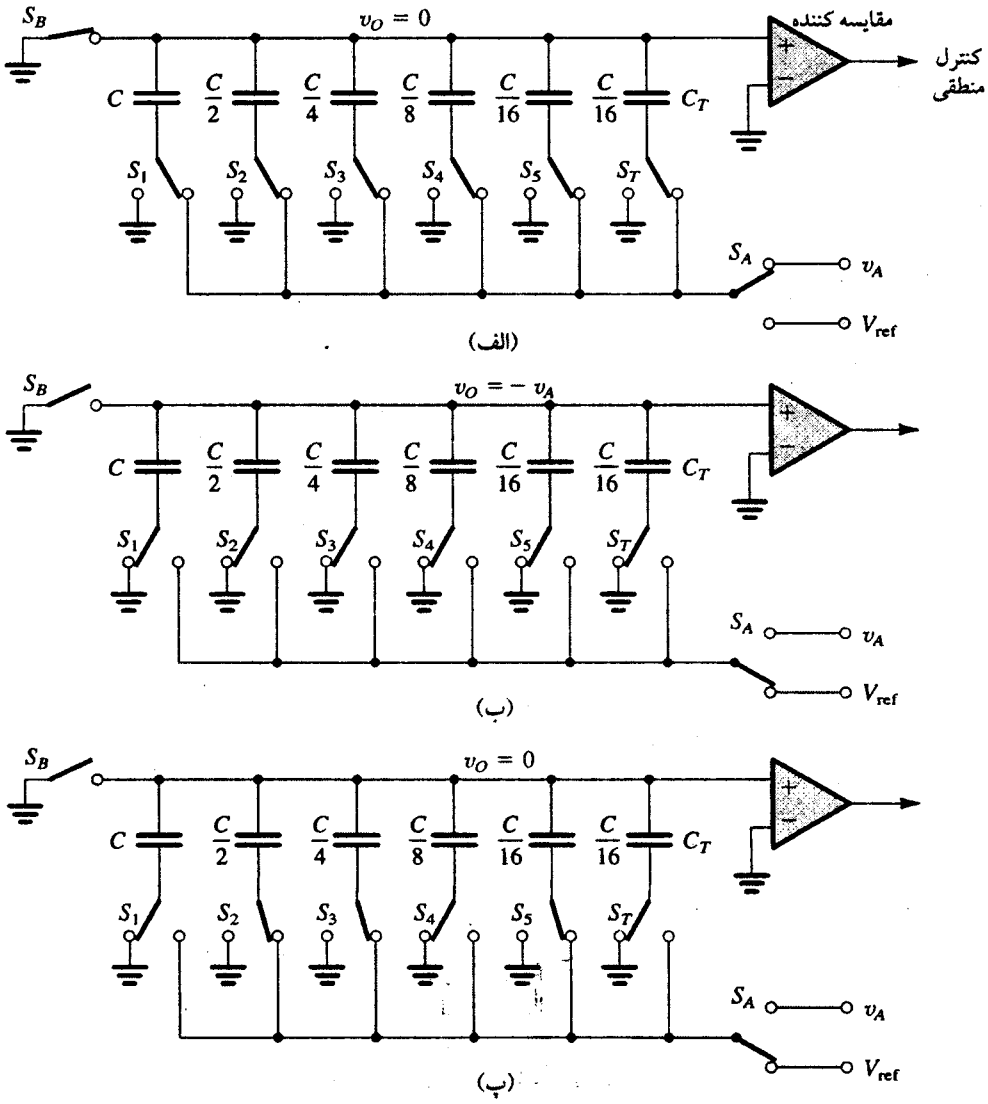
مقایسه‌کننده‌ها توسط یک رمزکنندهٔ منطقی برای ایجاد N بیت کلمه دیجیتالی خروجی پردازش می‌شوند. توجه کنید که تبدیل کامل را می‌توان در یک سیکل ساعت انجام داد.

اگرچه تبدیل سریع بسیار سریع عمل می‌کند اما بهای آن نیاز به مدار پیچیده‌تر می‌باشد. تغییراتی روی تکنیکهای اساسی بنحو موفقیت‌آمیزی در طراحی IC های مبدل انجام شده است.

مبدل توزیع مجدد بار

آخرین تکنیک تبدیل A/D که مورد بررسی قرار می‌گیرد بویژه برای پیاده‌سازی CMOS مناسب است. مطابق شکل (۳۹-۱۰) در مدار از یک رشته خازن وزنی دودویی، یک مقایسه‌کننده ولتاژ، سوئیچهای آنالوگ و کنترل منطقی (که نشان داده نشده) استفاده می‌شود. مدار نشان داده شده مبدل ۵بیتی است. خازن C_Tبعنوان خازن انتهای رشته، ظرفیت مجموع را به مقدار لازم $2C$ می‌رساند.

عملکرد مبدل به سه مرحله مجزا تقسیم می‌شود، که در شکلهای (الف، ب و پ ۳۹-۱۰) تشریح شده‌اند. در مرحله نمونه‌برداری (شکل الف ۳۹-۱۰) سوئیچ S_Bبسته است. بنابراین صفحه بالایی همه خازنها به زمین وصل شده و ولتاژ v_O صفر است. در ضمن سوئیچ S_A به ولتاژ آنالوگ ورودی v_A متصل است. بنابراین ولتاژ v_A روی خازن مجموع $2C$ ظاهر شده و بار $2Cv_A$ روی آن ذخیره می‌شود. بدین ترتیب در این مرحله نمونه‌ای از v_A گرفته شده و متناسب با آن باری روی رشتهٔ خازنی ذخیره می‌گردد.



شکل ۳۹-۱۰. مبدل A/D توزیع مجدد بار، مناسب برای پیاده‌سازی با CMOS
(الف) فاز نمونه‌برداری، (ب) فاز نگهدارنده و (پ) فاز توزیع مجدد بار

در مرحله نگهداری (شکل ۳۹-۱۰)، سوئیچ S_B بازشده و سوئیچهای S_1 تا S_5 و S_T زمین می‌شوند بنابراین صفحه بالایی رشته خازنی مدار بازشده در حالی که صفحه پایینی آنها به زمین متصل است. از آنجا که مسیر دشارژی وجود ندارد بار خازنها باید در مقدار $2Cv_A$ باقی بماند در نتیجه ولتاژ صفحات بالای خازنها $-v_A$ می‌شود. نهایتاً توجه کنید که در مرحله نگهداری، به منظور تدارک مرحله توزیع مجدد بار، S_A به V_{ref} متصل می‌شود.

سپس نحوهٔ کار در مرحلهٔ توزیع مجدد بار تشریح شده در شکل (پ ۳۹-۱۰) را درنظر می‌گیریم. این مدار شامل V_{ref} خازن سری C و مجموع ظرفیت خازنی نسبت به زمین C می‌باشد. این مقسم خازنی باعث ظهور ولتاژ افزایشی $V_{ref}/2$ روی صفحات بالایی می‌شود. حال v_A بزرگتر از $V_{ref}/2$ است و ولتاژ خالص صفحات بالایی منفی خواهد ماند. این بدان معنی است که اگر سوئیچ S_2 را حرکت دهیم S_1 در محل جدید خود باقی می‌ماند. از طرف دیگر اگر v_A کوچکتر از $V_{ref}/2$ می‌بود ولتاژ خالص صفحات بالایی مثبت می‌شد. مقایسه‌کننده این حالت را آشکار کرده و سیگنال کنترل منطقی S_1 را به زمین اتصال داده و بعد حالت S_2 را تغییر می‌دهد.

سپس سوئیچ S_2 به V_{ref} متصل می‌شود که باعث ظهور ولتاژ افزایشی $V_{ref}/4$ روی صفحات بالایی می‌گردد. اگر ولتاژ حاصل هنوز منفی باشد S_2 در محل جدید خود می‌ماند وگرنه S_2 به زمین متصل می‌شود. بعد از آن سوئیچ S_3 را حرکت می‌دهیم و همین کار را انجام می‌دهیم تا همهٔ بیتهای سوئیچهای S_1 تا S_5 به دست آیند.

می‌توان دید که در مرحله توزیع مجدد بار ولتاژ صفحات بالایی بطور افزایشی به سمت صفر کاهش پیدا می‌کند. اتصال سوئیچهای بیت در انتهای این مرحله کلمه دیجیتالی را می‌سازد. سوئیچ متصل به زمین بیانگر صفر و اتصال به V_{ref} بیانگر ۱ منطقی می‌باشد. آرایش سوئیچ شکل (پ ۳۹-۱۰) کلمه دیجیتالی D = ۰۱۱۰۱ را تولید می‌کند. ملاحظه کنید که در انتهای فرآیند تبدیل، همه بارها روی خازنهای متناظر با بیت‌های ۱ ذخیره شده است. خازنهای متناظر با بیت‌های صفر هیچ باری ندارند.

دقت این روش تبدیل A/D مستقل از خازنهای پراکنده ایجادشده بین صفحهٔ پایینی خازنها و زمین است چون صفحه پایینی خازنها به زمین اتصال یافته و بار خازنهای پراکنده روی رشته خازنی اثری ندارد. از آن جا که بار اولیه و نهایی صفحات بالایی خازنها صفر است، مدار نسبت به خازنهای پراکنده بین صفحات بالایی و زمین نیز مقاوم است. عدم حساسیت نسبت به خازنهای پراکنده باعث می‌شود روش توزیع مجدد بار روشی با دقت معقول برای پیاده‌سازی مبدلهای A/D تا ۱۰ بیت باشد.

تمرینها

۳۶-۱۰ مبدل توزیع مجدد بار ۵ بیتی شکل ۳۹-۱۰ را با V_{ref}=۴V را درنظر بگیرید. ولتاژ افزایشی ظاهرشده روی صفحات بالایی خازنها هنگامی که S_5 سوئیچ شود چقدر است؟ ولتاژ تمام مقیاس این مبدل چقدر است؟ اگر v_A = ۲/۵ V باشد، در انتهای تبدیل کدام سوئیچ به V_{ref} متصل خواهد بود؟

جواب. $\frac{1}{8}$ V، $\frac{31}{8}$ V، S_1 و S_3

۳۷-۱۰ ماکزیمم خطای مقداردهی (کوانتیزاسیون) یک مبدل A/D، N بیتی را بر حسب کم ارزش‌ترین بیت (LSB) و برحسب ورودی تمام مقیاس آن V_{FS}، بیان نمایید.

جواب. $\pm\frac{1}{2}$ LSB، $V_{FS}/2(2^N-1)$ ❑

۱۲-۱۰ مثالی از شبیه سازی SPICE

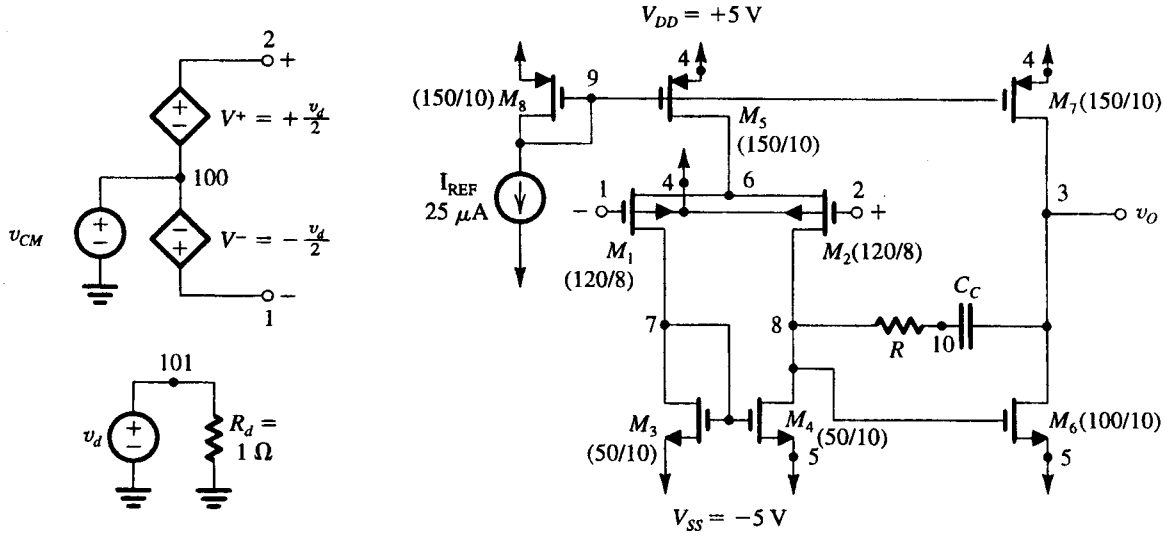
SPICE یکی از ابزارهای با ارزش در طراحی مدارهای آنالوگ پیچیده است و اگر از آن به درستی استفاده کنیم دیدی عمیق در مورد کار مدار و طراحی آن به دست می‌آوریم. در این بخش استفاده از SPICE را در شبیه سازی مدار op-amp از طریق یک مثال توضیح می‌دهیم.

مثال ۳-۱۰: COMS op-amp دو طبقه

از SPICE برای شبیه سازی مدار CMOS op-amp دو طبقه شکل (۲۳-۱۰) با ابعاد قطعه مثال (۲-۱۰) که تحلیل دستی آن ارائه شده، استفاده می‌کنیم. خواننده می‌تواند این تحلیل دستی را که در آن از مدل‌های مرتبه اول برای MOSFET استفاده شده مرور کند. چند فرض ساده‌کننده نظیر چشمپوشی از اثر مدولاسیون طول کانال هنگام محاسبه نقطه کار dc هر یک از MOSFETها، در نظر گرفته شده است. در شبیه سازی SPICE از پیاده‌سازی تکنولوژی ۵ μm و مدل سطح ۲ برای MOSFET که پارامترهای آن توسط کارخانه سازنده ارائه شده، استفاده شده است. بنابراین نتیجه حاصل از SPICE ارزیابی واقعی مدار است. مقایسه نتایج حاصل از SPICE و تحلیل دستی نشان می‌دهد که کدام یک از فرض‌ها درست بوده و کدام یک منجر به خطای زیادی شده است.

در شکل (۴۰-۱۰) مدار را با شماره گذاری گره‌ها و ابعاد قطعه ترسیم کرده‌ایم. در شکل، ورودی که یک سیگنال حالت مشترک و یک سیگنال تفاضلی است نشان داده شده است. فایل ورودی SPICE در ضمیمه ت آمده است. شامل مقادیر پارامترهای مدل MOSFET مورد استفاده است.

اولین مرحله تحلیل، جاروب dc ولتاژ تفاضلی ورودی با v_{CM} = ۰V است. نتیجه، مشخصه انتقالی ترسیم شده در شکل (۴۱-۱۰) می‌باشد که ناحیه خطی تقویت کننده بین ولتاژهای ورودی ۰/۹- و ۱/۲ mV+ و نوسان ولتاژ خروجی بین ۴/۴۰- و ۴/۵۴+ است. بنابراین یک تخمین تقریبی از بهره تفاضلی، ۴۲۵۷ V/V است و تقویت کننده دارای ولتاژ آفست ورودی ۲۲۰- μV است.



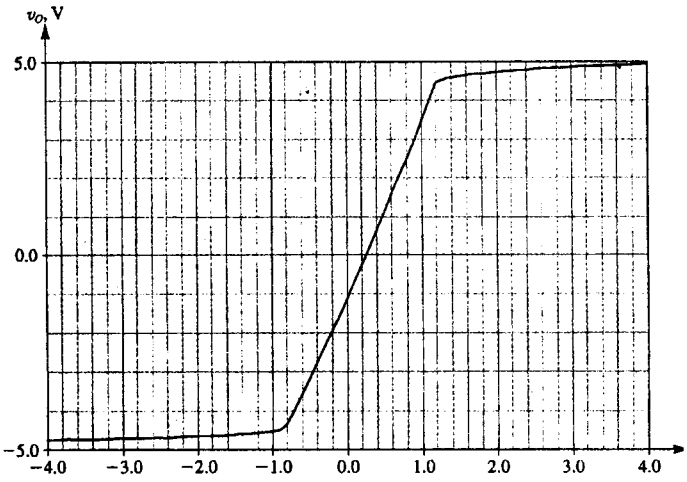
شکل ۴۰-۱۰. مدار تقویت کننده عملیاتی COMS دو طبقه برای شبیه سازی SPICE مثال (۳-۱۰) [توجه کنید که تحلیل دستی این مدار در مثال ۲-۱۰ انجام شده است] ترکیب ورودی مورد استفاده نیز در شبیه سازی SPICE نشان داده شده است. فایل ورودی در ضمیمه ت آمده است.

در مرحله بعد، ولتاژ ورودی حالت مشترک در گستره ۵V- تا ۵V+ جاروب می‌شود و ولتاژ آفست با اعمال ولتاژ ورودی تفاضلی dc، ۲۲۰μV+، صفر می‌شود. مشخصه انتقالی v_O-v_{CM} در شکل (۴۲-۱۰) ترسیم شده و گستره ورودی حالت مشترک از ۵V- تا ۳/۱V+ را نشان می‌دهد.

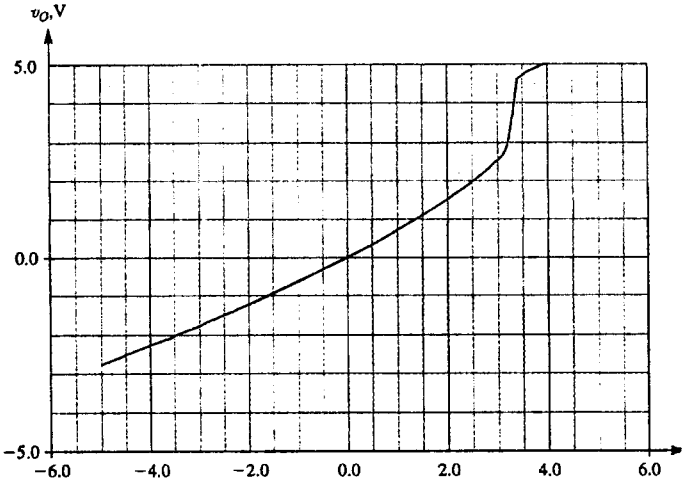
سپس تحلیل نقطه کار dc انجام می‌شود و بهره تفاضلی سیگنال کوچک با استفاده از فرمان TF. محاسبه می‌گردد. نتایج بصورت صفحهٔ بعد آمده است.

به خواننده توصیه می‌کنیم که نقطه کار dc و مقادیر پارامترهای سیگنال کوچک g_m و r_o ترانزیستورها را با مقادیر متناظر به دست آمده از تحلیل دستی مثال (۲-۱۰) که در جدول (۲-۱۰) فهرست شده مقایسه کند. اثر چشمپوشی از مدولاسیون طول کانال مشهود است چون همه جریان‌های dc قدری بزرگتر از مقادیر به دست آمده از تحلیل دستی هستند. همچنین دیده می‌شود که ترانزیستورهای M_1 و M_2 (Q_1 و Q_2 در مثال ۲-۱۰) دارای اثر بدنه هستند و در نتیجه ولتاژهای آستانه آن‌ها به جای ۱V فرض شده در تحلیل دستی ۱/۵۱V است. این نکته تقریباً جدی است و منجر به اختلاف بین نتایج تحلیل دستی و شبیه سازی می‌شود. توجه کنید که مقدار r_o نیز قدری با مقدار فرض شده در تحلیل دستی متفاوت است.

بدون توجه به این اختلاف‌ها، بهره سیگنال کوچک محاسبه شده توسط SPICE (۳۶۰۳V/V) بطور معقولی نزدیک به مقدار محاسبه شده توسط تحلیل دستی (۳۱۲۵V/V) است. اگر از مقادیر سیگنال



شکل ۴۱-۱۰. مشخصه انتقالی سیگنال بزرگ ورودی تفاضلی مدار تقویت کننده عملیاتی COMS نشان داده شده در شکلی (۴۰-۱۰)، سطح ولتاژ حالت مشترک ورودی روی صفر تنظیم شده است.



شکل ۴۲-۱۰. مشخصه انتقالی سیگنال بزرگ، v_O-v_{CM} برای تقویت کننده شکل (۴۰-۱۰) ولتاژ آفست ورودی با اعمال سیگنال ورودی تفاضلی dc به میزان ۲۲۰μV، حذف شده است.

NAME	M1	M2	M3	M4
MODEL	pmos_transistor	pmos_transistor	nmos_transistor	nmos_transistor
ID	-1.34E-05	-1.34E-05	1.34E-05	1.34E-05
VGS	-1.88E+00	-1.88E+00	1.46E+00	1.46E+00
VDS	-5.42E+00	-5.43E+00	1.46E+00	1.45E+00
VBS	3.12E+00	3.12E+00	0.00E+00	0.00E+00
VTH	-1.51E+00	-1.51E+00	9.52E-01	9.52E-01
VDSAT	-3.18E-01	-3.18E-01	2.83E-01	2.83E-01
GM	7.18E-05	7.18E-05	5.35E-05	5.34E-05
GDS	7.85E-07	7.84E-07	6.05E-07	6.07E-07
GMB	8.53E-06	8.53E-06	3.88E-05	3.88E-05

NAME	M5	M6	M7	M8
MODEL	pmos_transistor	nmos_transistor	pmos_transistor	pmos_transistor
ID	-2.69E-05	2.87E-05	-2.87E-05	-2.50E-05
VGS	-1.58E+00	1.45E+00	-1.58E+00	-1.58E+00
VDS	-3.12E+00	5.01E+00	-4.99E+00	-1.58E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	-9.59E-01	9.38E-01	-9.54E-01	-9.64E-01
VDSAT	-4.56E-01	2.87E-01	-4.61E-01	-4.51E-01
GM	8.64E-05	1.14E-04	9.19E-05	8.08E-05
GDS	1.09E-06	6.85E-07	9.36E-07	1.42E-06
GMB	2.63E-05	8.17E-05	2.77E-05	2.48E-05

```
****     SMALL-SIGNAL CHARACTERISTICS

         V(3)/Vd = 3.60E+03

         INPUT RESISTANCE AT Vd = 1.000E+00

         OUTPUT RESISTANCE AT V(3) = 6.210E+05
```

کوچک g_m و r_o به دست آمده از SPICE در فرمول بهره استفاده کنیم، به مقدار ۳۶۳۰V/V می‌رسیم که خیلی نزدیک به مقدار محاسبه شده SPICE است. بنابراین نتیجه می‌گیریم که فرمول مورد نظر منطقی بوده و خطای بهره عمدتاً ناشی از خطای محاسبه نقطه کار است.

از نتایج به دست آمده می‌توانیم گستره حالت مشترک ورودی و بیشترین نوسان ولتاژ خروجی را تخمین بزنیم. حد پایینی گستره حالت مشترک ورودی توسط M_1 هنگامی که ناحیه اشباع را ترک می‌کند تعیین می‌شود، که این امر هنگامی اتفاق می‌افتد که ولتاژ گیت M_1 به اندازه ولتاژ آستانه، کمتر از ولتاژ درین آن (V (V)= -۳/۵۴V) شود. با توجه به داده‌های SPICE، ولتاژ آستانه M_1، ۱/۵۱V- است و بنابراین حد پایین گستره حالت مشترک ورودی باید ۵/۱V- باشد. این نکته به خوبی با مقدار مشاهده شده از شکل (۴۲-۱۰) هماهنگی دارد. اختلاف بین این مقدار و آنچه در تمرین (۲-۱۰) به دست آمده (۴/۵V-) نتیجه ولتاژ آستانه بیشتر M_1 است.

بطور مشابه می‌توانیم از داده‌های خروجی SPICE برای تخمین حد بالایی گستره حالت مشترک ورودی به میزان ۲/۵V+، که ۰/۵V کمتر از مقدار به دست آمده از تحلیل دستی است، استفاده کنیم که باز هم به علت بیشتر بودن ولتاژ آستانه M_1 است. تشریح علت اختلاف بین مقدار ۲/۵V و مقدار مشاهده شده در شکل (۴۲-۱۰)، مشکل است. شاید علت آن این باشد که در حد بالایی گستره حالت مشترک، جریان M_5 کاهش یافته (به علت مدولاسیون طول کانال) و بنابراین جریان M_1 و M_2 و مقدار V_{GS} آن‌ها متناظراً کاهش می‌یابد. این اثر را تنها می‌توان در شبیه سازی شکل (۴۲-۱۰) مشاهده کرد و در نتیجه تحلیل نقطه کار که قبلاً ارائه شد، مشهود نیست.

سر انجام می‌توان از نتایج SPICE، بیشترین نوسان سیگنال خروجی را بصورت ۴/۴۹- تا ۴/۳۷V+ تخمین زد. این مقادیر بطور معقولی نزدیک به مقادیر مشاهده شده از شکل (۴۱-۱۰) (و پالایش شده توسط امکان Probe شبیه سازی PSPICE)، که ۴/۴۰- تا ۴/۵V+ است و تحلیل دستی مثال ۲-۱۰ (۴/۵- تا ۴/۴V+) می‌باشد.

به خواننده توصیه می‌کنیم که سایر تحلیل‌های SPICE را نظیر پاسخ فرکانسی و محدودیت‌های سرعت واکنش انجام دهد و در مورد آن‌ها تحقیق نماید.

خلاصه

- در مدار داخلی op-amp 741 از تکنیک‌های طراحی مدارهای مجتمع آنالوگ دو قطبی استفاده شده است.
- مدار 741 شامل یک طبقه تفاضلی ورودی، طبقه دوم با بهره زیاد بصورت تک‌سر، و طبقه خروجی کلاس AB می‌باشد. نمونهٔ ساختار op-amp های جدید اینگونه بوده و به طراحی دو طبقه مشهور است (غیر از طبقه خروجی). همین ساختار در op-amp های CMOS نیز به کار رفته است.
- برای دستیابی به ولتاژ و جریان افست پایین و CMRR بالا طبقه ورودی بصورت کاملاً متعادل طراحی می‌شود. CMRR با فیدبک حالت مشترک که نقطه کار dc را هم تثبیت می‌کند، افزایش می‌یابد.
- برای دستیابی به مقاومت ورودی زیاد و جریان بایاس ورودی پایین، طبقه ورودی 741 در سطح جریان بسیار کمی کار می‌کند.

- در 741 عمل محافظت از اتصال کوتاه، با روشن‌کردن یک ترانزیستور که جریان راه‌اندازی بیس طبقه خروجی را به سمت خود می‌کشد، انجام می‌شود.
- استفاده از جبران‌سازی فرکانسی میلر در 741 ما را قادر می‌سازد تا با بهره‌گیری از یک خازن جبران‌کنندهٔ نسبتاً کوچک قطب غالب را در فرکانس خیلی کم قرار دهیم.
- op–amp های دو طبقه را می‌توان بصورت یک تقویت‌کننده هدایت انتقالی که یک انتگرالگیر ایده‌آل را با C_C بعنوان خازن انتگرالگیر تغذیه می‌کند مدلسازی کرد.
- سرعت واکنش op–amp دو طبقه توسط جریان بایاس طبقه اول و خازن جبران‌کنندهٔ فرکانس تعیین می‌شود.
- اکثر op–amp ها برای کار در مدار VLSI طراحی می‌شوند. بنابراین تنها نیاز به راه‌اندازی بارهای خازنی کوچک دارند. در نتیجه بیشتر آنها طبقه خروجی با مقاومت کم ندارند.
- در یک op–amp ، CMOS دو طبقه، بهره دو طبقه تقریباً مساوی می‌باشد.
- عدم تطبیق آستانه ΔV_t و هدایت انتقالی پایین طبقه ورودی منجر به ولتاژ افست op–amp های CMOS در مقایسه با عناصر دو قطبی می‌شود.
- جبران‌سازی میلر در op–amp های CMOS نیز به کار می‌رود. اما برای قراردادن صفر انتقال در $s=\infty$ یا محور حقیقی منفی نیاز به یک مقاومت سری داریم.
- op–amp های CMOS دارای سرعت واکنش بیشتر از op–amp های دو قطبی و f_t قابل مقایسه با آن می‌باشند.
- استفاده از آرایش متوالی (Cascode) بهرهٔ طبقهٔ تقویت‌کنندهٔ CMOS را تقریباً دو برابر افزایش داده و op–amp تک‌طبقه را امکان‌پذیر می‌سازند.
- مدار کاسکود تاشده شکل (۲۷-۱۰) یک پیاده‌سازی متداول در آرایش کاسکود است. این مدار محدودهٔ حالت مشترک گسترده‌تری دارد. قطب غالب op–amp کاسکود تاشده توسط ظرفیت خازنی مجموع گره خروجی، C_L تعیین می‌شود. افزایش C_L حاشیه فاز را به بهای کاهش پهنای باند، افزایش می‌دهد.
- پهنای باند مدار کاسکود تاشده را می‌توان با بهره‌گیری از ترانزیستورهای دو قطبی برای قطعات کاسکود افزایش داد که منجر به مدار BiCMOS شکل (۲۸-۱۰) می‌شود.
- مبدلهای A/D و D/A از گروههای مهم IC های آنالوگ هستند.
- یک DAC شامل بخش‌های زیر است: (الف) مداری که جریان مرجع را تأمین می‌کند، (ب) مداری که وزنهای دودویی را بر اساس جریان مرجع مشخص می‌کند، (پ) سوئیچ‌ها که تحت کنترل بیت‌های کلمه دیجیتالی ورودی، جریانهای وزنی دودویی را در گره جمع‌کنندهٔ خروجی جهت می‌دهند، و (ت) یک op–amp که جمع جریانی را به ولتاژ خروجی تبدیل می‌کند. مدار (پ) را می‌توان با یک نردبان مقاومتی وزنی دودویی یا نردبان R–۲R پیاده‌سازی کرد.
- دو پیاده‌سازی ساده اما آهسته ADC ، مبدل نوع فیدبک [شکل (۳۶-۱۰)] و مبدل دو شیبه [شکل (۳۷-۱۰)] می‌باشند.
- سریعترین پیاده‌سازی ADC ، مبدل موازی یا سریع (flash) می‌باشد [شکل (۳۸-۱۰)].
- روش توزیع مجدد بار [شکل ۳۹-۱۰] از تکنیک‌های سوئیچ خازنی بهره برده و بویژه برای پیاده سازی ADC ها در تکنولوژی CMOS مناسب است.

مسائل

بخش ۱-۱۰ : مدار 741 OP–AMP

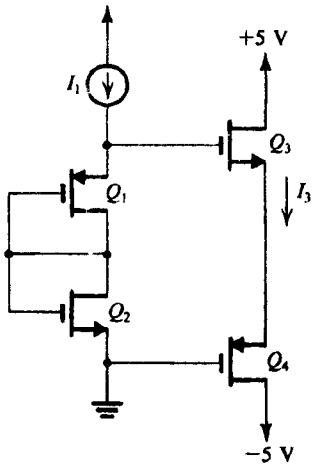
۱-۱۰ در مدار op–amp 741 شکل (۱-۱۰)، Q_1، Q_2، Q_5 و Q_6 در جریان $9/5\,\mu A$، Q_{16} در جریان $16/2\,\mu A$ و Q_{17} در جریان $550\,\mu A$ بایاس شده‌اند. همه این قطعات از نوع "npn استاندارد" با $I_S = 10^{-14}$ A ، $\beta = 200$ و $V_A = 125$ V هستند. برای هریک از ترانزیستورها، V_{BE} ، g_m ، r_e ، r_π ، r_o و r_μ را (با فرض $r_\mu = 10\,\beta r_o$) به دست آورید. نتایج را جدول‌بندی کنید. (توجه کنید که این مقادیر پارامترها در متن درس برای تحلیل مدار 741 مورد استفاده قرار گرفته‌اند)

ط ۲-۱۰ در مدار بایاس (آینه) شکل (۲-۱۰ ت) و نتایج اثبات‌شده مربوط به تمرین، جریان I_1 را در حالت $I_{S3} = 3\times10^{-14}$ A ، $I_{S4} = 6\times10^{-14}$A ، $I_{S1} = I_{S2} = 10^{-14}$A و جریان بایاس $I_3 = 154\mu A$ به دست آورید.

۳-۱۰ ترانزیستور Q_{13} در مدار شکل (۱-۱۰) بطور مؤثر شامل دو ترانزیستور با اتصال موازی پیوندهای امیتر - بیس آنها به یکدیگر و با مشخصات $I_{SA} = 0/25\times10^{-14}$A ، $I_{SB} = 0/75\times10^{-14}$ A ، $\beta = 50$ و $V_A = 50$ V می‌باشد. برای کار در جریان کلی امیتر ۰/۷۳ mA ، مقادیر پارامترهای V_{EB} ، g_m ، r_e ، r_π و r_o را برای قطعه‌های A و B به دست آورید.

۴-۱۰ در مدار شکل (۱-۱۰) ولتاژ شکست امیتر - بیس Q_1 و Q_2 ، ۷V می‌باشد. در حالی که همین ولتاژ برای Q_3 و Q_4 ، ۵۰ V است. در چه ولتاژ ورودی تفاضلی شکست ترانزیستورهای طبقه ورودی اتفاق می‌افتد؟

ط *۵-۱۰ شکل (م ۵-۱۰) نوع CMOS مدار شکل (۲-۱۰ ت) را نشان می‌دهد. رابطهٔ بین I_3 و I_1 را برحسب k_1 ، k_2 ، k_3 و k_4 چهار ترانزیستور با فرض اینکه آستانه ولتاژ آنها مساوی است، به دست آورید. توجه کنید که $k = \frac{1}{2}\mu C_{ox}W/L$ در حالت $k_1 = k_2$ و $k_3 = k_4 = 16\,k_1$ مقدار لازم برای I_1 را که منجر به جریان بایاس ۱/۶ mA برای ترانزیستورهای Q_3 و Q_4 شود پیدا کنید.



شکل (م ۵-۱۰)

بخش ۲-۱۰ : تحلیل dc ی 741

ط ۶-۱۰ در مدار 741 اگر منابع تغذیه ±۵ V باشند جریان مرجع ورودی I_{REF} را تخمین بزنید. با فرض اینکه دو BJT دارای $I_S = 10^{-14}$A باشند مقدار دقیقتری را به دست آورید. برای داشتن جریانی مساوی با

حالت وجود منابع تغذیه ۱۵ V± در طرح اصلی، در صورت استفاده از تغذیه ۵ V± مقدار R_5 باید چقدر باشد؟

ط ۷-۱۰ در قسمت بایاس مرجع مدار شکل (۱-۱۰) بجای R_5، یک JFET کانال n را بطور مناسب قرار می‌دهیم.
(الف) اگر مقاومت خروجی JFET در حالت انسداد بی‌نهایت باشد، I_{DSS} لازم را برای برقراری جریان I_{REF} = ۰/۷۳ mA به دست آورید.
(ب) اگر JFET دارای ولتاژ ارلی V_A=۵۰V، I_{DSS} = ۰/۵ mA و V_P = −۲V باشد، I_{REF} را برای ولتاژهای تغذیه ۵ V± و ۱۵ V± به دست آورید.
(پ) کمترین ولتاژ تغذیه که به ازای آن I_{REF} خیلی سریع از مقدار طراحی انحراف پیدا کند چقدر است؟

***۸-۱۰** در مدار 741 حلقه فیدبک حالت مشترک تشکیل شده از Q_1، Q_2، Q_3، Q_4، Q_8، Q_9 و Q_{10} را درنظر بگیرید. می‌خواهیم بهره حلقه را به دست آوریم. بدین منظور می‌توانید حلقه را بین اتصال کلکتور مشترک Q_1 و Q_2 و ترانزیستور بسته شده بصورت دیود Q_8، قطع کنید. سیگنال جریان آزمایشی I_t را به Q_8 اعمال کرده جریان برگشتی I_r را در اتصال کلکتور مرکب Q_1 و Q_2 و بنابراین بهره حلقه را به دست آورید.
فرض کنید Q_9 و Q_{10} مانند منابع جریان ایده‌آل عمل کنند. اگر Q_3 و Q_4 دارای β = ۵۰ باشند، میزان فیدبک حالت مشترک را بر حسب dB به دست آورید.

ط ۹-۱۰ منبع جریان وایدلر شکل (۲-۱۰) را برای تولید جریان I_{C10} = ۲۰μA با I_{REF} = ۰/۵ mA را طراحی کنید. اگر در ترانزیستور I_S = ۱۰$^{-14}$A باشد با فرض بالابودن β، V_{BE11} و V_{BE10} را به دست آورید.

۱۰-۱۰ تحلیل طبقه ورودی 741 شکل (۳-۱۰) را درنظر بگیرید. در چه مقداری از β_P، جریانهای Q_1 و Q_2 با مقدار ایده‌آل I_{C10}/۲، ۱۰% تفاوت دارد؟

ط ۱۱-۱۰ تحلیل طبقه ورودی 741 شکل (۳-۱۰) را در حالت I_{S9} = ۲I_{S8} درنظر بگیرید. در I_{C10} = ۱۹ μA و با فرض بالابودن β_P، I چقدر می‌شود؟ منبع وایدلر را برای برقراری جریان I_{C1} = I_{C2} = ۹/۵μA مجدداً طراحی کنید.

۱۲-۱۰ در مدار آینه شکل (۴-۱۰) با مقادیر عناصر و بایاس ذکرشده در متن برای مدار 741، اگر R_2 را اتصال کوتاه کنیم، جریان Q_6 چقدر می‌شود؟

ط ۱۳-۱۰ می‌خواهیم مدار شکل (۴-۱۰) را با انتخاب مقدار جدید R_3 طراحی کنیم به نحوی که اگر از جریان بایاس صرفنظر نکنیم، جریان کلکتور Q_5، Q_6 و Q_7 با فرض جریان ورودی I_{C3} = ۹/۴ μA، مساوی شوند. مقدار جدید R_3 و هرسه جریان را به دست آورید. بیادآورید که β_N = ۲۰۰ می‌باشد.

۱۴-۱۰ مدار ورودی op−amp 741 شکل (۱-۱۰) را با شرط این که جریان امیتر Q_8 تقریباً ۱۹ μA باشد درنظر بگیرید. اگر در Q_1، β=۱۵۰ و در Q_2، β =۲۰۰ باشد. جریان بایاس ورودی I_B و جریان افست ورودی I_{OS} مربوط به op−amp را به دست آورید.

۱۵-۱۰ در یک کاربرد خاص جریانهای بایاس و افست IC های 741 باید به ترتیب ۴۰ nA و ۴ nA باشند. با فرض این که سایر پارامترها عادی باشند کمترین مقدار β_N و تغییرات آن را به دست آورید.

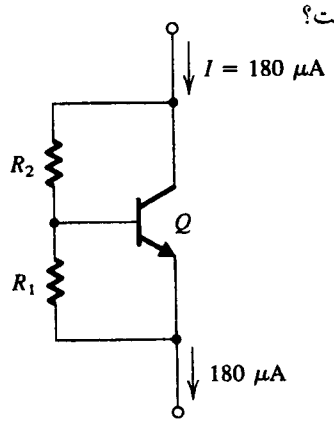
۱۶-۱۰ یک اشکال در هنگام ساخت op−amp 741 باعث می‌شود که نسبت انتقال جریان مدار آینه که طبقه ورودی را بارگذاری می‌کند ۰/۹A/A شود. اگر قطعات ورودی (Q_1 تا Q_4) کاملاً منطبق و β زیاد باشد جریان بایاس ۹/۵ μA است. ولتاژ افست ورودی حاصل چقدر است؟

۱۷-۱۰ حل تمرین (۴-۱۰) بر اساس این فرض که عملکرد خطی BJT با بایاس مستقیم شدن پیوند کلکتور - بیس مختل می‌شود صورت گرفت. اگر با وجود ۰/۳ V بایاس مستقیم کلکتور - بیس عملکرد همچنان خطی باشد، گسترهٔ حالت مشترک ورودی چقدر می‌شود؟

ط ۱۸-۱۰ طرح طبقه دوم 741 را درنظر بگیرید. برای کاهش I_{C16} به ۹/۵ μA، R_9 باید چقدر باشد؟

ط ۱۹-۱۰ طبقه خروجی 741 شکل (۵-۱۰) را درنظر بگیرید. برای این که I_{C19} = I_{C18} شود. R_{10} باید چقدر باشد؟ مقادیر I_{C14} و I_{C20} حاصل چقدر است؟

ط *۲۰-۱۰ یک راه دیگر برای تأمین ولتاژ بایاس ترانزیستورهای خروجی مدار ضرب‌کنندهٔ V_{BE} شکل (م ۲۰-۱۰) می‌باشد. مدار را طوری طراحی کنید که ولتاژ پایانه ۱/۱۱۸ V باشد (همان مقدار مدار 741). طراحی خود را بر اساس جاری شدن نیمی از جریان در R_1 و فرض I_S = ۱۰$^{-14}$A و β = ۲۰۰ انجام دهید. مقاومت افزایشی بین دو پایانه مدار ضرب‌کننده V_{BE} چقدر است؟



شکل (م ۲۰-۱۰)

۲۱-۱۰ در مدار شکل (۱-۱۰) جریان کل لازم از منبع تغذیه هنگامی که op−amp در حالت خطی اما بدون بار کار می‌کند چقدر است؟ توان مصرفی حالت ساکن مدار را تخمین بزنید. (راهنمایی: از جدول ۱-۱۰ استفاده کنید)

بخش ۳-۱۰ : تحلیل سیگنال کوچک طبقه ورودی 741

۲۲-۱۰ مدل طبقه ورودی 741 شکل (۶-۱۰) را با دو ترانزیستور بسته شده بصورت دیود npn اضافی Q_{1a} و Q_{2a} درنظر بگیرید که بین قطعات npn و pnp موجود هرکدام در یک طرف متصل شده‌اند. ثابت کنید که این قطعات اضافی باید در همان جریان Q_1 تا Q_4 یعنی ۹/۵μA بایاس شوند.

مقادیر زیر را به دست آورید: R_{id}، G_{m1}، R_{o4}، مقاومت خروجی طبقه اول یعنی R_{o1}، بهره ولتاژ مدار باز جدید یعنی $G_{m1}R_{o1}$ این مقادیر را با مقادیر اصلی مقایسه کنید.

ط ۲۳-۱۰ تغییر نسبتاً ساده‌ای که می‌توان جهت افزایش مقاومت خروجی بار آینهٔ طبقه اول مثلاً ۲ برابر، روی آن انجام داد چیست؟

۲۴-۱۰ تمرین (۶-۱۰) را با قراردادن مقاومتهای ۲ kΩ بجای $R_1=R_2$ تکرار کنید.

***۲۵-۱۰** در مثال (۱-۱۰) اثر عدم تطبیق بین R_1 و R_2 را روی ولتاژ افست ورودی op-amp بررسی کردیم. متقابلاً می‌توان R_1 و R_2 را جهت جبران ولتاژ افست ورودی op-amp دچار عدم تطبیق کرد (بطور مثال با استفاده از مدار شکل (م ۲۵-۱۰))

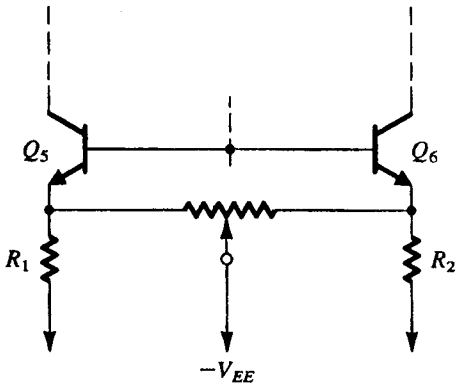
(الف) نشان دهید که با ایجاد عدم تطبیق نسبی بمیزان $\Delta R/R$ بین R_1 و R_2 بصورت زیر می‌توان ولتاژ افست ورودی را جبران‌سازی کرد (یعنی آن را صفر کرد):

$$\frac{\Delta R}{R}=\frac{V_{OS}}{2V_T}=\frac{1+r_e/R}{1-V_{OS}/2V_T}$$

در رابطه فوق r_e مقاومت امیتر ترانزیستورهای Q_1 تا Q_6 و R مقدار نامی R_1 و R_2 است. (راهنمایی: از معادله ۱۰-۱۰ استفاده کنید).

(ب) $\Delta R/R$ را برای صفرکردن ولتاژ افست ۵ mV به دست آورید.

(پ) بیشترین ولتاژ افست را که می‌توان با این روش صفر کرد چقدر است؟ (متناظر با R_2 کاملاً اتصال کوتاه شده)



شکل (م ۲۵-۱۰)

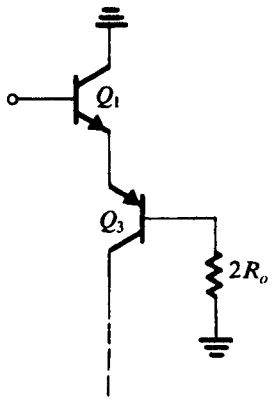
۲۶-۱۰ به علت اشکالی در فرآیند، βی Q_4 در شکل (۱-۱۰) به ۲۵ تقلیل یافته در حالی که βی Q_3 مقدار عادی خود یعنی ۵۰ را دارد. ولتاژ افست ورودی چقدر است؟ (راهنمایی از روش مثال ۱-۱۰ پیروی کنید)

۲۷-۱۰ در مدار شکل (۱-۱۰) مقاومتهای R بطور سری به امیترهای Q_8 و Q_9 متصل شده‌اند. مقاومت از دید کلکتور Q_9، R_{o9} چقدر می‌شود؟ به ازای چه مقداری از R، R_{o9} با R_{o10} مساوی می‌شود؟ در این حالت R_o منبع در گره Y چقدر می‌شود؟

۲۸-۱۰ به شکل (۷-۱۰ ت) رجوع کرده، فرض کنید $R_1=R_2$ باشد. Q_3 و Q_4 دارای βهای غیریکسان هستند بگونه‌ای که اگر بهره جریان Q_3، β_P باشد، بهره جریان Q_4، $k\beta_P$ خواهد بود. i_o و G_{mcm} را پیدا کنید. برای $R_o=2.43\,M\Omega$ ، $\beta_P=20$ ، $0.5\le k\le 2$ ، $G_{m1}(\text{تفاضلی})=\frac{1}{5.26}\,k\Omega$ ، $\text{CMRR}\equiv G_{m1}/G_{mcm}$ را در بدترین حالت به دست آورید (بر حسب دسی‌بل). فرض کنید سایر مشخصات ایده‌آل است.

***۲۹-۱۰** اثر اتصال کوتاه کردن R_1 یا R_2 یا هردوی آنها در شکل (۱-۱۰) بر بهره تفاضلی op-amp 741 چیست؟ (به شکل ۷-۱۰ رجوع کنید) برای آسانی کار فرض کنید $\beta=\infty$ باشد.

***۳۰-۱۰** شکل (م ۳۰-۱۰) نیمی از مدار معادل حالت مشترک طبقه ورودی 741 را نشان می‌دهد. R_o در اینجا مقاومت دیده شده با نگاه به سمت چپ گره Y در شکل (۱-۱۰) و مقدار آن تقریباً $2.4\,M\Omega$ است. جریان بایاس ترانزیستورهای Q_1 و Q_3، $9.5\,\mu A$ می‌باشد. مقاومت ورودی نیم مدار حالت مشترک را با استفاده از $\beta_N=200$، $\beta_P=50$، $r_o=10\,\beta r_o$، $r_\mu=125\,V$ ، $V_{Anpn}=125\,V$ ، $V_{Apnp}=50\,V$ به دست آورید. در مورد پیداکردن مقاومت ورودی حالت مشترک 741 توجه کنید که 741 دارای فیدبک حالت مشترک است که مقاومت ورودی حالت مشترک را افزایش می‌دهد. بهره حلقه تقریباً مساوی β_P است. مقدار R_{icm} را به دست آورید.



شکل (م ۳۰-۱۰)

بخش ۴-۱۰ : تحلیل سیگنال کوچک طبقه دوم 741

۳۱-۱۰ تغییری در مدار طبقه دوم 741 بصورت $R_8=50\,\Omega$ درنظر بگیرید. R_{i2} و G_{m2} متناظر چه مقداری دارند؟

۳۲-۱۰ در تحلیل طبقه دوم 741، توجه کنید که R_{o2} بشدت تحت تأثیر مقدار کم R_{o13B} قرار می‌گیرد. تأثیر این مقاومت را با قراردادن مقاومتهای متناسب در امیتر هریک از ترانزیستورهای Q_{12}، Q_{13A} و Q_{13B} نشان می‌دهیم. چه مقاومتی بایستی در امیتر Q_{13B} قرار داد تا R_{o13B} مساوی R_{o17} شده و بنابراین مقدار R_{o2} نصف شود؟ مقاومتهای امیترهای دیگر بایستی چقدر باشند؟

بخش ۵-۱۰ : تحلیل طبقه خروجی 741

۳۳-۱۰ دریک 741 با تغذیه $\pm 5V$ ، $|V_{BE}|=0.6V$ و $|V_{CEsat}|=0.2V$ می‌باشد. حدود ولتاژ خروجی را به دست آورید.

ط ۳۴-۱۰ در نمایشی دیگر از طبقه خروجی 741، Q_{23} مورد استفاده قرار نمی‌گیرد. یعنی بیس و امیتر آن بهم متصل شده است. انعکاس $R_L=2k\Omega$ را به Q_{17} مجدداً ارزیابی کنید. A_2 چقدر می‌شود.

۳۵-۱۰ مدار محدودکنندهٔ جریان مثبت شامل Q_{13A}، Q_{15} و R_6 را درنظر بگیرید. جریان R_6 را هنگامی که جریان کلکتور Q_{15} مساوی جریان

Q_{13A} (۱۸۰ μA) منهای جریان بیس Q_{14} شود به دست آورید (نیاز به یکی دو بار تکرار دارید).

*۳۶-۱۰ مدار محدودکننده جریان کشیده‌شده شامل R_7، Q_{21}، Q_{24}، R_{11} و Q_{22} را درنظر بگیرید. به ازای چه جریانی در R_7، جریان Q_{22} مساوی با ماکزیمم جریان طبقه ورودی یعنی جریان Q_8 است؟ با چه تغییر ساده‌ای می‌توان این حد جریان را به ۱۰ mA کاهش داد؟

بخش ۶-۱۰ : بهره و پاسخ فرکانسی 741

۳۷-۱۰ فقط با استفاده از اطلاعات معادله (۲۸-۱۰) برای بهرهٔ کلی 741 با بار ۲ kΩ و تحقق فاکتور ۰/۹۷ در رابطهٔ بار، بهرهٔ ولتاژ مدارباز، مقاومت خروجی و بهره را با بار ۲۰۰ Ω به دست آورید. ماکزیمم ولتاژ خروجی برای این بار چقدر است؟

۳۸-۱۰ یک op-amp 741 دارای حاشیه فاز °۸۰ است. اگر انتقال فاز اضافی در قطب منفرد دوم صورت گیرد، فرکانس این قطب را به دست آورید.

۳۹-۱۰ یک op-amp 741 دارای حاشیه فاز °۸۰ است. اگر قطبهای سوم و دوم تقریباً بر هم منطبق باشند فرکانس آنها چقدر است؟

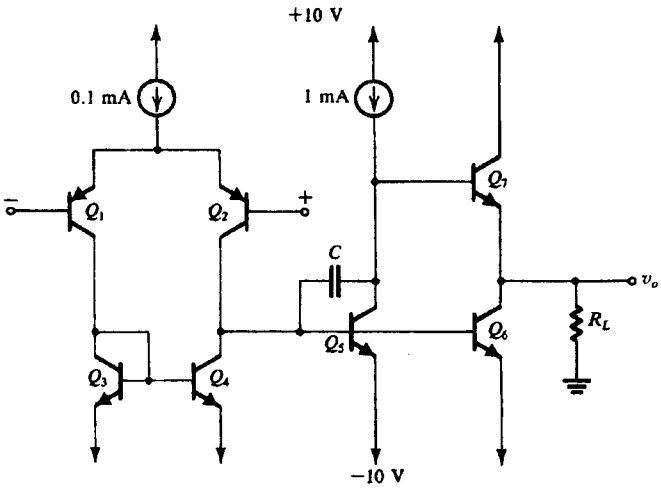
ط ۴۰-۱۰ در یک op-amp اصلاح شده که قطب دوم آن در ۵۰ MHz است، فرکانس قطب غالب برای حاشیه فاز °۸۵ با بهرهٔ حلقه بسته ۱۰۰ چقدر است؟ فرض کنید C_C قطب غالب را کنترل کند. مقدار C_C لازم چقدر است؟

۴۱-۱۰ یک op-amp جبران‌شدهٔ داخلی دارای f_t=۵MHz و 10^6=بهرهٔ dc از جبران‌سازی میلر در یک طبقه تقویت‌کنندهٔ وارونگر با بهرهٔ ۱۰۰۰، استفاده می‌کند. اگر بزرگترین خازن مجاز ۵۰ pF باشد برای جبران‌سازی از چه مقاومتی در ورودی باید استفاده کرد؟

۴۲-۱۰ مدل op-amp انتگرالگیر شکل (۲۰-۱۰) را درنظر بگیرید. درحالت G_{m1} = ۱۰ mA/V، C_C = ۵۰ pF و مقاومت 10^8 Ω موازی با C_C، نمودار بودی را برای اندازهٔ بهره حلقه باز رسم کنید. اگر G_{m1} با معادلهٔ (۴۰-۱۰) به جریان طبقه اول مرتبط شود، سرعت واکنش op-amp را به دست آورید.

۴۳-۱۰ در یک تقویت‌کننده با سرعت واکنش ۱۰ V/μS پهنای باند تمام قدرت برای خروجی‌های ±۱۰ V چقدر است؟ اگر شکل مدار شبیه 741 باشد، پهنای باند بهره واحد، ω_t مورد انتظار شما چقدر است؟

ط**۴۴-۱۰ شکل (م ۴۴-۱۰) مدار مناسب را برای کاربردهای op-amp نشان می‌دهد. در همه ترانزیستورها β = ۱۰۰ و V_{BE}=۰/۷V و r_o = ∞ می‌باشد.
(الف) در حالتی که ورودیها زمین شده و خروجی در صفر باشد (با فیدبک منفی) جریانهای امیتر همه ترانزیستورها را به دست آورید.
(ب) بهرهٔ تقویت‌کنندهٔ با بار ۱۰ kΩ را به دست آورید.
(پ) با بار حالت (ب) مقدار خازن C لازم را برای فرکانس ۳dB برابر با ۱kHz محاسبه کنید.



شکل (م ۴۴-۱۰)

بخش ۷-۱۰ : op-amp های CMOS

ط*۴۵-۱۰ در یک طراحی خاص CMOS op-amp شکل (۲۳-۱۰) می‌خواهیم اثرات چهار برابرشدن نسبت W/L مربوط به Q_1 و Q_2 را بررسی کنیم. فرض کنید پارامترهای دیگر بدون تغییر بمانند.
(الف) تغییرات حاصل در $(|V_{GS}| - |V_t|)$ و g_m مربوط به Q_1 و Q_2 را به دست آورید.
(ب) تغییرات حاصل در بهرهٔ ولتاژ طبقه ورودی چقدر است؟ در ولتاژ کلی چقدر؟
(پ) اثر آن بر ولتاژ افست ورودی چیست؟ (می‌توانید به بخش ۷-۶ رجوع کنید)
(ت) اگر f_t بدون تغییر بماند (طوری که حاشیه فاز کاهش نیابد) C_C باید چقدر تغییر کند؟ تغییر متناظر در سرعت واکنش تقویت‌کننده چقدر است؟

۴۶-۱۰ تقویت‌کننده شکل (۲۳-۱۰) را که پارامترهای آن در مثال (۲-۱۰) مشخص شده را درنظر بگیرید. اگر در نتیجهٔ خطای ساخت نسبت W/L مربوط به Q_7، ۱۸۰/۱۰ شود جریان آن را به دست آورید. بدین ترتیب ولتاژ افست اصولی را که در خروجی ظاهر می‌شود پیدا کنید. (از نتایج مثال ۲-۱۰ استفاده کنید) فرض کنید بهرهٔ حلقه باز تقریباً بدون تغییر در همان مقدار مثال (۲-۱۰) ثابت می‌ماند. ولتاژ افست ورودی متناظر با آن را به دست آورید.

۴۷-۱۰ طبقه ورودی CMOS op-amp شکل (۲۳-۱۰) را با دو ورودی زمین شده درنظر بگیرید. فرض کنید هر دو طرف طبقه ورودی کاملاً یکسانند غیر از اینکه ولتاژهای آستانه Q_3 و Q_4 دارای عدم تطبیق ΔV_t هستند. نشان دهید جریان $g_{m3}\Delta V_t$ در خروجی طبقه اول ظاهر می‌شود. ولتاژ افست ورودی متناظر با آن چقدر است؟ این ولتاژ افست را در مدار توصیف شده در مثال (۲-۱۰) برای ΔV_t = ۲ mV محاسبه کنید. (از نتایج مثال ۲-۱۰ استفاده کنید)

۴۸-۱۰ مقاومت خروجی حلقه باز شکل (۲۳-۱۰) که پارامترهای آن در مثال (۲-۱۰) مشخص شده‌اند چقدر می‌باشد؟ برای فیدبک بهرهٔ واحد R_{out} چقدر می‌شود؟ (از نتایج مثال ۲-۱۰ استفاده کنید)

ط ۴۹-۱۰ در تقویت‌کنندهٔ تحلیل شدهٔ مثال (۲-۱۰):
(الف) مقدار C_C را طوری به دست آورید که $f_t = ۰/۵$ MHz شود.
(ب) برای $R = ۱/G_{m۲}$، ماکزیمم مقدار ظرفیت خازنی بار $C_۲$ برای حاشیه فاز حداقل °۴۵ چقدر است؟

ط ۵۰-۱۰ می‌خواهیم شبکه جبران‌سازی فرکانس را برای تقویت کنندهٔ شکل (۲۳-۱۰) با پارامترهای مثال (۲-۱۰) طراحی کنیم. صفر انتقال باید در فرکانس بی‌نهایت و حاشیه فاز تقویت‌کننده با ظرفیت خازنی مجموع خروجی ۱۰ pF، °۸۰ باشد. مقادیر لازم C_C و R چقدر هستند؟ f_t و SR چقدر؟

ط* ۵۱-۱۰ شبکه جبران‌سازی مسأله (۵۰-۱۰) را این بار با قراردادن صفر انتقال در قسمت منفی محور حقیقی مجدداً طراحی کنید. بدین طریق فاز مثبتی ایجاد می‌شود که حاشیه فاز را افزایش می‌دهد. شبکه را طوری طراحی کنید که $f_t = ۱$ MHz و حاشیه فاز با ظرفیت خازنی مجموع خروجی ۱۰ pF، °۸۰ باشد. C_C و R و سرعت واکنش را با فرض اینکه $C_۲$ و C_C بسیار بزرگتر از $C_۱$ هستند، به دست آورید.

۵۲-۱۰ یک تقویت‌کنندهٔ CMOS دو طبقه مشابه شکل (۲۳-۱۰) دارای سرعت واکنش ۵ V/μS و $f_t = ۲$ MHz است. اگر جریان بایاس اولین طبقه ($۲I$ μA) ۵۰ باشد، C_C باید چقدر باشد؟ اگر قطعات دارای آستانه ۱V باشند، ولتاژ بایاس گیت به سورس طبقه ورودی چقدر است؟ در یک فرآیند که در آن $\mu_n C_{ox} = ۲۰\ \mu A/V^۲$ است، نسبت W/L قطعات طبقهٔ ورودی چقدر است؟

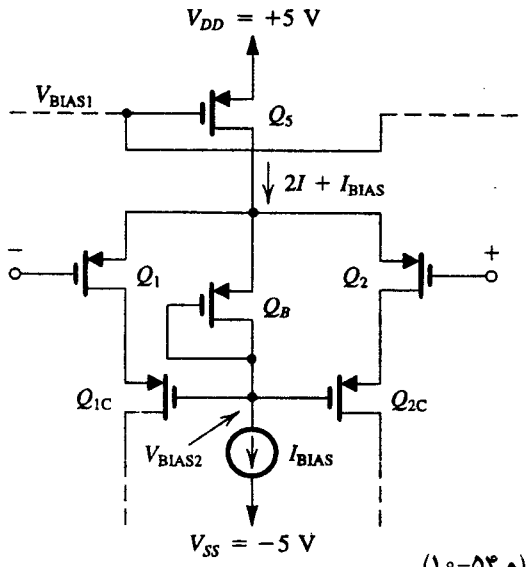
**** ۵۳-۱۰** در یک تقویت‌کنندهٔ CMOS که مکمل شکل (۲۳-۱۰) است، هر قطعه با مکملش با همان اندازه فیزیکی و معکوس‌کردن تغذیه جایگزین می‌شود. از شرایط مثال (۲-۱۰) استفاده کنید. برای همهٔ قطعات I_D، g_m، r_o را به دست آورید. $A_۱$، $A_۲$، بهرهٔ حلقه باز dc، گسترهٔ حالت مشترک ورودی و گسترهٔ ولتاژ خروجی را پیدا کنید. از تأثیر V_A بر بایاس صرفنظر کنید.

بخش ۸-۱۰: آرایشهای دیگر برای CMOS op-amp و BiCMOS

**** ۵۴-۱۰** طبقه ورودی متوالی شکل (۲۵-۱۰) را درنظر بگیرید. فرض کنید $۲I = ۲۵\ \mu A$، $\mu_p C_{ox} = ۱۰\ \mu A/V۲$، $|V_t| = ۱$ V و W/L برای $Q_۱$، $Q_۲$، $Q_{۱C}$ و $Q_{۲C}$، ۱۲۰/۸ باشد. $V_{BIAS۲}$ باید به چه مقداری زیر ولتاژ اتصال سورس مشترک $Q_۱$ و $Q_۲$ تنظیم شود طوری که $Q_۱$، $Q_۲$ و $Q_{۱C}$ و $Q_{۲C}$ در مرز ناحیه اشباع کار کنند. روشی که معمولاً مورد استفاده قرار می‌گیرد تولید $V_{BIAS۲}$ از طریق اختلاف ولتاژ ثابت بین سورسهای $Q_۱$ و $Q_۲$ و گیتهای $Q_{۱C}$ و $Q_{۲C}$ در شکل (م ۵۴-۱۰) می‌باشد. اگر I_{BIAS}، ۵ μA انتخاب شود نسبت W/L لازم برای Q_B را به دست آورید. همچنین اگر W/L مربوط به $Q_۵$، ۱۵۰/۱۰ باشد، $V_{BIAS۱}$ باید چقدر باشد؟ مدار کامل را رسم کرده، V_{GS} ترانزیستورهای $Q_۳$، $Q_{۳C}$، $Q_۴$ و $Q_{۴C}$ را با فرض $\mu_n C_{ox} = ۲۰\ \mu A/V^۲$ و W/L هریک از ترانزیستورهای $Q_{۳C}$ و $Q_۴$ مساوی ۶۰/۸ به دست آورید. گسترهٔ حالت مشترک ورودی را پیدا کنید.

۵۵-۱۰ مدار مکمل شکل (۲۶-۱۰) را رسم کنید یعنی از زوج تفاضلی کانال n در ورودی استفاده کنید.

۵۶-۱۰ مقاومت خروجی و بهرهٔ ولتاژ حلقه باز dc ی تقویت‌کننده



شکل (م ۵۴-۱۰)

کاسکود تا شدهٔ[1] شکل (۲۷-۱۰) را با پارامترهای مشخص شده در تمرین (۳۰-۱۰) به دست آورید. فرض کنید برای همه قطعات $|V_A| = ۲۵$ V باشد.

ط* ۵۷-۱۰ مدار کاسکود تاشدهٔ شکل (۲۷-۱۰) را برای دستیابی به بهرهٔ ولتاژ مدار باز dc به میزان ۱۰۰۰۰ V/V و پهنای باند بهرهٔ واحد ۱ MHz با ظرفیت خازنی مجموع خروجی ۱۰ pF طراحی کنید. طراحی را برای $I_B = ۲I$، $(W/L)_۱ = (W/L)_{۴C} = ۲\,(W/L)_{۲C}$ انجام دهید. مقادیر I و $(W/L)_۱$ را مشخص کنید. فرض کنید $\mu_n C_{ox} = ۲\mu_p C_{ox} = ۲۰\mu A/V_۲$ و $|V_A| = ۲۵$ V باشد. (راهنمایی: از معادله ۶۷-۱۰ استفاده کنید)

ط ۵۸-۱۰ می‌خواهیم مدار CMOS op-amp کاسکود تاشده با توجه به شکل (۲۷-۱۰) را طراحی کنیم. ظرفیت خازنی بار C_L (شامل همهٔ اغتشاشها) ۱۰ pF است. مجموع ظرفیت ورودی هریک از ترانزیستورهای گیت مشترک $Q_{۱C}$، $Q_{۲C}$، $C_P = ۱$pF می‌باشد. طراحی را با جریان بایاس $۲I = I_B = ۱۰۰\mu A$ و $(W/L)_{۱C} = (W/L)_{۲C} = ۱۰/۱۰$ انجام دهید برای به دست آوردن حاشیهٔ فاز کافی بایستی مطمئن شویم که $f_t \le f_P/۳$ است که در آن f_P فرکانس قطبت غیرغالب در نتیجه C_P می‌باشد. W/L لازم برای ترانزیستورهای ورودی بمنظور دستیابی به بزرگترین f_t ممکن را مشخص کنید. f_t به دست آمده چقدر است؟ فرض کنید $\mu_n C_{ox} = ۲\mu_p C_{ox} = ۲۰\mu A/V^۲$ باشد.

ط ۵۹-۱۰ یک تقویت‌کنندهٔ BiCMOS کاسکود تاشده مطابق شکل (۲۷-۱۰) برای کار در فرکانسهای بالا طراحی شده است. جریانهای بایاس $۲I = I_B = ۴۰۰\ \mu A$ و نسبت W/L ترانزیستورهای طبقهٔ ورودی ۳۰۰/۱۰ است. f_t را برای ظرفیت خازنی برای ۱۰ pF (شامل همه اغتشاش‌های گره خروجی) به دست آورید. برای نگهداشتن حاشیه فاز در یک مقدار قابل قبول قطب اغتشاشی تولیدشده در ترانزیستورهای متوالی $Q_{۱C}$، $Q_{۲C}$، باید حداقل ۳ برابر بیشتر از فرکانس f_t باشد. بیشترین ظرفیت خازنی اغتشاشی C_P چقدر است؟ فرض کنید $\mu_p C_{ox} = ۱۰\ \mu A/V^۲$ باشد.

1– folded – cascode

بخش ۹-۱۰ : مبدلهای داده - مقدمه

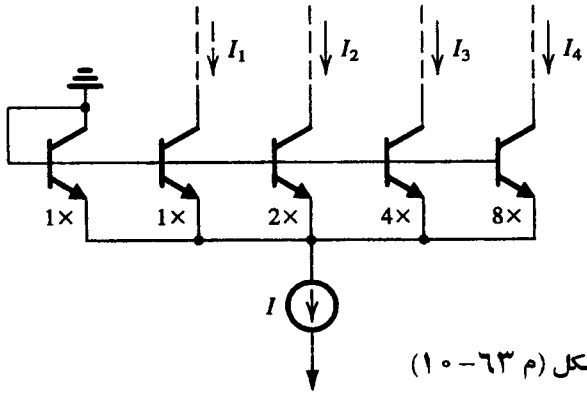
۶۰-۱۰ می‌خواهیم یک سیگنال آنالوگ در گسترهٔ صفر تا ۱۰ V را با خطای مقداردهی کمتر از ۱% تمام مقیاس، دیجیتالی کنیم. تعداد بیتهای موردنیاز چندتاست؟ دقت تفکیک این تبدیل چیست؟ اگر گستره با همان خواسته‌ها به ±۱۰V افزایش یابد، تعداد بیت‌ها چندتاست؟ اگر گستره به ±۱۵V افزایش یابد چه تعداد بیت لازم است تا همان نتایج حاصل شود؟ دقت تفکیک متناظر و خطای مقداردهی چقدر است؟

***۶۱-۱۰** شکل (۳۱-۱۰) را درنظر بگیرید. روی خروجی پلکانی مدار S/H، خروجی یک مدار RC پایین‌گذر ساده را با ثابت زمانی‌های زیر رسم کنید (الف) یک سوم بازهٔ نمونه‌برداری (ب) مساوی با بازهٔ نمونه‌برداری

بخش ۱۰-۱۰ : مدارهای مبدل D/A

***۶۲-۱۰** مدار DAC شکل (۳۲-۱۰) را در حالات ۸، ۴، ۲ = N درنظر بگیرید. درصد خطای ترانزیستورهای انتخاب‌شده برای محدودکردن خطای خروجی به $\pm\frac{1}{2}$ LSB باید چقدر باشد؟ (برحسب $\pm x\%$).

***۶۳-۱۰** BJT های مدار شکل (م ۶۳-۱۰) دارای سطح پیوند بیس - امیتر با مقیاس نسبت‌های نشان داده شده در شکل هستند. I_1 تا I_4 را برحسب I پیدا کنید.



شکل (م ۶۳-۱۰)

۶۴-۱۰ مسأله‌ای راکه در مدار شکل (۳۴-۱۰) با آن روبرو می‌شویم نیاز به سطح EBJ زیاد در صورت بزرگ‌بودن N است. یک روش، استفاده از مدار (۳۴-۱۰) فقط برای ۴ بیت است. سپس جریان به کلکتور ترانزیستور انتهایی Q_t در مدار شکل (م ۶۳-۱۰) اعمال می‌شود (بجای منبع جریان I). بدین ترتیب جریان برای ۴ بیت دیگر تأمین می‌شود. بدین طریق یک DAC ۸ بیتی با ماکزیمم گستردگی سطح ۸ می‌تواند پیاده‌سازی شود. مجموع سطح امیترهای لازم برحسب کوچکترین قطعه چقدر است؟ این مقدار را با مدار ۸ بیتی معمولی مقایسه کنید. مدار کامل مبدل حاصل را رسم کنید.

ط*۶۵-۱۰ مدار شکل (۳۲-۱۰) برای ضرب یک سیگنال آنالوگ در دیجیتال با اعمال سیگنال آنالوگ به پایانهٔ V_{ref} به کار می‌رود. در این حالت مبدل D/A، **D/A ضرب‌کننده** یا MDAC خوانده می‌شود. سیگنال سینوسی $0/1\sin\omega t$ داده شده است. با استفاده از مدار شکل (۳۲-۱۰) بهمراه یک op-amp اضافی عبارت $v_o = 10\ D\sin\omega t$ که در آن D کلمه دیجیتالی مشخص شده در معادله (۷۲-۱۰) و $N = 4$ است، به دست آورید: در خروجی چند دامنه موج سینوسی گسسته داریم؟ کمترین آن چقدر است؟ بیشترین چقدر؟ خروجی نوک تا نوک ۱۰V، معادل چه ورودی دیجیتالی است؟

۶۶-۱۰ مقاومت ورودی دیده شده توسط V_{ref} مدار شکل (۳۳-۱۰) چقدر است؟

بخش ۱۱-۱۰ : مدارهای مبدل A/D

۶۷-۱۰ در یک ADC با شیب دوگانه از نوع تشریح‌شده در شکل (۳۶-۱۰) از ساعت ۱۰ MHz استفاده شده و دارای $V_{ref} = 10$ V می‌باشد. ولتاژ ورودی آنالوگ در گسترهٔ صفر تا ۱۰ V- است. بازهٔ زمانی ثابت T_1 زمانی است که طول می‌کشد تا شمارنده، شمارش 2^N را انجام دهد. چقدر طول می‌کشد تا مبدل، ولتاژ ورودی مساوی تمام مقیاس را به دیجیتال تبدیل کند؟ اگر ولتاژ نوک خروجی انتگرالگیر به ۱۰ V برسد، ثابت زمانی انتگرالگیر چقدر است؟ اگر R، ۲% افزایش و C، ۱% کاهش یابد $V_{\text{نوک}}$ چقدر می‌شود؟ دقت تبدیل چه تغییری می‌کند؟

۶۸-۱۰ طراحی یک ADC سریع ۴ بیتی مانند شکل (۳۸-۱۰) موردنظر است. به چند مقایسه‌کننده نیاز داریم؟ برای سیگنال ورودی صفر تا ۱۰ V+ ولتاژهای مرجع موردنیاز چقدر هستند؟ نشان دهید چگونه می‌توان با استفاده از مرجع ۱۰ V و چند مقاومت ۱ kΩ آنها را تولید کرد؟ (چند مقاومت لازم است؟) اگر هر مقایسه ۵۰ ns طول بکشد و منطق مربوطه به ۳۵ns زمان احتیاج داشته باشد. بیشترین سرعت تبدیل ممکن چقدر است؟ کد دیجیتالی مورد انتظار شما در خروجی مقایسه‌کننده‌ها و خروجی منطقی به ازای ورودیهای زیر چیست؟

(الف) صفر ولت (ب) ۵/۱ V+ (پ) ۱۰ V+

فصل ۱۱

فیلترها و تقویت‌کننده‌های تنظیمی

۱-۱۱ انتقال فیلتر، انواع و مشخصه‌های آن
۲-۱۱ تابع انتقال فیلتر
۳-۱۱ فیلترهای باترورث و چبی شف
۴-۱۱ توابع فیلتر مرتبه اول و مرتبه دوم
۵-۱۱ تشدید کننده LCR مرتبه دوم
۶-۱۱ فیلترهای فعال مرتبه دوم بر اساس جایگزینی القاگر
۷-۱۱ فیلترهای فعال مرتبه‌دوم بر اساس طرح‌حلقه‌دو انتگرالگیر
۸-۱۱ فیلترهای فعال تک تقویت کننده دو مجذوری
۹-۱۱ حساسیت
۱۰-۱۱ فیلترهای سوئیچ خازنی
۱۱-۱۱ تقویت کننده‌های تنظیمی
۱۲-۱۱ مثال هایی از شبیه سازی SPICE
خلاصه - مسائل - کتابشناسی

مقدمه

دراین فصل طراحی قسمت مهم دستگاههای اندازه‌گیری و مخابراتی یعنی فیلترهای الکترونیکی را بررسی می‌کنیم. طراحی فیلتر یکی از معدود زمینه‌های مهندسی است که برای طراحی آن تئوری کامل وجود دارد، با مشخصه‌ها شروع می‌شود و به تحقق یک مدار می‌انجامد. مطالعه مفصل طراحی فیلتر یک کتاب کامل می‌طلبد و البته چنین کتابهائی وجود دارد. در این مجال کوتاه مباحثی را انتخاب می‌کنیم که برای مدارهای فیلتر و روشهای طراحی آن مفید باشد.

در قدیمی‌ترین تکنولوژی ساخت فیلترها از القاگرها و خازنها استفاده می‌شد و مدارهای به دست آمده را **فیلترهای** LC **غیرفعال** می‌نامیدند. چنین فیلترهایی در فرکانسهای بالا خوب کار می‌کنند؛ البته در کاربردهای فرکانس پایین (dc تا ۱۰۰ kHz)، القاگرهای مورد نیاز بزرگ و از نظر فیزیکی حجیم هستند، و مشخصه‌هایشان کاملاً غیرایده‌آل است. بعلاوه چنین القاگرهایی در قالب IC ساخته نمی‌شود و با توجه به روشهای جدید مونتاژ برای دستگاههای الکترونیک نامناسبند. بنابراین، اخیراً علاقه به روشهایی نشان داده می‌شود که برای ساخت فیلتر به القاگر نیازی نباشد. از بین انواع مختلف فیلترهای بدون القاگر، **فیلترهای** RC **فعال** و **فیلترهای سوئیچ خازنی** را بررسی می‌کنیم.

فیلترهای RC فعال با به کارگرفتن op-amp ها به همراه مقاومتها و خازنهایی با استفاده از تکنولوژی مدار مجزا، لایه نازک هیبرید یا لایه ضخیم هیبرید ساخته می‌شود. البته در تولید انبوه، با چنین تکنولوژیهایی ساخت قطعات یکپارچه اقتصادی نیست. در حال حاضر، ساده‌ترین راه دسترسی به فیلترهای قطعات یکپارچه استفاده از روش سوئیچ خازنی است.

در مراحل پایانی این فصل، از تقویت‌کننده‌های تنظیمی استفاده می‌شود که برای گیرنده‌های تلویزیون و رادیو طراحی می‌شود. اگرچه تقویت‌کننده‌های تنظیمی عملاً فیلترهای میان‌گذر هستند، بطور جداگانه معرفی می‌شوند زیرا طراحی آنها بر اساس تکنیک‌های تاحدی متفاوت صورت می‌گیرد.

۱-۱۱ انتقال فیلتر، انواع، و مشخصات آن

فیلترهای در دست مطالعه مدارهایی خطی هستند که بطور عام بصورت شبکه دو درگاهی شکل (۱-۱۱) نشان داده می‌شود. **تابع انتقال**

شکل ۱-۱۱. فیلترهای مطالعه شده در این فصل مدارهای خطی بوده و با یک شبکه دو دهنه نمایش داده می‌شوند. تابع انتقال $T(s) \equiv (V_o(s)/V_i(s))$ می‌باشد.

فیلتر $T(s)$ نسبت ولتاژ خروجی $V_o(s)$ به ولتاژ ورودی $V_i(s)$ است.

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} \qquad (۱۱-۱)$$

انتقال فیلتر با محاسبه $T(s)$ برای فرکانسهای فیزیکی $s = j\omega$ به دست می‌آید و آنرا بر حسب دامنه و فاز بصورت زیر می‌توان بیان نمود

$$T(j\omega) = |T(j\omega)|\, e^{j\phi(\omega)} \qquad (۱۱-۲)$$

اندازه انتقال غالباً بر حسب دسی‌بل و با عبارت **تابع بهره** بیان می‌شود.

$$G(\omega) \equiv ۲۰\log|T(j\omega)| \ , \ \text{dB} \qquad (۱۱-۳)$$

یا بصورت دیگر، بر حسب **تابع تضعیف** بیان می‌شود:

$$A(\omega) \equiv -۲۰\log|T(j\omega)| \ , \ \text{dB} \qquad (۱۱-۴)$$

یک فیلتر طیف فرکانسی سیگنال ورودی $|V_i(j\omega)|$ را بر حسب اندازه تابع انتقال $|T(j\omega)|$ شکل می‌دهد، و بنابراین یک خروجی $V_o(j\omega)$ با طیف زیر به دست می‌دهد:

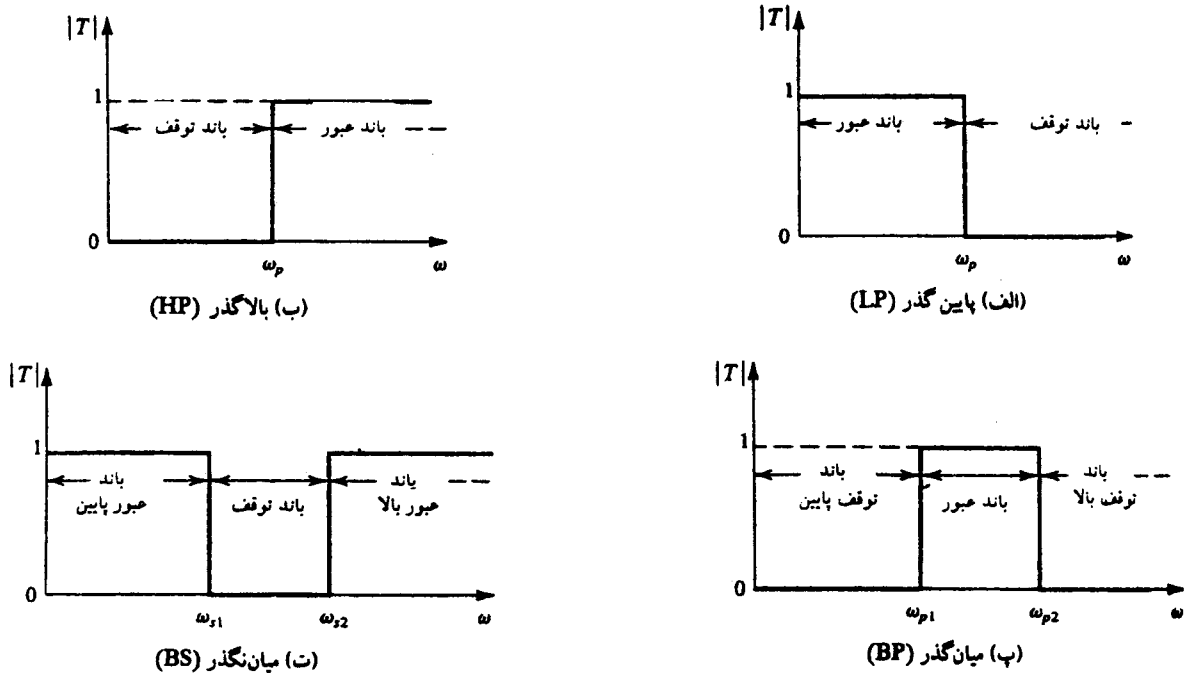
$$|V_o(j\omega)| = |T(j\omega)|\,|V_i(j\omega)| \qquad (۱۱-۵)$$

همچنین مشخصه‌های فاز سیگنال به گونه‌ای تغییر داده می‌شود تا برحسب تابع فاز فیلتر $\phi(\omega)$ از فیلتر عبور کند.

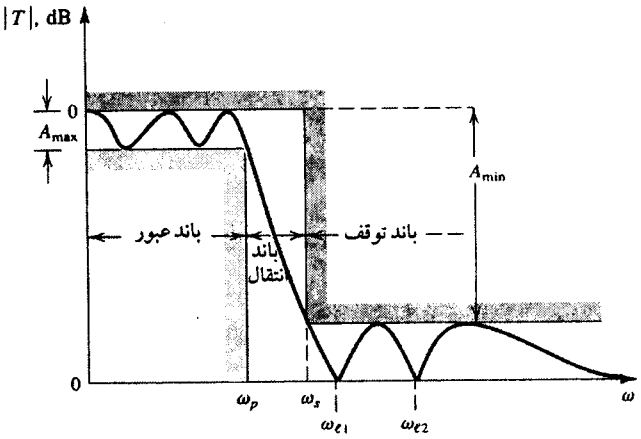
در اینجا بطور خاص به فیلترهایی توجه داریم که کار **انتخاب فرکانس** را انجام می‌دهند. سیگنالهای **عبور** که فرکانسشان در محدوده معینی قرار دارد، و سیگنالهای توقف که طیف فرکانسی‌شان در خارج این محدوده افت می‌کند. چنین فیلتری بطور ایده‌آل دارای یک باند (یا باندهای) فرکانسی است که بیش از آن اندازه انتقال واحد است (باند عبور فیلتر) و باند فرکانسی که بیش از آن انتقال صفر است (باند توقف فیلتر). شکل ۲-۱۱ مشخصه‌های انتقال ایده‌آل چهار نوع فیلتر اصلی را نشان می‌دهد: **پایین‌گذر** (LP) در شکل (الف ۲-۱۱)، **بالاگذر** (HP) در شکل (ب ۲-۱۱)، **میان گذر** (BP) در شکل (پ ۲-۱۱) و **میان نگذر** (BS) یا باند دفع در شکل (ت ۲-۱۱). این مشخصه‌های ایده‌آل، بالبه‌های عمودی مجازی آن، بعنوان پاسخ نوع **دیوار آجری** نامیده می‌شود.

مشخصه فیلتر

طراحی فیلتر با تعیین مشخصه‌های انتقال مورد نیاز فیلتر آغاز می‌شود. چنین مشخصه‌ای بصورت شکل (۲-۱۱) نمی‌تواند باشد زیرا مدارهای عملی این مشخصه‌های ایده‌آل را نمی‌توانند محقق سازند. شکل (۳-۱۱) شاخص‌های واقعی مشخصه‌های انتقال یک فیلتر پایین‌گذر را نشان می‌دهد. ملاحظه کنید که چون یک مدار عملی برای همه فرکانسهای باند عبور انتقال ثابتی دارد، شاخصه‌ها انحراف انتقال باند عبور را از ۰dB ایده‌آل اجازه می‌دهد امایک مرز بالایی، $A_{\max}(\text{dB})$ بر این انحراف قرار می‌دهد. بسته به کاربرد، $A_{\max}$ معمولاً بین ۰/۰۵ تا ۳dB است. همچنین، چون یک مدار عملی برای همه فرکانسهای باند توقف دارای انتقال صفر



شکل ۲-۱۱. مشخصات انتقال ایده‌آل چهار نوع اصلی فیلتر: (الف) پایین‌گذر(LP) (ب) بالاگذر(HP) (پ) میان گذر (BP) (ت) میان نگذر (BS)



شکل ۳-۱۱. تعیین مشخصات انتقال فیلتر پایین گذر، پاسخ اندازه فیلتر نیز روی مشخصه نشان داده شده است.

نیست، شاخصه‌های شکل (۳-۱۱) انتقالهای بیش از باند توقف را مجاز می‌شمارد. البته، لازم است شاخصه‌های باند توقف حداقل در A_{min}(dB) نسبت به سیگنالهای باند عبور با توجه به کاربرد فیلتر تضعیف شود. A_{min} می‌تواند بین ۲۰ تا ۱۰۰ dB باشد.

چون انتقال یک مدار عملی در لبه باند عبورنمی‌تواند به تندی تغییر کند، مشخصه‌های شکل (۳-۱۱) باندی ارائه می‌کند که فرکانسهای بیش از آن از ۰ dB تا A_{min} در آن تضعیف می‌شود. این **باند انتقال** از لبه باند عبور ω_p تا لبه باند توقف ω_s گسترش می‌یابد. نسبت ω_s/ω_p معمولاً بعنوان میزان تیزی پاسخ فیلتر پایین گذر استفاده می‌شود و **ضریب گزینش** نامیده می‌شود. سرانجام مشاهده کنید که برای راحتی، انتقال باند عبور ۰ dB تعیین می‌شود. البته، فیلتر نهایی، چنانچه لازم باشد، می‌تواند بدون تغییر در مشخصه‌های گزینش، دارای بهره باند عبور باشد.

بطور خلاصه، انتقال فیلتر پایین‌گذر بوسیله چهار پارامتر مشخص می‌شود:

۱ـ لبه باندعبور ω_p؛

۲ـ ماکزیمم تغییر مجاز در انتقال باند عبور، A_{max}؛

۳ـ لبه باند توقف، ω_s؛

۴ـ حداقل تضعیف باند توقف مورد نیاز، A_{min}.

بطور دقیقتر یک فیلتر دارای مشخصه های A_{max} کمتر، A_{min} بالاتر، و یا نسبت گزینش ω_s/ω_p نزدیک به واحد است. یعنی پاسخ به دست آمده به پاسخ فیلتر ایده‌آل نزدیک است. به این ترتیب، مدار فیلتر به دست آمده بایستی مرغوبتر و در نتیجه پیچیده‌تر و گران باشد.

علاوه بر تعیین اندازه انتقال، مواردی وجود دارد که پاسخ فازی فیلتر نیز مورد نظر است. البته موضوع طراحی فیلتر بطرز قابل ملاحظه‌ای پیچیده است وقتی اندازه و فاز تعیین شده است.

وقتی مشخصات فیلتر در دست است، قدم بعدی در طراحی فیلتر، یافتن تابع انتقال است تا با مقادیر مشخصه‌ها هماهنگ باشد. برای رسیدن به مشخصه‌ها، منحنی پاسخ فرکانسی باید در ناحیه بدون سایه در شکل (۳ـ۱۱) قرار گیرد. منحنی نشان داده شده در شکل برای فیلتری است که به مشخصات به خوبی دست می‌یابد. ملاحظه می‌کنید که در این فیلتر بخصوص، اندازه موجکهای پاسخ در سراسر باند گذر با نوک موجها برابر می‌شود. چون موجک نوک برابر با A_{max} است، معمولاً به A_{max} بعنوان **موجک باندگذر** و به ω_p بعنوان **پهنای باند موجک** اشاره می‌کنیم. پاسخ فیلتر خاص موجکها را در باند توقف نشان می‌دهد، بار دیگر با نوکهای موجکی که همه برابرند و دارای چنان مقداری هستند که حداقل تضعیف در باند توقف برابر با مقدار تعیین شده A_{min} بوجود می‌آید. دراین صورت گفته می‌شود که چنین پاسخ ویژه‌ای هم برای باند عبور و هم برای باند توقف دارای **موجکهای یکسان** است.

مراحل به دست آوردن یک تابع انتقال که مشخصات تعیین شده را به دست می‌دهد، بعنوان **تقریب فیلتر** شناخته می‌شود. تقریب فیلتر معمولاً با استفاده از برنامه‌های کامپیوتری و یا جداول طراحی فیلتر به دست می‌آید. در حالتهای ساده‌تر، تقریب فیلتر با استفاده از روابط دارای حالت بسته مطابق آنچه در بخش (۳-۱۱) دیده خواهد شد، به دست می‌آید.

در پایان، شکل (۴-۱۱) مشخصات انتقال یک فیلتر میان‌گذر و پاسخ مربوط به این مشخصات را نشان می‌دهد. برای این مثال، یک تابع تقریبی برمی‌گزینیم که در باند عبور موجک نداشته باشد؛ بلکه، انتقال در دو سمت فرکانس مرکزی کاهش یافته، ماکزیمم انحراف مجاز در دو لبه باند عبور حاصل می‌شود.

تمرینها

۱ـ۱۱ مقادیر تقریبی تضعیف را متناسب با انتقالهای ۱، ۰/۹۹، ۰/۹، ۰/۸، ۰/۷، ۰/۵، ۰/۱، ۰ بیابید.

جواب. ۰، ۰/۱، ۱، ۲، ۳، ۶، ۲۰، ∞ dB .

۲ـ۱۱ اگر دامنه انتقال باند عبور در حدود ۵±% ثابت باقی بماند، و اگر انتقال در باند توقف بیش از ۱% انتقال باند عبور نباشد، A_{max} و A_{min} را بیابید.

جواب. ۰/۹ dB ، ۴۰ dB ❑

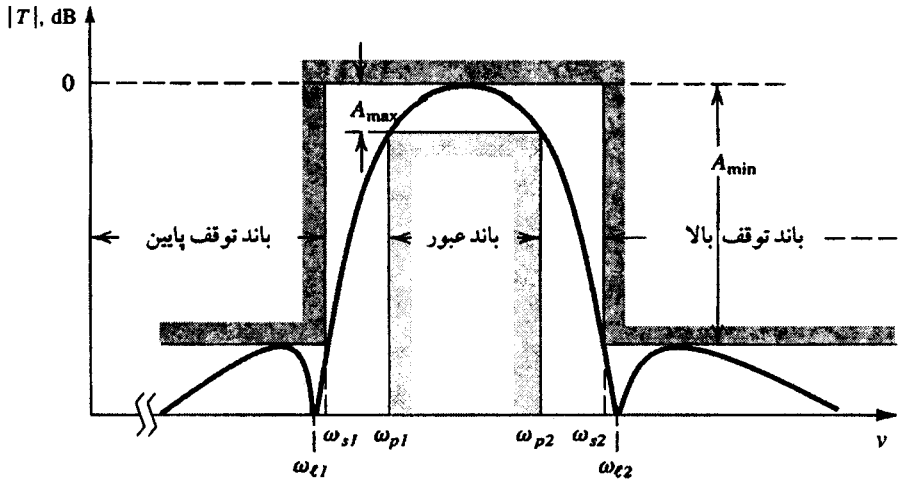
۲-۱۱ تابع انتقال فیلتر

تابع انتقال فیلتر $T(s)$ بصورت نسبت دو چند جمله‌ای به صورت زیر نوشته می‌شود:

$$T(s)=\frac{a_M s^M + a_{M-1}s^{M-1}+\ldots+a_0}{s^N + b_{N-1}s^{N-1}+\ldots+b_0} \qquad (۱۱-۶)$$

درجه مخرج، N، **مرتبه فیلتر** است. برای اینکه فیلتر، پایداری داشته باشد، درجه صورت بایستی کمتر یا برابر با مخرج باشد؛ یعنی $M\leq N$. ضرایب مخرج و صورت، a_0، a_1، . . . ، a_M و b_0، b_1، . . . ، b_{N-1}، اعداد حقیقی هستند. از چند جمله‌ای‌ها می‌توان فاکتور گرفت و $T(s)$ را می‌توان بصورت زیر بیان نمود:

$$T(s) = \frac{a_M (s-z_1)(s-z_2)\ldots(s-z_M)}{(s-p_1)(s-p_2)\ldots(s-p_N)} \qquad (۱۱-۷)$$



شکل ۴-۱۱. مشخصات انتقال فیلتر میان‌گذر، پاسخ اندازه فیلتر نیز روی مشخصه نشان داده شده‌است. توجه کنید که این فیلتر خاص دارای کاهش انتقال یکنواخت در باند عبور در دو طرف فرکانس‌های نوک است.

ریشه‌های صورت، z_1، z_2، . . . ، z_M، **صفرهای تابع انتقال** یا **صفرهای انتقال** هستند؛ و ریشه‌های مخرج، p_1، p_2، . . . ، p_N، **قطب‌های تابع انتقال**، یا **حالتهای طبیعی** هستند. هر قطب یا صفر انتقال می‌تواند یک عدد حقیقی یا مختلط باشد. البته صفرها و قطب‌های مختلط بصورت جفت مزدوج درمی‌آیند. بنابراین اگر $-1 + j2$، یک صفر باشد در آنصورت $-1-j2$ نیز یک صفر خواهد بود.

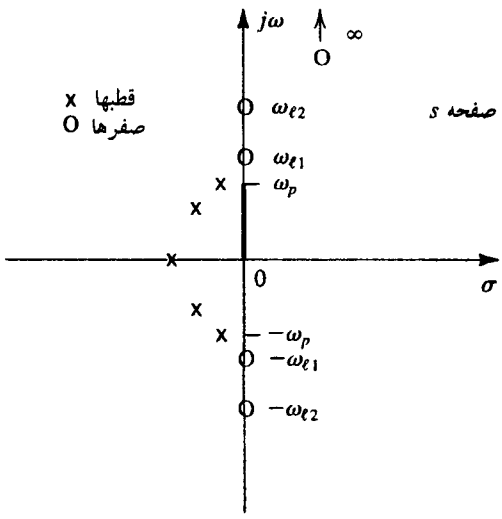
چون در باند توقف فیلتر، انتقال مورد نیاز صفر یا کوچک است، صفرهای انتقال فیلتر معمولاً بر محور $j\omega$ در فرکانسهای باند توقف قرار می‌گیرد. این مطلب برای فیلتری که تابع انتقالش در شکل (۳-۱۱) ترسیم شده صادق است. این فیلتر خاص دارای تضعیف نامحدود (انتقال صفر) در فرکانسهای باند توقف است. ω_{l1} و ω_{l2}. در آن صورت فیلتر باید دارای صفرهای انتقال در $s = +j\omega_{l1}$ و $s = +j\omega_{l2}$ باشد. البته، چون صفرهای مختلط بصورت جفت مزدوج است، صفرهای انتقال نیز باید در $s = -j\omega l_1$ و $s = -j\omega_{l2}$ باشد، بنابراین، صورت چندجمله‌ای این فیلتر دارای عامل ضرب (فاکتور) $(s+j\omega_{l1})(s-j\omega_{l1})(s+j\omega_{l2})(s-j\omega_{l2})$ است که به شکل $(s^2+\omega_{l1}^2)(s^2+\omega_{l2}^2)$ در می‌آید که برای $s=j\omega$ (فرکانس فیزیکی) به صورت $(-\omega^2+\omega_{l1}^2)(-\omega^2+\omega_{l2}^2)$ در می‌آید و در $\omega = \omega_{l1}$ و $\omega = \omega_{l2}$ حقیقتاً صفر است.

در ادامه مثال شکل (۳-۱۱)، مشاهده می‌کنیم که با نزدیک شدن ω به ∞، انتقال به سمت $-\infty$ کاهش می‌یابد. بنابراین، فیلتر باید در $s = \infty$ دارای یک یا چند صفر انتقال باشد. بطور کلی، تعداد صفرهای انتقال در $s = \infty$ برابر با اختلاف بین درجه چندجمله‌ای صورت، M، و درجه چندجمله‌ای مخرج، N، در تابع انتقال معادله (۶-۱۱) است. این بدلیل آن است که با نزدیک شدن s به ∞، $T(s)$ به a_M/s^{N-M} نزدیک می‌شود و بنابراین گویا در $s = \infty$ دارای $N-M$ صفر است.

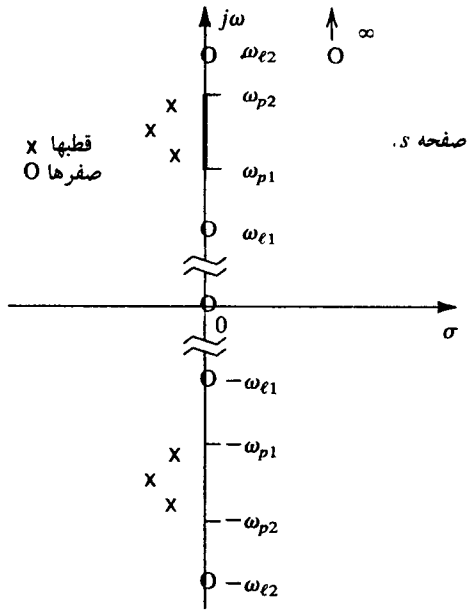
برای مدار فیلتری که باید پایداری داشته باشد، همه قطبهای آن در نیمه چپ صفحه s قرار می‌گیرد و بنابراین p_1، p_2، . . . ، p_N همه باید دارای قسمت‌های منفی واقعی باشند. شکل (۵-۱۱) مکانهای صفر و قطب را برای فیلتر پایین‌گذر نشان می‌دهد که تابع انتقالشان در شکل (۳-۱۱) ترسیم شده است. فرض کرده‌ایم که این فیلتر از مرتبه پنجم ($N=5$) است. دارای دو جفت مختلط مزدوج و یک قطب محور حقیقی برای مجموع پنج قطب است. همه قطبها در مجاورت باند عبور قرار دارند که این موجب انتقال بالای آن در فرکانسهای باند عبور می‌گردد. پنج صفر انتقال در $s = \pm j\omega_{l1}$، $s = \pm j\omega_{l2}$، و $s = \infty$ قرار دارند. بنابراین تابع انتقال این فیلتر بصورت زیر است.

$$T(s) = \frac{a_4(s^2+\omega_{l1}^2)(s^2+\omega_{l2}^2)}{s^5+b_4s^4+b_3s^3+b_2s^2+b_1s+b_0} \qquad (۸-۱۱)$$

بعنوان یک مثال دیگر، فیلتر میان‌گذری را در نظر بگیرید که پاسخ اندازه‌اش در شکل (۴-۱۱) دیده می‌شود. این فیلتر دارای صفرهای انتقال در $s = \pm j\omega_{l1}$ و $s = \pm j\omega_{l2}$ است. این فیلتر همچنین دارای



شکل ۵-۱۱. الگوی صفر - قطب فیلتر پایین گذر که انتقال آن در شکل ۳-۱۱ رسم شده است. این فیلتر، مرتبه پنجم است. ($N=5$)



شکل ۶-۱۱. الگوی صفر - قطب برای فیلتر میان‌گذر که تابع انتقال آن در شکل ۴-۱۱ نشان داده شده‌است. این فیلتر، مرتبه ششم است ($N=۶$)

صفرهای بیشتر در $s = ۰$ و یک یا چند صفر در $s = \infty$ است (زیرا با نزدیک شدن ω به صفر و ∞، تضعیف به سوی $-\infty$ کاهش می‌یابد). با فرض آنکه در هر $s = ۰$ و $s = \infty$ فقط یک صفر وجود دارد. فیلتر باید از مرتبه ششم باشد. و تابع انتقال آن شکل زیر را داشته باشد.

$$T(s) = \frac{a_۵\, s\, (s^۲ + \omega_{l۱}{}^۲)(s^۲ + \omega_{l۲}{}^۲)}{s^۶ + b_۵\, s^۵ + \ldots + b_۰} \qquad (۱۱-۹)$$

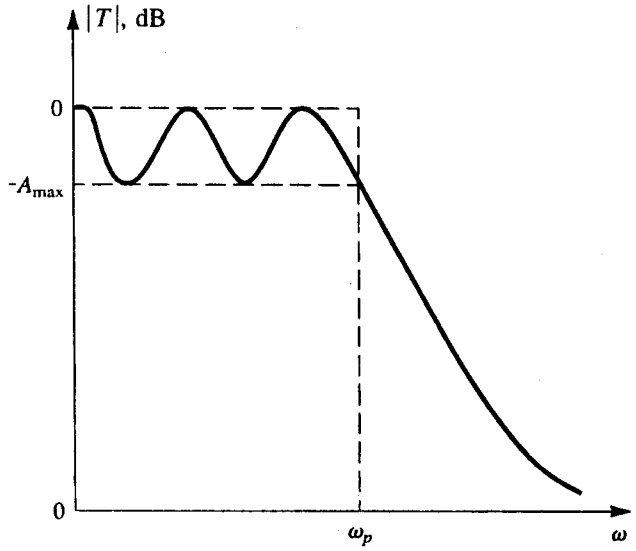
یک نمونه ترسیم صفر - قطب برای چنین فیلتری در شکل (۶-۱۱) نشان داده شده است.

بعنوان سومین و آخرین مثال، فیلتر پایین‌گذری را در نظر بگیرید که تابع انتقالش در شکل (الف ۷-۱۱) ترسیم شده است. مشاهده می‌کنیم که دراین حالت مقادیر نامحدود ω که در آن تضعیف بی‌نهایت (انتقال صفر) است، وجود دارد. بنابراین محتمل است که همه صفرهای انتقال این فیلتر در $s = \infty$ باشد. چنانچه این وضع روی دهد، تابع انتقال فیلتر بصورت رابطه زیر درمی‌آید:

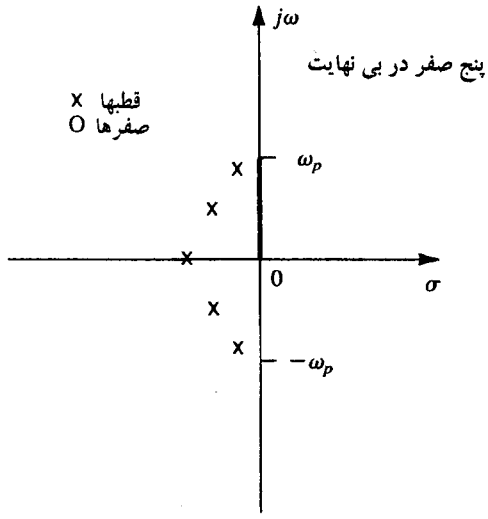
$$T(s) = \frac{a_M}{s^N + b_{N-۱}\, s^{N-۱} + \ldots + b_۰} \qquad (۱۱-۱۰)$$

چنین فیلتری را یک **فیلتر تمام قطبی** می‌نامیم. برای نمونه مکانهای صفر - قطب برای مرتبه پنجم همه قطبهای فیلترهای پایین‌گذر در شکل (ب ۷-۱۱) نشان داده شده اند.

تقریباً همه فیلترهایی که در این فصل بررسی شدند، صفرهای انتقالشان بر محور $j\omega$، در باند توقف فیلتر شامل $\omega=۰$ و $\omega=\infty$ است. همچنین برای به دست آوردن تیزی منحنی زیاد همه حالتهای طبیعی مزدوج مختلط خواهند بود (بجز برای فیلترهای مرتبه فرد که یک حالت



(الف)



(ب)

شکل ۷-۱۱. (**الف**) مشخصات انتقال فیلتر پایین گذر مرتبه پنجم که همه صفرهای انتقال آن دربی‌نهایت هستند.(**ب**)الگوی صفر - قطب فیلتر (الف)

طبیعی باید بر محور حقیقی باشد). در خاتمه توجه می‌کنیم که تیزی منحنی پاسخ فیلتر با بالا بودن مرتبه آن، و نزدیک بودن حالت طبیعی به محور $j\omega$ به دست می‌آید.

تمرینها

۳-۱۱ یک فیلتر مرتبه دوم قطبهایی در $s = -(\frac{۱}{۲}) \pm j(\sqrt{\frac{۳}{۲}})$ داراست. انتقال در $\omega = ۲$ rad/s صفر و در dc ($\omega = ۰$) واحد است. تابع انتقال را بیابید.

جواب. $T(s) = \frac{۱}{۴} \times \frac{s^۲ + ۴}{s^۲ + s + ۱}$

۴-۱۱ یک فیلتر مرتبه چهارم در $\omega = ۰$، $\omega = ۲$ rad/s، $\omega = \infty$

دارای انتقال صفر است. حالتهای طبیعی عبارتنداز $0.8j \pm 0.1$ و $-0.1j \pm 1.2$. $T(s)$ را بیابید.

جواب. $$T(s) = \frac{a_3 s(s^2 + 4)}{(s^2 + 0.2s + 0.65)(s^2 + 0.2s + 1.45)}$$

۱۱-۵ تابع انتقال $T(s)$ یک فیلتر پایین گذر تمام قطب مرتبه سوم را بیابید که در آن قطب‌ها در فاصله شعاعی ۱rad/s از مبدا باشد و قطبهای مختلط در زاویه °۳۰ از محور $j\omega$ قرار گیرند. بهره dc واحد است. نشان دهید که

$$|T(j\omega)| = \frac{1}{\sqrt{1+\omega^6}}$$

مطلوبست ω_{3dB} و تضعیف در $\omega = 3$ rad/s.

جواب. $T(s) = 1/(s + 1)(s^2 + s + 1)$ ؛ ۱ rad/s ؛ ۲۸/۶ dB ❑

۱۱-۳ فیلترهای باترورث و چبی‌شف

دراین بخش دو تابع معرفی می‌کنیم که در تقریب مشخصه‌های انتقال فیلترهای پایین گذر مکرراً استفاده می‌شود. این توابع دارای این مزیت هستند که روابط بسته و محدودی برای پارامترهایشان موجود است. بنابراین در طراحی فیلتر از آنها بدون استفاده از کامپیوتر یا جداول طراحی می‌توان استفاده کرد. البته کاربردشان به موارد ساده‌ای محدود می‌شود.

اگرچه در این بخش فقط طراحی فیلترهای پایین گذر را بررسی می‌کنیم، اما توابع تقریبی ارائه شده برای طراحی انواع دیگر فیلتر با استفاده از تبدیل‌های فرکانسی به کار می‌رود.

فیلتر باترورث

شکل (۱۱-۸) نموداری از پاسخ اندازه فیلتر باترورث را نشان می‌دهد. این فیلتر دارای کاهش انتقال یکنواخت با صفرهای انتقال در $\omega = \infty$ بوده، که آنرا یک فیلتر تمام قطب می‌سازد. تابع انتقال اندازه در یک فیلتر باترورث مرتبه Nام با لبه باند عبور ω_p به این صورت است:

$$|T(j\omega)| = \frac{1}{\sqrt{1 + \varepsilon^2\left(\frac{\omega}{\omega_p}\right)^{2N}}} \qquad (11\text{-}11)$$

در $\omega = \omega_p$

$$|T(j\omega)_P| = \frac{1}{\sqrt{1 + \varepsilon^2}} \qquad (11\text{-}12)$$

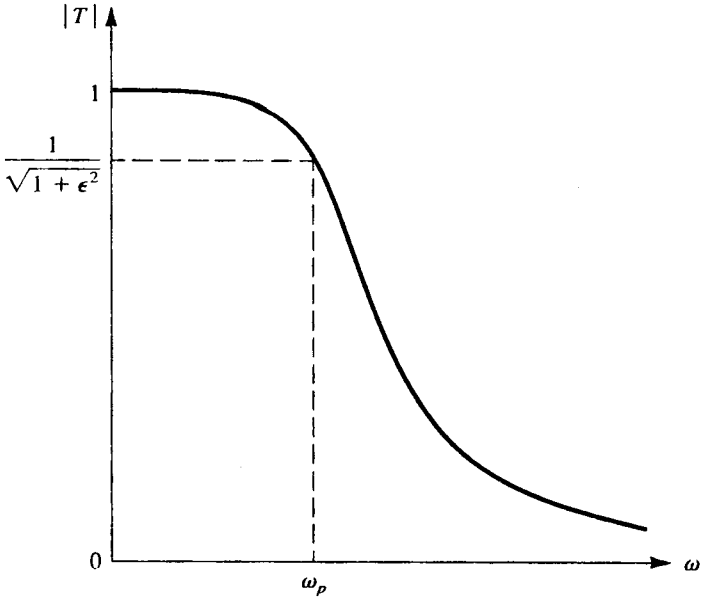
بنابراین پارامتر ε ماکزیمم تغییر در انتقال باند عبور، A_{max} را بنا بر رابطه زیر تعیین می‌کند

$$A_{max} = 20 \log \sqrt{1 + \varepsilon^2} \qquad (11\text{-}13)$$

بطور معکوس، با داشتن A_{max}، مقدار ε از رابطه زیر به دست می‌آید:

$$\varepsilon = \sqrt{10^{A_{max}/10} - 1} \qquad (11\text{-}14)$$

ملاحظه می‌کنید که در پاسخ باترورث، ماکزیمم انحراف در انتقال باند عبور (از مقدار ایده‌آل واحد) فقط در لبه باند عبور روی می‌دهد. می‌توان نشان داد که اولین $2N - 1$ انحراف از $|T|$ نسبت به ω در $\omega = 0$

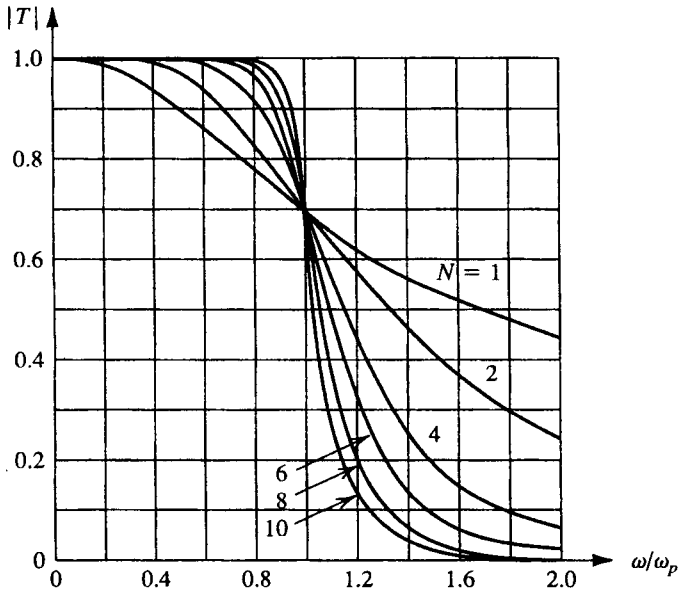


شکل ۱۱-۸. پاسخ اندازه فیلتر باترورث

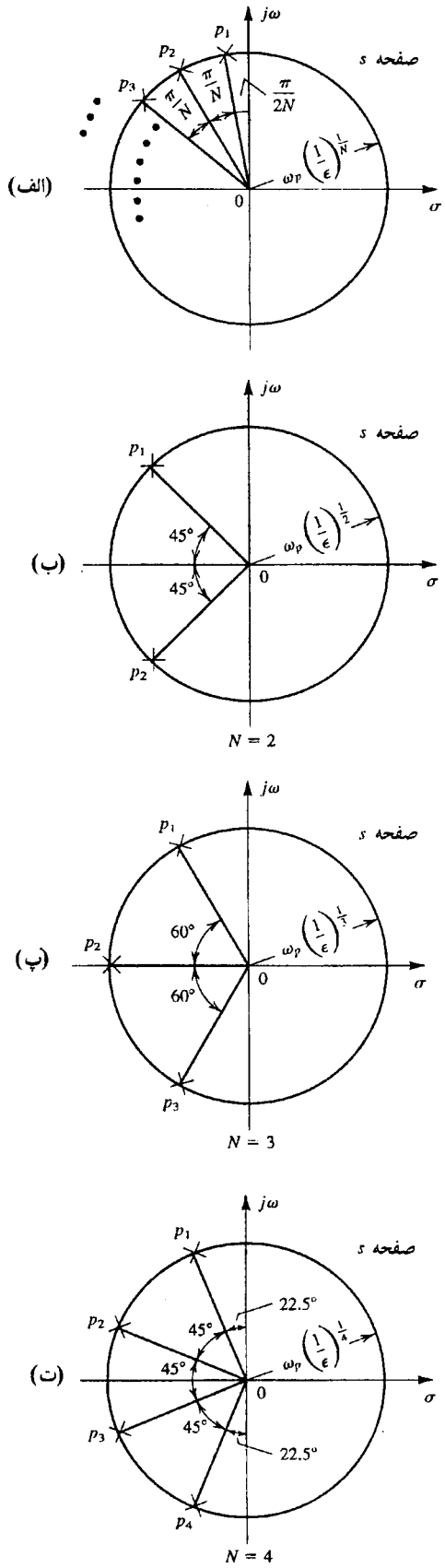
برابر صفر است. این ویژگی پاسخ باترورث را خیلی تخت نزدیک $\omega = 0$ می‌سازد و به این پاسخ، نام **ماکزیمم تخت** داده می‌شود. درجه تختی باند عبور با افزایش درجه N مطابق شکل (۱۱-۹) افزایش می‌یابد. این شکل همچنین نشان می‌دهد که مطابق انتظار با افزایش درجه N، پاسخ فیلتر به پاسخ نوع دیوار آجری ایده‌آل نزدیک می‌شود.

در لبه باند توقف، $\omega = \omega_s$، تضعیف فیلتر باترورث از رابطه زیر به دست می‌آید:

$$A(\omega_s) = -20 \log [1/\sqrt{1 + \varepsilon^2 (\omega_s/\omega_p)^{2N}}]$$
$$= 10 \log [1 + \varepsilon^2 (\omega_s/\omega_p)^{2N}] \qquad (11\text{-}15)$$



شکل ۱۱-۹. پاسخ اندازه فیلترهای باترورث با مرتبه‌های مختلف و $\varepsilon = 1$ توجه کنید با افزایش مرتبه، پاسخ به حالت ایده‌آل انتقال نوع قالبی نزدیک می‌شود.



شکل ۱۰-۱۱. ساختار ترسیمی تعیین قطبهای فیلتر باترورث مرتبه N همه قطبها در نیمه چپ صفحه S روی دایره‌ای به شعاع $\omega_\circ = \omega_p(1/\varepsilon)^{1/N}$ قرارمی‌گیرد که در آن ε پارامتر انحراف باند عبور است $(\varepsilon = \sqrt{10^{A_{max}/10} - 1})$

(الف) حالت عمومی. (ب) N = ۲ (پ) N = ۳ (ت) N = ۴

از این معادله برای تعیین مرتبه فیلتر مورد نیاز استفاده می‌شود که پایین‌ترین مقدار صحیح N است که به دست می‌دهد: $A(\omega_s) \geq A_{\min}$

حالتهای طبیعی فیلتر باترورث مرتبه Nام از ساختمان ترسیمی شکل (الف ۱۰-۱۱) به دست می‌آید. ملاحظه می‌کنید که حالتهای طبیعی بر یک دایره به شعاع $\omega_p(1/\varepsilon)^{1/N}$ با زاویه‌های مساوی π/N جای می‌گیرند. اولین حالت در زاویه $\pi/2N$ از محور $+j\omega$ می‌باشد. چون حالتهای طبیعی همه دارای شعاع یکسان به فاصله مبدا می‌باشند، همه دارای فرکانس یکسان $\omega_\circ = \omega_p(1/\varepsilon)^{1/N}$ می‌باشند. شکل (ب ۱۰-۱۱)، (پ) و (ت) حالتهای طبیعی فیلترهای باترورث مرتبه $N = 2$، ۳، و ۴ را نشان می‌دهد. وقتی حالتهای طبیعی p_1، p_2، . . .، p_N به دست آید، تابع انتقال بصورت رابطه (۱۶-۱۱) نوشته می‌شود:

$$T(s) = \frac{K\,\omega_\circ^{\,N}}{(s - p_1)(s - p_2)\,.\,.\,.\,(s - p_N)} \qquad (۱۶-۱۱)$$

که K ثابتی مساوی با بهره dc ی مورد نیاز فیلتر است.

بطور خلاصه، برای به دست آوردن تابع انتقال باترورث که مشخصه‌های انتقال شکل (۳-۱۱) را به دست می‌دهد، روش زیر را اجرا می‌کنیم:

۱ـ از معادله (۱۴-۱۱)، ε را تعیین می‌کنیم.

۲ـ از معادله (۱۵-۱۱) مرتبه فیلتر دلخواه را بصورت کمترین مقدار صحیح N تعیین می‌کنیم که $A(\omega_s) \geq A_{\min}$ را نتیجه می‌دهد.

۳ـ از شکل (الف ۱۰-۱۱) برای تعیین حالتهای طبیعی N استفاده می‌کنیم.

۴ـ از معادله (۱۶-۱۱) برای تعیین $T(s)$ استفاده می‌کنیم.

مثال ۱-۱۱

تابع انتقال باترورث را به دست آورید طوری که مشخصه‌های فیلتر پایین‌گذر زیر را به دست دهد: $f_p = 10$ kHz، $A_{\max} = 1$ dB، $f_s = 15$ kHz، $A_{\min} = 25$ dB، بهرهٔ dc = ۱.

حل:

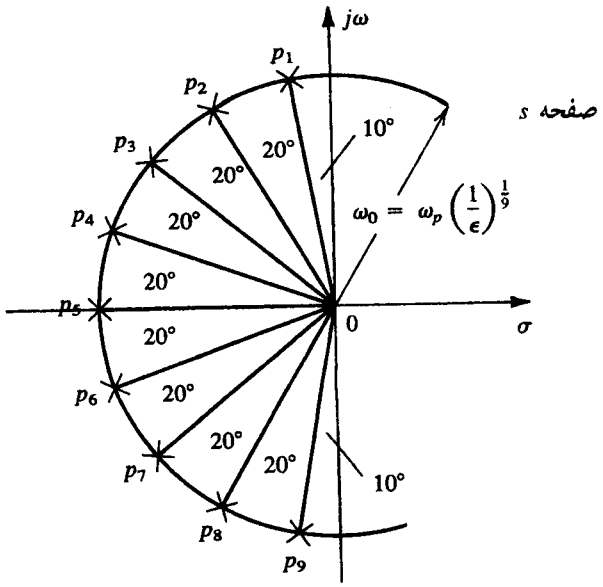
با قراردادن $A_{\max} = 1$ dB در معادله (۱۴-۱۱)، $\varepsilon = 0/5088$ به دست می‌آید. در آنصورت از معادله (۱۵-۱۱) برای تعیین مرتبه فیلتر با مقادیر گوناگون برای N استفاده می‌شود. در می‌یابیم که با $N = 8$، $A(\omega_s) = 22/3$ dB و با $N = 9$، $25/8$ dB به دست می‌آید. بنابراین $N = 9$ را انتخاب می‌کنیم.

شکل (۱۱-۱۱) ساختمان ترسیمی تعیین قطب‌ها را نشان می‌دهد. قطبها همه با فرکانس یکسانی به دست می‌آیند:

$$\omega_\circ = \omega_p\left(\frac{1}{\varepsilon}\right)^{1/N} = 2\pi\times10\times10^3\left(\frac{1}{0/5088}\right)^{1/9} = 6/773\times10^4\ \text{rad/s}$$

اولین قطب p_1 چنین به دست می‌آید:

$$p_1 = \omega_\circ(-\cos 80^\circ + j\sin 80^\circ) = \omega_\circ(-0/1736 + j0/9848)$$



شکل ۱۱-۱۱. قطبهای فیلتر باترورث مرتبه نهم مثال ۱-۱۱

از تلفیق p_1 با مزدوج مختلط آن p_9، عامل ضرب

$$(s^2 + s\,0/3472\omega_0 + \omega_0^2)$$

در مخرج تابع انتقال به دست می‌آید. همین برای قطبهای دیگر انجام می‌شود، و تابع انتقال کامل بااستفاده از معادله (۱۶-۱۱) به دست می‌آید.

$$T(s) = \frac{\omega_0^9}{(s+\omega_0)(s^2+s1/8794\omega_0+\omega_0^2)(s^2+s1/5321\omega_0+\omega_0^2)} \times \frac{1}{(s^2+s\omega_0+\omega_0^2)(s^2+s\,0/3472\,\omega_0+\omega_0^2)} \qquad (۱۱-۱۷)$$

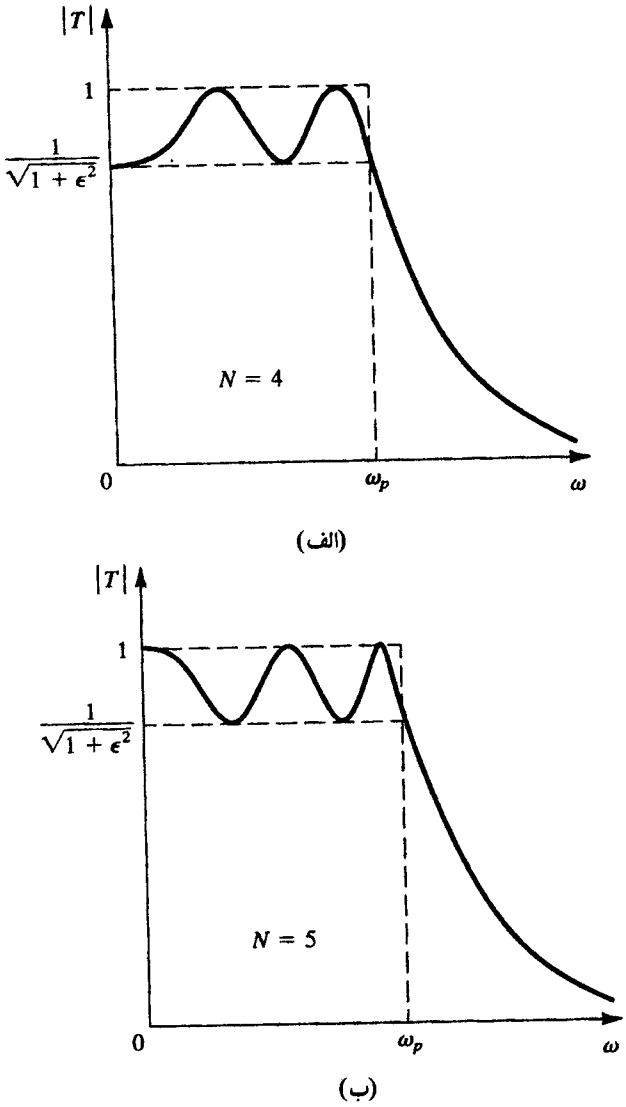
فیلتر چبی‌شف

شکل (۱۲-۱۱) توابع انتقال نمایشی را برای فیلترهای چبی‌شف با مرتبه‌های فرد و زوج نشان می‌دهد. فیلتر چبی‌شف در باند عبور دارای پاسخی با موجکهای برابر و کاهش انتقال آن در باند توقف یکنواخت است. وقتی فیلتر مرتبه فرد دارای $|T(0)| = 1$ است، فیلتر دارای مرتبه زوج ماکزیمم انحراف اندازه خود را در $\omega = 0$ داراست. در هر دو حالت، مجموع عدد ماکزیمم و مینیمم باند عبور مرتبه فیلتر با مرتبه آن، N، برابر می‌شود. همه صفرهای انتقال فیلتر چبی‌شف در $\omega = \infty$، آنرا فیلتر تمام قطب می‌سازند.

اندازه تابع انتقال فیلتر چبی‌شف مرتبه N با لبه باند عبور (پهنای باند موجک) ω_p بصورت زیر است:

به ازای $\omega \le \omega_p$

$$|T(j\omega)| = \frac{1}{\sqrt{1+\varepsilon^2\cos^2[N\cos^{-1}(\omega/\omega_p)]}} \qquad (۱۱-۱۸)$$



شکل ۱۲-۱۱. ترسیم‌های مشخصات انتقال فیلترهای چبی شف مرتبه زوج و فرد.

و به ازای $\omega \ge \omega_p$

$$|T(j\omega)| = \frac{1}{\sqrt{1+\varepsilon^2\cosh^2[N\cosh^{-1}(\omega/\omega_p)]}} \qquad (۱۱-۱۹)$$

در لبه باند عبور $\omega = \omega_p$، تابع اندازه از رابطه زیر به دست می‌آید:

$$|T(j\omega_p)| = \frac{1}{\sqrt{1+\varepsilon^2}}$$

بنابراین، پارامتر ε موجک باند عبور را بنا بر رابطه زیر تعیین می‌کند.

$$A_{\max} = 10\log(1+\varepsilon^2) \qquad (۱۱-۲۰)$$

برعکس، با داشتن $A_{\max}$، مقدار ε از رابطه زیر به دست می‌آید.

$$\varepsilon = \sqrt{10^{A_{max}/10} - 1} \qquad (۱۱-۲۱)$$

با فیلتر چبی‌شف در لبه باند توقف $(\omega = \omega_s)$، تضعیف با استفاده از معادله (۱۹-۱۱) بصورت زیر به دست می‌آید

$$A(\omega_s) = 10\log[1+\varepsilon^2\cosh^2(N\cosh^{-1}(\omega_s/\omega_p))] \qquad (۱۱-۲۲)$$

با کمک ماشین حساب از این معادله برای تعیین مرتبه N دلخواه می‌توان استفاده کرد تا مقدار معینی برای یافتن کمترین مقدار صحیح N به دست آید که در نتیجه آن $A(\omega_s) \geq A_{\min}$ شود. همانند فیلتر باترورث، افزایش مرتبه N فیلتر چبی‌شف سبب نزدیک شدن تابع اندازه آن به پاسخ پایین گذر آجر دیواری است.

قطبهای فیلتر چبی‌شف از رابطه زیر به دست می‌آید

$$p_k = -\omega_p \sin\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\sinh\left(\frac{1}{N}\sinh^{-1}\frac{1}{\varepsilon}\right) \qquad (11\text{-}23)$$

$$+ j\omega_p \cos\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\cosh\left(\frac{1}{N}\sinh^{-1}\frac{1}{\varepsilon}\right)$$

$$K = 1, 2, \ldots N$$

در خاتمه، تابع انتقال چبی‌شف بصورت زیر نوشته می‌شود:

$$T(s) = \frac{K\,\omega_p^N}{\varepsilon\, 2^{N-1}(s-p_1)(s-p_2)\ldots(s-p_N)} \qquad (11\text{-}24)$$

که در آن K بهرهٔ dc ی است که فیلتر الزاماً باید داشته باشد.

بطور خلاصه، مشخصه‌های انتقال پایین گذر از نوع نشان داده شده در شکل (۳-۱۱) ارائه شده است. تابع انتقال فیلتر چبی‌شف که چنین مشخصه‌هایی را می‌تواند داشته باشد، بصورت زیر به دست می‌آید:

۱ـ با تعیین ε از معادله (۲۱-۱۱).

۲ـ با استفاده از معادله (۲۲-۱۱) برای تعیین مرتبه دلخواه.

۳ـ تعیین قطب‌ها با استفاده از معادله (۲۳-۱۱).

۴ـ تعیین تابع انتقال با استفاده از معادله (۲۴-۱۱).

فیلتر چبی‌شف تقریب مفیدتری نسبت به فیلتر باترورث ارائه می‌کند. بنابراین، با مرتبه یکسان و $A_{\max}$ برابر فیلتر چبی‌شف تضعیف باند توقف بزرگتری از فیلتر باترورث داراست. از سوی دیگر، برای رسیدن به مشخصه‌های یکسان، مرتبه کمتری برای چبی‌شف نسبت به باترورث لازم است. این نکته، با مثال زیر نشان داده می‌شود.

مثال ۲ـ۱۱

تابع انتقال چبی‌شف را که مشخصه‌های فیلتر پایین‌گذر یکسانی با مثال ۱-۱۱ داشته باشد: یعنی $f_p = 10$ kHz ، $A_{\max} = 1$ dB ، $f_s = 15$ kHz ، $A_{\min} = 25$ dB ، بهرهٔ dc = ۱، به دست آورید.

حل:

با قراردادن $A_{\max} = 1$ dB در معادله (۲۱-۱۱)، $\varepsilon = 0.5088$ به دست می‌آید. با آزمایش مقادیر مختلف N در معادله (۲۲-۱۱) در می‌یابیم که $N = 4$ نتیجه $A(\omega_s) = 21.6$ dB به دست می‌آید و با $N=5$، ۲۹/۹ بدست می‌آید. $N=5$ را انتخاب کرده ملاحظه می‌کنیم که فیلتر باترورث مرتبه نهم برای به دست آوردن همان مشخصه‌های مثال ۱-۱۱ مورد نیاز است.

قطب‌ها با جایگزینی در معادله ۲۳-۱۱ بصورت زیر به دست می‌آید:

$$p_1, p_5 = \omega_p(-0.0895 \pm j\,0.9901)$$

$$p_2, p_4 = \omega_p(-0.2342 \pm j\,0.6119)$$

$$p_5 = \omega_p(-0.2895)$$

تابع انتقال با قراردادن این مقادیر در معادله (۲۴-۱۱) بصورت زیر به دست می‌آید:

$$T(s) = \frac{\omega_p^5}{8.1408(s+0.2895\omega_p)(s^2+s\,0.4684\omega_p+0.4293\omega_p^2)} \times \frac{1}{s^2+s\,0.1789\,\omega_p+0.9883\,\omega_p^2} \qquad (11\text{-}25)$$

که $\omega_p = 2\pi \times 10^4$ rad/s می‌باشد.

تمرینها

ط ۶ـ۱۱ مرتبه N یک فیلتر باترورث را تعیین کنید وقتی که $A_{\max} = 1$ dB ، $\omega_s/\omega_p = 1.5$ و $A_{\min} = 30$ dB است. مقدار واقعی تضعیف باند توقف مینیمم تحقق یافته چقدر است؟ چنانچه $A_{\min}$ دقیقاً ۳۰dB باشد، $A_{\max}$ به چه میزانی کاهش می‌یابد؟

جواب. $N = 11$ ؛ $A_{\min} = 32.87$ dB ؛ ۰/۵۴ dB

۷ـ۱۱ حالت‌های طبیعی و تابع انتقال یک فیلتر باترورث را با $\omega_p = 1$rad/s ، $A_{\max} = 3$dB $(\varepsilon \cong 1)$ و $N = 3$ بیابید.

جواب. $T(s) = 1/(s+1)(s^2+s+1)$ ؛ -1 و $-0.5 \pm j\sqrt{\frac{3}{2}}$

۸ـ۱۱ مشاهده کنید که معادله (۱۸-۱۱) برای یافتن فرکانسها باند عبور استفاده می‌شود که در آن‌ها، $|T|$ در نوک آن و در دره آن است، (نوک‌ها وقتی است که عبارت $\cos^2[\ ]$ صفر باشد، و درّه متناظر با واحد شدن عبارت $\cos^2[\ ]$ می‌باشد). این فرکانسها را در یک فیلتر مرتبه پنجم به دست آورید.

جواب. نوک‌ها در $\omega = 0$ ، $0.59\omega_p$ ، و $0.95\omega_p$ است؛ مینیمم $\omega = 0.31\omega_p$ و $0.81\omega_p$ است.

ط ۹ـ۱۱ تضعیف به دست آمده در $\omega = 2\omega_p$ را با فیلتر چبی‌شف مرتبه هفتم و موجک باند عبور ۰/۵ dB به دست آورید. اگر موجک باند عبور مجاز به افزایش تا ۱ dB باشد، چه میزان تضعیف باند توقف افزایش می‌یابد.

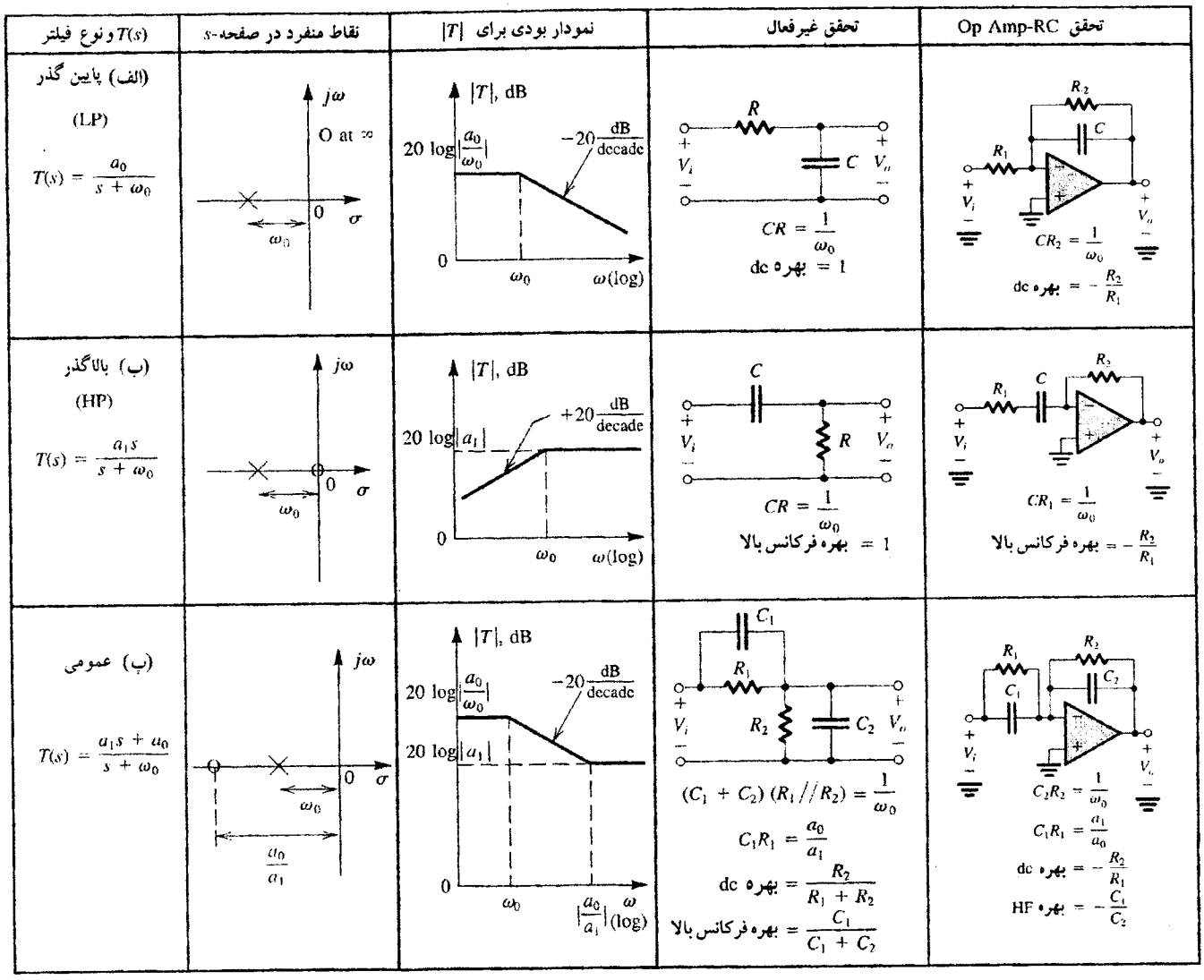
جواب. ۶۴/۹ dB ؛ ۳/۵ dB

ط ۱۰ـ۱۱ مطلوبست طراحی یک فیلتر پایین‌گذر با $f_p = 1$ kHz ، $A_{\max} = 1$ dB ، $f_s = 1.5$ kHz ، $A_{\min} = 50$ dB. (الف) مرتبه فیلتر چبی‌شف مورد نظر را بیابید. تضعیف باند توقف اضافی چقدر است؟ (ب) برای فیلتر باترورث تکرار کنید.

جواب. (الف) $N = 8$ و ۵ dB ، (ب) $N = 16$ و ۰/۵ dB ❑

۴-۱۱ توابع فیلتر مرتبه اول و مرتبه دوم

در این بخش توابع انتقال ساده‌ترین فیلترها یعنی مرتبه اول و دوم را بررسی می‌کنیم. این توابع بعلت کیفیت خود در طراحی فیلترهای ساده مفید هستند. فیلترهای مرتبه اول و دوم همچنین می‌توانند برای تحقق فیلتر مرتبه بالاتر بصورت متوالی بهم متصل شوند و در حقیقت طراحی متوالی یکی از متداولترین روشهای طراحی فیلترهای فعّال است (که در آنها از op-amp ها و مدارهای RC استفاده می‌شود). از آنجا که قطبهای



شکل ۱۳-۱۱. فیلترهای مرتبه اول

فیلتر بصورت مزدوج مختلط هستند تابع انتقال مرتبه بالای $T(s)$ بصورت عامل حاصلضرب توابع مرتبه دوم نوشته می‌شود. اگر $T(s)$ فرد باشد توابع مرتبه اول نیز در این حاصلضرب شرکت دارند. سپس هر یک از توابع مرتبه دوم (و توابع مرتبه اول در صورت فرد بودن $T(s)$) با استفاده از مدارهای op amp-RC، همانطوریکه در این فصل خواهیم دید تحقق یافته و ساختارهای حاصل بصورت متوالی بهم متصل می‌شوند. اگر خروجی هر ساختار، پایانه خروجی op-amp باشد که امپدانس آن خیلی کم است (بطور ایده‌آل صفر)، وصل کردن متوالی آنها بهم توابع انتقال ساختارهای جداگانه را تغییر نمی‌دهد. بدین ترتیب تابع انتقال کلی ترکیب متوالی، بطور ساده، حاصلضرب توابع انتقال ساختارهای جداگانه است که همان $T(s)$ اصلی می‌باشد.

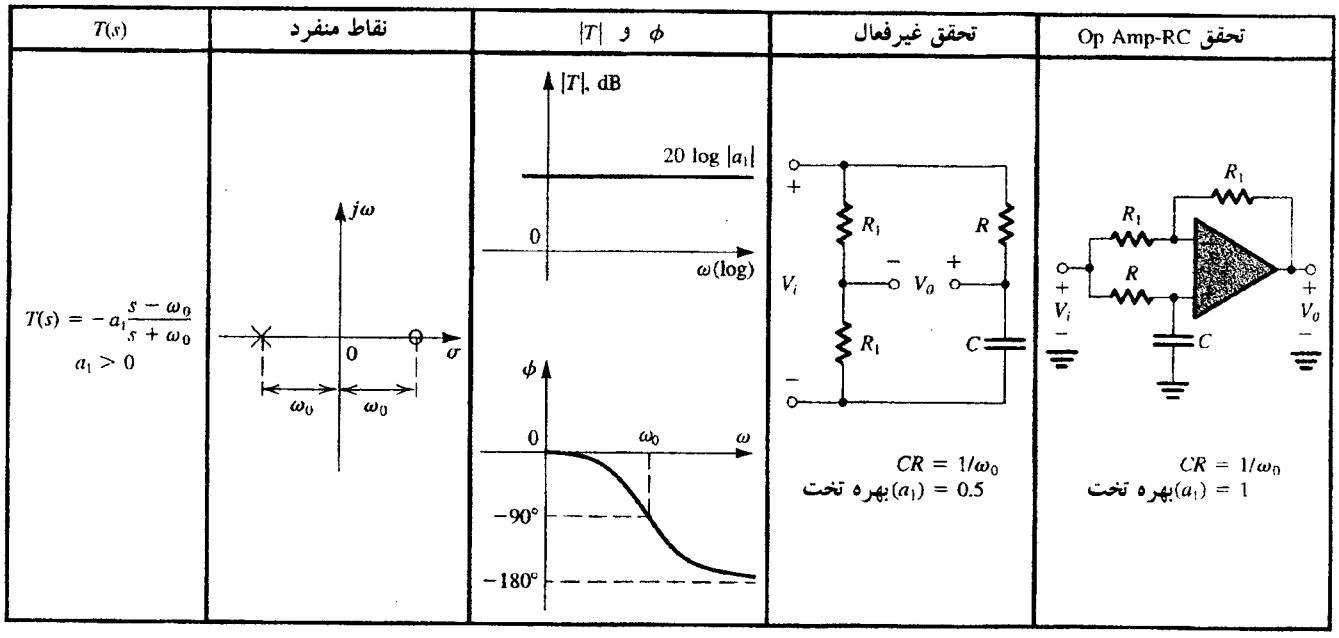
فیلترهای مرتبه اول

تابع انتقال عمومی مرتبه اول به شکل زیر است:

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \qquad (۱۱-۲۶)$$

این **تابع انتقال دوخطی** یک فیلتر مرتبه اول را با یک حالت طبیعی $s = -\omega_0$، یک صفر انتقال در $s = \frac{-a_0}{a_1}$ و بهره فرکانس بالای نزدیک به a_1 مشخص می‌کند. ضرایب صورت a_0 و a_1 نوع فیلتر را تعیین می‌کند (بطور مثال پایین‌گذر بالاگذر و غیره). بعضی از حالات ویژه که با عناصر غیر فعال (RC) و فعال (op amp-RC) تحقق یافته است در شکل (۱۳-۱۱) به نمایش درآمده است. توجه کنید که تحقق فعال بسیار فراگیرتر از تحقق غیرفعال است. در بسیاری مواقع می‌توان بهره و پارامترهای تابع انتقال را بدون تأثیر بر دیگر قسمتها، به مقدار دلخواه تنظیم کرد. امپدانس خروجی مدار فعال نیز خیلی پایین بوده، اتصال متوالی را ممکن می‌سازد. اما op-amp، عملکرد فرکانس بالای مدارهای فعال را محدود می‌کند.

حالت خاص مهم دیگر از تابع فیلتر مرتبه اول، **فیلتر تمام‌گذر** شکل (۱۴-۱۱) است. در اینجا صفر انتقال و حالت طبیعی نسبت به محور $j\omega$ بطور متقارن قرارگرفته‌اند. (که به این نمایش، تقارن تصویر آینه‌ای نسبت به محور $j\omega$ می‌گویند) دقت کنید اگر چه انتقال فیلتر تمام‌گذر (بطور ایده‌آل) در همه فرکانسها ثابت است فاز آن نشان‌دهندهٔ گزینش فرکانس



شکل ۱۴-۱۱. فیلتر تمام گذر مرتبه اول

است. فیلترهای تمام‌گذر بعنوان تغییر دهندهٔ فاز در سیستم‌هایی که نیاز به شکل دادن فاز دارند به کار می‌رود. (بطور مثال در طراحی مدارهایی که یکسان‌سازهای تأخیر نام دارند که باعث می‌شوند تأخیر زمانی کلی یک سیستم انتقال نسبت به فرکانس ثابت باشد)

تمرینها

ط ۱۱-۱۱ با استفاده از $R_1 = 10k\Omega$ مدار op amp-RC شکل (ب۱۳-۱۱) را برای تحقق یک فیلتر بالاگذر با فرکانس گوشهٔ 10^4rad/s و بهره فرکانس بالای ۱۰ طراحی کنید.
جواب. $R_2 = 100K\Omega$ و $C = 0/01\mu F$

ط ۱۲-۱۱ مدار op amp-RC شکل (۱۴-۱۱) را برای تحقق فیلتر تمام‌گذر با تغییر فاز °۹۰ در 10^3rad/s طراحی کنید. مقادیر مناسب عناصر را انتخاب کنید.
جواب. انتخاب ممکن: $R=R_1=R_2=10K\Omega$ و $C= 0/1\mu F$ ❑

توابع فیلتر مرتبه دوم

تابع انتقال فیلتر عمومی مرتبه دوم یا فیلتر **دومجذوری** معمولاً به شکل استاندارد زیر بیان می‌شود.

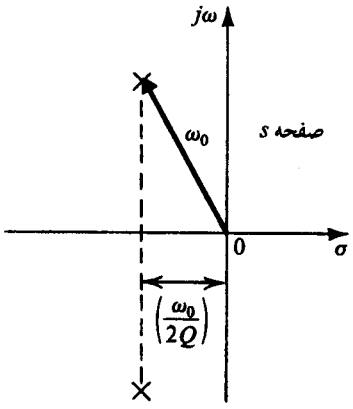
$$T(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + (\omega_0/Q)s + \omega_0^2} \qquad (11\text{-}27)$$

در رابطه فوق ω_0 و Q تعیین‌کننده حالات طبیعی (قطبها) مطابق با فرمول زیر می‌باشند:

$$p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0\sqrt{1-(1/4Q^2)}$$

معمولاً علاقمندیم حالات طبیعی بصورت مزدوج مختلط باشند که از $Q > 0/5$ حاصل می‌شود. شکل (۱۵-۱۱) محل یک زوج قطب مختلط را در صفحه s نشان می‌دهد. دقت کنید که فاصله شعاعی حالات طبیعی از مبدأ مساوی ω_0 است که **فرکانس قطب** نامیده می‌شود. پارامتر Q تعیین کنندهٔ فاصله قطبها از محور $j\omega$ می‌باشد هر چه Q بزرگتر باشد قطبها به محور $j\omega$ نزدیکتر هستند و پاسخ فیلتر تیزتر خواهد بود. بی‌نهایت بودن Q باعث قرارگرفتن قطبها روی محور $j\omega$ شده که نتیجه آن نوسانهای پایدار در تحقق مدار است. منفی بودن Q مبین قرارگرفتن قطبها در سمت راست صفحه s است که مطمئناً تولید نوسان می‌کند. پارامتر Q **ضریب کیفیت قطب** یا بطور ساده Q **قطب** نامیده می‌شود.

صفرهای انتقال فیلتر مرتبه دوم توسط ضرایب صورت کسر یعنی a_0، a_1 و a_2 تعیین می‌شوند. این ضرایب تعیین‌کننده نوع تابع فیلتر دوم هستند (یعنی LP، HP و غیره). هفت حالت خاص مورد نظر در شکل (۱۶-۱۱) بررسی شده‌اند. در هر حالت، تابع انتقال، نقاط منفرد تابع انتقال در صفحه s و پاسخ اندازه به نمایش درآمده است. تحقق‌های مداری برای توابع فیلتر مرتبه دوم در بخشهای بعدی آورده شده است.



شکل ۱۵-۱۱. تعریف پارامترهای ω_0 و Q برای یک جفت قطب مزدوج مختلط

هر هفت فیلتر مرتبه دوم خاص دارای یک زوج حالت طبیعی مزدوج مختلط می‌باشند که با فرکانس ω_0 و ضریب کیفیت Q مشخص شده‌اند.

در حالت پایین‌گذر (LP) که در شکل (الف ۱۶-۱۱) نشان داده شده دو صفر انتقال در $s = \infty$ می‌باشند. پاسخ اندازه دارای یک نوک است که با جزئیات مشخص شده است. می‌توان نشان داد که نوک تنها هنگامی که $Q > 1/\sqrt{2}$ باشد اتفاق می‌افتد. پاسخ به دست آمده برای $Q = 1/\sqrt{2}$ پاسخ باتروورث یا پاسخ حداکثر تخت است.

هر دو صفر انتقال تابع بالاگذر (HP) در شکل (ب ۱۶-۱۱) در $s = 0$ (dc) می‌باشند. پاسخ اندازه دارای یک نوک در حالت $Q > 1/\sqrt{2}$ با جزئیات نشان داده شده است. به دوگانی بین پاسخ‌های HP و LP توجه کنید.

سپس تابع فیلتر میان‌گذر شکل (پ ۱۶-۱۱) را در نظر بگیرید. در اینجا یک صفر انتقال در $s = 0$ (dc) و صفر دیگر $s = \infty$ است. پاسخ اندازه دارای یک نوک در $\omega = \omega_0$ است. بدین ترتیب **فرکانس مرکزی** فیلتر میان‌گذر مساوی فرکانس قطب ω_0 است. تیزی فیلتر میان‌گذر مرتبه دوم معمولاً با **پهنای باند** ۳ـ dB آن اندازه‌گیری می‌شود. این مقدار، اختلاف دو فرکانس ω_1 و ω_2 در حالتی است که پاسخ اندازه، ۳ dB کمتر از مقدار ماکزیمم آن (در ω_0) باشد. می‌توان نشان داد:

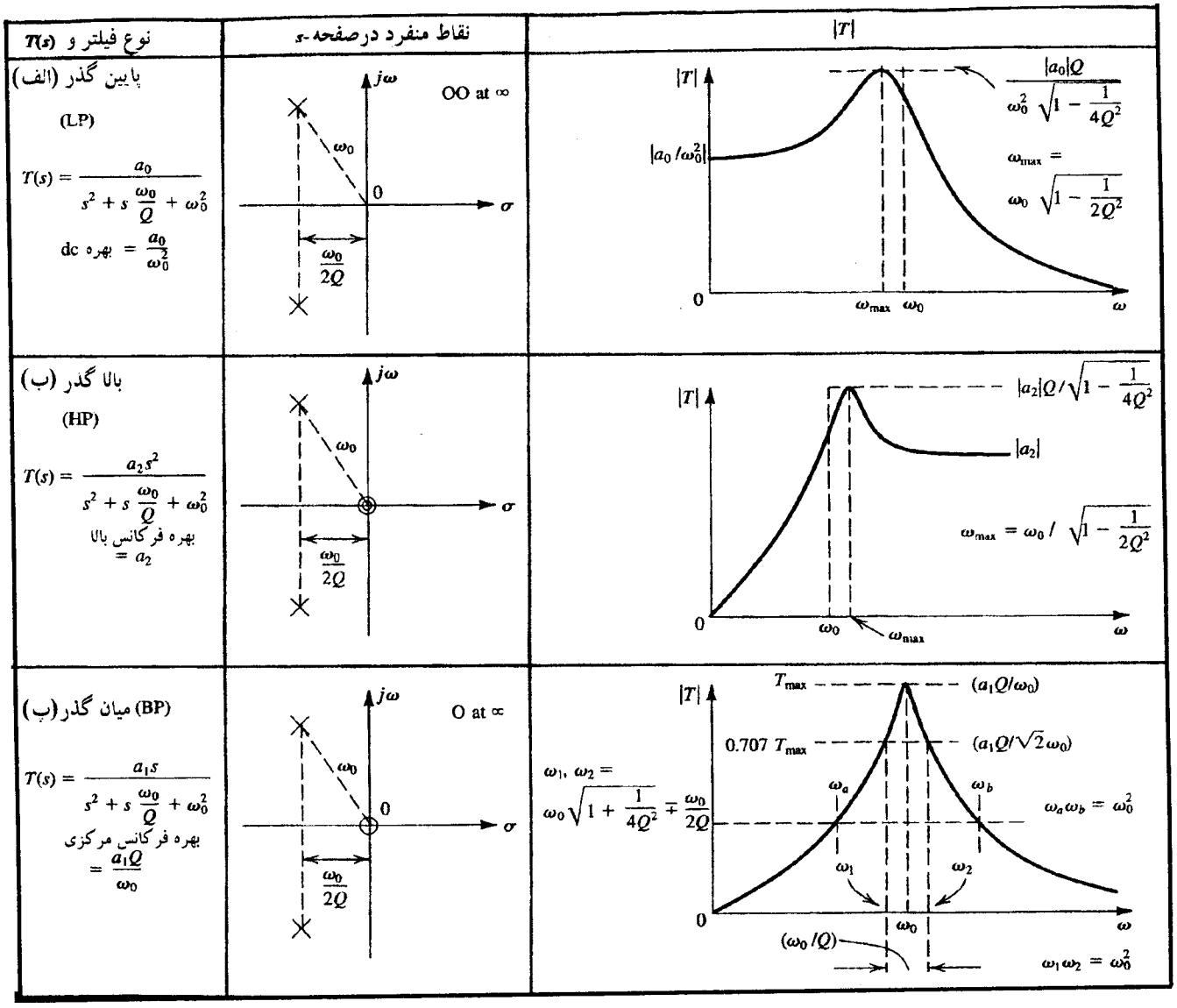
$$\omega_1 , \omega_2 = \omega_0\sqrt{1 + (1/4Q^2)} \pm \frac{\omega_0}{2Q} \qquad (۱۱-۲۹)$$

بدین ترتیب :

$$BW \equiv \omega_2 - \omega_1 = \omega_0/Q \qquad (۱۱-۳۰)$$

دقت کنید که با افزایش Q پهنای باند کاهش یافته و فیلتر میان‌گذر تیزتر می‌شود.

اگر صفرهای انتقال روی محور $j\omega$ در محل های مزدوج مختلف $\pm j\omega_n$ قرار گیرند، آنگاه پاسخ دامنه دارای یک انتقال صفر در $\omega = \omega_n$ **فرکانس notch** ω_n نامیده می‌شود. سه حالت برای فیلتر notch مرتبه دوم وجود دارد: notch عادی، هنگامی به دست می‌آید که $\omega_n = \omega_0$ باشد (شکل ت ۱۶-۱۱)، notch پایین‌گذر در حالت $\omega_n > \omega_0$ (شکل ث ۱۶-۱۱) و notch بالاگذر در حالت $\omega_n < \omega_0$ (شکل ج ۱۶-۱۱). به خواننده توصیه می‌کنیم جزئیات پاسخهای داده شده در شکلها را اثبات

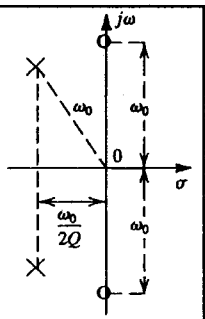


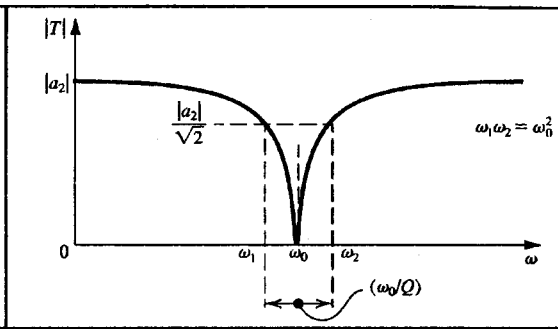
شکل ۱۶-۱۱. توابع فیلتر مرتبه دوم

(ت) Notch

$$T(s) = a_2 \frac{s^2 + \omega_0^2}{s^2 + s\frac{\omega_0}{Q} + \omega_0^2}$$

بهره dc =
بهره فرکانس بالا = a_2





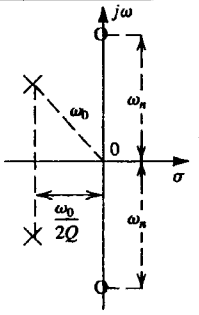
(ث) Notch پایین گذر
(LPN)

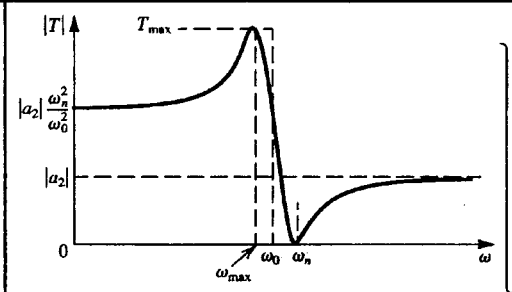
$$T(s) = a_2 \frac{s^2 + \omega_n^2}{s^2 + s\frac{\omega_0}{Q} + \omega_0^2}$$

$\omega_n \geqslant \omega_0$

بهره dc $= a_2 \frac{\omega_n^2}{\omega_0^2}$

بهره فرکانس بالا = a_2





$$\omega_{max} = \omega_0 \sqrt{\frac{\left(\frac{\omega_n^2}{\omega_0^2}\right)\left(1 - \frac{1}{2Q^2}\right) - 1}{\frac{\omega_n^2}{\omega_0^2} + \frac{1}{2Q^2} - 1}}$$

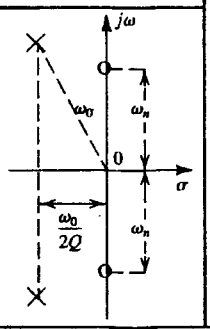
(ج) Notch بالاگذر
(HPN)

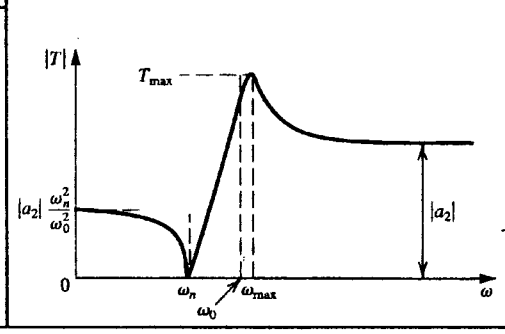
$$T(s) = a_2 \frac{s^2 + \omega_n^2}{s^2 + s\frac{\omega_0}{Q} + \omega_0^2}$$

$\omega_n \leqslant \omega_0$

بهره dc $= a_2 \frac{\omega_n^2}{\omega_0^2}$

بهره فرکانس بالا = a_2



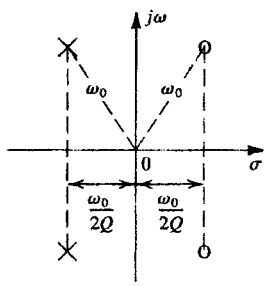


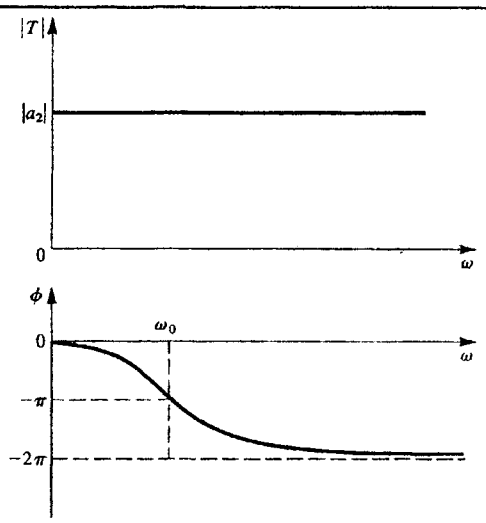
$$T_{max} = \frac{|a_2| \quad |\omega_n^2 - \omega_{max}^2|}{\sqrt{(\omega_0^2 - \omega_{max}^2)^2 + \left(\frac{\omega_0}{Q}\right)^2 \omega_{max}^2}}$$

تمام گذر (چ)
(AP)

$$T(s) = a_2 \frac{s^2 - s\frac{\omega_0}{Q} + \omega_0^2}{s^2 + s\frac{\omega_0}{Q} + \omega_0^2}$$

بهره تخت = a_2





شکل ۱۶-۱۱ . ادامه

نماید (هرچند کاری نسبتاً کسالت آور است!) دقت کنید که در همهٔ حالات notch، انتقال در dc و در $s = \infty$، محدود است. این بدان خاطر است که هیچ صفر انتقالی در $s = 0$ یا $s = \infty$ وجود ندارد.

آخرین حالت خاص مورد نظر، فیلتر تمام گذر است که مشخصه‌های آن در شکل (چ ۱۶-۱۱) به نمایش درآمده‌است. در اینجا دو صفر انتقال در سمت راست صفحهٔ s در محل‌های تصویر ـ آینه‌ای قطبها قرار گرفته‌اند. (این امر برای فیلترهای تمام گذر از هر مرتبه‌ای که باشند صادق است). پاسخ اندازهٔ تابع تمام گذر در همهٔ فرکانسها ثابت است که **بهرهٔ تخت** نامیده شده و در این حالت مساوی $|a_2|$ می‌باشد. گزینش فرکانس تابع تمام گذر در پاسخ فاز آن است.

تمرینها

۱۱-۱۳ بروی یک فیلتر پایین‌گذر مرتبه دوم حداکثر تخت ($Q = 1/\sqrt{2}$) نشان دهید پاسخ اندازه در $\omega = \omega_0$، ۳dB کمتر از مقدار آن در dc می‌باشد.

۱۱-۱۴ تابع انتقال یک فیلتر میان‌گذر مرتبه دوم را با فرکانس مرکزی 10^5 rad/s، بهرهٔ فرکانس مرکزی ۱۰ و پهنای باند ۳ dB، 10^3 rad/s به دست آورید.

جواب. $T(s) = \dfrac{10^4 s}{s^2 + 10^3 s + 10^{10}}$

۱۱-۱۵ (الف) برای یک تابع notch مرتبه دوم با $\omega_n = \omega_0$ نشان دهید به منظور داشتن تضعیف بزرگتر از A dB در باند فرکانسی BW_a، مقدار Q از رابطه:

$$Q \le \frac{\omega_0}{BW_a\sqrt{10^{A/10} - 1}}$$

به دست می‌آید. (راهنمایی: ابتدا نشان دهید که هر یک از فرکانس‌های ω_1 و ω_2 که $|T|$ در آنها یکی است، با رابطه $\omega_2\omega_1 = \omega_0^2$ با هم ارتباط دارند.)

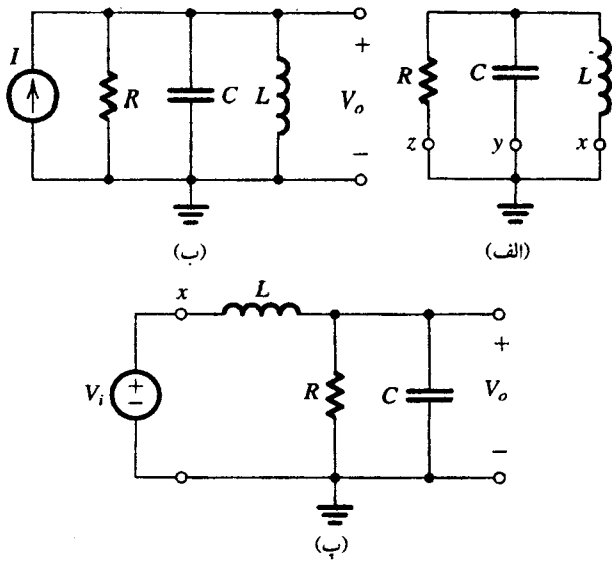
(ب) با استفاده از نتایج (الف) نشان دهید پهنای باند ۳ dB، همانطور که در شکل (ت ۱۶-۱۱) نشان داده شده است ω_0/Q می‌باشد.

۱۱-۱۶ یک تابع notch پایین‌گذر با $\omega_0 = 1$ rad/s، $Q = 10$، $\omega_n = 1.2$ rad/s و بهرهٔ dc واحد در نظر بگیرید. فرکانس و اندازهٔ نوک انتقال را به دست آورید. انتقال فرکانس بالا را نیز پیدا کنید.

جواب. ۰/۹۸۶ rad/s؛ ۳/۱۷؛ ۰/۶۹ ❑

۱۱-۵ تشدید کنندهٔ LCR مرتبهٔ دوم

در این بخش تشدیدکننده‌های LCR مرتبه دوم شکل (الف۱۷-۱۱) را بررسی می‌کنیم. از این تشدیدکننده‌ها در تحقق‌های مداری توابع فیلتر مرتبه دوم گوناگونی استفاده می‌شود که آنها را شرح خواهیم داد. همچنین در بخش بعدی نشان می‌دهیم که با قرار دادن یک القاگر شبیه‌سازی شده توسط مدار op amp-RC به جای القاگر L یک تشدیدکنندهٔ op amp-RC حاصل می‌شود که تشکیل دهندهٔ اساس یک گروه مهم از فیلترهای RC فعال است که در بخش بعد مورد بررسی قرار می‌گیرد.



شکل ۱۷-۱۱. **(الف)** تشدیدکنندهٔ LCR موازی مرتبه دوم **(ب)** و **(پ)** دو روش تحریک تشدیدکنندهٔ **(الف)** بدون تغییر در ساختار طبیعی آن. قطبهای تشدیدکننده قطبهای V_o/I و V_o/V_i هستند

حالات طبیعی تشدیدکننده

حالات طبیعی مدار تشدید موازی شکل (الف ۱۷-۱۱) می‌توانند با اعمال یک تحریک که ساختار طبیعی مدار را تغییر ندهد، تعیین شوند. دو روش ممکن تحریک مدار در شکلهای (ب و پ ۱۷-۱۱) به نمایش درآمده‌اند. در شکل (ب ۱۷-۱۱) تشدیدکننده با منبع جریان I که بصورت موازی اتصال یافته تحریک می‌شود. از نظر پاسخ طبیعی مدار، منبع جریان ایده‌آل مستقل معادل مدار باز می‌باشد و تحریک به شکل (ب۱۷-۱۱) ساختار طبیعی تشدیدکننده را تغییر نمی‌دهد. بدین ترتیب مدار شکل (ب ۱۷-۱۱) برای تعیین حالات طبیعی تشدیدکننده بوسیله پیدا کردن قطبهای تابع پاسخ آن مورد استفاده قرار می‌گیرد. برای مثال می‌توانیم ولتاژ V_o را بعنوان پاسخ در نظر گرفته و تابع پاسخ $Z = V_o/I$ را به دست آوریم که Z امپدانس مدار تشدید موازی است. اما بدیهی است که استفاده از ادمیتانس Y راحت‌تر است بنابراین

$$\frac{V_o}{I} = \frac{1}{Y} = \frac{1}{(1/sL) + sC + (1/R)} \qquad (۱۱-۳۱)$$

$$= \frac{s/C}{s^2 + s(1/CR) + (1/LC)}$$

از مساوی انگاشتن مخرج کسر با شکل استاندارد

$$s^2 + s(\omega_0/Q) + \omega_0^2$$

داریم:

$$\omega_0^2 = 1/LC \qquad (۱۱-۳۲)$$

و

$$\omega_0/Q = 1/CR \qquad (۱۱-۳۳)$$

بدین ترتیب

$$\omega_0 = 1/\sqrt{LC} \qquad (۱۱-۳۴)$$

$$Q = \omega_0 CR \qquad (۱۱-۳۵)$$

این عبارتها بایستی برای خواننده بعلت مطالعات قبلی در مورد مدارهای تشدید موازی در تئوری مدار آشنا باشند.

یک روش دیگر تحریک تشدید کنندهٔ LCR موازی به منظور تعیین حالات طبیعی آن، در شکل (پ ۱۷-۱۱) به نمایش درآمده است. در اینجا گره x القاگر L از زمین جدا شده و به یک منبع ولتاژ ایده‌آل V_i متصل می‌شود. اکنون از نظر پاسخ طبیعی مدار، یک منبع ولتاژ مستقل ایده‌آل معادل یک اتصال کوتاه است و تحریک شکل (پ ۱۷-۱۱) ساختار طبیعی تشدید کننده را تغییر نمی‌دهد. بنابراین با استفاده از مدار شکل (پ۱۷-۱۱) حالات طبیعی تشدیده کننده را که قطبهای تابع پاسخ مدار هستند تعیین کنیم. برای مثال می‌توانیم V_o رابعنوان پاسخ در نظر گرفته و تابع انتقال V_o/V_i را به دست آوریم: خواننده می‌تواند اثبات نماید که این امر منجر به حالات طبیعی به دست آمده در بالا خواهد شد.

در مسأله طراحی مقدار ω_o و Q داده شده و تعیین L، C و R مورد نظر است. معادله‌های (۳۴-۱۱) و (۳۵-۱۱) دو معادله با سه مجهول هستند. یک درجه آزادی موجود می‌تواند برای تنظیم سطح امپدانس مدار به مقداری که منجر به مقادیر عملی عناصر شود مورد استفاده قرار گیرد.

تحقق صفرهای انتقال

پس از انتخاب مقادیر عناصر تشدید کنندهٔ LCR برای تحقق یک زوج قطب مزدوج مختلط، اکنون استفاده از تشدید کننده برای تحقق نوع فیلتر خواسته شده را در نظر می‌گیریم (بطور مثال LP ، HP و غیره). مشخصاً می‌خواهیم محل تزریق سیگنال ولتاژ ورودی V_i رابرای به دست آوردن تابع انتقال V_o/V_i خواسته شده پیدا کنیم. برای رسیدن به نتیجه توجه کنید که در مدار تشدید کنندهٔ شکل (الف ۱۷-۱۱) هر یک از گره‌های x، y یا z می‌تواند از زمین جدا شده، به منبع V_i متصل شوند بدون اینکه حالات طبیعی مدار تغییر کنند. با انجام این کار مدار شکل یک مقسم ولتاژ را بخود می‌گیرد. که در شکل (الف ۱۸-۱۱) نشان داده شده است. بنابراین تابع انتقال به دست آمده عبارتست از:

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \qquad (۱۱-۳۶)$$

مشاهده می‌کنیم که صفرهای انتقال مقادیری از s هستند که به ازای آنها $Z_2(s)$ صفر است در صورتی که $Z_1(s)$ بطور همزمان صفر نباشد و همچنین مقادیری از s که به ازای آنها $Z_1(s)$ بی‌نهایت است بطوری که $Z_2(s)$ همزمان بی‌نهایت نباشد. این جمله مفهوم فیزیکی زیر را دربردارد: خروجی هنگامی صفر است که $Z_2(s)$ مانند یک مدار اتصال کوتاه یا $Z_1(s)$ مانند یک مدار باز عمل کند. اگر به ازای مقداری از s، Z_1 و Z_2 صفر شوند، V_o/V_i محدود بوده و هیچ صفر انتقالی به دست نمی‌آید. بطور مشابه اگر به ازای مقداری از s، Z_1 و Z_2 بی‌نهایت شوند، V_o/V_i محدود بوده و صفر انتقالی وجود نخواهد داشت.

تحقق تابع پایین‌گذر

با استفاده از طرح به دست آمده در بالا، برای تحقق تابع پایین‌گذر بایستی گره x از زمین جدا شده به V_i متصل شود همانطور که در شکل (ب۱۸-۱۱) نشان داده شده است. صفرهای انتقال این مدار در صورتی به دست می‌آیند که به ازای s، امپدانس سری بی‌نهایت شود (sL در $s = \infty$، بی‌نهایت می‌شود) و یا امپدانس موازی صفر شود (در $s=\infty$، $1/[sC+(1/R)]$ صفر می‌شود). بنابراین مدار دو صفر انتقال در $s = \infty$ دارد. که منظور از LP نیز همین است. تابع انتقال هم با بررسی مدار و هم با استفاده از قانون مقسم ولتاژ قابل نوشتن است. با استفاده از روش دوم داریم:

(۱۱-۳۷)

$$T(s) \equiv \frac{V_o}{V_i} = \frac{Z_2}{Z_1 + Z_2} = \frac{Y_1}{Y_1 + Y_2} = \frac{1/sL}{(1/sL)+sC + (1/R)}$$
$$= \frac{1/LC}{s^2 + s\,(1/CR) + (1/LC)}$$

تحقق تابع بالاگذر

برای تحقق تابع بالاگذر مرتبه دوم گره y مطابق شکل (پ ۱۸-۱۱) از زمین جدا شده، به V_i متصل می‌شود. دراینجا خازن سری مبین یک صفر انتقال در $s=0$ (dc) است و القاگر موازی صفر انتقال دیگر را در $s = 0$ (dc) معرفی می‌کند. بدین ترتیب با بررسی مدار تابع انتقال بصورت زیر نوشته می‌شود:

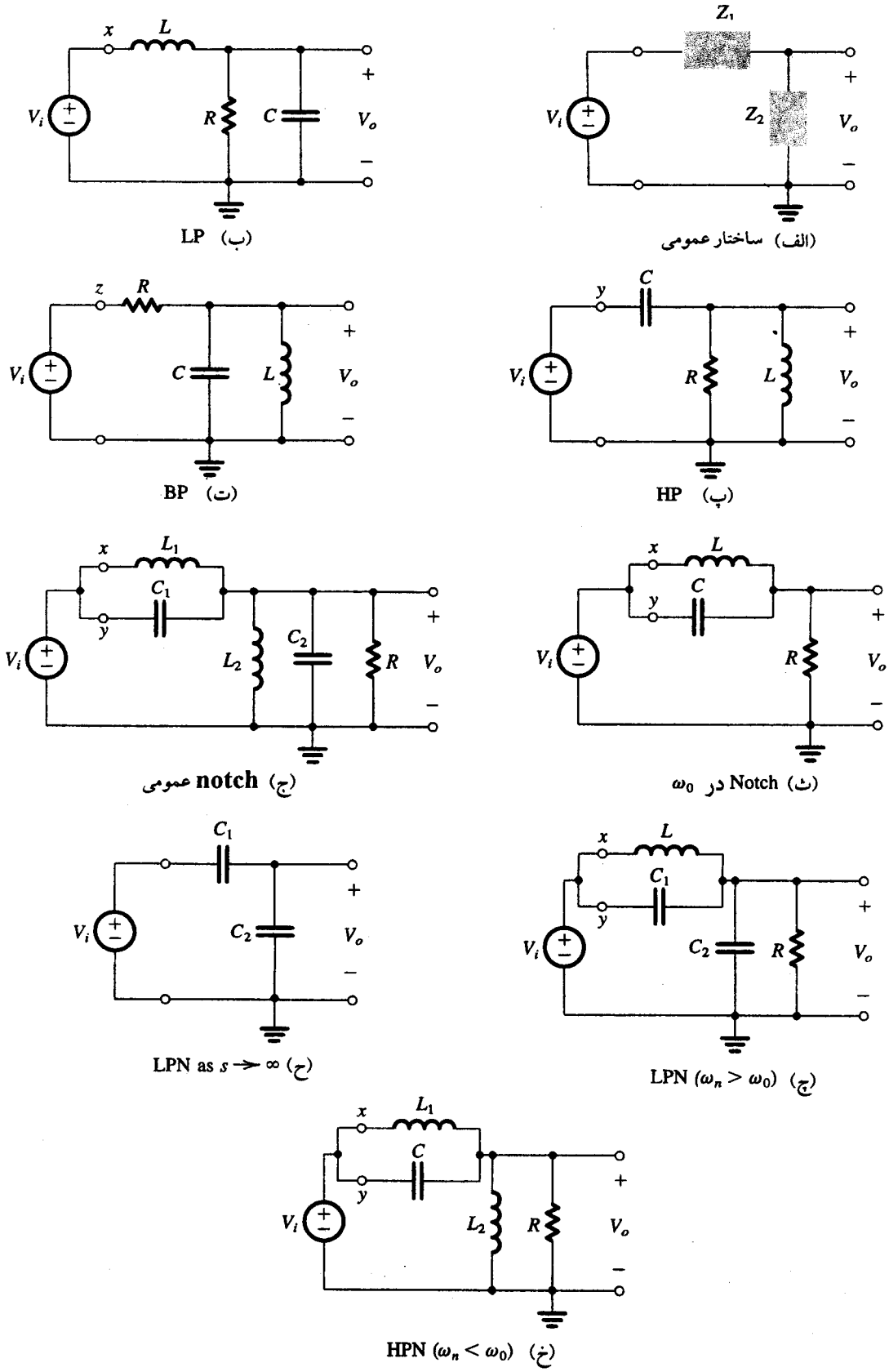
$$T(s) \equiv \frac{V_o}{V_i} = \frac{a_2 s^2}{s^2 + s(\omega_o/Q) + \omega_o^2} \qquad (۱۱-۳۸)$$

در رابطه فوق ω_o و Q، پارامترهای حالت طبیعی به دست آمده از معادلات (۳۴-۱۱) و (۳۵-۱۱) و a_2 انتقال فرکانس بالا می‌باشد. با توجه به این نکته که اگر s به سمت بی‌نهایت میل کند خازن بصورت اتصال کوتاه عمل می‌کند، V_o به سمت V_i میل کرده و مقدار $a_2 = 1$ به دست می‌آید.

تحقق تابع میان‌گذر

تابع میان گذر با قطع گره z از زمین و وصل آن به V_i، مطابق شکل (ت ۱۸-۱۱)، تحقق می‌یابد. در اینجا امپدانس سری، مقاومتی است و بنابراین مبین هیچ صفر انتقالی نیست. صفرهای انتقال بصورت زیر به دست می‌آیند: یکی در $s = 0$ توسط القاگر موازی و دیگری در $s = \infty$ توسط خازن موازی. در فرکانس موازی ω_o، مدار تنظیمی LC موازی دارای امپدانس بی‌نهایت بوده و جریانی در مدار وجود ندارد. یعنی در $\omega = \omega_o$، $V_o = V_i$ می‌باشد. به عبارت دیگر بهره فرکانس مرکزی فیلتر میان‌گذر، واحد است. تابع انتقال آن بصورت زیر به دست می‌آید:

$$T(s) = \frac{Y_R}{Y_R + Y_L + Y_C} = \frac{1/R}{(1/R)+(1/sL)+(sC)} \qquad (۱۱-۳۹)$$
$$= \frac{s\,(1/CR)}{s^2 + s(1/CR)+(1/LC)}$$



شکل ۱۸-۱۱. تحقق توابع فیلتر مرتبه دوم مختلف با استفاده از تشدیدکننده LCR شکل (ب ۱۷-۱۱). (الف) ساختار عمومی. (ب) LP. (پ) HP. (ت) BP. (ث) notch در ω_0. (ج) notch عمومی. (چ) LPN ($\omega_n \geq \omega_0$). (ح) LPN در $s \to \infty$. (خ) HPN ($\omega_n < \omega_0$)

تحقق تابع notch

برای به دست آوردن یک جفت صفر انتقال روی محور $j\omega$ از مدار تشدید موازی در بازوی سری، مطابق شکل (ث ۱۸-۱۱) بهره می‌گیریم. توجه کنید که این مدار از قطع دو گره x و y از زمین و وصل هردوی آنها به V_i حاصل می‌شود. امپدانس مدار LC در $\omega=\omega_0=1/\sqrt{LC}$ بی‌نهایت می‌شود یعنی صفرهای انتقال در این فرکانس هستند. امپدانس موازی مقاومتی است و بنابراین مبین هیچ صفر انتقالی نمی‌باشد. از مدار شکل (ث ۱۸-۱۱) تابع انتقال notch به شکل زیر به دست می‌آید

$$T(s) = a_2 \frac{s^2 + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \qquad (۱۱-۴۰)$$

از مدار می‌توان دریافت که مقدار بهرهٔ فرکانس بالای a_2، واحد است.

برای دستیابی به تحقق فیلتر notch که در آن فرکانس notch، ω_n نسبت به ω_0 در محل دلخواهی قرار گرفته است، تغییری در طرح بالا می‌دهیم. هنوز مطابق شکل (ج ۱۸-۱۱) در شاخهٔ سری، مدار LC موازی وجود دارد. L_1 و C_1 بصورت زیر انتخاب می‌شوند:

$$L_1C_1 = 1/\omega_n^2 \qquad (۱۱-۴۱)$$

مدار تانک L_1C_1 مبین یک زوج صفر انتقال در $\pm j\omega_n$ است در صورتی که L_2C_2 در ω_n تشدید نکند. جدای از این محدودیت، L_2 و C_2 باید طوری انتخاب شوند که مطمئن شویم حالات طبیعی دستخوش تغییر نمی‌شوند. بنابراین

$$C_1 + C_2 = C \qquad (۱۱-۴۲)$$

$$L_1 // L_2 = L \qquad (۱۱-۴۳)$$

بعبارت دیگر هنگامی که بجای V_i، مدار اتصال کوتاه قرار دهیم، مدار باید به تشدیدکننده LCR اصلی تبدیل شود. مسئله دیگری که باید به آن توجه داشت این است که مدار شکل (ج ۱۸-۱۱) از تشدیدکنندهٔ LCR اصلی با جداکردن L و C از زمین و وصل آنها به V_i حاصل شده است.

بایستی یادآور شویم در مدار شکل (ج ۱۸-۱۱) L_2 هیچ صفر انتقالی را در $s = 0$ معرفی نمی‌کند، چون در $s = 0$، مدار L_1C_1 یک صفر دارد. در حقیقت در $s = 0$ مدار تبدیل به یک مقسم ولتاژ القایی با انتقال dc، $L_2/(L_1 + L_2)$ می‌شود. توضیحات مشابه در مورد C_2 و عدم معرفی صفر انتقال در $s = \infty$ نیز صادق است.

تحقق فیلترهای LPN و HPN حالات خاص notch عمومی مدار شکل (ج ۱۸-۱۱) هستند. مشخصاً برای LPN داریم

$$\omega_n > \omega_0$$

بنابراین

$$L_1C_1 < (L_1 // L_2)(C_1 + C_2)$$

این شرایط با حذف L_2 برآورده می‌شود، (یعنی $L_1 = L$ و $L_2 = \infty$) که منجر به مدار شکل (چ ۱۸-۱۱) خواهد شد.

با بررسی مدار تابع انتقال به شکل زیر نوشته می‌شود:

$$T(s) \equiv \frac{V_o}{V_i} = a_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \qquad (۱۱-۴۴)$$

در رابطهٔ فوق

$$\omega_0/Q = 1/CR \,،\, \omega_0^2 = 1/L(C_1 + C_2) \,،\, \omega_n^2 = 1/LC_1$$

و a_2 بهره فرکانس بالا می‌باشد. از مدار درمی‌یابیم که اگر $s\to\infty$، مدار به شکل (ح ۱۸-۱۱) تقلیل می‌یابد که در آن داریم:

$$\frac{V_o}{V_i} = \frac{C_1}{C_1 + C_2}$$

بنابراین

$$a_2 = \frac{C_1}{C_1 + C_2} \qquad (۱۱-۴۵)$$

برای دستیابی به تحقق HPN باشروع از مدار (ج ۱۸-۱۱) و استفاده از $\omega_n < \omega_0$ داریم

$$L_1C_1 > (L_1 // L_2)(C_1 + C_2)$$

که با انتخاب $C_2=0$ (یعنی $C_1 = C$) شرط فوق برآورده می‌شود بنابراین مدار تقلیل یافته شکل (خ ۱۸-۱۱) به دست می‌آید. توجه کنید که در صورت $s\to\infty$، V_o به سمت V_i میل می‌کند، بنابراین بهره فرکانس بالا، واحد است. بدین ترتیب تابع انتقال بصورت زیر نوشته می‌شود:

$$T(s) \equiv \frac{V_o}{V_i} = \frac{s^2 + (1/L_1C)}{s^2 + s(1/CR) + [1/(L_1//L_2)\,C]} \qquad (۱۱-۴۶)$$

تحقق تابع تمام‌گذر

تابع انتقال تمام گذر

$$T(s) = \frac{s^2 - s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \qquad (۱۱-۴۷)$$

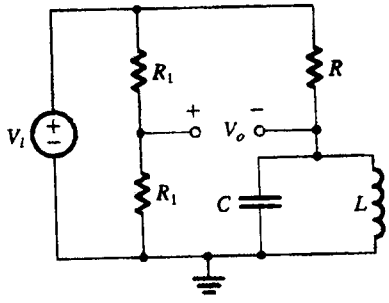
می‌تواند به شکل زیر نوشته شود.

$$T(s) = 1 - \frac{2s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2} \qquad (۱۱-۴۸)$$

دومین جمله سمت راست عبارت فوق یک تابع میان گذر با بهره فرکانس مرکزی ۲ می‌باشد. قبلاً مدار میان گذر (شکل ت ۱۸-۱۱) را با بهره فرکانس مرکزی واحد دیدیم. بنابراین قصد تحقق یک تابع تمام گذر با بهرهٔ تخت ۰/۵ را داریم یعنی

$$T(s) = 0/5 - \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

این تابع با استفاده از یک تضعیف کننده با نسبت انتقال ۰/۵ و مدار میان‌گذر شکل (ت ۱۸-۱۱) تحقق می‌یابد. برای انجام عمل تفریق، خروجی مدار تمام گذر، مطابق شکل (۱۹-۱۱) از وسط پایانه خروجی تضعیف کننده و فیلتر میان‌گذر، گرفته می‌شود. متاسفانه عیب مدار، فقدان



شکل ۱۹-۱۱. تحقق تابع انتقال تمام گذر مرتبه دوم با استفاده از مقسم ولتاژ و تشدید کننده LCR

پایانهٔ زمین مشترک بین ورودی و خروجی است. تحقق op amp-RC تابع تمام گذر در بخش بعدی نشان داده خواهد شد.

تمرینها

۱۱-۱۷ با استفاده از شکل (ب ۱۸-۱۱) تابع پایین‌گذر مرتبه دوم از نوع حداکثر تخت را با f_{3dB} = ۱۰۰ kHz تحقق دهید.

جواب. با انتخاب R =۱kΩ به دست می‌آوریم: C = ۱۱۲۵ pF و L=۲/۲۵mH

۱۱-۱۸ بااستفاده از شکل (ث ۱۸-۱۱) یک فیلتر notch برای حذف صدای مزاحم منبع تغذیه در فرکانس ۶۰ Hz باید بیش از ۳ dB باشد، تمرین ۱۵-۱۱ و (شکل ت ۱۶-۱۱ رامـلاحظه کـنید) از R = ۱۰ KΩ استفاده کنید.

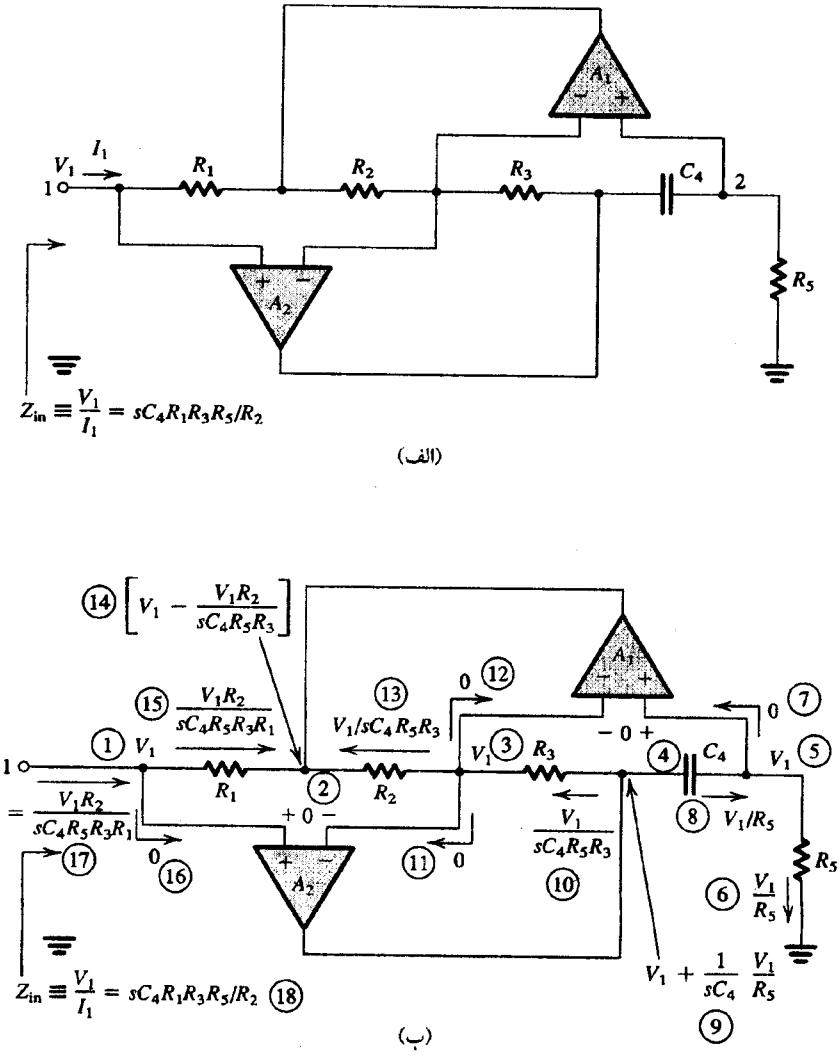
جواب. C = ۱/۶μF و L = ۴/۴۲ H (توجه کنید که به القاگر بزرگ نیاز داریم. بهمین علت فیلترهای غیرفعال در کاربردهای فرکانس پایین عملی نیستند). ❑

۱۱-۶ فیلترهای فعال مرتبه دوم بر اساس جایگزینی القاگر

دراین فصل خانوادهٔ مدارهای op amp -RC را که توابع فیلتر مرتبه دوم مختلف را تحقق می‌دهند بررسی می‌کنیم.این مدارها بر اساس تشدیدکننده‌های op amp-RC استوارند که از جایگزینی القاگر L با مدار op amp-RC که دارای امپدانس ورودی القایی است، در تشدیدکنندهٔ LCR، به دست می‌آید.

مدار شبیه ساز القایی آنتونیو

سالهاست که مدارهای op amp-RC زیادی برای شبیه‌سازی علمکرد القاگر پیشنهاد شده است اما یکی از این مدارها که توسط آ. آنتونیو (Antonio-1969 را ملاحظه کنید) ابداع شده، ثابت کرده که " بهترین " است. منظور ما از بهترین این است که عملکرد این مدار، با خواص غیرخطی op−amp، بویژه محدودبودن بهره و باند فرکانسی آن بطور عملی، سازش زیاد دارد. شکل (الف ۲۰-۱۱) مدار شبیه‌ساز القاگر آنتونیو را نشان می‌دهد. اگرمدار در ورودی (گره ۱) با منبع ولتاژ V_1 تغذیه شده و



شکل ۲۰-۱۱. **(الف)** مدار شبیه‌ساز القاگر آنتونیو **(ب)** تحلیل مدار با فرض ایده‌آل بودن op−amp. ترتیب تحلیل با شماره مشخص شده است.

جریان ورودی را I_1 بنامیم، برای op-amp ایده‌آل، امپدانس ورودی را می‌توان بصورت زیر نشان داد

$$Z_{in} \equiv V_1/I_1 = sC_4R_1R_3R_5/R_2 \qquad (11\text{-}49)$$

که در واقع بصورت یک القاگر L با مقدار زیر است

$$L = C_4R_1R_3R_5/R_2 \qquad (11\text{-}50)$$

شکل (ب ۲۰-۱۱) تحلیل مدار با فرض ایده‌آل بودن op-amp و بنابراین وجود اتصال کوتاه مجازی بین دو پایانه ورودی op-amp و صفر بودن جریان ورودی op-amp ها، نشان می‌دهد. تحلیل در گره ۱ که منبع ولتاژ V_1 آن را تغذیه می‌کند شروع شده، مرحله به مرحله با شماره‌های مشخص شده روی شکل به جلو پیش می‌رود. نتیجه تحلیل بصورت عبارت نوشته شده برای جریان I_1 نشان داده شده که Z_{in} از آن به دست آمده است.

طراحی این مدار معمولاً با انتخاب $R_1 = R_2 = R_3 = R_5 = R$ و $C_4 = C$ که منجر به $L = CR^2$ می‌شود، صورت می‌گیرد سپس مقادیر C و R برای رسیدن به مقدار L مورد نیاز انتخاب می‌شوند.

تشدیدکنندهٔ op amp-RC

شکل (الف ۲۱-۱۱) تشدیدکنندهٔ LCR را که در بخش قبلی بطور مشروح مطالعه شد، نشان می‌دهد. جایگزینی L با مدار شبیه‌ساز القاگر آنتونیو در شکل (الف ۲۰-۱۱) منجر به تشدیدکنندهٔ op amp-RC شکل (ب ۲۱-۱۱) می‌شود (فعلاً از تقویت‌کننده نشان داده بصورت خط چین صرفنظر کنید) مدار شکل (ب ۲۱-۱۱) یک تشدیدکنندهٔ مرتبه دوم، با فرکانس قطب زیر می‌باشد

$$\omega_0 = 1/\sqrt{LC_6} = 1/\sqrt{C_4C_6R_1R_3R_5/R_2} \qquad (11\text{-}51)$$

که در آن از عبارت داده شده برای L در معادله (۵۰-۱۱) استفاده کرده‌ایم، ضریب Q قطب عبارتست از:

$$Q = \omega_0C_6R_6 = R_6\sqrt{\frac{C_6}{C_4}\frac{R_2}{R_1R_3R_5}} \qquad (11\text{-}52)$$

معمولاً انتخاب به شکل

$$R_1 = R_2 = R_3 = R_5 = R \text{ و } C_4 = C_6 = C$$

صورت می‌گیرد که منجر به عبارت زیر می‌شود:

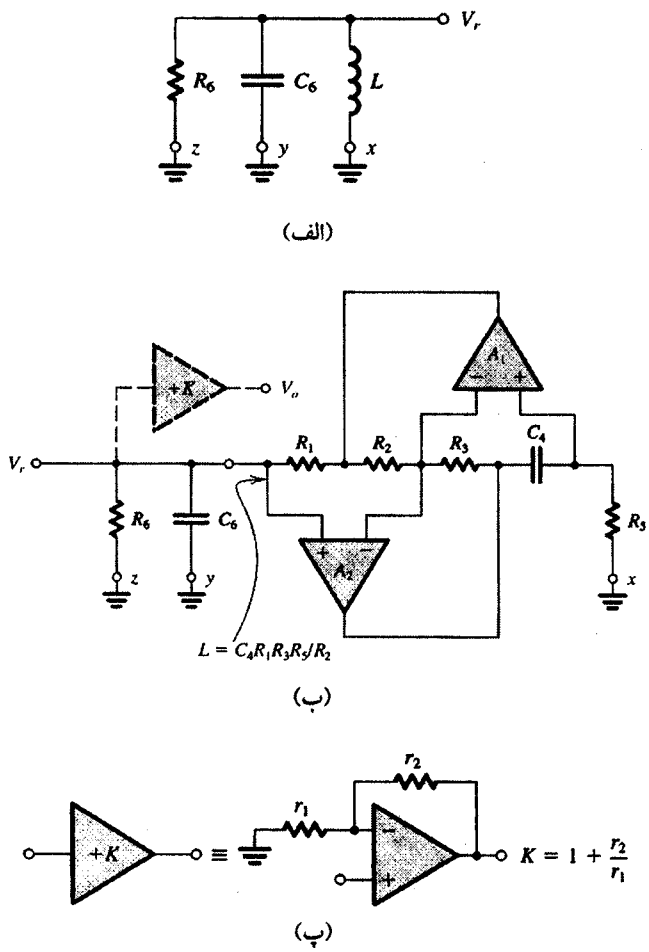
$$\omega_0 = 1/CR \qquad (11\text{-}53)$$

$$Q = R_6/R \qquad (11\text{-}54)$$

یک مقدار عملی راحت برای C انتخاب کنید، با بهره‌گیری از معادلهٔ (۵۳-۱۱) مقدار R را برای تحقق ω_0 خواسته شده، تعیین کنید. و سپس بااستفاده از معادله (۵۴-۱۱) مقدار R_6 را برای دستیابی به Q مورد نیاز به دست آورید.

تحقق انواع مختلف فیلتر

تشدیدکنندهٔ op amp-RC شکل (ب ۲۱-۱۱) برای تحقق مداری



شکل ۲۱-۱۱. (الف) یک تشدیدکنندهٔ LCR (ب) تشدیدکننده op-amp-RC حاصل از قراردادن مدار شبیه‌ساز القاگر آنتونیو شکل (الف ۲۰-۱۱) بجای القاگر L در تشدیدکننده LCR (الف) (پ) پیاده‌سازی تقویت‌کنندهٔ میانگیر K

انواع توابع فیلتر مرتبهٔ دوم، با توجه به بررسی جزئیات تشدیدکننده‌های LCR بخش قبل، مورد استفاده قرار می‌گیرد. بنابراین برای دستیابی به تابع میان گذر، گره z را از زمین قطع کرده، به منبع سیگنال V_i متصل می‌کنیم. تابع بالاگذر از تزریق سیگنال V_i به گره y به دست می‌آید. برای تحقق تابع پایین‌گذر با استفاده از تشدیدکنندهٔ LCR پایانه x القاگر از زمین جدا شده، به V_i متصل می‌شود. گره متناظر در تشدیدکنندهٔ فعال، گره اتصال R_5 به زمین است، که با گره x در شکل (ب ۲۱-۱۱) مشخص شده است. یک تابع notch عادی ($\omega_n=\omega_0$) با اعمال V_i به گره‌های x و y به دست می‌آید. در همهٔ حالات می‌توان خروجی را ولتاژ مدار تشدید، V_r، در نظر گرفت. اما این گره محل مناسبی برای در نظر گرفتن پایانه خروجی فیلتر نیست چون اتصال بار مشخصه‌های فیلتر را تغییر می‌دهد. این مشکل به آسانی با بهره‌گیری از تقویت‌کنندهٔ میانگیر قابل حل است. بهرهٔ این تقویت‌کننده K بوده و در شکل (ب ۲۱-۱۱) بصورت خط چین به نمایش در آمده است. شکل (پ ۲۱-۱۱) چگونگی ساخت این تقویت‌کننده را با استفاده از یک op-amp در آرایش ناوارونگر به سادگی نشان می‌دهد. توجه کنید تقویت

مدار	تابع انتقال و سایر پارامترها	معادلات طراحی
تشدید کننده شکل (ب۲۲-۱۱)	$\omega_0 = 1/\sqrt{C_4C_6R_1R_3R_5/R_2}$ $Q = R_6\sqrt{\dfrac{C_6}{C_4}\dfrac{R_2}{R_1R_3R_5}}$	$C_4 = C_6 = C$ (مقدار عملی) $R_1 = R_2 = R_3 = R_5 = 1/\omega_0 C$ $R_6 = Q/\omega_0 C$
پایین گذر (LP) شکل (الف۲۲-۱۱)	$T(s) = \dfrac{KR_2/C_4C_6R_1R_3R_5}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ بهره dc
بالاگذر (HP) شکل (ب۲۲-۱۱)	$T(s) = \dfrac{Ks^2}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ بهره فرکانس بالا
میان گذر (BP) شکل (پ۲۲-۱۱)	$T(s) = \dfrac{Ks/C_6R_6}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ بهره فرکانس مرکزی
notch عادی (N) شکل (ت۲۲-۱۱)	$T(s) = \dfrac{K[s^2 + (R_2/C_4C_6R_1R_3R_5)]}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ بهره فرکانس بالا و پایین
notch پایین گذر (LPN) شکل (ث۲۲-۱۱)	$T(s) = K\dfrac{C_{61}}{C_{61} + C_{62}} \times \dfrac{s^2 + (R_2/C_4C_{61}R_1R_3R_5)}{s^2 + s\dfrac{1}{(C_{61} + C_{62})R_6} + \dfrac{R_2}{C_4(C_{61} + C_{62})R_1R_3R_5}}$ $\omega_n = 1/\sqrt{C_4C_{61}R_1R_3R_5/R_2}$ $\omega_0 = 1/\sqrt{C_4(C_{61} + C_{62})R_1R_3R_5/R_2}$ $Q = R_6\sqrt{\dfrac{C_{61} + C_{62}}{C_4}\dfrac{R_2}{R_1R_3R_5}}$	$K =$ بهره dc $C_{61} + C_{62} = C_6 = C$ $C_{61} = C(\omega_0/\omega_n)^2$ $C_{62} = C - C_{61}$
notch بالاگذر (HPN) شکل (ج۲۲-۱۱)	$T(s) = K\dfrac{s^2 + (R_2/C_4C_6R_1R_3R_{51})}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3}\left(\dfrac{1}{R_{51}} + \dfrac{1}{R_{52}}\right)}$ $\omega_n = 1/\sqrt{C_4C_6R_1R_3R_{51}/R_2}$ $\omega_0 = \sqrt{\dfrac{R_2}{C_4C_6R_1R_3}\left(\dfrac{1}{R_{51}} + \dfrac{1}{R_{52}}\right)}$ $Q = R_6\sqrt{\dfrac{C_6}{C_4}\dfrac{R_2}{R_1R_3}\left(\dfrac{1}{R_{51}} + \dfrac{1}{R_{52}}\right)}$	$K =$ بهره فرکانس بالا $\dfrac{1}{R_{51}} + \dfrac{1}{R_{52}} = \dfrac{1}{R_5} = \omega_0 C$ $R_{51} = R_5(\omega_0/\omega_n)^2$ $R_{52} = R_5/[1 - (\omega_n/\omega_0)^2]$
تمام گذر (AP) شکل (ج۲۲-۱۱)	$T(s) = \dfrac{s^2 - s\dfrac{1}{C_6R_6}\dfrac{r_2}{r_1} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$ $\omega_z = \omega_0 \quad Q_z = Q(r_1/r_2)$ بهره تخت $= 1$	$r_1 = r_2 = r$ (دلخواه) r_2 را طوری تنظیم کنید که $Q_z = Q$ شود

جدول ۱-۱۱. داده‌های طراحی برای مدار شکل (۲۲-۱۱)

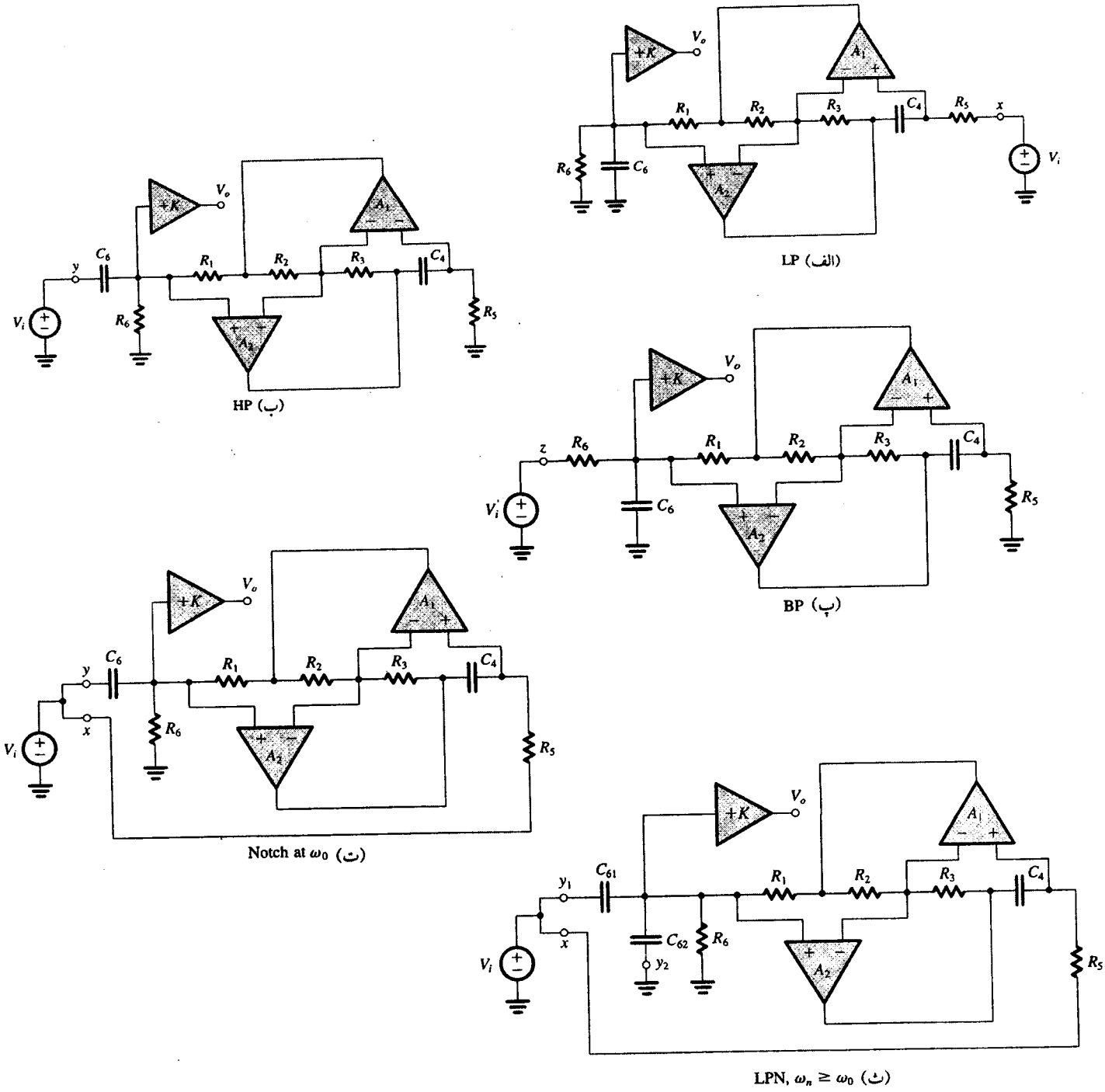
کننده K نه تنها بر روی خروجی بصورت میانگیر عمل می‌کند بلکه به طراح اجازه می‌دهد تا بهره فیلتر را با انتخاب مقدار K بطور دلخواه تنظیم نماید.

شکل (۲۲-۱۱) انواع مدارهای فیلتر مرتبه دوم را که از تشدیدکنندهٔ شکل (ب ۲۱-۱۱) به دست آمده، نشان می‌دهد. توابع انتقال و معادله‌های طراحی این مدارها در جدول (۱-۱۱) ارائه شده است. توجه کنید که توابع تبدیل را می‌توان به شکل تشدیدکننده‌های LCR نوشت. قبلاً در شکلهای (الف تا ت ۲۲-۱۱) مدارهای notch عادی، BP ، HP و LP را بررسی کردیم. مدارهای LPN و HPN شکلهای (ج و ث ۲۲-۱۱) بوسیله همان روش LCR در شکلهای (خ و چ ۱۸-۱۱) به دست آمده‌اند. اما مدار تمام گذر شکل (چ ۲۲-۱۱) نیاز به توضیح دارد.

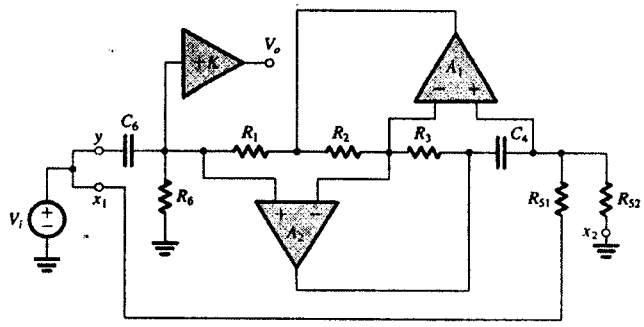
مدار تمام‌گذر

یک تابع تمام گذر با بهرهٔ تخت واحد را می‌توان به شکل زیر نوشت:

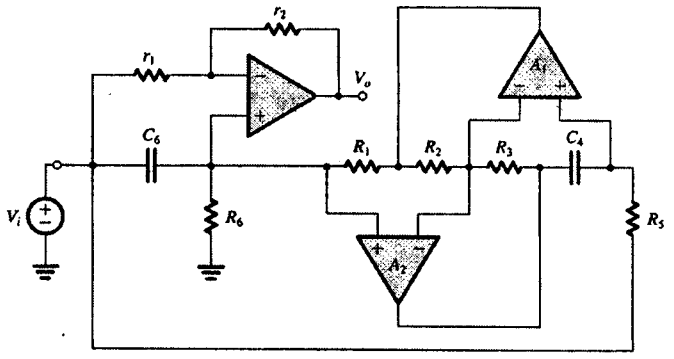
$$AP = 1 - (\text{۲ با بهره فرکانس مرکزی } BP) \qquad (۱۱-۵۵)$$



شکل ۲۲-۱۱. تحقق انواع تابع فیلتر مرتبه دوم با استفاده از تشدیدکننده op-amp-RC شکل (ب ۲۱-۱۱)
(الف) LP (ب) HP (پ) BP (ت) notch در ω_0 (ث) $\omega_n \geq \omega_0$، LPN
(ج) $\omega \leq \omega_{n0}$، HPN (چ) تمام‌گذر.
مدارهای فوق بر اساس مدارهای LCR شکل ۱۸-۱۱ طراحی شده‌اند. معادله‌های طراحی در جدول ۱-۱۱ ارائه شده‌اند.



(ج) HPN, $\omega_n \leq \omega_0$



(چ) تمام گذر

شکل ۲۲-۱۱. (ادامه)

(معادله ۴۸-۱۱) را ملاحظه کنید). دو مدار که رابطه توابع انتقال آنها به این صورت باشد **مکمل** نامیده می‌شوند. بنابراین مدار تمام گذر با بهره تخت واحد، مکمل مدار میان‌گذر با بهره فرکانس مرکزی ۲ می‌باشد. فرآیند ساده‌ای برای دستیابی به مکمل یک مدار خطی چنین است: همه گره‌های متصل به زمین را قطع کرده به V_i وصل کنید و با قطع همه گره‌های متصل به V_i، آنها را به زمین وصل کنید. یعنی تعویض ورودی و زمین در یک مدار خطی منجر به مداری می‌شود که تابع انتقال آن مکمل مدار اصلی است.

با مراجعه به مسئله موجود، ابتدا با استفاده از مدارشکل (پ۲۲-۱۱) تابع BP با بهره ۲ را با انتخاب $K = ۲$ و ساخت تقویت کننده میانگیر از مدار شکل (پ ۲۱-۱۱) با $r_1 = r_2$، تحقق می‌دهیم. سپس با تعویض ورودی و زمین مدارتمام گذر شکل (چ ۲۲-۱۱) را به دست می‌آوریم.

در خاتمه، یادآور می‌شویم مدارهای شکل (۲۲-۱۱)، علاوه بر طراحی آسان، عملکردی عالی را به نمایش می‌گذارند. آنها به تنهایی برای تحقق توابع فیلتر مرتبه دوم ویا بصورت متوالی برای ساخت فیلترهای مرتبهٔ بالا به کار می‌روند.

تمرینها

ط ۱۹-۱۱ با استفاده از مدار شکل (پ ۲۲-۱۱) یک فیلتر میان گذر مرتبهٔ دوم با فرکانس مرکزی ۱۰ kHz پهنای باند ۳ dB، ۵۰۰ Hz و بهرهٔ فرکانس مرکزی ۱۰ طراحی کنید. از $C = ۱/۲$ nF استفاده کنید.

جواب. $R_1 = R_2 = R_3 = R_5 = ۱۳/۲۶$ kΩ، $R_6 = ۲۶۵$ kΩ، $C_4 = C_6 = ۱/۲$nF، $K = ۱۰$، $r_1 = ۱۰$ kΩ، $r_2 = ۹۰$ kΩ.

ط ۲۰-۱۱ فیلتر چبی‌شف مثال (۲-۱۱) را که تابع انتقال آن در معادلهٔ (۲۵-۱۱) ارائه شده است، بصورت دو مدار از نوع شکل (الف ۲۲-۱۱) و یک مدار op amp-RC مرتبهٔ اول از نوع شکل (الف ۱۳-۱۱) تحقق دهید. توجه کنید که می‌توانید بهرهٔ dc هر بخش را واحد در نظر بگیرید. اینکار را انجام دهید. تا آنجاکه می‌توانید از مقاومتهای ۱۰ kΩ استفاده نمایید.

جواب. بخش مرتبهٔ اول: $R_1 = R_2 = ۱۰$ kΩ، $C = ۵/۵$ nF.

بخش مرتبه دوم با

$\omega_0 = ۴/۱۱۷ \times ۱۰^۴$ rad/s و $Q = ۱/۴$: $R_1 = R_2 = R_3 = R_5 = ۱۰$ kΩ، $R_6 = ۱۴$ kΩ، $C_4 = C_6 = ۲/۴۳$ nF، $r_1 = \infty$، $r_2 = ۰$.

بخش مرتبه دوم با $\omega_0 = ۶/۲۴۶ \times ۱۰^۴$ rad/s و $Q = ۵/۵۶$: $R_1 = R_2 = R_3 = R_5 = ۱۰$kΩ، $R_6 = ۵۵/۶$ kΩ، $C_4 = C_6 = ۱/۶$ nF، $r_1 = \infty$، $r_2 = ۰$. ❑

۱۱-۷ فیلترهای فعال مرتبه دوم بر اساس طرح حلقهٔ دو انتگرالگیر

در این بخش گروه دیگری از مدارهای op amp-RC را که توابع فیلتر مرتبه دوم را تحقق می‌دهند، بررسی می‌کنیم. مدارها بر اساس استفاده از دو انتگرالگیر متصل شده بصورت متوالی در یک حلقه فیدبک کلی، استوار هستند و بهمین علت مدارهای حلقه دو انتگرالگیر نامیده می‌شوند.

به دست آوردن حلقه دو انتگرالگیر دو مجذوری

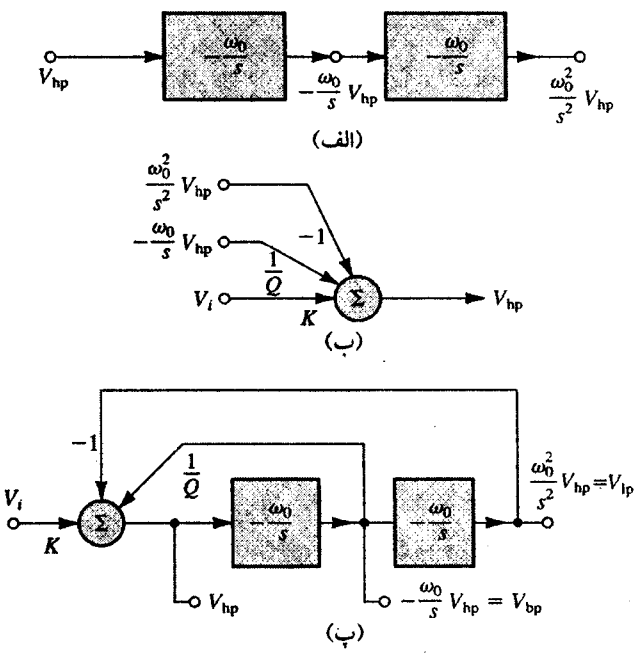
برای به دست آوردن مدار حلقهٔ دو انتگرالگیر دو مجذوری که معمولاً **دو مجذوری** نامیده می‌شود تابع انتقال بالاگذر مرتبهٔ دوم زیر را در نظر بگیرید:

$$\frac{V_{hp}}{V_i} = \frac{Ks^۲}{s^۲ + s(\omega_0/Q) + \omega_0^۲} \qquad (۱۱-۵۶)$$

در رابطهٔ فوق K بهره فرکانس بالا می‌باشد. از طرفین وسطین کردن معادلهٔ (۵۶-۱۱) و تقسیم هر دو طرف آن بر $s^۲$ (به منظور تبدیل همهٔ عبارت شامل s به $1/s$، که تابع انتقال یک انتگرالگیر است) داریم:

$$V_{hp} + \frac{۱}{Q}\left(\frac{\omega_0}{s} V_{hp}\right) + \left(\frac{\omega_0^۲}{s^۲} V_{hp}\right) = K V_i \qquad (۱۱-۵۷)$$

در این معادله مشاهده می‌کنیم که سیگنال $(\omega_0/s)V_{hp}$، با عبور دادن V_{hp} از یک انتگرالگیر با ثابت زمانی $(1/\omega_0)$، قابل حصول است. علاوه بر آن عبور سیگنال حاصل در یک انتگرالگیر مشابه دیگر منجر به سیگنال سوم، معادله (۵۷-۱۱) یعنی $(\omega_0^۲/s^۲)V_{hp}$ می‌شود. شکل (الف ۲۳-۱۱) نمودار ساختاری چنین روشی را برای دو انتگرالگیر نشان می‌دهد. توجه کنید که استفاده از مدار انتگرالگیر میلر در حالت وارونگر منجر به علامت منفی برای عبارتها می‌شود که در شکل (الف ۲۳-۱۱) این امر نشان داده شده است.



شکل ۲۳-۱۱. به دست آوردن نمودار ساختاری حلقه دو انتگرالگیر دو مجذوری

اما مسأله‌ای که هنوز باقی مانده است نحوه ایجاد V_{hp} یعنی سیگنال ورودی دو انتگرالگیر متوالی می‌باشد. برای رسیدن به نتیجه، معادله (۵۷-۱۱) را بصورت زیر مرتب می‌کنیم، که در آن V_{hp} بر حسب انتگرال‌های دوم و سومش بیان شده است.

$$V_{hp} = KV_i - \frac{1}{Q}\frac{\omega_0}{s}V_{hp} - \frac{\omega_0^2}{s^2}V_{hp} \qquad (۵۸-۱۱)$$

معادله فوق استفاده از جمع‌کنندهٔ وزنی شکل (ب ۲۳-۱۱) را جهت به دست آوردن V_{hp} پیشنهاد می‌کند. تحقق نمودار ساختاری کامل که در شکل (پ ۲۳-۱۱) نشان داده شده از ترکیب ساختارهای انتگرالگیر شکل (الف ۲۳-۱۱) و جمع کنندهٔ شکل (ب ۲۳-۱۱) به دست آمده است.

در شکل (پ ۲۳-۱۱) V_{hp} که از خروجی جمع‌کننده گرفته شده، تابع انتقال بالاگذر $T_{hp} \equiv V_{hp}/V_i$ معادله (۵۶-۱۱) را تحقق می‌دهد. سیگنال خروجی اولین انتگرالگیر $(-\omega_0/s)V_{hp}$ است که تابعی میان‌گذر است:

$$\frac{(-\omega_0/s)V_{hp}}{V_i} = \frac{-K\omega_0 s}{s^2 + s(\omega_0/Q) + \omega_0^2} = T_{bp}(s) \qquad (۵۹-۱۱)$$

بنابراین سیگنال خروجی اولین انتگرالگیر را V_{bp} می‌نامیم. توجه کنید که بهره فرکانس مرکزی فیلتر میان‌گذر تحقق‌یافته $-KQ$ می‌باشد.

با روشی مشابه می‌توان نشان داد که تابع انتقال خروجی دومین انتگرالگیر تابعی پایین‌گذر است

$$\frac{(\omega_0^2/s^2)V_{hp}}{V_i} = \frac{K\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} = T_{lp}(s) \qquad (۶۰-۱۱)$$

خروجی دومین انتگرالگیر را V_{lp} می‌نامیم. توجه کنید که بهرهٔ فیلتر پایین‌گذر تحقق‌یافته، K می‌باشد.

نتیجه می‌گیریم حلقه دو انتگرالگیر دو مجذوری که در شکل (پ ۲۳-۱۱) بصورت نمودار ساختاری نشان داده شده است، سه تابع فیلتر مرتبه دوم اساسی یعنی LP , BP و HP را بطور همزمان تحقق می‌دهد. فراگیر بودن این مدار آن را بسیار متداول کرده و به نام فیلتر فعال عمومی مشهور شده است.

پیاده سازی مدار

برای پیاده‌سازی مدار حلقه دو انتگرالگیر دو مجذوری شکل (پ ۲۳-۱۱) با op amp، هر یک از انتگرالگیرهای را با یک مدار انتگرالگیر میلر دارای $CR = \frac{1}{\omega_0}$ جایگزین کرده و بجای ساختار جمع‌کننده نیز مدار جمع‌کننده op - amp که توانایی کار با ورودیهای مثبت و منفی را داشته باشد قرار می‌دهیم. مدار حاصل، که در شکل (الف ۲۴-۱۱) نشان داده شده به نام مخترعین آن، کروین ـ هلزمن ـ نیوکامب، **دو مجذوری KHN** مشهور است. با مشخص بودن ω_0، Q و K طراحی مدار آسان است: مقادیر عملی مناسب را برای عناصر انتگرالگیر، C و R به گونه‌ای انتخاب می‌کنیم که $CR = \frac{1}{\omega_0}$ باشد. برای تعیین مقاومتهای جمع‌کننده با استفاده از قانون جمع آثار، خروجی جمع‌کننده را بر حسب ورودیهای آن به شکل زیر می‌نویسیم:

$$V_{hp} = \frac{R_3}{R_2 + R_3}\left(1 + \frac{R_f}{R_1}\right)V_i \qquad (۶۱-۱۱)$$

$$+ \frac{R_2}{R_2+R_3}\left(1 + \frac{R_f}{R_1}\right)\left(-\frac{\omega_0}{s}V_{hp}\right) - \frac{R_f}{R_1}\left(\frac{\omega_0^2}{s^2}V_{hp}\right)$$

با مساوی انگاشتن جملات آخر سمت راست معادله فوق و معادله (۵۸-۱۱) به دست می‌آوریم:

$$R_f / R_1 = 1 \qquad (۶۲-۱۱)$$

یعنی می‌توان مقدار دو مقاومت R_f و R_1 را بطور دلخواه و مساوی انتخاب کرد. البته این مقادیر باید عملی باشند. از تساوی جملات دوم تا آخر سمت راست معادله‌های (۶۱-۱۱) و (۵۸-۱۱) و قرار دادن $R_1 = R_f$، نتیجه می‌گیریم:

$$R_3 / R_2 = 2Q - 1 \qquad (۶۳-۱۱)$$

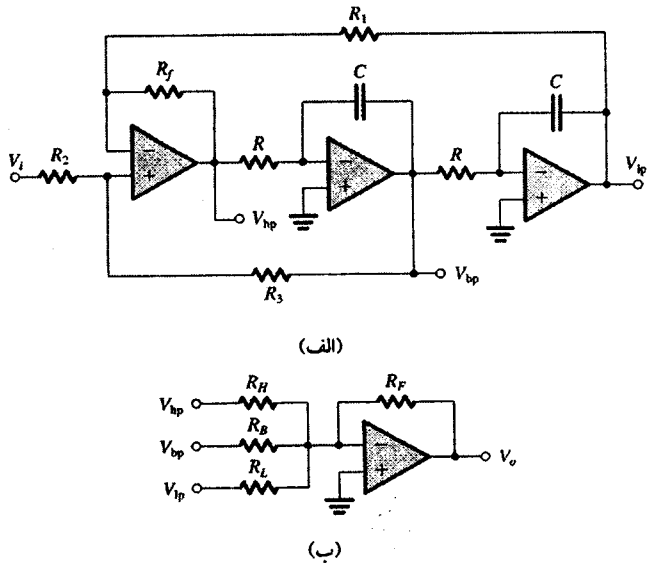
بنابراین می‌توان مقدار یکی از مقاومتهای R_3 یا R_2 را بطور دلخواه انتخاب کرده دیگری را از معادله (۶۳-۱۱) به دست آورد. بالاخره، از تساوی ضریب ثابت V_i در معادله (۶۱-۱۱) و (۵۸-۱۱) و قراردادن $R_{f1} = R$ و R_3/R_2 از معادله (۶۳-۱۱) نتیجه زیر حاصل می‌شود:

$$K = 2 - (1/Q) \qquad (۶۴-۱۱)$$

بنابراین پارامتر بهره K مقدار فوق را دارد.

KHN دو مجذوری برای تحقق توابع بالاگذر notch با جمع وزنی سه خروجی LP ، BP و HP مورد استفاده قرارمی‌گیرد. یک جمع کننده op-amp در شکل (ب ۲۴-۱۱) نشان داده شده است، می‌توانیم بنویسیم:

$$V_o = -\left(\frac{R_F}{R_H}V_{hp} + \frac{R_F}{R_B}V_{bp} + \frac{R_F}{R_L}V_{lp}\right)$$



شکل ۲۴ـ۱۱. (الف) مدار دومجذوری KHN ، که از پیاده‌سازی مستقیم نمودار ساختاری شکل (پ ۲۳ـ۱۱) به دست آمده است. سه تابع فلیتر اساسی، HP ، BP و LP بطور همزمان تحقق یافته‌اند (ب) برای به دست آوردن توابع notch و تمام گذر سه خروجی با وزن مناسب با استفاده از جمع کننده op-amp ، جمع می‌شوند.

$$= -V_i \left(\frac{R_F}{R_H} T_{hp} + \frac{R_F}{R_B} T_{bp} + \frac{R_F}{R_L} T_{lp}\right) \qquad (۱۱-۶۵)$$

تعویض T_{hp} ، T_{bp} و T_{lp} به ترتیب از معادله‌های (۵۶-۱۱)، (۵۹-۱۱) و (۶۰-۱۱) تابع انتقال کلی را به شکل زیر ارائه می‌کند:

$$\frac{V_o}{V_i} = -K \frac{(R_F/R_H)s^2 - s(R_F/R_B) + (R_F/R_L)\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \qquad (۱۱-۶۶)$$

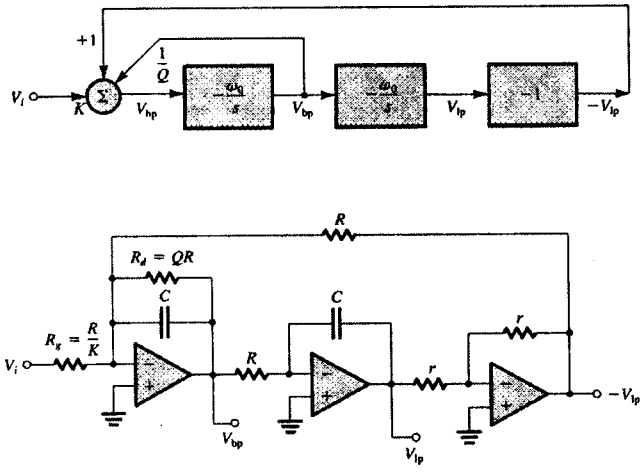
از معادله فوق می‌توان دریافت که باانتخاب مقادیر مناسب مقاومتهای جمع کننده، صفرهای انتقال مختلف به دست می‌آیند. بطور مثال یک تابع notch با انتخاب $R_B = \infty$ و

$$\frac{R_H}{R_L} = \left(\frac{\omega_n}{\omega_0}\right)^2 \qquad (۱۱-۶۷)$$

به دست می‌آید.

مدار دیگری برای حلقه دو انتگرالگیر دو مجذوری

یک مدار دیگر برای حلقه دو انتگرالگیر دو مجذوری که در آن هر سه op amp در حالت تک سر مورد استفاده قرار گرفته‌اند به این صورت طرح شده است : بجای اینکه در ورودی جمع‌کننده سیگنالهای با ضرایب مثبت و منفی را جمع کنیم، از یک وارونگر دیگر که در شکل (الف ۲۵-۱۱) نشان داده شده استفاده می‌کنیم. اکنون همهٔ ضرایب هم‌علامتند و می‌توانیم با تلفیق تقویت‌کننده‌ها عمل جمع را در ورودی اولین انتگرالگیر که زمین مجازی است، انجام دهیم. مدار حاصل در شکل (ب ۲۵-۱۱) به نمایش درآمده است. مشاهده می‌کنیم که تابع بالاگذر قابل دستیابی نیست! و این بهایی است که برای داشتن op-amp های تک سر می‌پردازیم. مدار شکل



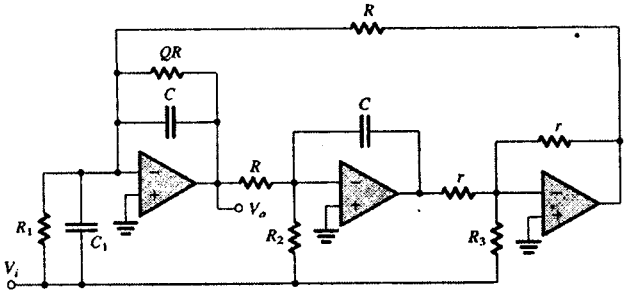
شکل ۲۵ـ۱۱. به دست آوردن یک حلقه دو انتگرالگیر دومجذوری که همه op-amp ها در حالت تک خروجی هستند. مدار (ب) دومجذوری تاو-توماس نامیده می‌شود.

(ب ۲۵-۱۱)، **دو مجذوری تاو - توماس** نامیده می‌شود که طراحان این مدار می‌باشند.

بجای استفاده از چهار op-amp برای تحقق صفرهای انتقال محدود لازم برای توابع تمام گذر و notch ، همانطور که در مورد دو مجذوری KHN انجام شد، می‌توان یک طرح تغذیه پیشرو اقتصادی در مدار تاو - توماس به کار برد. مشخصاً وجود اتصال مجازی در ورودی هر سه op-amp مدار تاو- توماس اجازه می‌دهد که سیگنال مطابق شکل (۲۶-۱۱) به هر سه op-amp اعمال شود. اگر V_o از خروجی انتگرالگیر میرا شده گرفته شود با یک تحلیل آسان تابع انتقال فیلتر به دست می‌آید

$$\frac{V_o}{V_i} = \frac{s^2\left(\frac{C_1}{C}\right) + s\frac{1}{C}\left(\frac{1}{R_1} - \frac{r}{RR_3}\right) + \frac{1}{C^2RR_2}}{s^2 + s\frac{1}{QCR} + \frac{1}{C^2R^2}} \qquad (۱۱-۶۸)$$

که برای دستیابی به اطلاعات طراحی جدول (۲-۱۱) از آن استفاده می‌شود.



شکل ۲۶ـ۱۱. دو مجذوری تاو ـ توماس با تغذیه پیشرو. تابع انتقال (۶۸ـ۱۱) با اعمال سیگنال ورودی از طریق عناصر مناسب به ورودی سه op-amp به دست می‌آید. این مدار می‌تواند همه توابع مرتبه دوم خاص را تحقق دهد. معادلات طراحی در جدول (۲ـ۱۱) ارائه شده‌اند.

جدول (۲-۱۱) داده‌های طراحی برای مدار شکل (۲۶-۱۱)

همه حالات	دلخواه = C ، $R=1/\omega_0 C$ ، r دلخواه
LP	$C_1=0$، $R_1=\infty$ ، بهرهٔ dc/ $R_2=R$ ، $R_3=\infty$
BP مثبت	$C_1=0$ ، $R_1=\infty$ ، $R_2=\infty$ ،بهرهٔفرکانس مرکزی/ $R_3=Qr$
BP منفی	$C_1=0$ ،بهرهٔفرکانس‌مرکزی/ $R_1=QR$ ، $R_2=\infty$ ، $R_3=\infty$
HP	بهرهٔفرکانس‌بالا × $C_1=C$ ، $R_1=\infty$ ، $R_2=\infty$ ، $R_3=\infty$
انواع Nothc	بهرهٔ فرکانس بالا × $C_1=C$ ، $R_1=\infty$ ، بهرهٔ فرکانس بالا/ $R_2=R(\omega_0/\omega_n)^2$ ، $R_3=\infty$
AP	بهرهٔتخت× $C_1=C$ ، $R_1=\infty$ ،بهرهٔ/ $R_2=R$ ، بهره/ $R_3=Qr$

تذکرات نهایی

حلقه‌های دو انتگرالگیر دومجذوری بسیار فراگیر بوده و طراحی آنها آسان است اما محدودیت پنهای باند op-amp ها بر روی عملکرد آنها تأثیر منفی می‌گذارد. روشهای خاصی برای جبران این اثرات وجود دارد.

تمرینها

ط ۲۱-۱۱ مدار KHN را برای تحقق تابع بالاگذر با $f_0=10$ kHz و $Q=2$ طراحی کنید. C را ۱ nF انتخاب کنید. بهره فرکانس بالای به دست آمده چقدر است؟ بهرهٔ فرکانس بالای به دست آمده چقدر است؟ بهرهٔ فرکانس مرکزی تابع میان‌گذر که همزمان در خروجی اولین انتگرالگیر قابل دستیابی است چقدر است؟

جواب. $R=15.9$ kΩ ،(دلخواه) $R_1=R_f=R_2=10$kΩ ، 1.5kΩ ، ۳ ، $R_3=30$.

ط ۲۲-۱۱ با استفاده از مدار KHN و خروجی تقویت کننده جمعی یک فیلتر notch پایین گذر با $f_0=5$ kHz ، $f_n=8$ kHz ، $Q=5$ و بهرهٔ dc ، ۳ طراحی کنید. C را ۱ nF و R_L را ۱۰ kΩ انتخاب کنید.

جواب. $R=31.83$kΩ ؛ (دلخواه) $R_1=R_f=R_2=10$ kΩ ؛ $R_3=90$kΩ ؛ $R_H=25.6$ ؛ $R_F=16.7$ kΩ ؛ $R_B=\infty$.

ط ۲۳-۱۱ با استفاده از دو مجذوری تاو - توماس (شکل ب ۲۵-۱۱) یک فیلتر میان‌گذر مرتبه دوم با $f_0=10$ kHz ، $Q=20$ و بهرهٔ فرکانس میانی واحد طراحی کنید. اگر R = ۱۰ kΩ باشد مقادیر C ، R_d و R_g را به دست آورید.

جواب. ۱/۵۹ nF ، ۲۰۰ kΩ ، ۲۰۰ kΩ

ط ۲۴-۱۱ با بهره‌گیری از اطلاعات جدول ۲-۱۱ مدار دو مجذوری شکل ۲۶-۱۱ را برای تحقق فیلتر تمام‌گذر با $\omega_0=10^4$ rad/s ، $Q=5$ و بهره‌تخت=۱ ، طراحی کنید. از خازن $C=10$ nF و مقاومت $r=10$ kΩ استفاده کنید.

جواب. $R=10$ kΩ ، مقاومت تعیین‌کنندهٔ Q = ۵۰ kΩ ، $C_1=10$ nF ، $R_1=\infty$ ، $R_2=10$ kΩ ، $R_3=50$ kΩ ❑

۸-۱۱ فیلترهای فعال تک تقویت کنندهٔ دو مجذوری

مدارهای دو مجذوری op amp-RC مطالعه شده در دو فصل قبلی عملکرد خوبی دارند، فراگیر هستند و طراحی و تنظیم نهایی آنها راحت است. اما متاسفانه از نظر تعداد op-amp ها، یعنی سه یا چهار عدد برای هر بخش مرتبهٔ دوم، اقتصادی نیستند. این امر بخصوص در مواردی که باید در مصرف جریان منبع تغذیه صرفه‌جویی شود مثل دستگاههایی که با باطری کار می‌کند، مشکل ساز است. دراین بخش گروهی از مدارهای فیلترمرتبه دوم راکه در آنها برای هر بخش دو مجذوری فقط یک op-amp به کار رفته، بررسی می‌کنیم. اما این تحقق مینیمم، وابستگی به محدودیت بهره و پهنای باند op-amp ها را افزایش داده و مدار را نسبت به تغییرات اجتناب ناپذیر مقدار مقاومتها و خازنها حساس‌تر از دو مجذوریهای دارای چند op-amp می‌کند. بنابراین **دومجذوریهای تک تقویت کننده** (SABs) دارای مشخصه‌های فیلتر محدودتری هستند ـ بطورمثال ضریب Q قطب کمتر از ۱۰ می‌باشد.

ترکیب مدارهای SAB، بر اساس فیدبک برای دورکردن قطبهای مدار RC از قسمت منفی محور حقیقی، استوار است. این قطبها طبیعتاً در محل‌های مزدوج مختلط قرار می‌گیرند تا پاسخ فیلتر دارای تیزی منحنی باشد. ساخت SAB ها بصورت فرآیند دومرحله‌ای زیر انجام می‌شود:

۱- ترکیب حلقهٔ فیدبک که یک جفت قطب مزدوج مختلط را با مشخصات فرکانس ω_0 و ضریب کیفیت Q ایجاد می‌کند.

۲- تزریق سیگنال ورودی بطریقی که صفرهای انتقال خواسته شده تحقق یابند.

ترکیب حلقهٔ فیدبک

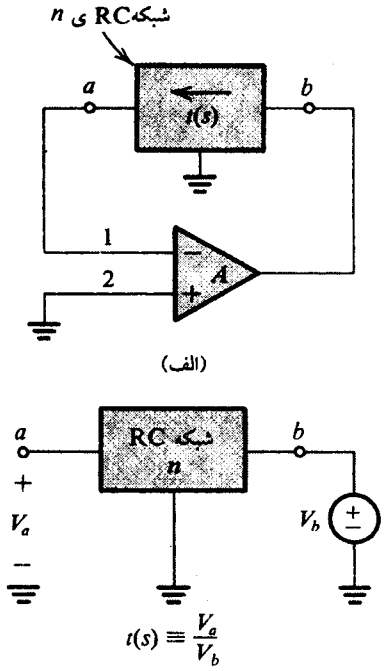
مدار شکل (الف ۲۷-۱۱) راکه شامل شبکه RC دوقطبی n قرار گرفته در مسیر فیدبک منفی یک op-amp می‌باشد در نظر بگیرید. فرض می‌کنیم op-amp ایده‌آل اما بهرهٔ آن محدود است. تابع انتقال ولتاژ مدار باز شبکه RC ی n را $t(s)$ می‌نامیم که تعریف آن در شکل (ب۲۷-۱۱) آمده است. تابع انتقال $t(s)$ عموماً بصورت نسبت دو چندجمله‌ای $N(s)$ و $D(s)$ نوشته می‌شود:

$$t(s)=\frac{N(s)}{D(s)}$$

ریشه‌های $N(s)$ صفرهای انتقال شبکه RC و ریشه‌ی $D(s)$، قطبهای آن می‌باشند. بررسی تئوری شبکه نشان می‌دهد که در صورت قرار گرفتن قطبهای یک شبکه RC در بخش منفی محور حقیقی، صفرها می‌توانند در هر جایی در صفحه s قرار بگیرند.

بهرهٔ حلقه $L(s)$ مدار فیدبک شکل (الف ۲۷-۱۱) با استفاده از روش بخش (۷-۸) تعیین می‌شود. بطور ساده، حاصلضرب بهره op-amp ، A و تابع انتقال $t(s)$ ، $L(s)$ می‌باشد:

$$L(s)=At(s)=\frac{AN(s)}{D(s)} \qquad (۱۱-۶۹)$$



شکل ۲۷ـ۱۱. (الف) حلقه فیدبک به دست آمده از قرار گرفتن شبکه RC ، n در مسیر فیدبک یک op-amp . (ب) تعریف تابع انتقال مدار باز، $t(s)$ یک شبکه RC

با تعویض $L(s)$ در معادله مشخصه داریم

$$1 + L(s) = 0 \qquad (۱۱-۷۰)$$

در نتیجه قطبهای s_p مدار حلقه بسته حلهای معادلهٔ

$$t(s_p) = -\frac{1}{A} \qquad (۱۱-۷۱)$$

هستند. در حالت ایده‌آل، $A=\infty$ بوده و قطبها از معادله زیر بدست می‌آیند:

$$N(s_p) = 0 \qquad (۱۱-۷۲)$$

یعنی قطبها معادله صفرهای شبکه RC هستند.

از آنجا که منظور ما تحقق یک جفت قطب مزدوج مختلط است می‌توانیم یک شبکه RC که صفرهای انتقال مزدوج مختلط دارد انتخاب کنیم. ساده‌ترین مدارها از این نوع، شبکه پل T شکل (۲۸-۱۱) می‌باشد که تابع انتقال $t(s)$ از b به a در حالیکه a مدار باز شده نیز به نمایش درآمده است. بعنوان مثال مدار شکل (۲۹-۱۱) را که متشکل از یک op-amp و شبکه پل T شکل (الف ۲۸-۱۱) در مسیر فیدبک منفی آن است در نظر بگیرید. چند جمله‌ای قطب مدار فیلتر فعال مساوی چندجمله‌ای صورت شبکه پل T می‌باشند.

بنابراین :

$$s^2 + s\frac{\omega_0}{Q} + \omega_0^2 = s^2 + s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1C_2R_3R_4}$$

که ما را قادر می‌سازد Q و ω_0 را بصورت زیر به دست آوریم

$$\omega_0 = \frac{1}{\sqrt{C_1C_2R_3R_4}} \qquad (۱۱-۷۳)$$

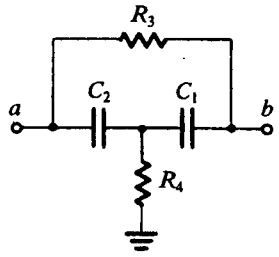
$$Q = \left[\frac{\sqrt{C_1C_2R_3R_4}}{R_3}\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\right]^{-1} \qquad (۱۱-۷۴)$$

برای طرح مدار Q و ω_0 داده شده و از معادلات (۷۳-۱۱) و (۷۴-۱۱) برای تعیین C_1 ، C_2 ، R_3 و R_4 استفاده می‌شود. در اینجا دو درجهٔ آزادی داریم. فرض کنید یکی از این حالتها را $C_1 = C_2 = C$ ، و نیز $R_3 = R$ و $R_4 = R/m$ در نظر بگیریم. با جایگذاری در معادلات (۷۳-۱۱) و (۷۴-۱۱) و کمی دستکاری به دست می‌آوریم:

$$m = 4Q^2 \qquad (۱۱-۷۵)$$

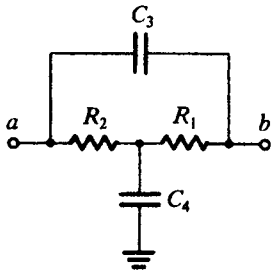
$$CR = \frac{2Q}{\omega_0} \qquad (۱۱-۷۶)$$

بنابراین اگر مقدار Q مشخص باشد از معادله (۷۵-۱۱) نسبت مقاومتهای R_4 و R_3 تعیین می‌شود و اگر Q و ω_0 مشخص باشند، با جایگذاری در معادله (۷۶-۱۱) ثابت زمانی CR را به دست می‌آوریم.



$$t(s) = \frac{s^2 + s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1C_2R_3R_4}}{s^2 + s\left(\frac{1}{C_1R_3} + \frac{1}{C_2R_3} + \frac{1}{C_1R_4}\right) + \frac{1}{C_1C_2R_3R_4}}$$

(الف)



$$t(s) = \frac{s^2 + s\left(\frac{1}{R_1} + \frac{1}{R_2}\right)\frac{1}{C_4} + \frac{1}{C_3C_4R_1R_2}}{s^2 + s\left(\frac{1}{C_4R_1} + \frac{1}{C_4R_2} + \frac{1}{C_3R_2}\right) + \frac{1}{C_3C_4R_1R_2}}$$

(ب)

شکل ۲۸ـ۱۱. دو شبکه RC (شبکه‌های پل T) که صفرهای انتقال مختلط دارند. تابع انتقال از b به a با a مدار باز داده شده است.

هنوز یک درجه آزادی باقی می‌ماند. یکی از مقادیر R یا C بطور دلخواه قابل انتخاب است. در یک طراحی واقعی این مقدار که سطح امپدانس مدار را تعیین می‌کند باید مقداری عملی باشد.

تمرینها

ط ۱۱-۲۵ مدار شکل (۲۹-۱۱) را برای تحقق یک جفت قطب با $\omega_0 = 10^4$ rad/s و $Q = 1$ طراحی کنید. فرض کنید $C_1 = C_2 = 1$ nF.
جواب. $R_4 = 50$ kΩ ؛ $R_3 = 200$ kΩ

ط ۱۱-۲۶ برای مدار طراحی شده در تمرین ۲۵-۱۱ محل قطبهای شبکه RC حلقه فیدبک را به دست آورید:
جواب. -0.382×10^4 و -2.618×10^4 rad/s ❑

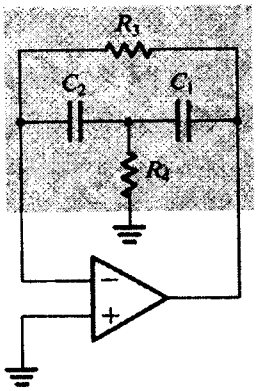
تزریق سیگنال ورودی

پس از ترکیب حلقه فیدبک که یک جفت قطب را تحقق می‌دهد، اکنون نحوهٔ اتصال منبع سیگنال ورودی را به مدار بررسی می‌کنیم. البته این کار باید بدون تغییر قطبها صورت گیرد.

از آنجا که در مورد پیدا کردن قطبهای مدار، یک منبع ولتاژ ایده‌آل معادل یک مدار اتصال کوتاه است، هر گرهی که درمدار به زمین متصل است می‌تواند بدون تغییر در قطبها به منبع ولتاژ ورودی وصل شود.

بنابراین روش تزریق سیگنال ورودی به حلقه فیدبک بسادگی عبارت است: از قطع کردن هر عنصری (عناصری) که به زمین متصل است (هستند) و وصل کردن آن (آنها) به منبع ورودی. بر اساس عنصری (عناصری) که سیگنال ورودی به آن (آنها) تزریق می‌شود صفرهای انتقال مختلف به دست می‌آید. البته این همان روشی است که در بخش (۵-۱۱) دربارهٔ تشدید کننده‌های LCR و در بخش (۶-۱۱) در بارهٔ دو مجذوری‌های بر اساس تشدید کنندهٔ LCR مورد استفاده قرار گرفت.

بعنوان مثال حلقه فیدبک شکل (۲۹-۱۱) را در نظر بگیرید در اینجا دو گره زمین داریم (یکی پایانه R_4 و دیگری پایانه ورودی op-amp) که می‌توان از آنها برای تزریق سیگنال استفاده کرد. شکل (الف ۳۰-۱۱) مدار را با تزریق سیگنال به مقاومت R_4 نشان می‌دهد. توجه کنید که دو مقاومت



شکل ۲۹-۱۱. یک حلقه فیدبک فیلتر فعال که با استفاده از شبکه پل T شکل (الف ۲۸-۱۱) بوجود آمده است.

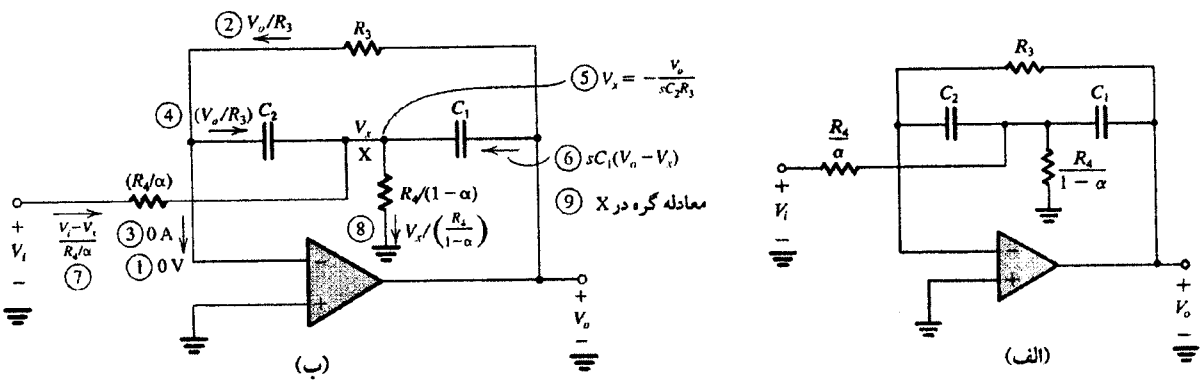
R_4/α و $R_4/(1-\alpha)$ معادل موازی R_4 هستند. تحلیل مدار برای تعیین تابع انتقالی ولتاژ آن $T(s) \equiv V_o(s)/V_i(s)$ در شکل (ب ۳۰-۱۱) تشریح شده است. توجه کنید که op-amp را ایده‌آل فرض کرده‌ایم و ترتیب تحلیل نیز با شماره روی شکل مشخص شده است. مرحله نهایی، یعنی مرحله شماره ۹، شامل نوشتن معادله گره X و جایگزینی V_x با مقدار تعیین نشده در مرحله ۵ است. نتیجه تابع انتقال زیر است.

$$\frac{V_o}{V_i} = \frac{-s(\alpha/C_1R_4)}{s^2 + s\left(\frac{1}{C_1}+\frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1C_2R_3R_4}}$$

تابع فوق را بعنوان تابع میان گذر می‌شناسیم که بهره فرکانس مرکزی آن را می‌توان با مقدار α کنترل کرد. چنانچه انتظار می‌رود، چند جمله‌ای صورت $t(s)$ شکل (الف ۲۸-۱۱) است.

تمرین

۱۱-۲۷ با استفاده از مقادیر به دست آمده در تمرین ۲۵-۱۱ مدار میان گذر شکل (الف ۳۰-۱۱) را طراحی کنید. مقادیر (R_4/α) و $R_4/(1-\alpha)$ را برای دستیابی به بهره فرکانس مرکزی واحد، تعیین کنید.
جواب. ۱۰۰ kΩ ؛ ۱۰۰ kΩ ❑



شکل ۳۰-۱۱. (الف) حلقه فیدبک شکل (۲۹-۱۱) با تزریق سیگنال ورودی از طریق قسمتی از مقاومت R_4. این مدار تابع میان گذر را تحقق می‌دهد. (ب) تحلیل مدار (الف) برای تعیین تابع انتقالی ولتاژ $T(s)$.

ایجاد حلقه‌های فیدبک معادل

تبدیل مکمل حلقه فیدبک بر اساس خاصیت شبکه خطی بررسی شده در شکل (۳۱-۱۱) برای شبکه n دو قطبی (سه پایانه) استوار است. در قسمت (الف) شکل، پایانه c زمین شده، سیگنال V_b به پایانه b اعمال می‌شود. تابع انتقال از b به a با c زمین شده، t نامیده می‌شود. پس در قسمت (ب) شکل، پایانه b زمین شده و سیگنال ورودی به پایانه c اعمال می‌شود، تابع انتقال از c به a با b زمین شده مکمل t، یعنی $1-t$، خواهد بود (بخاطر آورید که ما از این خاصیت در ایجاد تحقق مداری تابع تمام‌گذر در بخش (۶-۱۱) استفاده کردیم).

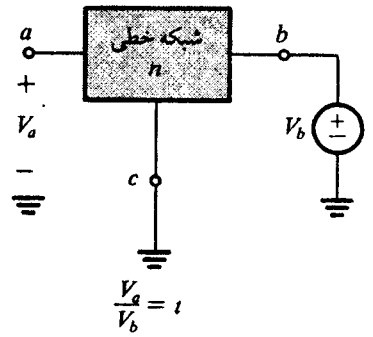
به کارگیری تبدیل مکمل روی حلقه فیدبک برای ایجاد حلقه فیدبک معادل، فرآیند دو مرحله‌ای زیر است:

۱- همه گره‌های شبکه فیدبک و ورودیهای op-amp که زمین هستند بایستی از زمین جدا شده به خروجی op-amp متصل شوند. برعکس گره‌هایی که به خروجی op-amp متصل بودند، اکنون باید زمین شوند. یعنی ما بطور ساده پایانه‌های خروجی op-amp با زمین را تعویض کرده‌ایم.

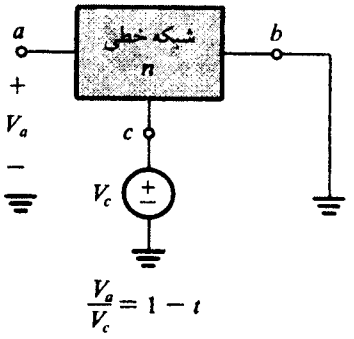
۲- دو پایانه ورودی op-amp بایستی تعویض شوند.

حلقه فیدبک ایجاد شده بوسیله این تبدیل ورودی دارای همان معادله مشخصه و بنابراین همان قطبهای حلقه اصلی می‌باشد.

برای شرح این مطلب، در شکل (الف ۳۲-۱۱)، یک حلقه فیدبک متشکل از اتصال شبکه دوقطبی RC در مسیر فیدبک منفی op-amp ، به

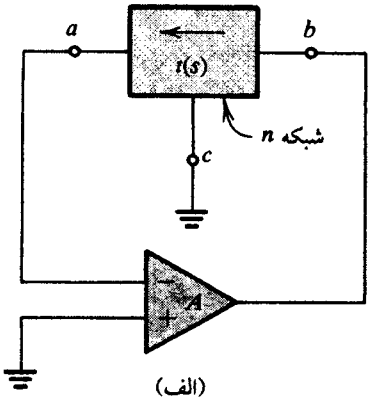


(الف)

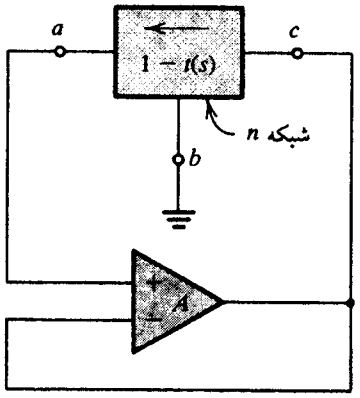


(ب)

شکل ۳۱-۱۱. تعویض ورودی و زمین منجر به مکمل یک تابع انتقال می‌شود.



(الف)



(ب)

شکل ۳۲-۱۱. به کارگیری تبدیل مکمل روی حلقه فیدبک در **(الف)** منجر به حلقه معادل (همان قطبها) در **(ب)** می‌شود.

نمایش درآمده است. به کارگیری تبدیل مکمل در مورد این حلقه منجر به حلقه فیدبک شکل (ب ۳۲-۱۱) می‌شود. دقت کنید که در این حلقه، op-amp در آرایش پیرو با بهره واحد به کار رفته است. اکنون نشان می‌دهیم دو حلقه شکل (۳۲-۱۱) معادلند.

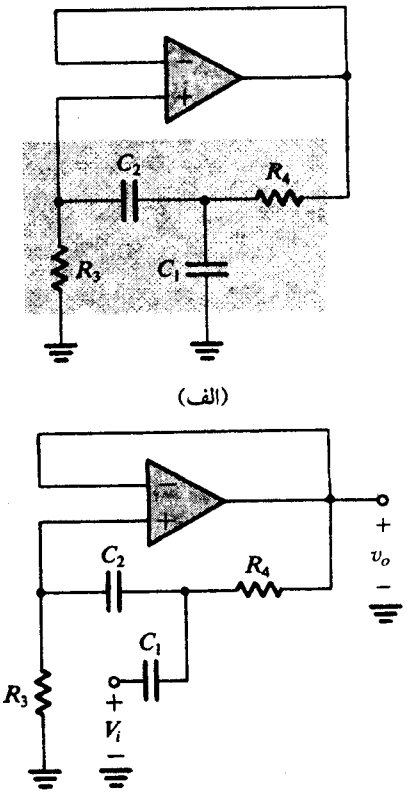
اگر بهره حلقه باز op-amp، A باشد، بهره پیرو مدار شکل (ب ۳۲-۱۱) $A/(A+1)$ است. از طرفی تابع انتقال شبکه n از c به a $1-t$ می‌باشد [شکل (۳۱-۱۱) را ملاحظه نمایید]. این دو مطلب ما را قادر می‌سازد معادله مشخصه مدار شکل (ب ۳۲-۱۱) را بنویسیم:

$$1 - \frac{A}{A+1}(1-t) = 0$$

با دستکاری، این معادله به شکل زیر تبدیل می‌شود:

$$1 + At = 0$$

که معادله حلقه شکل (الف ۳۲-۱۱) می‌باشد. بعنوان مثال به کارگیری تبدیل مکمل را روی حلقه فیدبک شکل (۲۹-۱۱) در نظر بگیرید: حلقه فیدبک شکل (الف ۳۳-۱۱) به دست می‌آید، تزریق سیگنال ورودی از طریق C_1 منجر به مدار شکل (ب ۳۳-۱۱) می‌شود که (با تحلیل مستقیم) می‌توان نشان داد تحقق‌دهنده تابع بالاگذر مرتبه دوم است. این مدار، از خانواده SAB ها بوده و بنام مدار سالن ـ و ـ کی مشهور است که طراحان



شکل ۳۳ـ۱۱. (الف) حلقه فیدبک حاصل از اعمال تبدیل مکمل به حلقه شکل (۲۹ـ۱۱). (ب) تزریق سیگنال از طریق C_1 تابع بالاگذر را تحقق می‌دهد. این مدار سالِن ـ و ـ کی نامیده می‌شود.

آن می‌باشند. طراحی مدار شکل (ب ۳۳-۱۱) مبتنی بر استفاده از معادله‌های (۷۳-۱۱) تا (۷۶-۱۱) می‌باشد. یعنی، $R_3=R$، $R_4 = R/4Q^2$ و $C_1 = C_2 = C$ و $CR = 2Q/\omega_0$، برای C بطور دلخواه مقدار مناسب عملی انتخاب می‌شود.

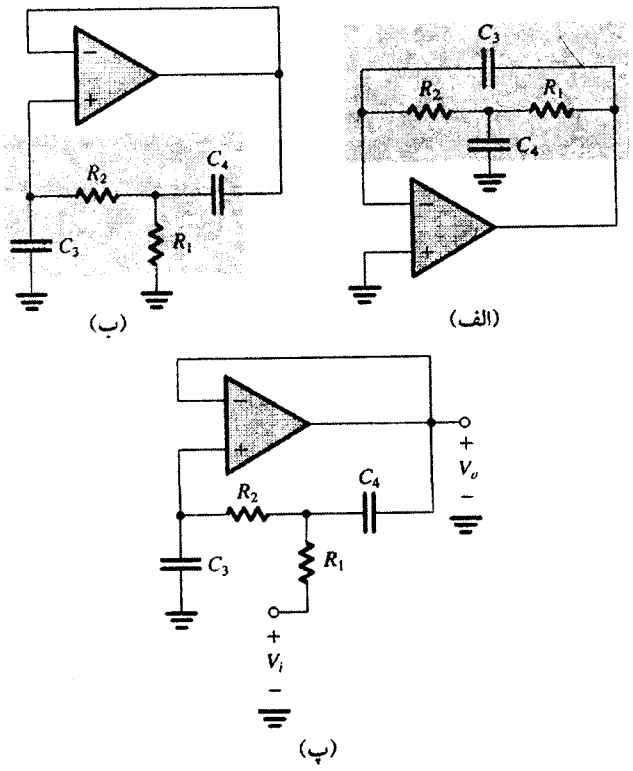
بعنوان یک مثال دیگر، شکل (الف ۳۴-۱۱) حلقه فیدبک ایجاد شده را با قراردادن شبکه RC دوقطبی شکل (ب ۲۸-۱۱) در مسیر فیدبک منفی op-amp ، نشان می‌دهد. در صورت ایده‌آل بودن op-amp این حلقه فیدبک تحقق دهنده یک جفت مزدوج مختلط در محل صفرهای $t(s)$ شبکه RC می‌باشد. بنابراین با استفاده از عبارت ارائه شده در شکل (ب ۲۸-۱۱) برای $t(s)$، در مورد قطبهای فیلتر فعال می‌توانیم بنویسیم:

$$\omega_0 = 1/\sqrt{C_3C_4R_1R_2} \qquad (۱۱-۷۷)$$

$$Q = \left[\frac{\sqrt{C_3C_4R_1R_2}}{C_4}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)\right]^{-1} \qquad (۱۱-۷۸)$$

در حالت عادی طراحی این مدار با انتخاب $R_1 = R_2 = R$ و $C_4 = C$ و $C_3 = C/m$ انجام می‌شود. اگر این مقادیر در معادله (۷۷-۱۱) و (۷۸-۱۱) جانشین شوند داریم:

$$m = 4Q^2 \qquad (۱۱-۷۹)$$



شکل ۳۴ـ۱۱. (الف) حلقه فیدبک به دست آمده از جایگذاری شبکه پل T شکل (ب ۲۸ـ۱۱) در مسیر فیدبک منفی op-amp. (ب) حلقه فیدبک معادل حاصل از اعمال تبدیل مکمل به حلقه (الف). (پ) فیلتر پایین‌گذر بدست آمده ازتزریق V_i از طریق R_1 به حلقهٔ (ب)

$$CR = 2Q/\omega_0 \qquad (۱۱-۸۰)$$

با یک درجه آزادی که طراح می‌تواند با استفاده از آن (مقدار C یا R) را انتخاب کند.

تزریق سیگنال ورودی به پایانه C_4 که متصل به زمین است منجر به تحقق میان‌گذر می‌شود. اما اگر تبدیل مکمل را به حلقه شکل (الف ۳۴-۱۱) اعمال کنیم حلقه معادل شکل (ب ۳۴-۱۱) را به دست می‌آوریم. معادل بودن بدین معناست که مدار شکل (ب ۳۴-۱۱) دارای همان قطبها و بنابراین همان ω_0 و Q و همان معادلات طراحی [معادلات (۷۷-۱۱) تا (۸۰-۱۱)] می‌باشد. در حلقه جدید شکل (ب۳۴-۱۱) تحقق تابع پایین‌گذر از تزریق سیگنال ورودی مطابق شکل (پ ۳۴-۱۱) حاصل می‌شود.

تمرینها

۲۸ـ۱۱ با تحلیل مدار شکل (پ ۳۴-۱۱) تابع انتقال $V_o(s)/V_i(s)$ را تعیین کرده نشان دهید ω_0 و Q مطابق معادله‌های (۷۷-۱۱) و (۷۸-۱۱) بوده، بهره dc واحد می‌باشد.

ط ۲۹ـ۱۱ مدار شکل (پ ۳۴-۱۱) را برای تحقق فیلتر پایین‌گذر با $f_0 = 4\text{kHz}$ و $Q = 1/\sqrt{2}$ طراحی کنید از مقاومتهای $10\text{k}\Omega$ استفاده کنید.
جواب. $R_1 = R_2 = 10\text{k}\Omega$، $C_3 = 2.81\text{nF}$، $C_4 = 5.63\text{nF}$ ❑

۹-۱۱ حساسیت

به علت تغییرات جزئی مقدار عناصر و محدود بودن بهره op-amp پاسخ فیلتر واقعی با پاسخ ایده‌آل آن تفاوت دارد. طراح برای پیشگویی این تفاوت، از مفهوم **حساسیت** استفاده می‌کند. مشخصاً در فیلترهای مرتبه دوم مایلیم حساسیت قطبها را نسبت به تغییرات مقادیر عناصر RC (تغییرات ابتدائی و نهایی) و بهرهٔ تقویت‌کننده به دست آوریم. مقدار این حساسیتها با استفاده از **تابع حساسیت کلاسیک** S_x^y بصورت زیر تعریف می‌شود:

$$S_x^y \equiv \lim_{\Delta x \to 0} \frac{\Delta y/y}{\Delta x/x} \qquad (۱۱-۸۱)$$

بنابراین

$$S_x^y = \frac{\partial y}{\partial x}\frac{x}{y} \qquad (۱۱-۸۲)$$

در اینجا x مقدار عنصر (مقاومت، خازن یا بهره تقویت کننده) و y پارامتر مداری دلخواه است (ω_0 یا Q)، برای تغییرات کوچک داریم:

$$S_x^y \equiv \frac{\Delta y/y}{\Delta x/x} \qquad (۱۱-۸۳)$$

بنابراین با استفاده مقدار S_x^y می‌توانیم مقدار در واحد تغییرات y را نسبت به مقدار در واحد تغییرات x تعیین کنیم. برای مثال اگر حساسیت نسبت به مقاومت خاص R_1، ۵ باشد، ۱٪ افزایش R_1 منجر به ۵٪ افزایش در مقدار Q می‌شود.

مثال ۳-۱۱

در حلقه فیدبک شکل (۲۹-۱۱) حساسیتهای ω_0 و Q را نسبت به عناصر غیرفعال و بهره op-amp به دست آورید. این حساسیتها را برای طراحی بخش قبلی با $C_1 = C_2$ ارزیابی کنید.

حل:

برای به دست آوردن حساسیتها نسبت به عناصر که **حساسیت‌های غیرفعال** نامیده می‌شود، فرض می‌کنیم بهره op-amp بی‌نهایت است. در این حالت ω_0 و Q از معادله‌های (۷۳-۱۱) و (۷۴-۱۱) به دست می‌آیند. بنابراین برای ω_0 داریم:

$$\omega_0 = \frac{1}{\sqrt{C_1C_2R_3R_4}}$$

که با توجه به تعریف حساسیت در معادله (۸۲-۱۱) به دست می‌آوریم:

$$S_{C_1}^{\omega_0} = S_{C_2}^{\omega_0} = S_{R_3}^{\omega_0} = S_{R_4}^{\omega_0} = -\frac{1}{2}$$

برای Q داریم:

$$Q = \left[\sqrt{C_1C_2R_3R_4}\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3}\right]^{-1}$$

از به کارگیری تعریف حساسیت برای رابطه فوق به دست می‌آوریم:

$$S_{C_1}^{Q} = \frac{1}{2}\left(\sqrt{\frac{C_2}{C_1}} - \sqrt{\frac{C_1}{C_2}}\right)\left(\sqrt{\frac{C_2}{C_1}} + \sqrt{\frac{C_1}{C_2}}\right)^{-1}$$

برای طراحی در حالت $C_1 = C_2$ می‌بینیم که $S_{C_1}^{Q} = 0$ می‌باشد. بطور مشابه می‌توانیم نشان دهیم:

$$S_{C_2}^{Q} = 0 \ , \ S_{R_3}^{Q} = \frac{1}{2} \ , \ S_{R_4}^{Q} = -\frac{1}{2}$$

ذکر این نکته مهم است که عبارتهای حساسیت باید قبل از جایگذاری مقدار عددی عناصر در یک طراحی صورت گیرد.

سپس حساسیت نسبت به بهرهٔ تقویت‌کننده را در نظر می‌گیریم. اگر فرض کنیم op-amp دارای بهرهٔ محدود A باشد. معادله مشخصه برای حلقه عبارتست از:

$$1 + At(s) = 0 \qquad (۱۱-۸۴)$$

که در آن $t(s)$ در شکل (الف ۲۸-۱۱) ارائه شده است. برای راحتی کار می‌توانیم عناصر فعال را با مقادیر طراحی آنها جایگزین کنیم که هیچ خطایی در ارزیابی حساسیتها ایجاد نمی‌کند چون می‌خواهیم حساسیت را نسبت به بهره تقویت‌کننده به دست آوریم. با استفاده از مقادیر طراحی که قبلاً به دست آوریم یعنی: $C_1 = C_2 = C$، $R_3 = R$، $R_4 = R/4Q^2$ و $CR = 2Q/\omega_0$ داریم:

$$t(s) = \frac{s^2 + s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q)(2Q^2 + 1) + \omega_0^2} \qquad (۱۱-۸۵)$$

که در آن ω_0 و Q مقادیر طراحی فرکانس قطب و ضریب Q هستند. مقادیر واقعی با جایگزینی $t(s)$ در معادله (۸۴-۱۱) به دست می‌آیند.

$$s^2 + s\frac{\omega_0}{Q}(2Q^2+1) + \omega_0^2 + A\left(s^2 + s\frac{\omega_0}{Q} + \omega_0^2\right) = 0$$

با فرض اینکه بهره، حقیقی است و تقسیم هر دو طرف به $A + 1$ داریم:

$$s^2 + s\frac{\omega_0}{Q}\left(1 + \frac{2Q^2}{A+1}\right) + \omega_0^2 = 0 \qquad (۱۱-۸۶)$$

از این معادله در می‌یابیم که فرکانس قطب واقعی، ω_{0a}، قطب Q و Q_a عبارتند از:

$$\omega_{0a} = \omega_0 \qquad (۱۱-۸۷)$$

$$Q_a = \frac{Q}{1 + 2Q^2/(A+1)} \qquad (۱۱-۸۸)$$

بنابراین

$$S_A^{\omega_{0a}} = 0$$

$$S_A^{Q_a} = \frac{A}{A+1}\,\frac{2Q^2/(A+1)}{1 + 2Q^2/(A+1)}$$

در حالت $A >> 2Q^2$ و $A >> 1$ داریم:

$$S_A^{Q_a} \cong \frac{2Q^2}{A}$$

معمولاً زیرنویس a در رابطه فوق حذف می‌شود یعنی

$$S_A^{Q} \cong \frac{2Q^2}{A} \qquad (۱۱-۸۹)$$

توجه کنید اگر Q بزرگ باشد ($Q \geq 5$) حساسیت آن نسبت به بهرهٔ تقویت‌کننده می‌تواند خیلی زیاد باشد.

تذکر پایانی

نتایج مثال (۳-۱۱) یک عیب جدی دو مجذوری‌های تک تقویت‌کننده را نشان می‌دهد که بالا بودن حساسیت Q نسبت به بهره تقویت کننده است. اگر چه روشهایی برای کاهش S_A^Q در SAB وجود دارد اما بهای آن، افزایش حساسیت‌های غیرفعال است. با وجود این SAB های به دست آمده بطور گسترده‌ای در بسیاری از کاربردها مورد استفاده قرار می‌گیرند. اما برای فیلترهایی که ضریب Q آنها بزرگتر از ۱۰ است، می‌توان از دومجذوریهای چند تقویت‌کنندهٔ مطالعه شده در بخش‌های (۶-۱۱) و (۷-۱۱) استفاده کرد. در آن مدارها S_A^Q با Q متناسب بوده اما در حساسیت SAB (معادله ۸۹-۱۱) با Q^2 متناسب است.

تمرین

۳۰-۱۱ در یک فیلتر خاص که در آن از حلقه فیدبک شکل (۲۹-۱۱) استفاده شده، $C_1 = C_2$ می‌باشد. درصد تغییرات ω_0 و Q را تحت شرایط زیر به دست آورید: (الف) R_3، ۲٪ زیاد شود (ب) R_4، ۲٪ زیاد شود (پ) R_3 و R_4، ۲٪ زیاد شوند (ت) دو خازن ۲٪ کاهش یابند و دو مقاومت ۲٪ زیاد شوند.

جواب. (الف) ۱٪−، ۱٪+ (ب) ۱٪−، ۱٪− (پ) ۲٪−، ۰٪ (ت) ۰٪، ۰٪ ❑

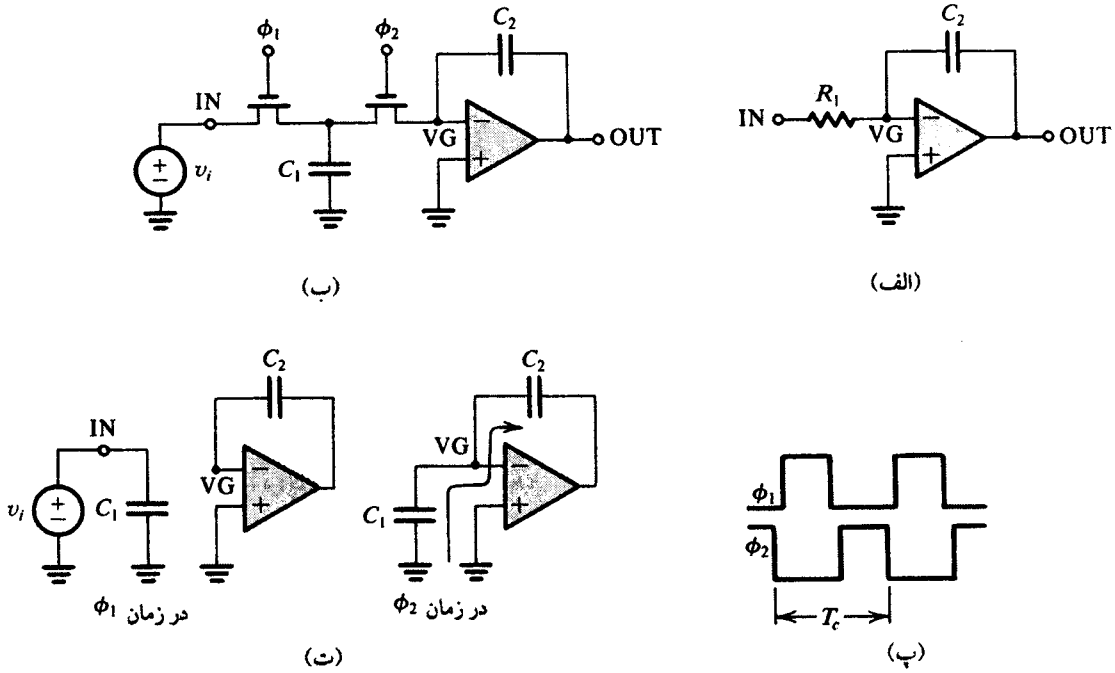
۱۰-۱۱ فیلترهای سوئیچ خازنی

مدارهای فیلتر RCی فعال در بخشهای قبل دارای دو خاصیت هستند که استفاده از آنها در IC یکپارچه اگر عملاً غیر ممکن نباشد، مشکل است. این دو خاصیت احتیاج به خازنهای بزرگ و نیاز به ثابت زمانی RC دقیق دارند. بنابراین دنبال روشی هستیم که بتوان در پیاده‌سازی ICاز آن استفاده کرد. در این بخش چنین روشی را معرفی می‌کنیم که در زمان نگارش کتاب بهترین روش موجود بوده است.

اصول اساسی

روش سوئیچ خازنی مبتنی بر این اصل است که اگر خازنی با سرعت زیاد بین دو گره مدار سوئیچ شود، معادل یک مقاومت است که آن دو گره را به هم متصل می‌کند. بطور مشخص، انتگرالگیر RC فعال شکل (الف ۳۵-۱۱) را در نظربگیرید که همان انتگرالگیر میلر مورد استفاده در حلقه دو انتگرالگیر دومجذوری بخش (۷-۱۱) می‌باشد. در شکل (ب ۳۵-۱۱) مقاومت R_1 را با خازن زمین شده C_1 و دو ترانزیستور MOS که بصورت سوئیچ عمل می‌کنند عوض کرده‌ایم. در بعضی مدارها از سوئیچ‌های دقیق‌تری استفاده می‌شود اما چنین جزئیاتی فراتر از نیاز فعلی ماست.

دو سوئیچ MOS در شکل (ب ۳۵-۱۱) با ساعت دو فاز غیر متقاطع تحریک می‌شوند. شکل (پ۳۵-۱۱) شکل موج‌های ساعت را نشان می‌دهد. در اینجا فرض می‌کنیم فرکانس ساعت f_c ($f_c = 1/T_c$) بسیار بزرگتر از فرکانس سیگنالی است که قصد فیلتر کردن آن را داریم. بنابراین در زمان فاز ϕ_1 ساعت، هنگامیکه خازن C_1 به منبع سیگنال ورودی v_i



شکل ۳۵-۱۱. اصول اساس روش سوئیچ خازنی (الف) انتگرالگیر RC فعال. (ب) انتگرالگیر سوئیچ خازنی. (پ) ساعت دوفاز (غیرمتقاطع). (ت) در زمان ϕ_1، C_1 تا مقدار v_i شارژ و در زمان ϕ_2 در C_2 دشارژ می‌شود.

وصل می‌شود تغییرات سیگنال ورودی کوچک و قابل اغماض است. بدنبال آن در زمان ϕ_1 خازن C_1 تا ولتاژ v_i شارژ می‌شود.

$$q_{C1} = C_1 v_i$$

سپس در زمان ϕ_2 ساعت، خازن C_1 به ورودی مجازی op-amp وصل شده و دشارژ می‌شود و بار q_{C1} در جهت نشان داده شده در شکل (ت۳۵-۱۱) به C_2 منتقل می‌شود.

از مطالب فوق درمی‌یابیم که در هر پریود T_c، بار $q_{C1} = C_1 v_i$ از منبع ورودی گرفته شده و به خازن انتگرالگیر C_2 داده می‌شود، بنابراین جریان متوسط بین گره ورودی (IN) و گره زمین مجازی (VG) عبارتست از:

$$i_{av} = \frac{C_1 v_i}{T_c}$$

اگر T_c بقدر کافی کوچک باشد می‌توان فرآیند را پیوسته درنظر گرفت و مقاومت معادل R_{eq} را تعریف کرد یعنی رابطه بین گره‌های IN و VG را بصورت زیر نوشت:

$$R_{eq} \equiv v_i / i_{av}$$

بنابراین

$$R_{eq} = T_c / C_1 \qquad (۱۱-۹۰)$$

با استفاده از R_{eq} معادل ثابت زمانی انتگرالگیر بصورت زیر بدست می‌آید:

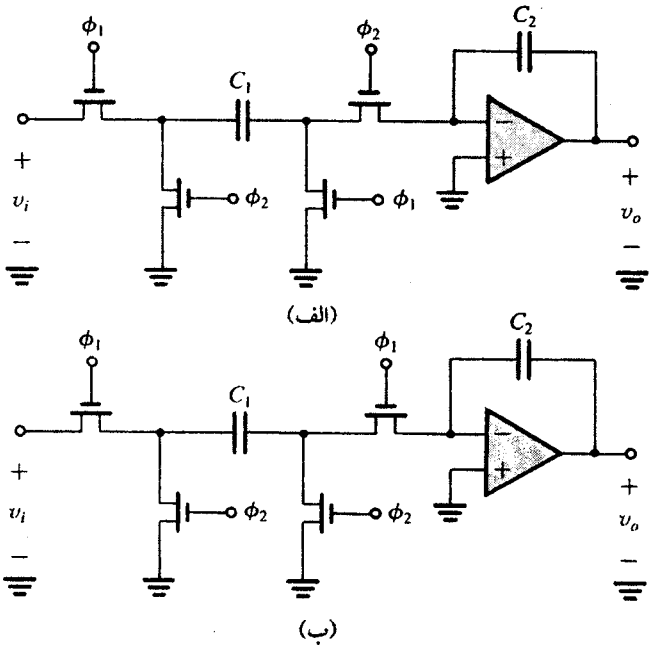
$$\text{ثابت زمانی} = C_2 R_{eq} = T_c \frac{C_2}{C_1} \qquad (۱۱-۹۱)$$

بنابراین، ثابت زمانی که تعیین‌کنندهٔ پاسخ فرکانسی فیلتر است توسط پریود ساعت T_c و نسبت خازنی C_2/C_1 معین می‌شود. هر دوی این پارامترها در ساخت IC بخوبی قابل کنترل هستند. مشخصاً دقت کنید بجای اینکه به مقادیر خازن وابستگی وجود داشته باشد این وابستگی به نسبت خازنهاست. صحت نسبتهای خازن در روش ساخت MOS می‌تواند با ۰/۱٪ کنترل شود.

نکته ارزشمند دیگری که مشاهده می‌شود این است که با یک فرکانس ساعت معقول (مثلاً ۱۰۰ kHz) و نسبت‌های خازن نه خیلی زیاد (مثلاً ۱۰) می‌توان ثابت زمانی‌های بزرگ معقولی به دست آورد (مثلاً 10^{-4} s) که برای کاربردهای صوتی مناسبند. از آنجا که خازنها فضای زیادی روی تراشه IC اشغال می‌کنند برای به دست آوردن نسبت صحیح باید از خازنهایی به کوچکی ۰/۲ pF استفاده کرد.

مدارهای عملی

مدار سوئیچ خازنی (SC) شکل (ب ۳۵-۱۱) یک انتگرالگیر وارونگر را تحقق می‌دهد [به جهت شارژ C_2 در شکل (ت ۳۵-۱۱) توجه کنید.] همانطور که در بخش ۷-۱۱ دیدیم یک فیلتر فعال حلقه دو انتگرالگیر از یک انتگرالگیر وارونگر و یک انتگرالگیر ناوارونگر تشکیل شده است. بنابراین برای تحقق فیلتر دو مجذوری سوئیچ خازنی به یک جفت انتگرالگیر سوئیچ خازنی مکمل نیاز داریم. شکل (الف ۳۶-۱۱) مدارانتگرالگیر ناوارونگر یا مثبت را نشان می‌دهد. به خواننده توصیه می‌کنیم عملکرد مدار در زمان دوفاز ساعت را دنبال کرده و نشان دهد

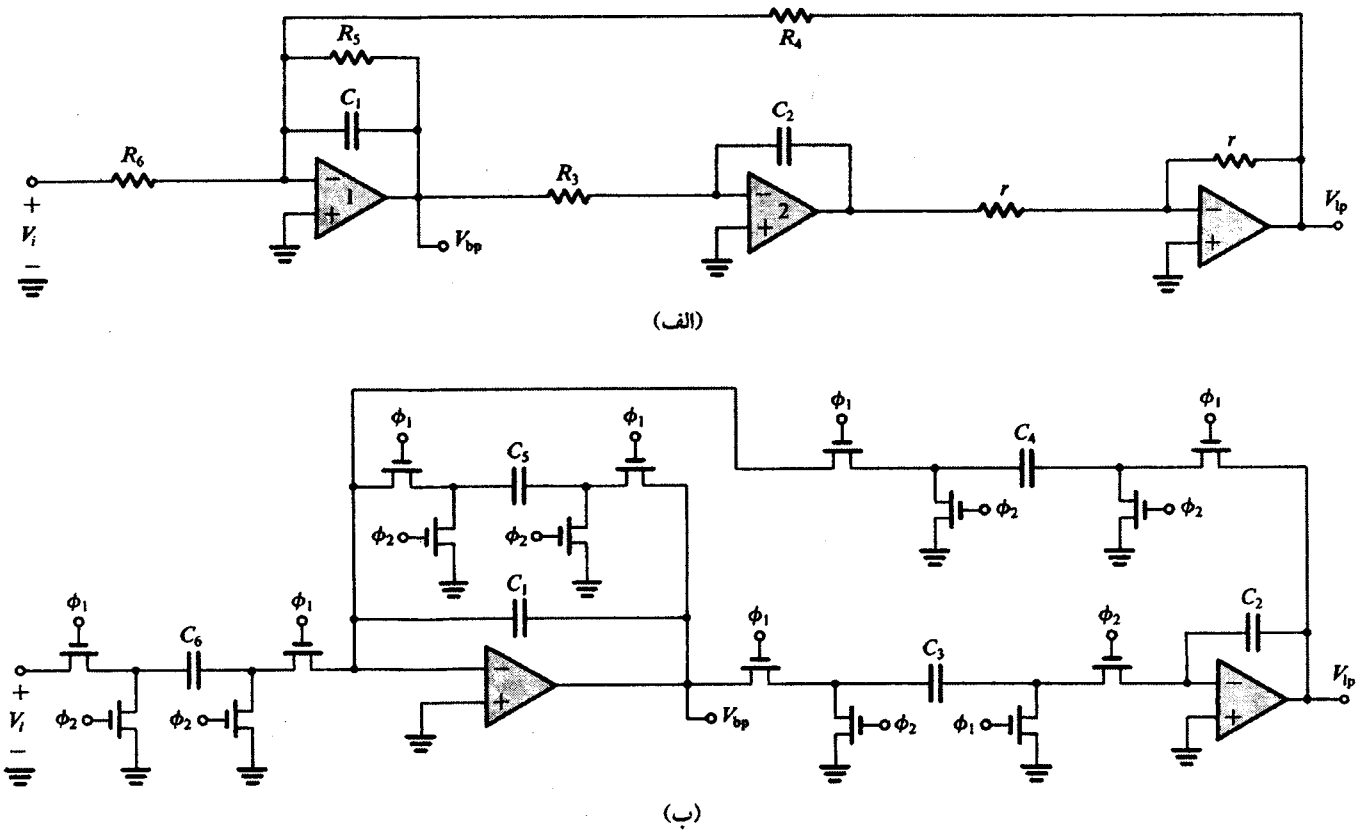


شکل ۳۶-۱۱. یک جفت انتگرالگیر سوئیچ خازنی مکمل که در مقابل خازنهای پراکنده مقاوم است. **(الف)** انتگرالگیر سوئیچ خازنی ناوارونگر **(ب)** انتگرالگیر سوئیچ خازنی وارونگر

عملکرد آن مشابه مدار اساسی شکل (ب۳۵-۱۱) ولی با علامت معکوس است.

مدار شکل (الف ۳۶-۱۱) علاوه بر تحقق تابع انتگرالگیر ناوارونگر نسبت به اثرات خازنهای پراکنده نیز مقاوم است. که در این رابطه بیشتر بحث نمی‌کنیم. با معکوس کردن فازهای ساعت روی دو سوئیچ، مدار شکل (ب ۳۶-۱۱) به دست می‌آید.این مدار تابع انتگرالگیر وارونگر را تحقق داده و شبیه مدار شکل (ب ۳۵-۱۱) عمل می‌کند اما نسبت به ظرفیتهای خازنی پراکنده مقاوم است. [که مدار اصلی شکل (ب ۳۵-۱۱) اینگونه نیست] هر دو انتگرالگیر مکمل شکل (۳۶-۱۱) بعنوان ساختارهای سازندهٔ استاندارد در طراحی فیلترهای سوئیچ خازنی به کار می‌روند.

اکنون تحقق مدار دومجذوری کامل را بررسی می‌کنیم. شکل (الف ۳۷-۱۱) مدار حلقه دو انتگرالگیر RC فعال را که قبلاً مطالعه شد نشان می‌دهد. با ترکیب متوالی انتگرالگیر ۲ ویک وارونگر که تشکیل یک انتگرالگیر مثبت را می‌دهد و جایگزین کردن هر مقاومت با سوئیچ خازنی معادلش، مدار شکل (ب ۳۷-۱۱) را به دست می‌آوریم. فعلاً از میرایی انتگرالگیر اول (یعنی سوئیچ خازنی C_5) چشم پوشی کنید و توجه کنید که در واقع حلقه فیدبک شامل یک انتگرالگیر وارونگر است. سپس دقت کنید که از حالت فاز سوئیچ خازنی برای میرایی استفاده می‌شود. معکوس کردن فازها در اینجا فیدبک را مثبت کرده و قطبها را به نیمه راست صفحه s منتقل می‌کند. از طرف دیگر حالت فاز سوئیچ خازنی تغذیه ورودی (C_6) مهم نیست. معکوس کردن فاز آن فقط موجب تغییر علامت تابع انتقال تحقق یافته می‌شود.



شکل ۳۷-۱۱. یک حلقه دو انتگرالگیر دو مجذوری RC ی فعال و معادل سوئیچ خازنی

پس از تعیین انطباقهایی بین دو مجذوری RC ی فعال و دو مجذوری سوئیچ خازنی می‌توانیم معادلات طراحی را بنویسیم. از تحلیل مدار شکل (الف ۳۷-۱۱) داریم :

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \qquad (۱۱-۹۲)$$

با جانشینی R_3 و R_4 با مقدار معادل SC آنها یعنی

$$R_3 = T_c/C_3 \quad \text{و} \quad R_4 = T_c/C_4$$

ω_0 مربوط به دو مجذوری SC بصورت زیر به دست می‌آید

$$\omega_0 = \frac{1}{T_c}\sqrt{\frac{C_3}{C_2}\frac{C_4}{C_1}} \qquad (۱۱-۹۳)$$

معمولاً ثابت زمانی هر دو انتگرالگیر مساوی در نظر گرفته می‌شود یعنی

$$\frac{T_c}{C_3}C_2 = \frac{T_c}{C_4}C_1 \qquad (۱۱-۹۴)$$

اگر خازنهای انتگرالگیر C_1 و C_2 را نیز مساوی فرض کنیم یعنی

$$C_1 = C_2 = C \qquad (۱۱-۹۵)$$

سپس داریم :

$$C_3 = C_4 = KC \qquad (۱۱-۹۶)$$

و از معادله (۹۳-۱۱):

$$K = \omega_0 T_c \qquad (۱۱-۹۷)$$

در حالت مساوی بودن ثابت‌های زمانی ، ضریب Q مدار شکل (الف ۳۷-۱۱)، R_5/R_4 است. بنابراین ضریب Q مدار SC متناظر در شکل (ب ۳۷-۱۱) از رابطه زیر به دست می‌آید :

$$Q = \frac{T_c/C_5}{T_c/C_4} \qquad (۱۱-۹۸)$$

بدین ترتیب C_5 به شکل زیر انتخاب می‌شود

$$C_5 = \frac{C_4}{Q} = \frac{KC}{Q} = \omega_0 T_c \frac{C}{Q} \qquad (۱۱-۹۹)$$

بالاخره بهرهٔ فرکانس مرکزی تابع میان گذر بصورت زیر است

$$\text{بهره فرکانس مرکزی} = \frac{C_6}{C_5} = Q\frac{C_6}{\omega_0 T_c C} \qquad (۱۱-۱۰۰)$$

تمرین

ط ۳۱-۱۱ از خازن $C_1 = C_2 = ۲۰$ pF استفاده کرده و مدار شکل (ب ۳۷-۱۱) را برای تحقق تابع میان‌گذر با $f_0 = ۱۰$ kHz و $Q = ۲۰$ و بهرهٔ فرکانس مرکزی واحد طراحی کنید. فرکانس ساعت $f_c = ۲۰۰$ kHz می‌باشد. مقادیر C_3 ، C_4 ، C_5 و C_6 را به دست آورید.

جواب. ۶/۲۸۳ pF ؛ ۶/۲۸۳ pF ؛ ۰/۳۱۴ pF ؛ ۰/۳۱۴ pF ❑

تذکر نهایی

کوشش کرده‌ایم مقدمه ای بر فیلترهای سوئیچ خازنی ارائه کنیم. برای سادگی فرض‌های بسیاری شد، از جمله مهمترین آنها معادل مقاومتی

سوئیچ خازنی (معادله ۹۰-۱۱) است. این معادل فقط در $f_c = \infty$ و تقریباً به ازای $f_c \gg f$ صحیح است. فیلترهای سوئیچ خازنی در حقیقت شبکه های داده‌های نمونه است که تحلیل و طراحی دقیق آنها با استفاده از روشهای تبدیل z انجام می‌شود.

۱۱-۱۱ تقویت‌کننده‌های تنظیمی

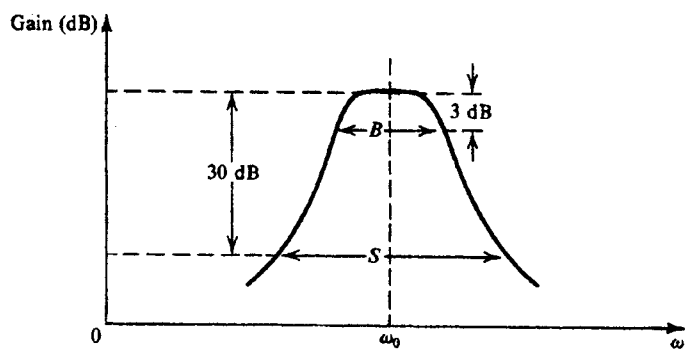
در این بخش نوع خاصی از شبکه انتخاب فرکانس یعنی تقویت کننده تنظیمی LC را مطالعه می‌کنیم. شکل (۳۸-۱۱) شکل کلی پاسخ فرکانس یک تقویت کننده تنظیمی را نشان می‌دهد. روشهای بحث شده برای تقویت‌کننده‌هایی با فرکانسهای مرکزی در محدوده چندصد کیلوهرتز تا چند صد مگاهرتز است. تقویت کننده‌های تنظیمی در قسمتهای فرکانس رادیویی (RF) و فرکانس متوسط (IF) گیرنده‌های مخابراتی و در دستگاههای گوناگون دیگر استفاده می‌شود. باید توجه داشت که پاسخ تقویت کننده‌های تنظیمی شکل (۳۸-۱۱) مشابه پاسخ فیلتر میان‌گذر است که در بخش پیش بررسی شد.

همانگونه که در شکل (۳۸-۱۱) نشان داده شده، پاسخ بوسیله فرکانس مرکزی ω_0، پهنای باند ۳ dB، و گزینش دامنی، که معمولاً بصورت نسبت پهنای باند ۳۰ dB به پهنای باند ۳ dB است در موارد بسیاری، پهنای باند ۳ dB از ۵ درصد ω_0 کمتر است. همانگونه که پس از این توضیح داده خواهد شد، خاصیت **باند باریک** تقریب‌های معینی را ممکن می‌سازد که فرآیند طراحی را ساده می‌کند.

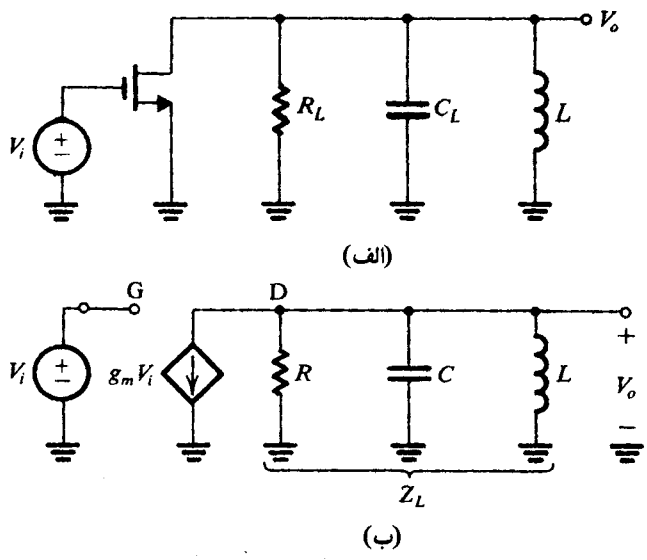
تقویت کننده‌های تنظیمی که در این بخش مطالعه می‌شوند، تقویت‌کننده‌های ولتاژ سیگنال کوچک هستند که در آنها ترانزیستورها در حالت کلاس A کار می‌کنند. تقویت کننده‌های توان تنظیمی بر اساس کلاس C و دیگر حالتهای سوئیچینگ در این کتاب بررسی نخواهند شد.

اساس کار

اساس کار طراحی تقویت کننده‌های تنظیمی استفاده از مدار LCR موازی بعنوان بار، یا در ورودی یک تقویت کننده BJT یا FET است. چنین مداری در شکل (۳۹-۱۱) با تقویت کننده MOSFET دارای یک مدار هماهنگ بعنوان بار دیده می‌شود. برای سهولت جزئیات بایاس آورده نشده است. چون مدار از یک مدار هماهنگ منفرد استفاده می‌کند، بعنوان



شکل ۳۸-۱۱. پاسخ فرکانسی تقویت کنندهٔ تنظیمی



شکل ۳۹-۱۱. تشریح اصول اساسی تقویت‌کنندهٔ تنظیمی با استفاده از یک MOSFET با بار مدار تنظیمی جزئیات بایاس نشان داده نشده است.

یک **تقویت کنندهٔ تک تنظیمی** شناخته می‌شوند. مدار معادل تقویت کننده در شکل (ب ۳۹-۱۱) دیده می‌شود. در اینجا R معادل موازی R_L و مقاومت خروجی r_o ی FET، C معادل موازی و ظرفیت خروجی FET (معمولاً بسیار کوچک) است. باتوجه به مدار معادل می‌توان نوشت:

$$V_o = \frac{-g_m V_i}{Y_L} = \frac{-g_m V_i}{sC + 1/R + 1/sL}$$

بنابراین بهره ولتاژ عبارتست از:

$$\frac{V_o}{V_i} = -\frac{g_m}{C}\frac{s}{s^2 + s(1/CR) + 1/LC} \qquad (۱۱-۱۰۱)$$

که یک تابع میان‌گذر مرتبه دوم است. بنابراین تقویت‌کننده تنظیمی دارای فرکانس مرکزی زیر است.

$$\omega_0 = 1/\sqrt{LC} \qquad (۱۱-۱۰۲)$$

پهنای باند ۳ dB:

$$B = \frac{1}{CR} \qquad (۱۱-۱۰۳)$$

فاکتور Q از:

$$Q \equiv \omega_0/B = \omega_0 CR \qquad (۱۱-۱۰۴)$$

و بهره فرکانس مرکزی :

$$\frac{V_o(j\omega_0)}{V_i(j\omega_0)} = -g_m R \qquad (۱۱-۱۰۵)$$

توجه کنید که با نگاهی دقیق می‌توان رابطه بهره فرکانس مرکزی را نوشت: در تشدید، راکتانس L و C حذف شده و امپدانس مدار LCR به R کاهش پیدا می‌کند.

مثال ۴-۱۱

می‌خواهیم یک تقویت‌کننده تنظیمی از نوع نشان داده شده در شکل (۳۹-۱۱) طراحی کنیم که در آن $f_0 = 1$ MHz، پهنای باند ۳dB آن ۱۰ kHz، و بهره فرکانس مرکزی آن ۱۰V/V- باشد. FET

در نقطه بایاس دارای $g_m = ۵\ \text{mA/V}$ و $r_o = ۱۰\ \text{k}\Omega$ است. خازن خروجی در حد چشمپوشی کوچک است. مقادیر R_L، C_L، و L را به دست آورید.

حل:

بهرهٔ فرکانس مرکزی $= -۱۰ = -۵R$ است. بنابراین $R = ۲\ \text{k}\Omega$ می‌باشد. چون $R = R_L // r_o$ است در آنصورت $R_L = ۲/۵\ \text{k}\Omega$ می‌باشد

$$B = ۲\pi \times ۱۰^۴ = \frac{۱}{CR}$$

به این ترتیب

$$C = \frac{۱}{۲\pi \times ۱۰^۴ \times ۲ \times ۱۰^۳} = ۷۹۵۸\ \text{pF}$$

چون $\omega_\circ = ۲\pi \times ۱۰^۶ = ۱/\sqrt{LC}$، به دست می‌آوریم:

$$L = \frac{۱}{۴\pi^۲ \times ۱۰^{۱۲} \times ۷۹۵۸ \times ۱۰^{-۱۲}} = ۳/۱۸\ \mu\text{H}$$

اتلاف توان در القاگر

اتلاف توان در القاگر معمولاً بوسیله یک مقاومت سری r_s مطابق شکل (الف ۴۰-۱۱) نشان داده می‌شود. البته، به جای تعیین مقدار r_s، معمولاً ضریب Qی القاگر را در فرکانس مورد نظر تعیین می‌کنند:

$$Q_\circ \equiv \frac{\omega_\circ L}{r_s} \qquad (۱۱-۱۰۶)$$

که معمولاً $Q_\circ$ در محدوده ۵۰ تا ۲۰۰ می‌باشد.

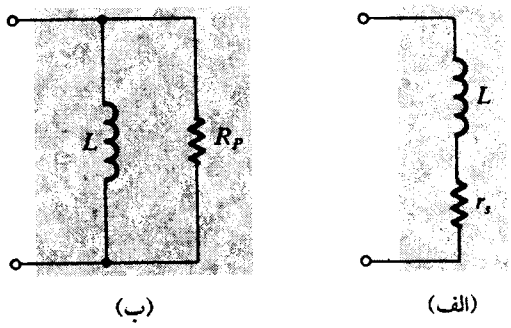
تحلیل یک تقویت کننده تنظیمی غالباً با نمایش اتلاف توان القاگر بوسیله مقاومت موازی R_p، مطابق شکل (ب ۴۰-۱۱) صورت می‌گیرد. رابطه بین R_p و $Q_\circ$ با نوشتن برای ادمیتانس مدار شکل (الف ۴۰-۱۱) به دست می‌آید.

$$Y(j\omega_\circ) = \frac{۱}{r_s + j\omega_\circ L}$$

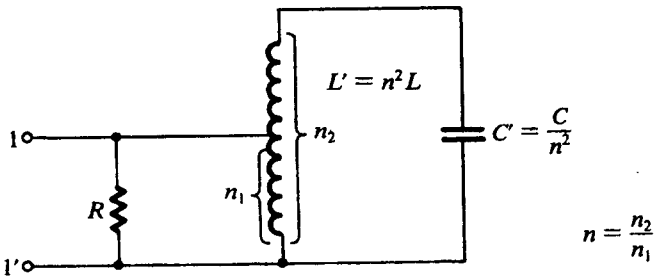
$$= \frac{۱}{j\omega_\circ L}\,\frac{۱}{۱ - j(۱/Q_\circ)} = \frac{۱}{j\omega_\circ L}\,\frac{۱ + j(۱/Q_\circ)}{۱ + (۱/Q_\circ^۲)}$$

به ازای $Q_\circ \gg ۱$

$$Y(j\omega) \cong \frac{۱}{j\omega_\circ L}\left(۱ + j\,\frac{۱}{Q_\circ}\right) \qquad (۱۱-۱۰۷)$$



شکل ۴۰-۱۱. مدارهای معادل القاگر



شکل ۴۱-۱۱. القاگر سر وسط بعنوان مبدل اندوکتانس برای ایجاد امکان استفاده از اندوکتانس بالاتر، L'، و خازن کوچکتر C'.

از برابر قرار دادن این رابطه با ادمیتانس مدار شکل (ب ۴۰-۱۱) به دست می‌آید

$$Q_\circ = \frac{R_p}{\omega_\circ L} \qquad (۱۱-۱۰۸)$$

یا معادل آن

$$R_p = \omega_\circ L Q_\circ \qquad (۱۱-۱۰۹)$$

در پایان لازم به ذکر است که ضریب Qی سیم‌پیچ دارای حد بالای مقدار Q است که بوسیله مدار هماهنگ بوجود می‌آید.

تمرین

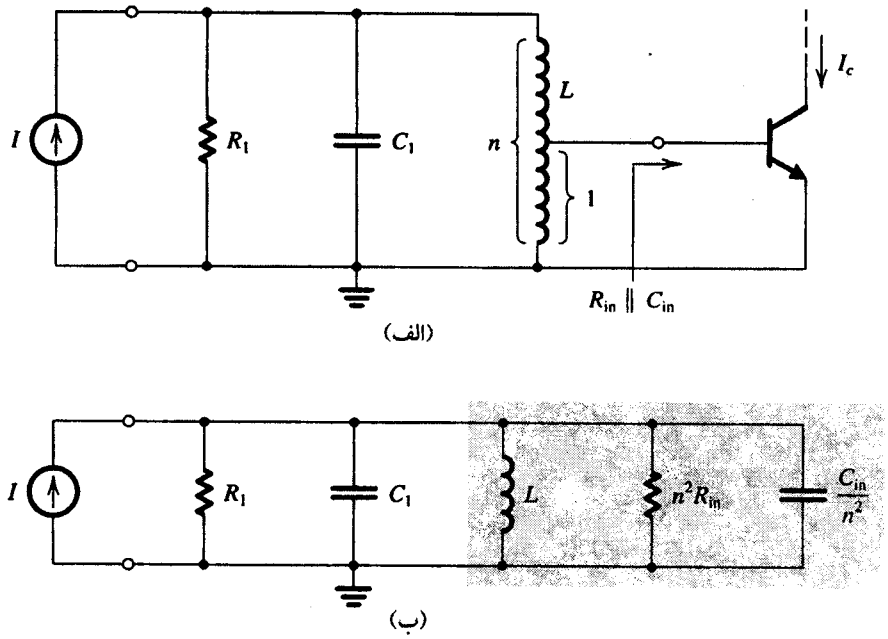
۱۱-۳۲ اگر القاگر مثال ۴-۱۱ دارای $Q_\circ = ۱۵۰$ باشد، R_p را پیدا کنید و سپس مقداری را که R_L بایستی تغییر کند تا Q کلی موجود باشد و بنابراین پهنای باند بی‌تغییر بماند، بیابید.

جواب. $۳\ \text{k}\Omega$ ؛ $۱۵\ \text{k}\Omega$ ❑

استفاده از ترانسفورمرها

در موارد بسیاری مقدار اندوکتانس مورد نیاز مقداری عملی نیست زیرا سیم پیچهایی با مقدار $Q_\circ$ زیاد در دسترس نمی‌باشد. یک راه حل ساده، استفاده از ترانسفورمر برای تغییر امپدانس است. غیر از آن، از یک سیم‌پیچ دارای سر وسط موسوم به **اتوترانسفورمر** نیز مطابق شکل (۴۱-۱۱) استفاده می‌شود. دو قسمت از القاگر با پیچیده شدن بر یک هسته فریت، به یکدیگر تزویج می‌شوند. این امر از رابطه ترانسفورمر مشهود است. نتیجه آن است که مدار هماهنگ بین پایانه‌های ۱ و ۱′ معادل مدار شکل (ب ۳۹-۱۱) است. بطور مثال، چنانچه نسبت دورها $n = ۳$ در تقویت‌کننده مثال ۴-۱۱ استفاده شود، در آنصورت یک سیم‌پیچ با اندوکتانس $L' = ۹ \times ۳/۱۸ = ۲۸/۶\mu\text{H}$ و ظرفیت $C' = \frac{۷۹۵۸}{۹} = ۸۸۴\ \text{pF}$ مورد نیاز خواهد بود. هر دوی این مقادیر از مقدار اصلی عملی‌تر می‌باشند.

در مواردی مثل تزویج خروجی یک تقویت کننده تنظیمی به ورودی تقویت کننده دیگر، سیم‌پیچ دارای سر وسط بطرز موثری مقاومت ورودی طبقه تقویت کننده بعدی را بالا خواهد برد. به این ترتیب، می‌توان از کاهش Q کل احتراز کرد. این نکته در شکل (۴۲-۱۱) و در تمرین‌های زیر نشان داده شده است.



شکل ۴۲ـ۱۱. (الف) خروجی یک تقویت‌کننده تنظیمی که به ورودی یک تقویت‌کننده دیگر از طریق سیم‌پیچ سر وسط اتصال یافته است و (ب) مدار معادل آن. توجه کنید که استفاده از سیم پیچ سر وسط امپدانس مؤثر ورودی دومین طبقه تقویت‌کننده را افزایش می‌دهد.

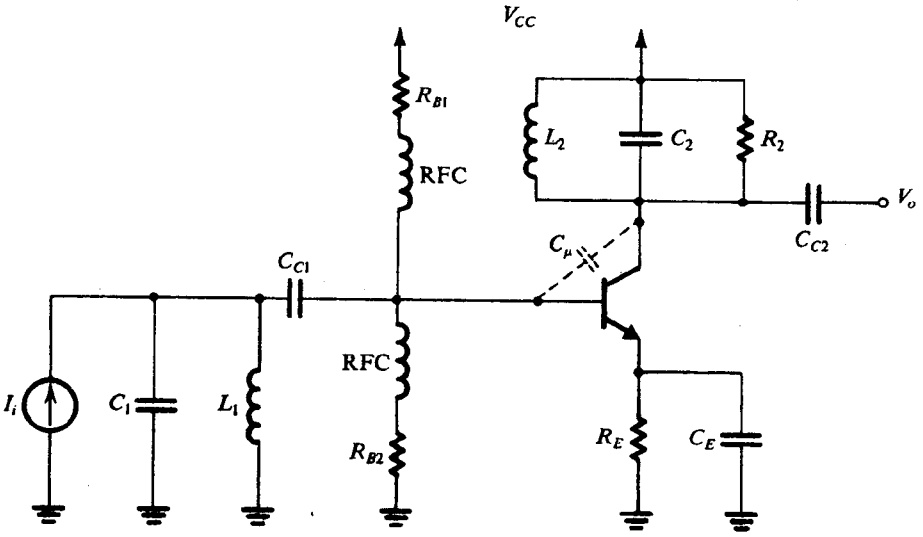
تمرینها

۱۱-۳۳ مدار شکل (الف ۴۲-۱۱) را در نظر بگیرید. ابتدا بدون سیم‌پیچ دارای سر وسط. فرض کنید $L = ۵\,\mu H$ باشد و R_1 در ۱ kΩ ثابت باشد. می‌خواهیم یک تقویت‌کننده تنظیمی با $f_o = ۴۵۵$ kHz و پهنای باند ۳ dB ۱۰kHz (که مشخصات یک تقویت‌کننده IF در یک رادیو AM است) طراحی کنیم. چنانچه BJT دارای $R_{in} = ۱$ kΩ و $C_{in} = ۲۰۰$ pF باشد، پهنای باند واقعی به دست آمده و مقدار مورد نیاز C_1 را به دست آورید.
جواب. ۱۳ kHz ؛ ۲۴/۲۷ nF

۱۱-۳۴ چون پهنای باند مورد نظر در تمرین ۳۳-۱۱ بزرگتر از دلخواه است، طرحی دیگر با استفاده از سیم‌پیچ دارای سر وسط مانند شکل (الف ۴۲-۱۱) بیابید. مقدار n که مشخصه‌ها را به دست می‌دهد بیابید. همچنین مقدار مورد نیاز جدید C_1 و بهره جریان I_c/I را در حالت تشدید به دست آورید. فرض کنید که در نقطه بایاس BJT دارای $g_m = ۴۰$ mA/V است.
جواب. ۱/۳۶، ۲۴/۳۶ nF، ۱۹/۱ A/A ❑

تقویت‌کننده‌هایی با چند مدار تنظیمی (مدار هماهنگ)

در موارد بسیاری مانند تقویت‌کننده‌های IF یک رادیو و یا تلویزیون، **گزینش** به دست آمده از یک مدار تک تنظیمی کافی نیست (شکل ۳۹-۱۱). گزینش بزرگتر با استفاده از طبقات تنظیمی اضافی میّسر است. شکل (۴۳-۱۱) یک BJT با مدارهای تنظیمی در ورودی و خروجی نشان می‌دهد. دراین مدار، جزئیات بایاس نشان داده شده است، که از آن متوجه می‌شویم که روش بایاس کاملاً شبیه به روش مرسوم در طراحی مدار مجزا



شکل ۴۳ـ۱۱. یک تقویت‌کنندهٔ BJT با مدار تنظیمی در ورودی و خروجی

است. البته، به منظور اجتناب از تأثیر بارگذاری مقاومت‌های بایاس R_{B1} و R_{B2} بر مدار تنظیمی ورودی یک **چوک فرکانس رادیویی** (یا به اختصار RFC) بطورسری با هر مقاومت قرار داده می‌شود. این چوک‌ها در فرکانسهای مورد نظر دارای امپدانس زیاد هستند. استفاده از RFC ها در بایاس تقویت‌کننده‌های تنظیمی RF امری مرسوم و متداول است.

تحلیل و طراحی تقویت‌کننده‌های جفت تنظیمی شکل (۴۳-۱۱) با اثر میلر ناشی از ظرفیت C_μ پیچیده می‌شود. چون بار فقط مقاومتی نیست، همانگونه که در تقویت‌کننده‌های فصل ۷ مطالعه شد، امپدانس میلر در ورودی پیچیده خواهد بود. امپدانس انعکاسی سبب ناتنظیمی مدار ورودی و "کج و اریب شدن" پاسخ مدار ورودی می‌شود. نیازبه گفتن نیست که تزویج ایجاد شده بوسیله C_μ، تنظیم تقویت‌کننده را بسیار مشکل می‌کند. از آن هم بدتر، خازن C_μ موجب نوسانسازی می‌شود.

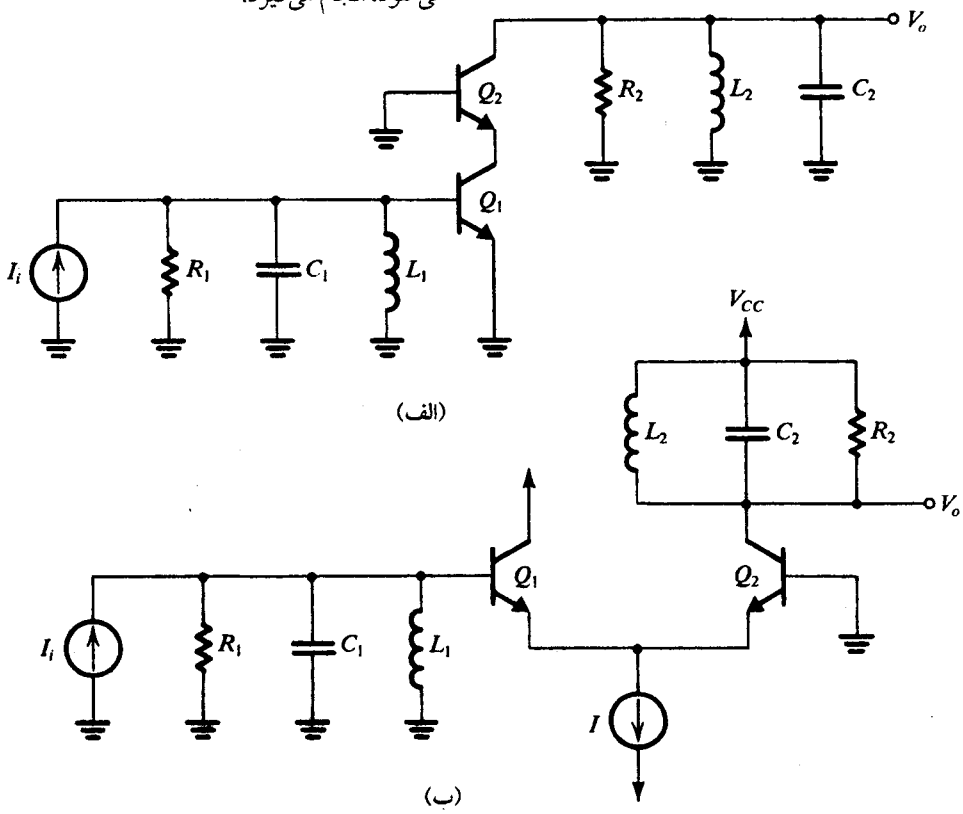
روشهایی برای **خنثی کردن اثر** C_μ وجود دارد. استفاده از مدارهای اضافی بطوری که جریانی معادل و مخالف جریانی که از C_μ می‌گذرد فیدبک شود. وضعیت دیگر و بهتر، استفاده از آرایشهای مداری است که از معایب اثر میلر مصون هستند. این روش‌ها در زیر شرح داده می‌شوند. البته قبل از اتمام مطالعه این بخش، به مدارهایی از نوع نشان داده شده در شکل (۴۳-۱۱) توجه می‌کنیم که معمولاً با استفاده از مدل پارامتر y ی BJT طراحی شده‌اند. (ضمیمه ب راملاحظه کنید). به این دلیل این کار انجام می‌شود که از این دید که C_μ یک نقش موثر دارد، مدل پارامتر y تحلیل را (در مقایسه با استفاده از مدل π هیبرید) ساده‌تر می‌کند. همچنین، پارامترهای y در فرکانس ویژه‌ای، ω_0، به سهولت قابل اندازه‌گیری است. در تقویت‌کننده‌های با باند باریک، این فرض معمولاً پارامتر y را تقریباً در ورای باند عبور ثابت نگه می‌دارد.

کاسکود و آرایش متوالی CC-CB

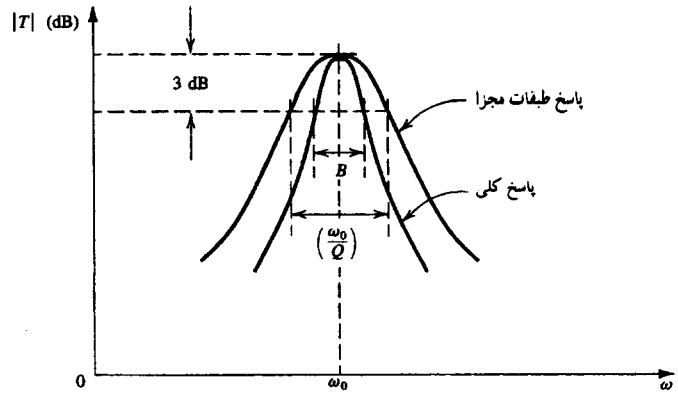
از بررسی پاسخ فرکانسی تقویت کننده در فصل ۷ دریافتیم که دو پیکربندی از اشکلات اثر میلر متأثر نیستند. این دو پیکربندی عبارتند از: پیکربندی کاسکود و آرایش متوالی کلکتور مشترک - بیس مشترک. شکل (۴۴-۱۱) تقویت‌کننده‌هایی بر اساس این دو نوع پیکربندی نشان می‌دهد. آرایش متوالی CC-CB معمولاً در ساختمان IC کاربرد دارد زیرا ساختمان تفاضلی آن برای روشهای بایاس IC مناسب است. (توجه کنید که جزئیات بایاس مدار کاسکود در شکل (۴۳-۱۱) نشان داده نشده است). بایاس با استفاده از روشهای مشابه با آنچه در فصلهای پیش بحث شد، انجام می‌شود.

تنظیم همزمان

در طراحی یک تقویت کننده تنظیمی با چند مدار تنظیمی، این سئوال بوجود می‌آید که فرکانسی که باید در آن تنظیم شود چیست؟ هدف البته برای پاسخ کل برای ایجاد تختی باند عبور زیاد و گزینش دامنی آن است. برای بررسی این پرسش فرض می‌کنیم که پاسخ کل عبارت از حاصلضرب یک به یک پاسخها باشد؛ به بیان دیگر طبقه‌ها عکس‌العمل متقابل ندارند. این کار به سهولت با استفاده از مداری نظیر آنچه در شکل (۴۴-۱۱) دیده می‌شود، انجام می‌گیرد.



شکل ۴۴-۱۱. دو آرایش تقویت‌کنندهٔ تنظیمی که دارای اثر میلر نیستند. (**الف**) آرایش کاسکود. (**ب**) اتصال متوالی کلکتور مشترک - بیس مشترک (دقت کنید که جزئیات بایاس مدار کاسکود نشان داده نشده است)



شکل ۴۵-۱۱. پاسخ فرکانسی تقویت‌کنندهٔ تنظیمی همزمان

ابتدا حالتی با N مدار تشدید یکسان در نظر بگیرید که آنرا حالت **تنظیم همزمان** می‌نامیم. شکل (۴۵-۱۱) پاسخ یک طبقه اختصاصی و پاسخ مربوط به کاسکود را نشان می دهد. به پهنای " کوچک شده" پاسخ کل توجه کنید. B پهنای باند dB ۳ تقویت کننده کل با رابطه زیر به ω_0/Q پاسخ مدارهای تنظیمی منفرد مربوط است.

$$B = \frac{\omega_0}{Q}\sqrt{2^{1/N} - 1} \qquad (11\text{-}110)$$

ضریب $\sqrt{2^{1/N} - 1}$ بعنوان ضریب پهنای باند کوچک شده شناخته می‌شود. با معلوم بودن B و N، از معادله (۱۱۰-۱۱) برای تعیین پهنای باند مورد نیاز طبقات منفرد استفاده می‌کنیم.

تمرین

۳۵-۱۱ طراحی یک تقویت کننده IF برای گیرنده رادیو FM مورد نظر است. با استفاده از دو طبقه تنظیمی همزمان با $f_0 = 10.7$ MHz، پهنای باند هر طبقه را طوری به دست آورید که پهنای باند کل ۲۰۰ kHz باشد. با استفاده از القاگرهای ۳ μH، C و R را برای هر طبقه به دست آورید.

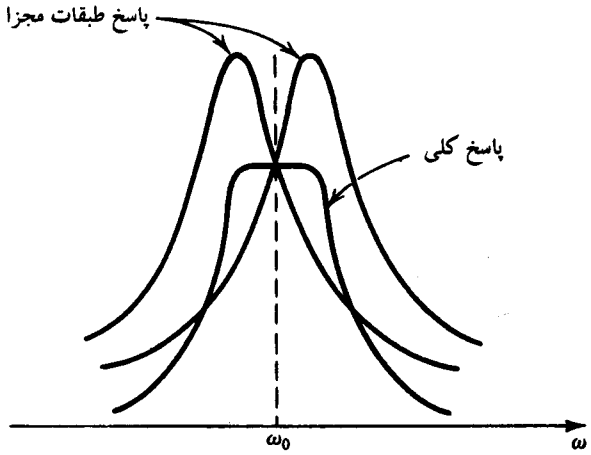
جواب. ۳۱۰/۸ kHz ؛ ۷۳/۷ pF ؛ ۶/۹۵ kΩ ❑

تنظیم پشت سر هم

پاسخ کل بهتر، از تنظیم پشت سر هم هر یک از طبقات به دست می‌آید، مطابق شکل (۴۶-۱۱). تقویت کننده‌های تنظیمی پشت سر هم معمولاً طوری طراحی می‌شوند که پاسخ کل تختی ماکزیمم را حول فرکانس مرکزی f_0 ایجاد می‌کنند. چنین پاسخی با تغییر پاسخ تخت ماکزیمم فیلتر پایین‌گذر (باترورث) در بالای محور فرکانسی ω_0 به دست می‌آید. در این جا چگونگی انجام آنرا نشان خواهیم داد.

تابع انتقال فیلتر میان گذر مرتبه دوم بر حسب قطب‌های آن بصورت زیر به دست می‌آید:

$$T(s) = \frac{a_1 s}{\left(s + \frac{\omega_0}{2Q} - j\omega_0\sqrt{1 - \frac{1}{4Q^2}}\right)\left(s + \frac{\omega_0}{2Q} + j\omega_0\sqrt{1 - \frac{1}{4Q^2}}\right)} \qquad (11\text{-}111)$$



شکل ۴۶-۱۱. تنظیم تناوبی مدارهای تشدیدکنندهٔ مجزا می‌تواند منجر به باند عبور صاف‌تر از حالت تنظیم همزمان (شکل ۴۵-۱۱) شود.

برای یک فیلتر باریک $Q \gg 1$، و به ازای مقادیر s در همسایگی $+j\omega_0$ (شکل ب ۴۷-۱۱ را ملاحظه کنید)، ضریب دوم در مخرج تقریباً $(2j\omega_0)$ است. بنابراین معادله (۱۱۱-۱۱) بصورت زیر تقریب می‌گردد.

$$T(s) \cong \frac{a_1/2}{s + \omega_0/2Q - j\omega_0} = \frac{a_1/2}{(s - j\omega_0) + \omega_0/2Q} \qquad (11\text{-}112)$$

این موضوع را عنوان **تقریب باند باریک** می‌شناسیم. توجه کنید که پاسخ اندازه به ازای $s = j\omega$ مطابق انتظار دارای مقدار نوک a_1Q/ω_0 در $\omega=\omega_0$ است.

اکنون شبکه پایین‌گذر مرتبه اول را با قطب منفرد در $p=-\omega_0/2Q$ در نظر می‌گیریم (از p برای نشان متغیر فرکانس مختلط فیلتر پایین‌گذر استفاده می‌کنیم) تابع انتقال برابر است با:

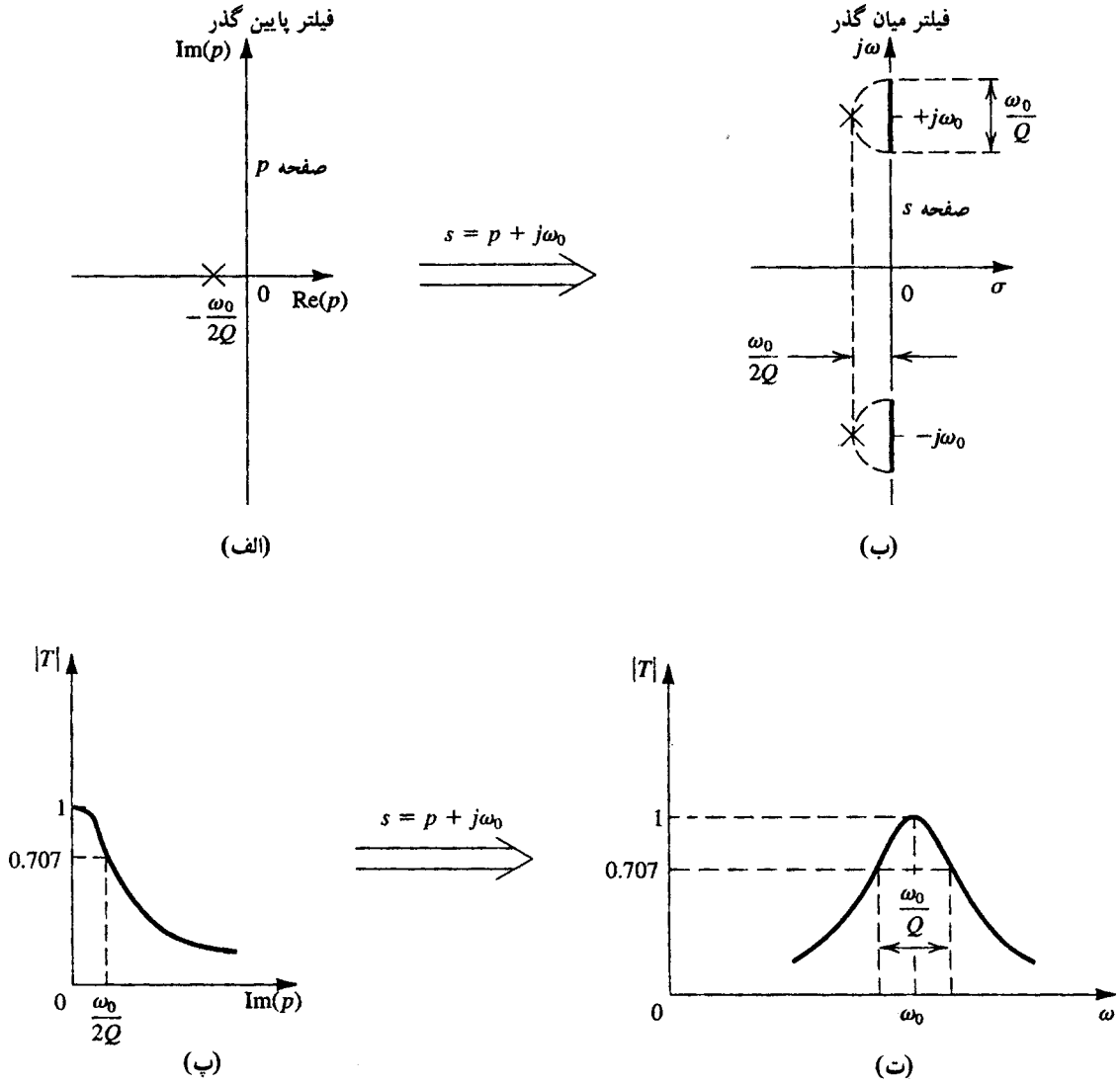
$$T(p) = \frac{K}{p + \omega_0/2Q} \qquad (11\text{-}113)$$

که در آن K یک ثابت است. از مقایسه معادله‌های (۱۱۲-۱۱) و (۱۱۳-۱۱) متوجه می‌شویم که آنها به ازای $p = s - j\omega_0$ یکسان هستند، و یا معادل آن

$$s = p + j\omega_0 \qquad (11\text{-}114)$$

این نتایج بطور ضمنی نشان می‌دهد که پاسخ فیلتر میان‌گذر مرتبه دوم در همسایگی فرکانس مرکزیش $s = j\omega_0$ با پاسخ فیلتر پایین‌گذر مرتبه اول دارای یک قطب در $(-\omega_0/2Q)$ در همسایگی $p = 0$ یکسان است. بنابراین پاسخ میان‌گذر با انتقال قطب فیلتر پایین‌گذر و اضافه کردن قطب مختلط مزدوج مطابق شکل (۴۷-۱۱) می‌تواند به دست آید. این عمل در فیلترهای باند باریک **تبدیل پایین‌گذر به میان‌گذر** نامیده می‌شود.

تبدیل $p = s - j\omega_0$ برای فیلترهای پایین‌گذر با مرتبه بیش از اول می‌تواند اعمال شود. بطور مثال، می‌توانیم یک فیلتر پایین‌گذر مرتبه دوم تخت ماکزیمم $(Q=1/\sqrt{2})$ را به فیلتر میان‌گذر تخت ماکزیمم تبدیل کنیم. اگر پهنای باند dB ۳ فیلتر میان‌گذر B rad/s باشد، در آنصورت فیلتر پایین گذر بایستی دارای فرکانس ۳dB بوده و بنابراین مطابق شکل (۴۸-۱۱)،



شکل ۴۷ـ۱۱. به دست آوردن فیلتر میان‌گذر باند باریک مرتبه دوم با تبدیل یک فیلتر پایین‌گذر مرتبهٔ اول. (الف) قطب فیلتر مرتبه اول در صفحه P. (ب) استفاده از تبدیل $s=p+j\omega_0$ و اضافه‌کردن یک قطب مزدوج مختلط منجر به فیلتر میان‌گذر مرتبه دوم می‌شود. (ت) پاسخ اندازه فیلتر پایین‌گذر مرتبه اول (ت) پاسخ اندازه فیلتر میان‌گذر مرتبه دوم

دارای یک فرکانس قطب با $B/2$ rad/s باشد. در نتیجه فیلتر میان‌گذر مرتبه چهارم یک فیلتر با تنظیم پشت سر هم است که هر دو مدار تنظیمی آن (باتوجه به شکل ۴۸-۱۱) دارای مشخصه‌های زیر است:

$$\omega_{01} = \omega_0 + \frac{B}{2\sqrt{2}} \qquad B_1 = \frac{B}{\sqrt{2}} \qquad Q_1 \cong \frac{\sqrt{2}\omega_0}{B} \qquad (۱۱-۱۱۵)$$

$$\omega_{02} = \omega_0 - \frac{B}{2\sqrt{2}} \qquad B_2 = \frac{B}{\sqrt{2}} \qquad Q_2 \cong \frac{\sqrt{2}\omega_0}{B} \qquad (۱۱-۱۱۶)$$

توجه کنید که برای آنکه پاسخ کل دارای بهره فرکانس مرکزی عادی واحد باشد، پاسخهای انفرادی در شکل (ت ۴۸-۱۱) نشان می‌دهد که بهره فرکانس مرکزی مساوی و $\sqrt{2}$ است. البته، همانطور که در تمرین‌های زیر نشان داده می‌شود، در عمل پاسخهای منفرد به داشتن بهره فرکانس مرکزی مساوی نیاز ندارد.

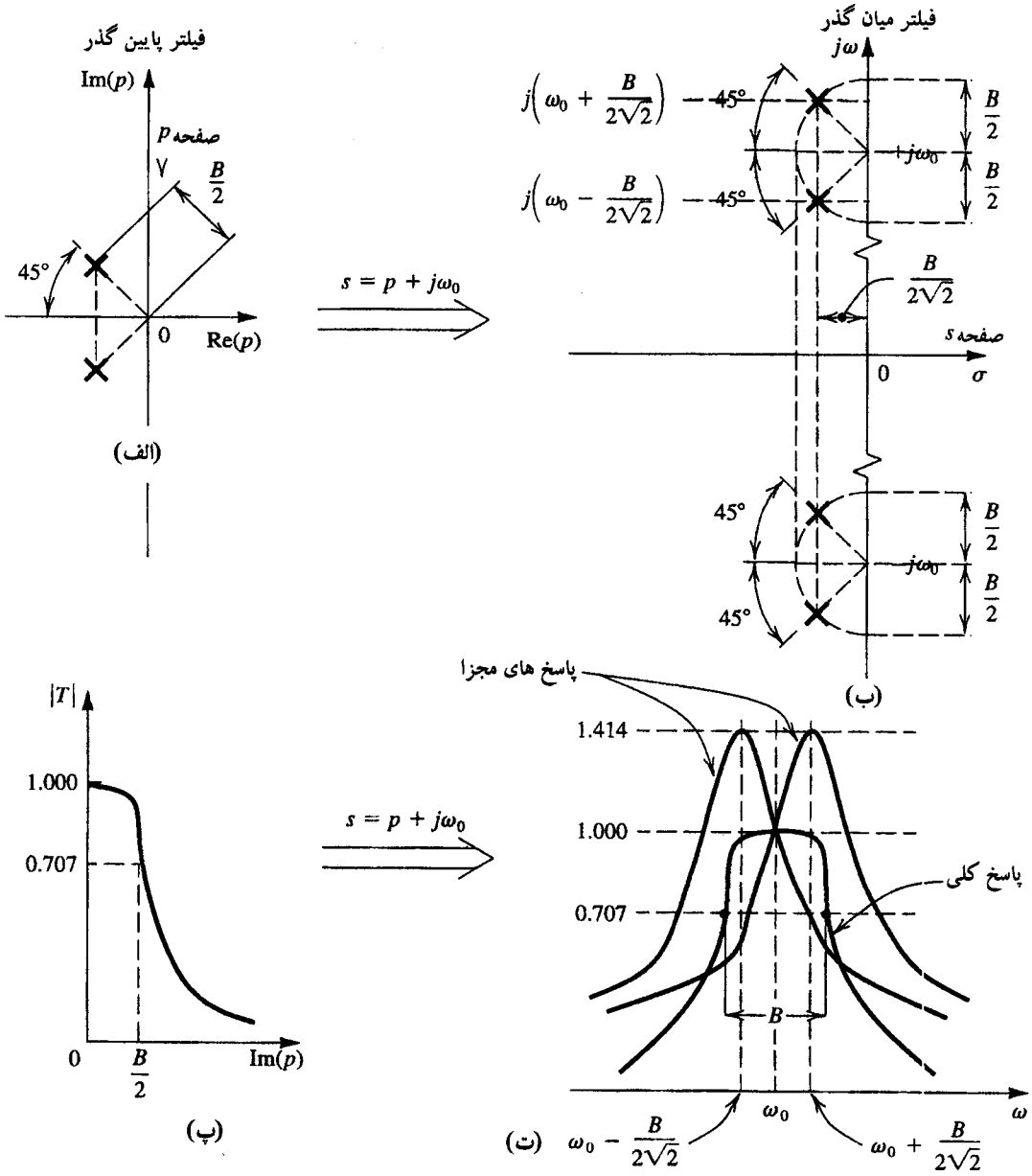
تمرینها

۱۱-۳۶ طراحی تنظیمی پشت سر هم برای تقویت‌کننده IF تمرین ۱۱-۳۵ مورد نیاز است. f_{01}، B_1، f_{02}، و B_2 را به دست آورید. همچنین مقدار C و R را برای هر یک از دو طبقه معلوم کنید. (بیاد آورید که از القاگرهای ۳ μH استفاده می‌شود).

جواب. ۱۰/۷۷ MHz ؛ ۱۴۱/۴ kHz ؛ ۱۰/۶۳ MHz ؛ ۱۴۱/۴ kHz ؛ ۷۲/۸ pF ؛ ۱۵/۵ kΩ ؛ ۷۴/۷ pF ؛ ۱۵/۱ kΩ

۱۱-۳۷ با توجه به این نکته که بهره ولتاژ در حالت تشدید با مقدار R متناسب است، نسبت بهره را در ۱۰/۷ MHz تقویت‌کننده تنظیمی پشت سر هم که در تمرین ۱۱-۳۶ طراحی شد و تقویت‌کننده تنظیمی همزمان را که در تمرین ۱۱-۳۵ طراحی شد، به دست آورید. (راهنمایی: در تقویت‌کننده تنظیمی پشت سر هم توجه کنید که بهره در ω_0 برابر است با حاصلضرب بهره طبقات منفرد در فرکانسهای ۳ dB آنها).

جواب. ۲/۴۲ ❑



شکل ۴۸ـ۱۱. به دست آوردن قطبها و پاسخ فرکانسی تقویت‌کنندهٔ میان‌گذر باند باریک تنظیم تناوبی مرتبهٔ چهارم با استفاده از تبدیل پاسخ حداکثر تخت پایین‌گذر مرتبه دوم

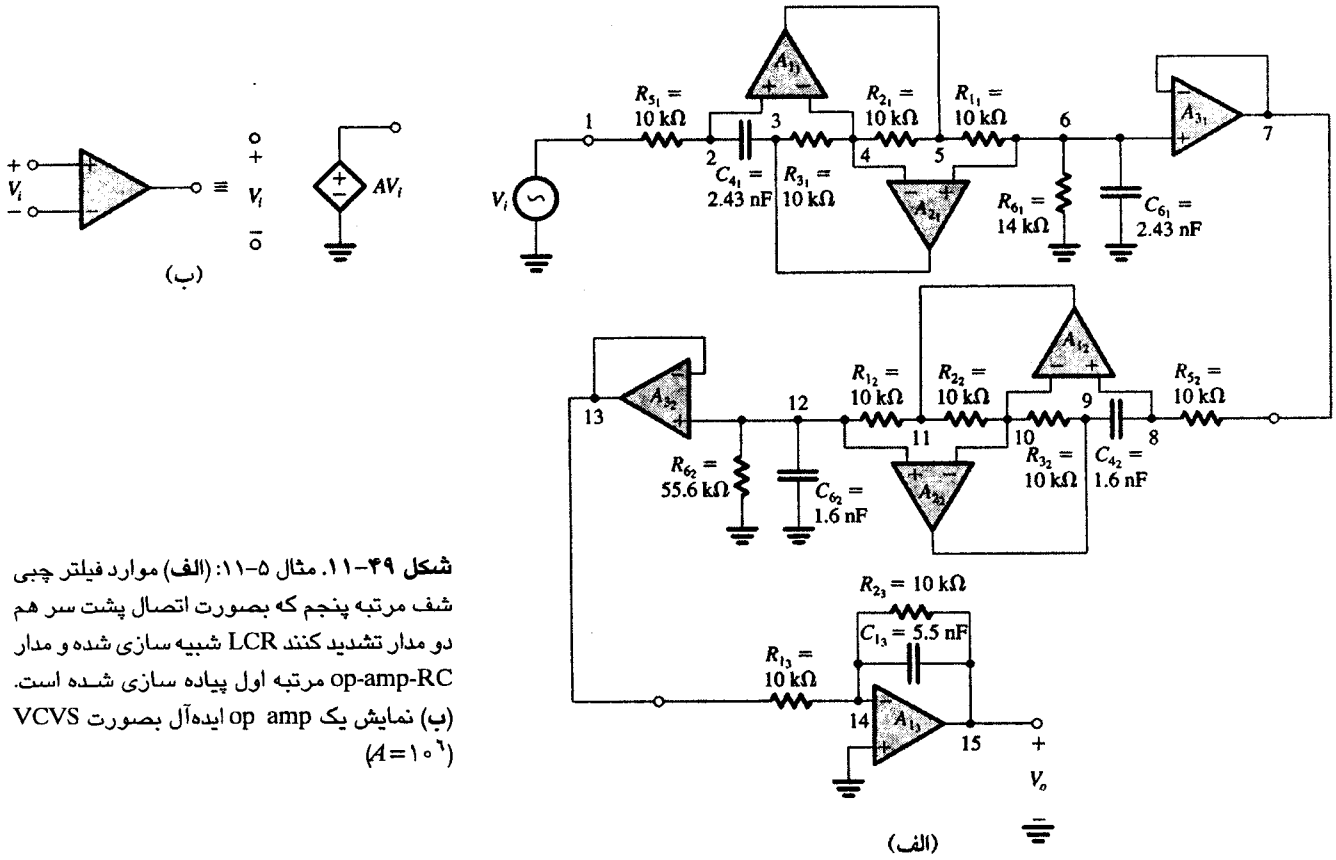
۱۲-۱۱ مثال‌هایی از شبیه سازی SPICE

از شبیه سازی مداری در طراحی فیلتر حداقل به سه دلیل استفاده می‌شود: ۱- تأیید صحت طراحی با فرض ایده‌آل بودن عناصر ۲- تحقیق اثرات مشخصه‌های غیر ایده‌آل op amp‌ها روی پاسخ فیلتر و ۳- تعیین درصد مدارهای ساخته شده با عناصر عملی که مقادیر آن‌ها مشخصه‌های تغییرات مجاز معین شده دارند که با مشخصه‌های طراحی سازگار است (این درصد را بعنوان نتیجه می‌شناسند). در این بخش، دو مثال ارائه می‌کنیم که استفاده از SPICE را برای دو دلیل اول، تشریح می‌کند. سومین زمینه طراحی به کمک کامپیوتر، که بسیار مهم‌تر است، یک مبحث نسبتاً تخصصی است و از حوصله این کتاب خارج است.

مثال ۵-۱۱: تأیید طراحی فیلتر چبی شف مرتبه پنجم

اولین مثال، نشان می‌دهد که چگونه SPICE برای تأیید طراحی فیلتر چبی شف مرتبه پنجم مورد استفاده قرار می‌گیرد. مدار را با عناصر به دست آمده در تمرین (۲۰-۱۱) شبیه سازی می‌کنیم. مدار کامل که در شکل (الف ۴۹-۱۱) نشان داده شده است، شامل اتصال پشت سر هم دو تشدید کننده LCR شبیه سازی شده مرتبه دوم با استفاده از مدار آنتونیو و یک مدار op amp-RC مرتبه اول است. می‌خواهیم با استفاده از SPICE اندازه پاسخ فیلتر را با آنچه مستقیماً از تابع انتقالی آن به دست آمده مقایسه کنیم. در این جا یاد آوری می‌کنیم که SPICE را می‌توان برای مورد اخیر نیز مورد استفاده قرار دارد.

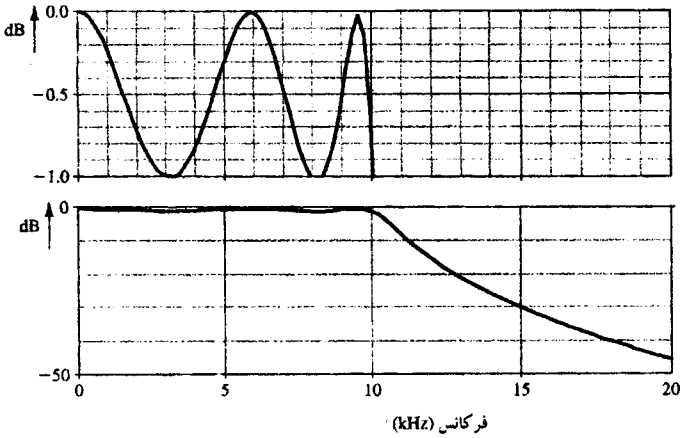
از آن جا که هدف شبیه سازی، تأیید طراحی است، عناصر را ایده‌آل در



شکل ۴۹-۱۱. مثال ۵-۱۱: (الف) موارد فیلتر چبی شف مرتبه پنجم که بصورت اتصال پشت سر هم دو مدار تشدید کنند LCR شبیه سازی شده و مدار op-amp-RC مرتبه اول پیاده سازی شده است. (ب) نمایش یک op amp ایده‌آل بصورت VCVS ($A=10^6$)

نظر می‌گیریم. برای op amp‌ها از مدل غیر خطی ایده‌آل استفاده می‌کنیم، یعنی یک منبع ولتاژ کنترل شده با ولتاژ (VCVS) با بهره 10^6V/V همان طور که در شکل (ب ۴۹-۱۱) نشان داده شده است. فایل ورودی SPICE برای مدار فیلتر چبی شف در ضمیمه ت آورده شده است. از آن جا که op amp شبه ایده‌آل بارها در این مدار تکرار شده است، آن را با زیر نویس op amp **ایده‌آل** نشان داده‌ایم. با استفاده از ۱۰۰ نقطه داده، تحلیل AC در گستردهٔ فرکانسی ۱ Hz تا ۲۰ kHz انجام می‌شود. ورودی فیلتر با یک سیگنال AC، یک ولتی تحریک می‌شود.

SPICE پاسخ اندازه ترسیم شده در شکل (۵۰-۱۱) را تولید می‌کند. هر دو نمایش گسترش یافته و میان گذر و پاسخ کامل نشان داده شده‌اند. این نتایج تقریباً معادل نتایجی است که مستقیماً از تابع انتقالی ایده‌آل محاسبه شده است، که تأیید کننده صحت طراحی است.

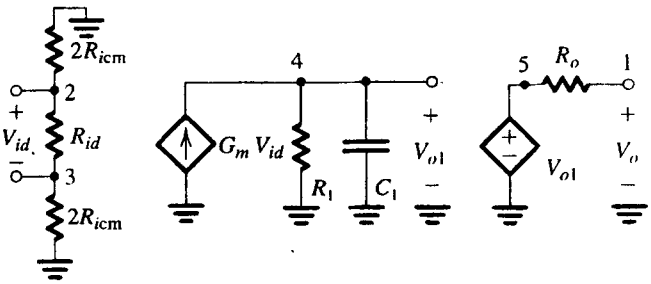


شکل ۵۰-۱۱. پاسخ دامنه مدار فیلتر پایین گذر مرتبه پنجم شکل (۴۹-۱۱). نمودار بالایی، نمای گسترش یافته ناحیه باند عبور است و نمودار پایینی، نمایش دهندهٔ نواحی باند عبودر توقف است.

مثال ۶-۱۱: بررسی اثر محدود بودن پهنای باند OP-AMP روی عملکرد فیلتر حلقه دو انتگرالگیر

در این مثال، اثر محدود بودن پهنای باند op amp‌های عملی را روی پاسخ فیلتر میان گذر حلقه دو انتگرالگیر که از مدار دو مجذوری تاو-توماس شکل (ب ۲۵-۱۱) بهره می‌برد، بررسی می‌کنیم. مدار بگونه‌ای طراحی شده که پاسخ میان گذر $f=10$ kHz و $Q=20$ و بهره فرکانس مرکزی واحد دارد. op amp‌ها از نوع 741 هستند.

حال باید ببینیم چگونه می‌توان op amp را برای شبیه سازی SPICE مدل سازی کرد. اگر بخواهیم مدار op-amp را بطور کامل در سطح ترانزیستور نشان دهیم، به زمان و حافظه زیادی نیاز خواهیم داشت. یک روش منطقی‌تر که از آن استفاده می‌کنیم، استفاده از ماکرو مدل op amp نوع 741 است. رفتار پایانه‌ای op amp را با شبکه خطی ثابت زمانی منفرد شکل (۵۱-۱۱) مدل می‌کنیم. در این مدل هیچگونه رفتار



$A_0 = G_m R_1 \qquad \omega_b = 1/R_1C_1$

شکل ۵۱-۱۱. نمایش مدار معادل تک قطب که در ناحیه خطی خود کار می‌کند.

غیر خطی وجود ندارد، چون تحلیل AC است و از خواص غیر خطی صرفنظر می‌کند. (اگر بخواهیم خواص غیر خطی op-amp را بررسی کنیم باید تحلیل گذرا انجام شود.) برای پارامترهای مدل شکل (۵۱-۱۱) از مقادیر زیر استفاده می‌شود:

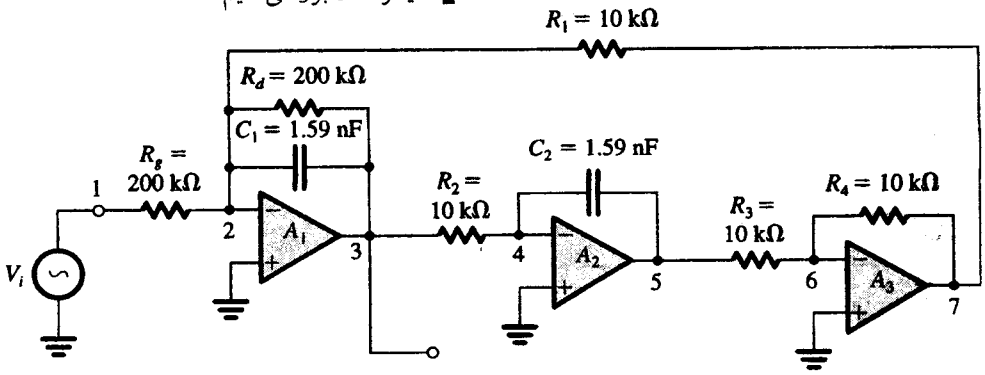
$$R_{id} = ۲\ \text{M}\Omega \quad R_{icm} = ۵۰۰\ \text{M}\Omega \quad R_0 = ۷۵\ \Omega$$

$$G_m = ۰/۱۹\ \text{mA/V} \quad R_1 = ۱/۳۲۳\times۱۰^{۹}\ \Omega \quad C_1 = ۳۰\ \text{PF}$$

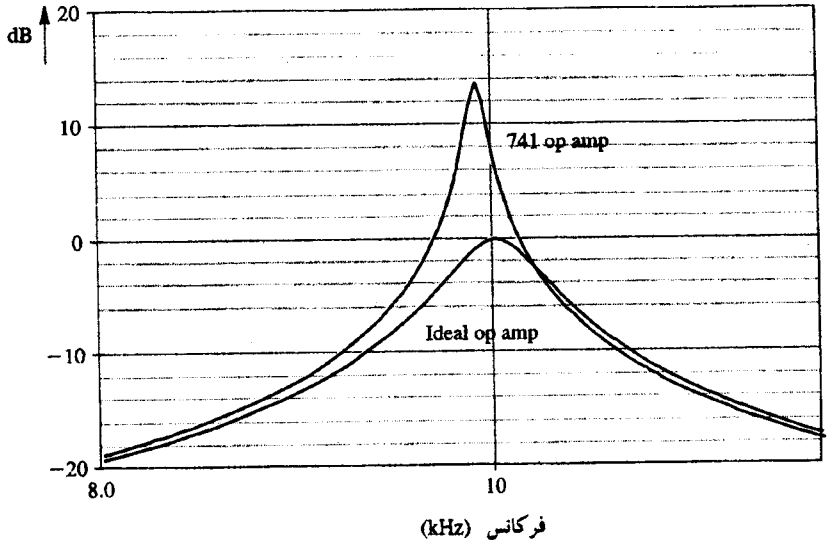
نتیجه این مقادیر مقاومت‌های ورودی و خروجی مشخص شده op amp نوع 741 می‌باشد. علاوه بر آن، با این مقادیر بهره dc مساوی $A_0 = ۲/۵۲\times۱۰^{۵}$V/V و فرکانس ۳ dB مساوی $f_b = ۴$ Hz خواهد بود که باز هم با مشخصات 741 برابر است. توجه کنید که انتخاب مقادیر مجزا برای G_m، R_1 و C_1 باید به گونه‌ای باشد که $G_mR_1 = A_0$ و $C_1R_2 = ۱/۲\pi f_b$ شود.

مدار تاو-توماس شبیه سازی شده در شکل (۵۲-۱۱) نشان داده شده است و فایل ورودی SPICE در ضمیمه ت آمده است و شامل ماکرو مدل op amp توصیف شده زیرنویس op-amp غیر ایده‌آل است. یک سیگنال AC یک ولتی به ورودی فیلتر اعمال می‌شود، بطوری که ولتاژ خروجی فیلتر، نشان دهنده تابع انتقال فیلتر است. پاسخ فرکانسی فیلتر بین ۸ kHz و ۱۲kHz با استفاده از ۱۰۰ نقطه جدا شده بصورت خطی نمایش داده می‌شود. برای محاسبه پاسخ فرکانسی ایده‌آل یک برنامه دیگر SPICE نیز در ضمیمه ت آمده است. در این شبیه سازی دوم زیر مدار op amp با زیر مداری که شامل مدل شبه ایده‌آل مثال (۵-۱۱) است جایگزین شده است.

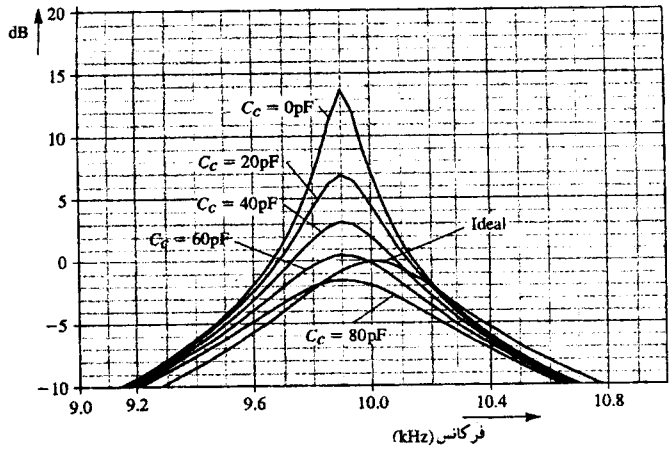
با توجه به نتایج شبیه سازی که در شکل (۵۳-۱۱) نشان داده شده، می‌بینیم که انحراف قابل ملاحظه‌ای بین پاسخ فیلتر op amp 741 و فیلتری که از مدل op amp تقریباً ایده‌آل استفاده می‌کند وجود دارد. در یک op amp عملی انحراف فرکانس مرکزی حدود ۱۰۰ Hz و کاهش پهنای باند ۳ dB از ۵۰۰Hz تا حدود ۱۱۰ Hz است. بنابراین، ضریب Qی فیلتر از مقدار ایده‌آل ۲۰ به حدود ۹۰ افزایش یافته است. این پدیده بعنوان افزایش Q، از تحلیل یک دو مجذوری حلقه دو انتگرالگیر با به حساب آوردن محدود بودن پهنای باند، قابل پیش بینی است. چنین تحلیلی نشان می‌دهد که افزایش Q، ناشی از افزایش پس فاز بودن، بعلت محدود بودن پهنای باند، می‌باشد. تئوری نشان می‌دهد که اثر افزایش Q را می‌توان با پیش فاز کردن حلقه فیدبک جبران کرد. این کار را می‌توان با اتصال یک خازن کوچک C_c در عرض مقاومت R_2 انجام داد. برای بررسی توانایی این تکنیک، شبیه سازی SPICE را با خازن‌های مختلف تکرار می‌کنیم. با توجه به نتایج که در شکل (الف ۵۴-۱۱) به نمایش در آمده‌اند، می‌بینیم که با افزایش خازن از صفر پیکوفاراد، Qی فیلتر و نوک تشدید پاسخ فیلتر به مقادیر دلخواه نزدیکتر است. اما واضح است که خازن جبران کننده ۸۰ pF باعث می‌شود انحراف پاسخ از ایده‌آل بیشتر شود. بنابراین، جبران سازی بهینه با خازنی بین ۶۰ و ۸۰ pF به دست می‌آید. علاوه بر آن، آزمایش انجام شده با SPICE ما را قادر می‌سازد تا مقدار بهینه این خازن را ۶۴ pF، تعیین کنیم. پاسخ متناظر آن و پاسخ ایده‌آل نیز در شکل (ب ۵۴-۱۱) نشان داده شده است. یاد آوری می‌کنیم که Qی فیلتر مقدار ایده‌آل خود را بازیابی کرده است و انحراف فرکانس مرکزی وجود دارد. این مطلب را بیشتر دنبال نمی‌کنیم، هدف ما مطالعه جزئیات طراحی دو مجذوری حلقه دو انتگرالگیر نیست و فقط می‌خواهیم کاربرد SPICE را در بررسی عملکرد غیر ایده‌آل مدارهای فیلتر فعال بررسی کنیم.



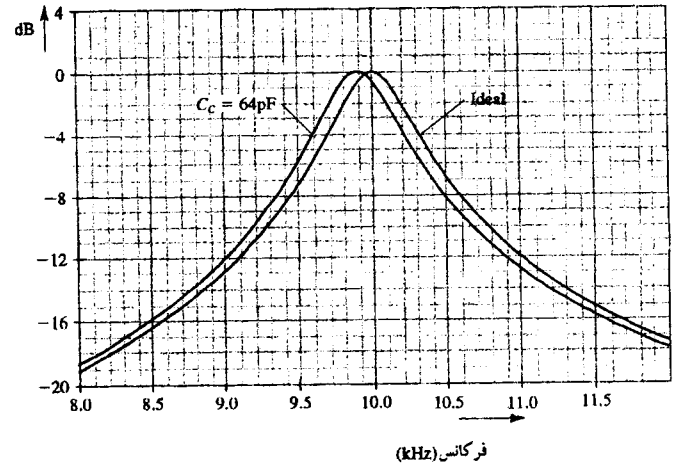
شکل ۵۲-۱۱. مثال ۶-۱۱: فیلتر میان گذر مرتبه دوم پیاده سازی شده با مدار دو مجذوری دارای $f_0 = ۱۰$kHz، $Q = ۲۰$ و بهره فرکانس مرکزی واحد opها از نوع 741 هستند.



شکل ۵۳-۱۱. مقایسه پاسخ دامنه مدار دو مجذوری تاو-توماس شکل (۵۲-۱۱) که با opamp های با پاسخ دامنه ایده‌آل ساخته شده است. این نتایج اثر محدود بودن بهره dc و پهنای باند op amp 741 را روی پاسخ فرکانسی مدار دو مجذوری تاو-توماس، تشریح می‌کند.



(الف)



(ب)

شکل ۵۴-۱۱. (الف) پاسخ دامنه مدار دو مجذوری تاو-توماس با مقادیر مختلف خازن جبران ساز. پاسخ ایده‌آل نیز برای مقایسه نشان داده شده است. (ب) مقایسه پاسخ دامنه موارد دو مجذوری تاو-توماس با استفاده از خازن جبران ساز pF ۶۴ در مقابل پاسخ ایده‌آل.

خلاصه

- یک فیلتر یک شبکه دوقطبی خطی با تابع انتقال $T(s) = V_o(s)/V_i(s)$ می‌باشد. برای فرکانس‌های فیزیکی انتقال فیلتر بصورت $T(j\omega) = |T(j\omega)|e^{j\phi(\omega)}$ بیان می‌شود. اندازه انتقال را می‌توان بر حسب دسی‌بل بصورت تابع بهره $G(\omega) \equiv 20\log|T|$ یا تابع تضعیف $A(\omega) \equiv -20\log|T|$ نوشت.
- مشخصه‌های انتقال فیلتر بر حسب حاشیه های باندهای عبور و توقف؛ ماکزیمم تغییرات مجاز در انتقال باند عبور A_{max} (dB) و مینیمم تضعیف لازم در باند توقف A_{min} (dB) بیان می‌شود. در بعضی کاربردها مشخصه‌های فاز نیز معین می‌شوند.
- تابع انتقال فیلتر بصورت نسبت دوچند جمله‌ای بیان می‌شود. درجه چندجمله‌ای مخرج، N، مرتبه فیلتر است. N ریشهٔ چندجمله‌ای مخرج، قطبها (یا حالات طبیعی) هستند.
- برای به دست آوردن پاسخی با تیزی منحنی زیاد قطبها مختلط و بصورت جفت‌های مزدوج هستند (مگر اینکه N فرد باشد که یک قطب حقیقی داریم) صفرها در باند توقف روی محور $j\omega$، شامل $\omega=0$ و $\omega=\infty$ قرار می‌گیرند.
- فیلتر باترورث دارای پاسخ پایین‌گذر حداکثر تخت در $\omega=0$ می‌باشد. با افزایش ω، انتقال بطور یکنواخت کاهش می‌یابد و در $\omega=\infty$ به صفر می‌رسد (تضعیف بی‌نهایت) یعنی در محلی که همه صفرهای انتقال قرار دارند. از معادله (۱۱-۱۱)، $|T|$ به دست می‌آید که در آن ε در معادله (۱۱-۱۴) مشخص شده است و مرتبه N با استفاده از معادله (۱۱-۱۵) تعیین می‌شود. قطب‌ها دارای ساختار ترسیمی شکل (۱۱-۱۰) بوده و تابع انتقال از معادله (۱۱-۱۶) به دست می‌آید.
- فیلتر چبی‌شف دارای پاسخ پایین‌گذر با نوسانهای یکسان در باند عبور و کاهش یکنواخت انتقال در باند توقف است. همه صفرهای انتقال در $s=\infty$ هستند. از معادله (۱۱-۱۸)، $|T|$ در باند عبور و از معادله (۱۱-۱۹)، $|T|$ در باند توقف به دست می‌آید. ε نیز در معادله (۱۱-۲۱) مشخص شده است. مرتبهٔ N، با استفاده از معادله (۱۱-۲۲) تعیین می‌شود. قطب‌ها از معادلهٔ (۱۱-۲۳) وتابع انتقال از معادله

(۲۴-۱۱) به دست می‌آید.

- شکلهای (۱۳-۱۱) و (۱۴-۱۱) خلاصه‌ای از توابع فیلتر مرتبه اول و تحقق‌های آنها را به نمایش می‌گذارند.
- شکل (۱۶-۱۱) مشخصه‌های هفت تابع فیلتر مرتبه دوم خاص را ارائه می‌کند.
- تشدیدکنندهٔ LCR مرتبه دوم شکل (الف ۱۷-۱۱) یک جفت قطب مزدوج مختلط را با $\omega_0 = 1/\sqrt{LC}$ و $Q = \omega_0 CR$ تحقق می‌دهد. از این تشدیدکننده برای تحقق توابع فیلتر مرتبه دوم خاص نیز مطابق شکل (۱۸-۱۱) استفاده می‌شود.
- از جایگزینی القاگر تشدیدکننده LCR با القاگر شبیه‌سازی شده مدار آنتونیو در شکل (الف ۲۰-۱۱)، تشدیدکنندهٔ op-amp–RC شکل (ب ۲۱-۱۱) حاصل می‌شود. این تشدیدکننده در تحقق توابع فیلتر مرتبه دوم مختلف مطابق شکل (۲۲-۱۱) مورد استفاده قرار می‌گیرد. معادلات طراحی برای این مدار در جدول (۱-۱۱) ارائه شده است.
- دو مجذوریهای مبتنی بر روش حلقهٔ دو انتگرالگیر فراگیرترین تحققهای مرتبه دوم هستند و به دونوع تقسیم می‌شوند: مدار KHN شکل (الف ۲۴-۱۱) که توابع LP، BP و HP را بطور همزمان و در ترکیب با خروجی جمع‌کننده شکل (ب ۲۸-۱۱) توابع تمام‌گذر و notch را تحقق می‌دهد. مدار تاوتوماس شکل (ب ۲۵-۱۱) که بطور همزمان توابع LP و BP را تحقق می‌دهد با تغذیه پیشرو مدار تاوتوماس مدار شکل (۲۶-۱۱) به دست می‌آید که می‌تواند هر تابع مرتبه دومی را تحقق بدهد. [جدول ۲-۱۱ را ملاحظه نمایید.]
- دومجذوریهای تک تقویت‌کننده از قراردادن شبکه پل T در مسیر فیدبک منفی op-amp به دست می‌آیند اگر op-amp ایده‌آل باشد قطبهای به دست آمده در محل صفرهای شبکه RC هستند. با اعمال تبدیل مکمل به یک حلقه فیدبک حلقه دیگری به دست می‌آید که دارای همان قطبهاست. صفرهای انتقال متفاوت با اعمال سیگنال ورودی به گره‌هایی که زمین هستند به دست می‌آیند. SAB ها از نظر تعداد op-amp اقتصادی هستند اما نسبت به خواص غیرایده‌آلی op-amp ها حساس بوده و بنابراین کاربرد آنها به Q های پایین محدود می‌شود ($Q \le 10$)
- تابع حساسیت کلاسیک بشکل زیر است

$$S_x^y = \frac{\delta y/y}{\delta x/x}$$

تابع فوق یکی از مفیدترین ابزار تحقیق در مورد تغییرات جزئی مدار فیلتراست که ناشی از خطاهای اجتناب ناپذیر مقادیر عناصر و خواص غیرایده‌آلی op-amp ها می‌باشد.

- فیلترهای سوئیچ خازنی مبتنی بر این اصلند که خازن C در صورت سوئیچ شدن سریع با فرکانس f_c بالا بین دو گره مدار معادل مقاومت $R = 1/Cf_c$ بین دو گره می‌باشد. فیلترهای SC بشکل یکپارچه با استفاده از روش CMOS IC ساخته می‌شوند.
- تقویت‌کننده‌های تنظیمی از مدارهای تنظیمی LC بعنوان بار و یا ورودی تقویت‌کننده‌های ترانزیستوری استفاده می‌کنند. آنها در طراحی تنظیم‌کننده و بخش IF گیرنده‌های مخابراتی به کار می‌روند. غالباً آرایش‌های کاسکود و ترکیب متوالی **CC-CB** در طراحی تقویت کننده‌های تنظیمی استفاده می‌شود. استفاده از تنظیم طبقه‌ای در مدارهای تنظیمی مجزا، منجر به تخت بودن بیشتر پاسخ در باند عبور می‌شود (در مقایسه با پاسخی که از مدارهای تنظیمی همزمان به دست می‌آید).

مسائل

بخش ۱-۱۱: انتقال فیلتر، انواع و مشخصه‌های آن

۱-۱۱ تابع انتقال یک فیلتر پایین‌گذر مرتبه اول (تحقق یافته توسط یک مدار RC) با رابطه $T(s) = \omega_0/(s + \omega_0)$ بیان می‌شود که در آن ω_0 فرکانس ۳-dB فیلتر است. مقادیر $|T|$، ϕ، G و A را در فرکانسهای $0.1\omega_0$ و $0.5\omega_0$ و $2\omega_0$ و $\omega = 0.5\omega_0$ و $\omega = 100\omega_0$ به دست آورده و نتایج حاصل را جدول‌بندی کنید.

۲-۱۱ یک فیلتر دارای تابع انتقال

$$T(s) = 1/[(s + 1)(s^2 + s + 1)]$$

می‌باشد نشان دهید اندازه T از رابطه $|T| = \sqrt{1 + \omega^6}$ به دست آمده و عبارتی برای پاسخ فاز آن، $\phi(s)$ بیابید. مقادیر $|T|$ و ϕ را برای $\omega = 0.1$ و ۱ و ۱۰ rad/s محاسبه کرده و خروجی مربوط به هر یک از ورودی‌های زیر را به دست آورید:

(الف) $2\sin 0.1t$ (ولت) (ب) $2\sin t$ (ولت)

(پ) $2\sin 10t$ (ولت)

۳-۱۱ برای فیلتری که پاسخ دامنه آن در شکل ۳-۱۱ (بصورت منحنی) رسم شده است، $|T|$ را در فرکانسهای $\omega = 0$، $\omega = \omega_p$ و $\omega = \omega_s$ به دست آورید. مقادیر A_{max} و A_{min} بدین قرارند: $A_{max} = 0.5$dB و $A_{min} = 40$dB.

۴-۱۱ به یک فیلتر پایین‌گذر احتیاج داریم که تمامی سیگنالهای محدودهٔ باندگذرش را که از صفر تا ۴kHz است، با تغییرات انتقال ۱۰٪ عبور دهد (یعنی نسبت بیشترین انتقال به کمترین انتقال در باندگذر از ۱/۱ بیشتر شود). انتقال در باند توقف که از ۵kHz تا ∞ است نبایستی از ۰/۱٪ انتقال باندگذر بیشتر شود. مقادیر A_{max}، A_{min} و ضریب تیزی این فیلتر چقدر است؟

۵-۱۱ یک فیلتر پایین‌گذر دارای $A_{max} = 1$dB و $A_{min} = 10$dB می‌باشد. این مشخصات با استفاده از مدار RC از نوع STC با ثابت زمان ۱ ثانیه و انتقال dc واحد حاصل می‌شود. مقادیر ω_p و ω_s این فیلتر چقدر باید باشد؟ ضریب گزینش آن چقدر است؟

۶-۱۱ مشخصه‌های انتقال یک فیلتر بالاگذر را که دارای باندگذر تعریف شده $f \ge 2$kHz و باند توقف $f \le 1$kHz می‌باشد، رسم کنید. $A_{max} = 0.5$dB، $A_{min} = 50$dB می‌باشند.

۷-۱۱ مشخصه‌های انتقال یک فیلتر میان‌نگذر که بایستی سیگنالهایی با فرکانس $0 \le f \le 10$kHz و 20 kHz$\le f \le \infty$ را با $A_{max} = 1$dB عبور دهد رسم کنید. حداقل تضعیف در باند توقف که از $f = 12$kHz تا $f = 16$kHz است، $A_{min} = 40$dB می‌باشد.

بخش ۲-۱۱: تابع انتقال فیلتر

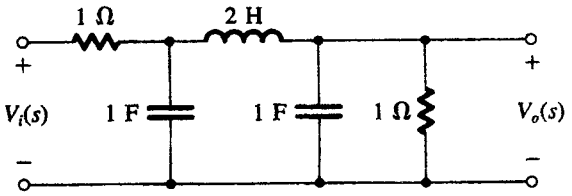
۸-۱۱ یک فیلتر مرتبه پنجم که همه قطبهای آن در فاصله شعاعی 10^3rad/s از مبدأ هستند. در نظر بگیرید یک زوج قطب مزدوج مختلط در زاویه ۱۸° نسبت به محور موهومی و زوج دیگر در زاویه ۵۴° می‌باشند.

در هر یک از حالات زیر تابع انتقال را به دست آورید.
(الف) همه صفرهای انتقال در $s = \infty$ بوده و بهره dc، واحد است.
(ب) همه صفرهای انتقال در $s = 0$ بوده و بهره فرکانس بالا، واحد است.
در هر حالت فیلتر به دست آمده از چه نوعی است؟

۹-۱۱ یک فیلتر پایین‌گذر مرتبه سوم دارای صفرهای انتقال در $\omega = 2\text{rad/s}$ و $\omega = \infty$ می‌باشد. حالات طبیعی (قطبهای تابع انتقال) فیلتر در $s = -1$ و $s = -0.5 \pm j0.8$ بوده و بهره dc آن واحد است. $T(s)$ را پیدا کنید.

۱۰-۱۱ مرتبه و شکل $T(s)$ یک فیلتر میان‌گذر را که دارای صفرهای انتقال بصورت زیر است پیدا کنید. یک صفر در $\omega = 0$، دومی در $\omega = 10^3$ rad/s، سومی در $\omega = 3\times10^3\text{rad/s}$، چهارمی در $\omega = 6\times10^3\text{rad/s}$ و پنجمی در $\omega = \infty$ اگر این فیلتر دارای آهنگ کاهش یکنواخت در انتقال باند گذر که نوک آن در فرکانس مرکزی $2\times10^3\text{rad/s}$ است و پاسخ نوسان یکسان در باند توقف باشد شکل $|T|$ را رسم کنید.

***۱۱-۱۱** شبکه RCL شکل (م۱۱-۱۱) را برای به دست آوردن تابع انتقال $V_o(s)/V_i(s)$ تحلیل کنید. قطبها و صفرهای آن را نیز به دست آورید. راهنمایی: تحلیل را از خروجی مدار شروع کنید و به طرف ورودی مدار حرکت کنید.



شکل (م ۱۱-۱۱)

بخش ۳-۱۱: فیلترهای باتروورث و چبی شف

ط ۱۲-۱۱ مرتبه N یک فیلتر باتروورث با مشخصات زیر را به دست آورید: $A_{max} = 1\text{dB}$، $A_{min} \geq 20\text{dB}$ نسبت گزینش $\omega_s/\omega_p = 1.3$ مقدار واقعی کمترین تضعیف به دست آمده در باند توقف چقدر است؟ اگر A_{min} دقیقاً ۲۰dB باشد A_{max} تا چه مقداری می‌تواند کاهش یابد.

۱۳-۱۱ مقدار تضعیف به دست آمده در فرکانس ۱/۶ برابر فرکانس ۳-dB یک فیلتر مرتبه هفتم باتروورث را محاسبه کنید.

۱۴-۱۱ حالات طبیعی فیلتر با تروورث با پهنای باند ۱-dB به میزان 10^3rad/s و $N = 5$ به دست آورید.

ط ۱۵-۱۱ یک فیلتر با تروورث که دارای مشخصات پایین‌گذر است طراحی کنید: $f_p = 10\text{kHz}$، $A_{max} = 2\text{dB}$، $f_s = 15\text{kHz}$ و $A_{min} = 15\text{dB}$ مرتبه N، حالات طبیعی و $T(s)$ را به دست آورید. تضعیف ایجاد شده در فرکانس ۲۰kHz چقدر است؟

***۱۶-۱۱** $|T|$ را برای یک فیلتر پایین‌گذر مرتبه هفتم چبی‌شف با $\omega_p = 1\text{rad/s}$ و $A_{max} = 1\text{dB}$ رسم کنید. از معادله (۱۸-۱۱) برای به دست آوردن مقادیر ω هنگامی که $|T| = 1$ و $|T| = 1/\sqrt{1+\varepsilon^2}$ می‌باشد استفاده کنید. این مقادیر را روی نمودار مشخص کنید. با استفاده از معادله (۱۹-۱۱) مقدار $|T|$ را در فرکانس $\omega = 2\text{rad/s}$ به دست آورده و این نقطه را روی نمودار مشخص کنید. برای مقادیر بزرگ ω انتقال، با چه سرعتی (بر حسب dB/octave) کاهش می‌یابد؟

***۱۷-۱۱** تضعیف ایجاد شده بوسیله یک فیلتر مرتبه پنجم چبی‌شف در $\omega_s = 2\omega_p$ را با یک فیلتر باتروورث با همان مرتبه مقایسه کنید. برای هر دو $A_{max} = 1\text{dB}$ می‌باشد. $|T|$ را برای هر دو فیلتر روی یک محور رسم کنید.

ط *۱۸-۱۱ به یک فیلتر پایین‌گذر با مشخصات زیر احتیاج داریم: $f_p = 3.4\text{kHz}$، $A_{max} = 1\text{dB}$، $f_s = 4\text{kHz}$، $A_{min} = 35\text{dB}$.
(الف) مرتبه فیلتر چبی‌شف که مشخصات فوق را داشته باشد پیدا کنید. میزان افزایش تضعیف (بیشتر از ۳۵dB) باند توقف چقدر به دست آمده است؟
(ب) تابع انتقال و قطبها را به دست آورید.

بخش ۴-۱۱: توابع فیلتر مرتبه اول و مرتبه دوم

ط ۱۹-۱۱ از اطلاعات شکل ۱۳-۱۱ برای طراحی فیلتر پایین‌گذر RC با op-amp مرتبه اول با مشخصات زیر استفاده کنید. فرکانس ۳-dB به میزان ۱۰kHz، بهره dc به میزان ۱۰، و مقاومت ورودی ۱۰kΩ.

ط ۲۰-۱۱ از اطلاعات شکل ۱۳-۱۱ برای طراحی فیلتر بالاگذر RC با op-amp مرتبه اول با مشخصات زیر استفاده کنید.
۱۰۰kHz = فرکانس ۳-dB، ۱۰۰kΩ = مقاومت ورودی فرکانس بالا، ۱ = بهره فرکانس بالا.

ط *۲۱-۱۱ با استفاده از اطلاعات شکل ۱۳-۱۱ یک شبکه طیف‌نگار با op-amp مرتبه اول با مشخصات فرکانس صفر انتقال ۱kHz، فرکانس قطب ۱۰۰kHz و بهره dc واحد طراحی کنید. مقاومت ورودی فرکانس پایین بایستی ۱kΩ باشد. بهره فرکانس بالای به دست آمده چقدر است؟ اندازه تابع انتقال را نسبت به فرکانس رسم کنید.

ط ۲۲-۱۱ با اتصال پشت سرهم یک مدار پایین‌گذر RC، با op-amp مرتبه اول و یک مدار بالاگذر از همین نوع یک فیلتر میان‌گذر پهن باند طراحی می‌شود. این طراحی رابرای حالتی که بهرهٔ باند میانی ۱۲dB بوده و پهنای باند ۳-dB در فاصله ۱۰۰Hz تا ۱۰kHz می‌باشد انجام دهید. مقدار عناصر مناسب را با این شرط انتخاب کنید که مقاومتهای مورد استفاده بزرگتر از ۱۰۰kΩ نبوده و مقاومت ورودی تا حد امکان بزرگ باشد.

ط ۲۳-۱۱ $T(s)$ را برای مدار RC با op-amp شکل ۱۴-۱۱ به دست آورید. می‌خواهیم از این مدار بعنوان تغییر دهنده فاز که با تنظیم R قابل تغییر باشد استفاده کنیم. اگر فرکانس سیگنال ورودی 10^4rad/s و $C = 10\text{nF}$ باشد مقادیر R را برای تغییر فازهای خواسته شده به دست آورید: ۳۰°-، ۶۰°-، ۹۰°-، ۱۲۰°- و ۱۵۰°-

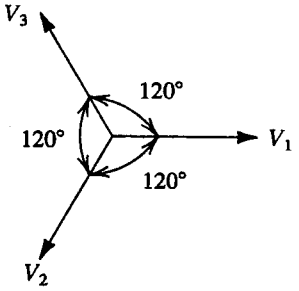
۲۴-۱۱ نشان دهید که با تعویض R و C در مدار RC شکل (۱۴-۱۱)، تغییر فاز حاصل، درگستره صفر تا ۱۸۰° قرار می‌گیرد. (صفر در فرکانسهای بالا و ۱۸۰° در فرکانسهای پایین)

۲۵-۱۱ با استفاده از اطلاعات شکل (الف ۱۶-۱۱) تابع انتقال یک

فیلتر پایین‌گذر مرتبه دوم را که دارای مشخصات $\omega_0 = 10^3$ rad/s، $Q = 1$ و $1 =$ بهره dc می‌باشد به دست آورید.
در چه فرکانسی $|T|$ دارای نوک است (حداکثر مقدار خود را دارد)؟ انتقال نوک چقدر است؟

ط *** ۱۱-۲۶ با استفاده از اطلاعات شکل (الف ۱۶-۱۱) تابع انتقال یک فیلتر پایین‌گذر مرتبه دوم را که مشخصات آن مانند شکل (۳-۱۱) بوده و در آن، $\omega_p = 1$ rad/s و $A_{max} = 2$ dB باشد به دست آورید. توجه کنید که دو حل ممکن وجود دارد. برای هر کدام، ω_0 و Q را پیدا کنید. همچنین، اگر $\omega_s = 2$ rad/s باشد مقدار A_{min} را در هر حالت به دست آورید.

ط ** ۱۱-۲۷ با استفاده از دو مدار تمام‌گذر RC با op-amp مرتبه اول بصورت پشت سر هم مداری طراحی کنید که یک ولتاژ سه فاز ۶۰ Hz را بوجود آورد. که هر کدام با دیگری $120°$ اختلاف فاز داشته و دامنه‌های آنها مساوی باشد که نمودار فازی آن در شکل (م ۲۷-۱۱) نشان داده شده است. این ولتاژها مانند همان ولتاژهایی هستند که در سیستم‌های انتقال قدرت سه فاز به کار می‌روند. از خازن‌های $1\ \mu F$ استفاده کنید.



شکل (م ۲۷-۱۱)

۱۱-۲۸ با استفاده از اطلاعات داده شده در شکل (ب ۱۶-۱۱) تابع انتقال یک فیلتر بالاگذر مرتبه دوم با حالات طبیعی در $-0.5 \pm j\sqrt{\frac{3}{2}}$ و بهره فرکانس بالای واحد را به دست آورید.

ط ** ۱۱-۲۹ (الف) نشان دهید که $|T|$ مربوط به تابع میان‌گذر مرتبه دوم چون فرکانس میانی ω_0 بطور هندسی متقارن است یعنی هر زوج فرکانس ω_1 و ω_2 در حالتی که $|T(j\omega_1)| = |T(j\omega_2)|$ می‌باشد با رابطه $\omega_1\omega_2 = \omega_0^2$ بهم مربوطند.
(ب) تابع انتقال فیلتر میان‌گذر مرتبه دومی را مشخصات آن مانند شکل (۴-۱۱) است در حالت زیر به دست آورید: $\omega_{p1}=8100$ rad/s، $\omega_{p2}=10000$ rad/s و $A_{max} = 1$ dB. اگر $\omega_{s1} = 3000$ rad/s باشد، A_{min} و ω_{s2} را پیدا کنید.

ط * ۱۱-۳۰ با استفاده از نتایج تمرین ۱۵-۱۱ تابع انتقال یک فیلتر notch را که لازم است تداخلهای مزاحم فرکانس ۶۰ Hz را حذف کند، به دست آورید. از آنجا که فرکانس تداخل پایدار نیست فیلتر باید بگونه‌ای طراحی شود که تضعیف ایجاد شده در گسترهٔ ۶ هرتز حول فرکانس ۶۰ Hz حداقل ۲۰ dB بوده و انتقال dc فیلتر، واحد باشد.

۱۱-۳۱ یک مدار تمام‌گذر مرتبه دوم در نظر بگیرید که خطای موجود در مقدار عناصر باعث می‌شود فرکانس صفرهاکمی پایین‌تر از فرکانس قطبها باشد. بطور تقریبی $|T|$ را رسم کنید. این کار را برای حالتی که فرکانس صفرهاکمی بیشتر از فرکانس قطبهاست تکرار کنید.

۱۱-۳۲ یک فیلتر تمام‌گذر مرتبه دوم در نظر بگیرید که خطای موجود در مقدار عناصر باعث می‌شود که ضریب Q صفرها بزرگتر از ضریب Q قطبها شود. بطور تقریبی $|T|$ را رسم کنید. مسأله را برای حالتی که ضریب Q صفرها کوچکتر از ضریب Q قطبها می‌باشد تکرار کنید.

بخش ۵-۱۱ : تشدیدکننده‌های LCR مرتبه دوم

ط ۱۱-۳۳ یک تشدیدکنندهٔ LCR مانند شکل (الف ۱۷-۱۱) برای به دست آوردن حالت طبیعی $\omega_0 = 10^4$ rad/s و $Q = 2$ طراحی کنید. از مقاومت $R = 10\ k\Omega$ استفاده کنید.

۱۱-۳۴ برای تشدیدکننده LCR شکل (الف ۱۷-۱۱) تغییرات ω_0 را که از اعمال شرایط زیر حاصل می‌شود به دست آورید.
(الف) افزایش L به میزان ۱٪
(ب) افزایش C به میزان ۱٪
(پ) افزایش R به میزان ۱٪

۱۱-۳۵ عبارتی برای $V_o/V_i(s)$ مربوط به مدار بالاگذر شکل (پ ۱۸-۱۱) به دست آورید.

۱۱-۳۶ با استفاده از مدار شکل (ب ۱۸-۱۱) یک فیلتر پایین‌گذر $\omega_0 = 10^5$ rad/s و $Q = 1\sqrt{2}$ طراحی کنید. از خازن $0.1\ \mu F$ استفاده کنید.

ط ۱۱-۳۷ مدار میان‌گذر شکل (ت ۱۸-۱۱) را طوری اصلاح کنید که بهره فرکانس میانی آن از ۱ به ۰/۵ تغییر کند بدون اینکه در ω_0 یا Q صفر تغییری حاصل شود.

۱۱-۳۸ تشدیدکنندهٔ LCR شکل (الف ۱۷-۱۱) را برای صورت در نظر بگیرید. گره‌های x و y و z از زمین جدا شده و به ترتیب به منابع سیگنال V_x و V_y و V_z متصل می‌شوند. با استفاده از قانون جمع آثار ولتاژ V_o را بر حسب V_x و V_y و V_z پیدا کنید.

۱۱-۳۹ مدار notch شکل (خ ۱۸-۱۱) را در نظر بگیرید. برای چه نسبتی از L_1 و L_2، حالت $\omega_n = 0.9\ \omega_0$ اتفاق می‌افتد. در این حالت اندازه انتقال در فرکانس‌های خیلی کمتر از ω_0، چقدر است؟ در فرکانسهای خیلی بزرگتر از ω_0 چقدر؟

بخش ۶-۱۱: فیلترهای فعال مرتبه دوم بر اساس جایگزینی سلف (القاگر)

ط ۱۱-۴۰ در مدار شکل ۲۰-۱۱ (با استفاده از مقدار مناسب برای عناصر) اندوکتانس‌های زیر را به دست آورید. (الف) ۱۰H ؛ (ب) ۱ H ؛ (پ) ۰/۱ H

* ۱۱-۴۱ با استفاده از اصول اولیه و فرض ایده‌آل بودن op amp تابع انتقال مدار شکل (الف ۲۲-۱۱) را به دست آورید.

ط ۱۱-۴۲ می‌خواهیم یک فیلتر باترورث که دارای پهنای باند ۳-dB، ۱۰rad/s و بهره dc واحد باشد طراحی کنیم: با پشت سرهم قراردادن دو

مدار نشان داده شده در شکل (الف ۲۲-۱۱) و یک مدار RC با op-amp مرتبه اول شکل (الف ۱۳-۱۱) این کار انجام می‌شود. مقادیر مناسب را برای عناصر انتخاب کنید.

ط ۴۳-۱۱ مدار شکل (ث ۲۲-۱۱) را به منظور به دست آوردن تابع LPN با $f_n = ۴kHz$، $f_o = ۵kHz$، $Q = ۱$ و بهره dc واحد، طراحی کنید. خازن $C_۴$ را ۱۰nF انتخاب کنید.

ط ۴۴-۱۱ مدار تمام‌گذر شکل (چ ۲۲-۱۱) را برای تحقق جابجایی فاز °۱۸۰ در فرکانس $f = ۱kHz$ و $Q = ۱$ طراحی کنید. از مقاومتهای ۱nF استفاده کنید.

۴۵-۱۱ مدار آنتونیو در شکل (الف ۲۰-۱۱) را با $R_۵$ حذف شده و اتصال خازن $C_۶$ بین گره ۱ و زمین و منبع ولتاژ $V_۲$ متصل به گره ۲ را در نظربگیرید. نشان دهید امپدانس ورودی از دید $V_۲$ مقدار $R_۲/s^۲C_۴C_۶R_۱R_۳$ می‌باشد. رفتار این امپدانس برای فرکانس‌های فیزیکی ($s = j\omega$) چگونه است (از این امپدانس بعنوان **مقاومت منفی وابسته به فرکانس** یاد می‌شود یا FDNR)

ط ۴۶-۱۱ با استفاده از تابع انتقال فیلتر LPN که در جدول ۱-۱۱ آمده است معادله طراحی داده شده را به دست آورید.

ط ۴۷-۱۱ با استفاده از تابع انتقال فیلتر HPN که در جدول ۱-۱۱ آمده است. معادله طراحی داده شده را به دست آورید.

ط ۴۸-۱۱ می‌خواهیم یک فیلتر پایین‌گذر مرتبه سوم که $|T|$ آن در باندهای گذر و توقف دارای نوسانهای یکسان باشد [مانند شکل ۳-۱۱ (غیر از جوابی که برای $N = ۵$ نشان داده شده)] طراحی کنیم باند عبور فیلتر از $\omega = ۰$ تا $\omega = ۱rad/s$ بوده و انتقال باندگذر بین ۱ و ۰/۹ متغیر است. لبهٔ باند توقف در $\omega = ۱/۲rad/s$ می‌باشد. تابع انتقال زیر از جدول طراحی فیلتر به دست آمده است:

$$T(s) = \frac{۰/۴۵۰۸\,(s^۲ + ۱/۶۹۹۶)}{(s + ۰/۷۲۹۴)(s^۲ + s۰/۲۷۸۶ + ۱/۰۵۰۴)}$$

فیلتر واقعی تحقق یافته دارای $\omega_p = ۱۰^۴rad/s$ می‌باشد.
(الف) تابع انتقال فیلتر واقعی را با جایگذاری $s/۱۰^۴$ بجای s به دست آورید.
(ب) این فیلتر را بصورت اتصال پشت سرهم مدار RC با op-amp، LP مرتبه اول از نوع شکل (الف ۱۳-۱۱) و مدار LPN مرتبه دوم از نوع شکل (ث ۲۲-۱۱) تحقق دهید. بهره dc هر قسمت واحد است. مقادیر مناسب را برای عناصر پیدا کنید. [توجه: فیلتری که دارای نوسانهای همانند در باند گذر و توقف باشد **فیلتر بیضوی** (elliptic) نامیده می‌شود.]

بخش ۷-۱۱: فیلترهای فعال مرتبه دوم بر اساس حلقه دو انتگرالگیر

ط ۴۹-۱۱ مدار KHN شکل (الف ۲۴-۱۱) را برای تحقق فیلتر میان گذر با فرکانس مرکزی ۱kHz و پهنای باند ۳-dB، به میزان ۵۰Hz طراحی کنید. از خازن‌های ۱۰nF استفاده کنید. مدار کامل و مقدار عناصر را مشخص کنید مقدار بهره در فرکانس مرکزی چقدر است؟

ط ۵۰-۱۱ (الف) با استفاده از KHN دومجذوری با خروجی بصورت تقویت‌کننده جمع کننده و شکل (ب ۲۴-۱۱) نشان دهید که این مدار با انتخاب $R_L = R_H = R_B/Q$ عمل تمام‌گذر را انجام می‌دهد. همچنین نشان دهید بهره تخت به دست آمده $K\,R_F/R_H$ می‌باشد.
(ب) مدار تمام‌گذر رابرای به دست آوردن $\omega_o = ۱۰^۴ rad/s$، $Q = ۲$ و ۱۰=بهره تخت، طراحی کنید. مقادیر عناصر مناسب را انتخاب کنید.

ط ۵۱-۱۱ یک فیلتر notch با $\omega_n = \omega_o$ که با استفاده از KHN دومجذوری و خروجی تقویت‌کننده جمع کننده تحقق یافته است را در نظر بگیرید. اگر مقاومتهای جمع کننده با درصد خطای ۱٪ باشند بدترین حالت درصد انحراف بین ω_n و ω_o چقدر می‌شود؟

ط ۵۲-۱۱ مدار شکل ۲۶-۱۱ را برای تحقق فیلتر notch پایین گذر با $\omega_o = ۱۰^۴rad/s$، $Q = ۱۰$، بهره dc = ۱ و $\omega_n = ۱/۲\times۱۰^۴ rad/s$ طراحی کنید. از $C = ۱۰ nF$ و $r = ۲۰ k\Omega$ استفاده کنید.

ط ۵۳-۱۱ در یک تحقق تمام‌گذر با استفاده از مدار شکل (۲۶-۱۱)، کدام عنصر (یا عناصر) بایستی تغییر کند تا فقط (الف) ω_z تنظیم شود؟ (ب) Q_z تنظیم شود؟

ط **۵۴-۱۱ مسئله ۴۸-۱۱ را با استفاده از مدار دو مجذوری تاو - توماس شکل ۲۶-۱۱ برای تحقق بخش مرتبه دوم در آرایش پشت سر هم، تکرار کنید.

بخش ۸-۱۱ فیلترهای فعال دومجذوری با تقویت‌کنندهٔ منفرد

ط ۵۵-۱۱ مدار شکل ۲۹-۱۱ را برای تحقق یک زوج قطب با فرکانس $\omega_o = ۱۰^۴ rad/s$ و $Q = ۱/\sqrt{۲}$ طراحی کنید. ازخازنهای $C_۱ = C_۲ = ۱ nF$ استفاده کنید.

۵۶-۱۱ شبکه پل T در شکل (الف ۲۸-۱۱) را با $R_۱ = R_۲ = R$ و $C_۱ = C_۲ = C$ و $CR = \tau$ در نظر بگیرید. صفرها و قطبهای شبکه T را پیدا کنید. اگر این شبکه در مسیر فیدبک منفی یک opamp ایده‌آل با بهره نامحدود قرار بگیرد، همانطورکه در شکل ۲۹-۱۱ نشان داده شده، قطبهای تقویت کننده حلقه بسته را پیدا کنید.

****۵۷-۱۱** شبکه پل T شکل (ب ۲۸-۱۱) را با $R_۱ = R_۲ = R$ و $C_۴ = C$ و $C_۳ = C/۱۶$ در نظر بگیرید. این شبکه در مسیر فیدبک منفی یک op-amp با بهره نامحدود قرار گرفته و $C_۴$ از زمین جدا شده و به منبع سیگنال ورودی V_i متصل می‌گردد. مدار به دست آمده را به منظور به دست آوردن تابع انتقال $\frac{V_o(s)}{V_i(s)}$ که درآن $V_o(s)$ ولتاژ خروجی op-amp است تحلیل کنید. نشان دهید که فیلتر به دست آمده میان‌گذر است و ω_o، Q و بهره فرکانس مرکزی را به دست آورید.

****۵۸-۱۱** مدار میان گذر شکل (۳۰-۱۱) را با شرایط $C_۱ = C_۲ = C$، $R_۳ = R$، $R_۴ = R/۴Q^۲$، $CR = ۲Q/\omega_o$ و $\alpha = ۱$ در نظر بگیرید. پایانه مثبت ورودی op -amp را از زمین جدا کرده و V_i را از طریق مقسم ولتاژ $R_۱$ و $R_۲$ به این پایانه متصل کنید. با تحلیل مدار، تابع انتقال $\frac{V_o}{V_i}$ را پیدا کنید. نسبت مقاومتهای مقسم ولتاژ $R_۲/(R_۱+R_۲)$ را طوری پیدا کنید که مدار به دو صورت (الف) تابع تمام‌گذر (ب) تابع notch عمل کند. op-amp را

ایده‌آل فرض کنید.

*۱۱-۵۹ تابع انتقال مدار شکل (ب ۳۳-۱۱) را با فرض ایده‌آل بودن op-amp به دست آورید. نشان دهید که مدار، نمایشگر تابع بالاگذر است. بهرهٔ فرکانس بالای مدار چقدر است؟ مدار را برای به دست آوردن پاسخ حداکثر تخت،با فرکانس ۳ dB به میزان 10^3 rad/s طراحی کنید. از خازنهای $C_1=C_2=10$ nF استفاده کنید. (راهنمایی: برای حالت پاسخ حداکثر تخت داریم: $Q=1/\sqrt{2}$ و $\omega_{3dB}=\omega_0$).

ط *۱۱-۶۰ یک فیلتر پایین‌گذر باتروورث مرتبه پنجم با پهنای باند ۳ dB ، ۵kHz و بهره dc واحد با استفاده از اتصال پشت سر هم در مدار سالن و کی (شکل پ ۳۴-۱۱) و یک بخش مرتبه دوم طراحی کنید. همهٔ مقاومتها را ۱۰kΩ در نظر بگیرید.

۱۱-۶۱ فرآیند به دست آوردن مکمل یک تابع انتقال باتعویض ورودی و زمین همانطور که در شکل (۳۱-۱۱) مورد بحث قرار گرفته بروی هر شبکه کلی به کار می‌رود. (نه تنها برای شبکه RC که در شکل نمایش داده شده) نشان دهید اگر شبکه n یک فیلتر میان‌گذر با بهرهٔ فرکانس مرکزی واحد باشد، مکمل آن یک فیلتر notch خواهد بود. این مطلب با استفاده از مدار RLC شکل (ت ۱۸-۱۱) و (ث ۱۸-۱۱) به دست آورید.

بخش ۹-۱۱: حساسیت

۱۱-۶۲ حساسیت‌های ω_0 و Q را نسبت به R ، L و C درمدار میان‌گذر شکل (ت ۱۸-۱۱) به دست آورید.

*۱۱-۶۳ رابطه‌های حساسیت زیر را اثبات کنید.

(الف) اگر $y = uv$ باشد آنگاه $S_x^y = S_x^u + S_x^v$.

(ب) اگر $y = u/v$ باشد آنگاه $S_x^y = S_x^u - S_x^v$.

(پ) اگر $y = ku$ باشد که در آن k عدد ثابت است آنگاه $S_x^y = S_x^u$.

(ت) اگر $y = u^n$ باشد که در آن n ثابت است آنگاه $S_x^y = nS_x^u$.

(ث) اگر $y = f_1(u)$ و $u = f_2(x)$ باشد آنگاه $S_x^y = S_u^y.S_x^u$.

*۱۱-۶۴ در فیلتر بالاگذر شکل (ب ۳۳-۱۱) حساسیتهای ω_0 و Q را نسبت به بهره تقویت‌کننده A چه مقداری دارند؟

*۱۱-۶۵ برای حلقه فیدبک شکل (الف ۳۴-۱۱) از عبارات معادله (۷۷-۱۱) و (۸۸-۱۱) برای محاسبهٔ حساسیت ω_0 و Q نسبت به عناصر غیرفعال استفاده کنید. در طرح $R_1=R_2$ می‌باشد.

۱۱-۶۶ در تشدیدکنندهٔ RC با op-amp شکل (ب ۲۱-۱۱) با استفاده از رابطه‌های داده شده برای ω_0 و Q اولین ردیف جدول (۱-۱۱)، حساسیت‌های ω_0 و Q را نسبت به همهٔ خازنها و مقاومتها به دست آورید.

بخش ۱۰-۱۱: فیلترهای سوئیچ خازنی

۱۱-۶۷ برای مدار ورودی سوئیچ خازنی شکل (ب ۳۵-۱۱) که در آن از فرکانس ساعت ۱۰۰ kHz استفاده شده، مقاومتهای ورودی منطبق بر خازن C_1 با ظرفیتهای ۱ pF و ۱۰ pF، چه مقداری دارند؟

۱۱-۶۸ اگر به مدار شکل (ب ۳۵-۱۱) که در آن $C_1=1$ pF می‌باشد، ولتاژ dc یک ولت، اعمال شود چه مقدار بار برای هر سیکل ساعت دوفاز، انتقال می‌یابد؟ اگر فرکانس ساعت ۱۰۰ kHz باشد، متوسط جریان کشیده شده از منبع ورودی چقدر است؟ برای خازن فیدبک ۱۰ pF انتظار دارید خروجی در هر سیکل ساعت چه تغییری کند؟ برای یک تقویت‌کننده که در ۱۰± V به حالت اشباع می‌رود و خازن آن در ابتدا هیچ باری ندارد چند سیکل ساعت طول می‌کشد تا اشباع شود؟ متوسط شیب ولتاژ پله‌ای خروجی چقدر است؟

ط ۱۱-۶۹ تمرین ۳۱-۱۱ را با فرکانس ساعت ۴۰۰ Hz تکرار کنید.

ط ۱۱-۷۰ تمرین ۳۱-۱۱ را با $Q=40$ تکرار کنید.

ط ۱۱-۷۱ مدار شکل (ب۳۷-۱۱) را برای تحقق یک تابع پایین‌گذر حداکثر تخت، در خروجی دومین انتگرالگیر (ناوارونگر)، با $\omega_{3dB} = 10^4$rad/s و بهره dc واحد طراحی کنید. از فرکانس ساعت $f_c = 100$ kHz استفاده کرده و خازن‌های C_1 و C_2 را ۱۰ pF انتخاب کنید. مقادیر C_3 ، C_4 ، C_5 و C_6 را به دست آورید. (راهنمایی: برای پاسخ حداکثر تخت، $Q=1/\sqrt{2}$ و $\omega_{3dB}=\omega_0$)

بخش ۱۱-۱۱: تقویت‌کننده‌های تنظیمی

*۱۱-۷۲ یک منبع ولتاژ با مقاومت $R_s = 10$ kΩ به ورودی یک تقویت‌کننده BJT امیتر مشترک متصل شده است. بین بیس و امیتر یک مدار تنظیمی با $L=1\ \mu$H و $C = 200$ pF قرارگرفته است. ترانزیستور در جریان ۱mA بایاس شده و دارای $\beta=200$ ، $C_\pi = 10$pF و $C_\mu = 1$pF می‌باشد. مقاومت بار ۵ kΩ است. ω_0 ، پهنای باند ۳-dB و بهره فرکانس مرکزی این تقویت‌کننده تنظیمی منفرد چقدر است؟

۱۱-۷۳ یک سلف با اندوکتانس ۱۰μH برای کاربرد در حدود فرکانس ۱ MHz در نظر گرفته شده است. ضریب کیفیت (Q) آن، ۲۰۰ است. مقاومت موازی R_p معادل آن را پیدا کنید. مقدار خازن برای تشدید در ۱ MHz چقدر است؟ به چه مقاومت دیگری بصورت موازی احتیاج است بنحوی که پهنای باند ۳-dB ، ۱۰kHz شود؟

۱۱-۷۴ یک سلف ۳۶μH با یک خازن ۱۰۰۰pF بحالت تشدید درمی‌آید. اگر این سلف در محل یک سوم تعداد دورهایش با یک خازن ۱kΩ موازی شود، f_0 و Q این تشدیدکننده را به دست آورید.

**۱۱-۷۵ یک تقویت‌کننده ترانزیستوری امیتر مشترک که با آن L است در نظر بگیرید. با صرفنظر کردن از r_0 و r_x نشان دهید برای $\omega C_\mu \ll 1/\omega L$ ادمیتانس ورودی از رابطه زیر به دست می‌آید.

$$Y_{in} \cong \left(\frac{1}{r_\pi} - \omega^2 C_\mu L g_m\right) + j\omega\,(C_\pi + C_\mu)$$

توجه: قسمت حقیقی ادمیتانس ورودی می‌تواند منفی باشد. که این حالت به نوسان منجر می‌شود.

*۱۱-۷۶ (الف) با جایگزینی $s = j\omega$ در تابع انتقال $T(s)$ یک فیلتر میان‌گذر مرتبه دوم (شکل پ ۱۶-۱۱)، $|T(j\omega)|$ را به دست آورید. در حالتی که ω در همسایگی ω_0 باشد.
[یعنی $\omega = \omega_0 + \delta\omega = \omega_0(1 + \delta\omega/\omega_0)$ که در آن $\delta\omega/\omega_0 << 1$ است بنابراین $\omega^2 \approx \omega_0^2(1 + 2\delta\omega/\omega_0)$]

نشان دهید که برای $Q \gg 1$،

$$|T(j\omega)| \cong \frac{|T(j\omega_0)|}{\sqrt{1 + 4Q^2 (\delta\omega/\omega_0)^2}}$$

(ب) با استفاده از نتیجه قسمت (الف) نشان دهید پهنای باند ۳ dB، B مربوط به N قسمت تنظیمی همزمان که بصورت پشت سر هم متصل شده‌اند از رابطه زیر به دست می‌آید:

$$B = (\omega_0/Q)\sqrt{2^{1/N} - 1}$$

۱۱-۷۷ (الف) با استفاده از این حقیقت که برای $Q \gg 1$ پاسخ میان‌گذر مرتبهٔ دوم در همسایگی ω_0، مانند پاسخ پایین‌گذر مرتبه اول با فرکانس $(\omega_0/2Q)$ ۳dB است نشان دهید پاسخ میان‌گذر در فرکانس $\omega=\omega_0+\delta\omega$ ، $\delta\omega \ll \omega_0$ از رابطه زیر به دست می‌آید

$$|T(j\omega)| \cong \frac{|T(j\omega_0)|}{\sqrt{1 + 4Q^2 (\delta\omega/\omega_0)^2}}$$

(ب) با استفاده از رابطه به دست آمده در قسمت (الف) و معادله (۱۱-۱۱۰) نشان دهید تقویت‌کنندهٔ میان‌گذر با پهنای باند ۳ dB (B)، که با N طبقه تنظیمی همزمان طراحی می‌شود دارای تابع انتقال کلی زیر است.

$$|T(j\omega)|_{\text{کلی}} = \frac{|T(j\omega_0)|_{\text{کلی}}}{[1 + 4(2^{1/N} - 1)(\delta\omega/B)^2]^{N/2}}$$

(پ) با استفاده از رابطه به دست آمده در قسمت (ب) تضعیف (بر حسب دسی‌بل) ایجاد شده در پهنای باند ۲B را برای ۵ تا $N = 1$ پیدا کنید. نسبت پهنای باند ۳۰ dB به پهنای باند ۳dB را برای ۵ تا $N = 1$ نیز محاسبه نمایید.

۱۱-۷۸* این مسئله تحقیقی در مورد حساسیت تقویت‌کننده‌های تنظیمی پشت سرهم با پاسخ حداکثر تخت که در شکل ۴۸-۱۱ مورد بررسی قرار گرفته‌اند می‌باشد.

(الف) یک فیلتر (باترورث) حداکثر تخت پایین‌گذر با پهنای باند ۳ dB $(B/2)$ و مرتبه N پاسخی به شکل زیر دارد:

$$|T| = 1/\sqrt{1 + \left(\frac{\Omega}{B/2}\right)^{2N}}$$

که در آن $\Omega=\text{Im}(p)$، فرکانس در حوزهٔ پایین‌گذر است. (این رابطه را می‌توان با استفاده از اطلاعات داده شده در بخش ۳-۱۱ برای فیلترهای باترورث به دست آورد. ازاین عبارت برای به دست آوردن $|T|$ فیلتر میان‌گذر مشابه در $\omega = \omega_0 + \delta\omega$ و $\omega\delta \ll \omega_0$ استفاده کنید.

$$|T| = 1/\sqrt{1 + \left(\frac{\delta\omega}{B/2}\right)^{2N}}$$

(ب) تابع انتقال (الف) را برای پیداکردن تضعیف (بر حسب دسی‌بل) ایجاد شده در پهنای باند ۲B برای ۵ تا $N = 1$ به‌کار برید. نسبت پنهای باند ۳۰ dB به پهنای باند ۳ dB را نیز برای ۵ تا $N = 1$ پیدا کنید.

۱۱-۷۹* یک تقویت‌کننده تنظیمی پشت سرهم مرتبه ششم با فرکانس مرکزی ω_0 و پهنای باند ۳ dB، B در نظر بگیرید. قطبها بوسیله جابجایی قطبهای مربوط به فیلتر پایین‌گذر حداکثر تخت مرتبه سوم به دست می‌آیند، که در شکل (پ ۱۰-۱۱) داده شده است. برای سه مدار تشدید، ω_0، پهنای باند ۳dB و Q را به دست آورید.

کتابشناسی

G. W. Roberts and A. S. Sedra, SPICE, New York: Oxford University Press, 1997.

R. Schaumann, M. S. Ghausi, and K. R. Laker, *Design of Analog Filters,* Englewood Cliffs, N.J.: Prentice-Hall, 1990.

R. Schaumann, M. Soderstrand, and K. Laker, (eds.), *Modern Active Filter Design,* New York: IEEE Press, 1981.

A. S. Sedra, "Switched-capacitor filter synthesis," in *MOS VLSI Circuits for Telecommunications,* Y. Tsividis and P. Antognetti, (eds.), Englewood Cliffs, N.J.: Prentice-Hall, 1985.

A. S. Sedra and P. O. Brackett, *Filter Theory and Design: Active and Passive,* Portland, Ore.: Matrix, 1978.

A. S. Sedra, M. Ghorab, and K. Martin, "Optimum configurations for single-amplifier biquadratic filters," *IEEE Transactions on Circuits and Systems,* vol. CAS-27, no. 12, pp. 1155–1163, Dec. 1980.

W. M. Snelgrove, *FILTOR 2: A Computer-Aided Filter Design Package,* Dept. of Electrical Engineering, University of Toronto, 1981.

M. E. Van Valkenburg, *Analog Filter Design,* New York: Holt, Rinehart, and Winston, 1981.

A. I. Zverev, *Handbook of Filter Synthesis,* New York: Wiley, 1967.

P. E. Allen and E. Sanchez-Sinencio, *Switched-Capacitor Circuits,* New York: Van Nostrand Reinhold, 1984.

R. W. Brodersen, P. R. Gray, and D. A. Hodges, "MOS switched-capacitor filters," *Proceedings of the IEEE,* vol. 67, pp. 61–74, Jan. 1979.

K. K. Clarke and D. T. Hess, *Communication Circuits: Analysis and Design,* Chap. 6, Reading, Mass.: Addison Wesley, 1971.

G. Daryanani, *Principles of Active Network Synthesis and Design,* New York: Wiley, 1976.

M. S. Ghausi, *Electronic Devices and Circuits: Discrete and Integrated,* New York: Holt, Rinehart and Winston, 1985.

P. E. Gray and C. L. Searle, *Electronic Principles,* Chap. 17, New York: Wiley, 1969.

R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing,* New York: Wiley-Interscience, 1986.

C. Ouslis and A. Sedra, "Designing custom filters," *IEEE Circuits and Devices,* May 1995, pp. 29–37.

K. Martin, "Improved circuits for the realization of switched-capacitor filters," *IEEE Transactions on Circuits and Systems,* vol. CAS-27, no. 4, pp. 237–244, April 1980.

S. K. Mitra and C. F. Kurth, (eds.), *Miniaturized and Integrated Filters,* New York: Wiley-Interscience, 1989.

فصل ۱۲

مولدهای سیگنال و مدارهای فرم‌دهندهٔ شکل موج

۱۲-۱ اصول پایهٔ نوسان‌کننده‌های سینوسی
۱۲-۲ مدارهای نوسان‌کنندهٔ op-amp -RC
۱۲-۳ نوسان‌کننده‌های LC و کریستالی
۱۲-۴ مولتی ویبراتور با دو حالت پایدار
۱۲-۵ تولید شکل موج مربعی و مثلثی با استفاده از مولتی ویبراتور ناپایدار
۱۲-۶ تولید پالس استانداردشده - مولتی‌ویبراتور با یک حالت پایدار
۱۲-۷ تایمرهای مدار مجتمع
۱۲-۸ مدارهای سازندهٔ شکل موج غیرخطی
۱۲-۹ مدارهای یکسوساز دقیق
۱۲-۱۰ مثال‌هایی از شبیه‌سازی SPICE
خلاصه - مسائل

مقدمه

در طراحی سیستم‌های الکترونیکی، نیاز به سیگنالهایی با شکل موجهای از قبل تعیین‌شده و استاندارد، مثلِ: سینوسی، مربعی، مثلثی، پالس و غیره، داریم. سیستمهایی که نیازمند سیگنالهای استاندارد هستند شامل: کامپیوتر و سیستمهای کنترلی که در آنها پالس ساعت برای زمان‌بندی موردنیاز است، سیستمهای ارتباطی که در آنها مجموعه‌ای از سیگنالها با شکل موجهای گوناگون به عنوان حاملهای اطلاعات بکار می‌رود و سیستمهای آزمایش و اندازه‌گیری که مجموعه‌ای از شکل موجهای برای آزمایش و مشخص‌کردن مدارها و افزارهای الکترونیکی بکار می‌رود. در این فصل مدارهای مولد سیگنال را مطالعه خواهیم کرد.

دو روش مجزا برای تولید موجهای سینوسی، که شاید معمولترین شکل موج استانداردِ مورد مصرف هستند، وجود دارد. اولین روش، که در بخشهای ۱-۱۲ تا ۳-۱۲ بررسی می‌شود، شامل استفاده از حلقهٔ فیدبک مثبت بهمراه یک تقویت‌کننده و یک شبکهٔ انتخابِ فرکانس RC یا LC است. دامنهٔ موج سینوسی تولیدشده توسط مکانیزمی غیرخطی، یا با استفاده از یک مدار مجزا و یا با استفاده از خواص غیرخطی تقویت‌کننده، تعیین یا محدود می‌شود. با این وجود، به مدارهایی که موج سینوسی را بر پایهٔ اصلی تشدید تولید می‌کنند، نوسان‌کننده‌های خطی می‌گویند. این نام کاملاً آنهارا از مدارهایی که به روش دوم موج سینوسی تولید می‌کند، جدا می‌سازد. در این مدارها، شکل موج سینوسی با فرم دادن مناسبِ شکل موج مثلثی بدست می‌آید. مدارهای فرم‌دهنده شکل موج را در بخش ۹-۱۲، و پس از مطالعهٔ مولدهای شکل موج مثلثی، بررسی خواهیم کرد.

مدارهای مولد شکل موجهای مربعی، مثلثی، پالس و (غیره) را نوسان‌کننده‌های غیرخطی یا مولد تابع گویند، که تحت عنوان مولتی‌ویبراتور در ساختارهای مداری شناخته می‌شوند. سه نوع مولتی ویبراتور داریم: با دو حالت پایدار (بخش ۴-۱۲)، ناپایدار (بخش ۵-۱۲) و با یک حالت پایدار (بخش ۷-۱۲). مدارهای مولتی‌ویبراتور بیان شده در این فصل از op-amp بهره می‌برند و برای کاربردهای دقیقِ پیوسته موردنظر هستند. مدارهای مولتی ویبراتور با استفاده از گیتهای دیجیتال منطقی در فصل بعدی مورد بحث قرار خواهند گرفت.

یک شمای کلی برای تولید شکل موجهای مربعی و مثلثی با اتصال مولتی‌ویبراتور با دو حالت پایدار و مدار انتگرال‌گیر op-amp در یک

حلقهٔ فیدبک به دست می‌آیند (بخش ۷-۱۲). با استفاده از تراشه‌های موجود، مثل زمان‌سنج 555 (بخش ۸-۱۲) نیز می‌توان نتایج مشابهی را بدست آورد. فصل را با مطالعهٔ مدارهای دقیقی که، توسط توابع یکسوکنندهٔ (بیان‌شده در فصل ۳)، پیاده‌سازی می‌شوند، به پایان خواهیم رساند. بهرحال مدارهایی که در اینجا مطالعه می‌شوند، برای کاربردهای دقیقی، مثل سیستمهای اندازه‌گیری و تولید شکل موج به کار می‌روند.

۱-۱۲ اصول پایهٔ نوسان‌کننده‌های سینوسی

در این بخش اصول پایه‌ای که طراحی نوسان‌کننده‌های خطی موج سینوسی بر آن استوار است، مورد بررسی قرار می‌گیرد. با وجود نام نوسان‌کنندهٔ خطی ، برخی از فرمهای غیرخطی را برای کنترل دامنهٔ موج سینوسی خروجی بکار می‌برند. در حقیقت، همهٔ نوسان‌کننده‌ها، اساساً مدارهای غیرخطی هستند. این مسئله مراحل تحلیل و طراحی نوسان‌کننده‌ها را بحدی دشوار می‌سازد، که دیگر کسی قادر به کاربرد مستقیم روشهای تبدیل (فضای s) نمی‌باشد. روشهای پیشنهادشده برای طراحی نوسان‌کننده‌های سینوسی می‌تواند در دو مرحله انجام شود. اولین مرحله خطی است و از روشهای تحلیل مدارهای فیدبک در حوزهٔ فرکانس می‌توان استفاده کرد. سپس، یک مکانیزم غیرخطی برای کنترل دامنه بکار می‌رود.

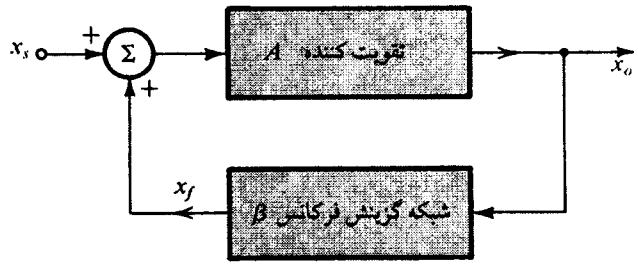
حلقهٔ فیدبک نوسان‌کننده

ساختار اصلی مدارهای نوسان‌کنندهٔ سینوسی شامل یک تقویت‌کننده و یک مدار انتخاب فرکانسِ متصل شده در حلقهٔ فیدبک مثبت، همانند آنچه که در شکل (۱-۱۲) نشان داده شده است، می‌باشد. گرچه در یک مدار نوسان‌کنندهٔ واقعی سیگنال ورودی نداریم، برای کمک به توضیح نحوهٔ کار، سیگنال ورودی را اضافه می‌کنیم. مهم است توجه کنید که برخلاف حلقهٔ فیدبک منفی شکل (۱-۸)، سیگنال فیدبک x_f با علامت مثبت جمع می‌شود. بنابراین بهرهٔ با فیدبک برابر است:

$$A_f(s) = \frac{A(s)}{1 - A(s)\beta(s)} \qquad (۱-۱۲)$$

که به علامت منفی در مخرج توجه داریم.

با توجه به تعریف بهرهٔ حلقه در فصل ۸، بهرهٔ حلقهٔ مدار در شکل (۱-۱۲)



شکل ۱-۱۲. ساختار اصلی نوسان‌ساز سینوسی. یک حلقه فیدبک مثبت از یک تقویت‌کننده و شبکه گزینش فرکانس تشکیل شده است. در یک مدار نوسان‌ساز عملی سیگنال ورودی نداریم در اینجا سیگنال ورودی x_s برای کمک به شرح نحوهٔ کار مورد استفاده قرار گرفته است.

برابر $-A(s)\beta(s)$ است. بهرحال، برای منظور ما کافی است که علامت منفی را حذف کرده و بهرهٔ حلقهٔ $L(s)$ را بصورت زیر تعریف کنیم:

$$L(s) \equiv A(s)\beta(s) \qquad (۲-۱۲)$$

بنابراین معادلهٔ مشخصه می‌شود

$$1 - L(s) = 0 \qquad (۳-۱۲)$$

توجه کنید که این تعریف جدید برای بهرهٔ حلقه مستقیماً با بهرهٔ واقعی دیده شده حول حلقهٔ فیدبک شکل (۱-۱۲)، متناظر است.

معیار نوسان

اگر در فرکانس خاصِ f_0 بهرهٔ حلقهٔ $A\beta$ واحد باشد، از معادلهٔ (۱-۱۲) نتیجه می‌شود که Af بی‌نهایت خواهدبود. یعنی، در این فرکانس مدار دارای یک خروجی محدود برای سیگنال ورودی صفر است. چنین مداری بنا به تعریف یک نوسان‌کننده است. بنابراین شرط حلقهٔ فیدبکِ شکل (۱-۱۲) برای تأمین فرکانس ω_0 نوسان سینوسی برابر است با

$$L(j\omega_0) \equiv A(j\omega_0)\beta(j\omega_0) = 1 \qquad (۴-۱۲)$$

یعنی، در ω_0 فاز بهرهٔ حلقه باید صفر و دامنهٔ بهرهٔ حلقه باید واحد باشد. این اصل به عنوان **معیار بارخوزن** شناخته می‌شود. توجه کنید که برای نوسان مدار در یک فرکانس، باید معیار نوسان فقط در آن فرکانس برقرار باشد (یعنی ω_0)، در غیراینصورت شکل موجِ حاصل یک سینوسی ساده نخواهد بود.

با نگاهی دیگر به حلقه فیدبک شکل (۱-۱۲) می‌توان درک عمیق‌تری نسبت به معیار بارخوزن بدست آورد برای اینکه حلقه یک خروجی و x_o را بدون اعمال ورودی تولید و برقرار کند ($x_s = 0$)، سیگنال فیدبک x_f،

$$x_f = \beta x_o$$

باید به حدی بزرگ باشد تا هنگامی که در A ضرب می‌شود x_o را تولیدکند،

$$Ax_f = x_o$$

یعنی،

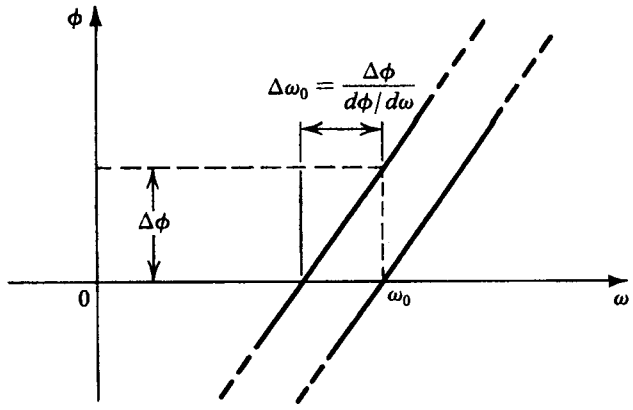
$$A\beta x_o = x_o$$

که نتیجه می‌دهد

$$A\beta = 1$$

باید توجه کنید که فرکانس نوساناتِ ω_0 منحصراً توسط مشخصهٔ فاز حلقهٔ فیدبک تعیین می‌شود. حلقه در فرکانسی نوسان می‌کند که برای آن فاز صفر است. نتیجه می‌گیریم که پایداریِ فرکانسِ نوسانات توسط روشی که بر مبنای آن فاز $\phi(\omega)$ بهرهٔ حلقه با فرکانس تغییر می‌کند، تعیین خواهد شد. شیب زیاد تابع $\phi(\omega)$ پایداری فرکانسی بیشتری را نتیجه می‌دهد. این مورد را می‌توان با تصور تغییر در فاز $\Delta\phi$ متناظر با تغییر در یکی از عناصر مدار، دید. اگر $d\phi/d\omega$ بزرگ باشد، تغییر حاصل در ω_0 کوچک خواهد بود، همچنانکه در شکل (۲-۱۲) نیز آمده است.

یک راه دیگر برای بررسی مدارهای نوسان‌کننده شامل آزمایش قطبهای مدار است، که ریشه‌های معادلهٔ مشخصهٔ معادلهٔ (۳-۱۲) می‌باشند. برای اینکه مدار دارای نوسانات دنباله‌دار در فرکانس ω_0 باشد، معادلهٔ مشخصه باید دارای دو ریشه در $s = \pm j\omega_0$ باشد. بنابراین $1 - A(s)\beta(s)$ باید دارای جمله‌ای به فرم $s^2 + \omega_0^2$ باشد.



شکل ۲-۱۲. وابستگی پایداری فرکانس نوسان‌ساز به شیب پاسخ فاز. شیب تند دو مشخصه فاز (یعنی $d\phi/d\omega$ منجر به کوچک‌شدن $\Delta\phi$ (حاصل از تغییر عناصر مدار) می‌شود.

تمرین

۱-۱۲ یک نوسان‌کنندهٔ سینوسی را که توسط یک تقویت‌کننده با بهرهٔ ۲ و یک فیلتر میان‌گذر مرتبه دوم شکل گرفته است، درنظر بگیرید. فرکانس قطب و بهرهٔ فرکانسِ مرکزی فیلتری را بیابید که نوسان سینوسی در ۱ kHz ایجاد کند.

جواب. ۱ kHz، ۰/۵ ❑

کنترل غیرخطی دامنه

شرط نوسان، معیار بارخوزن، که در بالا بیان شد نوسانات دنباله‌دار را از نظر ریاضی تضمین می‌کند. اما، بخوبی دیده می‌شود که مؤلفه‌های هر سیستم فیزیکی برای تمام طول زمان ثابت نخواهند ماند. به عبارت دیگر، فرض کنید با سعی زیاد در $\omega = \omega_0$ به نتیجهٔ $A\beta = 1$ رسیده‌ایم، آنگاه اگر دما تغییر کند، $A\beta$ کمی کمتر از واحد خواهدشد و نوسانات میرا خواهند بود. متقابلاً اگر $A\beta$ بزرگتر از واحد باشد، دامنهٔ نوسانات رشد خواهد کرد. بنابراین نیازمند به مکانیزمی برای ثابت نگه‌داشتن $A\beta$ در مقدار واحد و در یک دامنهٔ خروجی مطلوب هستیم. این مرحله را با استفاده از یک مدار غیرخطی برای کنترل بهره به انجام می‌رسانیم.

اساساً، نحوهٔ کنترل بهره بصورت زیر است: ابتدا، برای اطمینان از شروع نوسان، مدار به صورتی طرح می‌شود که $A\beta$ کمی بزرگتر از واحد باشد. این متناظر با مداری است که قطبهای آن، سمت راست صفحهٔ s باشند. بنابراین با روشن‌شدن منبع تغذیه، دامنهٔ نوسانات بزرگ خواهد شد. هنگامی که دامنه به میزان دلخواه برسد، شبکهٔ غیرخطی وارد عمل خواهد شد و سبب کاهش بهرهٔ حلقه به مقدار دقیق واحد خواهد گردید. به عبارت دیگر، قطبها به طرف محور $j\omega$ رانده خواهند شد. این عمل سبب کار مدار در دامنهٔ نوسان موردنظر خواهد شد. اگر به دلیلی، بهرهٔ حلقه کمتر از واحد شود، دامنهٔ موج سینوسی کم خواهد شد. این پدیده توسط شبکهٔ غیرخطی آشکار می‌شود، که سبب افزایش بهرهٔ حلقه به میزان دقیق واحد خواهد شد.

چنانچه خواهیم دید دو روش برای پیاده‌سازی مکانیزم غیرخطی ثبات دامنه وجود دارد. اولین روش از مدار محدودکننده (فصل ۳ را ببینید) استفاده می‌کند. نوسانات تا زمانی که دامنهٔ آنها به سطحی که محدودکننده را فعال می‌کند، برسد اجازه رشد خواهند داشت. هنگامی که محدودکننده وارد عمل می‌شود، دامنه ثابت باقی می‌ماند. برای حداقل‌کردن اعوجاج غیرخطی، محدودکننده باید نرم باشد. بهرحال، چنین اعوجاجی را می‌توان توسط عمل فیلتریِ شبکهٔ انتخاب فرکانس در حلقه فیدبک کاهش داد. در حقیقت، در یکی از مدارهای نوسان‌کنندهٔ بررسی شده در بخش (۲-۱۲)، موج سینوسی سخت محدود شده است، و موج مربعی حاصل به یک فیلتر میان‌گذر که در حلقهٔ فیدبک قرار گرفته است، اعمال می‌شود. خلوص موج سینوسیِ خروجی تابعی از گزینشِ این فیلتر است. یعنی، هرچه Qی فیلتر بزرگتر باشد، میزان هارمونیکهای موج سینوسیِ خروجی کمتر خواهد بود. مکانیزم دیگرِ کنترلِ دامنه از عنصری که مقاومت آن توسط دامنهٔ سینوسی خروجی کنترل می‌شود، استفاده می‌کند. با قراردادن این عنصر در مدار فیدبک به طوری که مقاومت آن بهرهٔ حلقه را تعیین کند، مدار می‌تواند به صورتی طراحی شود که بهرهٔ حلقه در میزان دامنهٔ خروجی مطلوب به حد واحد برسد. دیودها، یا JFETها در صورتی که در ناحیهٔ تریود کار کنند، به عنوان عنصر با مقاومت کنترل‌شده بکار می‌روند.

یک مدار محدودکنندهٔ معمول برای کنترل دامنه

این بخش را با معرفی مدار محدودکننده‌ای که بطور معمول برای کنترلِ دامنه نوسان‌کننده‌های با op-amp بکار می‌رود، به پایان می‌بریم. این مدار کاربردی‌تر و بهتر از مدارهای معرفی شده در فصل ۳ است.

مدار محدودکنندهٔ در شکل (الف ۳-۱۲) و مشخصهٔ انتقال آن در شکل (ب ۳-۱۲) نشان داده شده‌اند. برای دیدن چگونگی بدست آمدن مشخصهٔ انتقال، ابتدا حالتی را که سیگنال ورودی v_I (نزدیک صفر) و سیگنال خروجی v_O نیز کوچک است درنظر بگیرید، بنابراین v_A مثبت است و v_B منفی است. به راحتی دیده می‌شود که هر دو دیود D_1 و D_2 قطع خواهند بود. بنابراین همهٔ جریان ورودی v_I/R_1 از طریق مقاومتِ فیدبک R_f جریان می‌یابد و ولتاژ خروجی از رابطهٔ زیر بدست می‌آید:

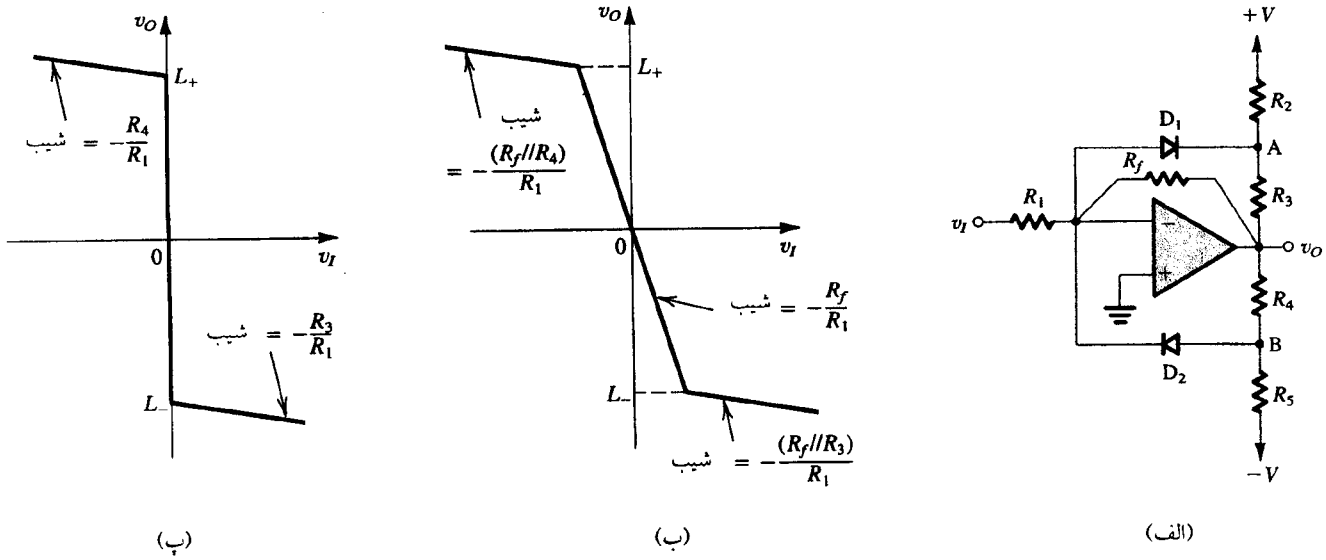
$$v_O = -(R_f/R_1)\,v_I \qquad (۱۲-۵)$$

این بخش خطی مشخصهٔ انتقال محدودکننده در شکل (ب ۳-۱۲) است. حال می‌توانیم از جمع آثار برای پیداکردن ولتاژ در نقاط A و B بر حسب $\pm V$ و v_O استفاده کنیم.

$$v_A = V\frac{R_3}{R_2 + R_3} + v_O\frac{R_2}{R_2 + R_3} \qquad (۱۲-۶)$$

$$v_B = -V\frac{R_4}{R_4 + R_5} + v_O\frac{R_5}{R_4 + R_5} \qquad (۱۲-۷)$$

همچنانکه v_I مثبت می‌شود، v_O منفی می‌شود (معادلهٔ ۵-۱۲) و از معادلهٔ (۷-۱۲) می‌بینیم که v_B منفی‌تر شده، در نتیجه D_2 قطع باقی خواهد ماند. معادلهٔ (۶-۱۲) نشان می‌دهد که v_A کمتر مثبت می‌شود. سپس اگر افزایش v_I ادامه یابد، مقدار منفی برای v_O بدست می‌آید که در آن v_A برابر



شکل ۳-۱۲. (الف) یک مدار محدودکننده متداول (ب) مشخصه انتقالی مدار L_- و L_+ به ترتیب از معادله (۸-۱۲) و (۹-۱۲) بدست می‌آیند. (پ) هنگامی که R_f برداشته شود محدودکننده تبدیل به یک مقایسه‌کننده با مشخصه‌های نشان داده شده می‌شود.

$-0/7$ V می‌شود و دیود D_1 هدایت می‌کند. اگر از مدلِ افت ولتاژ ثابت برای D_1 استفاده کنیم و افت ولتاژ را V_D بنامیم، مقدار v_O که D_1 درآن هدایت می‌کند از معادلهٔ (۶-۱۲) بدست می‌آید. این حد محدودسازی منفی است که با L_- نشان داده می‌شود،

$$L_- = -V\frac{R_3}{R_2} - V_D\left(1 + \frac{R_3}{R_2}\right) \qquad (۱۲-۸)$$

مقدار متناظر v_I باتقسیم L_- بر بهرهٔ محدودکنندهٔ $-R_f/R_1$ بدست می‌آید. اگر v_I بیش از این مقدار افزایش یابد، جریان بیشتری به D_1 تزریق شده و v_A تقریباً در $-V_D$ باقی می‌ماند. بنابراین جریان عبوری از R_2 ثابت مانده، و جریان اضافی دیود از مقاومت R_3 عبور می‌کند. بنابراین R_3 بصورت موازی با R_f بوده و بهرهٔ افزایشی (با صرفنظرکردن از مقاومت دیود) برابر $-(R_f//R_3)/R_1$ می‌باشد. برای کوچک کردن شیب مشخصهٔ انتقال در ناحیهٔ محدودسازی، مقدار کوچکی برابر R_3 باید انتخاب شود. مشخصهٔ انتقال برای v_I منفی را می‌توان به روشی مشابه روش فوق بدست آورد. به سادگی دیده می‌شود که برای v_I منفی، دیود D_2 نقشی مشابه نقش D_1 برای v_I مثبت را بازی می‌کند. حد محدودسازی مثبت L_+ برابر

$$L_+ = V\frac{R_4}{R_5} + V_D\left(1 + \frac{R_4}{R_5}\right) \qquad (۱۲-۹)$$

بدست می‌آید و شیب مشخصهٔ انتقال در محدودهٔ محدودسازیِ مثبت برابر $-(R_f//R_4)/R_1$ است. در نتیجه می‌بینیم که مدار شکل (الف ۳-۱۲) به عنوان محدودکنندهٔ نرم کار می‌کند، با حدود L_+ و L_- که بطور مستقل توسط انتخاب مقادیر مناسب مقاومتها تنظیم می‌شوند.

درنهایت توجه می‌کنیم که افزایش R_f سبب بهرهٔ بالاتر در ناحیهٔ خطی می‌شود در حالیکه L_+ و L_- را نیز تغییر نمی‌دهد. درحد، برداشتن R_f مشخصهٔ انتقال شکل (پ ۳-۱۲) را نتیجه می‌دهد که یک مقایسه‌کننده است. یعنی، مدار v_I را با مقدار مرجع مقایسه‌کننده ۰ V مقایسه می‌کند. $v_I > 0$ حاصلِ $v_O \cong L_-$ و $v_I < 0$ حاصلِ $v_O \cong L_+$ را می‌دهد.

تمرین

۲-۱۲ برای مدار شکل (الف ۳-۱۲) با $V = 15$ V، $R_1 = 30$ kΩ، $R_f = 60$ kΩ، $R_2 = R_5 = 9$ kΩ و $R_3 = R_4 = 3$kΩ، حدود محدودسازی و مقدار v_I را که در آن به این حدود می‌رسیم، بیابید. همچنین بهرهٔ محدودکننده و شیب مشخصهٔ انتقال را برای نواحی محدودسازی مثبت و منفی بیابید. فرض کنید که $V_D = 0/7$ V است.

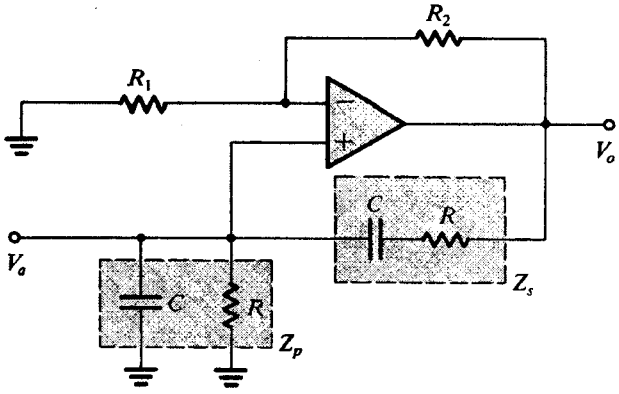
جواب. $\pm 5/93$ V، $\pm 2/97$ V، -2، $-0/095$ ❑

۲-۱۲ مدارهای نوسان‌کنندهٔ RC − op−amp

در این بخش برخی از مدارهای نوسان‌کنندهٔ عملی را با استفاده از op−amp ها و شبکه‌های RC بررسی خواهیم کرد.

نوسان‌ساز پل وین

یکی از ساده‌ترین مدارهای نوسان‌کننده براساس پل وین است. شکل (۴-۱۲) نوسان‌کنندهٔ پل وین را بدون شبکهٔ غیرخطی کنترل بهره نشان می‌دهد. مدار شامل یک op−amp است که با آرایش ناوارونگر بسته شده. با بهرهٔ حلقهٔ بسته‌ای که برابر $1 + R_2/R_1$ می‌باشد. در مسیر فیدبک این تقویت‌کننده با بهرهٔ مثبت. یک شبکه RC بسته شده است. بهرهٔ حلقه را می‌توان به سادگی توسط ضرب‌کردن تابع انتقال $V_a(s)/V_o(s)$ مربوط به شبکهٔ فیدبک و بهرهٔ تقویت‌کننده بدست آورد.



شکل ۴-۱۲. نوسان‌ساز پل وین بدون ثبات دامنه

$$L(s) = \left[1 + \frac{R_2}{R_1}\right] \frac{Z_p}{Z_p + Z_s}$$

بنابراین

$$L(s) = \frac{1 + R_2/R_1}{3 + sCR + 1/sCR} \qquad (۱۲-۱۰)$$

جایگذاری $s = j\omega$ نتیجه می‌دهد:

$$L(j\omega) = \frac{1 + R_2/R_1}{3 + j(\omega CR - 1/\omega CR)} \qquad (۱۲-۱۱)$$

بهرهٔ حلقه در فرکانس داده شده در زیر، عددی حقیقی خواهد بود (یعنی، فاز آن صفر است)

$$\omega_0 CR = \frac{1}{\omega_0 CR}$$

یعنی

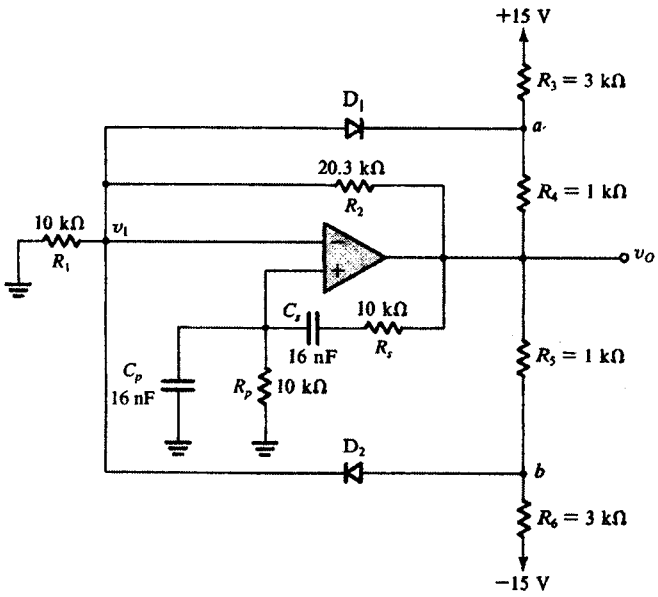
$$\omega_0 = 1/CR \qquad (۱۲-۱۲)$$

برای داشتن نوسانات پایدار در این فرکانس، بهرهٔ حلقه باید برابر واحد باشد. این کار را می‌توان با قراردادن

$$R_2/R_1 = 2 \qquad (۱۲-۱۳)$$

انجام داد. برای اطمینان از شروع نوسان، R_2/R_1 باید کمی بزرگتر از ۲ انتخاب شود. خواننده می‌تواند به راحتی نشان دهد که اگر $R_2/R_1 = 2+\delta$، باشد که δ عددی کوچک است، ریشه‌های معادلهٔ مشخصهٔ $1-L(s)=0$ در سمت راست صفحهٔ s خواهند بود.

دامنهٔ نوسانات را می‌توان با استفاده از یک شبکهٔ کنترل غیرخطی تعیین و تثبیت کرد. دو نوع مختلف پیاده‌سازی کنترل دامنه در شکل (۵-۱۲) و (۶-۱۲) نشان داده شده است. مدار شکل (۵-۱۲) یک محدودکنندهٔ فیدبکِ متقارن از نوع بررسی شده در بخش ۱-۱۲ را نشان می‌دهد. این مدار توسط دیودهای D_1 و D_2 همراه با مقاومتهای R_3، R_4، R_5 و R_6 شکل می‌گیرد. محدودکننده بصورت زیر کار می‌کند: در نوکِ مثبت ولتاژ خروجی v_O، ولتاژ در گره b بیشتر از ولتاژ v_I (که در حدود $\frac{1}{3}v_O$ است) می‌باشد و دیود D_2 هدایت می‌کند. این سبب می‌شود که مقادیر نوکِ مثبت توسط مقاومتهای R_5 و R_6 و منبع تغذیهٔ منفی تعیین شود. مقدار نوک خروجی مثبت با قراردادن $v_b = v_1 + V_{D2}$ و نوشتن معادله گره در گره b و با صرفنظرکردن از جریان D_2، بدست می‌آید. به طریق مشابه، نوکِ منفی موج سینوسی خروجی به مقداری که سبب هدایت دیود D_1 می‌شود،



شکل ۵-۱۲. نوسان‌ساز پل وین با محدودکننده که برای کنترل دامنه بکار رفته است.

محدود می‌گردد. مقدار نوک منفی را می‌توان با قراردادن $v_a = v_1 - V_{D1}$ و نوشتن معادلهٔ گره در گره a و با صرفنظرکردن از جریان D_1، تعیین کرد. در نهایت، توجه کنید که برای داشتن شکل موج خروجیِ متقارن، R_3 برابر R_6 و R_4 برابر R_5 انتخاب می‌شود.

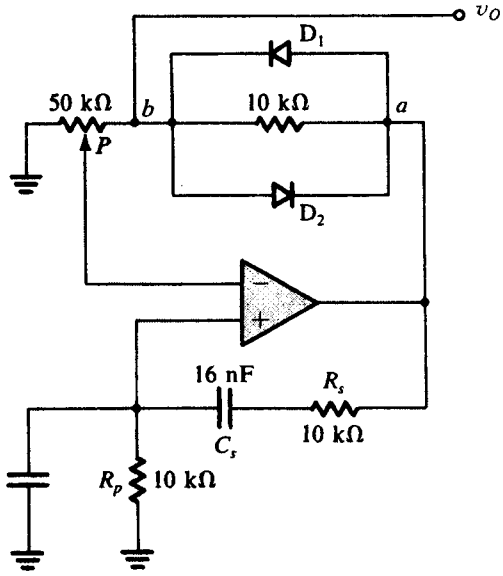
تمرین

۳-۱۲ برای مدار شکل (۵-۱۲ الف): بدون توجه به مدار محدودکننده، محل قطبهای حلقه بسته را بیابید. (ب) فرکانسِ نوسان را بیابید. (ب) با درنظرگرفتن محدودکننده، دامنهٔ موج سینوسیِ خروجی را بیابید (فرض کنید که افت دیود ۰/۷ V است)

جواب. $(0.015 \pm j)$ $(10^5/16)$، ۱ kHz، ۲۱/۳۶ V (نوک تا نوک) ❑

مدار شکل (۶-۱۲) یک روش پیاده‌سازی ارزان‌قیمت مکانیزم کنترل دامنه با مؤلفهٔ متغیر را به نمایش می‌گذارد. پتانسیومتر P تنظیم می‌شود تا نوسان آغاز شود. همچنانکه نوسانات رشد کرد، دیودها شروع به هدایت می‌کنند، و سبب کاهش مقاومت مؤثر بین a و b می‌شوند. هنگامی که دامنهٔ خروجی به حال تعادل می‌رسد، سبب می‌شود که بهرهٔ حلقه واحد باشد. دامنهٔ خروجی می‌تواند با تنظیم پتانسیومتر P تغییر کند.

همچنانکه در شکل (۶-۱۲) نشان داده شده است، خروجی به جای پایه‌های خروجی op-amp از گره b گرفته می‌شود، زیرا سیگنال در b دارای اعوجاج کمتری نسبت به a است. توجه کنید که ولتاژ در b متناسب با ولتاژ در پایه‌های ورودی op-amp است و در واقع حالت فیلترشدهٔ ولتاژ (توسط شبکهٔ RC) در گره a است. اما گره b یک گره با امپدانس بالا است و اگر باری به آن متصل شود، نیازمند میانگیر خواهد بود.



شکل ۶-۱۲. نوسان‌ساز پل وین با روشی دیگر برای پایدار دامنه

تمرین

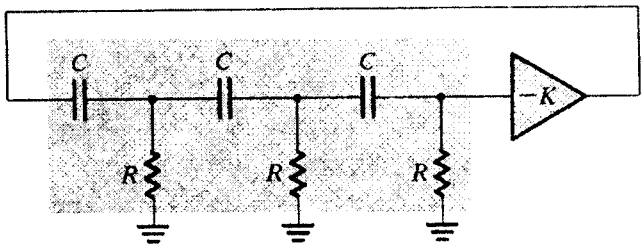
۴-۱۲ برای مدار شکل ۶-۱۲ موارد زیر را بیابید. (الف) مقدار پتانسیومتر P که نوسانات در آن آغاز می‌شود. (ب) فرکانس نوسان.

جواب. (الف) ۲۰ kΩ تا زمین (ب) ۱ kHz. ❑

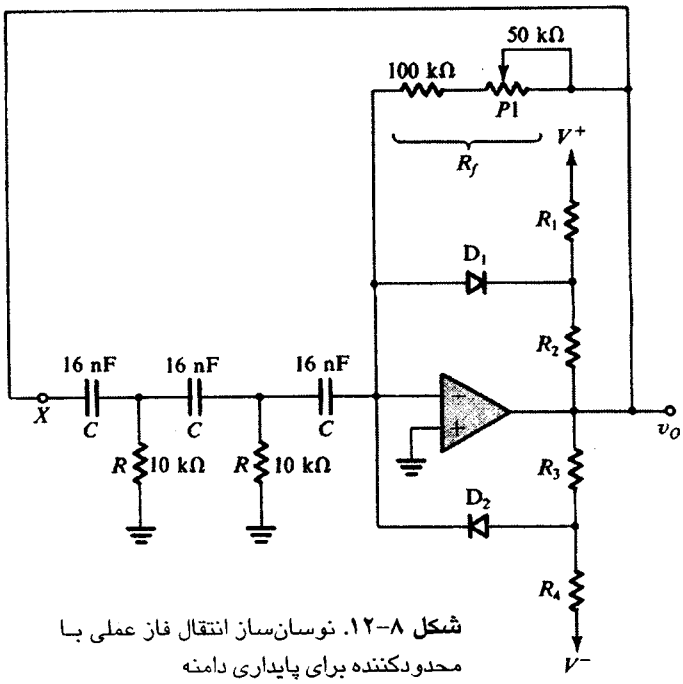
نوسان‌کنندهٔ انتقال فاز

ساختار اصلی نوسان‌کنندهٔ انتقالِ فاز در شکل (۷-۱۲) نشان داده شده است. نوسان‌کننده شامل تقویت‌کنندهٔ با بهرهٔ منفی ($-K$) بهمراه شبکهٔ نردبانی سه بخشی (مرتبه سوم) RC در مسیر فیدبک است. مدار در فرکانسی که انتقالِ فاز شبکهٔ RC برابر ۱۸۰° است، نوسان خواهد کرد. فقط در این فرکانس انتقالِ فاز کل حول حلقه ۰ یا ۳۶۰° است. باید توجه کنیم که علت استفاده از شبکهٔ RC سه بخشی، این است که حداقل تعداد بخشهایی که قادر به تولید انتقالِ فاز ۱۸۰° در یک فرکانس محدود است، سه بخش می‌باشد.

برای پایداری نوسانات، مقدار K باید برابر معکوس دامنهٔ تابع انتقالِ شبکهٔ RC در فرکانس نوسان باشد. بهرحال، برای اطمینان از آغاز نوسان، مقدار K باید کمی بزرگتر از مقداری که شرط بهرهٔ حلقهٔ واحد را تأمین می‌کند، قرار گیرد. سپس تا زمانی که نوسانات توسط مکانیزم غیرخطی کنترل، محدود شود، نوسان ادامه خواهد یافت.



شکل ۷-۱۲. نوسان‌ساز انتقال فاز



شکل ۸-۱۲. نوسان‌ساز انتقال فاز عملی با محدودکننده برای پایداری دامنه

شکل (۸-۱۲) نوسان‌کنندهٔ انتقالِ فاز عملی را با محدودکنندهٔ فیدبک، شامل دیودهای D_1 و D_2 و مقاومتهای R_1، R_2، R_3 و R_4 برای تثبیت دامنه، نشان می‌دهد. برای آغاز نوسان، R_f باید کمی بزرگتر از حداقل مقدار لازم باشد. در صورتی که R_f بسیار بزرگتر از این حداقل باشد گرچه مدار سریعتر پایدار می‌شود، و موج سینوسی با دامنهٔ ثابت‌تری را فراهم می‌آورد، اما بهایی که باید بپردازیم افزایش اعوجاج در خروجی است.

تمرین

۵-۱۲ مدار شکل (۸-۱۲) را بدون محدودکننده درنظر بگیرید. حلقهٔ فیدبک را در X بشکنید و بهرهٔ حلقهٔ $A\beta \equiv V_o(j\omega) / V_x(j\omega)$ را بیابید. برای این کار راحت‌تر است که از خروجی شروع کنید و به عقب برگردید، جریانها و ولتاژها و V_x برحسب V_o را بیابید.

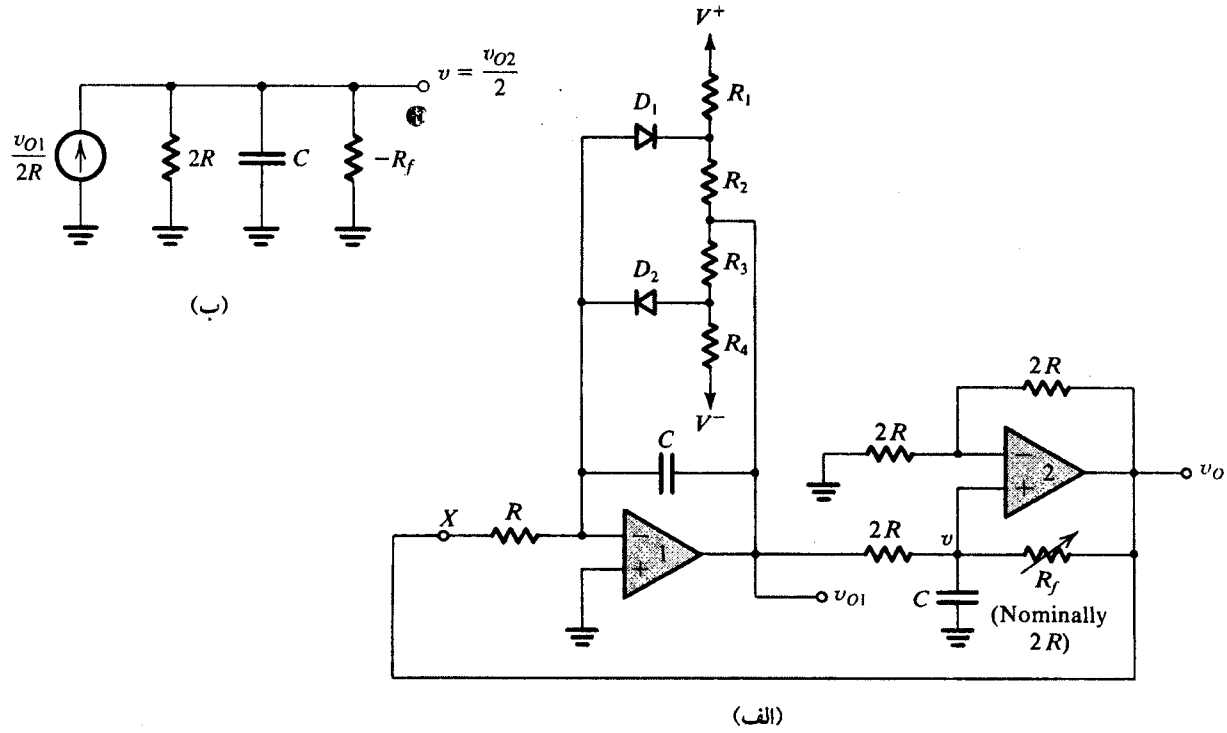
جواب. $\dfrac{\omega^2 C^2 R R_f}{4 + j(3\omega CR - 1/\omega CR)}$

۶-۱۲ از تعریف بدست آمده در تمرین ۵-۱۲ استفاده کنید و فرکانسِ نوسانِ f_o و حداقل مقدار موردنیاز R_f برای آغاز نوسان در مدار شکل (۸-۱۲) را بیابید.

جواب. ۵۷۴/۳ Hz ، ۱۲۰ kΩ ❑

نوسان‌کنندهٔ چهارتایی

نوسان‌کنندهٔ چهارتایی بر پایهٔ حلقهٔ دو انتگرالگیرِ بحث شده در بخش ۷-۱۱ است. به عنوان یک فیلتر فعال، حلقه چنان است که قطبها را در سمت چپ صفحهٔ s قرار می‌دهد. در اینجا چنین میرایی موردنیاز نیست، زیرا مایل به قراردادن قطبها روی محور $j\omega$ هستیم تا نوسان دنباله‌دار داشته باشیم. در حقیقت، برای اطمینان از شروع نوسان، قطبها ابتدا در صفحهٔ



شکل ۹-۱۲. (الف) مدار نوسان ساز چهارگانه (ب) مدار معادل ورودی op amp شماره ۲

سمت راست قرار گرفته و سپس توسط کنترل غیرخطی بهره به عقب رانده می‌شوند.

شکل (۹-۱۲) نوسان‌کنندهٔ چهارتایی عملی را نشان می‌دهد. تقویت‌کنندهٔ ۱ بصورت انتگرالگیر وارونگر میلر بسته شده و یک محدودکننده در حلقهٔ فیدبک برای کنترل دامنه بکار رفته است. تقویت‌کنندهٔ ۲ به عنوان انتگرالگیر ناوارونگر بسته شده است (در نتیجه جایگزینی اتصال پشت سرهم انتگرالگیر میلر و معکوس‌کننده در حلقهٔ دو انتگرالگیر شکل (ب ۲۵-۱۱) مقدور است.) برای آشنایی با چگونگی کار انتگرالگیر ناوارونگر مدار معادل شکل (ب ۹-۱۲) را در نظر بگیرید. در این جا، ولتاژ ورودی انتگرالگیر v_{O1} را و مقاومت سری $2R$ را با معادل نورتن آن که شامل منبع جریان $v_{O1}/2R$ و مقاومت موازی $2R$ است، جایگزین کرده‌ایم. اکنون چون $v_{O2} = 2v$ است که در آن v ولتاژ ورودی op-amp شماره ۲ است، جریان R_f مساوی $(2v-v)/R_f = v/R_f$ خواهد بود که جهت آن از خروجی به ورودی است. بنابراین R_f همان طور که در مدار معادل شکل (ب ۹-۱۲) نشان داده شده تا مقاومت ورودی منفی بالا می‌رود. R_f به طور اسمی مساوی $2R$ اختیار می‌شود، بنابراین $-R_f$ ، $2R$ را حذف می‌کند و در ورودی منبع جریان $v_{O1}/2R$ را که خازن C را تغذیه می‌کند، خواهیم داشت. بنابراین داریم:

$$v = \frac{1}{C}\int_0^t \frac{v_{O1}}{2R}\,dt$$

$$v_{O2} = 2v = \frac{1}{CR}\int_0^t v_{O1}\,dt$$

یعنی برای $R_f = 2R$ مدار همانند یک انتگرالگیر ناوارونگر کامل عمل می‌کند. اما اگر R_f از $2R$ کوچکتر شود. یک مقاومت منفی خالص موازی با C ظاهر می‌شود.

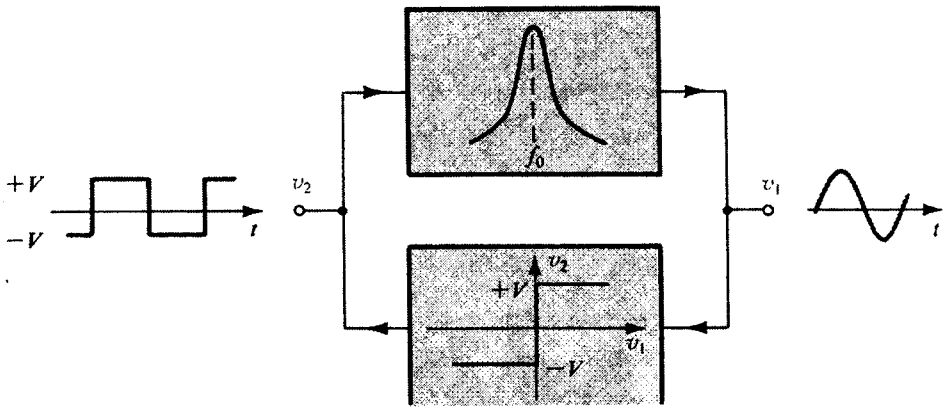
با مراجعه به مدار نوسان ساز شکل (الف ۹-۱۲) می‌بینیم که مقاومت R_f در مسیر فیدبک مثبت op-amp شماره ۲، متغیر و مقدار اسمی آن $2R$ اختیار می‌شود. کاهش مقدار R_f قطب‌ها را به نیم صفحه راست (مسأله ۱۹-۱۲) حرکت داده و آغاز نوسان را تضمین می‌کند. برای افزایش فیدبک اگر چه پایداری دامنه بهتر می‌شود، اما اعوجاج خروجی نیز زیاد می‌شود (چون محدود کننده باید "سخت‌تر" عمل کند). با توجه به این مسأله خروجی v_{O2} "خالص‌تر" از v_{O1} است. چون عمل فیلتر شدن توسط انتگرالگیر دوم روی خروجی با نوک محدود شدهٔ انتگرالگیر اول انجام می‌شود. اگر از محدودکننده صرفنظر کنیم و حلقه را در X بشکنیم، بهرهٔ حلقه بصورت زیر بدست می‌آید:

$$L(s) = \frac{V_{o2}}{V_x} = -\frac{1}{s^2C^2R^2} \qquad (۱۲-۱۴)$$

بنابراین حلقه در فرکانس ω_o نوسان خواهد کرد که با رابطهٔ

$$\omega_o = \frac{1}{CR} \qquad (۱۲-۱۵)$$

داده می‌شود، نهایتاً باید توجه کرد که نام نوسان‌کنندهٔ چهارتایی به علت این که مدار دو سینوسی با اختلاف فاز °۹۰ ایجاد می‌کند، بکار می‌رود. این نیز کاملاً مشهود است، زیرا v_{O2} انتگرال v_{O1} است. کاربردهای بسیاری موجود هستند که در آنها نیازمند سینوسی‌های چهارتایی هستیم.



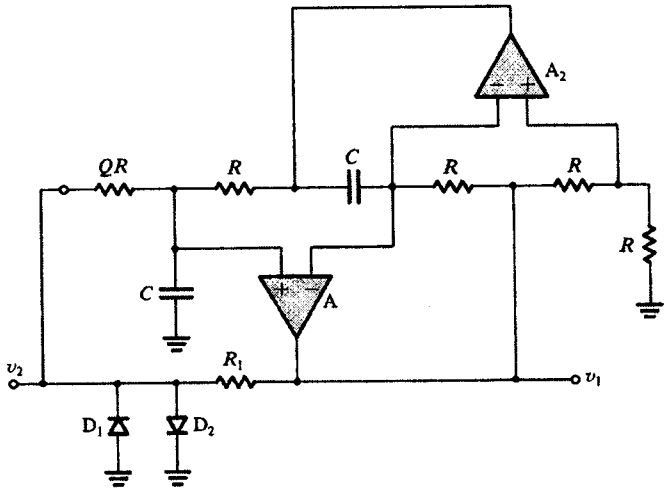
شکل ۱۰-۱۲. نمودار ساختاری نوسان‌ساز تنظیمی با فیلتر فعال

نوسان‌کنندهٔ با فیلتر فعال تنظیم‌شده

آخرین مدار نوسان‌کننده‌ای که آن را بررسی می‌کنیم هم در اصول و هم در طراحی بسیار ساده است. با این وجود، روشی کلی، مفید و نتایجی با کیفیت بالا برای موج سینوسی خروجی بدست می‌آید (یعنی با اعوجاج اندک). اصول اساسی در شکل (۱۰-۱۲) بیان شده است. مدار شامل فیلتر میان‌گذر با Q بزرگ است که در حلقهٔ فیدبک مثبت با محدودکنندهٔ سخت بسته شده است. برای درک چگونگی کار مدار، فرض کنید که نوسانات آغاز شده‌اند. خروجی فیلتر میان‌گذر یک موج سینوسی است که فرکانس آن برابر فرکانسِ مرکزی فیلتر، f_0، است. موج سیگنال سینوسی v_1 به محدودکننده‌ای اعمال می‌شود که در خروجی آن موج مربعی با سطوح تعیین‌شده توسط سطح محدودسازی و با فرکانس f_0 تولید می‌گردد. موج مربعی نیز به فیلتر میان‌گذری اعمال می‌شود که فیلتر هارمونیکهای آنرا برداشته و خروجی سینوسی v_1 را در فرکانسِ اصلی f_0 تأمین می‌کند. خلوص موج سینوسی خروجی، تابع مستقیمی از گزینشِ (یا ضریب Q) فیلتر میان‌گذر است.

سادگی این روش برای طراحی نوسان‌کننده باید کاملاً آشکار باشد. کنترل مستقلی روی فرکانس و دامنه داریم همچنانکه می‌توان اعوجاج سینوسی خروجی را کنترل کرد. هر مدار فیلتری که بهرهٔ مثبت داشته باشد می‌تواند برای پیاده‌سازی فیلتر میان‌گذر استفاده شود. پایداری فرکانس نوسان‌کننده مستقیماً توسط پایداریِ فرکانسِ مدار فیلتر میان‌گذر تعیین می‌شود. همچنین مجموعه‌ای از مدارهای محدودکننده (فصل ۳ را ببینید). با درجات کار مختلف می‌تواند به عنوان محدودکننده بکار رود.

شکل (۱۱-۱۲) یکی از انواع نوسان‌کننده با فیلتر فعال تنظیم شده را نشان می‌دهد. این مدار از تغییری روی مدار میان‌گذر که بر اساس مدار شبیه‌سازی اندوکتانس آنتونیو می‌باشد، استفاده می‌کند (شکل پ ۲۲-۱۱ را ببینید). در اینجا مقاومت R_2 با خازن C_4 تعویض شده است. این خاصیت سبب متناسب‌شدن خروجی op-amp پایین شکل (۱۱-۱۲) با (در حقیقت، با دو برابر) ولتاژ روی قسمت تشدید می‌شود و می‌توانیم از تقویت‌کنندهٔ میانگیر K صرفنظر کنیم. محدودکنندهٔ بکاررفته بسیار ساده است و شامل مقاومت R_1 و دو دیود است.



شکل ۱۱-۱۲. پیاده‌سازی عملی نوسان‌ساز تنظیمی با فیلتر فعال

تمرین

۱۲-۷ از $C = 16$ nF استفاده کنید و مقدار R را که مدار شکل (۱۱-۱۲) موج سینوسی ۱ kHz تولید کند، بیابید. اگر افت دیود ۰/۷ V باشد، دامنهٔ نوک تا نوکِ موج سینوسیِ خروجی را بیابید. (راهنمایی: موج مربعی با دامنهٔ نوکِ تا نوکِ V ولت دارای مؤلفه اساسی با دامنهٔ نوک تا نوک $4V/\pi$ ولت است.)

جواب. ۱۰ kΩ، ۳/۶ V ❑

توضیح نهایی

مدارهای نوسان‌کنندهٔ op-amp-RC بررسی شده برای کار در محدودهٔ ۱۰ Hz تا ۱۰۰ kHz مفید می‌باشد. (یا شاید تا ۱ MHz). با وجودی که حد پایین‌تر فرکانس توسط اندازهٔ عناصر موردنیاز تعیین می‌شود، حد بالاتر توسط پاسخ فرکانسی و محدودیت سرعت واکنش op-amp معین می‌شود. برای فرکانسهای بالاتر، مدارهایی که از ترانزیستور با مدار LC تنظیم شده یا کریستال تشکیل شده‌اند، کاربرد دارند. این مدارها در بخش ۳-۱۲ بیان شده‌اند.

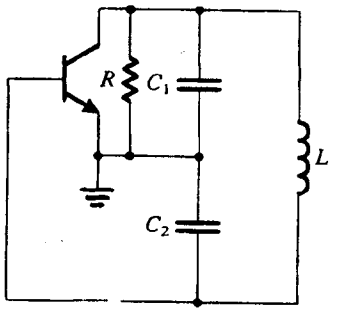
۱۲-۳ نوسان‌کننده‌های LC و کریستالی

نوسان‌کننده‌هایی که از ترانزیستورها (FET یا BJT) و مدارهای تنظیم‌شدهٔ LC یا کریستال به عنوان عنصر فیدبک استفاده می‌کنند، در محدودهٔ فرکانسی ۱۰۰ kHz تا چند صد MHz کاربرد دارند. این مدارها مقدار Q بالاتری را نسبت به انواع RC نشان می‌دهند. بهرحال، تنظیم نوسان‌کننده‌های LC روی محدودهٔ وسیع دشوار است و نوسان‌کننده‌های کریستالی نیز در یک فرکانس کار می‌کنند.

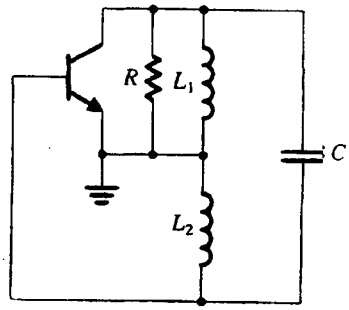
نوسان‌کننده‌های تنظیم‌شدهٔ LC

شکل (۱۲-۱۲) دو آرایش معمول نوسان‌کننده‌های تنظیم‌شدهٔ LC را نشان می‌دهد. آنها را تحت عنوان (الف) نوسان‌کنندهٔ **کولپیتس** و (ب) **نوسان‌کنندهٔ هارتلی** می‌شناسیم. در هر دو مدار، مدار LC موازی بین کلکتور و بیس (یا بین درین و گیت اگر از FET استفاده شود) بسته شده که بخشی از ولتاژ مدار تنظیم شده به امیتر اعمال می‌شود (سورس در FET). این فیدبک در نوسان‌کنندهٔ **کولپیتس** توسط مقسم خازنی و در نوسان‌کنندهٔ هارتلی توسط مقسم سلفی انجام می‌شود. توجه کنید که جزئیات بایاس به علت نیاز به تمرکز روی ساختار نوسان‌کننده در شکل نشان داده نشده است. در هر دو مدار مقاومت R تلفات سلف‌ها، مقاومتِ بار نوسان‌کننده و مقاومت خروجی ترانزیستور را مدل می‌کند.

اگر فرکانسِ کار بقدری پایین باشد که بتوانیم از ظرفیتهای ترانزیستور صرفنظر کنیم، فرکانسِ نوسانات توسط فرکانسِ تشدید مدار تنظیم شدهٔ موازی تعیین می‌شود (که به عنوان **مدار تانک** شناخته می‌شود زیرا به عنوان محلی برای ذخیرهٔ انرژی رفتار می‌کند.) بنابراین برای نوسان‌کنندهٔ کولپیتس داریم.



(الف)



(ب)

شکل ۱۲-۱۲. دو آرایش متداول نوسان‌سازهای تنظیمی LC

$$\omega_0 = 1/\sqrt{L\left(\frac{C_1C_2}{C_1+C_2}\right)} \qquad (۱۲-۱۶)$$

و برای نوسان‌کنندهٔ هارتلی داریم:

$$\omega_0 = 1/\sqrt{(L_1+L_2)\,C} \qquad (۱۲-۱۷)$$

نسبت L_1/L_2 یا C_1/C_2 ضریب فیدبک را تعیین می‌کند و در نتیجه باید نسبت به بهرهٔ ترانزیستور تنظیم شود تا شروع نوسان تعیین شود. برای تعیین شرط نوسانِ نوسان‌کنندهٔ کولپیتس، بجای ترانزیستور، مدار معادل آن را قرار می‌دهیم، همچنانکه در شکل (۱۳-۱۲) نیز نشان داده شده است. برای سادگیِ تحلیل از ظرفیتِ ترانزیستور C_μ (C_{gd} برای FET) صرفنظر می‌کنیم. ظرفیت C_π (C_{gs} برای FET)، اگرچه نشان داده نشده، به عنوان بخشی از C_2 می‌تواند فرض شود. از مقاومت ورودی r_π (بی‌نهایت برای FET) نیز، در صورتی که در فرکانسِ نوسان ($r_\pi >> 1/\omega C_2$) باشد می‌توان صرفنظر کرد. نهایتاً، همچنانکه پیشتر نیز بیان شد، مقاومت R شامل r_o ترانزیستور نیز می‌باشد.

برای پیداکردن بهرهٔ حلقه در بیس ترانزیستور، ولتاژ ورودی V_π را اعمال کرده و ولتاژ برگشتی را که روی پایه‌های ورودیِ ترانزیستور آشکار می‌شود، بیابید. سپس بهرهٔ حلقه را برابر واحد قرار دهید. یک راه دیگر، تحلیل مدار و تعیین همهٔ متغیرهای ولتاژ و جریان و در نتیجه بدست آوردن معادله‌ای برای کار مدار است. اگر معادله برقرار باشد، نوسان آغاز خواهد شد. بنابراین معادلهٔ حاصل شرط نوسان را می‌دهد.

معادلهٔ گره در کلکتور ترانزیستور (گره C) در مدار شکل ۱۳-۱۲ داریم:

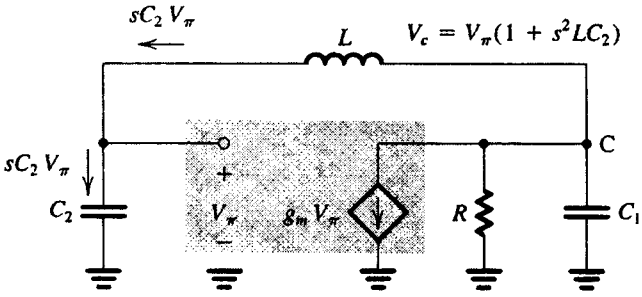
$$sC_2V_\pi + g_m V_\pi + \left(\frac{1}{R} + sC_1\right)(1 + s^2LC_2)\,V_\pi = 0$$

از آنجا که $V_\pi \neq 0$ (نوسان آغاز شده است)، می‌تواند حذف شود، و معادله می‌تواند به فرم زیر بازنویسی گردد:

$$s^3LC_1C_2 + s^2(LC_2/R) + s(C_1+C_2) + \left(g_m + \frac{1}{R}\right) = 0 \qquad (۱۲-۱۸)$$

با جایگذاری $s = j\omega$ داریم:

$$\left(g_m + \frac{1}{R} - \frac{\omega^2LC_2}{R}\right) + j[\omega(C_1+C_2) - \omega^3LC_1C_2] = 0 \qquad (۱۲-۱۹)$$



شکل ۱۳-۱۲. مدار معادل نوسان‌ساز کولپیتس شکل (الف ۱۲-۱۲) برای ساده‌کردن تحلیل از C_μ و r_π صرفنظر کرده است. C_π را قسمتی از C_2 و r_o را نیز با R درنظر گرفته‌ایم.

برای آغاز نوسان، هر دو بخش حقیقی و موهومی باید صفر باشند، معادل صفر قراردادن بخش موهومی فرکانسِ نوسان را بصورت زیر می‌دهد:

$$\omega_0 = 1/\sqrt{L(\frac{C_1C_2}{C_1 + C_2})} \qquad (۱۲-۲۰)$$

که فرکانسِ تشدید مدار تانک است. با معادل صفر قراردادن بخش حقیقی و استفاده از معادله (۲۰-۱۲) داریم:

$$C_2/C_1 = g_mR \qquad (۱۲-۲۱)$$

که توصیف فیزیکی ساده‌ای دارد: برای نوسان دنباله‌دار، دامنهٔ بهره از بیس به کلکتور (g_mR) باید برابر عکس نسبتِ ولتاژ تهیه شده توسط مقسم خازنی باشد، که از شکل (الف ۱۲-۱۲) برابر $v_{eb} / v_{ce} = C_1/C_2$ بدست می‌آید. البته، برای آغاز نوسان، بهرهٔ حلقه باید بزرگتر از واحد باشد، شرطی که می‌تواند به فرم معادل زیر بیان شود

$$g_mR > C_2 / C_1 \qquad (۱۲-۲۲)$$

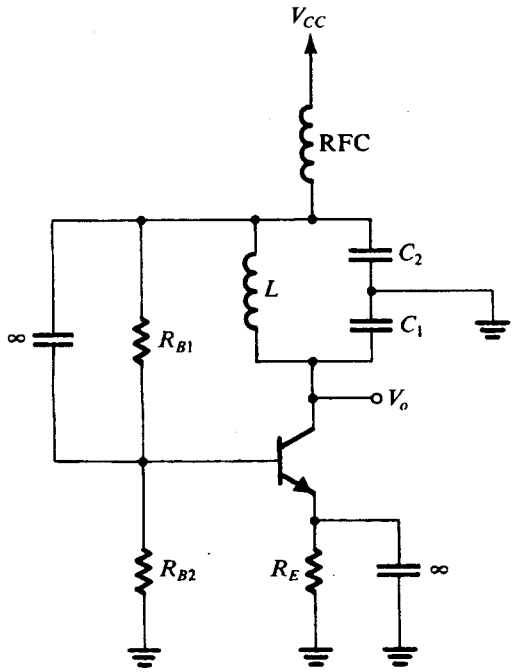
همچنانکه دامنهٔ نوسان رشد می‌کند، مشخصه‌های غیرخطی ترانزیستور بهرهٔ حلقه را به واحد کاهش می‌دهد، در نتیجه نوسان پایدار خواهدماند.

تحلیلی شبیه آنچه که در بالا آمد برای مدار هارتلی بکار می‌رود (تمرین ۸-۱۲ را ببینید). در فرکانسهای بالا، باید از مدل دقیق‌تر ترانزیستور استفاده کرد. ناچار، پارامترهای y ترانزیستور در فرکانس ω_0 محاسبه می‌شود و تحلیل با استفاده از مدل پارامتر y انجام می‌شود. (ضمیمه (ب) را ببینید). این روش، بویژه در فرکانسهایی در حدود ۳۰% f_T ترانزیستور، ساده‌تر و دقیقتر است.

به عنوان مثالی از نوسان‌کنندهٔ LC عملی، در شکل (۱۴-۱۲) مدار نوسان‌کنندهٔ کولپیتس همراه با جزئیات بایاس بطور کامل نشان داده شده است. در اینجا سیم‌پیچ فرکانسهای رادیوئی (RFC) در فرکانس ω_0 یک رآکتانسِ بالا ولی در حالت dc یک مقاومت پایین را از خود نشان می‌دهد.

نهایتاً، در رابطه با مکانیزمی که دامنهٔ نوسان در نوسان‌کنندهٔ تنظیم‌شدهٔ LC را در بالا بیان می‌کند، جملاتی چند بیان می‌شود. بر خلاف نوسان‌کننده‌های op-amp که از مدار کنترل دامنهٔ خاص بهره می‌برند، نوسان‌کنندهٔ تنظیم شدهٔ LC برای کنترل دامنه از مشخصه‌های غیرخطی BJT، $i_C - v_{BE}$ استفاده می‌کند (مشخصهٔ $i_D - v_{GS}$ برای FET). در نتیجه این نوسان‌کننده‌های تنظیم‌شدهٔ LC تحت نام نوسان‌کننده‌های خود محدودکننده نامیده می‌شوند. بویژه همچنانکه دامنهٔ نوسان رشد می‌کند، بهرهٔ مؤثر ترانزیستور نیز به مقداری کمتر از مقدار سیگنال کوچک آن کاهش می‌یابد. درنهایت، به دامنه‌ای می‌رسیم که بهرهٔ مؤثر به نقطه‌ای که معیار بارخوزن در آن برقرار است، نزدیک می‌شود. در این مقدار، دامنه ثابت خواهد ماند.

با تکیه بر مشخصات غیرخطی BJT (یا FET) شکل موج جریان کلکتور (درین) به طور غیرخطی دارای اعوجاج خواهد بود. اما، سیگنال ولتاژ خروجی به علت خاصیت فیلتری مدار تنظیم‌شدهٔ LC، یک سینوسی با خلوص بالا خواهد بود. جزئیات کاملِ کنترل دامنه، که از روشهای مدارهای غیرخطی استفاده می‌کند، ورای حوصلهٔ این کتاب است. خوانندگان علاقمند می‌توانند به کتاب کلارک و هس، ۱۹۷۱ رجوع کنند.



شکل ۱۴-۱۲. مدار کامل نوسان‌ساز کولپیتس

تمرین

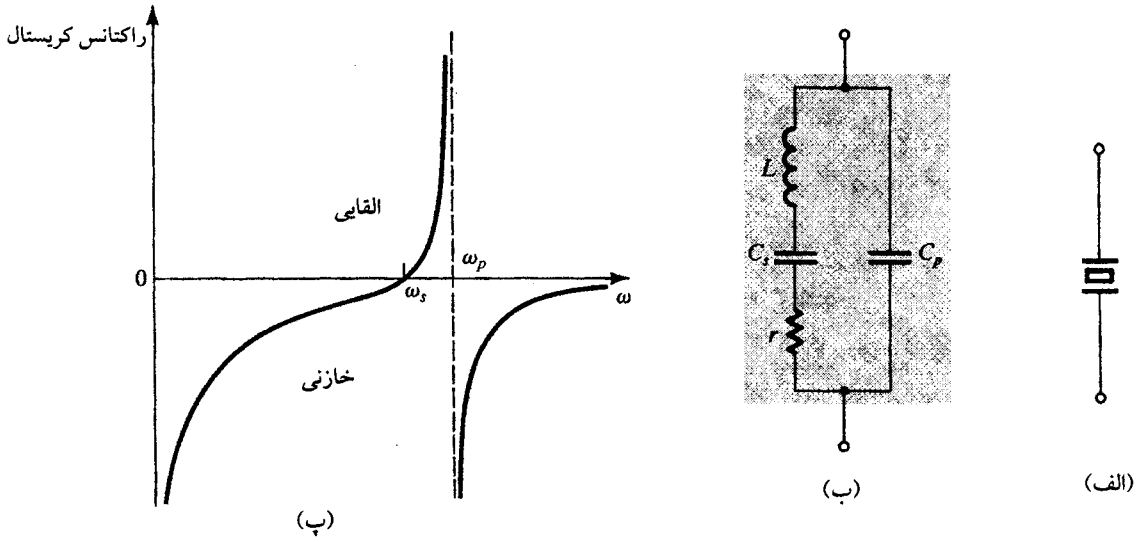
۸-۱۲ نشان دهید که برای نوسان‌کنندهٔ هارتلیِ شکل ب ۱۲-۱۲ فرکانسِ نوسان با معادلهٔ (۱۷-۱۲) داده شده و برای آغاز نوسان باید $g_mR > (L_1/L_2)$ باشد.

۹-۱۲ با استفاده از یک BJT که در $I_C = 1$ mA بایاس شده است. نوسان‌ساز کولپیتس طراحی کنید که $\omega_0 = 10^6$ rad/s کار کند. از $C_1 = 0/01\mu F$ استفاده کرده و فرض کنید که سیم‌پیچ موجود دارای Q برابر ۱۰۰ باشد (این را می‌توان با یک مقاومت موازی با C_1 که با رابطهٔ $Q/\omega_0 C_1$ داده شده نشان داد). همچنین فرض کنید که مقاومت بار در کلکتور ۲ kΩ بوده و برای BJT، $r_o = 100$ kΩ، C_2 و L را بیابید.

جواب. $0/66\mu F$، $100\mu H$ (از مقدار C_2 کمتری باید استفاده کرد تا رشد دامنهٔ نوسان را داشته باشیم.) ❑

نوسان‌کننده‌های کریستالی

یک کریستال پیزوالکتریک، مثل کوارتز، مشخصهٔ تشدیدِ الکترومکانیکی را از خود نشان می‌دهد که بسیار پایدار (با زمان و دما) و قابل گزینش است (با داشتن Qی بسیار بالا). شمای مداری کریستال در شکل (الف ۱۵-۱۲) و مدل مدار معادل آن در شکل (ب ۱۵-۱۲) نشان داده شده است. خواص تشدید توسط اندوکتانس بزرگ L (به بزرگی صدها هانری)، خازن بسیار کوچکِ سری C_s (به کوچکی 0/0005pF)، مقاومت سری r که نمایانگر ضریب Q برابر $\omega_0 L/r$ که به بزرگی چند صدهزار می‌تواند باشد و ظرفیت موازی C_p (چندین پیکوفاراد) مدل می‌شود. خازن C_p نمایانگر ظرفیت الکترواستاتیک بین صفحات موازیِ



شکل ۱۵-۱۲. یک کریستال پیزو الکتریک (**الف**) نماد مداری (**ب**) مدار معادل (**پ**) راکتانس کریستال نسبت به فرکانس [دقت کنید که با صرفنظرکردن از مقاومت کوچک r داریم، $Z_{\text{کریستال}} = jX(\omega)$]

کریستال است. توجه کنید که $C_p >> C_s$ می‌باشد.

از آنجا که ضریب Q بسیار بزرگ است، می‌توانیم از مقاومت r صرفنظر کرده و امپدانس کریستال را بصورت زیر بیان کنیم.

$$Z(s) = 1 \Big/ \left[sC_p + \frac{1}{sL + 1/sC_s}\right]$$

که می‌تواند به فرم زیر نوشته شود

$$Z(s) = \frac{1}{sC_p}\,\frac{s^2 + (1/LCs)}{s^2 + [(C_P + C_s)/LC_s C_p]} \qquad (۱۲-۲۳)$$

از معادلهٔ (۲۳-۱۲) و از شکل (ب ۱۵-۱۲) می‌بینیم که کریستال دارای دو فرکانسِ تشدید است، یکی تشدید سری در ω_s،

$$\omega_s = 1/\sqrt{LC_s} \qquad (۱۲-۲۴)$$

و تشدید موازی در ω_p،

$$\omega_p = 1 \Big/ \sqrt{L\left(\frac{C_sC_p}{C_s + C_p}\right)} \qquad (۱۲-۲۵)$$

در نتیجه برای $s = j\omega$ می‌توان نوشت

$$Z(j\omega) = -j\,\frac{1}{\omega C_p}\left(\frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2}\right) \qquad (۱۲-۲۶)$$

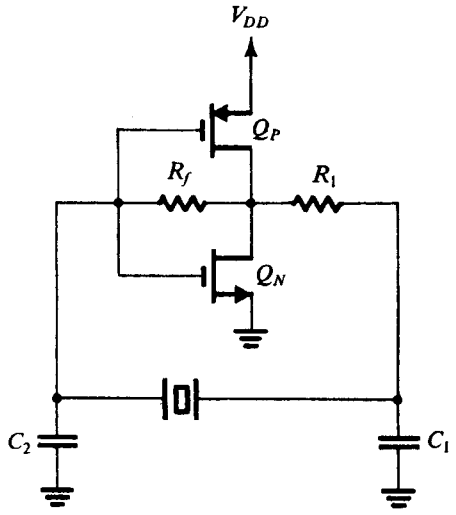
از معادله‌های (۲۴-۱۲) و (۲۵-۱۲) دیده می‌شود که $\omega_p > \omega_s$ است. اما، از آنجا که $C_p \gg C_s$ می‌باشد، دو فرکانسِ تشدید بسیار نزدیک هستند. با تعریف $Z(j\omega) = jX(\omega)$، راکتانسِ کریستال $X(\omega)$ دارای فرم نشان داده شده در شکل (پ ۱۵-۱۲) است. در می‌یابیم که راکتانس کریستال روی محدودهٔ بسیار باریکی از باند فرکانسِ بین ω_s و ω_p سلفی است. برای یک کریستال مشخص، این باند فرکانس بخوبی معین شده است. در نتیجه می‌توانیم از کریستال به عنوان جایگزینی برای سلفِ نوسان‌کنندهٔ کولپیتس (شکل الف ۱۲-۱۲) استفاده کنیم. مدار حاصل در فرکانسِ تشدید اندوکتانس کریستالِ L با معادل سری C_s و خازن ترکیبی زیر :

$$\left(C_p + \frac{C_1C_2}{C_1 + C_2}\right) \qquad (۱۲-۲۷)$$

نوسان خواهد کرد. از آنجا که C_s بسیار کوچکتر از سه خازن دیگر است، غالب بوده و داریم:

$$\omega_0 \cong 1/\sqrt{LC_s} = \omega_s$$

علاوه بر نوسان‌کنندهٔ کولپیتس اصلی، مجموعه‌ای از آرایشها برای نوسان‌کنندهٔ کریستالی وجود دارد. شکل (۱۶-۱۲) یک آرایشِ معمول (که نوسان‌کنندهٔ پیرس خوانده می‌شود) را با استفاده از وارونگر CMOS (فصل ۵ را ببینید) به عنوان یک تقویت‌کننده، نشان می‌دهد. مقاومت R_f نقطهٔ کار dc در ناحیهٔ با بهرهٔ بالا را برای CMOS تعیین می‌کند. مقاومت R_1 بهمراه خازن C_1 فیلتر پایین‌گذری را که از نوسان مدار در هارمونیکهایِ بالاترِ فرکانسِ کریستال جلوگیری می‌کند، تشکیل می‌دهند. توجه کنید که این مدار بر پایه آرایش کولپیتس نیز هست.



شکل ۱۶-۱۲. نوسان‌ساز کریستالی کولپیتس (یا پیرس) با استفاده از وارونگر CMOS بعنوان تقویت‌کننده

مشخصات تشدیدِ پایدار و ضرایب بالای Q مربوط به کریستالهای کوارتز، فرکانسهای پایدار و خیلی دقیقی را نتیجه می‌دهد. کریستالها با فرکانسهای تشدیدی در محدودهٔ چند kHz تا صدها MHz موجود هستند. ضرایب حرارتی ω_0 برابر ۱ یا ۲ بخش بر میلیون (ppm) بر °C قابل دسترسی هستند. متأسفانه، نوسان‌کننده‌های کریستالی، که عناصر تشدید مکانیکی هستند، مدارهایی با فرکانس ثابت می‌باشند.

تمرین

۱۲-۱۰ یک کریستال کوارتزِ ۲ MHz چنان مشخص شده که دارای $L = ۰/۵۲\text{H}$، $C_s = ۰/۰۱۲\ \text{PF}$، $C_p = ۴\ \text{pF}$، $r = ۱۲۰\ \Omega$ است. f_s، f_p و Q را بیابید.

جواب. ۲/۰۱۵ MHz، ۲/۰۱۸ MHz، ۵۵۰۰۰ ❑

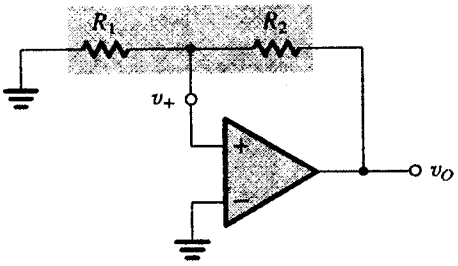
۱۲-۴ مولتی ویبراتور با دو حالت پایدار

در این بخش بررسی نوع دیگری از مدارهای مولد شکل موج - نوسان‌کننده‌های غیرخطی یا مولد تابع - را بررسی می‌کنیم. این مورد از دستهٔ دیگری از مدارها که تحت نام **مولتی ویبراتور** شناخته می‌شوند، استفاده می‌کند. همچنانکه پیشتر بیان شد، سه نوع مولتی ویبراتور داریم: با دو حالت پایدار، با یک حالت پایدار و ناپایدار. این بخش بر مولتی‌ویبراتور با دو حالت پایدار، تأکید دارد.

همچنانکه از نام آن نیز برمی‌آید، مولتی ویبراتور با دو حالت پایدار دارای دو وضعیت پایدار است. مدار می‌تواند در یک حالت پایدار باشد و فقط هنگامی که به طور مناسب تحریک شود، به وضعیت دیگر خواهد رفت.

حلقهٔ فیدبک

اگر تقویت‌کننده‌ای در حلقهٔ فیدبک مثبتی با بهرهٔ حلقهٔ بزرگتر از واحد بسته شده باشد می‌توان به مدار با دو حالت پایدار رسید. چنین حلقهٔ فیدبکی در شکل (۱۲-۱۷) نشان داده شده است، که شامل یک op-amp و مقسم مقاومتی ولتاژ در مسیر فیدبک مثبت است. برای درک چگونگی رسیدن به دو حالت پایدار، کار را در حالتی که پایهٔ ورودی مثبتِ op-amp در پتانسیل نزدیک به زمین باشد، درنظر بگیرید. این یک نقطهٔ شروع موجه است زیرا مدار تحریک خارجی ندارد. فرض کنید نویز الکتریکی که بطور ناخوانده در هر مدار الکتریکی ظاهر می‌شود، سبب ایجاد ولتاژ افزایشی مثبت v_+ می‌شود. این سیگنال افزایشی توسط بهرهٔ بزرگِ حلقهٔ A مربوط به op-amp تقویت شده، سیگنال بسیار بزرگتری را که در پایه‌های خروجی op-amp ظاهر می‌شود، حاصل می‌کند. مقسم ولتاژ R_1، R_2 بخش $\beta \equiv R_1/(R_1+R_2)$ مربوط به سیگنال خروجی را به پایهٔ ورودی op-amp فیدبک می‌کند. اگر $A\beta$ بزرگتر از واحد باشد، همچنانکه معمولاً هست، سیگنال فیدبک شده بزرگتر از ولتاژ افزایشی v_+ است. این فرآیند بازتولید تا هنگامی که ولتاژ خروجی op-amp در حد اشباع مثبتِ L_+، آنرا اشباع کند ادامه خواهد یافت. هنگامی که این حالت رخ می‌دهد ولتاژ در پایهٔ



شکل ۱۲-۱۷. حلقه فیدبک مثبت عملکرد مدار با دو حالت پایدار

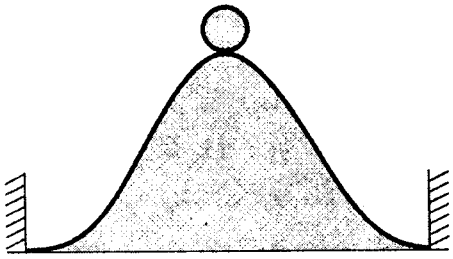
مثبت v_+، برابر $L_+ R_1/(R_1 + R_2)$ می‌شود که مثبت است و در نتیجه op-amp را در اشباع مثبت نگه می‌دارد. این یکی از دو حالت پایدار مدار است.

در توصیف بالا فرض کردیم هنگامی که v_+ نزدیک به صفر ولت است، یک ولتاژ افزایشی در v_+ داریم. اگر فرض کنیم که احتمال وضعیت یکسانی از افزایش منفی داشته باشیم، op-amp در جهت منفی با $v_O = L_-$ و $v_+ = L_- R_1/(R_1 + R_2)$ به اشباع خواهد رفت. این وضعیت پایدار دیگر است.

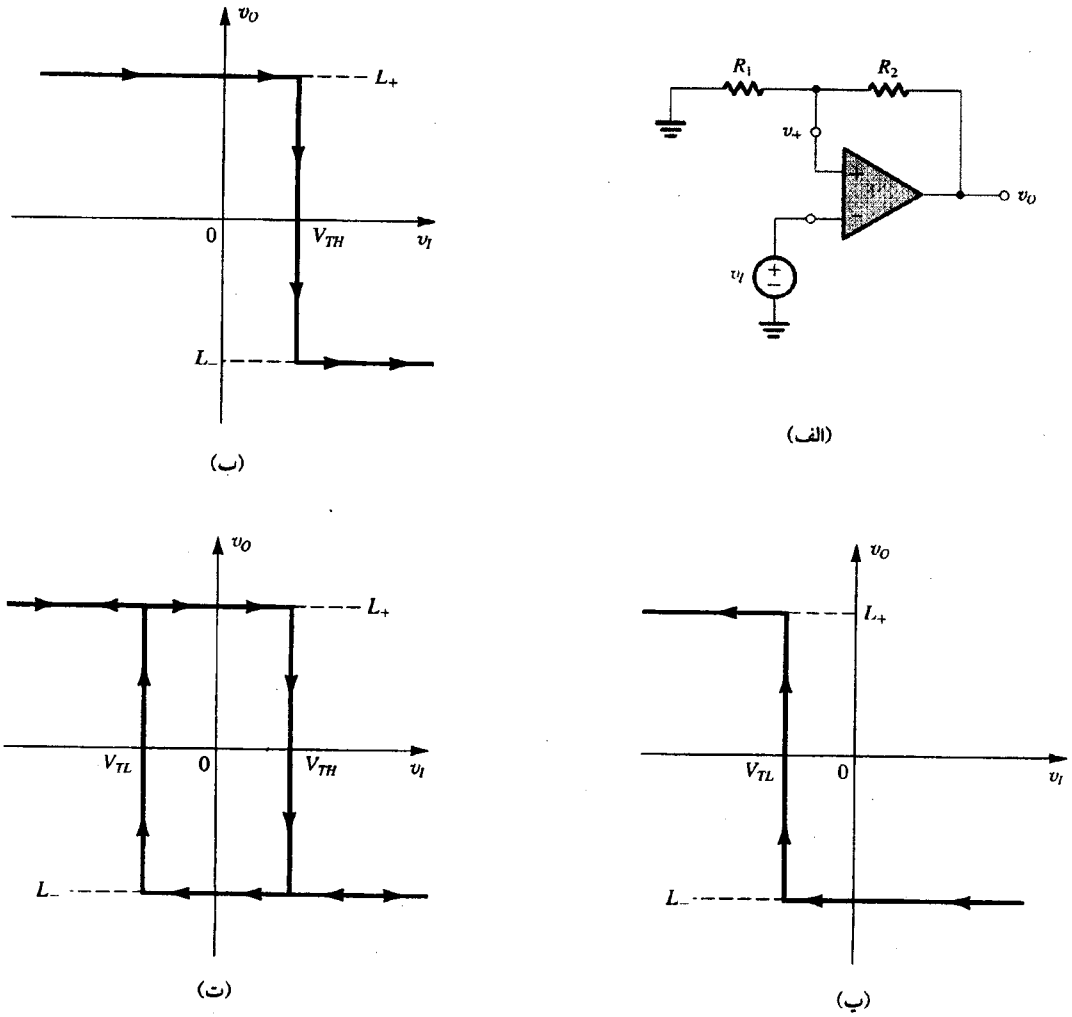
پس نتیجه می‌گیریم که مدار شکل (۱۲-۱۷) دارای دو حالت پایدار است، یکی با اشباع مثبت op-amp، دیگری با اشباع منفی op-amp. مدار می‌تواند در هریک از این دو حالت باشد. همچنین توجه داریم که مدار نمی‌تواند در حالتی که $v_+ = ۰$ و $v_O = ۰$ است برای مدت زمان طولانی بماند. این حالت تعادل ناپایدار است، که هر تحریکی، شبیه آنچه که نویز انجام می‌دهد، سبب حرکت مدار با دو حالت پایدار به یکی از دو وضعیت ثابت آن می‌شود. این مطلب در تباین آشکار با حالت فیدبک منفی می‌باشد که باعث ظهور اتصال کوتاه مجازی در پایانه‌های ورودی op-amp شده و این اتصال کوتاه را در مقابل اغتشاشات حفظ می‌کند. یک شمای فیزیکی برای کار مدار با دو حالت پایدار در شکل (۱۲-۱۸) آمده است.

مشخصهٔ انتقال مدار با دو حالت پایدار

سؤالی که مطرح می‌شود این است که چگونه می‌توان مدار با دو حالت پایدار شکل (۱۲-۱۷) را وادار به تغییر حالت کرد. برای کمک به پاسخ‌دادن



شکل ۱۲-۱۸. تصور فیزیکی نحوهٔ کار مدار با دو حالت پایدار، توپ نمی‌تواند برای مدت زمان طولانی بالای قله بماند (معادل حالت ناپایدار) وجود اغتشاشات اجتناب‌ناپذیر باعث سقوط توپ به یکی از دو طرف می‌شود که برای مدت زمان نامشخص می‌تواند در آن حالت بماند (۲ حالت پایدار)



شکل ۱۹-۱۲. (الف) مدار با دو حالت پایدار شکل (۱۷-۱۲) در حالی که پایانه ورودی منفی op−amp از زمین جداشده و به سیگنال ورودی v_I متصل شده است. **(ب)** مشخصه انتقالی مدار (الف) در حالت افزایش v_I. **(پ)** مشخصه انتقالی در حالت کاهش v_I. **(ت)** مشخصه انتقالی کامل

به این سؤال مشکل، مشخصهٔ انتقال مدار با دو حالت پایدار را بدست می‌آوریم. با توجه به شکل ۱۷-۱۲ دیده می‌شود که یکی از دو گره مدار که به زمین بسته شده است می‌تواند به عنوان پایه ورودی درنظر گرفته شود. هر دو احتمال را درنظر می‌گیریم.

شکل (الف ۱۹-۱۲) مدار با دو حالت پایدار با یک ورودی v_I را که به پایهٔ معکوس‌کنندهٔ op−amp اعمال شده، نشان می‌دهد. برای بدست آوردن مشخصهٔ انتقال $v_O - v_I$، فرض کنید v_O در یکی از دو سطح ممکن خود باشد، مثلاً L_+ و در نتیجه $v_+ = \beta L_+$. حال همچنانکه v_I از ۰ V افزایش می‌یابد. از مدار دیده می‌شود که تا v_I به مقداری که برابر v_I (یعنی βL_+) است نرسد، اتفاقی رخ نخواهد داد. همچنانکه v_I بیشتر از این مقدار می‌شود، یک مقدار ولتاژ منفی بین پایه‌های ورودی op−amp ایجاد می‌شود. این ولتاژ توسط بهرهٔ حلقه باز op−amp تقویت می‌شود و در نتیجه v_O منفی می‌شود. در عوض مقسم ولتاژ سبب منفی‌شدن v_+ می‌شود، در نتیجه ورودی منفی به op−amp افزایش می‌یابد و فرآیند باز تولید ادامه می‌یابد. این فرآیند در اوج خود سبب اشباع op−amp در جهت منفی می‌شود، یعنی با $v_O = L_-$ و در نتیجه، $v_+ = \beta L_-$ است. به راحتی دیده می‌شود که افزایش v_I اثر دیگری روی حالت مدار ندارد. شکل (ب ۱۹-۱۲) مشخصه انتقالی را در حالت افزایش v_I نشان می‌دهد. توجه کنید که مشخصه بصورت یک مقایسه‌کننده با ولتاژ آستانهٔ V_{TH} است که $V_{TH} = \beta L_+$ می‌باشد.

سپس حالتی را که در صورت کاهش v_I رخ می‌دهد، درنظر بگیرید. از آنجا که اکنون $v_+ = \beta L_-$ است، می‌بینیم تا هنگامی که v_I منفی به نقطه‌ای که برابر βL_- شود، برسد، مدار در حالت اشباع منفی باقی می‌ماند. همچنانکه v_I کمتر از این مقدار می‌شود، یک ولتاژ مثبت بین پایه‌های ورودی op−amp ظاهر می‌شود. این ولتاژ توسط بهرهٔ op−amp تقویت می‌شود و در نتیجه یک ولتاژ مثبت در خروجی op−amp پدید می‌آید. عمل باز تولید حلقهٔ فیدبکِ مثبت سبب حرکت مدار به وضعیت اشباع مثبت می‌شود، که در آن $v_O = L_+$ و $v_+ = \beta L_+$ می‌باشد. مشخصه انتقال برای کاهش v_I در شکل (پ ۱۹-۱۲) نشان داده شده است. در این جا نیز دیده می‌شود که مشخصهٔ انتقال مشابه یک مقایسه‌کننده است ولی ولتاژ

آستانه $V_{TL} = \beta L_-$ می‌باشد.

مشخصهٔ انتقال کاملِ، $v_O - v_I$، مدارِ شکل (الف ۱۹-۱۲) را می‌توان توسط ترکیب مشخصه‌های شکل‌های (ب و پ ۱۹-۱۲) بدست آورد، همچنانکه در شکل (ت ۱۹-۱۲) نیز نشان داده شده است. چنانکه مشخص شده، مدار در مقادیر مختلف v_I، بسته به اینکه v_I افزایش یا کاهش می‌یابد، تغییر حالت می‌دهد. در نتیجه گفته می‌شود که مدار از خود **هیسترزیس** نشان می‌دهد، عرض هیسترزیس برابر اختلاف آستانهٔ بالا V_{TH} و آستانهٔ پایین V_{TL} است. همچنین توجه کنید که مدار با دو حالت پایدار یک مقایسه‌کننده با هیسترزیس است. چنانکه به زودی خواهیم دید، افزودن هیسترزیس به مشخصهٔ مقایسه‌کننده در برخی کاربردها بسیار مفید است. نهایتاً، دیده می‌شود مدار با دو حالت پایدار شکل (۱۹-۱۲) با گذشتن v_I از مقدار آستانهٔ مثبت V_{TH} از حالت مثبت ($v_O = L_+$) به حالت منفی ($v_O = L_-$)، سوئیچ می‌کند، و مدار **وارونگر** خوانده می‌شود. این مولتی‌ویبراتور را با مشخصهٔ انتقال ناوارونگر بزودی ارائه خواهیم کرد.

تحریک مدار با دو حالت پایدار

با بازگشت به سؤال چگونگی تغییر حالت مدار با دو حالت پایدار، از مشخصهٔ انتقال شکل (ت ۱۹-۱۲) درمی‌یابیم که اگر مدار در حالت L_+ باشد، می‌تواند توسط اعمال یک ورودی v_I به مقداری بزرگتر از $V_{TH} \equiv \beta L_+$ به حالت منفی L_- تغییر حالت دهد. چنین ورودی سبب ظهور یک ولتاژ منفی بین پایه‌های ورودی op-amp می‌شود که سیکل باز تولید را آماده‌سازی می‌کند تا سبب تغییر حالت به حالت پایدار L_- شود. در اینجا مهم است توجه کنیم که ورودی v_I فقط بازتولید را آماده‌سازی یا تحریک می‌کند. در نتیجه می‌توانیم بدون اثر روی فرآیند بازتولید v_I را برداریم. به عبارت دیگر، v_I می‌تواند یک پالس با دورهٔ کوتاه باشد. در نتیجه سیگنال ورودی v_I به عنوان **سیگنال تحریک** یا به سادگی **تحریک** خوانده می‌شود.

مشخصهٔ شکل (ت ۱۹-۱۲) همچنین نشان می‌دهد که مدار با دو حالت پایدار توسط اعمال سیگنال v_I با دامنه‌ای بزرگتر از آستانهٔ منفی V_{TL} می‌تواند به حالت مثبت ($v_O = L_+$) تغییر کند.

مدار با دو حالت پایدار به عنوان عنصر حافظه

از شکل (ت ۱۹-۱۲) درمی‌یابیم که برای ولتاژهای ورودی در محدودهٔ $V_{TL} < v_I < V_{TH}$، خروجی می‌تواند بسته به اینکه مدار در چه حالتی است، L_+ یا L_- باشد. در نتیجه، برای این حدود ورودی، خروجی توسط مقدار قبلی سیگنالِ تحریک مشخص می‌شود (سیگنال تحریکی که سبب می‌شود تا مدار در حالت فعلی‌اش باشد.) در نتیجه مدار **حافظه** خوانده می‌شود. در حقیقت، مولتی ویبراتور با دو حالت پایدار یک عنصر حافظهٔ پایه در سیستمهای دیجیتال است، همچنانکه در فصل ۱۳ نیز دیده خواهد شد. نهایتاً، توجه کنید که در کاربرد مدارهای آنالوگ، شبیه به آنچه که در این فصل روی آن تأکید داریم، مدار با دو حالت پایدار به عنوان **اشمیت تریگر** شناخته می‌شود.

مدار با دو حالت پایدار با مشخصهٔ انتقال ناوارونگر

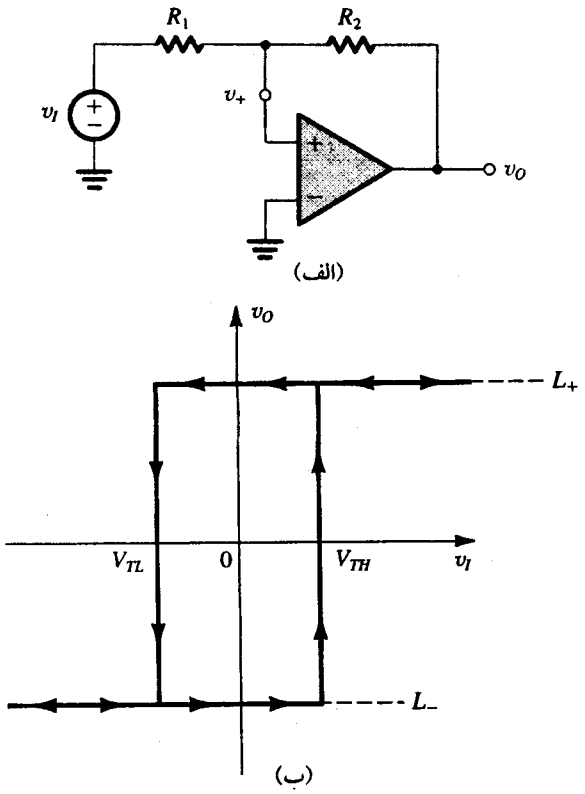
حلقهٔ فیدبک مدار با دو حالت پایدار پایهٔ شکل (۱۷-۱۲) می‌تواند، با اعمال سیگنال ورودی v_I (سیگنال تحریک) به پایهٔ R_1 که به زمین متصل شده است، برای بدست آوردن مداری با مشخصهٔ انتقال ناوارونگر بکار رود. مدار حاصل در شکل (الف ۲۰-۱۲) نشان داده شده است. برای بدست آوردن مشخصهٔ انتقال ابتدا جمع آثار را برای مدار خطی که توسط R_1 و R_2 شکل می‌گیرد بکار می‌بریم، در نتیجه v_+ بر حسب v_I و v_O بصورت زیر بیان می‌شود.

$$v_+ = v_I \frac{R_2}{R_1 + R_2} + v_O \frac{R_1}{R_1 + R_2} \qquad (۱۲-۲۸)$$

از این معادله می‌بینیم که اگر مدار در حالت پایدار مثبت با $v_o = L_+$ باشد مقادیر مثبت v_I اثری نخواهند داشت. برای تحریک مدار به حالت L_- منفی ورودی باید مقداری باشد که سبب کاهش v_+ کمتر از صفر شود. در نتیجه آستانه پایین V_{TL} با جایگذاری $v_O = L_+$، $v_+ = 0$ و $v_I = V_{TL}$ در معادلهٔ (۲۸-۱۲) پیدا می‌شود. نتیجه برابر است با:

$$V_{TL} = -L_+ (R_1 / R_2) \qquad (۱۲-۲۹)$$

بطریق مشابه، معادلهٔ (۲۸-۱۲) نشان می‌دهد هنگامی که مدار در حالت منفی خروجی است ($v_o = L_-$)، مقادیر منفی v_I می‌توانند سبب منفی‌ترشدن v_+ شود که اثری روی کار مدار ندارد. برای شروع فرآیند باز تولید که سبب تغییر به حالت مثبت می‌شود، v_+ باید کمی مثبت شود. مقدار



شکل ۲۰-۱۲. (الف) مدار با دو حالت پایدار بدست آمده از حلقه فیدبک مثبت شکل (۱۷-۱۲) بااعمال v_I از طریق R_1. **(ب)** مشخصه انتقالی مدار **(الف)** ناوارونگر است [آن را با مشخصه وارونگر شکل (ت ۱۹-۱۲) مقایسه کنید]

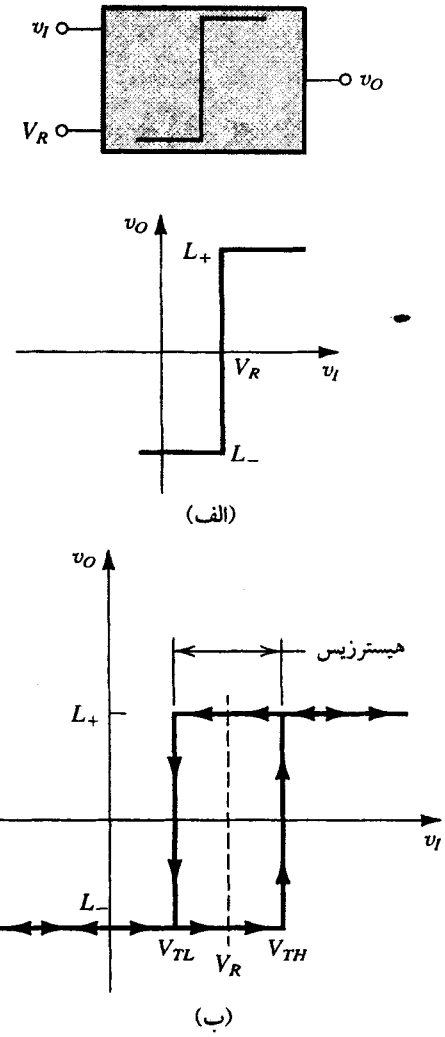
v_I که سبب بروز این حالت می‌شود، برابر ولتاژِ آستانهٔ بالا V_{TH} است، که با جایگذاری $v_O = L_-$ و $v_+ = 0$ از معادلهٔ (۲۸-۱۲) پیدا می‌شود. در نتیجه داریم:

$$V_{TH} = -L_-(R_1/R_2) \qquad (۱۲-۳۰)$$

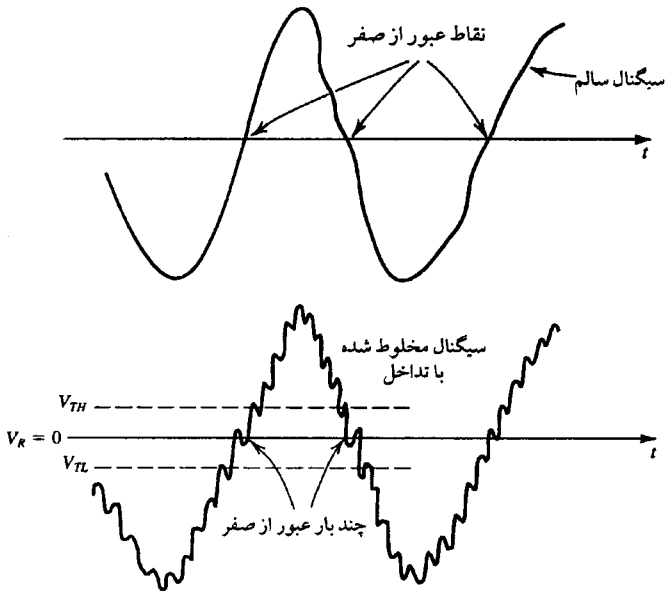
مشخصهٔ انتقالِ کامل مدارِ شکل (الف ۲۰-۱۲) در شکل (ب ۲۰-۱۲) نمایش داده شده است. درمی‌یابیم که سیگنال تحریکِ مثبت v_I (با مقداری بزرگتر از V_{TH}) سبب تغییر حالت مدار به حالت مثبت می‌شود (v_O از L_- به L_+ می‌رود). در نتیجه مشخصهٔ انتقالِ این مدار ناوارونگر است.

کاربرد مدار با دو حالت پایدار به عنوان مقایسه‌کننده

مقایسه‌کننده، یک ساختار مدار آنالوگ است که در مجموعه‌ای از کاربردها از آشکارسازی سطح سیگنال ورودی نسبت به مقدار آستانه، تا طراحی مبدلهای آنالوگ به دیجیتال (A/D) بکار می‌رود (بخش ۱۱-۱۰ را ببینید). گرچه معمولاً به مقایسه‌کننده به عنوان مداری که دارای یک مقدار آستانه است توجه می‌شود (شکل (الف ۲۱-۱۲ را ببینید)، در اغلب کاربردها افزودن هیسترزیس به مشخصهٔ مقایسه‌کننده مفید است. اگر این



شکل ۲۱-۱۲. (الف) نمایش نمودار ساختاری و مشخصه انتقالی مقایسه‌کننده با مرجع یا ولتاژ آستانه V_R. (ب) مشخصه مقایسه‌کننده با هیسترزیس

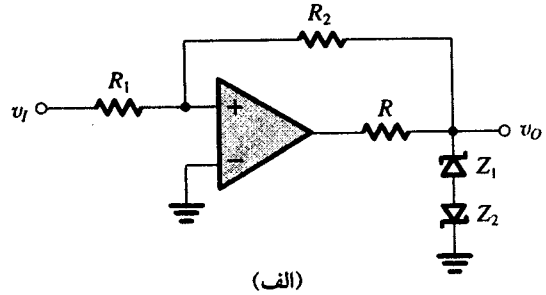


شکل ۲۲-۱۲. تشریح استفاده از هیسترزیس در مشخصه‌های مقایسه‌کننده بعنوان وسیله‌ای برای حذف تداخل

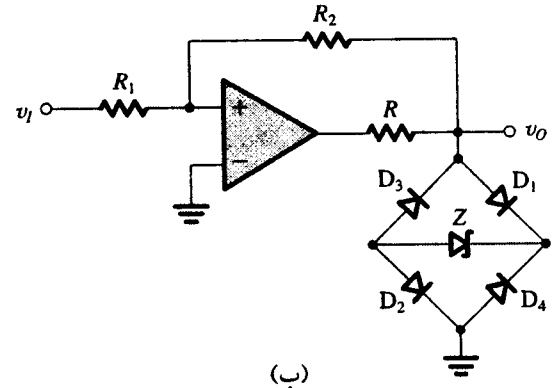
کار انجام شود، مقایسه‌کننده دو مقدار آستانهٔ V_{TL} و V_{TH} را که بطور متقارن حول سطح مرجع موردنظر قرار گرفته‌اند، نشان می‌دهد، چنانکه در شکل (ب ۲۱-۱۲) نیز آمده است. معمولاً V_{TH} و V_{TL} با مقدار کوچکی از هم جدا می‌شوند، مثلاً ۱۰۰ mV.

برای توضیح نیاز به هیسترزیس، یک کاربرد متداول مقایسه‌کننده را درنظر می‌گیریم. به طرح مداری که عبور از صفر یک شکل موج را آشکارسازی کند و تعداد آنها را بشمارد، نیاز داریم. چنین تابعی را می‌توان با استفاده از مقایسه‌کننده‌ای که آستانه‌ای برابر ۰ V دارد، پیاده‌سازی کرد. هر زمان که عبور از صفر رخ دهد، خروجی مقایسه‌کننده تغییر ناگهانی خواهد داشت. از هر تغییر می‌توان برای تولید یک پالس استفاده کرد و پالسها را به شمارنده اعمال کرد.

حال تصور کنید چه اتفاقی رخ خواهد داد اگر سیگنالِ پردازش‌شده دارای تداخل اضافه شده به آن باشد - معمولاً نیز هست - مثلاً فرکانسی بسیار بالاتر از سیگنال، نتیجه می‌شود که سیگنال، محور صفر را حول هر نقطهٔ عبور از صفر که می‌خواهیم آشکار کنیم، چندین بار قطع می‌کند، همچنانکه در شکل (۲۲-۱۲) نشان داده شده است. در نتیجه مقایسه‌کننده به دفعات در هر عبور از صفر تغییر حالت خواهد داد و شمارش ما نادرست خواهدبود. اگر تصویری از دامنهٔ نوک تا نوکِ تداخل داشته باشیم، مشکل را می‌توان با ایجاد هیسترزیسی با عرض مناسب در مشخصهٔ مقایسه‌کننده، حل کرد. سپس، اگر دامنهٔ سیگنال ورودی افزایش یابد، تا زمانی که سطح ورودی بالاتر از آستانهٔ بالا V_{TH} نشود، مقایسه‌کننده با هیسترزیس در حالت پایین باقی خواهد ماند. در نتیجه مقایسه‌کننده حتی در صورتی که سیگنال در اثر تداخل به زیر V_{TH} برسد، در حالت بالا خواهد ماند. اگر سیگنال ورودی به مقداری زیر آستانهٔ پایین V_{TL} برود، مقایسه‌کننده به حالت پایین خواهد رفت. این وضعیت در شکل (۲۲-۱۲)



(الف)



(ب)

شکل ۲۳-۱۲. مدارهای محدودکننده برای بدست‌آوردن سطح خروجی دقیق‌تر برای مدار با دو حالت پایدار درهر مدار مقدار R باید طوری انتخاب شود که جریان لازم را برای صحیح‌کردن کار دیود زنر بدست آید.
(الف) در این مدار $L_+ = (V_{Z1}+V_D)$ و $L_- = -(V_{Z2}+V_D)$ که در آن V_D افت ولتاژ دیود در بایاس مستقیم است. **(ب)** در این مدار $L_+=V_Z+V_{D1}+V_{D2}$ و $L_- = -(V_Z + V_{D3} + V_{D4})$ می‌باشد.

بیان شده است، از آن دیده می‌شود که اضافه‌کردن هیسترزیس به مشخصهٔ مقایسه‌کننده، ابزاری مناسب برای حذف تداخل مهیا می‌کند (در نتیجه نوع دیگری از فیلتر فراهم می‌آید).

دقیق‌ترکردن سطح خروجی

سطوح خروجی مدار با دو حالت پایدار می‌تواند، توسط اتصال پشت سرهم op-amp و مدار محدودکننده دقیقتر از ولتاژهای اشباع op-amp باشد. (برای توصیف مدارهای محدودکننده بخش ۷-۳ را ببینید). دو نوع از این آرایش، در شکل (۲۳-۱۲) نشان داده شده است.

تمرینها

ط ۱۱-۱۲ مدار op-amp شکل (الف ۱۹-۱۲) دارای ولتاژهای اشباع ±۱۳V است. مدار را طوری طراحی کنید که ولتاژهای آستانهٔ ±۵ V بدست آید. برای $R_1 = 10\ k\Omega$ مقدار لازم برای R_2 را بیابید.
جواب. ۱۶ kΩ

ط ۱۲-۱۲ اگر مدار op-amp شکل (الف ۲۰-۱۲) دارای سطوح اشباع خروجی ±۱۰ V باشد، مداری را طراحی کنید که آستانهٔ ±۵ V داشته باشد. مقادیر مؤلفه‌های مناسب را بدست آورید.
جواب. انتخابهای ممکن: $R_1 = 10\ k\Omega$ و $R_2 = 20\ k\Omega$

۱۳-۱۲ مدار با دو حالت پایدار با مشخصهٔ انتقال ناوارونگر را درنظر بگیرید و $L_+ = -L_- = 10V$ و $V_{TH} = -V_{TL} = 5\ V$ قرار دهید. اگر v_I موج مثلثی با متوسط ۰ V، نوکِ دامنهٔ ۱۰ V و دورهٔ تناوب ۱ ms باشد، شکل موج v_O را رسم کنید. بازهٔ زمانی بین عبور از صفر v_I و v_O را بیابید.
جواب. v_O یک موج مربعی با متوسط ۰ V، دامنهٔ ۱۰ V، دورهٔ تناوب ۱ms است و نسبت به v_I دارای ۱۲۵ μs تأخیر است.

۱۴-۱۲ از یک op-amp که دارای سطوح اشباع ±۱۲ V است. بدون فیدبک استفاده شده، که پایهٔ وارونگر ورودی به +۳ V و پایهٔ ناوارونگر ورودی به v_I متصل شده است. کار آن به عنوان یک مقایسه‌کننده را مشخص کنید. L_+، L_- و V_R را همچنانکه در شکل (الف ۲۱-۱۲) آمده است، بدست آورید؟
جواب. +۱۲ V، -۱۲ V، +۳ V

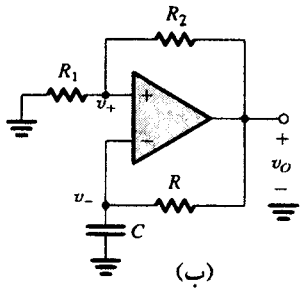
۱۵-۱۲ در مدار شکل (الف ۲۰-۱۲) $L_+ = -L_- = 10\ V$ و $R_1=1k\Omega$ قرار دهید. مقداری را برای R_2 بدست آورید که هیسترزیسی با عرض ۱۰۰mV را نتیجه دهد.
جواب. ۲۰۰ kΩ ❑

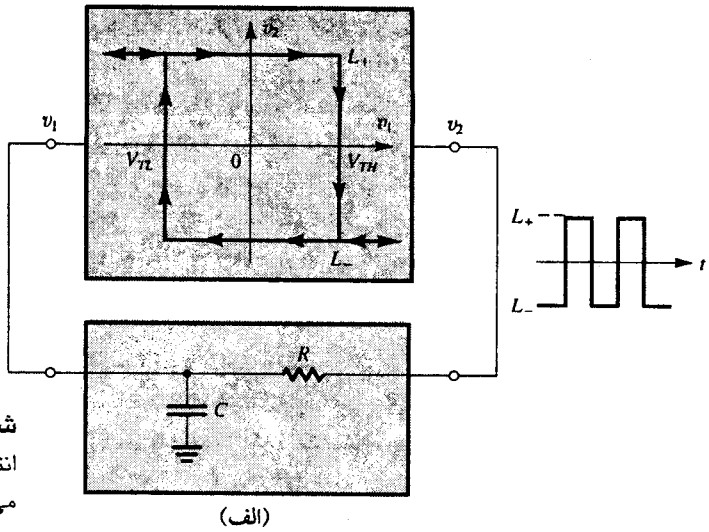
۵-۱۲ تولید شکل موجهای مربعی و مثلثی با استفاده از مولتی ویبراتور ناپایدار

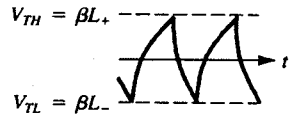
شکل موج مربعی را می‌توان با استفاده از مولتی ویبراتور با دو حالت پایدار که بصورت تناوبی تغییر حالت می‌دهد، تولید کرد. این کار را می‌توان با اتصال مولتی‌ویبراتور با دو حالت پایدار با یک مدار RC در حلقهٔ فیدبک، همچنانکه در شکل (الف ۲۴-۱۲) آمده است، انجام داد. درمی‌یابیم که این مولتی‌ویبراتور دارای مشخصهٔ انتقال وارونگر است و در نتیجه می‌تواند توسط مدارِ شکلِ (الف ۱۹-۱۲) توصیف شود. این کار مدارِ شکل (ب ۲۴-۱۲) را نتیجه می‌دهد. بزودی نشان می‌دهیم که این مدار حالت پایدار ندارد و در نتیجه **مولتی ویبراتور ناپایدار** نامیده می‌شود.

نحوهٔ کار مولتی‌ویبراتور ناپایدار

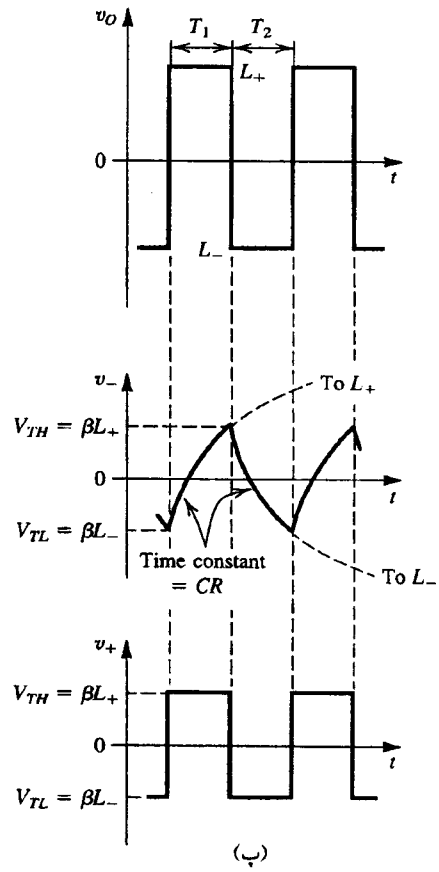
برای درک چگونگی کار مولتی ویبراتور ناپایدار، به شکل (ب ۲۴-۱۲) مراجعه کرده و فرض کنید که خروجی مولتی‌ویبراتور با دو حالت پایدار در یکی از دو حالت پایدارش، مثلاً L_+، باشد. خازن C از طریق مقاومت R با این مقدار شارژ می‌شود. در نتیجه ولتاژ روی C، که به پایهٔ منفی ورودیِ op-amp اعمال می‌شود و در نتیجه با v_- نشان داده می‌شود، به طور نمایی با ثابت زمانی $\tau = CR$ به سمت L_+ خواهد رفت. در همین زمان ولتاژ در پایهٔ ورودیِ مثبت op-amp برابر $v_+ = \beta L_+$ خواهد بود. این وضعیت تا زمانی که ولتاژ خازن به آستانهٔ مثبت V_{TH} که در آن مولتی‌ویبراتور با دو حالت پایدار به حالتِ پایدار دیگر که برای آن $v_O=L_-$ و $v_+=\beta L_-$ است، برسد، ادامه خواهد یافت. سپس دشارژ خازن شروع می‌شود، و ولتاژ v_- آن، به طور نمایی به سمت L_- کاهش می‌یابد







شکل ۲۴-۱۲. (الف) اتصال مولتی‌ویبراتور با دو حالت پایدار با مشخصه انتقالی وارونگر در حلقهٔ فیدبک با یک مدار RC منجر به مولد موج مربعی می‌شود. **(ب)** مدار بدست آمده حاصل از کاربرد مدار شکل (الف ۱۹-۱۲) برای مولتی‌ویبراتور با دو حالت پایدار. **(پ)** شکل موج گره‌های مختلف مدار (ب) این مدار مولتی‌ویبراتور ناپایدار نامیده می‌شود.



این وضعیت جدید تا زمانی که v_- به آستانهٔ منفیِ V_{TL}، که در آن مولتی ویبراتور با دو حالت پایدار به حالت مثبت خروجی می‌رود ادامه می‌یابد، خازن شروع به شارژشدن می‌کند و این دوره خودش را تکرار می‌نماید.

با توجه به توضیح فوق می‌بینیم که مدار ناپایدار یک شکل موج مربعی در خروجی op-amp تولید می‌کند. این شکل موج و شکل موجهایی که در پایه‌های ورودی op-amp وجود دارند، در شکل (پ ۲۴-۱۲) نمایش داده شده‌اند. دورهٔ تناوب T مربوط به موج مربعی بصورت زیر پیدا می‌شود: در بازه شارژ T_1، ولتاژ v_- روی خازن در هر زمان t، با $t = 0$ در آغاز t_1، با رابطهٔ زیر داده شده است (ضمیمه ج را ببینید)

$$v_- = L_+ - (L_+ - \beta L_-)\, e^{-t/\tau}$$

که $\tau = CR$ می‌باشد. جایگذاری $v_- = \beta L_+$ در $t = T_1$ نتیجه می‌دهد:

$$T_1 = \tau \ln \frac{1 - \beta\,(L_- / L_+)}{1 - \beta} \qquad (۱۲\text{-}۳۱)$$

بطریق مشابه، حین بازهٔ زمانی T_2، ولتاژ v_- در هر زمان t، با $t=0$ در آغاز T_2، با رابطهٔ زیر داده می‌شود

$$v_- = L_- - (L_- - \beta L_+)\, e^{-t/\tau}$$

با جایگذاری $v_- = \beta L_-$ در $t = T_2$ داریم:

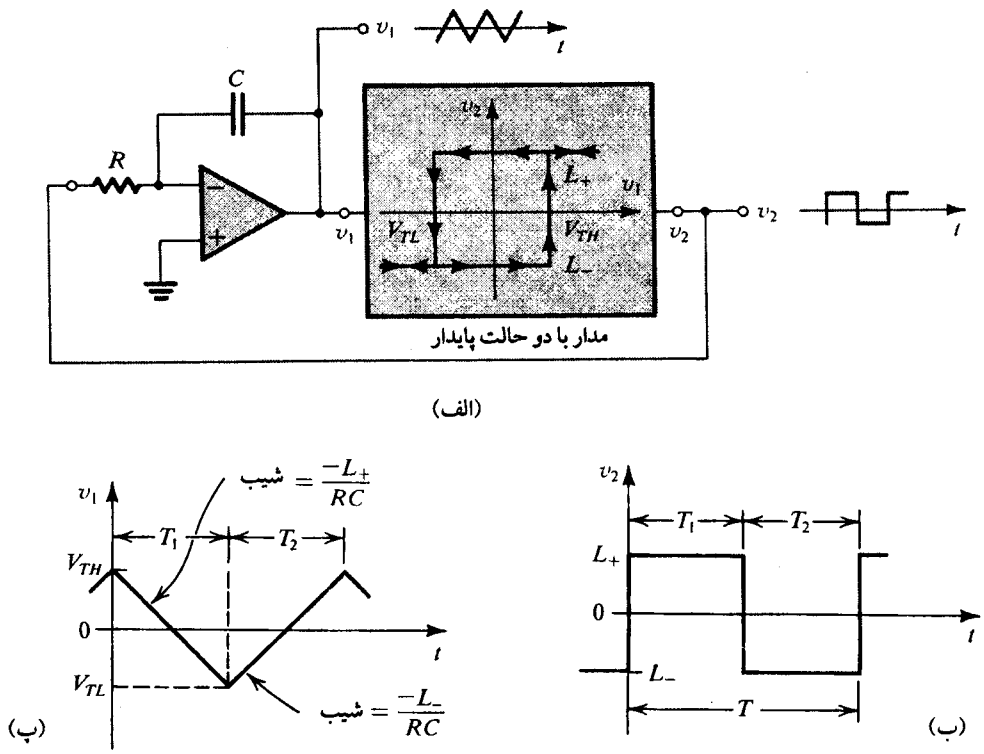
$$T_2 = \tau \ln \frac{1 - \beta\,(L_+ / L_-)}{1 - \beta} \qquad (۱۲\text{-}۳۲)$$

معادلات (۱۲-۳۱) و (۱۲-۳۲) می‌توانند ترکیب شوند تا دورهٔ تناوب $T = T_1 + T_2$ بدست آید. معمولاً $L_+ = -L_-$ در نتیجه موج مربعیِ متقارن با دورهٔ تناوب T با رابطهٔ زیر داده می‌شود.

$$T = 2\tau \ln \frac{1 + \beta}{1 - \beta} \qquad (۱۲\text{-}۳۳)$$

توجه کنید که این مدار موج مربعی می‌تواند به ازاء مقادیر مختلف خازن C (معمولاً ده برابر) و تنظیم پیوسته R (برای داشتن کنترل پیوسته فرکانس در هر دههٔ فرکانس) فرکانس متغیر داشته باشد. همچنین، شکل موج روی C را می‌توان توسط استفاده از مقادیر کوچک برای β، تقریباً مثلثی کرد. بهرحال، شکل موجهای مثلثی با خاصیت خطی بالا با استفاده از شمای توصیف شده بعدی بدست خواهد آمد.

پیش از ترک این بخش، توجه کنید که گرچه مدار ناپایدار حالت پایدار ندارد، ولی دارای دو حالت **شبه پایدار** است و برای مدت زمان اندکی که توسط ثابتِ زمانی شبکهٔ RC و آستانهٔ مولتی ویبراتور با دو حالت پایدار تعیین می‌شود، در هر حالت می‌ماند.



شکل ۲۵-۱۲. طرح عمومی تولید موج مثلثی و مربعی

تمرینها

۱۶-۱۲ برای مدار شکل (ب ۲۴-۱۲)، ولتاژهای اشباع op-amp را ± 10V، $R_1 = 100$ kΩ، $R_2 = R = 1$ MΩ و $C = 0/01\ \mu$F قرار دهید. فرکانس نوسانات را بیابید.

جواب. ۲۷۴ Hz .

۱۷-۱۲ بهبودی را در مدار شکل ب ۲۴-۱۲ درنظر بگیرید که در آن R_1 با یک جفت دیود که بصورت موازی و با جهت معکوس بسته شده‌اند، جایگزین شده است. برای $L_+ = L_- = 12$ V، $R_2 = R = 10$ kΩ، $C = 0/1\mu$F و افت ولتاژ ثابت دیود که با V_D نمایش داده می‌شود، توصیفی برای فرکانس بصورت تابعی از V_D بیابید. اگر در ۲۵°C $V_D = 0/7$V و TC برابر ۲mV/°C− باشد، فرکانس را در ۰ °C، ۲۵ °C، ۵۰ °C و ۱۰۰ °C بیابید. توجه کنید که خروجی این مدار می‌تواند به یک فرکانس متر فرستاده شود که دما را بصورت دیجیتال می‌خواند.

جواب. $f = 500/\ln[(12 + V_D)/(12 - V_D)]$Hz، ۳۹۹۵ Hz، ۴۲۸۱Hz، ۴۶۱۱ Hz، ۵۴۵۱ Hz. ❑

تولید شکل موجهای مثلثی

با جایگزینی مدار پایین‌گذر RC با یک انتگرالگیر می‌توان شکل موج نمایی تولید شده در مدار ناپایدار شکل (۲۴-۱۲) را به مثلثی تغییر داد. (انتگرالگیر یک مدار پایین‌گذر با فرکانس گوشه‌ای در dc است). انتگرالگیر سبب شارژ و دشارژ خطی خازن می‌شود، در نتیجه شکل موج مثلثی بدست خواهد آمد. مدار حاصل در شکل (الف ۲۵-۱۲) نشان داده شده است. درمی‌یابیم به علت وارونگر بودن انتگرالگیر، کافی است مشخصهٔ مدار با دو حالت پایدار را عکس کنیم. در نتیجه این مدار در اینجا از نوع ناوارونگر است و می‌تواند با استفاده از مدار شکل (الف ۲۰-۱۲) پیاده‌سازی شود.

حال نشان می‌دهیم که چگونه حلقهٔ فیدبکِ شکل (الف ۲۵-۱۲) نوسان می‌کند و در خروجی انتگرالگیر شکل موج مثلثی v_1 و در خروجی مدار با دو حالت پایدار شکل موج مربعی v_2 را تولید می‌کند: فرض کنید خروجی مدار با دو حالت پایدار در L_+ باشد. جریانی برابر L_+/R از طریق خازن C به مقاومت R جریان خواهد یافت، که سبب کاهش خطی خروجی انتگرالگیر با شیب $-L_+/CR$ خواهد شد، همچنانکه در شکل پ ۲۵-۱۲ نیز نشان داده شده است. این حالت تا زمانی که خروجی انتگرالگیر به آستانهٔ پایین V_{TL} مدار با دو حالت پایدار، که در آن مدار تغییر حالت می‌دهد، و خروجی آن منفی و برابر $-L_-$ می‌شود، ادامه می‌یابد. در این لحظه جهت جریان عبوری از R و C عکس خواهد شد، و مقدار آن برابر $|L_-|/R$ می‌شود. این نتیجه می‌دهد که خروجی انتگرالگیر بصورت خطی با شیب $|L_-|/CR$ افزایش خواهد یافت. این حالت تا زمانی که ولتاژ خروجی انتگرالگیر به آستانهٔ مثبت مدار با دو حالت پایدار V_{TH} برسد، ادامه می‌یابد. در این نقطه مدار تغییر حالت می‌دهد، خروجی آن مثبت (L_+) می‌شود، جهت جریان به انتگرالگیر معکوس شده و خروجی انتگرالگیر به طور خطی کاهش یافته، دورهٔ جدیدی شروع می‌شود.

با استفاده از مبحث فوق بدست آوردن عبارتی برای دورهٔ تناوب T شکل موجهای مثلثی و مربعی نسبتاً آسان است. در بازه زمانی T_1، از

شکل (پ ۲۵-۱۲) داریم:

$$\frac{V_{TH}-V_{TL}}{T_1}=\frac{L_+}{CR}$$

با استفاده از آن T_1 را بدست می‌آوریم

$$T_1 = CR\frac{V_{TH}-V_{TL}}{L_+} \qquad (۱۲-۳۴)$$

بطور مشابه درمدت زمان T_2 داریم

$$\frac{V_{TH}-V_{TL}}{T_2}=\frac{-L_-}{CR}$$

که T_2 بصورت زیر بدست می‌آید:

$$T_2 = CR\frac{V_{TH}-V_{TL}}{-L_-} \qquad (۱۲-۳۵)$$

بنابراین برای دستیابی به موجهای مربعی متقارن مدار با دو حالت پایدار را طوری طراحی کنیم که $L_+ = -L_-$ باشد.

تمرین

ط ۱۸-۱۲ مدار شکل (الف ۲۵-۱۲) و مدار با دو حالت پایدار تحقق یافته با مدار شکل (الف ۲۰-۱۲) را درنظر بگیرید. اگر ولتاژ اشباع op-amp ها ± 10 V بوده و خازن $C=0/01\mu F$ و مقاومت $R_1=10k\Omega$ باشند. مقادیر R و R_2 (توجه کنید که R_1 و R_2 مقاومتهای مربوط به مدار با دو حالت پایدار شکل (الف ۲۰-۱۲) می‌باشند) را طوری پیدا کنید که فرکانس نوسان 1kHz، و دامنهٔ نوک به نوک موج مثلثی 10V باشد.

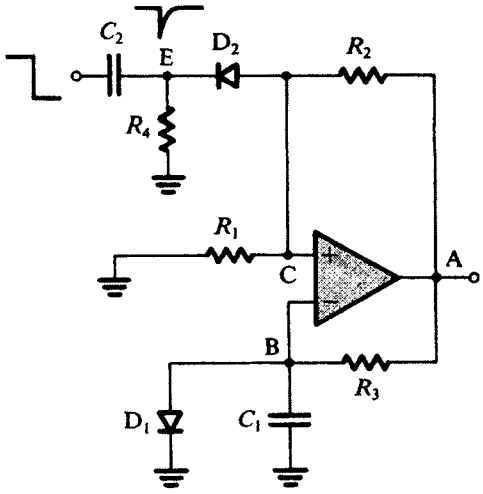
جواب. 20 kΩ ،50 kΩ ❑

۶-۱۲ تولید پالس استانداردشده - مولتی‌ویبراتور با یک حالت پایدار

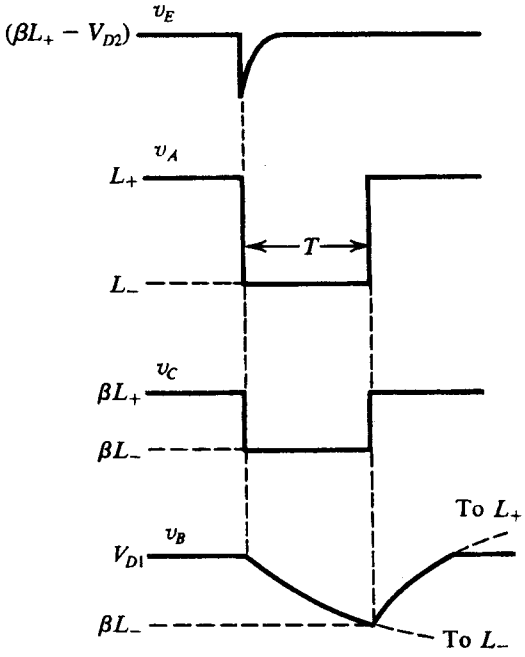
در بعضی از کاربردها به یک پالس با عرض و ارتفاع مشخص در پاسخ به یک سیگنال تحریک نیاز داریم. چون عرض پالس قابل پیش‌بینی است لبه پایین رونده آن می‌تواند جهت مصارف زمان‌بندی مورد استفاده قرار گیرد - یعنی شروع یک کار خاص در زمان مشخص‌شده. چنین پالس استانداردشده‌ای را می‌توان با نوع سوم مولتی‌ویبراتور یعنی **مولتی‌ویبراتور با یک حالت پایدار** تولید کرد.

این مولتی‌ویبراتور دارای یک حالت پایدار است که می‌تواند برای مدت زمان نامشخص در آن باقی بماند. همچنین یک حالت شبه پایدار دارد که در صورت تحریک به آن حالت رفته و برای مدت زمان از پیش‌تعیین شده‌ای که مساوی عرض پالس خروجی موردنیاز است در آن حالت می‌ماند. پس از پایان این بازهٔ زمانی مولتی‌ویبراتور به حالت پایدار خود بازگشته، در همان حالت می‌ماند و آمادهٔ دریافت پالس تحریک بعدی می‌شود. این عمل مولتی‌ویبراتور با یک حالت پایدار باعث شده تا نام تک‌ضربه نیز بخود بگیرد.

شکل (الف ۲۶-۱۲) مدار را با یک حالت پایدار با op-amp نشان



(الف)



(ب)

شکل ۲۶-۱۲. (الف) مدار با یک حالت پایدار با op-amp.
(ب) شکل موج سیگنالهای مدار (الف)

می‌دهد. می‌توان دید که این مدار، شکل تکمیل‌شدهٔ مدار ناپایدار شکل (ب ۲۴-۱۲) است. مشخصاً دیود محدودکنندهٔ D_1 با خازن C_1 موازی شده و مدار تحریک مرکب از خازن C_2 و مقاومت R_4 و دیود D_2 به پایانه ورودی ناوارونگر op-amp متصل شده است. مدار به شکل زیر عمل می‌کند: در حالت پایدار، که در غیاب سیگنال تحریک حاصل می‌شود خروجی op-amp در L_+ بوده و D_1 از طریق R_3 هدایت می‌کند و بدین ترتیب ولتاژ خروجی را به ولتاژ افت دیود محدود می‌کند. R_4 را بسیار بزرگتر از R_2 انتخاب می‌کنیم بنابراین دیود D_2 جریان بسیار کمی را هدایت کرده، ولتاژ v_C بسیار نزدیک به ولتاژ تعیین شده توسط مقسم ولتاژ R_1، R_2 خواهد بود. $v_C = \beta L_+$ است که در آن $\beta = R_1/(R_1+R_2)$

می‌باشد. چون $v_C = \beta L_+$ بزرگتر از V_{D1} است این حالت پایدار باقی می‌ماند.

اکنون استفاده از پلهٔ منفی را در ورودی تحریک درنظر بگیرید و به شکل موجهای سیگنال که در شکل (ب ۲۶-۱۲) به نمایش درآمده است نگاه کنید. لبه تحریک منفی از طریق خازن C_2 به دیود D_2 اعمال می‌شود، D_2 بشدت هدایت کرده، ولتاژ نقطه C را پایین می‌آورد. اگر سیگنال تحریک دارای ارتفاع کافی باشد که باعث شود v_C از v_B پایین‌تر رود، op-amp ولتاژ ورودی منفی خالص را خواهدداد و خروجی آن به L_- سوئیچ خواهد شد. به دنبال آن v_C به βL_- خواهد رسید که op-amp را در این حالت جدید نگه می‌دارد. توجه کنید در این حالت D_2 قطع شده و مدار را از هرگونه تغییری در پایانه ورودی تحریک جدا می‌کند.

ولتاژ منفی A باعث خاموش‌شدن D_1 شده و C_1 با ثابت زمانی C_1R_3 شروع به دشارژ نمایی به سمت L_- می‌کند. حال، مولتی‌ویبراتور با یک حالت پایدار در حالت شبه پایدار است. این حالت تا زمانی که v_B کمتر از v_C یعنی βL_- شود باقی می‌ماند. در این لحظه خروجی op-amp به L_+ سوئیچ کرده و ولتاژ نقطه C به βL_+ برمی‌گردد، سپس خازن C_1 تا L_+ شارژ می‌شود، دیود D_1 روشن شده و مدار به حالت پایدار خود بازمی‌گردد.

از شکل (ب ۲۶-۱۲) درمی‌یابیم که در مدت زمان حالت شبه پایدار یک پالس منفی در خروجی تولید می‌شود. دورهٔ T پالس از شکل موج‌نمایی v_B بدست می‌آید،

$$v_B(t) = L_- - (L_- - V_{D1})\, e^{-t/C_1R_3}$$

از تعویض $v_B(T) = \beta L_-$ داریم:

$$\beta L_- = L_- - (L_- - v_{D1})\, e^{-T/C_1R_3}$$

که نتیجه می‌دهد:

$$T = C_1R_3 \ln\left(\frac{V_{D1} - L_-}{\beta L_- - L_-}\right) \qquad (۱۲-۳۶)$$

در حالت $V_{D1} \ll |L_-|$ این عبارت بصورت زیر خلاصه می‌شود

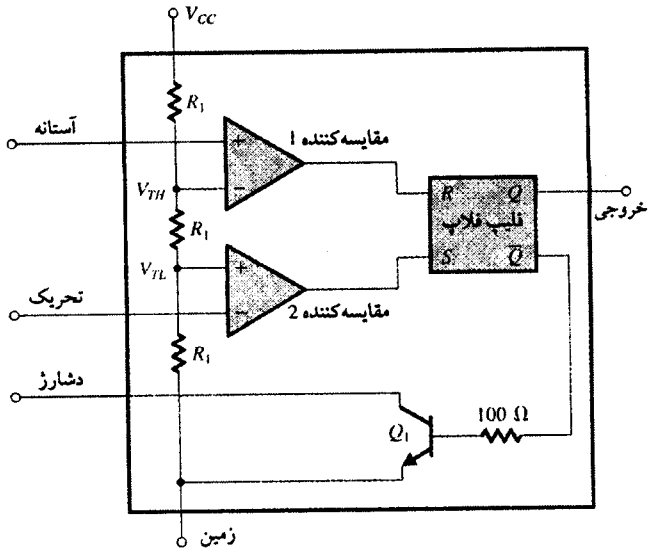
$$T \cong C_1R_3 \ln\left(\frac{1}{1-\beta}\right) \qquad (۱۲-۳۷)$$

سرانجام، دقت کنید که مدار با یک حالت پایدار نباید قبل از دشارژ کامل C_1 تا V_{D1}، مجدداً تحریک شود. وگرنه پالس خروجی بدست آمده طبیعی نخواهد بود. زمان دشارژ، **دوره تناوب بازگشت** نامیده می‌شود. چندین تکنیک مداری برای کوتاه‌کردن این زمان وجود دارد.

تمرین

۱۲-۱۹ در مدار با یک حالت پایدار شکل (الف ۲۶-۱۲) مقدار R_3 را که منجر به پالس خروجی $100\ \mu S$ برای $C_1 = 0.1\ \mu F$، $\beta = 0.1$، $v_D = 0.7V$ و $L_+ = -L_- = 12\ V$ شود بدست آورید.

جواب. $6171\ \Omega$ ❑



شکل ۲۷-۱۲. نمایش نمودار ساختاری مدار داخلی 555 IC

۱۲-۷ تایمرهای مدار مجتمع

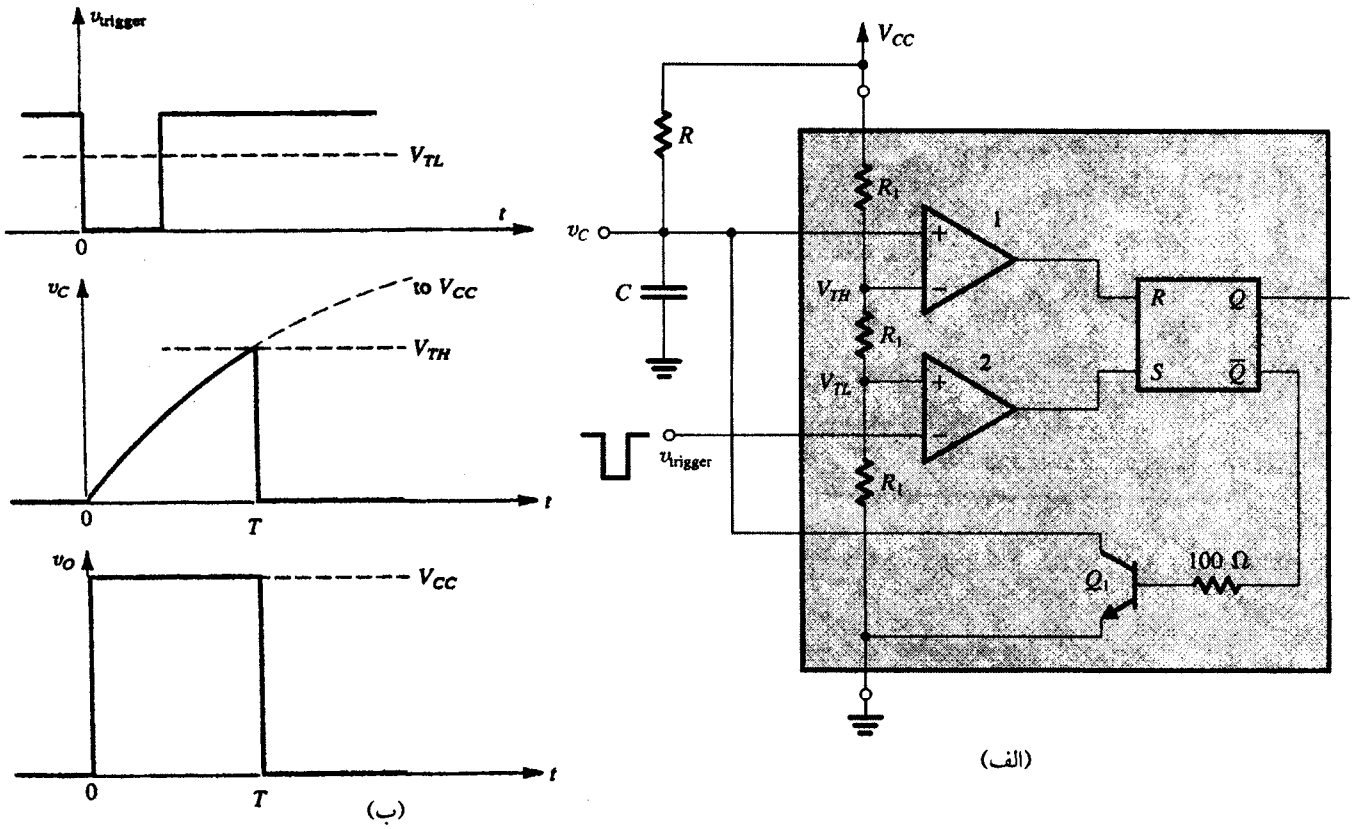
بسته‌های مدار مجتمع تجاری موجود شامل یک محفظهٔ مداری جهت پیاده‌سازی مولتی‌ویبراتورهای با یک حالت پایدار و ناپایدار با مشخصات دقیق می‌باشند. در این بخش معروفترین این IC ها یعنی **تایمر 555** را بررسی می‌کنیم که توسط شرکت Signetic بصورت مدار مجتمع دو قطبی در سال ۱۹۷۲ عرضه شد. 555 در تکنولوژی CMOS نیز از سوی چندین کارخانه سازنده ارائه شده است.

مدار 555

شکل (۲۷-۱۲) نمایش نمودار ساختاری مدار تایمر 555 می‌باشد. مدار شامل دو مقایسه‌کننده، یک فیلیپ فلاپ SR و یک ترانزیستور Q_1 است که بصورت سوئیچ عمل می‌کند. یک منبع تغذیه با ولتاژ 5 V برای کارکردن مدار لازم است. مدار مقسم ولتاژ مقاومتی شامل سه مقاومت مساوی R_1 به منبع تغذیه متصل شده و ولتاژ مرجع (آستانه) را برای دو مقایسه‌کننده فراهم می‌کند. این آستانه‌ها $V_{TH} = \frac{2}{3}V_{CC}$ برای مقایسه‌کننده ۱ و $V_{TL} = \frac{1}{3}V_{CC}$ برای مقایسه‌کنندهٔ ۲ می‌باشد.

فلیپ فلاپ SR را در فصل ۱۳ بررسی می‌کنیم. در اینجا کافیست بدانیم که یک فلیپ فلاپ SR (که قفل هم نامیده می‌شود) یک مدار با دو حالت پایدار است که خروجی‌های متمم Q و $\bar{Q}$ دارد. در حالت set، خروجی Q در حالت «بالا» (تقریباً مساوی V_{CC}) و $\bar{Q}$ «پایین» است (تقریباً مساوی با 0 V). در حالت پایدار دیگر یا reset خروجی Q پایین و خروجی $\bar{Q}$ بالاست. فلیپ فلاپ با اعمال ولتاژ بالا (V_{CC}) به پایانهٔ ورودی set یعنی S به حالت set می‌رود. برای reset کردن فلیپ فلاپ، یک سطح بالا به پایانهٔ ورودی reset یعنی R اعمال می‌شود. توجه کنید که پایانه‌های ورودی Set و reset فلیپ فلاپ در مدار 555 بترتیب به خروجی‌های مقایسه‌کننده ۱ و ۲ متصل شده‌اند.

پایانه ورودی مثبت مقایسه‌کنندهٔ ۱ به یک پایانهٔ خارجی بسته 555 متصل



شکل ۲۸-۱۲. (الف) تایمر 555 در حالت مولتی ویبراتور با یک حالت پایدار **(ب)** شکل موجهای مدار (الف)

شده است که به آن پایه آستانه می‌گویند. بطور مشابه پایانه ورودی منفی مقایسه‌کننده ۲ به یک پایانهٔ خارجی دیگر بنام تحریک و کلکتور Q_1 به پایانه‌ای به نام دشارژ متصل است. سرانجام خروجی Q فلیپ فلاپ به پایانه خروجی IC تایمر به نام «خروجی» متصل می‌شود.

پیاده‌سازی مولتی‌ویبراتور با یک حالت پایدار با استفاده از 555 IC

شکل (الف ۲۸-۱۲) پیاده‌سازی مولتی ویبراتور با یک حالت پایدار را با استفاده از 555 IC و مقاومت خارجی R و خازن خارجی C نشان می‌دهد. در حالت پایدار فلیپ فلاپ در حالت reset است و بنابراین خروجی $\bar{Q}$، بالاست که باعث روشن‌شدن ترانزیستور Q_1 می‌شود. به اشباع‌رفتن Q_1 باعث صفرشدن ولتاژ v_C و در نتیجه آن، سطح پایین در خروجی مقایسه‌کنندهٔ ۱ می‌شود. ولتاژ پایه تحریک که با $v_{\text{تحریک}}$ مشخص می‌شود در حالت بالا نگهداشته می‌شود (بیشتر از V_{TL})، بنابراین خروجی مقایسه‌کننده ۲ در حالت پایین است. سرانجام توجه کنید چون فلیپ فلاپ در حالت reset است، Q در حالت پایین بوده و v_O نزدیک به صفر است.

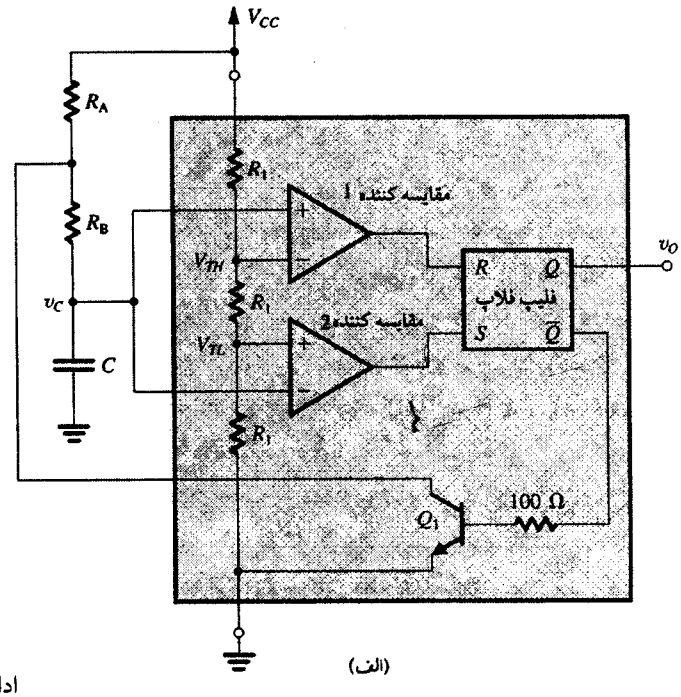
برای تحریک مولتی‌ویبراتور با یک حالت پایدار، یک پالس منفی به پایه تریگر اعمال می‌شود. زمانی که $v_{\text{تحریک}}$ از V_{TL} کمتر شود خروجی مقایسه‌کننده ۲ به حالت بالا می‌رود که باعث set شدن فلیپ فلاپ می‌گردد. خروجی Q به حالت بالا رفته، v_O نیز به حالت بالا می‌رود. بنابراین $\bar{Q}$ در حالت پایین بوده و ترانزیستور Q_1 خاموش می‌شود. حال خازن C از طریق مقاومت R شروع به شارژشدن می‌کند و v_C مطابق شکل (ب ۲۸-۱۲) تقریباً تا V_{CC} بالا می‌رود. مولتی ویبراتور اکنون در حالت شبه پایدار است. این حالت تا زمانی باقی می‌ماند که v_C به آستانه مقایسه‌کننده ۱ یعنی V_{TH} رسیده و از آن بیشتر شود که باعث بالا رفتن خروجی مقایسه‌کنندهٔ ۱ و Reset شدن فلیپ فلاپ می‌شود. حال، خروجی $\bar{Q}$ فلیپ فلاپ به حالت بالا رفته ترانزیستور Q_1 را روشن می‌کند. ترانزیستور Q_1 بسرعت خازن C را دشارژ می‌کند و v_C صفرولت می‌شود. هنگامی که فلیپ فلاپ Reset است خروجی Q پایین است و بنابراین v_O به صفر ولت برمی‌گردد. اکنون مولتی‌ویبراتور به حالت پایدار خود برگشته و آمادهٔ پالس تحریک بعدی است.

از مطالب بالا درمی‌یابیم که مولتی‌ویبراتور با یک حالت پایدار پالس خروجی v_O مطابق شکل (ب ۲۸-۱۲) تولید می‌کند. عرض پالس، T، مدت زمان ماندن مولتی ویبراتور در حالت شبه پایدار است. با رجوع به شکل (ب ۲۸-۱۲) می‌توان این زمان را تعیین کرد. این لحظه زمانی است که پالس تحریک در $t = ۰$ اعمال می‌شود. شکل موج نمایی v_C به این صورت بیان می‌شود:

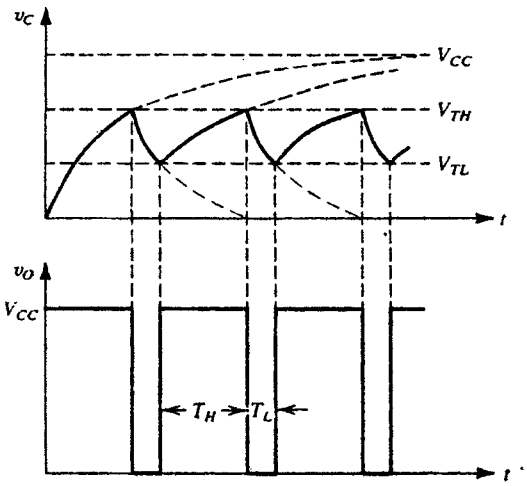
$$v_C = V_{CC}(۱ - e^{-t/CR}) \qquad (۱۲-۳۸)$$

با جانشینی $v_C = V_{TH} = \frac{۲}{۳}V_{CC}$ در $t = T$ داریم:

$$T = CR \ln ۳ \cong ۱/۱\, CR \qquad (۱۲-۳۹)$$



(الف)



(ب)

شکل ۲۹-۱۲. (الف) تایمر 555 در حالت مولتی ویبراتور ناپایدار (ب) شکل موجهای مدار (الف)

بنابراین عرض پالس توسط عناصر خارجی C و R تعیین می‌شود که می‌توان برای مقادیر دقیق آنها را انتخاب کرد.

مولتی‌ویبراتور ناپایدار با استفاده از 555 IC

شکل (الف ۲۹-۱۲) مدار یک مولتی‌ویبراتور ناپایدار را با 555 IC، دو مقاومت خارجی R_A و R_B و خازن خارجی C نشان می‌دهد. برای فهمیدن نحوهٔ کار مدار به شکل موجهای رسم شده در شکل (ب ۲۹-۱۲) نگاه کنید. فرض کنید در ابتدا خازن C دشارژ و فلیپ فلاپ set باشد. بنابراین v_O بالا و Q_1 خاموش است. خازن C از طریق مقاومتهای سری‌شدهٔ R_A و R_B شارژ شده، ولتاژ روی آن، v_C، بطور نمایی بطرف V_{CC} زیاد می‌شود. زمانی که v_C به V_{TL} برسد خروجی مقایسه‌کننده ۲ به حالت پایین می‌رود. اما این امر تأثیری بر کار مدار نمی‌گذارد و فلیپ فلاپ همچنان در حالت set باقی ماند تا اینکه v_C به آستانهٔ مقایسهٔ‌کنندهٔ ۱، V_{TH} رسیده و از آن فراتر رود. در این لحظه خروجی مقایسه‌کننده ۱ به حالت بالا رفته و فلیپ فلاپ را reset می‌کند. بنابراین v_O در حالت پایین و $\bar{Q}$ در حالت بالا قرار گرفته و ترانزیستور Q_1 روشن می‌شود. اشباع ترانزیستور باعث می‌شود ولتاژ تقریباً صفرولت روی گره مشترک R_A و R_B ظاهر شود. بنابراین خازن C از طریق R_B و کلکتور Q_1 شروع به دشارژ می‌نماید. ولتاژ v_C بطور نمایی با ثابت زمانی CR_B بطرف صفرولت کاهش می‌یابد. هنگامی که v_C به آستانهٔ مقایسه‌کننده ۲، V_{TL}، برسد، خروجی مقایسه‌کننده ۲ به حالت بالا رفته و فلیپ فلاپ را set می‌کند. سپس خروجی v_O در حالت بالا و $\bar{Q}$ در حالت پایین قرار گرفته و ترانزیستور Q_1 خاموش می‌شود. خازن C از طریق معادل سری R_A و R_B شروع به شارژ شدن کرده، ولتاژ آن بطور نمایی با ثابت زمانی $C(R_A + R_B)$ بطرف V_{CC} زیاد می‌شود. این افزایش تا رسیدن v_C به V_{TH} ادامه می‌یابد. در این لحظه خروجی مقایسه‌کننده ۱ به حالت بالا رفته، فلیپ فلاپ را reset می‌کند و این سیکل ادامه پیدا می‌کند.

از مطالب بالا متوجه می‌شویم که مدار شکل (الف ۲۹-۱۲) نوسان کرده و در خروجی خود شکل موج مربعی تولید می‌نماید. فرکانس نوسان بطریقهٔ زیر تعیین می‌شود: با رجوع به شکل (ب ۲۹-۱۲) درمی‌یابیم که خروجی در مدت زمان T_H در حالت بالاست یعنی هنگامی که V_{TL} به V_{TH} می‌رسد. افزایش نمایی v_C بصورت زیر مشخص می‌شود:

$$v_C = V_{CC} - (V_{CC} - V_{TL})\, e^{-t/C(R_A+R_B)} \qquad (۱۲-۴۰)$$

$t = ۰$ لحظه‌ای است که بازهٔ زمانی T_H آغاز می‌شود. با جانشینی $v_C = V_{TH} = \frac{۲}{۳} V_{CC}$ در $t = T_H$ و $V_{TL} = \frac{۱}{۳} V_{CC}$ داریم:

$$T_H = C(R_A+R_B)\ \ln ۲ \cong ۰/۶۹\, C\,(R_A + R_B) \qquad (۱۲-۴۱)$$

همچنین توجه کنید در شکل (ب ۲۹-۱۲)، v_O در مدت زمان T_L در حالت پایین است یعنی زمانی که v_C از V_{TH} به V_{TL} می‌رسد. کاهش نمایی v_C بصورت زیر مشخص می‌شود:

$$v_C = V_{TH}\, e^{-t/CR_B} \qquad (۱۲-۴۲)$$

$t = ۰$ لحظهٔ شروع بازهٔ زمانی T_L درنظر گرفته شده است. با جانشینی $v_C = V_{TL} = \frac{۱}{۳} V_{CC}$ در $t = T_H$ و $V_{TH} = \frac{۲}{۳} V_{CC}$ داریم:

$$T_L = CR_B \ln ۲ \cong ۰/۶۹\, CR_B \qquad (۱۲-۴۳)$$

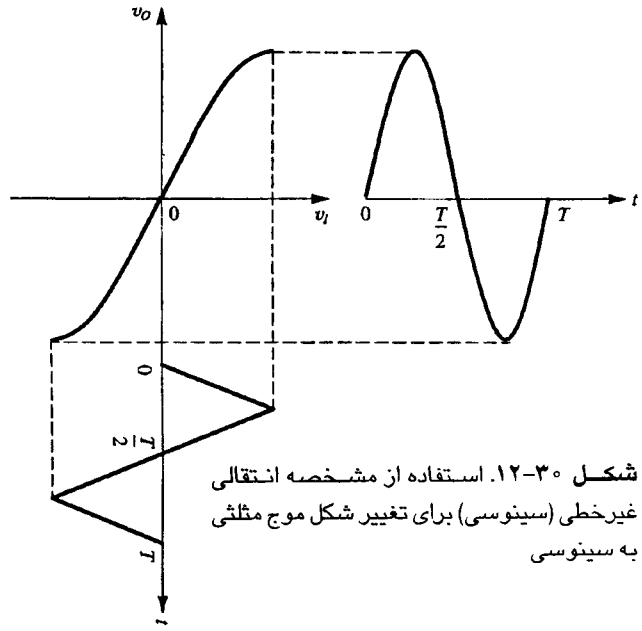
از ترکیب معادله‌های (۴۱-۱۲) و (۴۳-۱۲) با یکدیگر دورهٔ تناوب T موج مربعی خروجی بصورت زیر بدست می‌آید:

$$T = T_H + T_L = ۰/۶۹\, C\,(R_A + ۲R_B) \qquad (۱۲-۴۴)$$

همچنین duty cycle موج مربعی خروجی از معادله (۴۱-۱۲) و (۴۳-۱۲) بدست می‌آید:

$$\text{Duty Cycle} \equiv \frac{T_H}{T_H + T_L} = \frac{R_A + R_B}{R_A + ۲R_B} \qquad (۱۲-۴۵)$$

توجه کنید که duty cycle همیشه بزرگتر از ۰/۵ (۵۰٪) خواهد بود و اگر R_A بسیار کوچکتر از R_B باشد، به ۰/۵ نزدیک می‌شود.



شکل ۳۰-۱۲. استفاده از مشخصه انتقالی غیرخطی (سینوسی) برای تغییر شکل موج مثلثی به سینوسی

تمرینها

۲۰-۱۲ با استفاده از خازن $C = 10$ nF مقدار R را برای داشتن پالس خروجی $100\ \mu s$ درمدار با یک حالت پایدار شکل (الف ۲۸-۱۲) بدست آورید.

جواب. $9/1$ kΩ

ط ۲۱-۱۲ در مدار شکل (الف ۲۹-۱۲) با استفاده از خازن ۱۰۰۰ PF مقادیر R_A و R_B را برای فرکانس نوسان ۱۰۰ kHz و dutycycle برابر با ۷۵٪ بدست آورید.

جواب. $7/2$ kΩ، $3/6$ kΩ ❑

۸-۱۲ مدارهای سازندهٔ شکل موج غیرخطی

از ترکیب دیودها یا ترانزیستورها با مقاومتها می‌توان شبکه‌های دوقطبی غیرخطی با مشخصه‌های انتقالی دلخواه بوجود آورد. این شبکه‌های دوقطبی در **سازنده‌های شکل موج** بکار می‌روند - یعنی با تغییر شکل موج ورودی با تغییر شکل موج ورودی با یک روش از پیش‌تعیین شده شکل موج دلخواه را در خروجی تولید می‌نمایند. در این بخش این کاربرد را با یک مثال محسوس توضیح می‌دهیم: **سازندهٔ موج سینوسی**. هدف از این مدار تغییر شکل سیگنال موج مثلثی و تبدیل آن به موج سینوسی است. سازندهٔ شکل موج سینوسی با وجود سادگی، یکی از قسمتهای تشکیل‌دهنده عملی است که به نحو گسترده‌ای در مولدهای تابع بکار رفته است. این روش تولید موج سینوسی با آنچه که در نوسان سازهای خطی بکار می‌رود متباین است. (بخشهای ۱-۱۲ تا ۳-۱۲ را ببینید). اگرچه نوسان سازهای خطی، موج سینوسی دقیقی تولید می‌کنند اما در فرکانس پایین راضی‌کننده نیستند. علاوه بر آن، معمولاً تنظیم آنها در سراسر گسترهٔ فرکانسی کاری مشکل است. در ادامهٔ مطلب، دو تکنیک متمایز برای سازنده‌های شکل موج سینوسی را شرح می‌دهیم.

روش نقطهٔ شکست

در روش نقطه شکست مشخصه انتقالی غیرخطی خواسته شده [در بحث ما تابع سینوسی شکل (۳۰-۱۲)] بصورت یک منحنی خطی قطعه‌ای پیاده‌سازی می‌شود. دیودها بصورت سوئیچ عمل کرده و در نقاط شکست مختلف مشخصه انتقالی روشن می‌شوند. بنابراین سوئیچینگ در مقاومتهای اضافی مدار باعث تغییر شیب مشخصه انتقالی می‌شود.

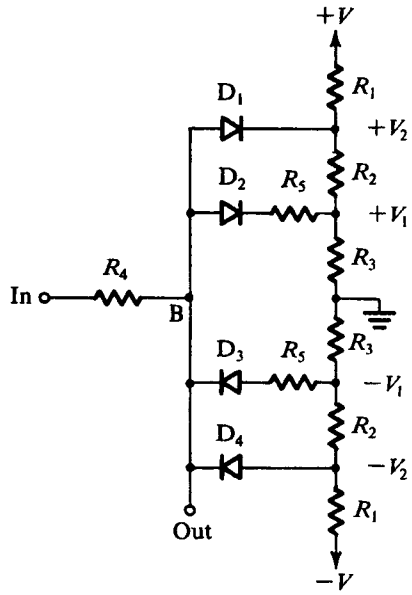
مدار شکل (الف ۳۱-۱۲) را درنظر بگیرید. این مدار شامل یک رشته مقاومت متصل شده به منبع تغذیه $V+$ و $V-$ بصورت متقارن است. هدف از این تقسیم ولتاژ، تولید ولتاژهای مرجع برای تعیین نقاط شکست در مشخصه انتقالی می‌باشد. در مثال ما این ولتاژهای مرجع با V_2+ ، V_1+ و V_1- و V_2- مشخص شده‌اند. توجه کنید که کل مدار متقارن است و با یک موج مثلثی متقارن راه‌اندازی شده، موج سینوسی متقارن تولید می‌کند. مدار هریک چهارم سیکل موج سینوسی را با سه قطعه خط راست تقریب می‌زند. نقاط شکست بین این قطعه‌ها با ولتاژهای مرجع V_1 و V_2 تعیین می‌شوند.

مدار به این صورت کار می‌کند: فرض کنید ورودی موج نشان داده شده در شکل (ب ۳۱-۱۲) باشد و اولین ربع با نقاط ۰ و ۱ مشخص شده باشد. هنگامی که مقدار سیگنال ورودی از V_1 کمتر باشد. هیچکدام از دیودها هدایت نمی‌کنند. بنابراین جریان R_4 صفر و ولتاژ خروجی در نقطه B مساوی ولتاژ ورودی است. اما با افزایش ورودی تا V_1 و بالاتر از آن D_2 (که ایده‌آل فرض شده) شروع به هدایت می‌کند. فرض کنید D_2 در حال هدایت مانند اتصال کوتاه عمل کند، برای $v_1 > V_1$ داریم:

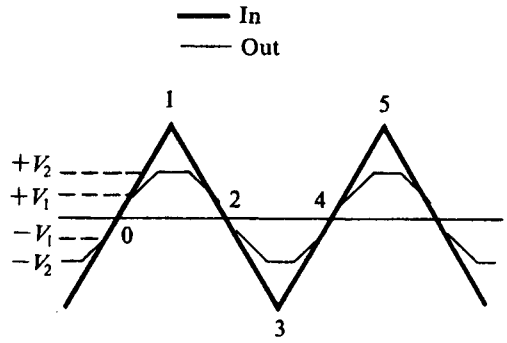
$$v_O = V_1 + (v_I - V_1)\frac{R_5}{R_4 + R_5}$$

این رابطه بدین معنی است که با افزایش ورودی بیشتر از V_1 خروجی آن را تعقیب می‌کند اما با شیبی کمتر. این مطلب مطابق شکل (ب ۳۱-۱۲) منجر به قطعه دوم شکل موج خروجی می‌شود. توجه کنید که در بدست آوردن رابطهٔ فوق فرض کرده‌ایم مقاومتهای مقسم ولتاژ کوچک هستند به نحوی که بتوان V_1 و V_2 را صرفنظر از جریان کشیده شده از ورودی ثابت درنظر گرفت.

سپس حالتی را درنظر بگیرید که ولتاژ نقطه B به دومین نقطه شکست که توسط V_2 تعیین شده برسد. در این نقطه D_1 هدایت می‌کند بنابراین خروجی v_O به V_2 (به اضافهٔ ولتاژ افت دیود D_1 اگر ایده‌آل فرض نشود) محدود می‌شود. این امر منجر به قطعه سوم که در شکل موج خروجی، صاف است می‌شود. نتیجه آن «خم» شدن شکل موج و شکل‌گرفتن تقریبی ربع اول موج سینوسی است. سپس بعد از نوک موج مثلثی ورودی هنگامی که ولتاژ کاهش می‌یابد فرآیند به حالت اول بازگشته و خروجی مجدداً ورودی را تعقیب می‌کند. سرانجام با منفی‌شدن ورودی تا مقدار لازم، عمل فوق در V_1- و V_2- برای نیم سیکل منفی تکرار می‌شود. اگرچه مدار نسبتاً ساده است اما عملکرد خوب آن جالب توجه می‌باشد. مقیاس کیفیت خوب، معمولاً میزان خالص‌بودن موج سینوسی خروجی



(الف)



(ب)

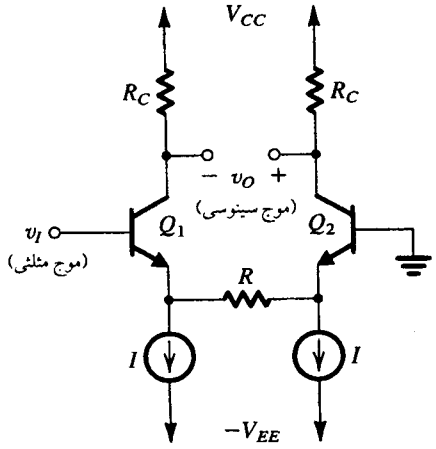
شکل ۳۱-۱۲. (الف) شکل‌دهندهٔ موج سینوسی سه قطعه‌ای
(ب) شکل موج مثلثی ورودی و شکل موج تقریباً سینوسی خروجی

است و با مشخص کردن درصد **اعوجاج هارمونیک کل** (THD) سنجیده می‌شود. THD درصد نسبت ولتاژ rms همهٔ مولفه‌های هارمونیک بالاتر از فرکانس اصلی (که فرکاس موج مثلثی است) به ولتاژ rms فرکانس اصلی است. با کمال تعجب یکی از دلایل کارکرد خوب شکل‌ساز دیودی تأثیرات مثبت ایجادشده بوسیله مشخصه غیرخطی $i-v$ دیودهاست، یعنی زانوی نمایی دیود پیوندی هنگامی که به حالت هدایت می‌رود. نتیجه آن انتقال نسبتاً آرام از یک قطعه خطی به قطعه دیگر است.

در مدارهای عملی سازنده‌های شکل موج سینوسی نقطهٔ شکست، شش یا هشت قطعه (در مقایسه با سه قطعه استفاده شده در مثال فوق) مورد استفاده قرار می‌گیرد. همچنین استفاده از ترانزیستور در طراحی معمول‌تر است و نتیجهٔ آن هم افزایش دقت و کاهش THD است.

روش تقویت غیرخطی

روش دیگر تبدیل موج مثلثی به موج سینوسی که دربارهٔ آن صحبت



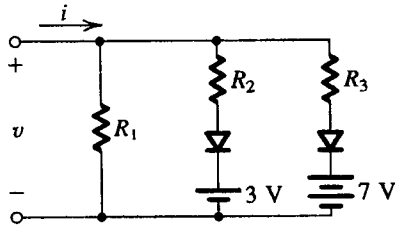
شکل ۳۲-۱۲. یک زوج تفاضلی با امیترهای متصل شده توسط مقاومت، برای تبدیل شکل موج مثلثی به سینوسی. طرز کار مدار بصورت ترسیمی در شکل (۳۰-۱۲) توصیف شده است.

می‌کنیم مبتنی بر اعمال موج مثلثی به ورودی یک تقویت‌کننده با مشخصه انتقالی غیرخطی که تابع سینوسی را تقویت می‌زند، می‌باشد، مدار این تقویت‌کننده مطابق شکل (۳۲-۱۲) شامل یک زوج تفاضلی با یک مقاومت متصل شده بین امیترهای آنهاست. با انتخاب مناسب مقادیر جریان بایاس I و مقاومت R می‌توان تقویت‌کننده را طوری طراحی کرد که مشخصه انتقالی آن شکل (۳۰-۱۲) را تقریب بزند. توجه کنید که برای مقادیر v_I کوچک مشخصه انتقالی مدار شکل (۳۲-۱۲) بعنوان یک موج سینوسی در نزدیکی نقطه گذر از صفر تقریباً خطی است. در مقادیر بزرگ v_I مشخصه‌های غیرخطی BJT بهرهٔ تقویت‌کننده را کاهش داده و باعث می‌شود مشخصه انتقالی خم شود که موج سینوسی را در نقطه نوک آن تقریب می‌زند.

تمرینها

ط ۲۲-۱۲ می‌خواهیم با مدار شکل (۲۲-۱۲ ت) مشخصه غیرخطی $i-v$ بصورت $i = ۰/۱ v^۲$ را که در آن ولتاژ v برحسب ولت و جریان i برحسب میلی‌آمپر است، تقریب سه قطعه‌ای بزنیم. مقادیر $R_۱$، $R_۲$ و $R_۳$ را طوری که تقریب در ۸ و ۴V و $v = ۲V$ کامل باشد بدست آورید. خطا را در مقدار جریان در ۱۰V و ۷V، ۵V $= ۳V$ v بدست آورید. دیودها را ایده‌آل فرض کنید.

جواب. ۵kΩ، ۱/۲۵kΩ، ۱/۲۵kΩ، −۰/۳mA و +۰/۱mA، −۰/۳mA، صفر



شکل (۲۲-۱۲ت)

۲۳-۱۲ تحلیل مفصل مدار شکل (۳۲-۱۲) نشان می‌دهد که عملکرد بهینهٔ آن هنگامی است که مقادیر I و R به این صورت انتخاب شوند

$RI = ۲/۵\ V_T$ که در آن V_T ولتاژ حرارتی است. در این طراحی دامنه نوک موج مثلثی ورودی $۶/۶\ V_T$ بوده و موج سینوسی متناظر آن دارای مقدار نوک $۲/۴۲\ V_T$ است. برای $I = ۰/۲۵\ mA$ و $R_C = ۱۰\ k\Omega$، دامنه نوک خروجی سینوسی v_o را بدست آورید. فرض کنید $\alpha \cong ۱$ باشد.

جواب. $۴/۸۴\ V$ ❑

۱۲-۹ مدارهای یکسوساز دقیق

مدارهای یکسوساز در فصل ۳ مطالعه شدند. در آن جا تأکید ما بر استفاده از این مدارات در طراحی منبع تغذیه بود. در این کاربردها ولتاژی که می‌خواهیم آن را یکسو کنیم معمولاً بیشتر از افت دیودهاست. البته مقدار دقیق افت دیود در عملکرد صحیح یکسوساز مهم نیست. کاربردهای دیگری نیز وجود دارد اما نه در این حالت. بطور مثال اگر دامنهٔ سیگنالی که می‌خواهیم آن را یکسو کنیم بسیار کوچک باشد، مثلاً $۰/۱\ V$، یکسوکردن این سیگنال با استفاده از مدارهای یکسوساز قراردادی غیرممکن است. همچنین در اندازه‌گیری نیاز به مدارهای یکسوساز با مشخصه انتقالی بسیار دقیق داریم.

در این بخش مدارهایی را بررسی می‌کنیم که در آنها از ترکیب دیودها و op-amp ها مدارهای یکسوساز با مشخصه‌های دقیق بدست می‌آید. یکسوسازهای دقیق که می‌توان به آنها به چشم مدارهای سازندهٔ شکل‌موج نگریست، کاربردهایی در طراحی سیستم‌های اندازه‌گیری پیدا کرده‌اند.

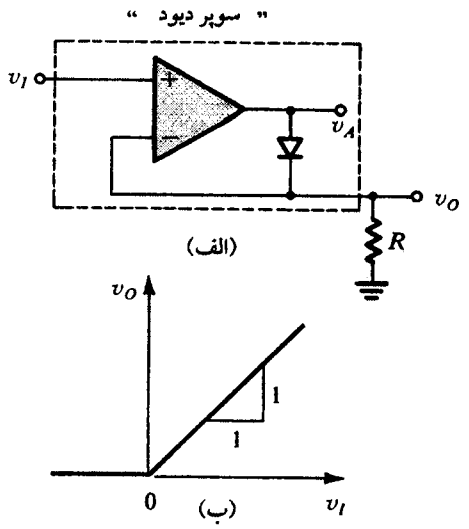
یکسوساز نیم‌موج دقیق - سوپردیود

شکل (الف ۳۳-۱۲) یک مدار یکسوساز نیم موج دقیق را که شامل یک دیود در مسیر فیدبک منفی op-amp با مقاومت بار یکسوساز R است، نشان می‌دهد. مدار به این صورت کار می‌کند: اگر v_I مثبت شود، ولتاژ خروجی op-amp، v_A مثبت شده و دیود هدایت می‌کند، بنابراین حلقه فیدبک بین پایانه خروجی op-amp و پایانهٔ ورودی منفی بسته می‌شود. این مسیر فیدبک منفی باعث اتصال کوتاه مجازی بین دو پایانهٔ ورودی می‌شود و ولتاژ پایانهٔ ورودی منفی که ولتاژ v_O خروجی هم می‌باشد مساوی ولتاژ پایانه ورودی مثبت می‌شود (با چند میلی‌ولت اختلاف) که همان ولتاژ ورودی v_I است، یعنی داریم.

$$v_O = v_I \quad v_I \geq ۰$$

توجه کنید که ولتاژ افست ($۰/۵\ V \cong$) که خود را در مدار یکسوساز نیم‌موج ساده نشان می‌داد، اکنون بکلی حضور ندارد. برای آغاز کار مدار op-amp، v_I باید اندکی یعنی به اندازهٔ ولتاژ افت دیود تقسیم بر بهره حلقه باز op-amp، زیاد شود. به عبارت دیگر مشخصه انتقالی v_O-v_i خط راستی است که تقریباً از مبدأ می‌گذرد. این امر مدار را برای استفاده در کاربردهای سیگنالهای خیلی کوچک مناسب می‌سازد.

اکنون حالتی را درنظر بگیرید که v_I منفی می‌شود. ولتاژ خروجی op-amp، v_A به پیروی از آن منفی می‌شود. این امر دیود را در بایاس معکوس قرار می‌دهد و جریانی از R نمی‌گذرد بنابران v_O در صفر ولت باقی ماند. بنابراین برای $v_I < ۰$، $v_O = ۰$ می‌باشد. چون در این حالت



شکل ۳۳-۱۲. یکسوساز دقیق نیم‌موج سوپردیود و مشخصه انتقالی تقریباً ایده‌آل آن. توجه کنید هنگامی که $v_I > ۰$ است و دیود هدایت می‌کند، op-amp R را تغذیه کرده و منبع میانگیر شده است که یک مزیت دیگر می‌باشد.

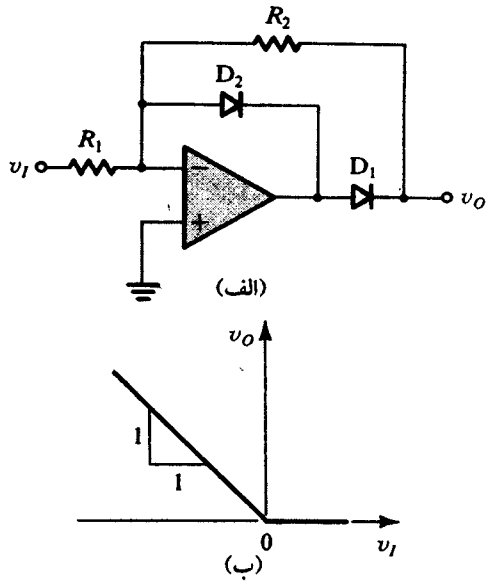
دیود خاموش است op-amp در حالت حلقه باز کار کرده خروجی آن به اشباع منفی می‌رود.

مشخصه انتقالی این مدار در شکل (ب۳۳-۱۲) نشان داده شده که تقریباً معادل مشخصه ایده‌آل یکسوساز نیم‌موج است. غیرایده‌آل بودن مشخصه دیود تقریباً بطور کامل با قراردادن آن در مسیر فیدبک منفی op-amp برطرف شده است. این یکی دیگر از کاربردهای مهم و جالب فیدبک منفی می‌باشد. ترکیب دیود و op-amp که بصورت خط چین در شکل (الف ۲۳-۱۲) نمایش داده شده است، «سوپر دیود» نامیده می‌شود.

با وجود این طبق معمول مدار کاملاً ایده‌آل نیست. مدار شکل (۲۳-۱۲) چند عیب دارد: هنگامی که v_I منفی شده و $v_O = ۰$ می‌شود، مقدار کامل v_I بین دو پایانهٔ ورودی op-amp ظاهر می‌شود اگر این مقدار بیشتر از چند ولت باشد. op-amp ممکن است آسیب ببیند مگر اینکه با مدار ویژه‌ای بنام «حفاظت از ولتاژ زیاد» تجهیز شود. (IC های op-amp جدید دارای چنین مداری هستند) عیب دیگر این است که هنگام منفی‌بودن v_I، op-amp اشباع می‌شود. اگرچه این مسأله آسیبی به op-amp نمی‌رساند اما بایستی از آن اجتناب کرد چون بازگشت op-amp از ناحیه اشباع به ناحیه خطی وقت‌گیر است. این تأخیر زمانی سرعت کار op-amp را پایین آورده، فرکانس کار مدار یکسوساز نیم موج سوپردیود را محدود می‌کند.

یک مدار دیگر

یک مدار یکسوساز دقیق دیگر که معایب ذکرشدهٔ فوق را ندارد در شکل (۳۴-۱۲) به نمایش درآمده است- مدار به این صورت کار می‌کند: برای v_I مثبت، دیود $D_۲$ هدایت می‌کند و حلقه فیدبک منفی op-amp را



شکل ۳۴-۱۲. (الف) یک نوع بهبود یافتهٔ یکسوساز نیم موج دقیق. در اینجا دیود D_2 برای بسته نگهداشتن حلقه فیدبک op−amp در زمان خاموش‌بودن دیود یکسوساز D_1 است. بدین ترتیب op−amp اشباع نمی‌شود. (ب) مشخصه انتقالی برای $R_2 = R_1$

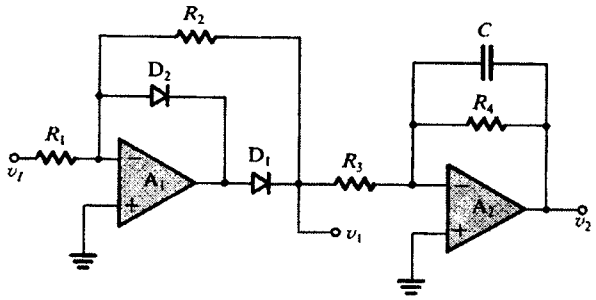
می‌بندد. بنابراین زمین مجازی در پایانه ورودی وارونگر ظاهر شده، خروجی op−amp به مقدار افت یک دیود کمتر از زمین محدود می‌شود. این ولتاژ منفی دیود D_1 را خاموش نگهداشته و هیچ جریانی از مقاومت فیدبک R_2 عبور نمی‌کند. به دنبال آن ولتاژ خروجی یکسوکننده صفر می‌شود.

هنگامی که v_I منفی می‌شود، ولتاژ پایانه ورودی وارونگر منفی است و بنابراین ولتاژ پایانهٔ خروجی op−amp مثبت خواهد بود. در این صورت دیود D_2 در بایاس معکوس قرار گرفته و خاموش می‌شود. اما دیود D_1 از طریق R_2 هدایت می‌کند بنابراین مسیر فیدبک منفی op−amp را بسته و پایانهٔ ورودی وارونگر را اجباراً زمین مجازی می‌کند. جریان مقاومت فیدبک R_2 مساوی جریان مقاومت ورودی R_1 خواهد بود. بنابراین در حالت $R_1 = R_2$ ولتاژ خروجی v_o مقدار زیر است:

$$v_O = -v_I \quad v_I \leq 0$$

مشخصه انتقالی مدار در شکل (ب ۳۴-۱۲) نشان داده شده است. توجه کنید که در اینجا برخلاف مدار قبلی می‌توان شیب مشخصه را با انتخاب مقادیر مناسب R_1 و R_2 به مقدار دلخواه یا واحد تنظیم کرد.

همانطور که قبلاً تذکر داده شد، مزیت عمدهٔ این مدار این است که حلقه فیدبک همیشه بسته است. بنابراین op−amp در ناحیه کار خطی خود می‌ماند. امکان اشباع نبوده و در پی آن تأخیری هم برای خروج از حالت اشباع وجود نخواهد داشت. دیود D_2 هنگامی که ولتاژ خروجی منفی می‌شود آن را نگهداشته به ولتاژ افت یک دیود کمتر از زمین محدود می‌کند. بدین سبب به D_2 «دیود نگهدارنده» می‌گویند.



شکل ۳۵-۱۲. یک ولتمتر AC ساده شامل یکسوساز دقیق نیم‌موج و بدنبال آن یک فیلتر پایین‌گذر مرتبهٔ اول

یک کاربرد: اندازه‌گیری ولتاژ AC

بعنوان یکی از کاربردهای مدارهای یکسوساز دقیق این مبحث، مدار ولتمتر ac اساسی شکل (۳۵-۱۲) را درنظر بگیرید. مدار شامل یکسوساز نیم موج - متشکل از op−amp، A_1، دیودهای D_1 و D_2 و مقاومت R_1 و R_2 - و فیلتر پایین‌گذر مرتبه اول - متشکل از op−amp A_2، مقاومتهای R_3 و R_4 و خازن C می‌باشد. برای یک ورودی سینوسی با دامنه نوک V_p خروجی v_1 یکسوساز شامل نیم موج سینوسی دارای دامنهٔ نوک V_pR_2/R_1 می‌باشد. با استفاده از تحلیل سری فوریه می‌توان نشان داد که شکل موج v_1 دارای مقدار متوسط $(V_p/\pi)(R_2/R_1)$ به علاوهٔ هارمونیکهای فرکانس ω سیگنال ورودی می‌باشد. برای کاهش دامنه این هارمونیکها به مقداری بسیار کم و در حد اغماض، فرکانس گوشه فیلتر پایین‌گذر باید بسیار کمتر از پایین‌ترین فرکانس مورد انتظار ω_{min} موج سینوسی ورودی باشد. این امر به رابطه زیر منجر می‌شود:

$$\frac{1}{CR_4} \ll \omega_{min}$$

در این صورت ولتاژ خروجی v_2 تقریباً dc خواهد بود با مقدار زیر:

$$V_2 = -\frac{V_p}{\pi}\frac{R_2}{R_1}\frac{R_4}{R_3}$$

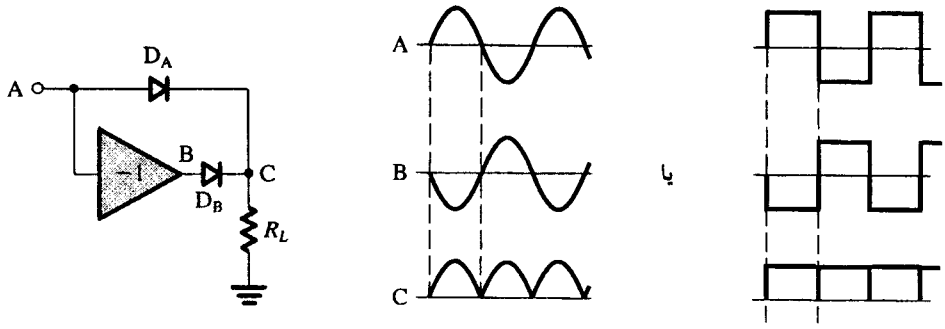
که در آن $\frac{R_4}{R_3}$ بهرهٔ dc فیلتر پایین‌گذر است. توجه کنید که این ولتمتر اساساً مقدار متوسط قسمتهای منفی سیگنال ورودی را اندازه می‌گیرد. اما می‌توان آن را برای اندازه‌گیری rms سینوسی‌های ورودی تنظیم کرد.

تمرینها

۱۲-۲۴ یکسوساز عملیاتی یامدار سوپر دیود شکل (الف ۳۳-۱۲) را درنظر بگیرید اگر $R = 1\ k\Omega$ و $-1\ V$ و $1\ V$ و $v_I = 10\ mV$ باشد، ولتاژهای خروجی یکسوساز و خروجی op−amp چقدر هستند. فرض کنید op−amp ها ایده‌آل بوده خروجی آنها در $\pm 12\ V$ اشباع شود. افت دیود در جریان $1\ mA$، $0/7\ V$ است و $0/1\ V$ به ازای هر ۱۰ برابر تغییر جریان، تغییر می‌کند.

جواب. $10\ mV$، $0/51\ mV$، $1\ V$، $1/7\ V$، صفر ولت، $-12\ V$

۱۲-۲۵ اگر دیود مدار شکل (الف ۳۳-۱۲) بایاس معکوس شود.



شکل ۳۶-۱۲. اصول یکسوسازی تمام موج

مشخصه انتقالی v_O را بصورت تابعی از $v_۲$ بدست آورید.

جواب. $v_O = ۰$ برای $v_I \geq ۰$ و $v_O = v_I$ برای $v_I \leq ۰$

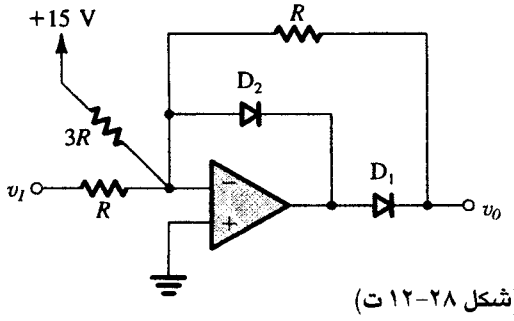
۱۲-۲۶ مدار شکل (الف ۳۴-۱۲) را با $R_۱ = ۱\ k\Omega$ و $R_۲ = ۱۰\ k\Omega$ در نظر بگیرید. v_O و ولتاژ خروجی تقویت‌کننده را در حالت $v_I = +۱V$ ، $-۱۰\ mV$ ، $-۱\ V$ بدست آورید. فرض کنید op-amp ایده‌آل بوده و سطوح اشباع آن $\pm ۱۲\ V$ باشد. افت دیودها در جریان $۱\ mA$، $۰/۷\ V$ می‌باشد و $۰/۱\ V$ به ازاء هر ۱۰ برابر تغییر جریان، تغییر می‌کند.

جواب. صفر ولت، $-۰/۷\ V$ ، $۰/۱\ V$ ، $۰/۶\ V$ ، $۱۰\ V$ ، $۱۰/۷\ V$

۱۲-۲۷ اگر دیودهای مدار شکل (الف ۳۴-۱۲) معکوس شوند. مشخصهٔ انتقالی v_o را بر حسب v_I بدست آورید.

جواب. $v_O = -(R_۲/R_۱)\, v_I$ برای $v_I \geq ۰$ ، $v_O = ۰$ برای $v_I \leq ۰$

۱۲-۲۸ مشخصه انتقالی مدار شکل (۲۸-۱۲ ت) را بدست آورید.



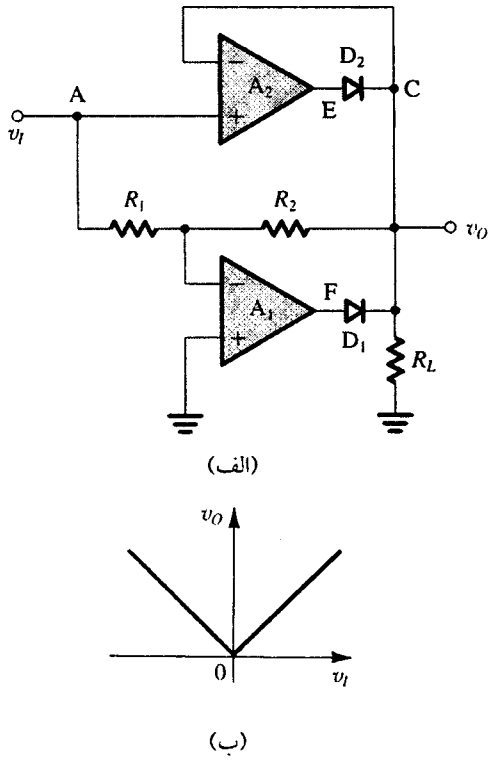
(شکل ۲۸-۱۲ ت)

جواب. $v_O = ۰$ برای $v_I \geq -۵\ V$ ، $v_O = -v_I - ۵$ برای $v_I \leq -۵\ V$

❑

یکسوساز تمام موج دقیق

حال یک مدار یکسوساز تمام موج دقیق بدست می‌آوریم. از فصل ۳ می‌دانیم که یکسوسازی تمام موج با معکوس‌کردن نیمه‌های منفی شکل موج سیگنال ورودی و اعمال سیگنال حاصل به یکسوساز دیودی انجام می‌شود. سپس خروجی‌های دو یکسوکننده به یک بار مشترک متصل می‌شود. این روش در شکل (۳۶-۱۲) که شکل موجهای نقاط مختلف را نیز نشان داده، به نمایش درآمده است. حال با جایگزینی دیود D_A با یک سوپردیود و جایگزینی دیود D_B و تقویت‌کننده وارونگر با یکسوساز نیم‌موج دقیق وارونگر شکل (۳۴-۱۲) اما بدون دیود نگهدارنده، مدار



شکل ۳۷-۱۲. (الف) یکسوساز دقیق تمام موج بر اساس مدار غیرعملی شکل (۳۶-۱۲). (ب) مشخصه انتقالی مدار (الف)

یکسوساز تمام موج دقیق شکل (الف ۳۷-۱۲) را بدست می‌آوریم.

برای فهمیدن طرز کار مدار شکل (۳۷-۱۲) ابتدا حالتی را درنظر بگیرید که ورودی نقطه A مثبت است. بنابراین خروجی $A_۲$ مثبت خواهد بود، $D_۲$ روشن شده از طریق R_L هدایت می‌کند و حلقه فیدبک $A_۲$ بسته می‌شود. بنابراین اتصال کوتاه مجازی بین دو پایانه ورودی $A_۲$ برقرارشده، و ولتاژ پایانهٔ ورودی منفی که همان ولتاژ خروجی مدار می‌باشد مساوی ورودی خواهد شد. بدین ترتیب جریانی در $R_۱$ و $R_۲$ برقرار نمی‌شود و ولتاژ ورودی وارونگر $A_۱$ مساوی ورودی شده و مثبت خواهد بود. بنابراین پایانهٔ خروجی $A_۱$ (F) تا زمانی که $A_۱$ اشباع شود منفی خواهد بود. این مسئله باعث خاموش‌شدن $D_۱$ می‌شود.

سپس حالتی را درنظر بگیرید که A منفی می‌شود. منفی‌شدن ولتاژ در ورودی منفی $A_۱$ باعث می‌شود F افزایش پیدا کند و دیود $D_۱$ با هدایت

خود R_L را تغذیه کرده و حلقه فیدبک منفی A_1 را می‌بندد. بنابراین ورودی منفی A_1 زمین مجازی می‌شود و مقاومتهای مساوی R_1 و R_2 ولتاژ نقطه C را که ولتاژ خروجی است، مساوی با منفی ولتاژ ورودی A می‌کنند و بنابراین ولتاژ خروجی مثبت می‌شود. ترکیب ولتاژ مثبت C و ولتاژ منفی A باعث اشباع شدن خروجی A_2 در جهت منفی می‌شود بنابراین D_2 خاموش می‌ماند.

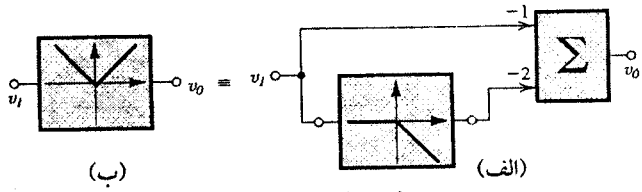
نتیجهٔ کلی، همانطور که توسط مشخصه انتقالی شکل (ب ۳۷-۱۲) به نمایش درآمده است یکسوسازی تمام موج دقیق است. این دقت در نتیجهٔ قراردادن دیودها در حلقه‌های فیدبک op-amp حاصل می‌شود و بنابراین غیرایده‌آل بودن آنها را برطرف می‌کند. این مدار یکی از چندین یکسوساز تمام موج دقیق ممکن یا **مدارهای قدر مطلق** می‌باشد. پیاده‌سازی دیگری از این مدار در تمرین (۳۰-۱۲) بررسی شده است.

تمرین

۲۹-۱۲ در مدار یکسوساز تمام موج شکل (الف ۳۷-۱۲) فرض کنید $R_1 = R_2 = R_L = 10\,k\Omega$ و op-amp ها ایده‌آل بوده و خروجی آنها در $\pm 12V$ اشباع شود. افت هریک از دیودها در جریان ۱ mA، ۰/۷ V است و به ازای هر ده برابر تغییر جریان، ۰/۱ V تغییر می‌کند. v_O، v_E و v_F متناظر با $v_I = +0.1$، $+1$، $+10$، -0.1، -1، $-10V$ را بدست آورید.

جواب. ۰/۱ V، ۰/۶ V+، ۱ V+؛ ۱۲ V-، ۱/۶ V+، ۱۲ V-؛ ۱۰ V+، ۱۰/۷ V+، ۰/۱ V+؛ ۱۲ V-، ۰/۶۳ V+؛ ۱V+، ۱۲ V-، ۱/۶۳ V+؛ ۱۰ V+، ۱۲ V-، ۱۰/۷۳ V+

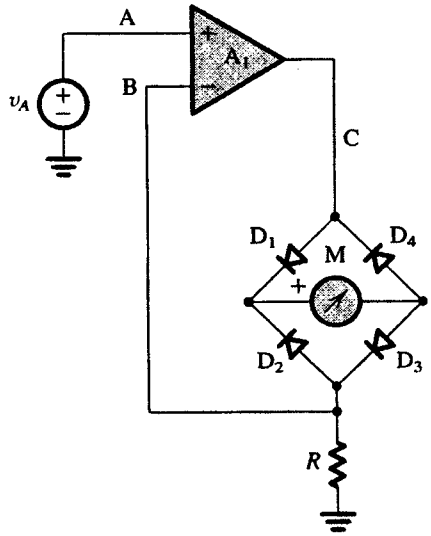
ط ۳۰-۱۲ نمودار ساختاری نشان داده شده در شکل (الف ۳۰-۱۲ ت) یک روش پیاده‌سازی دیگر را برای عمل یکسوسازی تمام موج یا قدرمطلق ارائه می‌کند که بصورت نمادی در شکل (ب ۳۰-۱۲ ت) به نمایش درآمده است. همانطور که نشان داده شده، نمودار ساختاری شامل دو جعبه است: یک یکسوساز نیم‌موج که با مدار شکل (الف ۳۴-۱۲) بعد از معکوس‌کردن دیودها قابل ساخت است و یک جمع‌کنندهٔ وزنی وارونگر. مطمئن شوید که این نمودار ساختاری در حقیقت عمل قدر مطلق را انجام می‌دهد. سپس مدار کامل آن را رسم کنید و مقادیر معقول را برای همه مقاومتها بدست آورید. ❑



شکل (۳۰-۱۲ ت)

یکسوساز پل دقیق برای کاربردهای اندازه‌گیری

از ترکیب مدار یکسوساز پل در فصل ۳ با یک op-amp می‌توان مداری دقیق و مفید بدست آورد. این روش در شکل (۳۸-۱۲) نشان داده شده است- این مدار باعث برقراری جریانی مساوی $|v_A|/R$ در سیم‌پیچ متحرک سنجشگر M می‌شود. بنابراین انحراف سنجشگر متناسب با



شکل ۳۸-۱۲. استفاده از پل دیودی در طراحی یک ولتمتر ac

متوسط قدرمطلق ولتاژ ورودی v_A است. مشخصات غیرایده‌آلی سنجشگر و دیودها با قراردادن مدارپل در حلقهٔ فیدبک منفی op-amp پوشیده می‌شود. دقت کنید هنگامی که v_A مثبت است جریان از op-amp در مسیر D_1، M، D_3 و R و هنگامی که v_A منفی است، جریان بطرف op-amp از مسیر R، D_2، M و D_4 برقرار می‌شود. بنابراین در هر دو حالت v_A حلقهٔ فیدبک بسته می‌ماند. اتصال کوتاه مجازی حاصل در پایانه‌های ورودی op-amp باعث می‌شود v_A عیناً روی R ظاهر شود. مدار شکل (۳۸-۱۲) با استفاده از یک سنجشگر ارزان‌قیمت، یک ولتمتر ac دقیق با امپدانس ورودی نسبتاً زیاد فراهم می‌آورد.

تمرین

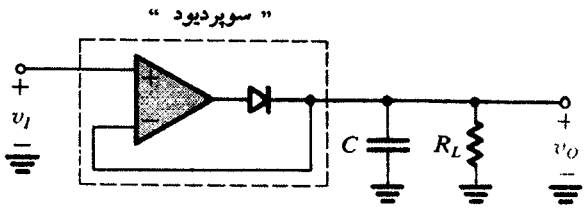
ط ۳۱-۱۲ در مدار شکل (۳۸-۱۲) مقدار R را در صورتی که انحراف کامل با ولتاژ ورودی موج سینوسی ۵ V rms صورت گیرد بدست آورید. فرض کنید سنجشگر ۵۰ Ω، ۱ mA حرکت داشته باشد (یعنی مقاومت آن ۵۰ Ω و انحراف کامل آن با جریان متوسط ۱ mA انجام شود) ماکزیمم و مینیمم ولتاژ خروجی op-amp تقریباً چقدر است؟ فرض کنید افت دیودها هنگام هدایت ۰/۷ V است.

جواب. ۴/۵ kΩ؛ ۸/۵۵ V+؛ ۸/۵۵ V-

❑

یکسوساز نوک دقیق

قراردادن دیود یکسوساز نوک بررسی شده در فصل ۳ در حلقه فیدبک منفی یک op-amp مطابق شکل (۳۹-۱۲) منجر به مدار یکسوساز نوک دقیق می‌شود. ترکیب دیود - op-amp بعنوان سوپر دیود شکل (الف ۳۳-۱۲) شناخته می‌شود. طرز کار مدار شکل (۳۹-۱۲) کاملاً آسان است. برای v_I بزرگتر از ولتاژ خروجی، op-amp دیود را روشن می‌کند بنابراین مسیر حلقه فیدبک منفی بسته شده، op-amp مانند یک

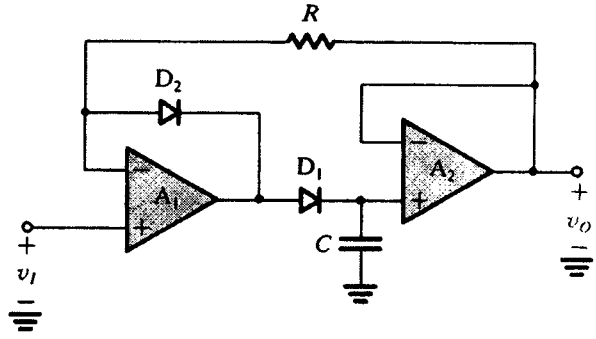


شکل ۳۹-۱۲. یکسوساز نوک دقیق بدست آمده از جایگذاری دیود در حلقه فیدبک op−amp

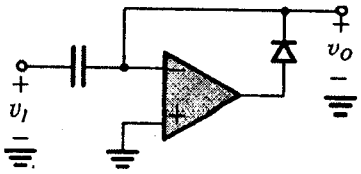
پیرو عمل می‌کند. بدین‌ترتیب ولتاژ خروجی ولتاژ ورودی را دنبال کرده و op−amp جریان شارژ خازن را فراهم می‌کند. این فرآیند ادامه پیدا می‌کند تا ورودی به مقدار نوک خود برسد. بعد از نوک مثبت، op−amp در پایانه‌های ورودی خود ولتاژ منفی دیده و به اشباع منفی می‌رود بنابراین دیود خاموش می‌شود. ولتاژ خازن در مقدار نوک ورودی باقی می‌ماند مگر اینکه امکان دشارژ در مقاومت بار را داشته باشد، اگر بخواهیم کاهش مقدار نوک مثبت را آشکار کنیم وجود مقاومت بار ضروری است.

آشکارساز نوک دقیق میانگیرشده

هنگامی که به نگهداشتن مقدار نوک برای زمانی طولانی نیازمندیم خازن آشکارساز نوک باید مطابق مدار شکل (۴۰-۱۲) میانگیر شود. در اینجا op−amp A_2 که باید دارای امپدانس ورودی زیاد و جریان بایاس ورودی کم باشد، بصورت ولتاژ پیرو بسته شده است. باقیماندهٔ مدار کاملاً شبیه مدار یکسوساز نیم موج شکل (۳۴-۱۲) است. دیود D_1 دیود اصلی عمل یکسوسازی بوده و دیود D_2 بعنوان دیود نگهدارنده برای جلوگیری از اشباع منفی op−amp A_1 و تأخیر مربوطه عمل می‌کند. در مدت زمان نگهداری، ولتاژ پیرو A_2، D_2 را با جریان کوچکی توسط R تغذیه می‌کند. سپس خروجی op−amp A_1 به یک افت دیود کمتر از ولتاژ ورودی محدود می‌شود. حال، اگر v_I ورودی از ولتاژ ذخیره شده روی C که همان ولتاژ خروجی است بیشتر شود op−amp A_1 ورودی مثبت خالص را دیده و به اشباع مثبت می‌رود. بنابراین دیود D_2 خاموش شده دیود D_1 روشن می‌شود و خازن C تا مقدار نوک مثبت جدید ورودی شارژ می‌شود. بعد از این زمان مدار به حالت نگهداری می‌رود. سرانجام توجه کنید که این مدار دارای امپدانس خروجی کمی می‌باشد.



شکل ۴۰-۱۲. یکسوساز نوک دقیق میانگیرشده



شکل ۴۱-۱۲. مدار برش دقیق

مدار برش

از تعویض دیود (ذخیره‌کنندهٔ dc) برش بررسی شده در فصل ۳ با یک سوپر دیود، محدودکنندهٔ دقیق شکل (۴۱-۱۲) بدست می‌آید. طرز کار این مدار نیازی به توضیح ندارد و کاملاً مشخص است.

۱۰-۱۲ مثال‌هایی از شبیه‌سازی SPICE

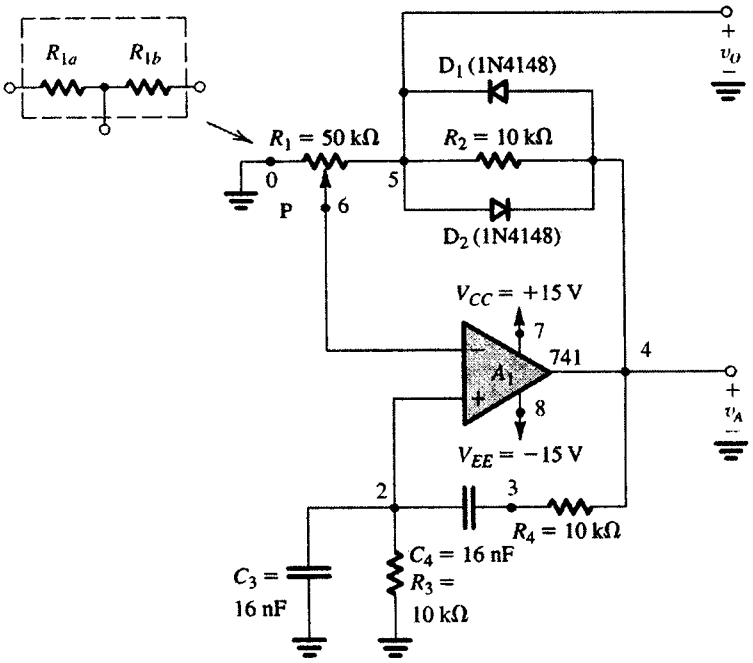
در مدارهای ارائه شده در این فصل، برای انجام کارهای مختلف مانند پایدار کردن دامنه نوسان ساز موج سینوسی و تبدیل موج مثلثی به موج سینوسی از عملکرد غیر خطی قطعات استفاده شده است. اگر چه توانسته‌ایم روش‌هایی برای تحلیل و طراحی این مدارها ابداع کنیم، اما هنوز تحلیل دستی، تقریباً غیر ممکن است. بنابراین طراح باید با تکیه بر شبیه‌سازی کامپیوتری، بینش عمیق‌تری روی عملکرد مدار به دست بیاورد، و با مقادیر مختلف عناصر آزمایش کرده و طراحی را بهینه نماید. در این بخش، دو مثال که استفاده از SPICE را در شبیه سازی مدارات است نوسان‌ساز تشریح می‌کند، ارائه می‌شود. مثال‌های دیگری را می‌توانید در کتاب رابرت و سدرا (۱۹۹۲ و ۱۹۹۷) مشاهده نمایید.

مثال ۱-۱۲: نوسان ساز پل وین

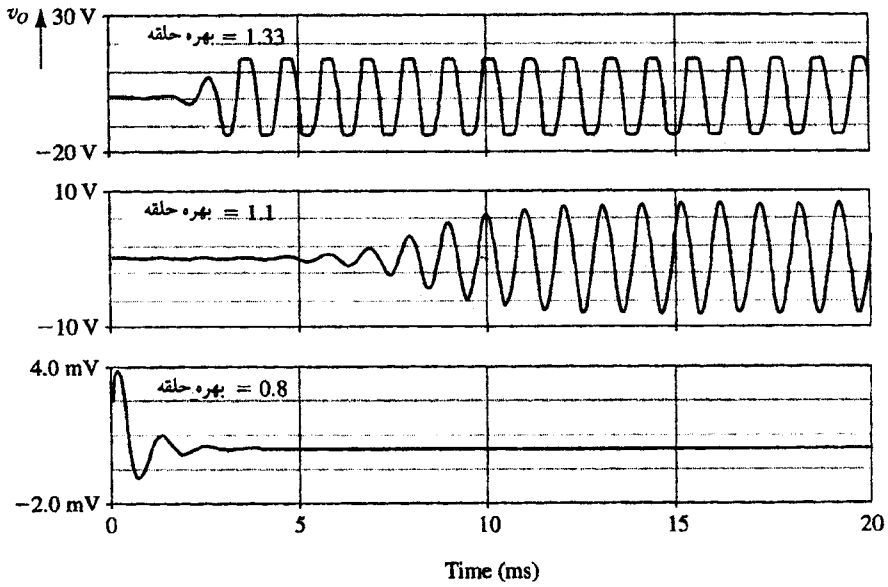
بعنوان اولین مثال، می‌خواهیم عملکرد نوسان ساز پل وین شکل (۴۲-۱۲) را بررسی کنیم. مقادیر عناصر به گونه‌ای انتخاب شده‌اند که فرکانس نوسان 1kHz شود. عملکرد مدار را برای مقادیر مختلف پتانسیومتر P، که معادل انتخاب مقادیر مختلف برای R_{1a} و R_{1b} با شرط $R_{1a}+R_{1b}=50\ k\Omega$ است، بررسی می‌کنیم. چون نوسان در $(R_2+R_{1b})/R_{1a}=2$ شروع می‌شود (مثال ۴-۱۲ را ببینید)، یعنی هنگامی که $R_{1a}=20k\Omega$ و $R_{1b}=30k\Omega$ است، سه موقعیت ممکن را در نظر می‌گیریم: (الف) $R_{1a}=15k\Omega$ ، $R_{1b}=35k\Omega$ (ب) $R_{1a}=18k\Omega$ ، $R_{1b}=32k\Omega$ (پ) $R_{1a}=25k\Omega$ ، $R_{1b}=25k\Omega$. این مقادیر متناظر با بهره حلقه ۱/۳۳، ۱/۱ و ۰/۸ می‌باشد.

همان طور که در مدار شکل (۴۲-۱۲) نشان داده شده از یک op-amp از نوع 741 و دیودهای 1N4148 استفاده شده است. برای 741 از ماکرومدل SPICE که توسط کارخانه سازنده ارائه شده، استفاده کرده‌ایم. مدل دیود 1N4148 نیز از کتابخانه PSPICE به دست آمده است.

فایل ورودی SPICE این مدار در ضمیمه ت فهرست شده است. با



شکل ۴۲-۱۲. مثال ۱-۱۲: نوسان‌ساز پل وین با محدود کننده به کار رفته برای کنترل دامنه.

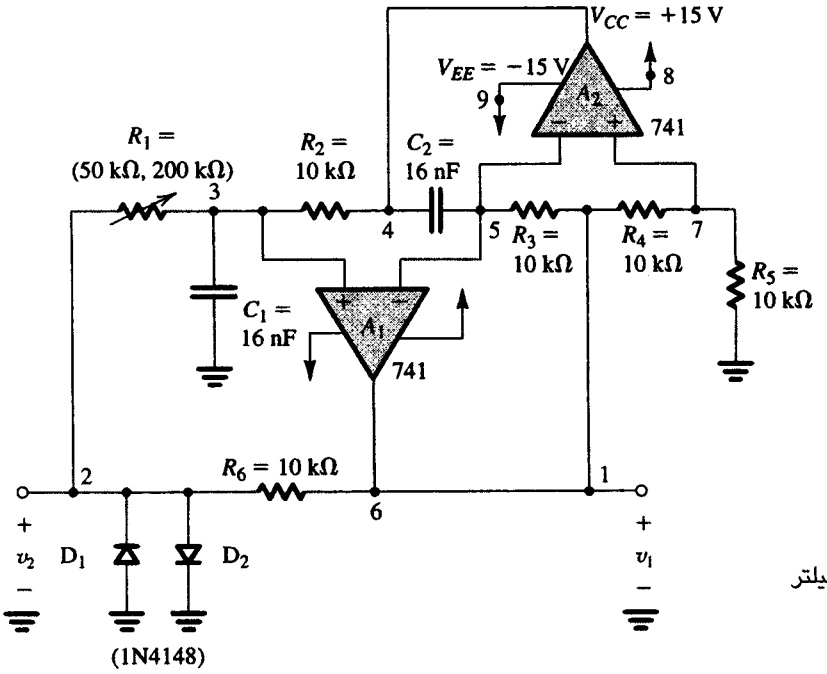


شکل ۴۳-۱۲. عملکرد راه اندازی در حالت گذرا توسط نوسان‌ساز پل وین شکل (۴۲-۱۲) برای مقادیر مختلف بهره حلقه.

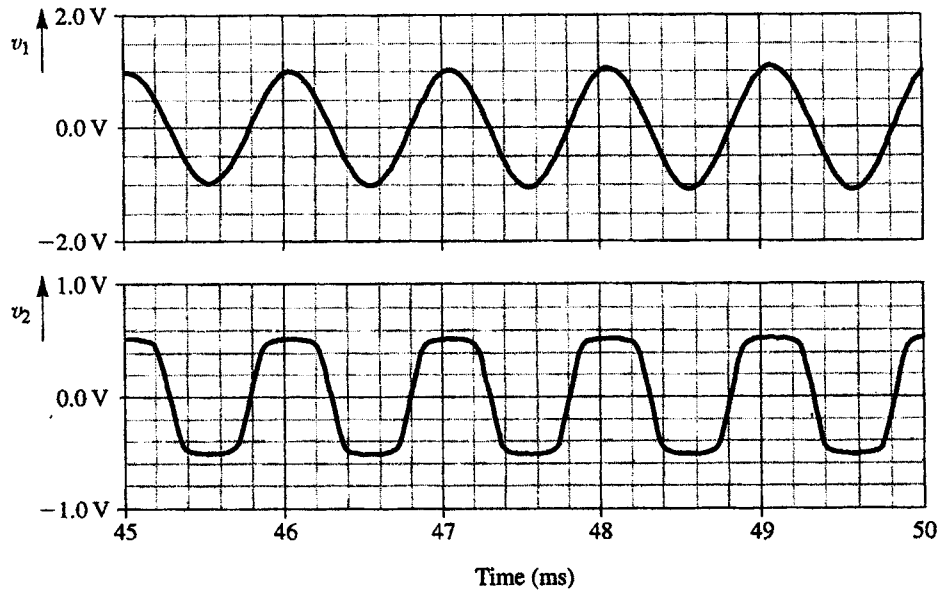
نگاهی به آن متوجه می‌شویم که ولتاژ اولیه خازن‌ها صفر در نظر گرفته شده است. این نکته بیانگر این مطلب است که برای شروع نوسان ولتاژ آفست op-amp کافی است و نیازی به مدار شروع کننده نداریم.

نتایج شبیه سازی در شکل (۴۳-۱۲) نشان داده شده است. نمودار بالایی شکل موج خروجی را برای بهره حلقه ۱/۳۳ نشان می‌دهد، که در آن نوسان‌ها به سرعت رشد کرده و پایدار می‌شود اما اعواجاج زیاد است. خروجی در ازای بهره حلقه ۱/۱ در نمودار وسط به نمایش درآمده است که اعوجاج آن کمتر است. اما همان طور که انتظار می‌رود، با نزدیک شدن بهره حلقه به مقدار واحد، رشد نوسان‌ها و پایداری دامنه کندتر می‌شود. در این حالت فرکانس ۹۷۹/۴Hz است که به مقدار ۱kHz نزدیک است و دامنه ۸/۱۶۵V می‌باشد. نمودار پایین که در ازای بهره حلقه ۰/۸ می‌باشد، انتظار ما را مبنی بر این که نوسان‌ها نمی‌توانند در صورت کمتر بودن بهره حلقه از واحد ادامه یابند، تایید می‌کند.

SPICE را می‌توان برای بررسی خلوص طیف موج سینوسی خروجی مورد استفاده قرار دارد. این کار با تحلیل فوریه انجام می‌شود. خروجی با بهره حلقه ۱/۱ در حالت ماندگار دارای عدد THD مساوی با ٪۵/۲ است. اگر خروجی از نقطه خروجی op-amp گرفته شود، THD مساوی ٪۵/۹ است، که طبق انتظار از THD ولتاژ v_o، تا حدودی بیشتر است، اما پایانه خروجی op-amp مکان مناسبی برای گرفتن خروجی است.



شکل ۴۴-۱۲. مثال ۲-۱۲: نوسان‌ساز فیلتر فعال تنظیمی با تنظیم Q توسط R_1.



شکل ۴۵-۱۲. شکل موج‌های خروجی نوسان‌ساز فیلتر فعال تنظیمی شکل (۴۴-۱۲) برای Q=۵.

مثال ۲-۱۲: نوسان ساز فیلتر فعال تنظیمی

در این مثال با استفاده از SPICE ثابت می‌کنیم که می‌توان با بهره‌گیری از مدار فیلتر تنظیمی شکل (۱۱-۱۲) یک نوسان ساز عالی با op-amp را تحقق داد. اثرات ضریب Q فیلتر، روی خلوص طیف موج سینوسی خروجی را نیز بررسی خواهیم کرد.

شبیه‌سازی مدار در شکل (۴۴-۱۲) به نمایش درآمده است. در این مدار با R_1=۵۰kΩ، Q فیلتر مساوی ۵ و با R_1=۲۰۰kΩ، Q فیلتر مساوی ۲۰ است. همانند مدار پل وین در مثال (۱-۱۲) از دیودهای 1N4148 و op-ampهای 741 استفاده شده است. فایل ورودی SPICE در ضمیمه ت نشان داده شده است. تحلیل گذرا در حالت صفر بودن ولتاژ اولیه خازن‌ها انجام می‌شود. برای محاسبه مولفه‌های فوریه خروجی، بازه‌های زمانی تحلیل باید آنقدر طولانی باشند که نوسان‌ها به حالت ماندگار برسند. زمان رسیدن به حالت ماندگار توسط Q فیلتر تعیین می‌شود. هر چه Q بیشتر باشد زمان رسیدن به حالت ماندگار بیشتر است. برای Q=۵، از ترکیب محاسبات تقریبی و آزمایش‌های تجربی SPICE، زمان ۵۰ms تخمین مناسبی برای بازهٔ تحلیل است. برای ترسیم از ۱۰ نقطه در هر دورهٔ تناوب نوسان استفاده می‌کنیم.

نتایج تحلیل گذرا در شکل (۴۵-۱۲) ترسیم شده است. نمودار بالایی شکل موج سینوسی را در خروجی op-amp با نماد A_1 نشان می‌دهد. نمودار پایین نیز شکل موج روی دیود محدود کننده را نمایش می‌دهد. فرکانس نوسان خیلی نزدیک به مقدار طراحی یعنی 1kHz می‌باشد. دامنه موج سینوسی با استفاده از امکان Probe در SPICE، ۱/۲۷V یا (۲/۵۴ نوک به نوک) به دست می‌آید. توجه کنید که این مقدار کمتر از ۳/۶V تخمین زده شده در تمرین (۷-۱۲) است، اما مقدار ۳/۶V با احتساب ۰/۷V افت روی هر دیود هدایت کننده در محدود کننده به دست آمده است. نمودار پایین شکل (۴۵-۱۲) نشان می‌دهد که افت دیود برای دامنه 1V نوک به نوک موج مربعی (یا تقریباً مربعی)، نزدیک به ۰/۵V است، بنابراین انتظار داریم که دامنه نوک به نوک موج سینوسی خروجی با همان ضریب کمتر از ۳/۶V باشد و در واقع همین طور نیز می‌باشد (۲/۵۷=۱/۴÷۳/۶).

تحلیل فوریه موج سینوسی خروجی نشان می‌دهد که اعوجاج هارمونیک کلی، THD=۲/۵۳٪ است. با تکرار شبیه‌سازی با Q=۲۰ (R_1=۲۰۰kΩ)، می‌بینیم که مقدار THD به ۰/۹۳٪ کاهش می‌یابد. بنابراین انتظار ما مبنی بر این که مقدار Qی فیلتر را می‌توان بعنوان عنصری موثر برای کنترل THD موج خروجی مورد استفاده قرار داد، تأیید می‌شود.

خلاصه

- دو نوع متمایز مولد سیگنال وجود دارد: نوسان‌سازهای خطی که از تشدید استفاده می‌کنند و نوسان‌سازهای غیرخطی یا مولدهای تابع که از روش سوئیچینگ مدار مولتی‌ویبراتور بهره می‌برند.
- یک نوسان‌ساز خطی را می‌توان با قراردادن شبکه گزینش فرکانس در مسیر فیدبک یک تقویت‌کننده (op-amp یا ترانزیستور) به دست آورد. مدار در فرکانسی که انتقال فاز حلقه صفر است نوسان می‌کند. در این فرکانس اندازه بهره حلقه مساوی یا بزرگتر از واحد است.
- اگر در یک نوسان‌ساز اندازه بهره حلقه بزرگتر از واحد باشد. دامنه تا جایی که فرآیند کنترل دامنه غیرخطی فعال شود، افزایش پیدا خواهد کرد.
- نوسان ساز پل وین، نوسان‌ساز انتقال فاز، نوسان‌ساز دو مجذوری و نوسان‌ساز تنظیمی فیلتر فعال، آرایشهای معروف برای فرکانسهای بیش از MHz ۱ هستند. این مدارها از یک شبکه RC و op-amp یا ترانزیستور استفاده می‌کنند. برای فرکانسهای بالاتر، نوسان‌سازهای تنظیمی LC یا تنظیمی کریستالی مورد استفاده قرار می‌گیرند. یک آرایش متداول مدار کولپیتس است.
- نوسان‌سازهای کریستالی بالاترین دقت و پایداری فرکانس را فراهم می‌آورند.
- سه نوع مولتی ویبراتور وجود دارد، با دو حالت پایدار، با یک حالت پایدار و ناپایدار. پیاده‌سازی مولتی‌ویبراتورها با op-amp در مدارهای آنالوگ که نیاز به دقت زیادی دارند مفید است. پیاده‌سازیهای منطقی دیجیتال در فصل ۱۳ مورد بحث قرار می‌گیرند.
- مولتی‌ویبراتور دو حالت پایدار دارد و می‌تواند بمدت نامشخصی در هر کدام باقی بماند. هنگام تحریک تغییر حالت می‌دهد. یک مقایسه کننده با هیسترزیس یک مدار با دو حالت پایدار است.
- مولتی‌ویبراتور با یک حالت پایدار، فقط یک حالت پایدار دارد که می‌توانند تا زمان نامشخصی در آن باقی بماند هنگامی که تحریک شود به یک حالت شبه پایدار رفته و برای مدت زمان از پیش‌تعیین‌شده‌ای در این حالت می‌ماند. بنابراین پالسی با عرض مشخص ایجاد می‌شود. به این مولتی‌ویبراتور تک‌ضربه نیز گفته می‌شود.
- مولتی ویبراتور ناپایدار هیچ حالت پایداری ندارد و بین دو حالت شبه پایدار نوسان می‌کند و برای مدت زمان از پیش تعیین شده‌ای در هر حالت باقی می‌ماند. بنابراین در خروجی یک موج متناوب تولید می‌شود.
- یک حلقه فیدبک شامل انتگرالگیر و مولتی‌ویبراتور با دو حالت پایدار برای تولید موج مثلثی و مربعی مورد استفاده قرار می‌گیرد.
- تایمر 555، یک IC تجاری در دسترس است که با مقاومتهای خارجی در خازن برای پیاده‌سازی مولتی‌ویبراتورهای دقیق با یک حالت پایدار و دو حالت پایدار مورد استفاده قرار می‌گیرد.
- یک موج سینوسی را می‌توان با اعمال یک شکل موج مثلثی به سازندهٔ شکل موج سینوسی به دست آورد، سازندهٔ شکل موج سینوسی را می‌توان هم با دیودها (یا ترانزیستورها و مقاومتها) و هم با استفاده از یک تقویت‌کننده دارای مشخصه انتقالی غیرخطی که تابع سینوس را تقریب می‌زند، تولید کرد.
- از ترکیب دیودها و op-amp ها مدارهای یکسوساز دقیق به دست می‌آیند که در آنها فیدبک منفی اثرات غیرایده‌آلی مشخصه‌های دیود را می‌پوشاند.

مسائل

بخش ۱-۱۲: اصول پایه نوسان‌کننده‌های سینوسی

*۱-۱۲ یک نوسان‌ساز سینوسی شامل یک تقویت‌کننده با بهره A مستقل از فرکانس (که در آن A مثبت است) و یک فیلتر میان‌گذر مرتبه دوم با یک قطب در فرکانس ω_0، Q قطب که با Q مشخص شده و بهره K در فرکانس مرکزی، می‌باشد.

(الف) فرکانس نوسان را پیدا کنید. شرایطی را بیابید که برای ادامهٔ نوسان K و A باید داشته باشند.

(ب) عبارتی برای $\frac{d\phi}{d\omega}$ در $\omega = \omega_0$ به دست آورید.

(پ) با استفاده از نتیجه (ب) عبارتی برای تغییرات فرکانس نوسان حاصل از زاویه فاز $\Delta\phi$ تابع انتقال تقویت‌کننده، بصورت در واحد به دست آورید.

راهنمایی: $\frac{d}{dx}(\tan^{-1} y) = \frac{1}{1+y^2}\frac{dy}{dx}$

۲-۱۲ برای نوسان‌ساز توصیف شده در مسأله ۱-۱۲ نشان دهید با استقلال مقادیر K و A، قطبهای مدار در فاصله شعاعی ω_0 قرار می‌گیرند. مقدار AK را که باعث می‌شود قطبها (الف) روی محور موهومی (ب) در نیمهٔ راست صفحه s در فاصله افقی $\omega_0/(2Q)$ از محور موهومی قرار بگیرند، پیدا کنید.

ط۳-۱۲ یک مدار برای نوسان‌ساز سینوسی با استفاده از op-amp در آرایش ناوارونگر و فیلتر میان‌گذر تشکیل شده از تشدیدکنندهٔ RLC (شکل ت ۱۸-۱۱) رسم کنید. برای به دست آوردن نوسانهای پایدار، بهرهٔ تقویت کننده باید چقدر باشد؟ فرکانس نوسان چقدر است؟ درصد تغییرات ω_0، حاصل از تغییر ۱٪+ در مقادیر (الف) L (ب) C (پ) R چقدر است؟

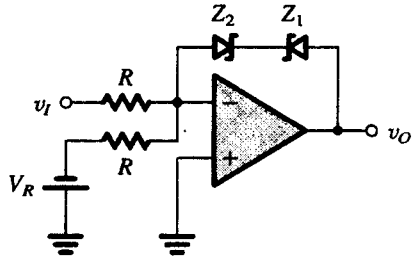
۱۲-۴ یک نوسان‌ساز از یک تقویت‌کننده هدایت انتقالی با بهره مثبت که بار آن مدار RLC است و مستقیماً خروجی را به ورودی متصل می‌کند (بنابراین فیدبک مثبت با ضریب $\beta = ۱$ بکار رفته است) شکل گرفته است. مقاومت ورودی تقویت‌کننده هدایت انتقالی ۱۰ kΩ و مقاومت خروجی هم ۱۰ kΩ می‌باشد. در تشدیدکننده LC، $L = ۱۰\ \mu H$، $C = ۱۰۰۰ PF$ و $Q = ۱۰۰$ است. به ازاء چه مقادیری از هدایت انتقالی G_m مدار نوسان خواهد کرد؟ در چه فرکانسی؟

۱۲-۵ در یک نوسان‌ساز ویژه که با ساختمان شکل (۱-۱۲) مشخص شده است شبکه انتخاب فرکانس دارای افت ۲۰ dB و جابجایی فاز ۱۸۰° در فرکانس ω_0 می‌باشد. کمترین بهره و جابجایی فاز که در آن تقویت‌کننده شروع به نوسان می‌کند چقدر است؟

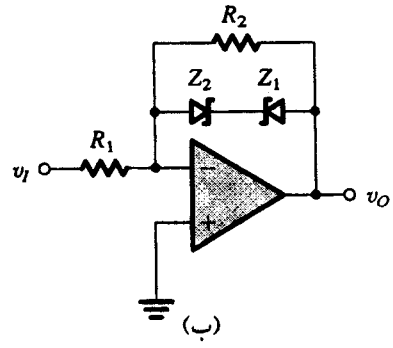
ط ۱۲-۶ مدار شکل (الف ۳-۱۲) را درنظر بگیرید که در آن R_f به منظور تحقق یک مقایسه‌کننده حذف شده است مقادیر مناسب را برای همهٔ مقاومتها را طوری پیدا کنید که سطوح خروجی مقایسه‌کننده ۶ V± بوده و شیب مشخصه محدودکننده ۰/۱ باشد. ولتاژ منبع تغذیه ۱۰ V± و افت ولتاژ روی دیودها را ۰/۷ ولت فرض کنید.

ط ۱۲-۷ مدار شکل (الف ۳-۱۲) را با R_f حذف شده برای تحقق یک مقایسه‌کننده درنظر بگیرید. مشخصه انتقالی را رسم کنید. نشان دهید با اتصال منبع dc، V_B به زمین مجازی op-amp از طریق مقاومت R_B مشخصه انتقالی در طول محور v_I به نقطه $v_I = -(\frac{R_1}{R_B})V_B$ منتقل می‌شود. با استفاده از منبع تغذیه، ۱۵ V dc± برای مقادیر V± و V_B مقادیر مناسب عناصر را طوری پیدا کنید که سطوح محدودکننده ۵ V±، و آستانهٔ مقایسه در $v_I = +۵$ V باشد. از افت ولتاژ روی دیود صرفنظر کنید (یعنی $V_D = ۰$ فرض کنید). مقاومت ورودی مقایسه‌کننده ۱۰۰ kΩ و شیب در ناحیه محدودشده بایستی حداکثر ۰/۰۵ V/V باشد از مقاومتهای استاندارد ۵% استفاده کنید. (ضمیمه ح را ببینید)

۱۲-۸ ولتاژهای زنر Z_1 و Z_2 با V_{Z1} و V_{Z2} مشخص می‌شود و فرض می‌شود که در جهت مستقیم ولتاژ افت کرده تقریباً ۰/۷ V باشد. مشخصه‌های انتقالی $v_O - v_I$ مدارهای شکل (۸-۱۲م) را با فرض ایده‌آل بودن دیودها رسم کنید.



(الف)



(ب)

شکل (۸-۱۲ م)

بخش ۲-۱۲ مدارهای نوسان‌کننده op-amp-RC

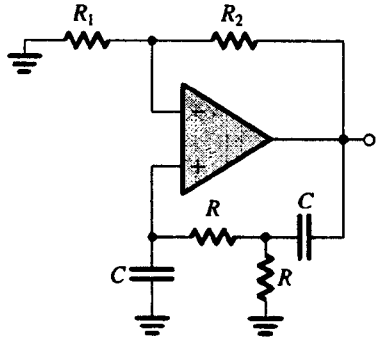
۱۲-۹ در مدار نوسان‌ساز پل وین شکل (۴-۱۲) نشان دهید تابع انتقال شبکه فیدبک $[\frac{V_a(s)}{V_o(s)}]$ از نوع فیلتر میان‌گذر است. ω_0، Q قطبها و بهره فرکانس مرکزی را پیدا کنید.

۱۲-۱۰ مدار نوسان‌ساز پل وین را در شکل (۴-۱۲) درنظر بگیرید که در آن تقویت‌کنندهٔ حلقه بسته (متشکل از op-amp و مقاومتهای R_1 و R_2) دارای جابجایی فاز ۰/۱- رادیان در همسایگی $\omega = 1/CR$ باشد. در اینجا حالت نوسان در چه فرکانسی بر حسب CR می‌تواند اتفاق بیفتد؟ (راهنمایی: از معادله ۱۱-۱۲ استفاده کنید).

۱۲-۱۱ در مدار نوسان ساز پل وین شکل (۴-۱۲)، از عبارت داده شده برای بهره حلقه در معادله (۱۰-۱۲)، برای پیداکردن قطبهای سیستم حلقه بسته استفاده کنید. عبارتی برای قطب Q به دست آورده و آن را برای نشان‌دادن این مطلب که برای قراردادن قطبها در سمت راست صفحه s، R_2/R_1 باید بزرگتر از ۲ باشد، مورد استفاده قرار دهید.

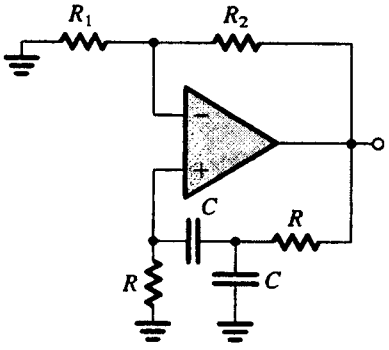
ط*۱۲-۱۲ تمرین ۳-۱۲ را با افزایش R_3 و R_6 به منظور کاهش ولتاژ خروجی درنظر بگیرید. برای به دست آوردن ولتاژ خروجی نوک به نوک ۱۰ V به چه مقادیری احتیاج داریم؟ اگر R_3 و R_6 مدار باز شوند چه اتفاقی می‌افتد؟

۱۲-۱۳ برای مدار نشان داده شده در شکل (م ۱۳-۱۲)، $L(s)$، $L(j\omega)$، فرکانس صفر شدن فاز حلقه و نسبت R_2/R_1 را برای نوسان به دست آورید.



شکل (۱۳-۱۲ م)

۱۲-۱۴ مسأله ۱۳-۱۲ را برای مدار شکل (۱۴-۱۲م) تکرار کنید.



شکل (۱۴-۱۲ م)

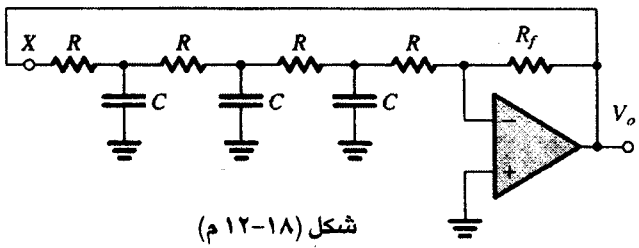
***۱۲-۱۵** مدار شکل (۶-۱۲) را که در آن پتانسیومتر ۵۰ kΩ با دو مقاومت ثابت عوض شده است درنظر بگیرید: یک مقاومت ۱۰ kΩ بین ورودی منفی op-amp و زمین و یک مقاومت ۱۸ kΩ. هر دیود را

بصورت یک باتری ۰/۶۵ V و یک مقاومت سری ۱۰۰ Ω مدل کنید. دامنه نوک به نوک موج سینوسی خروجی را به دست آورید.

ط**۱۶-۱۲ مدار شکل (۶-۱۲) را برای کار در فرکانس ۱۰ kHz با استفاده از همان مقادیر برای مقاومتها طراحی کنید. اگر در فرکانس ۱۰kHz، op-amp ،ایجاد جابجایی فاز اضافی °۵/۷ بنماید فرکانس نوسان چقدر خواهد بود. (فرض کنید جابجایی فاز ایجادشده توسط op-amp برای فرکانس‌های حدود ۱۰ kHz ثابت می‌ماند) برای باقی‌ماندن در فرکانس ۱۰kHz چه تغییری باید در مقاومت موازی پل وین داده شود؟ همچنین $\frac{R_2}{R_1}$ باید به چه مقداری تغییر کند؟

*۱۷-۱۲ در مدار شکل (۸-۱۲) یک مقاومت اضافی $R = 10\ k\Omega$ بصورت سری در سمت راست خازن C متصل کنید. در مورد این اصلاح انجام شده (صرفنظر از مدار پایداری دامنه) بهرهٔ حلقه $A\beta$ را با قطع مدار در گره X پیدا کنید. R_f را برای شروع نوسان و f_0 را نیز به دست آورید.

ط۱۸-۱۲ در مدار شکل (۱۸-۱۲م) حلقه را در گره X قطع کرده و بهرهٔ حلقه را به دست آورید (از انتها شروع کنید و برای راحتی V_x را برحسب V_o به دست آورید) برای $R = 10\ k\Omega$، C و R_f را برای نوسان‌های سینوسی ۱۰ kHz به دست آورید.



شکل (۱۸-۱۲م)

*۱۹-۱۲ نوسان‌ساز چهارتایی مدار شکل (۹-۱۲) را بدون محدودکننده درنظر بگیرید. مقاومت R_f را مساوی $2R/(1+\Delta)$ فرض کنید که در آن $\Delta << 1$ می‌باشد. نشان دهید قطبهای معادله مشخصه در سمت راست صفحه s بوده و از رابطه $s \cong (1/CR)[(\Delta/4) \pm j]$ به دست می‌آیند.

*۲۰-۱۲ با فرض اینکه شکل موج بریده توسط دیود در تمرین (۷-۱۲) تقریباً یک موج مربعی ایده‌آل و Q تشدیدکننده ۲۰ باشد با محاسبه دامنه در هریک از حالات زیر (نسبت به حالت اصلی) اعوجاج در موج سینوسی خروجی را تخمین بزنید.

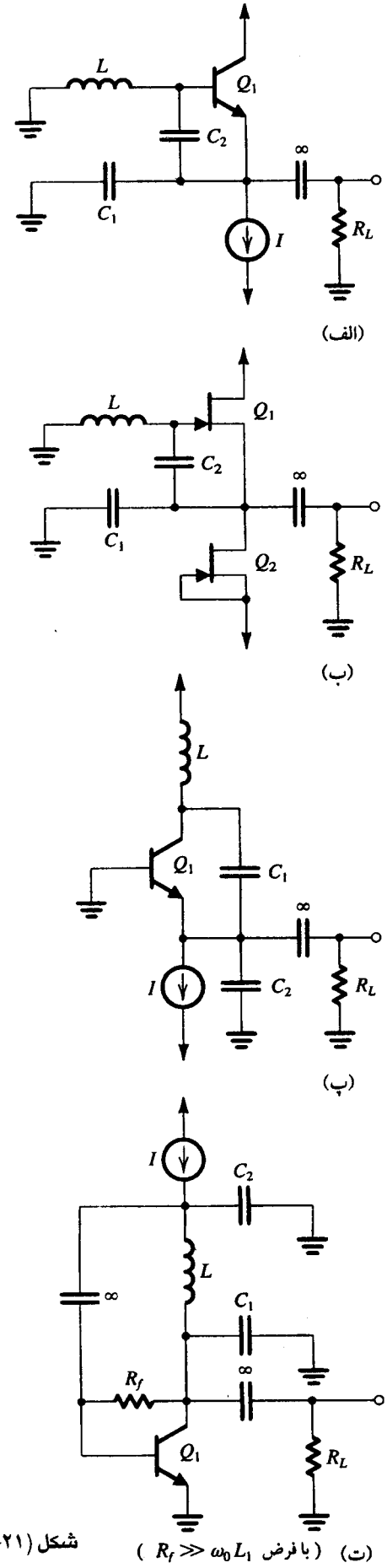
(الف) هارمونیک دوم
(ب) هارمونیک سوم
(پ) هارمونیک پنجم
(ت) مقدار مؤثر هارمونیک‌ها به هارمونیک دهم

توجه کنید یک موج مربعی با دامنه V و فرکانس ω با سری زیر به نمایش درمی‌آید.

$$\frac{4V}{\pi}\left(\cos\omega t - \frac{1}{3}\cos 3\omega t + \frac{1}{5}\cos 5\omega t - \frac{1}{7}\cos 7\omega t + \dots\right)$$

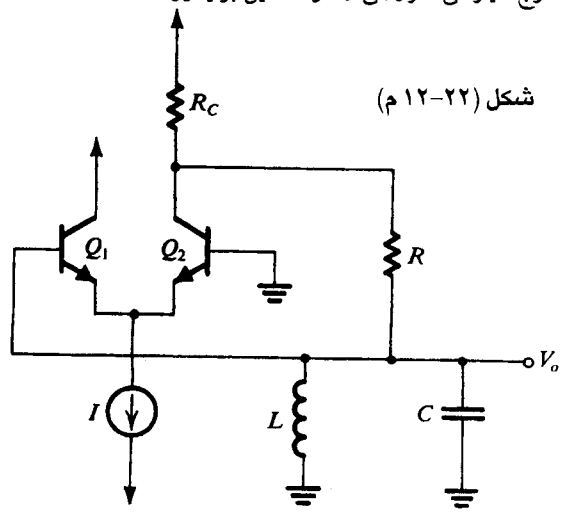
بخش ۳-۱۲: نوسان‌کننده‌های LC و کریستالی

**۲۱-۱۲ شکل (۲۱-۱۲م) چهار مدار نوسان‌ساز کولپیتس را نشان می‌دهد. جزئیات بایاس را کامل کنید. برای هر مدار معادلهٔ حاکم بر آن را به دست آورید. فرکانس نوسان و شرایط بهره را برای شروع نوسان پیدا کنید.



شکل (۲۱-۱۲م)

۱۲-۲۲ مدار نوسان‌ساز شکل (۲۲-۱۲ م) را با فرض $\beta = \infty$ برای آسانی کار درنظر بگیرید.
(الف) فرکانس نوسان و کمترین مقدار R_C (برحسب جریان بایاس) را برای شروع نوسان پیدا کنید.
(ب) اگر R_C برابر $(1/I)\text{K}\Omega$ انتخاب شود که در آن I بر حسب میلی‌آمپر است خود را متقاعد کنید که نوسان شروع خواهد شد. اگر رشد نوسانها تا نقطه V_o برای روشن و خاموش‌کردن BJT ها کافی باشد نشان دهید ولتاژ کلکتور Q_2 یک موج مربعی با مقدار نوک به نوک ۱ V است. دامنه نوک به نوک موج سینوسی خروجی V_o را تخمین بزنید.



شکل (۲۲-۱۲ م)

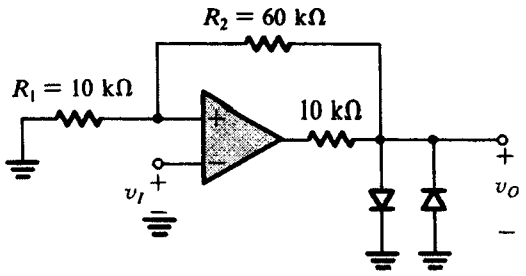
۱۲-۲۳ نوسان‌ساز کریستالی پیرس در شکل (۱۶-۱۲) را که مشخصات کریستال آن در تمرین ۱۰-۱۲ داده شده است درنظر بگیرید. C_1 در محدودهٔ ۱ تا ۱۰ pF متغیر بوده و C_2 در ۱۰ pF ثابت است. گستره فرکانس نوسان را پیدا کنید. (راهنمایی: از نتایج مراحل رسیدن به معادله ۲۷-۱۲ استفاده کنید).

بخش ۴-۱۲: مولتی ویبراتور با دو حالت پایدار

۱۲-۲۴ مدار با دو حالت پایدار شکل (الف ۱۹-۱۲) که در آن پایانه رودی مثبت op-amp ها از طریق مقاومت R_3 به منبع ولتاژ مثبت V متصل شده است را درنظر بگیرید.
(الف) عبارتهایی برای ولتاژهای آستانه V_{TL} و V_{TH} برحسب سطوح اشباع op-amp ها یعنی L_+ و L_-، R_1، R_2، R_3 و V به دست آورید.
(ب) با $L_+ = -L_- = 13\text{ V}$، $V = 15\text{ V}$ و $R_1 = 10\text{ k}\Omega$، مقدار R_2 و R_3 را که باعث می‌شوند $V_{TL} = +4.9\text{V}$ و $V_{TH} = +5.1\text{ V}$ شود پیدا کنید.

۱۲-۲۵ مدار با دو حالت پایدار شکل (الف ۲۰-۱۲) که در آن پایانه ورودی منفی از زمین جدا شده و به ولتاژ مرجع V_R متصل می‌شود درنظر بگیرید.
(الف) عبارتهایی برای ولتاژهای آستانه V_{TL} و V_{TH} برحسب سطوح اشباع op-amp ها یعنی L_+ و L_-، R_1 و R_2 و V_R پیدا کنید.
(ب) با $R_1 = 10\text{ k}\Omega$ و $L_+ = -L_- = V$. مقادیر R_2 و V_R را که منجر به ولتاژهای آستانه صفر و $V/10$ می‌شوند پیدا کنید.

۱۲-۲۶ در مدار شکل (۲۶-۱۲ م) مشخصه انتقالی $v_O - v_I$ را رسم کنید. فرض کنید افت ولتاژ روی دیودها را در حالت هدایت ۰/۷ V بوده و op-amp در ۱۲ V± اشباع می‌شود. بیشترین جریان دیود چقدر است؟



شکل (۲۶-۱۲ م)

۱۲-۲۷ مدار شکل (۲۶-۱۲ م) را با R_1 حذف شده و R_2 اتصال کوتاه شده در نظر بگیرید. مشخصه انتقالی $v_O - v_I$ را رسم کنید. فرض کنید افت ولتاژ روی دیودها در حال هدایت ۰/۷ V بوده و op-amp در ۱۲ V± اشباع می‌شود.

۱۲-۲۸* یک مدار با دو حالت پایدار با مشخصه انتقالی ناوارونگر و $L_+ = -L_- = 12\text{ V}$، $V_{TL} = -1\text{ V}$ و $V_{TH} = 1\text{ V}$ درنظر بگیرید.
(الف) برای یک موج سینوسی ورودی ۰/۵ V با میانگین صفر خروجی چقدر است؟
(ب) اگر یک موج سینوسی با فرکانس f و دامنه ۱/۱ V به ورودی اعمال شود، متوسط این موج سینوسی ورودی چقدر می‌تواند جابجا شود قبل از اینکه خروجی به مقدار ثابتی برسد؟

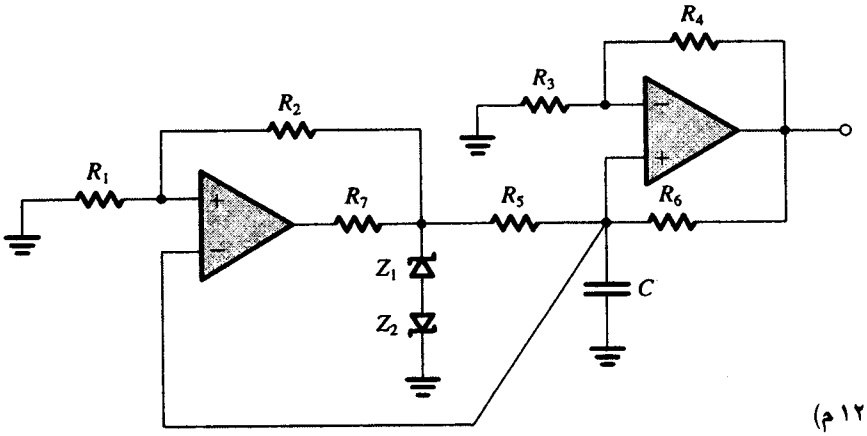
ط ۱۲-۲۹ مدار شکل (الف ۲۳-۱۲) را برای به دست آوردن مشخصه انتقالی با خروجی ۷/۵ V± و آستانه ۷/۵ V± طراحی کنید. طراحی را طوری انجام دهید که اگر $v_I = 0\text{ V}$ باشد جریان ۰/۱ mA در مقاومت فیدبک جاری شده و جریان دیودهای زنر نیز ۱ mA باشد. فرض کنید سطوح اشباع خروجی op-amp، ۱۲ V± باشد. ولتاژ دیودهای زنر و مقدار همه مقاومتها را به دست آورید.

بخش ۵-۱۲: تولید شکل موجهای مربعی و مثلثی با استفاده از مولتی ویبراتورهای ناپایدار

۱۲-۳۰ فرکانس نوسان مدار شکل (ب ۲۴-۱۲) را در حالت $R_1 = 10\text{ k}\Omega$، $R_2 = 16\text{ k}\Omega$ و $C = 10\text{ nF}$ و $R = 62\text{ k}\Omega$ به دست آورید.

ط ۱۲-۳۱ به مدار مولتی‌ویبراتور ناپایدار شکل (ب ۲۴-۱۲) یک محدودکننده خروجی از نوع نشان داده شده در شکل (ب ۲۳-۱۲) اضافه کنید. مدار را برای به دست آوردن موج مربعی خروجی با دامنهٔ ۵ V و فرکانس ۱ kHz با استفاده از خازن C به ظرفیت ۱۰ nF طراحی کنید. از $\beta = 0.462$ استفاده کرده و جریان در مقسم مقاومتی تقریباً مساوی با میانگین جریان دو شبکه RC در هر نیم‌سیکل باشد. با فرض اینکه op-amp در ۱۳ V± اشباع می‌شود ترتیبی دهید که دیودهای زنر با جریان ۱ mA کار کنند.

ط ۱۲-۳۲ با استفاده از الگوی شکل (۲۵-۱۲) مداری جهت بدست آوردن موج‌های مربعی و مثلثی با مقدار نوک تا نوک ۱۰ V و فرکانس ۱kHz طراحی کنید. در مدار شکل (ب ۲۳-۱۲) با استفاده از خازن ۰/۰۱μF و مشخص‌کردن مقدار همه مقاومتها و ولتاژ زنرها، یک مدار با دو حالت پایدار طراحی کنید. فرض کنید سطوح اشباع خروجی



شکل (۳۳-۱۲ م)

op–amp ها ۱۳ V±، کمترین جریان زنرها، ۱mA و بیشترین جریان در مقسم مقاومتی ۰/۲mA باشد.

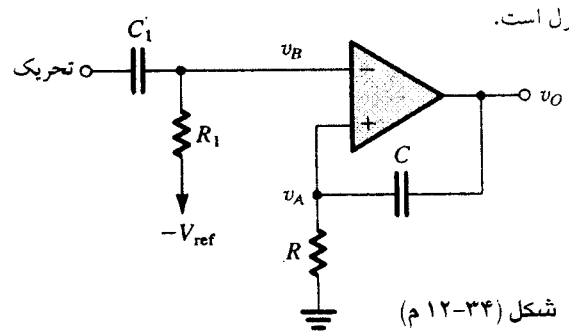
ط*۱۲-۳۳ مدار شکل (۳۳-۱۲م) شامل یک مولتی‌ویبراتور با دو حالت پایدار با محدودکنندهٔ خروجی و یک انتگرالگیر ناوارونگر است. (این انتگرالگیر در مثال ۶-۲ بررسی شد) با درنظر گرفتن مقادیر مساوی برای همهٔ مقاومتها غیر از R_7 و خازن ۰/۵ nF مدار را برای به دست آوردن موج مربعی در خروجی مولتی‌ویبراتور با مقدار نوک تا نوک ۱۵ V و فرکانس ۱۰kHz طراحی کنید شکل موج خروجی انتگرالگیر را رسم کنید. با فرض سطوح اشباع ۱۳ V± برای op–amp طراحی را طوری انجام دهید که حداقل جریان زنرها، ۱ mA باشد. ولتاژهای زنر و مقادیر مقاومتها را مشخص کنید.

بخش ۶-۱۲: تولید پالس استانداردشده – مولتی‌ویبراتور با یک حالت پایدار

***۱۲-۳۴** شکل (۳۴-۱۲م) یک مولتی‌ویبراتور با یک حالت پایدار را نشان می‌دهد. در حالت پایدار، $v_O = L_+$، $v_A = 0$ و $v_B = -V_{ref}$ می‌باشد. مدار با اعمال پالس ورودی مثبت بزرگتر از V_{ref} تحریک می‌شود. در حالت کار عادی، $C_1R_1 \ll CR$ است. شکل موجهای v_O و v_A را نشان دهید. همچنین نشان دهید پالس تولیدشده در خروجی دارای پهنای T می‌باشد که از رابطه زیر به دست می‌آید:

$$T = CR \ln\left(\frac{L_+ - L_-}{V_{ref}}\right)$$

توجه کنید که خاصیت جالب مدار این است که پهنای پالس با تغییر V_{ref} قابل کنترل است.



شکل (۳۴-۱۲ م)

۱۲-۳۵ برای مدار با یک حالت پایدار تمرین ۱۹-۱۲ زمان بازگشت را حساب کنید.

ط*۱۲-۳۶ در مدار شکل ۲۶-۱۲ فرض کنید op–amp تقریباً ایده‌آل بوده و سطوح اشباع ۱۳ V± باشد. یک مولتی‌ویبراتور با یک حالت پایدار طراحی کنید که خروجی آن پالس منفی با دورهٔ ۱۰۰ μs باشد. از خازنهای ۰/۱ nF و ۱ nF و تا آنجاکه ممکن باشد، از مقاومتهای ۱۰۰kΩ در طرح خود استفاده کنید. افت ولتاژ روی دیودها را ۰/۷ V فرض کنید. کمترین مقدار پلهٔ ورودی که مدار را تحریک کند چقدر است؟ چه زمانی طول می‌کشد تا مدار به حالت پایدار برگردد در حالتی که امکان تحریک مجدد با خروجی عادی وجود داشته باشد؟

بخش ۷-۱۲: تایمرهای مدار مجتمع

۱۲-۳۷ مدار 555 را در حالتی که پایانه‌های ورودی تحریک و آستانه آن به یکدیگر و به ولتاژ v_I متصل شده درنظر بگیرید. ثابت کنید مشخصه انتقالی $v_O - v_I$ این مدار مانند مدار با دو حالت پایدار وارونگر با ولتاژهای آستانه $V_{TL} = \frac{1}{3}V_{CC}$ و $V_{TH} = \frac{2}{3}V_{CC}$ و سطوح خروجی صفر و V_{CC} می‌باشد.

۱۲-۳۸ (الف) با استفاده از یک خازن ۱ nF در مدار شکل (۲۸-۱۲)، مقدار R را برای ایجاد پالسی با دورهٔ ۱۰ μs در خروجی به دست آورید. (ب) اگر تایمر 555 بکاررفته در (الف) با $V_{CC} = 15$ V تغذیه شود با فرض اینکه V_{TH} از خارج قابل تغییر است (یعنی نیازی نیست در $\frac{2}{3}V_{CC}$ ثابت بماند) مقادیر لازم را برای اینکه عرض پالس خروجی به ۲۰ μs افزایش پیدا کند با همان شرایط (الف) به دست آورید.

ط ۱۲-۳۹ با استفاده از خازن ۶۸۰ pF مدار بدون حالت پایدار شکل (الف ۲۹-۱۲) را برای به دست آوردن موج مربعی خروجی ۵۰ kHz و duty cycle، ۷۵ % طراحی کنید. مقادیر R_A و R_B را مشخص کنید.

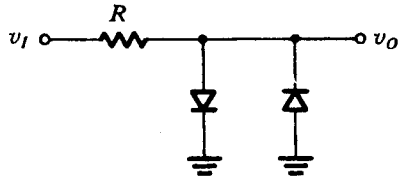
***۱۲-۴۰** در تایمر 555 در نقطه‌ای که ولتاژ، V_{TH} است (یعنی پایانه ورودی وارونگر مقایسه‌کننده ۱) معمولاً به یک پایانه خارجی متصل می‌شود. این مطلب به طراح اجازه می‌دهد که V_{TH} را از خارج تغییر دهد (یعنی در مقدار $\frac{2}{3}V_{CC}$ باقی نمی‌ماند) اما دقت کنید که V_{TH} هر مقداری داشته باشد، V_{TL} همیشه در مقدار $\frac{1}{2}V_{TH}$ باقی می‌ماند.
(الف) در مدار ناپایدار شکل (۲۹-۱۲) عباراتی برای T_H و T_L برحسب V_{TL} و V_{TH} به دست آورید.
(ب) در حالت $C = 1$ nF و $R_A = 7.2$ kΩ، $R_B = 3.6$ kΩ و $V_{CC} = 5$ V فرکانس نوسان و duty cycle موج مربعی را هنگامی که هیچ ولتاژ خارجی به

پایانه V_{TH} اعمال نمی‌شود به دست آورید.

(پ) در طراحی حالت (ب) یک سیگنال موج سینوسی با فرکانس خیلی پایین‌تر از آنچه در (ب) به دست آمده با دامنه ۱ V که با کوپلاژ خازنی به گره V_{TH} اعمال می‌شود درنظر بگیرید. این سیگنال باعث می‌شود V_{TH} تغییرات آرامی در محدودهٔ $\frac{2}{3} V_{CC}$ داشته باشد و بنابراین T_H تغییراتی متناسب با آن خواهد داشت. (فرآیند مدولاسیون) T_H را پیدا کنید. فرکانس نوسان و duty cycle را در دو مقدار حدی V_{TH} به دست آورید.

بخش ۸-۱۲: مدارهای سازنده شکل موج غیرخطی

ط* ۱۲-۴۱ مدار دو دیودی شکل (۱۲-۴۱ م) می‌تواند در مقابل تحریک با یک موج مثلثی، یک موج سینوسی با تقریب نه چندان خوبی تولید کند. برای به دست آوردن یک تقریب خوب، دامنه موج خروجی، V را طوری انتخاب می‌کنیم که شیب موج سینوسی در نقطه برخورد با محور، با شیب موج مثلثی مساوی باشند. R نیز طوری انتخاب می‌شود که هنگام قرار گرفتن v_I در بیشترین مقدار خود (نوک موج) ولتاژ خروجی برابر مقدار خواسته شده برای ولتاژ نوک موج سینوسی باشد. اگر افت ولتاژ روی دیودها در جریان ۱ mA، ۰/۷ V باشد که بر اساس هر ده برابر تغییر جریان، ۰/۱V تغییر می‌کند، مقادیر V و R که تقریب خوبی از یک موج سینوسی با دامنه ۰/۷ V بدهد را پیدا کنید. سپس زاویه θ را ($\theta = 90°$ هنگامی است که v_I در ولتاژ نوک خود می‌باشد) هنگامی که خروجی مدار در ولتاژهای ۰/۷، ۰/۶۵، ۰/۶، ۰/۵۵، ۰/۵، ۰/۴، ۰/۳، ۰/۲، ۰/۱ و صفرولت است پیدا کنید. از زاویه به دست آمده برای محاسبهٔ مقادیر دقیق موج سینوسی (یعنی $0.7 \sin\theta$) استفاده کرده و درصد خطای مدار را بعنوان تولیدکننده شکل موج سینوسی به دست آورید. نتایج را جدول‌بندی کنید.



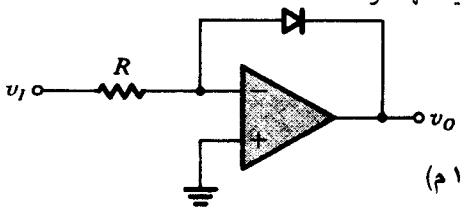
شکل (۱۲-۴۱ م)

ط ۱۲-۴۲ یک تولیدکننده شکل موج سینوسی دو قسمتی با استفاده از مقاومت ورودی ۱۰ kΩ، دو دیود و دو ولتاژ محدودکننده طراحی کنید. به مدار، موج مثلثی با ولتاژ نوک تا نوک ۱۰ V اعمال می‌شود که بایستی سیگنال خروجی را از طریق ولتاژهای ۰/۷ V دیود به مقداری منطبق بر شیب نقطه برخورد موج سینوسی با محور، که همان شیب موج مثلثی است محدود کند. ولتاژهای محدودکننده باید چقدر باشند؟

ط ۱۲-۴۳ نشان دهید ولتاژ خروجی مدار شکل (۱۲-۴۳ م) از رابطه زیر به دست می‌آید.

$$v_O = -nV_T \ln\left(\frac{v_I}{I_S R}\right) \qquad v_I > 0$$

که در آن I_S و n پارامترهای دیود و V_T ولتاژ حرارتی است. از آنجا که ولتاژ خروجی متناسب با لگاریتم ولتاژ ورودی می‌باشد به مدار، **تقویت‌کننده لگاریتمی** گفته می‌شود. این تقویت‌کننده‌ها کاربردهایی در فشرده کردن گستره سیگنالها دارند.

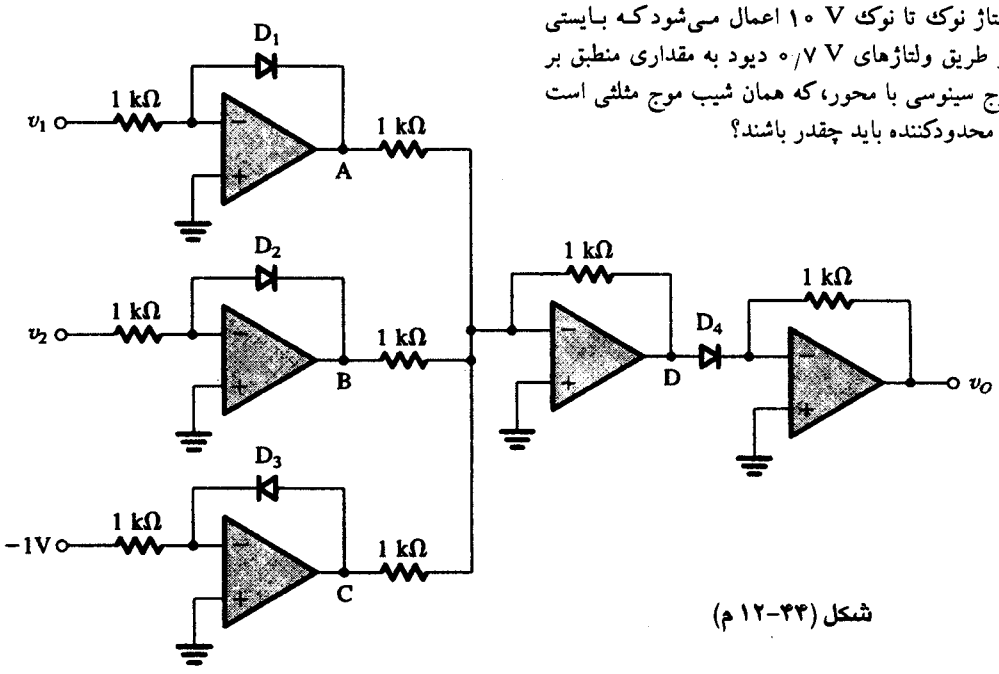


شکل (۱۲-۴۳ م)

۱۲-۴۴ ثابت کنید مدار شکل (۱۲-۴۴م) نمایشگر مشخصه انتقالی $v_O = v_1 v_2$ برای (v_1 و $v_2 > 0$) می‌باشد. به این مدار ضرب‌کنندهٔ آنالوگ می‌گویند. کار مدار را برای ترکیبات مختلف ولتاژ ورودی، ۰/۵، ۱، ۲ و ۳ ولت امتحان کنید. افت ولتاژ دیودها را در جریان ۱ mA، ۷۰۰ mV و n را ۲ درنظر بگیرید. توجه کنید که یک مجذورکننده با استفاده از یک ورودی (مثلاً v_I) از طریق مقاومت ۰/۵kΩ (بجای ۱ kΩ) می‌تواند به آسانی به دست آید.

****۱۲-۴۵** تحلیل مشروح مدار شکل (۱۲-۳۲) نشان می‌دهد عملکرد بهینه، (بعنوان مولد موج سینوسی) هنگامی صورت می‌گیرد که مقادیر I و R رابطه‌ای به شکل روبرو داشته باشند: $RI = 2.5\, V_T$ که در آن V_T ولتاژ حرارتی بوده و دامنه موج مثلثی ورودی $6.6\, V_T$ می‌باشد. اگر خروجی از مقاومت R گرفته شود (یعنی بین دو امیتر) v_I معادل با $v_O = 0.25\, V_T$، V_T، 0.5، V_T، $1.5 V_T$، $2\, V_T$، $2.4\, V_T$ و $2.42\, V_T$ را پیدا کنید. v_O را برحسب v_I رسم کنید و با منحنی ایده‌آل آن که از رابطه زیر حاصل می‌شود مقایسه کنید.

$$v_O = 2.42\, V_T \sin\left(\frac{v_I}{6.6\, V_T} \times 90°\right)$$



شکل (۱۲-۴۴ م)

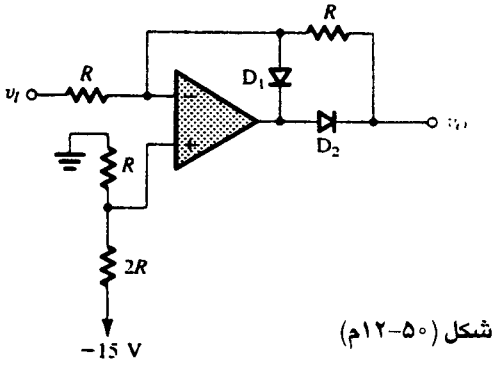
۴۶-۱۲ دو مدار سوپردیود به یک بار مشترک وصل شده و دارای سیگنالهای ورودی مشترک که دیودها را در حالت معکوس قرار دهند می‌باشند (یکی از دیودها، از کاتد به بار و دیگری از آند به بار). برای یک موج سینوسی ورودی با ولتاژ نوک تا نوک ۱۰ V، شکل موج خروجی چیست؟ توجه کنید هر نیم سیکل جریان بار از تقویت‌کننده مجزا به دست آمده و هنگامی که یکی از تقویت‌کننده‌ها بار را تغذیه می‌کند دیگری جریانی به بار نمی‌دهد. این حالت، کار در کلاس B نامیده می‌شود که در ساخت تقویت‌کننده‌های توان مهم است.

ط ۴۷-۱۲ مدار سوپردیود شکل (الف ۳۳-۱۲) با اتصال مقاومت R_2 بجای اتصال کوتاه بین کاتود دیود و پایانه ورودی منفی op-amp، و R_1 بین پایانهٔ ورودی منفی و زمین، می‌تواند دارای بهره باشد. مدار را برای داشتن بهره ۲ طراحی کنید. برای موج سینوسی ورودی با ولتاژ نوک تا نوک ۱۰ V، میانگین ولتاژ خروجی چقدر است؟

ط ۴۸-۱۲ یک طراحی برای یکسوساز دقیق وارونگر شکل (الف ۳۴-۱۲) انجام دهید که در آن بهره، برای ورودیهای منفی ۲-، و در حالات دیگر، صفر بوده و مقاومت ورودی ۱۰۰ kΩ باشد. مقادیر R_1 و R_2 را چقدر انتخاب می‌کنید؟

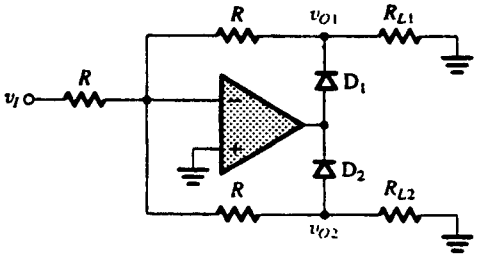
ط* ۴۹-۱۲ یک طراحی برای مدار ولتمتر مشابه شکل (۳۵-۱۲)، که در فرکانسهای ۱۰ Hz و بالاتر کار کند، انجام دهید. این مدار بایستی برای سیگنالهای سینوسی ورودی بگونه‌ای تنظیم شود که در مقابل ورودی ۱ V rms خروجی ۱۰ V+ تولید کند. مقاومت ورودی باید تا حد امکان زیاد باشد. برای گسترش پهنای باند، بهره ac مدار باید در حد معقولی کوچک باشد. علاوه بر آن طراحی باید با مقادیر کوچک خازن C صورت گیرد. بزرگترین مقاومت موجود ۱ MΩ می‌باشد.

۵۰-۱۲ مشخصه انتقالی مدار شکل (۵۰-۱۲م) را رسم کنید.



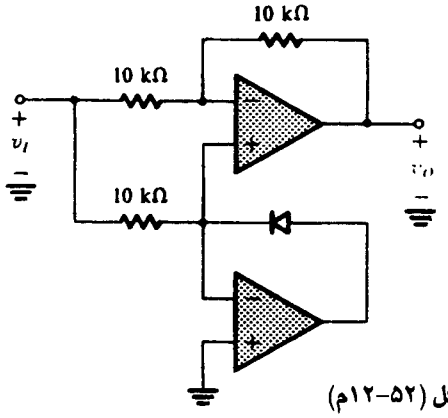
شکل (۵۰-۱۲م)

۵۱-۱۲ مشخصه انتقالی $v_{O1} - v_I$، و $v_{O2} - v_I$ مدار شکل (۵۱-۱۲م) را رسم کنید.



شکل (۵۱-۱۲م)

۵۲-۱۲ مشخصه‌های انتقالی مدار شکل (۵۲-۱۲م) را رسم کنید.



شکل (۵۲-۱۲م)

ط ۵۳-۱۲ مدار مربوط به شکل (۳۸-۱۲) به منظور فراهم‌آوردن جریانی متناسب با v_A، ($v_A \geq 0$) برای دیود نورانی (LED) مورد استفاده قرار گرفته است. مقدار جریان باید مستقل از تغییرات و مشخصه‌های غیرخطی دیودها باشد. توضیح دهید که این کار چگونه به آسانی انجام می‌شود.

***۵۴-۱۲** در مدار یکسوساز دقیق شکل (۳۸-۱۲) خازن C جایگزین مقاومت R می‌گردد. چه اتفاقی می‌افتد؟ برای عملکرد معادل با یک ورودی موج سینوسی با فرکانس ۶۰ Hz و $R = 1\ k\Omega$، مقدار C بایستی چقدر باشد؟ پاسخ مدار اصلاح شده در فرکانس ۱۲۰ Hz چیست؟ در ۱۸۰ Hz چطور؟ اگر دامنه v_A ثابت نگهداشته شود. مدار چه عمل جدیدی انجام می‌دهد؟ اکنون اثر تغییرات شکل موج را روی هر دو مدار درنظر بگیرید (یکی با R و یکی با C)، برای یک موج مثلثی ورودی ۶۰ Hz که تولید جریان متوسط ۱ mA را در سنجشگر می‌کند (در مدار با R) هنگامی که به جای R، خازن C با مقدار به دست آمده بالا را قرار دهیم مقدار متوسط جریان چقدر می‌شود؟

***۵۵-۱۲** یکسوساز ولتاژ نوک مثبت از یک op-amp سریع و دیود پیوندی در آرایش سوپردیود و خازن ۱۰ μF که در آغاز بی‌بار است تشکیل شده است، به این مدار یک سری پالس ۱۰ V با دورهٔ ۱۰ μs اعمال می‌شود. اگر بیشترین جریان خروجی که op-amp می‌توان فراهم کند ۱۰ mA باشد. ولتاژ خازن در ازای یک پالس چقدر است؟ دو پالس چقدر؟ ده پالس چقدر؟ به چند پالس نیاز است تا خروجی به مقادیر ۰/۵ V، ۱ V، و ۲ V برسد؟

ط ۵۶-۱۲ یکسوسازِ نوکِ دقیقِ میانگیر شدهٔ شکل (۴۰-۱۲) را هنگامی که به یک ورودی مثلثی با ولتاژ نوک تا نوک ۱ V و فرکانس ۱۰۰۰ Hz متصل شده درنظر بگیرید. در این مدار، جریان بایاس op-amp (مستقیماً به داخل A_2) ۱۰ nA، و جریان نشتی معکوس دیودها ۱ nA است کوچکترین خازنی که تضمین‌کننده نوسان ناخواسته (ripple) کمتر از ۱% در خروجی باشد چقدر است؟

قسمت III

مدارهای دیجیتالی

- فصل ۱۳ مدارهای دیجیتال MOS
- فصل ۱۴ مدارهای دیجیتالی با فن آوری پیشرفته و مدارهای با ترانزیستورهای دوقطبی

پیشگفتار

قسمت III به بررسی مدارهای دیجیتال اختصاص دارد. مدارهای دیجیتالی نقش مهمی در دستگاههای الکترونیک مدرن دارند. در دستگاههای بسیاری شامل دستگاههای مخابراتی، کنترل، اندازه‌گیری، و وسایل الکترونیک خانگی، و کامپیوتر کاربرد فراوان دارند. علت کاربرد فراوان مدارهای دیجیتالی آن است که بصورت بسته‌بندی و بسیار ارزان در دسترس می‌باشد.

هیچ بخشی از مهندسی به اندازه طراحی IC های دیجیتال گسترش نداشته است. بیش از ۲۵ سال است که طراحی تراشه‌های مدار مجتمع دیجیتالی هر سال دو برابر شده است.

مطالب قسمت III بر اساس مقدمه مدارهای دیجیتالی بخش ۷-۱ و مدارهای MOSFET فصل (۵) و BJT در فصل (۴) است. نیز فرض این است که خواننده با دستگاههای دیجیتال و گیت‌های منطقی آشناست.

فصل ۱۳

مدارهای دیجیتال MOS

۱-۱۳ مدارهای منطقی-بررسی کلی
۲-۱۳ طراحی و تحلیل وارونگر CMOS
۳-۱۳ مدارهای گیت منطقی CMOS
۴-۱۳ مدارهای منطقی شبه NMOS
۵-۱۳ مدارهای منطقی ترانزیستور عبوری
۶-۱۳ مدارهای منطقی گذرا
۷-۱۳ قفل‌ها و فلیپ فلاپها
۸-۱۳ مدارهای مولتی ویبراتور
۹-۱۳ حافظه‌های نیمه هادی: نوع و ساختار
۱۰-۱۳ سلول‌های حافظه با دستیابی تصادفی (RAM)
۱۱-۱۳ تقویت کننده‌های حسی و رمزگشای آدرس
۱۲-۱۳ حافظه فقط خواندنی (ROM)
۱۳-۱۳ مثالی از شبیه سازی SPICE
خلاصه - مسائل - کتابشناسی

مقدمه

ابتدا یک بررسی کلی در مورد مباحث ارائه شده در این فصل خواهیم داشت. سپس با تکیه بر مطالب بخش (۸-۵) به بررسی عمیق طراحی و تحلیل وارونگر CMOS و منطق ترانزیستور عبوری را که غالباً در کاربردهای خاص در کنار CMOS مورد استفاده قرار می‌گیرند، مطالعه خواهیم کرد.

موضوع کاهش توان مصرفی و در عین حال افزایش سرعت عملکرد، که با تکیه بر تکنیک‌های منطقی گذرا صورت می‌گیرد، در بخش (۶-۱۳) بررسی شده و مطالعات ما را در مورد مدارهای ترکیبی کامل می‌کند. در ادامه فصل نیز به موضوعات مهم مدارهای ترتیبی پرداخته می‌شود. قفل با دو حالت پایدار که پایه و اساس انواع فلیپ فلاپ‌هاست، مدارهای مولد پالس و شکل دهنده پالس و مهم‌تر از همه، مدارهای حافظه (ROM, RAM) حاصل مدارهای ترتیبی هستند. با مثالی از شبیه‌ساز SPICE فصل را به انتها خواهیم رساند.

بطور خلاصه، این فصل نگاهی عمیق به طراحی مدار مجتمع دیجیتالی MOS است که مبحثی گسترده (حداقل از نظر حجم تولید و فشردگی) در مدارهای الکترونیکی است. توصیه می‌کنیم فصل ۵ و بخصوص بخش (۸-۵) را برای بهره‌گیری کامل از مطالب این فصل، مطالعه نمایید.

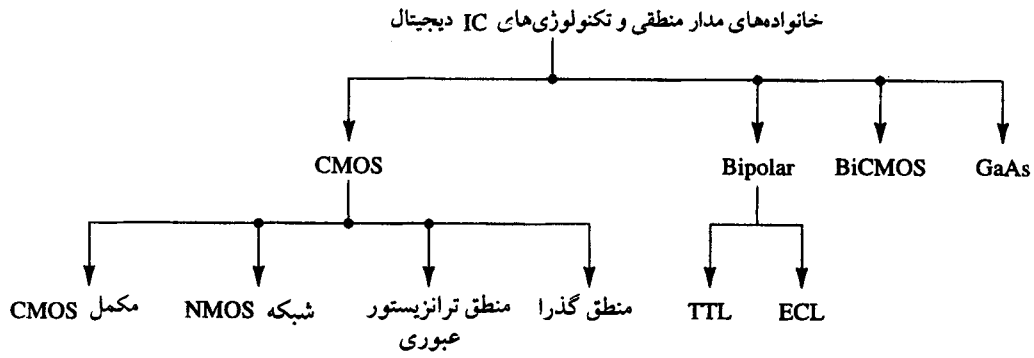
۱-۱۳ طراحی مدار دیجیتال: یک بررسی کلی

در این بخش، با تکیه بر مطالب بخش (۷-۱)، مدارهای دیجیتالی مورد بحث قرار می‌گیرند. ابتدا تکنولوژی‌های مختلف و خانواده‌های مدار منطقی متداول و پارامترهای کاری آنها معرفی شده، در نهایت روش‌های مختلف طراحی سیستم دیجیتال ارائه می‌گردد.

۱-۱-۱۳ تکنولوژی‌های IC دیجیتال و خانواده‌های مدار منطقی

تکنولوژی‌های عمده IC و خانواده‌های مدار منطقی متداول (۱۹۹۷) در شکل (۱-۱۳) نشان داده شده است.

ابتدا توضیح کوتاهی در رابطه با هر یک از چهار تکنولوژی فهرست شده در شکل (۱-۱۳) ارائه می‌کنیم.



شکل ۱-۱۳. تکنولوژی‌های IC دیجیتال و خانواده‌های مدار منطقی

CMOS . تکنولوژی CMOS عمده‌ترین تکنولوژی ساخت IC دیجیتال است. چنانچه قبلاً گفته شد، CMOS جانشین NMOS می‌باشد که در آغاز فرآیند VLSI در دهه ۱۹۷۰ مورد استفاده قرار می‌گرفت. یکی از دلایل متعدد فراگیر شدن CMOS توان مصرفی پایین آن است و بعلت قابلیت فشردگی زیاد جایگزین تکنولوژی دو قطبی نیز شده است. برخی از دلایل جایگزینی CMOS به جای دوقطبی در کاربردهای دیجیتال عبارتند از:

۱- مدارهای منطقی CMOS ، نسبت به مدارهای منطقی دو قطبی توان کمتری مصرف می‌کنند و می‌توان مدارهای بیشتری را روی یک تراشه جای داد. در بخش‌های آتی در این رابطه بیشتر خواهیم گفت.

۲- امپدانس ورودی بالای ترانزیستور MOS به طراح اجازه می‌دهد که از بارهای جمع شده بمنظور حافظه موقت در مدارهای منطقی و حافظه استفاده کرد. از این روش نمی‌توان در مدارهای دوقطبی استفاده کرد.

۳- اندازه (یعنی کمترین طول کانال) ترانزیستور MOS بطرز اعجاب آوری کوچک شده است تا جایی که امروزه از طول کانال $0/15\mu m$ استفاده می‌شود. همین امر باعث فشردگی مدار می‌شود.

متداول‌ترین نوع CMOS ، مدارهای CMOS مکمل هستند که از وارونگر مطالعه شده در بخش (۸-۵) استفاده می‌کنند. از CMOS در مدار مجتمع مقیاس کوچک (SSI) (شامل ۱ تا ۱۰ گیت منطقی) و مدار مجتمع مقیاس متوسط (MSI) (شامل ۱۰ تا ۱۰۰ گیت) و از همه بیشتر در VLSI (شامل میلیون‌ها گیت در هر تراشه) و طراحی حافظه‌ها استفاده می‌شود. در برخی از کاربردها، از شبه CMOS که بعلت شباهت آن‌ها به NMOS بدین نام خوانده می‌شوند، و نیز از منطق ترانزیستور عبوری، در کنار CMOS مکمل استفاده می‌شود. چهارمین نوع مدار منطقی CMOS بمنظور سرعت بالا و در عین حال حفظ توان مصرفی کم، از روش‌های گذرا استفاده می‌کند و از آن در طراحی تراشه‌های حافظه بهره‌گیری می‌شود.

دو قطبی. در حال حاضر دو خانواده مبتنی بر ترانزیستور پیوندی دو قطبی، یعنی TTL و ECL وجود دارد. منطق ترانزیستور- ترانزیستور (TTL یا T^2L) سالیان متمادی، خانواده حاکم مطلق در مدارهای منطقی بود. ظهور VLSI به این حکومت پایان داد. اما سازندگان TTL به ارائه نوع کم مصرف و سرعت بالای این محصول پرداختند. سرعت بالا نتیجه جلوگیری از به اشباع رفتن BJT و بنابراین کاهش زمان خاموش شدن ترانزیستور اشباع شده است. این موضوع در فصل ۱۴ بررسی می‌شود. در این نوع، از دیودشاتکی مورد بحث در فصل ۳ استفاده شده و TTL شاتکی نامیده می‌شود. از آن جا که هنوز TTL جایگاهی خاص در طراحی مدارهای دیجیتال دارد، در فصل ۱۴ بطور مشروح مورد بررسی قرار می‌گیرد.

خانوادهٔ دیگر مدار منطقی دو قطبی منطق امیتر تزویج شده (ECL) است. اساس این منطق، پیاده سازی سوئیچ جریانی وارونگر است، که در بخش (۷-۱) مورد بحث قرار گرفت. عنصر اساسی ECL ، زوج تفاضلی است که در فصل ۶ بررسی شد. از آن جا که در ECL ، ترانزیستور اشباع نمی‌شود، و اصولاً یک مدار رانش جریانی (و یا منطق حالت جریانی) می‌باشد، سرعت بسیار بالاست. در واقع بالاترین سرعت در خانوادهٔ مدارهای منطقی تجاری، متعلق به ECL است. از ECL در طراحی مدار VLSI در سرعت‌های بسیار بالا که بالا بودن توان مصرفی مورد قبول است، استفاده می‌شود.

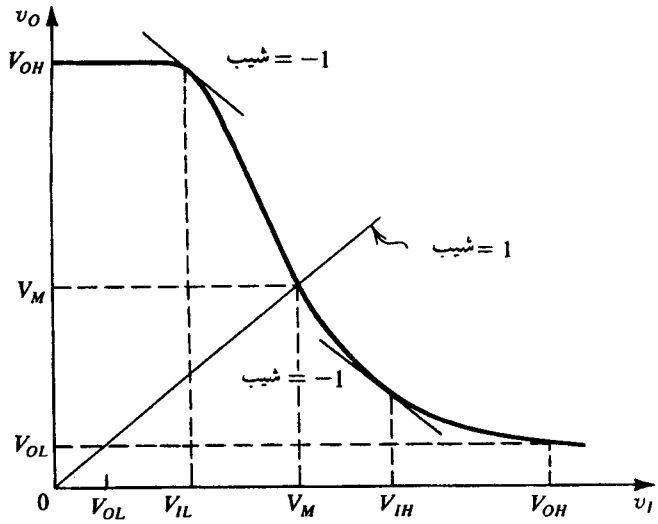
BiCMOS . سرعت بالای BJT ها (ناشی از بالا بودن هدایت انتقالی) و توان مصرفی پایین و دیگر مشخصه‌های عالی CMOS در BiCMOS تلفیق می‌شود و از آن در پیاده‌سازی مدارهای دیجیتالی و آنالوگ روی یک تراشه (فصل‌های ۶ و ۱۰) و کاربردهای خاص نظیر مدارهای حافظه استفاده می‌شود.

گالیم- ارسناید (GaAs) . قطعات گالیم آرسناید (GaAs) در بخش (۱۲-۵) معرفی شدند. چنانچه گفتیم، سرعت بالای حامل‌ها در GaAs منجر به سرعت زیاد عملکرد می‌شود. طراحی مدارهای منطقی با استفاده از تکنولوژی GaAs در فصل ۱۴ مورد بحث قرار می‌گیرد. اما یادآوری می‌کنیم که GaAs یک «تکنولوژی روبه رشد» است و هنوز به مرحله تولید تجاری کامل نرسیده است.

۱۳-۱-۲ مشخصه‌های مدار منطقی

پارامترهای زیر برای مشخص کردن عملکرد یک خانوادهٔ مدار منطقی، مورد استفاده قرار می‌گیرد:

حاشیه‌های نویز. عملکرد استاتیک خانوادهٔ مدار منطقی با مشخصه انتقالی ولتاژ (VTC) وارونگر اساسی آن خانواده مشخص می‌شود.



شکل ۲-۱۳. یک نمونه مشخصه انتقالی ولتاژ (VTC) وارونگر منطقی با توصیف نقاط بحرانی

شکل (۲-۱۳) یک VTC را با چهار پارامتر V_{OH}، V_{OL}، V_{IH} و V_{IL} نشان می‌دهد. V_{IH} و V_{IL} نقاطی هستند که شیب VTC در آن نقاط ۱- است. نقطه‌ای که در آن $v_I = v_O$ است، ولتاژ آستانه V_M یا V_{th} می‌باشد. VTC را بطور کلی در بخش (۷-۱)، و VTCهای عملی وارونگر BJT را در بخش (۱۴-۴)، و وارونگر CMOS را در بخش (۸-۵) مورد بحث قرار دادیم.

قدرت یک خانواده مدار منطقی با توانایی آن در عدم پذیرش نویز و بعبارت دیگر، با حاشیه‌های نویز NM_H و NM_L سنجیده می‌شود:

$$NM_H \equiv V_{OH} - V_{IH} \qquad (۱۳-۱)$$

$$NM_L \equiv V_{IL} - V_{OL} \qquad (۱۳-۲)$$

در یک وارونگر ایده‌آل $NM_H = NM_L = V_{DD}/۲$ است که V_{DD} ولتاژ منبع تغذیه می‌باشد. بعبارت دیگر در وارونگر ایده‌آل ولتاژ آستانه $V_M = V_{DD}/۲$ است.

تاخیر انتشار. عملکرد گذرای خانواده مدار منطقی با تأخیر انتشار وارونگر اساسی آن مشخص می‌شود. شکل (۳-۱۳) تعریف تأخیر انتشار گذر از حالت پایین به بالا (t_{PLH}) و تأخیر انتشار گذر از حالت بالا به پایین (t_{PHL}) را نشان می‌دهد. تأخیر انتشار وارونگر t_P، میانگین این دو مقدار است.

$$t_P \equiv \frac{۱}{۲}(t_{PLH} + t_{PHL}) \qquad (۱۳-۳)$$

واضح است که هر چه تأخیر انتشار کمتر باشد، خانوادهٔ مدار منطقی سریعتر است.

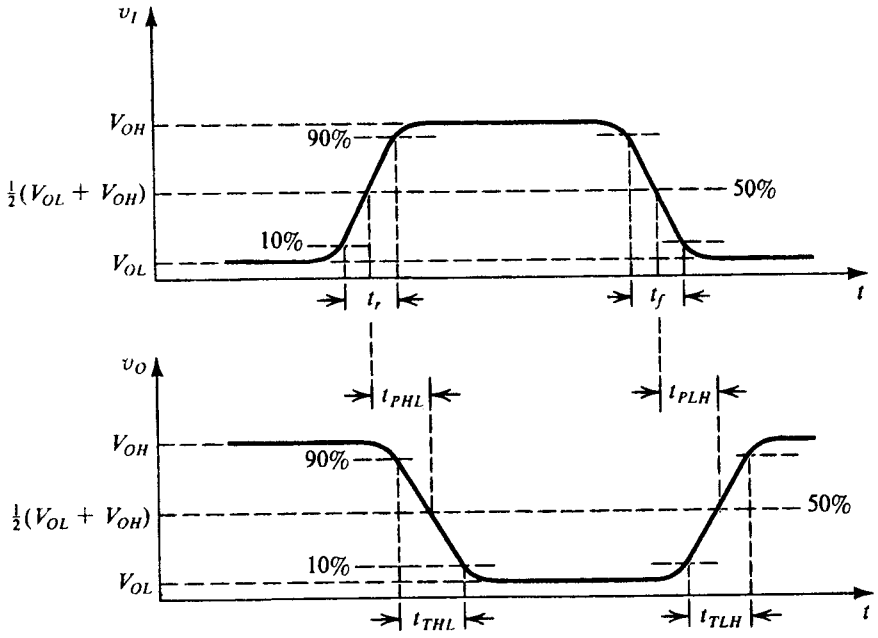
توان مصرفی . توان مصرفی یکی از نکات مهم در طراحی مدار دیجیتال است. هر چه توان مصرفی کمتر باشد، گیت‌های بیشتری را می‌توان روی یک تراشه جای داد. در سیستم‌های مدرن دیجیتالی که از تعداد زیادی گیت و سلول حافظه استفاده می‌کنند، این مسأله مهم‌تر است. در تجهیزاتی که از باتری استفاده می‌کنند، مانند تلفن‌های همراه و کامپیوترهای قابل حمل، این نکته نیز حیاتی‌تر است.

توان مصرفی در گیت منطقی شامل دو قسمت است: استاتیک و گذرا. توان استاتیک توانی است که گیت در حالت عادی (بدون سوئیچینگ) مصرف می‌کند، یعنی در حالت‌های نهایی گیت که خروجی در حالت بالا یا پایین است. از طرف دیگر، توان گذرا، هنگام سوئیچ کردن گیت مصرف می‌شود. یک وارونگر که با V_{DD} تغذیه می‌شود و بار C بدان متصل است، توان گذرای P_D را مصرف می‌کند.

$$P_D = f\,CV_{DD}^{۲} \qquad (۱۳-۴)$$

در رابطه فوق، f فرکانس سوئیچ گیت است و فرض بر این است که سطوح ولتاژ برای حالات صفر و ۱، بترتیب صفر و V_{DD} می‌باشد.

حاصلضرب توان - تأخیر. معمولاً علاقمندیم ضمن بالا بودن سرعت کار (t_P کوچک) توان مصرفی نیز کم باشد. متأسفانه این دو خواسته متضاد هم می‌باشند. چون عموماً هنگام طراحی گیت اگر طراح بخواهد با کاهش



شکل ۳-۱۳. تعریف زمان تأخیر انتشار و زمانهای سوئیچ وارونگر منطقی

جریان تغذیه توان مصرفی را کم کند تأخیر گیت افزایش می‌یابد. در نتیجه یکی از جنبه‌های مقایسه خانواده‌های منطقی، حاصلضرب توان - تأخیر است که بصورت زیر بیان می‌شود:

$$DP = t_p P_D \qquad (۱۳-۵)$$

در رابطه فوق P_D توان مصرفی گیت است. توجه کنید که واحد DP، ژول است. پایین بودن DP در یک خانواده منطقی نشان دهندهٔ سودمند بودن آن است.

ناحیه سیلیکونی. یکی از اهداف مشخص در طراحی مدارهای VLSI دیجیتالی، به حداقل رساندن سطح سیلیکون به ازای هر گیت است که امکان فشرده‌سازی بیشتر را میسر می‌سازد. به سه روش می‌توان این کاهش سطح را عملی ساخت: از طریق تکنولوژی پردازش که سطح قطعه را کوچک می‌کند، از طریق روش‌های طراحی مدار و از طریق زیرسازی دقیق تراشه. در این کتاب تمرکز ما بر روش‌های طراحی مدار است و به رابطه آن با سطح سیلیکونی نیز اشاره خواهیم کرد. هر چه سطح سیلیکونی کوچکتر باشد اثر خازن‌های پارازیتی نیز کمتر خواهد بود و نتیجه آن سرعت بیشتر است. اما قطعات کوچکتر توانایی راه‌اندازی کمتری نیز دارند که باعث افزایش تأخیر می‌شود. بنابراین مانند همه مسائل طراحی در مهندسی، در این جا نیز یک تبادل بین سرعت و اندازه قطعه وجود دارد. و باید با توجه به جوانب طراحی، حالت بهینه را انتخاب کرد.

Fan-In و Fan-Out . Fan-in یک گیت، تعداد ورودی‌های آن است. مثلاً fan-in یک گیت NOR چهار ورودی ۴ می‌باشد. fan-out، بیشترین تعداد گیت مشابهی است که یک گیت می‌تواند بدون خارج شدن از مشخصه‌های خود، راه‌اندازی نماید. برای مثال در بخش (۱۴-۴) دیدیم که افزایش fan-out وارونگر BJT باعث کاهش V_{OH} و NM_H می‌شود. برای حفظ NM_H بیش از یک حداقل معین، fan-out باید به یک مقدار حداکثر قابل محاسبه محدود شود.

۱۳-۱-۳ روش‌های طراحی سیستم دیجیتال

روش متعارف طراحی استفاده از ICهای مختلف در سطوح مختلف فشردگی مانند SSI و MSI است. باظهور VLSI طراحان قادر به استفاده از تراشه‌های حافظه و ریزپردازنده در طراحی‌های خود شدند، روش دیگر استفاده از $VLSI$ سفارشی است. که فقط در تولیدهای با حجم بالا (بیش از ۱۰۰۰۰۰ قطعه) توجیه اقتصادی دارد.

یک روش میانه که بعنوان طراحی نیمه سفارشی شناخته می‌شود، از تراشه‌های آرایه گیت استفاده می‌کند، که مدارات مجتمعی، شامل ۱۰۰۰۰۰ گیت یا بیشتر بصورت بدون اتصال می‌باشند. ارتباط داخلی این گیت‌ها توسط طراح قابل سفارش و انجام است. نوعی از آرایه گیت که اخیراً مورد استفاده قرار می‌گیرد آرایه گیت قابل برنامه‌ریزی است (FPGA) که مستقیماً توسط طراح برنامه‌ریزی می‌شود. بدین ترتیب طراح می‌تواند بدون هزینه زیاد از روش VLSI در طراحی خود استفاده نماید.

۱۳-۱-۴ طراحی مطلق و طراحی به کمک کامپیوتر

طراحی بسیاری از سیستم‌های پیچیده دیجیتالی، مانند یک IC یا استفاده از عناصر معمول را می‌توان بصورت مطلق یا با کمک کامپیوتر انجام داد. برای درک مفهوم طراحی مطلق فرآیند طراحی یک سیستم دیجیتالی را با استفاده از ICهای متداول در نظر بگیرید. طراح با مراجعه به جزوات راهنما با مشخصه‌های ورودی و خروجی، محدودیت‌های fan-in و fan-out و سایر مشخصات IC آشنا می‌شود و برای اتصال گیت‌ها باید قوانین گفته شده در راهنما را رعایت نماید و در واقع مستقیماً به مدار داخلی IC توجهی ندارد و به قطعه بعنوان یک قالب‌کاری می‌نگرد. این امر طراحی را بسیار ساده می‌کند. طراحان IC دیجیتالی نیز روشی مشابه را طی می‌کنند. قالب‌های مداری پس از طراحی و مشخصه‌بندی، در یک کتابخانه بعنوان سلول‌های استاندارد ذخیره می‌شوند، و از آن‌ها در طراحی زیر سیستم‌های بزرگتر (مثل ضرب کننده و جمع کننده) استفاده می‌شود که آن‌ها نیز بنوبه خود بعنوان قالب مداری برای سیستم‌های بزرگتر به کار می‌روند.

در هر یک از مراحل این نوع طراحی، نیاز به شبیه‌سازی و دیگر برنامه‌های کامپیوتری برای خودکار کردن فرآیند طراحی وجود دارد. همانطور که SPICE برای شبیه‌سازی مدار مورد استفاده قرار می‌گیرد، نرم‌افزارهای دیگری نیز برای مراحل طراحی، وجود دارد. گرچه طراحی سیستم دیجیتالی و طراحی خودکار خارج از حیطه این کتاب است، اما یادآوری قواعد طراحی مطلق و طراحی به کمک کامپیوتر مهم است، چون این قواعد توانایی طراحی ۱۰ میلیون ترانزیستور در داخل یک IC دیجیتالی را به طراح می‌دهد. متأسفانه در مورد طراحی IC آنالوگ، مراحل طراحی مطلق و خودکار بطور کامل وجود ندارد. بنابراین فشردگی ICهای آنالوگ همانند ICهای دیجیتالی نیست.

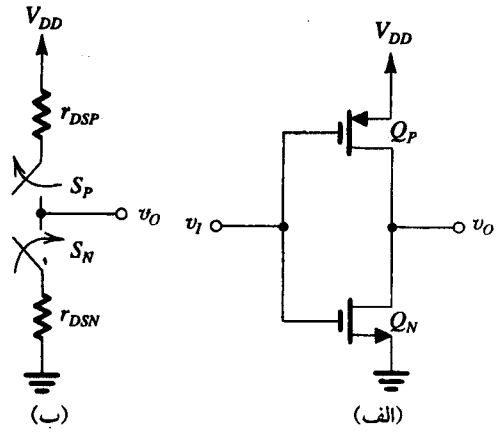
هر چقدر روش‌ها با طراحی دیجیتالی سازگارتر باشد، آشنایی با تکنولوژی‌های مدار دیجیتالی و روش‌های طراحی ضروری‌تر است. این فصل و فصل آتی این آشنایی را فراهم می‌کنند.

۱۳-۲ طراحی و تحلیل عملکرد وارونگر CMOS

وارونگر منطقی CMOS در بخش (۸-۵) معرفی و مطالعه شد. به خواننده توصیه می‌کنیم قبل از ادامه این فصل، آن مطالب را مرور نماید. در این بخش بصورت عمیق‌تر وارونگر CMOS و مسائلی که در طراحی آن وجود دارد را مورد بررسی قرار می‌دهیم چون زیربنای مدارهای منطقی CMOS می‌باشد که در بخش آتی مطالعه می‌شود.

ساختار مداری

مدار وارونگر نشان داده شده در شکل (الف ۴-۱۳) شامل یک زوج MOSFET مکمل است که با ولتاژ ورودی v_I سوئیچ می‌شود. سورس هر یک از ترانزیستورها به بدنه‌اش متصل شده تا اثر بدنه حذف شود. معمولاً ولتاژهای آستانه V_{tn} و V_{tp} از نظر اندازه مساوی هستند، یعنی



شکل ۴-۱۳. (الف) وارونگر CMOS (ب) نمایش بصورت یک زوج سوئیچ در حالت مکمل

$V_{tp}=|V_{tn}|=V_t$ که در گستره ۰/۲ تا ۱V می‌باشد، که در تکنولوژی‌های پردازشی جدید نزدیک به مقدار پایین این گستره قرار می‌گیرد (مثلاً با طول کامل ۰/۳ تا ۰/۵ میکرومتر).

مدار وارونگر را می‌توان مانند شکل (ب ۴-۱۳) توسط یک زوج سوئیچ که در حالت مکمل عمل می‌کنند نشان داد. هر سوئیچ با یک مقاومت محدود که مقاومت سورس- درین ترانزیستور است، مدل می‌شود، در نزدیکی $|v_{DS}| = 0$ داریم:

$$r_{DSN} = 1 \Big/ \left[k'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_t)\right] \qquad (۱۳-۶)$$

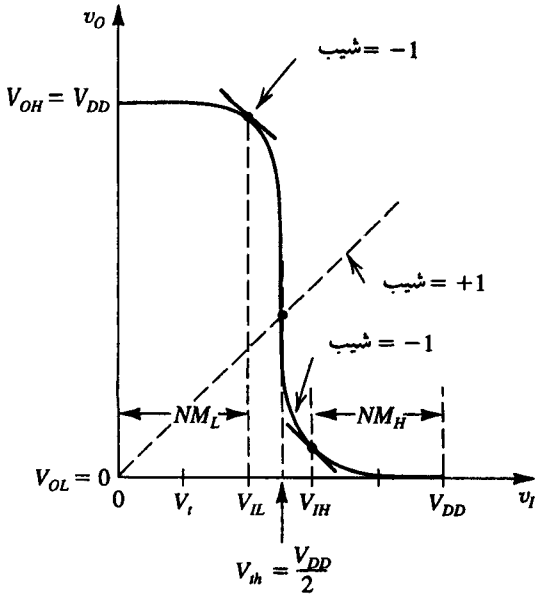
$$r_{DSP} = 1 \Big/ \left[k'_p \left(\frac{W}{L}\right)_p (V_{DD} - V_t)\right] \qquad (۱۳-۷)$$

عملکرد استاتیک

با $v_O = V_{OH} = V_{DD}$ و $v_I = 0$ و در حالتی که گره خروجی از طریق مقاومت r_{DSP} ترانزیستور بالا آورنده Q_P (pull-up) به V_{DD} متصل شده، مدل می‌شود. بطور مشابه در حالت $v_I = v_{DD}$، $v_O = V_{OL} = 0$، گره خروجی از طریق مقاومت r_{DSN} ترانزیستور پایین آورنده Q_N (pull-down) مدل می‌شود. بدین ترتیب در حالت ماندگار مسیر مستقیمی بین V_{DD} و زمین وجود ندارد و جریان و توان مصرفی استاتیک صفر می‌باشد (معمولاً اثرات نشتی قابل اغماض هستند).

مشخصه انتقالی ولتاژ (VTC) وارونگر در شکل (۵-۱۳) به نمایش درآمده است. سطوح ولتاژ V_{DD} و صفر می‌باشد و بنابراین خروجی حداکثر نوسان مجاز را خواهد داشت. این نکته که V_{OL} و V_{OH} مستقل از ابعاد قطعه هستند، CMOS را از دیگر اعضای خانواده MOS متمایز کرده است (بطور مثال مدارهای NMOS از قطعات بار تهی یا افزایشی که براساس مدار تقویت کننده مطالعه شده در بخش (۴-۷-۵) کار می‌کنند، استفاده می‌نمایند). در مدارهای NMOS، V_{OL} به نسبت پارامترهای هدایت انتقالی قطعه، یعنی نسبت زیر وابسته است:

$$\left(k' \frac{W}{L}\right)_{\text{راه انداز}} \Big/ \left(k' \frac{W}{L}\right)_{\text{بار}}$$



شکل ۵-۱۳. مشخصه انتقالی ولتاژ (VTC) برای وارونگر CMOS در صورت تطبیق کامل Q_N و Q_P

چنین مدارهایی، مدارهای منطقی نسبتی (*ratioed*) نامیده می‌شوند و در مقابل، CMOS متعلق به نوع بدون نسبت (ratioless) می‌باشد.

وارونگر CMOS را می‌توان در نقطه میانی نوسان منطقی سوئیچ کرد، یعنی در نقطه $V_{DD}/2$ این امر با تعیین اندازه ترانزیستور بصورت مناسب انجام می‌شود. آستانه سوئیچ از رابطه زیر به دست می‌آید:

$$V_{tn} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n / k_p}\, V_{tn}}{1 + \sqrt{k_n / k_p}} \qquad (۱۳-۸)$$

در رابطه فوق $k_n = k'_n (\frac{W}{L})_n$ و $k_p = k'_p (\frac{W}{L})_p$ می‌باشد. در حالت خاص که $V_{th} = \frac{V_{DD}}{2}$ و $V_{tn} = |V_{tp}|$ می‌باشد، برای $k_n = k_p$ داریم:

$$k'_n (\frac{W}{L})_n = k'_p (\frac{W}{L})_p \qquad (۱۳-۹)$$

بدین ترتیب هنگامی که قطعات بگونه‌ای طراحی شوند که پارامترهای هدایت انتقالی مساوی داشته باشند، مشخصه انتقالی متقارن خواهد بود. این همان شرایطی است که به آن تطبیق گفته می‌شود. چون μ_n بین دو تا سه برابر μ_p است، تطبیق هنگامی حاصل می‌شود که $(\frac{W}{L})_p$ بین دو تا سه برابر $(\frac{W}{L})_n$ شود:

$$(\frac{W}{L})_p = \frac{\mu_n}{\mu_p} (\frac{W}{L})_n \qquad (۱۳-۱۰)$$

بطور طبیعی، دو قطعه دارای طول کانال L یکسان هستند، که برابر با کمترین مقدار مجاز برای یک تکنولوژی پردازش مشخص تنظیم می‌شود. کمترین عرض ترانزیستور NMOS، ۰/۷۵ برابر L است و عرض ترانزیستور PMOS، دو تا سه برابر L می‌باشد. برای مثال در یک پردازش $L = 1/2\mu m$ و $\mu_n / \mu_p = 3$ که $1/2\mu m$ است، داریم:

$$(\frac{W}{L})_p = \frac{۵/۴}{۱/۲} \text{ و } (\frac{W}{L})_n = \frac{۱/۸}{۱/۲}$$

چنانچه گفتیم، اگر یک وارونگر بخواهد یک بار خازنی نسبتاً بزرگ را راه‌اندازی کند، باید وسیع‌تر ساخته شود. اما برای حفظ ناحیه سیلیکونی، بیشتر وارونگرها باید این «حداقل اندازه» را داشته باشند.

نسبت $(\frac{W}{L})$ ترانزیستور NMOS این وارونگر با حداقل اندازه را با n و نسبت $(\frac{W}{L})$ ترانزیستور PMOS را با P نشان می‌دهیم. از آن جا که سطح وارونگر را می‌توان با $W_n L_n + W_{pLp} = (W_n + W_p)L$ نشان داد، سطح وارونگر با حداقل اندازه $(n + p)L^۲$ خواهد بود و می‌توانیم از ضریب $(n + p)$ بعنوان نمایندهٔ سطح استفاده کنیم. در مورد مثالی که قبلاً آمد، $n = ۱/۵$ و $p = ۴/۵$ و ضریب سطح $n + p = ۶$ خواهد بود.

علاوه بر قرار دادن آستانه گیت در میانهٔ نوسان مجاز منطقی، تطبیق پارامترهای هدایت انتقالی Q_N و Q_P توانایی راه‌اندازی جریانی مساوی را در دو جهت به وارونگر می‌دهد (بالا آوردن و پایین بردن). در واقع باعث می‌شود که $r_{DSN} = r_{DSP}$ شود. در این صورت وارونگر دارای ترانزیستورهای تطبیق شده زمان‌های تأخیر انتشار t_{PLH} و t_{PHL} مساوی خواهد داشت.

هنگامی که آستانه وارونگر در $V_{DD}/۲$ باشد، حاشیه‌های نویز NM_H و NM_L مساوی بوده و مقدار آن‌ها حداکثر است، بدین ترتیب داریم:

$$NM_H = NM_L = \frac{۳}{۸}\left(V_{DD} + \frac{۲}{۳}V_t\right) \qquad (۱۳-۱۱)$$

چون معمولاً V_t بین ۰/۱ تا $۰/۲V_{DD}$ است، حاشیه‌های نویز تقریباً نزدیک به نصف ولتاژ تغذیه است، که از دیدگاه حاشیه نویز، وارونگر CMOS را تقریباً ایده‌آل می‌کند. به بیان دیگر چون جریان ورودی وارونگر عملاً صفر است، حاشیه‌های نویز به fan − out گیت وابسته نیستند.

اگر چه بر مزایای تطبیق Q_N و Q_P تأکید شده است، حالاتی وجود دارد که این مسأله رعایت نمی‌شود. بطور مثال ممکن است مزیت تطبیق بر کاهش سطح تقدم یابد و $(\frac{W}{L})_p = (\frac{W}{L})_n$ انتخاب شود. حالاتی نیز وجود دارد که بمنظور قرار دادن V_{th} در مقدار مشخص شده‌ای غیر از $V_{DD}/۲$، عملاً عدم تطبیق اعمال می‌شود. دقت کنید که با قرار دادن $k_n > k_p$، V_{th} به صفر نزدیک‌تر می‌شود، در حالی که $k_p > k_n$، V_{th} را به V_{DD} نزدیک می‌نماید.

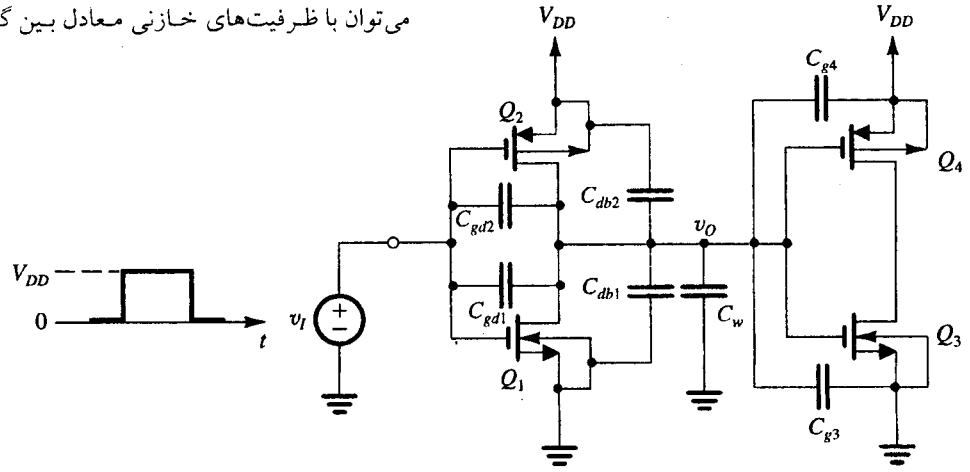
در پایان متذکر می‌شویم که شیب VTC وارونگر در ناحیه گذر که بزرگ به نظر می‌آید، محدود بوده و از رابطه $-(g_{mN}+g_{mP})(r_{oN} \| r_{oP})$ به دست می‌آید.

عملکرد گذرا

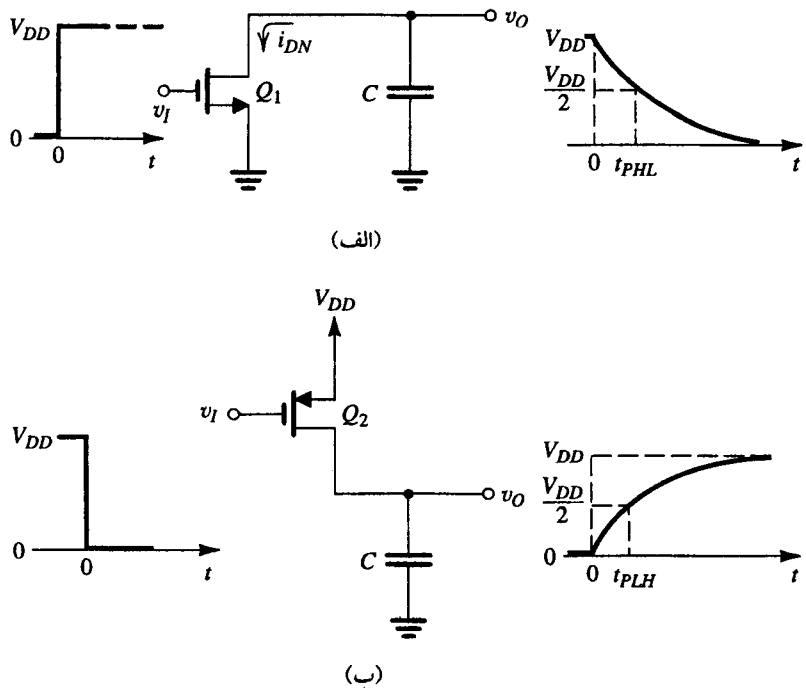
معمولاً تأخیر انتشار وارونگر هنگامی تعیین می‌شود که وارونگر همانند خود را راه‌اندازی می‌کند. این وضعیت در شکل (۶-۱۳) تشریح شده است. برای تعیین تأخیر انتشار وارونگر متشکل از $Q_۱$ و $Q_۲$ را در نظر می‌گیریم که با منبع با امپدانس پایین v_I کار می‌کند و بار آن وارونگر متشکل از $Q_۳$ و $Q_۴$ است. ظرفیت‌های خازنی داخلی ترانزیستور در نقطه خروجی وارونگر ($Q_۱$ و $Q_۲$) مشخص شده است. واضح است که تحلیل دستی این مدار مشکل است و باید آن را ساده کرد. بدین منظور تمام ظرفیت‌های خازنی را با یک خازن C جایگزین می‌کنیم که بین گره خروجی و زمین متصل شده است. در این صورت می‌توانیم از تحلیل گذرای مطالعه شده در بخش (۸-۵) استفاده نماییم. در طی زمان‌های t_{PLH} و t_{PHL}، خروجی اولین وارونگر بترتیب از صفر تا $V_{DD}/۲$ یا از $V_{DD}/۲$ تا صفر تغییر می‌کند. وارونگر دوم در هر یک از بازه‌های تحلیل ما در همان حالت باقی می‌ماند. این نکته تا حد زیادی براساس فرضیه معادل بودن ظرفیت خازنی ورودی وارونگر دوم می‌باشد. حال اجازه دهید سهم هر یک از ظرفیت‌های خازنی را در خازن بار معادل C در نظر بگیریم:

۱- خازن روی هم گیت- درین $Q_۱$، یعنی $C_{gd۱}$ بخاطر اثر میلر (بخش (۴-۷)) می‌باشد. توجه کنید که به همان اندازه که v_I بالا می‌رود v_o پایین می‌آید و تغییر در ولتاژ $C_{gd۱}$ دو برابر آن مقدار است. بدین ترتیب خروجی در برابر خود دو برابر $C_{gd۱}$ را می‌بیند. در مورد ترانزیستور $Q_۲$ نیز وضعیت به همین صورت است، یعنی خازن $C_{gd۱}$ را می‌توان با $۲C_{gd۱}$ جایگزین نمود.

۲- هر یک از ظرفیت‌های خازنی درین- بدنه یعنی $C_{db۱}$ و $C_{db۲}$ دارای ولتاژ ورودی ثابت هستند. بنابراین در تحلیل ما $C_{db۱}$ و $C_{db۲}$ را می‌توان با ظرفیت‌های خازنی معادل بین گره خروجی و زمین



شکل ۶-۱۳. مدار تحلیل تأخیر انتشار وارونگر. در این جا وارونگر تحت بررسی از $Q_۱$ و $Q_۲$ تشکیل شده است و وارونگر همانند خود را که متشکل از $Q_۳$ و $Q_۴$ است، راه‌اندازی می‌کند.



شکل ۷-۱۳. مدارهای معادل جهت تعیین تأخیر انتشار (**الف**) t_{PHL} و (**ب**) t_{PLH} وارونگر

جایگزین نمود. اما دقت کنید که در فرمول ارائه شده در بخش ۱۰-۵ برای محاسبه، C_{db1} و C_{db2} در حالت سیگنال کوچک هستند در حالی که تحلیل ما در اینجا سیگنال بزرگ می‌باشد، که روشی برای آن ارائه شده است.

۳- از آن جا که وارونگر دوم در حالت سوئیچ عمل نمی‌کند، فرض می‌کنیم که ظرفیت‌های خازنی Q_3 و Q_4 تقریباً ثابت و برابر مجموع ظرفیت خازنی گیت یعنی WLC_{ox} هستند، بنابراین ظرفیت خازنی ورودی وارونگر بار عبارت است از:

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox}$$

۴- آخرین مولفه C ظرفیت خازنی سیم‌بندی C_w است که بسادگی به C اضافه می‌شود.

بدین ترتیب ظرفیت نهایی C از رابطه زیر به دست می‌آید.

(۱۳-۱۲)

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

پس از تعیین مقدار تقریبی ظرفیت خازنی معادل بین گره خروجی وارونگر و زمین، با استفاده از مدار شکل (الف ۷-۱۳) و (ب ۷-۱۳) می‌توانیم t_{PHL}، t_{PLH} را تعیین کنیم. چون دو مدار، مشابه هستند یکی از آن‌ها را در نظر گرفته، نتایج را به هر دو تعمیم می‌دهیم. مدار شکل (الف ۷-۱۳) را در نظر بگیرید. هنگامی که v_I به حالت بالا می‌رود، Q_N، C را از مقدار اولیه V_{DD} به مقدار نهایی صفر تخلیه می‌کند. تحلیل، کمی مشکل است چون Q_N در ابتدا در حالت اشباع است و سپس هنگامی که v_O به مقداری کمتر از $V_{DD} - V_t$ افت می‌کند، شروع به رفتن به ناحیه تریود می‌کند. در واقع این تحلیل را در بخش (۸-۵) انجام داده‌ایم و عبارتی تقریبی زیر را برای t_{PHL} به دست آورده‌ایم:

$$t_{PHL} = \frac{1/6\, C}{k_n'(\frac{W}{L})_n V_{DD}} \qquad (۱۳-۱۳)$$

در رابطه فوق $V_t \cong 0/2V_{DD}$ فرض شده است که معمولاً نیز همین گونه می‌باشد. روش ساده‌تری نیز برای تحلیل مدار شکل (الف ۷-۱۳) وجود دارد. این روش تقریبی است و بر پایه محاسبه میانگین جریان تخلیه i_{DN} در مدت زمان $t = 0$ تا $t = t_{PHL}$ می‌باشد. در $t = 0$، Q_N اشباع می‌شود و

$$i_{DN}(0) = \frac{1}{2} k_n'(\frac{W}{L})_n (V_{DD} - V_t)^2 \qquad (۱۳-۱۴)$$

در $t = t_{PHL}$، Q_N در ناحیه تریود است و $i_{DN}(t_{PHL})$ مقدار زیر را خواهد داشت:

(۱۳-۱۵)

$$i_{DN}(t_{PHL}) = k_n'\left(\frac{W}{L}\right)_n \left[\left(V_{DD} - V_t\right)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]$$

میانگین جریان تخلیه عبارت است از:

$$i_{DN}\big|_{av} = \frac{1}{2}\left[i_{DN}(0) + i_{DN}(t_{PHL})\right] \qquad (۱۳-۱۶)$$

و بازه زمانی تخلیه t_{PHL} از رابطه زیر محاسبه می‌شود:

$$t_{PHL} = \frac{C\,\Delta V}{i_{DN}\big|_{av}} = \frac{CV_{DD}/2}{i_{DN}\big|_{av}} \qquad (۱۳-۱۷)$$

با استفاده از معادله‌های (۱۳-۱۴) و (۱۳-۱۷) و جایگزینی $V_t \cong 0/2V_{DD}$ داریم:

$$t_{PHL} \cong \frac{1/7\, C}{k_n'(\frac{W}{L})_n V_{DD}} \qquad (۱۳-۱۸)$$

که نزدیک به مقداری است که از معادله (۱۳-۱۳) به دست می‌آید. در واقع، هدف ما در این فرمول‌ها به دست آوردن دقیق مقدار t_{PHL} نیست. بلکه

می‌خواهیم اثر عناصر مختلف را در تعیین تأخیر وارونگر نشان دهیم. مقادیر دقیق تأخیر را می‌توان با استفاده از شبیه‌سازی کامپیوتری تعیین کرد.

با یک تغییر در فرمول (۱۷-۱۳) می‌توان تأخیر وارونگر را در گذر پایین به بالا، به دست آورد:

$$t_{PHL} \cong \frac{0.7C}{k'_p (\frac{W}{L})_p V_{DD}} \qquad (۱۳-۱۹)$$

نهایتاً تأخیر انتشار t_P، میانگین t_{PLH} و t_{PHL} خواهد بود:

$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH})$$

تأمل در فرمول‌های (۱۸-۱۳) و (۱۹-۱۳) ما را به نتایج مفید زیر می‌رساند:

۱- همانطور که انتظار می‌رفت، می‌توان با انتخاب نسبت‌های $(\frac{W}{L})$ بگونه‌ای که k_n، k_p مساوی شوند یعنی تطبیق Q_N و Q_P، دو مولفه t_P را مساوی کرد.

۲- چون t_P متناسب با C می‌باشد، طراح باید C را کاهش دهد. این کار را می‌توان با انتخاب حداقل طول کانال و به حداقل رسانیدن سیم‌بندی و ظرفیت‌های خازنی پارازیتی انجام داد. زیرسازی دقیق تراشه، منجر به کاهش چشمگیر این ظرفیت‌های خازنی و مقدار C_{db} می‌شود.

۳- استفاده از تکنولوژی پردازشی که پارامتر هدایت انتقالی k' بزرگتری دارد که نتیجه آن کاهش تأخیرهای انتشار است. اما به یاد داشته باشید که در چنین پردازشی C_{ox} افزایش می‌یابد و مقدار C نیز متناسب با آن زیاد می‌شود.

۴- انتخاب نسبت‌های $(\frac{W}{L})$ بزرگتر منجر به کاهش t_P می‌شود. اما دقت کنید، چون افزایش اندازه قطعه، C را افزایش می‌دهد و ممکن است کاهش مورد انتظار در t_P عملی نشود. اما در حالتی که C تحت تأثیر عناصری باشد که مستقیماً با اندازه قطعه راه‌انداز مرتبط نیستند، کاهش t_P از طریق افزایش $(\frac{W}{L})$، روش مؤثری است.

۵- افزایش ولتاژ تغذیه، V_{DD}، باعث کاهش t_P می‌شود. اما V_{DD} مقداری تعیین شده است و معمولاً در اختیار طراح نمی‌باشد. در تکنولوژی‌های جدید که اندازه قطعات کاهش یافته V_{DD} نیز کمتر شده است. امروزه استاندارد جدید V_{DD} از ۵V به ۳/۳V کاهش یافته است. حفظ توان مصرفی گذرا در یک حد قابل پذیرش بخصوص در تراشه‌های بسیار فشرده، عامل ترغیب کننده‌ای در کاهش V_{DD} می‌باشد. در این باره بعداً بیشتر خواهیم گفت.

این نتایج بوضوح، تعامل و موازنه‌هایی را که در طراحی مدارهای مجتمع دیجیتالی CMOS (در واقع در هر مسأله طراحی مهندسی) وجود دارد، نشان می‌دهد.

توان مصرفی گذرا

توان مصرفی استاتیک قابل اغماض CMOS عامل مهمی در ترغیب جایگزینی آن با NMOS در مدارهای VLSI بسیار فشرده می‌باشد. اما، همزمان با افزایش گیت‌ها در یک تراشه توان مصرفی گذرا به یک مسأله جدی تبدیل می‌شود. توان مصرفی گذرا در وارونگر CMOS از معادله (۴-۱۳) به دست می‌آید که آن را در این جا تکرار می‌کنیم.

$$P_D = fC V_{DD}^2 \qquad (۱۳-۲۰)$$

در رابطه فوق، f، فرکانس سوئیچ گیت است. همان‌طور که می‌بینیم کاهش C اثر چشمگیری بر کاهش توان مصرفی گذرا دارد. روش موثر دیگر کاهش ولتاژ تغذیه است. همان‌طور که گفتیم در تکنولوژی‌های جدید CMOS $V_{DD} = 3.3V$ می‌باشد، در واقع، مدارات داخلی تراشه از ولتاژ ۲ تا ۲/۵V استفاده می‌کنند. این تراشه‌های جدید بسیار فشرده‌ترند (۱۰ میلیون ترانزیستور) و در فرکانس‌های بالاتر کار می‌کنند (تا حدود ۵۰۰MHZ). توان مصرفی گذرای چنین تراشه‌هایی در حد چند ده وات می‌باشد.

مثال ۱-۱۳

یک وارونگر CMOS را با مشخصات زیر در نظر بگیرید:

$C_{ox} = 0.9 fF/\mu m^2$ ، $\mu_n C_{ox} = 50 \mu A/V^2$ ، $\mu_P C_{ox} = 20 \mu A/V^2$

$V_{tn} = -V_{tp} = 1V$ و $V_{DD} = 5V$ ، نسبت $W/L = 4\mu m/2\mu m$ برای Q_N

نسبت $W/L = 10\mu m / 2\mu m$ برای Q_P ، خازن روی هم گیت- درین بدنه $C_{dbn} = 10$ fF و $C_{dbp} = 15$ fF می‌باشد و ظرفیت خازنی سیم‌بندی $C_w = 5$fF است. t_{PHL}، t_{PLH} و t_P را به دست آورید.

حل:

ابتدا خازن معادل C را از معادله (۱۲-۱۳) تعیین می‌کنیم:

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

$$C_{gd1} = 0.5 \times W_n = 0.5 \times 4 = 2 \text{ fF}$$

$$C_{gd2} = 0.5 \times W_p = 0.5 \times 10 = 5 \text{ fF}$$

$$C_{db1} = 10 \text{ fF}$$

$$C_{db2} = 15 \text{ fF}$$

$$C_{g3} = W_n L C_{ox} = 4 \times 2 \times 0.9 = 7.2 \text{ fF}$$

$$C_{g4} = W_p L C_{ox} = 10 \times 2 \times 0.9 = 18 \text{ fF}$$

$$C_w = 5 \text{ fF}$$

$$C = 2 \times 2 + 2 \times 5 + 10 + 15 + 7.2 + 18 + 5 = 69.2 \text{ fF}$$

حال، اگر چه می‌توانیم از معادله (۱۸-۱۳) t_{PHL} را تعیین کنیم، راه دیگری را انتخاب می‌کنیم. تخلیه C را در Q_N در نظر گرفته، میانگین جریان تخلیه را از معادله (۱۴-۱۳) تا (۱۶-۱۳) به دست می‌آوریم:

$$i_{DN}(0) = \frac{1}{2} k'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2$$

$$= \frac{1}{2} \times 50 \left(\frac{4}{2}\right) (5-1)^2 = 800 \mu A$$

$$i_{DN}(t_{PHL}) = k'_n \left(\frac{W}{L}\right)_n \left[(V_{DD} - V_t)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]$$

$$= ۵۰ \times \frac{۴}{۲}\left[(۵-۱)\frac{۵}{۲} - \frac{۱}{۲}\left(\frac{۵}{۲}\right)^{۲}\right] = ۶۸۷/۵\,\mu A$$

بدین ترتیب داریم:

$$i_{DN}\,|_{av} = \frac{۸۰۰ + ۶۸۷/۵}{۲} = ۷۴۴\mu A$$

و:

$$t_{PHL} = \frac{C(V_{DD}/۲)}{i_{DN}\,|_{av}} = \frac{۶۹/۲\times۱۰^{-۱۵}\times۲/۵}{۷۴۴\times۱۰^{-۶}} = ۲۳۳ps$$

چون $\frac{W_p}{W_n} = ۲/۵ = \frac{\mu_n}{\mu_p}$ می‌باشد، وارونگر در حالت تطبیق است و تأخیرهای انتشار در هر دو جهت مساوی هستند یعنی:

$$t_{PLH} = ۲۳۳\ ps$$

$$t_P = \frac{۱}{۲}(t_{PHL} + t_{PLH}) = ۲۳۳\ ps$$

سرانجام، یادآوری می‌کنیم که با استفاده از فرمول (۱۸-۱۳) به همین نتیجه می‌رسیم و در صورت استفاده از معادله (۱۳-۱۳) به مقدار ۲۲۱ps که کمی کمتر است، دست می‌یابیم.

تمرین‌ها

۱-۱۳ وارونگر مثال ۱-۱۳ را در حالتی که یک خازن اضافی ۰/۱PF به بار اضافه شود در نظر بگیرید. تأخیر انتشار چقدر خواهد شد؟
جواب. ۵۷۰ps

۲-۱۳ برای کاهش سطح وارونگر مثال ۱-۱۳، $(\frac{W}{L})_p$ مساوی $(\frac{W}{L})_n$ اختیار می‌شود. درصد کاهش در سطح چقدر می‌باشد؟ مقادیر جدید C، t_{PHL}، t_{PLH} و t_P را به دست آورید. فرض کنید که C_{dbp} به ۱۰fF کاهش می‌یابد.
جواب. ۴۳٪، ۴۷/۴fF، ۱۵۹ps، ۳۹۸ps، ۲۷۹ps

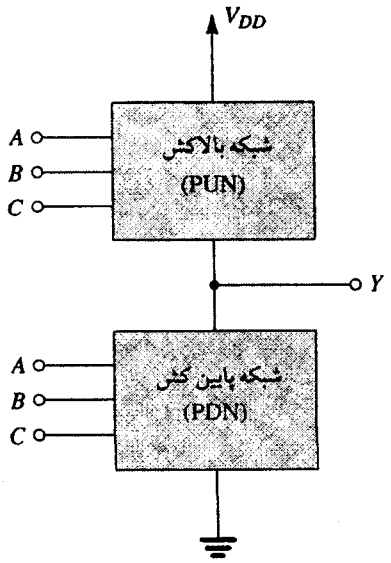
۳-۱۳ در وارونگر مثال ۱-۱۳ توان مصرفی گذرا در فرکانس ۱۰۰MHz چقدر است؟
جواب. ۱۷۳μW ❑

۳-۱۳ مدارهای گیت منطقی CMOS

در این بخش به طراحی مدارهای CMOS می‌پردازیم. در مدارهای ترکیبی، خروجی در هر زمان تابع سیگنال ورودی در همان زمان است، در واقع مدار دارای حافظه نیست. مدارهای منطقی ترکیبی، کاربردهای بسیار زیادی دارند و در هر سیستم دیجیتالی مورد استفاده قرار می‌گیرند.

ساختار اساسی

مدار منطقی CMOS، حاصل تعمیم وارونگر CMOS است: وارونگر شامل یک ترانزیستور پایین آورنده NMOS و یک ترانزیستور بالا آورنده PMOS است که با ولتاژ ورودی در حالت مکمل کار می‌کند. گیت منطقی CMOS شامل دو شبکه است، شبکه پایین آورنده (PDN) که از ترانزیستورهای NMOS تشکیل شده و شبکه بالا آورنده (PUN) که از ترانزیستورهای PMOS بهره می‌گیرد (شکل ۸-۱۳). دو شبکه با



شکل ۸-۱۳. نمایش گیت منطقی CMOS سه ورودی. PUN شامل ترانزیستورهای PMOS و PDN شامل ترانزیستورهای NMOS است.

ورودی‌های متغیر در حالت مکمل کار می‌کنند. بدین ترتیب در یک گیت سه ورودی که در شکل (۸-۱۳) نشان داده شده، PDN به ازای همه ترکیب‌های ورودی که نیاز به خروجی پایین ($Y = ۰$) دارد، هدایت می‌کند و ولتاژ گره خروجی را پایین می‌آورد تا $v_Y = ۰$ شود. بطور همزمان، PUN خاموش بوده و مسیر مستقیم dc بین V_{DD} و زمین وجود خواهد داشت. هر ترکیب ورودی که برای ($Y = ۱$) استفاده شود، باعث هدایت PUN می‌شود و خروجی به V_{DD} می‌رسد. همزمان با آن PDN خاموش شده و مسیر مستقیم dc بین V_{DD} و زمین قطع می‌شود.

چون PDN شامل ترانزیستورهای NMOS است و ترانزیستور NMOS هنگامی که ورودی گیت آن در حالت بالا باشد، هدایت می‌کند، PDN، هنگامی فعال می‌شود که ورودی‌ها در حالت بالا باشند. در مورد شبکه PUN همین امر در مورد ورودی‌های پایین صادق است.

هر یک از شبکه‌های PDN و PUN از قطعات موازی برای تشکیل تابع OR و از قطعات سری برای تشکیل تابع AND استفاده می‌کنند. شکل (۹-۱۳) مثال‌هایی از PDN را نشان می‌دهد. در مدار شکل (الف ۹-۱۳)، هنگامی که A در حالت بالا ($v_A = V_{DD}$) باشد، Q_A هدایت می‌کند و خروجی صفر می‌شود ($v_Y = ۰V, Y = ۰$)، هنگامی که B در حالت بالا باشد، Q_B هدایت کرده و $Y = ۰$ می‌شود. بدین ترتیب در حالت بالا بودن A یا B، Y در حالت پایین است. یعنی:

$$\bar{Y} = A + B$$

یا معادل آن:

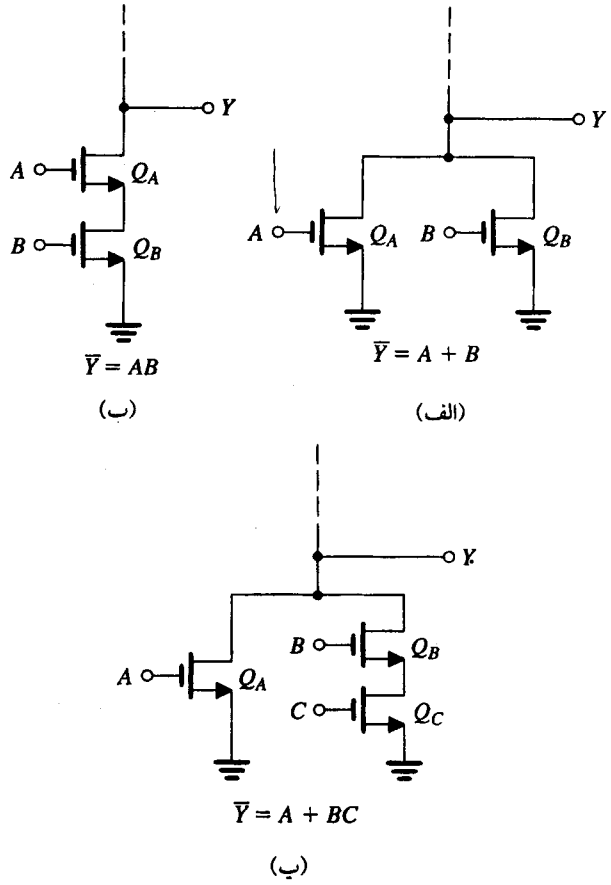
$$Y = \overline{A + B}$$

PDN در شکل (ب ۹-۱۳) تنها در حالتی هدایت می‌کند که A و B همزمان در حالت بالا باشند، در این صورت Y در حالت پایین قرار می‌گیرد:

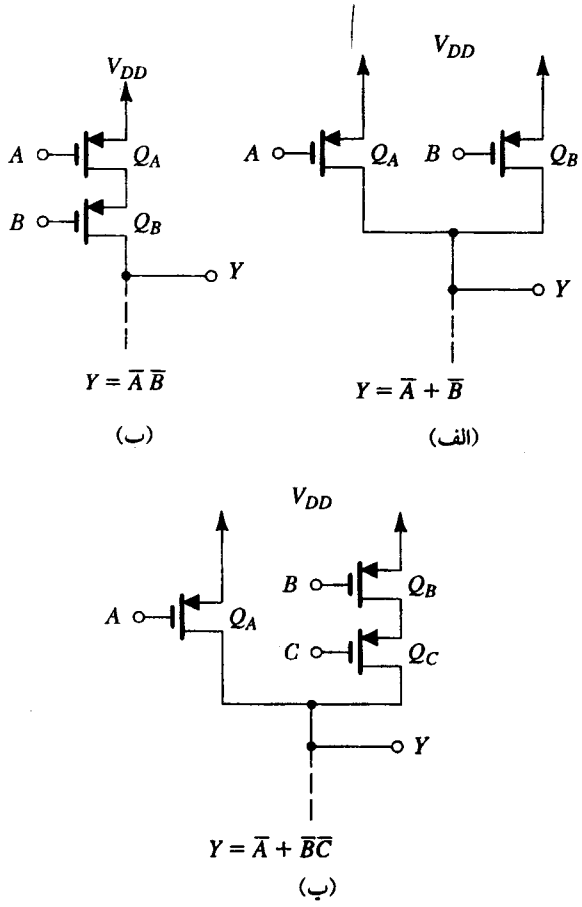
$$\bar{Y} = AB$$

و یا معادل آن:

$$Y = \overline{AB}$$



شکل ۹-۱۳. مثال‌هایی از شبکه پایین آورنده (pull-down)



شکل ۱۰-۱۳. مثال‌هایی از شبکه بالا آورنده (pull-up)

PDN شکل (پ ۹-۱۳)، در حالتی که A در حالت بالا و یا C و B هر دو در حالت بالا باشند هدایت می‌کند و خروجی Y به حالت پایین می‌رود. یعنی:

$$\overline{Y} = A + BC$$

و یا معادل آن:

$$Y = \overline{A + BC}$$

حال، مثال‌هایی از PUN را که در شکل (۱۰-۱۳) نشان داده شده است در نظر بگیرید. هنگامی که A یا B در حالت پایین است، PUN (الف ۱۰-۱۳) هدایت کرده و Y به V_{DD} می‌رسد ($Y = 1$) بدین ترتیب داریم:

$$Y = \overline{A} + \overline{B}$$

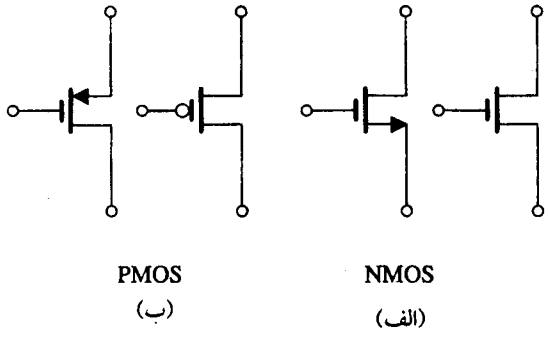
PUN شکل (ب ۱۰-۱۳) هنگامی هدایت می‌کند که A و B هر دو پایین باشند و خروجی به حالت بالا می‌رود ($v_Y = V_{DD}, Y = 1$)، یعنی:

$$Y = \overline{A}\,\overline{B}$$

PUN شکل (پ ۱۰-۱۳) نیز در حالتی که A در حالت پایین یا B و C هر دو در حالت پایین باشند، داریم:

$$Y = \overline{A} + \overline{B}\,\overline{C}$$

حال، ضمن تأکید بر آشنایی کامل با شبکه‌های PUN و PDN، گیت‌های CMOS کامل را بررسی می‌کنیم. اما قبل از آن نماد دیگری برای ترانزیستورهای MOS معرفی می‌کنیم که تقریباً توسط اکثر طراحان مدار دیجیتالی مورد استفاده قرار می‌گیرد. شکل (۱۱-۱۳) این نمادها را نشان می‌دهد. نماد ترانزیستور PMOS دارای یک دایره در گیت است که نشان می‌دهد سیگنال در گیت باید در حالت پایین باشد تا قطعه فعال شود (یعنی هدایت کند)، در اصطلاح مدار منطقی، ترانزیستور PMOS فعال شونده با ورودی پایین (*active low*) است. علاوه بر آن در نماد جدید، سورس و درین مشخص نمی‌شوند، که در مطالعه فعلی ما در این مرحله بی‌تأثیر است، در یک ترانزیستور NMOS درین پایانه‌ای است که به ولتاژ بیشتر متصل است (جریان از درین به سورس جاری می‌شود) و در ترانزیستور PMOS، سورس پایانه‌ای است که ولتاژ بیشتر دارد (جریان از سورس به درین جاری می‌شود)، برای هماهنگی با سایر نوشتارها در این زمینه، از نمادهای جدید استفاده می‌کنیم، مگر در مواردی که نمادهای قبلی در فهمیدن نکته‌ای مفیدتر باشد.



شکل ۱۱-۱۳. نمادهای معمول و جدید MOSFETها

گیت NOR دو ورودی

ابتدا گیت CMOS را که تحقق دهنده تابع NOR دو ورودی است، در نظر می‌گیریم:

$$Y = \overline{A + B} = \bar{A}\bar{B} \qquad (۱۳-۲۱)$$

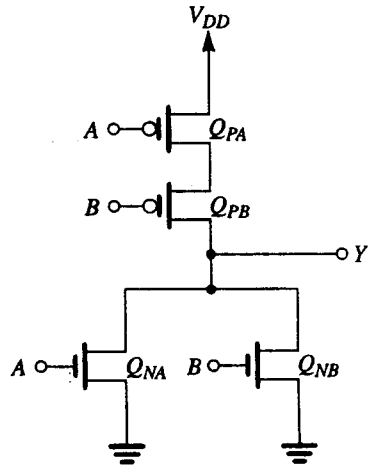
هنگامی که A یا B در حالت بالا باشد، Y در حالت پایین خواهد بود (PDN هدایت می‌کند)، بنابراین PDN شامل دو قطعه NMOS موازی با ورودی‌های A و B است [مدار شکل (الف ۹-۱۳)]. در مورد PUN از جمله دوم معادله (۲۱-۱۳)، می‌بینیم که Y هنگامی در حالت بالاست که A و B هر دو در حالت پایین باشند بنابراین PUN شامل دو قطعه PMOS سری با ورودی‌های A و B است [مدار شکل (ب ۱۰-۱۳)]. قرار دادن PDN و PUN در کنار هم به گیت CMOS NOR منجر می‌شود که در شکل (۱۲-۱۳) نشان داده شده است. توجه کنید که گسترش ورودی‌ها راحت است، برای هر ورودی اضافی، یک ترانزیستور NMOS بصورت موازی با Q_{NA} و Q_{NB} و ترانزیستور PMOS بصورت سری با Q_{PA} و Q_{PB} ، اضافه می‌شود.

گیت NAND دو ورودی

تابع NAND دو ورودی با عبارت بولی زیر مشخص می‌شود:

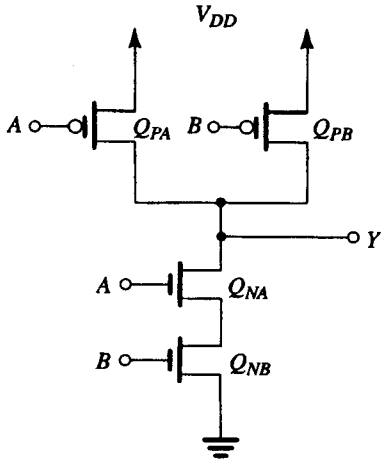
$$Y = \overline{AB} = \bar{A} + \bar{B}$$

برای ساخت PDN ، ترکیب ورودی‌هایی را که برای پایین بودن Y لازم است، در نظر می‌گیریم: تنها یک ترکیب وجود دارد، یعنی وقتی که A و B هر دو در حالت بالا باشند. بنابراین PDN متشکل از دو ترانزیستور NMOS بصورت سری است. [مدار شکل (ب ۹-۱۳)]. در مورد PUN ، Y باید در حالت بالا باشد، با توجه به معادله (۲۲-۱۳) می‌بینیم که A یا B باید در حالت پایین باشد. بنابراین PUN شامل دو ترانزیستور PMOS موازی است که ورودی‌ها به گیت‌های آن‌ها اعمال شده است [مدار شکل (الف ۱۰-۱۳)]. از کنار هم قرار دادن PUN و PDN ، گیت NAND CMOS شکل (۱۳-۱۳) به دست می‌آید. برای گسترش ورودی‌ها، به ازای هر ورودی اضافی یک ترانزیستور NMOS بصورت سری با Q_{NA} و Q_{NB}



$Y = \overline{A + B}$

شکل ۱۲-۱۳. گیت CMOS NOR با دو ورودی



$Y = \overline{AB}$

شکل ۱۳-۱۳. گیت CMOS NAND دو ورودی

و ترانزیستور PMOS بصورت موازی با Q_{PA} و Q_{PB} اضافه می‌شود.

یک گیت مرکب

تابع مرکب زیر را در نظر بگیرید:

$$Y = \overline{A\,(B + CD)} \qquad (۱۳-۲۳)$$

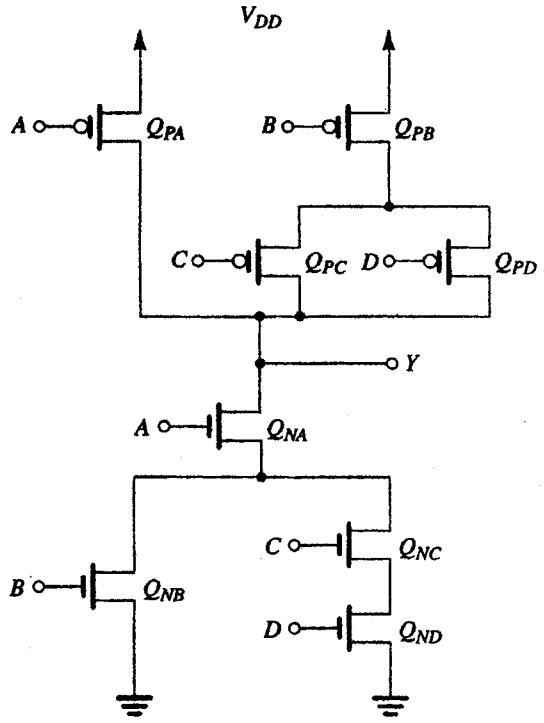
چون $\bar{Y} = A\,(B + CD)$ است، می‌بینیم که Y هنگامی در حالت پایین است که A در حالت بالا و همزمان B یا C و D در حالت بالا باشند که از آن PDN به دست می‌آید. برای رسیدن به PUN ، باید Y را برحسب متغیرهای وارون شده (مکمل) بیان کرد. با استفاده از قانون دمورگان داریم:

$$\begin{aligned} Y &= \overline{A\,(B + CD)} \\ &= \bar{A} + \overline{B + CD} \\ &= \bar{A} + \bar{B}\overline{CD} \\ &= \bar{A} + \bar{B}\,(\bar{C} + \bar{D}) \qquad (۱۳-۲۴) \end{aligned}$$

بدین ترتیب، در حالت پایین بودن A یا B و C یا D ، Y در حالت بالاست. مدار CMOS کامل متناظر در شکل (۱۴-۱۳) به نمایش درآمده است.

به دست آوردن PUN از PDN و برعکس

با مشاهده مدارهای گیت CMOS که تاکنون به دست آورده‌ایم [مثلاً شکل (۱۴-۱۳)]، در می‌یابیم که PDN و PUN شبکه‌های دوگان هستند: شاخه سری در یکی معادل با شاخه موازی در دیگری است. بدین ترتیب ما یکی را از دیگری به دست آورده‌ایم. روشی که آسان‌تر از ساخت هر مدار از روی عبارت جبری است. برای مثال در مدار شکل (۱۴-۱۳) در می‌یابیم که نسبتاً برای رسیدن به PDN راحت‌تر است، چون قبلاً $\bar{Y}$ را برحسب ورودی‌های متمم نشده به دست آورده‌ایم. از طرف دیگر برای به دست آوردن PUN مجبوریم عبارت جبری داده شده را تغییر دهیم تا Y بصورت تابعی از متغیرهای متمم شده بیان شود که برای ساخت PUNها راحت است. روش دیگر استفاده از خاصیت دوگانی برای به دست آوردن



$Y = \overline{A(B + CD)}$

شکل ۱۴-۱۳. تحقق CMOS یک گیت مرکب

PUN از PDN است. به خواننده توصیه می‌کنیم که با مراجعه به شکل (۱۴-۱۳) این نکته را تجربه کند.

یادآور می‌شویم که گاهی به دست آوردن یک شبکه از شبکه دیگر با استفاده از خاصیت دوگانی، آسان نیست. در این موارد، شخص باید از فرآیند پیچیده‌ای استفاده کند که از حوصله این کتاب خارج است.

تابع OR انحصاری

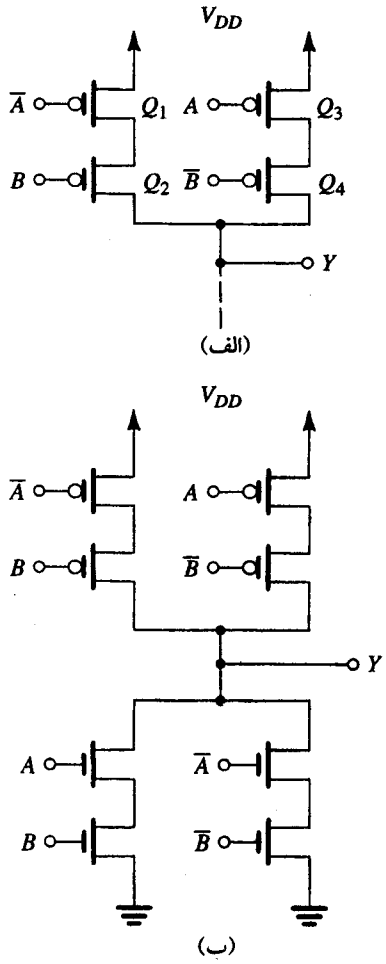
یک تابع مهم در طراحی منطقی، تابع OR انحصاری است:

$$Y = A\bar{B} + \bar{A}B$$

مشاهده می‌کنیم که چون Y (به جای $\bar{Y}$) داده شده، ساخت PUN راحت‌تر است. اما توجه کنید که متأسفانه Y تابعی از متغیرهای متمم شدهٔ تنها، نیست. بدین ترتیب به وارونگرهای اضافی احتیاج داریم. PUN به دست آمده ار معادله (۲۵-۱۳) در شکل (الف ۱۵-۱۳) نشان داده شده است. شاخه‌های Q_1 و Q_2، جمله اول $(A\bar{B})$ را تحقق داده و شاخهٔ Q_3 و Q_4 جمله $(\bar{A}B)$ را می‌سازند. دقت کنید که برای تولید $\bar{A}$ و $\bar{B}$ به دو وارونگر دیگر نیز نیاز داریم.

برای ساخت PDN، می‌توانیم دوگان PUN شکل (الف ۱۵-۱۳) را به دست آوریم. به روش دیگر می‌توانیم عبارتی برای $\bar{Y}$ به دست آورده و از روی آن PDN را بسازیم. روش اول را بعنوان تمرین به خواننده واگذار می‌کنیم و در این جا از روش مستقیم استفاده می‌کنیم. چنانچه در معادله (۲۵-۱۳) از قانون دمورگان استفاده کنیم، داریم:

$$\bar{Y} = AB + \bar{A}\bar{B} \qquad (۱۳-۲۶)$$



شکل ۱۵-۱۳. تحقق تابع OR انحصاری (XOR) (الف) PUN به دست آمده از معادله (۲۵-۱۳) بصورت مستقیم. (ب) تحقق کامل XOR با استفاده از PUN (الف) و PDN به دست آمده از معادله (۲۶-۱۳) بصورت مستقیم، دقت کنید که دو وارونگر (که نشان داده نشده‌اند) برای تولید متغیرهای متمم نیاز است. همچنین توجه کنید که در این تحقق XOR، PDN و PUN شبکه‌های دوگان نیستند، اما یک تحقق بر اساس شبکه‌های دوگان ممکن است. [مسأله (۲۷-۱۳) را ببینید]

PDN متناظر مانند شکل (ب ۱۵-۱۳) خواهد بود، که تحقق CMOS تابع OR انحصاری را بدون وارونگرهای اضافی نشان می‌دهد. توجه کنید که OR انحصاری به ۱۲ ترانزیستور نیاز دارد که شبکه پیچیده‌تری است. تحقق تابع OR را در بخش (۵-۱۳) با استفاده از شکل متفاوتی از منطق CMOS ارائه خواهیم کرد.

نکته جالب دیگری از مدار شکل (ب ۱۵-۱۳) به دست می‌آید. PDN و PUN در این جا شبکه‌های دوگان هم نیستند. در واقع دوگانی PDN و PUN شرط ضروری نیست. بدین ترتیب اگر چه دوگان PDN (یا PUN) را می‌توان همیشه برای PUN (یا PDN) مورد استفاده قرار داد، اما دو شبکه لزوماً دوگان یکدیگر نیستند.

خلاصه روش ساخت

۱- PDN را می‌توان مستقیماً با بیان $\bar{Y}$ بصورت تابعی از متغیرهای متمم

نشده به دست آورد. در صورت ظهور متغیرهای متمم شده در این عبارت نیاز به وارونگرهای اضافی داریم.

۲- PUN را می‌توان مستقیماً با بیان Y بصورت تابعی از متغیرهای متمم شده به دست آورد و سپس متغیرهای متمم نشده را به گیت‌های ترانزیستورهای PMOS، اعمال کرد. چنانچه متغیرهای متمم نشده در عبارت وجود داشته باشد نیاز به واورنگرهای اضافی داریم.

۳- می‌توان با استفاده از خاصیت دوگانی PDN را از PUN (و بالعکس) به دست آورد.

تعیین اندازه ترانزیستور

مرحله مهم بعد از تولید گیت CMOS، تعیین نسبت‌های W/L برای همه قطعات است. این انتخاب برای مساوی کردن توانایی جریاندهی گیت در هر دو جهت به اندازهٔ وارونگر اساسی می‌باشد. چنانچه در بخش قبل در مورد طراحی وارونگر اساسی، $(W/L)_n = n$ و $(W/L)_p = p$ را مشخص کردیم. n معمولاً بین ۱/۵ تا ۲ می‌باشد، و در یک طراحی تطبیق شده $p = (\mu_n/\mu_p)\, n$ است. بدین ترتیب می‌خواهیم نسبت‌های W/L مجزا را برای همه ترانزیستورهای گیت منطقی بگونه‌ای انتخاب کنیم که PDN توانایی فراهم آوردن جریان تخلیه خازن را حداقل به اندازه ترانزیستور NMOS با $W/L = n$، داشته باشد و PUN بتواند جریان پر کردن حداقل مساوی ترانزیستور PMOS با $W/L = p$ را فراهم نماید. این امر تضمین کننده مساوی بودن تأخیر گیت در بدترین حالت با وارونگر اساسی، می‌باشد.

بر نکتهٔ «بدترین حالت» تأکید می‌کنیم. این بدان معناست که در تعیین اندازه قطعه، ترکیب‌های ورودی را که منجر به پایین‌ترین جریان خروجی می‌شود، پیدا کرده و سپس اندازهٔ قطعه را بگونه‌ای که این جریان مساوی جریان وارونگر اساسی شود، انتخاب می‌نماییم. قبل از این که مثالی بزنیم، باید روش محاسبه توانایی جریاندهی مداری را که شامل چندین قطعه MOS است، ارائه کنیم. بعبارت دیگر، به معادل نسبت W/L یک شبکه ترانزیستوری MOS نیاز داریم. از این به بعد، ترکیب سری و موازی MOSFETها را در نظر گرفته نسبت‌های W/L معادل را به دست آوریم.

دستیابی به نسبت W/L معادل بر اساس این نکته است که مقاومت MOSFET متناسب با معکوس W/L است. بنابراین اگر تعدادی MOSFET با نسبت‌های $(W/L)_1$، $(W/L)_2$ و ...، بصورت سری متصل شوند، مقاومت سری معادل از جمع آنها حاصل می‌شود، یعنی:

$$R_{\text{سری}} = r_{DS1} + r_{DS2} + \dots$$

$$= \frac{\text{مقدار ثابت}}{(W/L)_1} + \frac{\text{مقدار ثابت}}{(W/L)_2} + \dots$$

$$= \text{مقدار ثابت}\left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots\right]$$

$$= \frac{\text{مقدار ثابت}}{(W/L)_{eq}}$$

در نتیجه داریم:

$$(W/L)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots} \qquad (۱۳-۲۷)$$

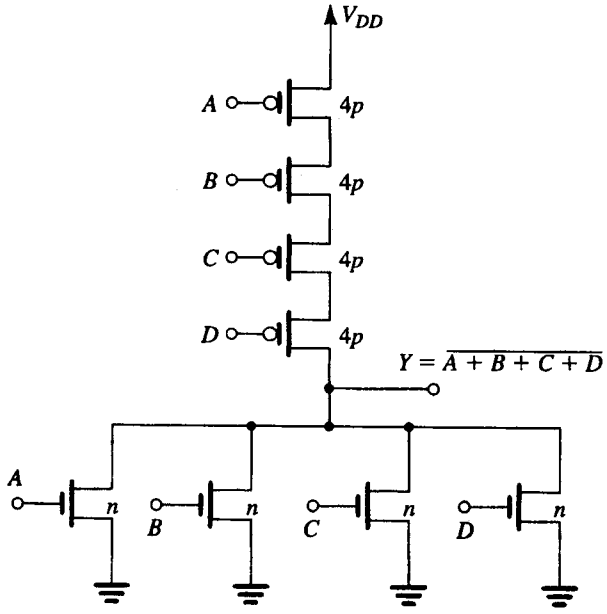
(W/L) معادل برای اتصال موازی نیز از رابطه زیر به دست می‌آید:

$$(W/L)_{eq} = (W/L)_1 + (W/L)_2 + \dots \qquad (۱۳-۲۸)$$

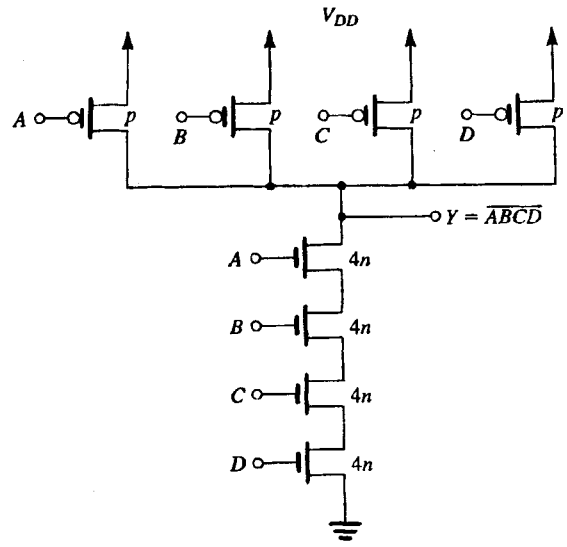
برای مثال، دو ترانزیستور MOS با نسبت‌های W/L مجزای ۴، منجر به W/L معادل ۲ در اتصال سری و ۸ در اتصال موازی می‌شود.

حال بعنوان یک مثال از تعیین اندازه صحیح، گیت NOR چهار ورودی شکل (۱۶-۱۳) را در نظر بگیرید. در این جا بدترین حالت (پایین‌ترین جریان) برای PDN هنگامی حاصل می‌شود که تنها یکی از ترانزیستورهای NMOS هدایت کند. بنابراین W/L هر یک از ترانزیستورهای NMOS را مساوی W/L ترانزیستور وارونگر اساسی یعنی n فرض می‌کنیم. اما در مورد PUN بدترین حالت (و در واقع تنها حالت) هنگامی است که همه ورودی‌ها در حالت پایین، و چهار ترانزیستور سری PMOS در حال هدایت می‌باشند. از آن جا که W/L معادل، یک چهارم W/L قطعه PMOS است، نسبت W/L هر یک از ترانزیستورهای PMOS را چهار برابر Q_P وارونگر اساسی یعنی $4p$ انتخاب می‌کنیم.

گیت NAND چهار ورودی شکل (۱۷-۱۳) را بعنوان مثالی دیگر از تعیین اندازه مناسب، در نظر بگیرید: از مقایسه گیت‌های NAND، NOR در شکل‌های (۱۷-۱۳) و (۱۶-۱۳) در می‌یابیم که چون p معمولاً دو یا سه برابر n است، گیت NOR به سطحی بیشتر از گیت NAND نیاز دارد. بهمین دلیل، معمولاً در پیاده سازی توابع منطقی ترکیبی در CMOS در گیت NAND استفاده می‌شود.



شکل ۱۶-۱۳. تعیین اندازه مناسب ترانزیستور برای گیت NOR چهار ورودی. توجه کنید که نمادهای n و p بیانگر نسبت (W/L) برای Q_N و Q_P وارونگر اساسی می‌باشند.



شکل ۱۷-۱۳. تعیین اندازه مناسب ترانزیستور برای گیت NAND چهار ورودی توجه کنید که نمادهای n و p بیانگر نسبت (W/L) برای Q_N و Q_P وارونگر اساسی می‌باشند.

مثال ۲-۱۳

نسبت‌های W/L ترانزیستور را برای مدار منطقی شکل (۱۸-۱۳) به دست آورید. فرض کنید که در وارونگر اساسی $n = ۲$ و $p = ۵$ و طول کانال $۲\mu m$ باشد.

حل:

با مراجعه به شکل ۱۸-۱۳، ابتدا PDN را در نظر می‌گیریم. یادآوری می‌کنیم که بدترین حالت هنگامی اتفاق می‌افتد که Q_{NB}، و یا Q_{NC} یا Q_{ND} روشن باشد. یعنی در بدترین حالت دو ترانزیستور بصورت سری داریم. بنابراین هر یک از Q_{NB} و Q_{NC} و Q_{ND} را دو برابر عرض قطعه کانال n در وارونگر اساسی انتخاب می‌کنیم. یعنی:

$$Q_{NB} = W/L = ۲n = ۴ = \frac{۸}{۲}$$

$$Q_{NC} = W/L = ۲n = ۴ = \frac{۸}{۲}$$

$$Q_{ND} = W/L = ۲n = ۴ = \frac{۸}{۲}$$

برای ترانزیستور Q_{NA}، W/L را مساوی قطعه n وارونگر اساسی انتخاب می‌کنیم:

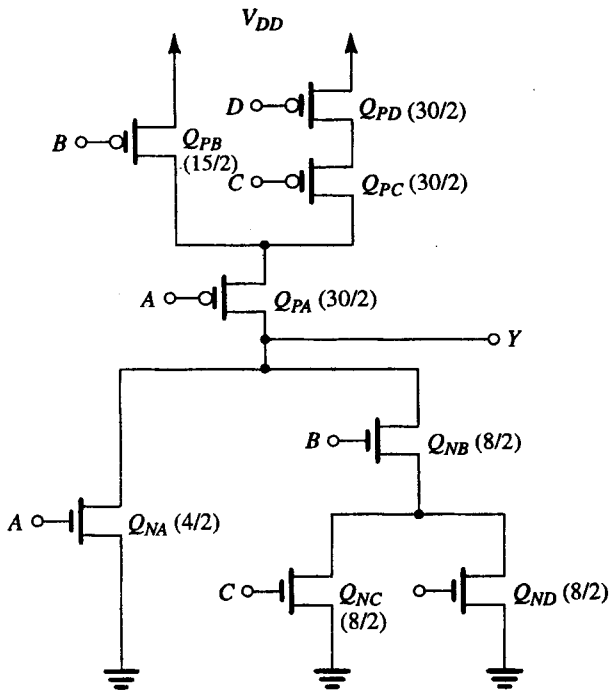
$$Q_{NA} = W/L = n = ۲ = \frac{۴}{۲}$$

حال، PUN را در نظر بگیرید. در این جا، در بدترین حالت، سه ترانزیستور بصورت سری داریم: Q_{PA} و Q_{PC} و Q_{PD}. بنابراین نسبت W/L هر یک از این‌ها را سه برابر W/L، مربوط به Q_P وارونگر اساسی انتخاب می‌کنیم، یعنی $۳p$ بنابراین داریم:

$$Q_{NA} = W/L = ۳p = ۱۵ = \frac{۳۰}{۲}$$

$$Q_{NC} = W/L = ۳p = ۱۵ = \frac{۳۰}{۲}$$

$$Q_{ND} = W/L = ۳p = ۱۵ = \frac{۳۰}{۲}$$



شکل ۱۸-۱۳. مدار مثال (۲-۱۳)

سرانجام، نسبت W/L برای Q_{PB} باید بگونه‌ای انتخاب شود که W/L معادل اتصال سری Q_{PB} و Q_{PA} مساوی p شود. در نتیجه برای Q_{PB}، نسبت باید $۱/۵p$ باشد:

$$Q_{PB}: \frac{W}{L} = ۱/۵p = ۷/۵ = \frac{۱۵}{۲}$$

شکل (۱۸-۱۳) مدار را با ذکر اندازه ترانزیستور نشان می‌دهد.

تأثیر Fan-In و Fan-Out روی تأخیر انتشار

هر ورودی اضافی به یک گیت CMOS نیاز به دو ترانزیستور اضافی، یعنی یک NMOS و یک PMOS دارد. این امر در تضاد با دیگر انواع منطق MOS است که هر ورودی اضافی تنها به یک ترانزیستور اضافی نیاز دارد. ترانزیستور اضافی در CMOS نه تنها باعث افزایش سطح تراشه می‌شود، بلکه خازن مؤثر گیت را نیز افزایش می‌دهد که بنوبه خود باعث افزایش تأخیر انتشار می‌شود. روش تعیین اندازه‌ای که قبلاً شرح داده شد، تنها برخی از عوامل افزایش دهندهٔ t_P را جبران می‌کند. ما می‌توانیم با افزایش اندازه قطعه، قابلیت جریاندهی آن را افزایش دهیم، اما خازن C نیز افزایش می‌یابد چون هم تعداد ورودی‌ها افزایش یافته و هم اندازه قطعه بزرگتر شده است. بدین ترتیب t_P با fan-in افزایش می‌یابد. حقیقتی که بطور عملی fan-in را محدود می‌کند. مثلاً در مورد گیت NAND به چهار ورودی محدود می‌شود. چنانچه بخواهیم تعداد ورودی‌ها زیاد باشد، باید طراحی منطقی «هوشمند» صورت گیرد تا تابع بولی با گیت‌هایی که کمتر از چهار ورودی دارند، تحقق یابد. این امر معمولاً معادل با پشت سر هم قرار دادن گیت‌هاست، که موجب افزایش تأخیر می‌شود. اما این افزایش در تأخیر می‌تواند کمتر از تأخیر ناشی از افزایش fan-in باشد [مسأله

۳۶-۱۳ را ببینید].

افزایش fan-out گیت، مستقیماً خازن بار را زیاد کرده و تأخیر انتشار نیز افزایش می‌یابد. در نتیجه، اگر چه CMOS مزایای زیادی دارد، این عیب را نیز دارد که برای بالا بردن fan-in و fan-out به پیچیدگی مدار نیز افزوده می‌شود و این مسأله، هم بر تأخیر انتشار و هم بر اندازهٔ قطعه تأثیر می‌گذارد. برخی از انواع ساده CMOS را که بر مسأله پیچیدگی فائق آمده‌اند، اما در عوض برخی از مزایای آنان را ندارند، در دو بخش آتی بررسی می‌کنیم.

تمرین‌ها

۱۳-۴ در یک تکنولوژی پردازشی، با $L=۱/۲\mu m$ و $n = ۱/۵$ و $p=۴/۵$، اندازهٔ همه ترانزیستورها را در حالت (الف) NOR چهار ورودی و (ب) NAND چهار ورودی، و سطح نسبی دو گیت را به دست آورید.

جواب. (الف) قطعه‌های NMOS: $W/L = \frac{۱/۸}{۱/۲}$، قطعه PMOS: $\frac{۲۱/۶}{۱/۲}$

(ب) قطعه‌های PMOS: $W/L = \frac{۷/۲}{۱/۲}$، قطعه‌های PMOS: $\frac{۵/۴}{۱/۲}$

سطح NAND / سطح NOR = ۱/۸۶

۱۳-۵ در گیت NAND تمرین قبل، نسبت بیشترین جریان به کمترین جریان در حالت‌های زیر چقدر است: (الف) پر کردن یک بار خازنی (ب) تخلیه یک بار خازنی

جواب. (الف) ۴ (ب) ۱ ❑

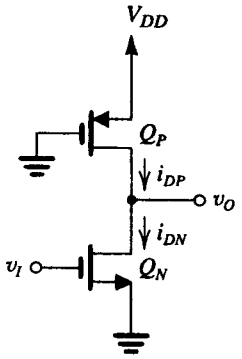
۱۳-۴ مدارهای منطقی شبه NMOS

چنانچه در بخش قبل گفته شد، CMOS در کنار مزایای فراوان، دارای عیب بزرگ بودن سطح و در نتیجه افزایش ظرفیت خازنی و تأخیر بخصوص در گیت‌های پیچیده‌تر می‌باشد. به همین دلیل، طراحان مدار مجتمع دیجیتالی به دنبال انواعی از مدارهای منطقی هستند که با افزودن آنها مدارهای نوع مکمل را که در دو بخش پیش بررسی کردیم، بهبود بخشند. در بخش آتی، دو نوع از این مدارها را بررسی می‌کنیم.

وارونگر شبه NMOS

نوع اصلاح شدهٔ وارونگر CMOS در شکل (۱۹-۱۳) به نمایش درآمده است. در این جا، تنها Q_N با ولتاژ ورودی تحریک می‌شود، در حالی که گیت Q_P زمین شده و نقش بار فعّال را برای Q_N بازی می‌کند. حتی قبل از بررسی مشروح می‌توان مزیت این مدار را بر CMOS مکمل مشاهده کرد و آن این است که هر ورودی باید تنها به گیت یک ترانزیستور اعمال شود یعنی به ازای هر ورودی اضافی تنها به یک ترانزیستور (NMOS) نیاز داریم. بنابراین نقص‌های افزایش تأخیر و سطح ناشی از افزایش fan-in در گیت CMOS مکمل، کاهش می‌یابد. همین امر باعث می‌شود که مدار وارونگر اصلاح شده را بدقت بررسی کنیم.

مدار وارونگر شکل (۱۹-۱۳) همانند انواع دیگر NMOS، شامل یک



شکل ۱۹-۱۳. وارونگر منطقی شبه NMOS

ترانزیستور راه‌انداز (Q_N) و یک ترانزیستور بار (در این جا Q_P) می‌باشد، به همین دلیل، شبه NMOS نامیده می‌شود. برای این که مقایسه‌ای انجام دهیم، بطور خلاصه دو نوع قدیمی‌تر NMOS را بررسی می‌کنیم. نوع اولیه که در اواسط دههٔ هفتاد متداول بود، از یک MOSFET افزایشی برای عنصر بار استفاده می‌کرد، و وارونگر اساسی آن شبیه تقویت کننده بار افزایشی مطالعه شده در بخش (۴-۷-۵) بود. مدارهای منطقی NMOS با بار افزایشی، دارای عیب کم بودن نوسان منطقی، کم بودن حاشیه‌های نویز، و بالا بودن توان مصرفی استاتیک می‌باشند که امروزه به همین دلایل بطور کلی از رده خارج شده‌اند. در اواخر دههٔ هفتاد و اوایل دههٔ هشتاد، مدارهای NMOS با بار تهی جایگزین NMOS با بار افزایشی شدند. در این نوع، گیت ترانزیستور NMOS تهی به سورس آن وصل شده و بعنوان عنصر بار از آن استفاده می‌شود و وارونگر اساسی آن شبیه تقویت کنندهٔ با بار تهی مطالعه شده در بخش (۴-۷-۵) می‌باشد.

ابتدا تصور می‌شد که NMOS تهی با $V_{GS} = ۰$ بعنوان یک منبع جریان عمل کرده، بنابراین یک عنصر بار عالی می‌باشد، اما دیده شده که اثر بدنه در ترانزیستور تهی باعث می‌شود که مشخصه $i-v$ به مقدار قابل توجهی از مشخصه $i-v$ منبع جریان ثابت منحرف شود. با این وجود، مدارهای NMOS با بار تهی، بهتر از بار افزایشی می‌باشند و فرآیندهای پردازشی قطعات تهی را (یعنی کاشت یون در کانال) توجیه می‌کند. اگر چه NMOS با بار تهی واقعاً جایگزین CMOS شده است، هنوز در کاربردهای اختصاصی از آن استفاده می‌شود. البته ما در این جا منطق NMOS با بار تهی را بررسی نمی‌کنیم (علاقمندان می‌توانند به ویرایش سوم این کتاب مراجعه نمایند).

وارونگر شبه NMOS که مورد بحث ماست، شبیه NMOS با بار تهی است، اما مشخصه‌های آن کمی بهبود یافته‌تر است و با مدارهای CMOS مکمل نیز سازگار است.

مشخصه‌های استاتیک

مشخصه‌های استاتیک وارونگر شبه NMOS را می‌توان با روشی مشابه CMOS مکمل به دست آورد. یادآوری می‌کنیم که جریان درین Q_N و Q_P از رابطه‌های زیر به دست می‌آید:

$$i_{DN} = \frac{1}{2} k_n(v_I - V_t)^2 \text{ ، برای } v_O \geq v_I - V_t \text{ (اشباع)} \quad (۱۳-۲۹)$$

$$i_{DN} = k_n[(v_I - V_t)v_O - \frac{1}{2}v_O^2] \text{ ، برای } v_O \leq v_I - V_t \text{ (تریود)} \quad (۱۳-۳۰)$$

$$i_{DP} = \frac{1}{2} k_p(V_{DD} - V_t)^2 \text{ ، برای } v_O \leq V_t \text{ (اشباع)} \quad (۱۳-۳۱)$$

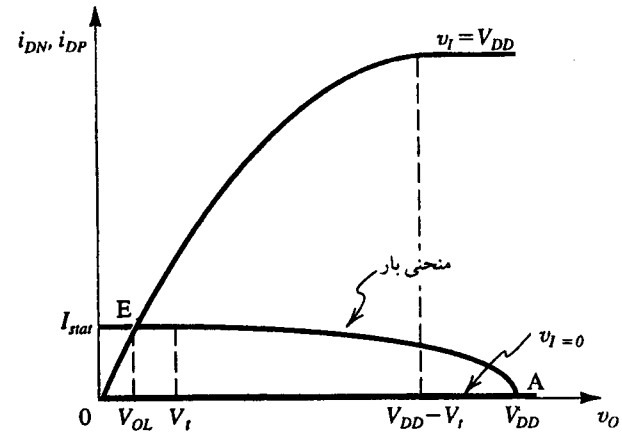
$$i_{DP} = k_p[(V_{DD} - V_t)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2] \text{ ، برای } v_O \geq V_t \text{ (تریود)} \quad (۱۳-۳۲)$$

در رابطه‌های فوق، $V_{tn} = -V_{tp} = V_t$ و $k_n = k'_n(W/L)_n$ و $k_p = k'_p(W/L)_p$ می‌باشد. برای به دست آوردن VTC وارونگر، منحنی بار حاصل از معادله‌های (۱۳-۳۱) و (۱۳-۳۲) را روی مشخصه $i_D - v_{DS}$ ترانزیستور Q_N که با $i_{DN} - v_O$ به ازای مقادیر مختلف $v_{GS} = v_I$ رسم شده است، نشان داده‌ایم که نتیجه آن در شکل (۱۳-۲۰) به نمایش درآمده است. برای سادگی نمودار منحنی Q_N را تنها به ازای دو مقدار ابتدایی و نهایی v_I یعنی صفر و V_{DD} نشان داده‌ایم. دو نکته قابل مشاهده است:

۱- منحنی بار، جریان اشباع کمتری را نسبت به منحنی متناظر برای Q_N، یعنی $v_I = V_{DD}$، نشان می‌دهد. این امر نتیجه این نکته است که وارونگر شبه NMOS معمولاً بگونه‌ای طراحی می‌شود که k_n چهار تا ده برابر k_p است. همانطور که قبلاً گفتیم، این وارونگر از نوع نسبتی است و نسبت $r \equiv k_n / k_p$ تعیین کننده نقاط شکست VTC، یعنی V_{OL}، V_{IL}، V_{IH} و نظایر آن است. چنانچه r بزرگ باشد، V_{OL} کاهش یافته و حاشیه‌های نویز بیشتر می‌شود.

۲- اگر چه تصور می‌شود که Q_P مانند منبع جریان ثابت عمل می‌کند، اما واقعاً، تنها در گسترهٔ کوچکی از v_O یعنی $v_o \leq V_t$ در حالت اشباع کار می‌کند و در سایر شرایط در ناحیه تریود است.

ابتدا حالت اولیه v_I را در نظر می‌گیریم، هنگامی که $v_I = 0$ است، Q_N قطع بوده و Q_P در ناحیه تریود کار می‌کند، اگر چه جریان و ولتاژ درین-سورس صفر است. بنابراین نقطه کار، A می‌باشد. در حالت $v_o = V_{OH} = V_{DD}$ جریان استاتیک و توان مصرفی استاتیک صفر است. در حالت $v_I = V_{DD}$، وارونگر در نقطه E است. دقت کنید که برخلاف CMOS مکمل V_{OL} صفر نیست که یک عیب آشکار است. عیب دیگر



شکل ۲۰-۱۳. روش ترسیمی تعیین VTC وارونگر شکل (۱۹-۱۳)

این است که گیت جریان (I_{stat}) را در حالت خروجی پایین، هدایت کرده و بدین ترتیب توان مصرفی استاتیک $P_D = I_{stat} \times V_{DD}$ می‌باشد.

به دست آوردن VTC

شکل (۲۱-۱۳) VTC وارونگر شبه NMOS را نشان می‌دهد. چهار ناحیه مجزا وجود دارد که از I تا IV مشخص شده‌اند که متناظر با ترکیب‌های مختلف حالات کار Q_N و Q_P است. چهار ناحیه، حالات کار متناظر ترانزیستور و شرایط مشخص کننده ناحیه‌ها در جدول (۱-۱۳) نشان داده شده است. با استفاده از اطلاعات این جدول و معادله‌های (۲۹-۱۳) تا (۳۲-۱۳)، عباراتی برای قسمت‌های مختلف VTC و پارامترهای مهمی که عملکرد استاتیک وارونگر را مشخص می‌کند، به دست می‌آوریم.

جدول ۱-۱۳. نواحی کار واورنگر شبه NMOS

ناحیه	قسمت VTC	Q_N	Q_P	شرط
I	AB	قطع	تریود	$v_I < V_t$
II	BC	اشباع	تریود	$v_O \geq v_I - V_t$
III	CD	تریود	تریود	$V_t \leq v_O \leq v_I - V_t$
IV	DE	تریود	اشباع	$v_O \leq V_t$

■ ناحیه I (قسمت AB):

$$v_O = V_{OH} = V_{DD} \quad (۱۳-۳۳)$$

■ ناحیه II (قسمت BC):

از مساوی قرار دادن i_{DN} از معادله (۲۹-۱۳) و i_{DP} از معادله (۳۲-۱۳)، با جایگزینی $k_n = rk_p$ و بعد از کمی ساده کردن داریم:

$$v_O = V_t + \sqrt{(V_{DD} - V_t)^2 - r(v_I - V_t)^2} \quad (۱۳-۳۴)$$

مقدار V_{IL} را می‌توان با دیفرانسیل‌گیری این معادله و جایگزینی $\frac{\partial v_O}{\partial v_I} = -1$ و $v_I = V_{IL}$ بدست آورد داریم:

$$V_{IL} = V_t + \frac{V_{DD} - V_t}{\sqrt{r(r+1)}} \quad (۱۳-۳۵)$$

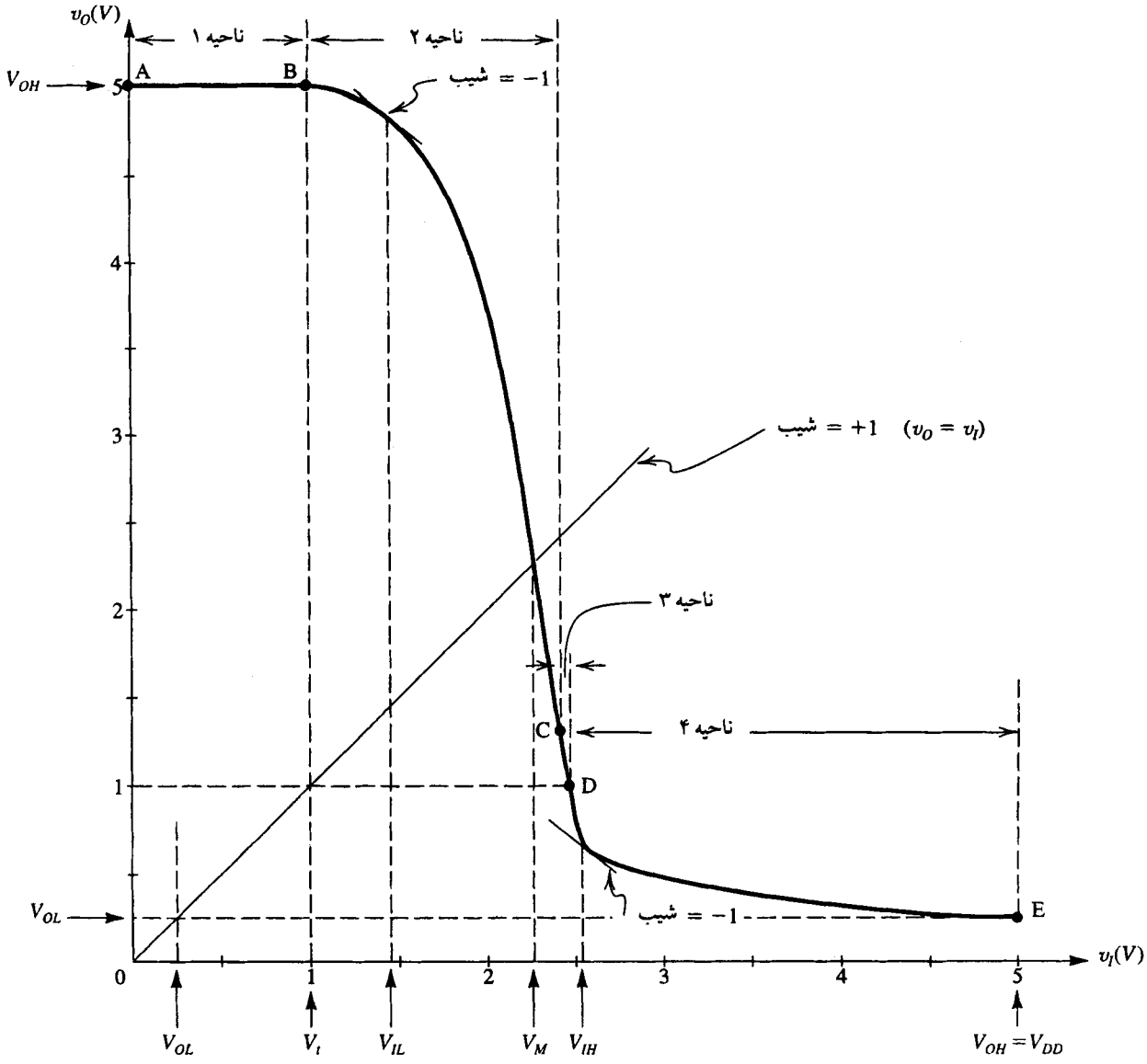
ولتاژ آستانه V_M، با تعریف مقدار v_I بصورت $v_O = v_I$ به دست می‌آید:

$$V_M = V_t + \frac{V_{DD} - V_t}{\sqrt{r+1}} \quad (۱۳-۳۶)$$

سرانجام، انتهای قسمت ناحیه II (نقطه C) را می‌توان از جایگزینی $v_O = v_I - V_t$ در معادله (۳۴-۱۳)، شرایطی که Q_N ناحیه اشباع را ترک کرده و وارد ناحیه تریود می‌شود بدست آورد.

■ ناحیه III (قسمت CD):

این ناحیه بسیار کوچک است و قابل توجه نیست. نقطه D با $v_O \leq V_t$ مشخص شده است.



شکل ۲۱-۱۳. VTC مربوط به وارونگر شبه NMOS. این منحنی برای $V_{DD} = 5V$ $V_{tn} = -V_{tp} = 1V$ و $r = 9$ رسم شده است.

■ ناحیه IV (قسمت DE):

با مساوی قرار دادن i_{DN} از معادله (۳۰-۱۳) با i_{DP} از معادله (۳۱-۱۳) و جایگزینی $k_n = rk_p$ داریم:

$$v_O = (v_I - V_t) - \sqrt{(v_I - V_t)^2 - \frac{1}{r}(V_{DD} - V_t)^2} \qquad (۳۷-۱۳)$$

مقدار V_{IH} را می‌توان با دیفرانسیل‌گیری از این معادله و قرار دادن $\partial v_O / \partial v_I = -1$ به دست آورد:

$$V_{IH} = V_t + \frac{2}{\sqrt{3r}}(V_{DD} - V_t) \qquad (۳۸-۱۳)$$

مقدار V_{OL} را می‌توان با جایگزینی $v_I = V_{DD}$ در معادله (۳۷-۱۳) به دست آورد:

$$V_{OL} = (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}}\right] \qquad (۳۹-۱۳)$$

جریان استاتیک هدایت شده توسط وارونگر در حالت خروجی پایین، از معادله (۳۱-۱۳) به دست می‌آید:

$$I_{stat} = \frac{1}{2} k_p (V_{DD} - V_t)^2 \qquad (۴۰-۱۳)$$

سرانجام، می‌توانیم با استفاده از معادله (۳۵-۱۳) و (۳۹-۱۳)، NM_L و از معادله‌های (۳۳-۱۳) و (۳۸-۱۳)، NM_H را تعیین کنیم:

$$NM_L = V_t - (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}} - \frac{1}{\sqrt{r(r+1)}}\right] \qquad (۴۱-۱۳)$$

$$NM_H = (V_{DD} - V_t)\left(1 - \frac{2}{\sqrt{3r}}\right) \qquad (۴۲-۱۳)$$

در پایان یادآوری می‌کنیم که چون V_{DD} و V_t در مراحل ساخت تعیین می‌شوند، تنها پارامتر طراحی که مقادیر V_{OL} و حاشیه‌های نویز را کنترل می‌کند، نسبت r است.

عملکرد گذرا

تحلیل پاسخ گذرای وارونگر برای تعیین t_{PLH} در حالتی که وارونگر توسط خازن C بار شده است، شبیه تحلیل وارونگر CMOS مکمل است. خازن توسط جریان i_{DP} پر می‌شود. که می‌توانیم یک t_{PLH} تخمینی با استفاده از مقدار میانگین i_{DP} در گستره $v_O = ۰$ تا $v_O = V_{DD}/۲$ به دست آوریم. نتیجه، عبارت تقریبی زیر است: (با فرض $V_t \cong ۰/۲V_{DD}$).

$$t_{PLH} = \frac{۱/۷C}{k_p V_{DD}} \qquad (۱۳-۴۳)$$

شرایط تخلیه خازن کمی متفاوت است چون جریان i_{DP} باید از i_{DN} به دست آید. نتیجه، عبارت تقریبی زیر است:

$$t_{PHL} \cong \frac{۱/۷C}{k_n\left(۱ - \frac{۰/۴۶}{r}\right)V_{DD}} \qquad (۱۳-۴۴)$$

که به ازای مقادیر بزرگ r بصورت زیر در می‌آید:

$$t_{PHL} \cong \frac{۱/۷C}{k_n V_{DD}} \qquad (۱۳-۴۵)$$

اگر چه این معادلات همانند معادلات وارونگر CMOS مکمل هستند، وارونگر شبه NMOS یک مشکل خاص دارد: چون k_p، r بار کوچکتر از k_n است، t_{PLH}، r بار بزرگتر از t_{PHL} خواهد بود. بدین ترتیب تأخیر مدار، نامتقارن خواهد بود. اما به خاطر آورید که یکی از مزایای شبه NMOS این است که گیت‌های با fan-in بالا، نیاز به ترانزیستور کمتری دارند و بنابراین C کوچکتر از گیت CMOS مکمل متناظر خواهد بود.

طراحی

فرآیند طراحی شامل انتخاب نسبت r و (W/L) یک ترانزیستور است. مقدار (W/L) برای قطعات دیگر را می‌توان با استفاده از r به دست آورد. پارامترهای طراحی مورد نظر، V_{OL}، NM_L، NM_H، I_{stat}، P_D، t_{PLH}، t_{PHL} می‌باشند. نکات قابل توجه و مهم طراحی از این قرارند:

۱- نسبت r تعیین کننده نقاط شکست VTC است، هر چه r بزرگتر باشد، V_{OL} که از معادله (۳۹-۱۳) به دست می‌آید، کوچکتر خواهد بود و حاشیه‌های نویز نیز گسترده‌تر می‌باشد [معادله‌های (۴۱-۱۳) و (۴۲-۱۳)]. اما مقدار بزرگ r، عدم تقارن پاسخ گذرا را بیشتر می‌کند و با یک $(W/L)_n$ مشخص، گیت بزرگتر می‌شود. بنابراین انتخاب r، نمایشگر رابطه متقابل بین حاشیه‌های نویز و ناحیه سیلیکونی و سطح می‌باشد. معمولاً r بین ۴ تا ۱۰ انتخاب می‌شود.

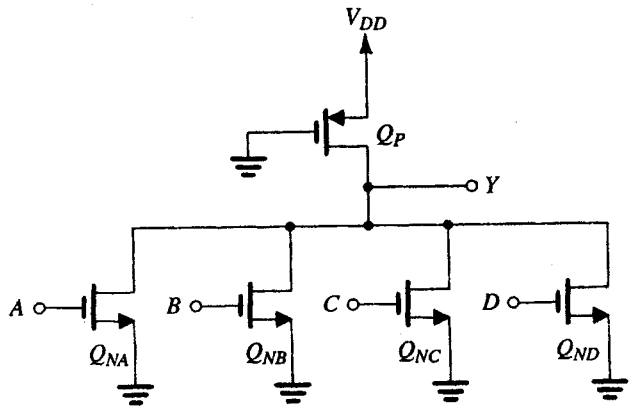
۲- پس از تعیین r، می‌توان مقداری برای $(W/L)_p$ یا $(W/L)_n$ انتخاب کرد و دیگری را تعیین نمود. با انتخاب مقداری کوچک برای $(W/L)_n$، می‌توان سطح گیت را کوچک کرده و خازن C را نیز کاهش داد. $(W/L)_p$، I_{stat} و P_D را پایین نگه می‌دارد. از طرف دیگر، برای داشتن t_p کم و در نتیجه سرعت بیشتر، مایلیم نسبت (W/L) را بزرگ انتخاب کنیم. در کاربردهای معمولی (سرعت بالا) $(W/L)_p$ بگونه‌ای انتخاب می‌شود که I_{stat} در گستره ۵۰ تا ۱۰۰μA قرار گیرد، که برای V_{DD}=۵V منجر به ۰/۲۵mW< P_D < ۰/۵mW می‌شود.

مدارهای گیت

تفاوت مدار گیت شبه NMOS و PDN گیت CMOS مکمل، در عنصر بار می‌باشد. در شکل (۲۲-۱۳) گیت‌های NAND و NOR چهار ورودی شبه NMOS نشان داده شده‌اند. توجه کنید که هر کدام نیاز به پنج ترانزیستور دارند در حالی که در CMOS مکمل به هشت ترانزیستور نیاز داشتیم. در شبه NMOS، گیت‌های NOR بر گیت‌های NAND ترجیح داده می‌شوند، چون ترانزیستورها سری بوده و اندازهٔ قطعه NMOS را کاهش می‌دهند.

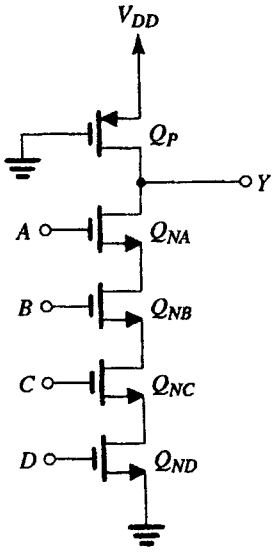
توضیح نهایی

شبه NMOS بطور ویژه برای کاربردهایی که خروجی در بیشتر زمان‌ها در حالت بالا می‌ماند مناسب است. در چنین کاربردهایی، توان مصرفی



$Y = \overline{A + B + C + D}$

(الف)



$Y = \overline{ABCD}$

(ب)

شکل ۲۲-۱۳. گیت‌های NOR و NAND شبه NMOS

استاتیک طبیعتاً پایین است. (چون گیت توان استاتیک را در حالت خروجی پایین مصرف می‌کند). علاوه بر آن، تغییر حالات خروجی موضوعی است که در حالت بالا به پایین، که تأخیر انتشار را می‌توان تا حد لازم کم کرد، مطرح می‌شود. یک کاربرد خاص از این نوع را می‌توان در طراحی رمزگشای آدرس برای تراشه‌های حافظه [بخش (۱۱-۱۳)] و حافظه‌های فقط خواندنی [بخش (۱۲-۱۳)] مشاهده نمود.

مثال ۳-۱۳

وارونگر شبه NMOS را در تکنولوژی CMOS تشریح شده در مثال (۱-۱۳) را با $\mu_n C_{ox} = ۵۰\ \mu A/V^۲$ ، $\mu_p C_{ox} = ۲۰\ /\ \mu A\ V^۲$ ، $V_{tn} = -V_{tp} = ۱V$ و $V_{DD} = ۵V$ در نظر بگیرید. فرض کنید نسبت W/L برای Q_N ، $(۴\mu m/۲\mu m)$ و $r = ۹$ باشد. مقادیر زیر را به دست آورید:

(الف) V_{OH} ، V_{OL} ، V_{IL} ، V_{IH} ، V_M ، NM_H ، NM_L

(ب) $(W/L)_P$

(پ) I_{stat} و P_D

(ت) t_{PLH} ، t_{PHL} و t_P فرض کنید خازن مجموع خروجی وارونگر $۷۰fF$ باشد.

حل:

(الف) $V_{OH} = V_{DD} = ۵V$

V_{OL} از معادله (۳۹-۱۳) به دست می‌آید:

$$V_{OL} = (۵ - ۱)\left[۱ - \sqrt{۱ - \frac{۱}{۹}}\right] = ۰/۲۳V$$

V_{IL} از معادله (۳۵-۱۳) به دست می‌آید:

$$V_{IL} = ۱ + \frac{۵ - ۱}{\sqrt{۹(۹ + ۱)}} = ۱/۴۲V$$

V_{IH} از معادله (۳۸-۱۳) به دست می‌آید:

$$V_{IH} = ۱ + \frac{۲}{\sqrt{۳\times۹}}\times(۵ - ۱) = ۲/۵۴V$$

V_M را می‌توان از معادله (۳۶-۱۳) پیدا کرد:

$$V_M = ۱ + \frac{۵ - ۱}{\sqrt{۹ + ۱}} = ۲/۲۶V$$

حاشیه‌های نویز را می‌توان بطریقه زیر به دست آورد:

$$NM_H = V_{OH} - V_{IH} = ۵ - ۲/۵۴ = ۲/۴۶V$$

$$NM_L = V_{IL} - V_{OL} = ۱/۴۲ - ۰/۲۳ = ۱/۱۹V$$

دقت کنید که حاشیه‌های نویز مساوی نبوده و NM_L نسبتاً پایین است.

(ب) نسبت (W/L) برای Q_P را می‌توان از رابطه زیر به دست آورد:

$$\frac{\mu_n C_{ox}(W/L)_n}{\mu_p C_{ox}(W/L)_p} = ۹$$

$$\frac{۵۰\times(۴\div۲)}{۲۰(W/L)_p} = ۹$$

بدین ترتیب $(W/L)_p = \frac{۵}{۹}$ بوده و منطقی است که $W_p = ۲\mu m$ در حالت $L_p = ۳/۶\mu m$ انتخاب شود.

(پ) چون dc در حالت خروجی پایین را می‌توان از معادله (۴۰-۱۳) محاسبه کرد:

$$I_{stat} = \frac{۱}{۲}\times۲۰\times\frac{۵}{۹}(۵ - ۱)^۲ = ۸۸/۹\mu A$$

توان مصرفی استاتیک را می‌توان بصورت زیر به دست آورد:

$$P_D = I_{stat}V_{DD} = ۸۸/۹\times۵ = ۰/۴۴mW$$

(ت) تأخیر انتشار تغییر حالت پایین به بالا از معادله (۴۳-۱۳) به دست می‌آید:

$$t_{PLH} = \frac{۱/۷\times۷۰\times۱۰^{-۱۵}}{۲۰\times۱۰^{-۶}\times(۵\div۹)\times۵} = ۲/۱۴ns$$

تأخیر انتشار تغییر حالت بالا به پایین از معادله (۴۵-۱۳) محاسبه می‌شود:

$$t_{PHL} = \frac{۱/۷\times۷۰\times۱۰^{-۱۵}}{۵۰\times۱۰^{-۶}\times(۴\div۲)\times۵} = ۰/۲۴ns$$

تأخیر انتشار عبارت است از:

$$t_p = \frac{۱}{۲}(۲/۱۴ + ۰/۲۴) = ۱/۱۹ns$$

اگر چه تأخیر انتشار بطور قابل توجهی بزرگتر از وارونگر CMOS مکمل مثال (۱-۱۳) است، اما این مقایسه چندان صحیح نیست، چون مزیت شبه NMOS در گیت‌ها هنگامی پدیدار می‌شود که تعداد گیت‌ها زیاد باشد و در مورد یک وارونگر این مزیت مشهود نیست.

تمرین‌ها

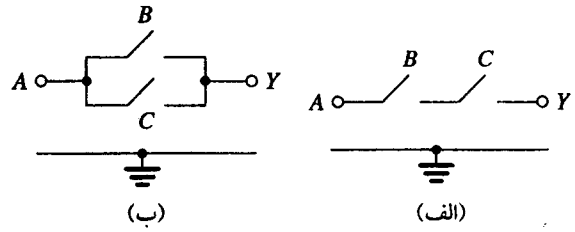
۶-۱۳ بدون تغییر r ، مدار وارونگر مثال (۳-۱۳) را بگونه‌ای طراحی کنید که توان مصرفی آن، نصف شود. نسبت‌های (W/L) طرح جدید را به دست آورید. t_{PLH} ، t_{PHL} و t_P را با فرض این که C بدون تغییر می‌ماند محاسبه کنید. آیا حاشیه‌های نویز تغییر می‌کند؟

جواب. $(W/L)_n = ۱$ ، $(W/L)_p = ۰/۲۷۸$ ، $۴/۲۸ns$ ، $۰/۴۸ns$ ، $۲/۳۸ns$ خیر.

(نکته: یک انتخاب می‌تواند $\left(\frac{W}{L}\right)_p = \frac{۲\mu m}{۷/۲\mu m}$ و $\left(\frac{W}{L}\right)_n = \frac{۲\mu m}{۲\mu m}$ باشد)

۷-۱۳ وارونگر مثال (۳-۱۳) را با $r = ۴$ دوباره طراحی کنید. V_{OL} و حاشیه‌های نویز را به دست آورید. چنانچه $\left(\frac{W}{L}\right)_n = \frac{۴\mu m}{۲\mu m}$ باشد، $\left(\frac{W}{L}\right)_p$ ، I_{stat} ، P_D ، t_{PLH} ، t_{PHL} و t_P را به دست آورید فرض کنید $C = ۷۰fF$ باشد.

جواب. $V_{OL} = ۰/۵۴V$ ، $NM_L = ۱/۳۵V$ ، $NM_H = ۱/۶۹V$ ، $\left(\frac{W}{L}\right)_p = \frac{۵}{۴}$ (بدین ترتیب یک انتخاب ممکن $L_P = ۲\mu m$ و $W_P = ۲/۵\mu m$ است). $I_{stat} = ۰/۲mA$ ، $P_D = ۱mW$ ، $t_{PLH} = ۰/۹۵ns$ ، $t_{PHL} = ۰/۲۴ns$ و $t_P = ۰/۶ns$. ❑

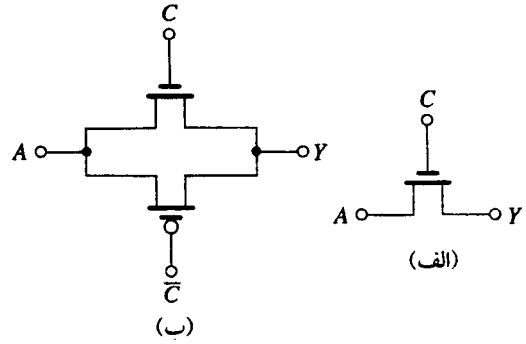


شکل ۲۳-۱۳. نمایش مفهومی گیت‌های منطق ترانزیستور عبوری: **(الف)** دو سوئیچ که با متغیرهای ورودی B و C کنترل می‌شوند، بصورت سری بین گره ورودی که متغیر A به آن اعمال شده و گره خروجی (که بعنوان بار نسبت به زمین تلقی می‌شود)، تحقق تابع $Y=ABC$ را می‌دهد **(ب)** هنگامی که دو سوئیچ بصورت موازی به هم متصل شوند، تابع $Y=A\ (B+C)$ تحقق می‌یابد

۵-۱۳ مدارهای منطقی ترانزیستور عبوری

یک روش ساده مفهومی برای پیاده‌سازی توابع منطقی، استفاده از ترکیبی از سوئیچ‌های سری و موازی است که با ولتاژ ورودی کنترل می‌شود و گره‌های خروجی و ورودی را به هم وصل می‌کند [شکل (۲۳-۱۳)] سوئیچ‌ها را می‌توان با ترانزیستور NMOS [شکل (الف ۲۴-۱۳)] یا یک زوج ترانزیستور MOS مکمل که بصورت گیت انتقال [CMOS شکل (ب ۲۴-۱۳)] مطالعه شده در بخش (۹-۵)، متصل شده، مدل سازی کرد. در نتیجه شکل ساده‌ای از مدار منطقی به دست می‌آید که برای بعضی از توابع منطقی خاص مناسب است و غالباً به همراه CMOS مکمل برای بازده بیشتر به کار می‌رود.

از آن جا که این نوع مدار منطقی از ترانزیستورهای MOS در شاخه سری از ورودی به خروجی، برای عبور یا عدم عبور سیگنال استفاده می‌کند، بعنوان منطق ترانزیستور عبوری (PTL) از آن یاد می‌شود. چنانچه قبلاً ذکر شد، گیت‌های انتقال CMOS غالباً برای پیاده‌سازی سوئیچ‌ها، مورد استفاده قرار می‌گیرند، به همین دلیل به آن منطق گیت عبوری‌نیز می‌گویند و هر دو نام را نیز مورد استفاده قرار می‌دهند. با وجود این که این مدارها ساده به نظر می‌رسد، اما در طراحی آن‌ها باید دقت کرد. در ادامه اصول طراحی مدار PTL را بهمراه مثال‌هایی در این رابطه، بررسی می‌کنیم.

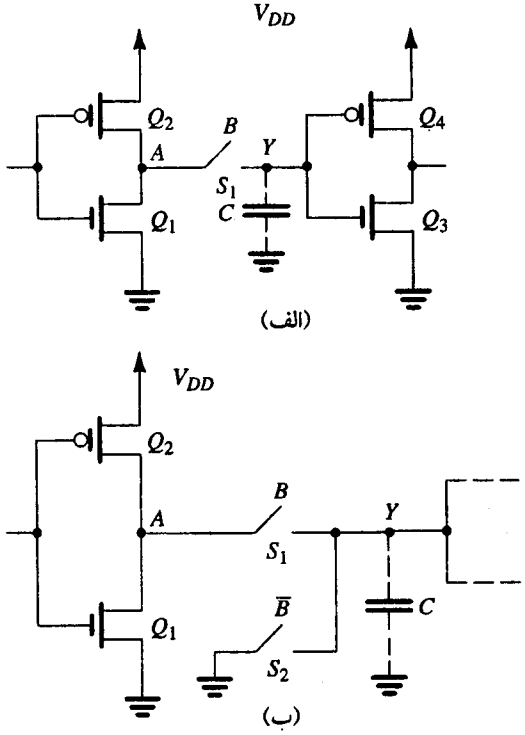


شکل ۲۴-۱۳. دو روش ممکن برای پیاده سازی سوئیچ کنترل شده با ولتاژ متصل شده به گره‌های A و Y: **(الف)** ترانزیستور NMOS و **(ب)** گیت انتقال CMOS

لازمه‌های یک طراحی اساسی

یکی از مسائل اساسی در طراحی مدارهای PTL این است که مطمئن شویم که هر گره مدار همیشه مسیر کم مقاومتی را تا V_{DD} یا زمین، داشته باشد. برای توجه به این نکته، وضعیت موجود در شکل (الف ۲۵-۱۳) را در نظر بگیرید: سوئیچ S_1 (که معمولاً قسمتی که از یک شبکه PTL بزرگتر است)، برای تشکیل تابع AND متغیر کننده B و متغیر A، در خروجی وارونگر CMOS مورد استفاده قرار می‌گیرد. خروجی Y مدار PTL به یک وارونگر دیگر متصل شده است. حال اگر B در حالت بالا باشد، S_1 بسته شده و $Y=A$ است. گره Y، اگر A در حالت بالا باشد از طریق Q_2 به V_{DD} و اگر A در حالت پایین باشد از طریق Q_1 به زمین متصل می‌شود. حال اگر B به حالت پایین رود و S_1 باز شود، Y یک گره با امپدانس بالا می‌شود. اگر v_Y صفر بود، به همان حالت می‌ماند اما اگر v_Y در حالت بالا (V_{DD}) باشد، این ولتاژ بعلت شارژ خازن پارازیتی C باقی می‌ماند و تنها در حالتی که جریان نشستی C را خالی کند، v_Y نیز کم خواهد شد. در هر حالت، مدار را نمی‌توان مدار منطقی استاتیک در نظر گرفت.

این مشکل را می‌توان براحتی با برقراری مسیر کم مقاومتی برای گره Y که در حالت پایین بودن B فعال می‌شود، مطابق شکل (ب ۲۵-۱۳)، حل کرد. در این جا سوئیچ دیگر، S_2، که با $\overline{B}$ کنترل می‌شود، بین Y و زمین متصل می‌شود. هنگامی که B به حالت پایین می‌رود، S_2 بسته شده و مسیر کم مقاومت را بین Y و زمین فراهم می‌کند.



شکل ۲۵-۱۳. لازمه اساسی طراحی مدارهای PTL این است که هرگره باید در همه اوقات مسیر کم مقاومتی به زمین یا V_{DD} داشته باشد. چنین مسیری در **(الف)** که B در حالت پایین و S_1 باز است وجود ندارد اما در **(ب)** از طریق سوئیچ S_2 برقرار شده است.

عملکرد ترانزیستورهای NMOS بعنوان سوئیچ

پیاده‌سازی سوئیچ‌ها با ترانزیستورهای NMOS در یک مدار PTL منجر به مدار ساده‌ای با سطح کم و ظرفیت خازنی کم گره، می‌شود. اما این مزایا در سایهٔ نقص جدی در مشخصه‌های استاتیک و گذرای مدار حاصل به دست می‌آید. مشخصه‌های پایین‌تر از ایده‌آل یک ترانزیستور NMOS جدا شده، بعنوان سوئیچ در کاربردهای دیجیتال، اصولاً شبیه سوئیچ آنالوگ [بخش (۹-۵)] می‌باشد. مدار شکل (۲۶-۱۳) را در نظر بگیرید. ترانزیستور Q_1 که از نوع NMOS است، بعنوان سوئیچ بین گره ورودی با ولتاژ v_I و گره خروجی مورد استفاده قرار می‌گیرد. خازن مجموع بین گره ورودی و خروجی با C نمایش داده می‌شود. سوئیچ، در حالت بسته نشان داده شده است، در حالی که سیگنال کنترل به گیت آن اعمال شده و در وضعیت V_{DD} است. مدار را در حالتی تحلیل می‌کنیم که ولتاژ ورودی v_I در زمان $t = 0$ به حالت بالا می‌رود. فرض می‌کنیم که ولتاژ خروجی v_O، صفر، و خازن C بطور کامل تخلیه می‌شود.

هنگامی که v_I به حالت بالا می‌رود، ترانزیستور در حالت اشباع کار می‌کند و جریان i_D را برای پر کردن خازن تحویل می‌دهد:

$$i_D = \frac{1}{2} k_n (V_{DD} - v_O - V_t)^2 \qquad (۱۳-۴۶)$$

در رابطه فوق $k_n = k'_n(W/L)$ بوده و V_t توسط اثر بدنه تعیین می‌شود، چون سورس در ولتاژ v_O وابسته به بدنه است، بدین ترتیب [معادله (۳۰-۵) را ببینید]:

$$V_t = V_{t0} + \gamma(\sqrt{v_O + 2\phi_f} - \sqrt{2\phi_f}) \qquad (۱۳-۴۷)$$

بدین ترتیب، در آغاز ($t = 0$)، $V_t = V_{t0}$ و جریان i_D نسبتاً بزرگ است. اما همانطور که C تا v_O پر می‌شود، V_t افزایش یافته [معادله (۴۷-۱۳)] و i_D کاهش می‌یابد و این کاهش، ناشی از افزایش v_o و V_t است. در نتیجه، فرآیند پر شدن خازن نسبتاً کند است. نکته جدی‌تر این است که با توجه به معادله (۴۶-۱۳)، i_D هنگامی که v_o به $(V_{DD} - V_t)$ می‌رسد، به صفر کاهش می‌یابد. بدین ترتیب ولتاژ خروجی در حالت بالا (V_{OH}) مساوی V_{DD} نخواهد بود و به اندازه V_t کمتر از V_{DD} است و از آن بدتر این که V_t می‌تواند ۱/۵ تا ۲ برابر V_{t0} باشد! کم بودن مقدار V_{OH} (که به آن «1 ضعیف» هم می‌گویند)، علاوه بر کاهش ایمنی از نویز، اثر زیانبار دیگری نیز دارد: حالتی را در نظر بگیرید که گره خروجی به ورودی وارونگر CMOS مکمل متصل شده باشد [مانند شکل (۲۵-۱۳)]. کم بودن مقدار V_{OH} باعث می‌شود Q_p وارونگر بار هدایت کند، بنابراین وارونگر دارای جریان استاتیک و توان مصرف استاتیک محدود است.

تأخیر انتشار t_{PHL} گیت PTL شکل (۲۶-۱۳) را می‌توان بعنوان زمانی که v_O به $V_{DD}/2$ می‌رسد، تعیین کرد. این کار را می‌توان با روش‌هایی مشابه آنچه که در بخش قبل دیدیم و طی یک مثال بررسی کردیم، انجام داد.

شکل (۲۷-۱۳)، مدار سوئیچ NMOS را در حالتی که v_I تا صفر ولت پایین می‌آید، نشان می‌دهد. فرض می‌کنیم در آغاز $v_O = V_{DD}$ باشد. بنابراین در $t = 0+$، ترانزیستور هدایت می‌کند و به حالت اشباع می‌رود،

$$i_D = \frac{1}{2} k_n (V_{DD} - V_t)^2 \qquad (۱۳-۴۸)$$

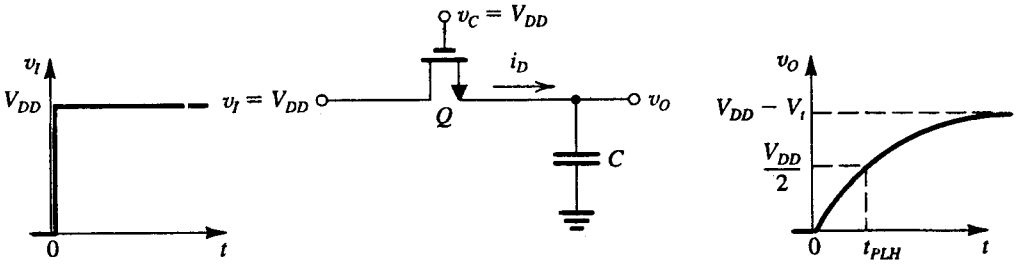
چون سورس در ولتاژ صفر است (دقت کنید که نقش درین و سورس عوض شده است)، اثر بدنه نخواهیم داشت و V_t در حد V_{t0} باقی می‌ماند. با تخلیه C، v_O کاهش یافته و ترانزیستور به ناحیه تریود در $v_O = V_{DD} - V_t$ می‌رود. با وجود این، تخلیه خازن بصورت کامل انجام شده و $v_O = 0$ خواهد شد. بنابراین، ترانزیستور NMOS، $V_{OL} = 0$ یا «0 خوب» را فراهم می‌کند. در این حالت تأخیر انتشار t_{PHL} را مجدداً می‌توان با روش‌های معمول به دست آورد. به مثالی در این رابطه توجه کنید.

مثال ۴-۱۳

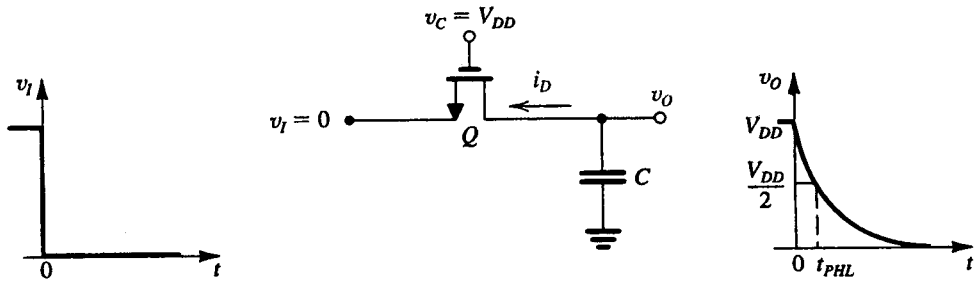
سوئیچ ترانزیستوری NMOS را در مدارهای شکل (۲۶-۱۳) و (۲۷-۱۳) با پارامترهای زیر در نظر بگیرید: $C_{ox}\mu_n = 50\mu A/V^2$، $\mu_p C_{ox} = 20\mu A/V^2$، $|V_{t0}| = 1V$، $\gamma = 0/5 V^{1/2}$، $2\phi_f = 0/6V$ و $V_{DD} = 5V$. فرض کنید ترانزیستور در این تکنولوژی با حداقل اندازه ساخته شده باشد، یعنی $4\mu m / 2\mu m$ و خازن مجموع بین گره خروجی و زمین $C = 50fF$ باشد.

(الف) اگر v_I در حالت بالا باشد [شکل (۲۶-۱۳)]، V_{OH} را به دست آورید.

(ب) اگر خروجی، یک وارونگر CMOS را تغذیه کند که در آن $(W/L)_p = 2/5\ (W/L)_n = 10\mu m / 2\mu m$ باشد، جریان استاتیک وارونگر و توان مصرفی آن را در حالتی به دست آورید که خروجی مقدار به دست آمده در قسمت (الف) است. ولتاژ خروجی وارونگر را نیز محاسبه کنید.



شکل ۲۶-۱۳. عملکرد ترانزیستور NMOS بعنوان سوئیچ در پیاده سازی مدارهای PTL. این تحلیل در حالتی است که سوئیچ بسته است (v_C در حالت بالاست) و ورودی به حالت بالا می‌رود. $(v_I = V_{DD})$



شکل ۲۷-۱۳. عملکرد سوئیچ NMOS در حالتی که ورودی به حالت پایین (v_I=۰V) می‌رود. دقت کنید که ولتاژ درین ترانزیستور NMOS همیشه بالاتر از ولتاژ سورس است، و در مقایسه با مدار شکل (۲۶-۱۳)، پایانه‌های درین و سورس نقش خود را عوض می‌کنند

(پ) t_{PLH} را به دست آورید.

(ت) در حالتی که v_I به حالت پایین می‌رود، t_{PHL} را محاسبه کنید.

(ث) t_P را پیدا کنید.

حل:

با مراجعه به شکل (۲۶-۱۳) مشاهده می‌کنیم که V_{OH} مقداری از v_O است که در آن مقدار، هدایت Q متوقف می‌شود.

$$V_{DD} - V_{OH} - V_t = ۰$$

بنابراین:

$$V_{OH} = V_{DD} - V_t$$

در رابطه فوق V_t، مقداری از ولتاژ آستانه در بایاس معکوس سورس-بدنه است که مساوی V_{OH} باشد. با استفاده از معادله (۴۷-۱۳) داریم:

$$V_t = V_{t۰} + \gamma(\sqrt{V_{OH} + ۲\phi_f} - \sqrt{۲\phi_f})$$
$$= V_{t۰} + \gamma(\sqrt{V_{DD} - V_t + ۲\phi_f} - \sqrt{۲\phi_f})$$

از جایگزینی مقادیر داده شده یک معادله درجه چهارم برای V_t به دست می‌آید که جواب آن $V_t = ۱/۶V$ است بنابراین $V_{OH} = ۳/۴V$ خواهد بود. این امر نشان می‌دهد که مقدار زیادی از سیگنال کم شده است.

(ب) سیگنال ورودی وارونگر ۳/۴V است، بنابراین Q_P در جریان زیر شروع به هدایت می‌کند:

$$i_{DP} = \frac{۱}{۲}\times ۲۰\times\frac{۱۰}{۲}(۵ - ۳/۴ - ۱)^۲ = ۱۸\mu A$$

بنابراین توان مصرفی استاتیک وارونگر عبارت است از:

$$P_D = V_{DD}\, i_{DP} = ۵\times ۱۸ = ۹۰\mu W$$

با توجه به این که Q_N در ناحیه تریود است، می‌توان ولتاژ خروجی وارونگر را به دست آورد. از مساوی قرار دادن جریان آن با جریان Q_P (یعنی ۱۸μm)، ولتاژ خروجی مساوی ۰/۰۸V به دست می‌آید.

(ت) برای تعیین t_{PLH}، باید جریان i_D را در $t = ۰$ ($v_O = ۰$ و $V_t = V_{t۰} = ۱V$) و $t = t_{PLH}$ ($v_O = ۲/۵V$ و V_t باید تعیین شود)، بصورت زیر به دست آوریم.

$$i_D(۰) = \frac{۱}{۲}\times ۵۰\times\frac{۴}{۲}\times(۵ - ۱)^۲ = ۸۰۰\mu A$$

$V_t(v_O = ۲/۵V$ در$)$

$$= ۱ + ۰/۵(\sqrt{۲/۵ + ۰/۶} - \sqrt{۰/۶}) = ۱/۴۹V$$

$$i_D(t_{PLH}) = \frac{۱}{۲}\times ۵۰\times\frac{۴}{۲}(۵ - ۲/۵ - ۱/۴۹)^۲ = ۵۰\mu A$$

اکنون می‌توانیم میانگین جریان تخلیه را بصورت زیر به دست آوریم:

$$i_D|_{av} = \frac{۸۰۰ + ۵۰}{۲} = ۴۲۵\mu A$$

و t_{PLH} بصورت زیر به دست می‌آید:

$$t_{PLH} = \frac{C(V_{DD}/۲)}{i_D|_{av}} = \frac{۵۰\times ۱۰^{-۱۵}\times ۲/۵}{۴۲۵\times ۱۰^{-۶}} = ۰/۲۹ns$$

(ت) با مراجعه به مدار شکل (۲۷-۱۳)، مشاهده می‌شود که V_t در $V_{t۰} = ۱V$ ثابت می‌ماند. جریان درین در $t = ۰$ عبارت است از:

$$i_D(۰) = \frac{۱}{۲}\times ۵۰\times\frac{۴}{۲}(۵ - ۱)^۲ = ۸۰۰\mu A$$

در $t = t_{PHL}$، Q در ناحیه تریود بوده و بنابراین داریم:

$$i_D(t_{PHL}) = ۵۰\times\frac{۴}{۲}[(۵ - ۱)\times ۲/۵ - \frac{۱}{۲}\times ۲/۵^۲]$$

میانگین جریان تخلیه بصورت زیر به دست می‌آید:

$$i_D|_{av} = \frac{۱}{۲}(۸۰۰ + ۶۹۰) = ۷۴۰\mu A$$

و t_{PHL} عبارت است از:

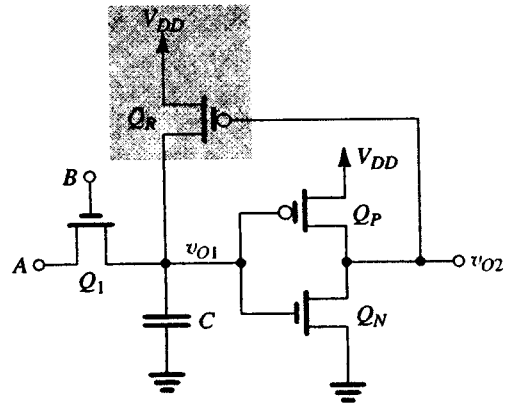
$$t_{PHL} = \frac{۵۰\times ۱۰^{-۱۵}\times ۲/۵}{۷۴۰\times ۱۰^{-۶}} = ۰/۱۷ns$$

(ث)

$$t_p = \frac{۱}{۲}(t_{PLH} + t_{PHL}) = \frac{۱}{۲}(۰/۲۹ + ۰/۱۷) = ۰/۲۳ns$$

در مثال قبل، بوضوح مشکل تلفات سیگنال و اثرات زیانبار آن روی عملکرد وارونگر CMOS بعدی، دیده شد. روش‌هایی برای بازگرداندن سطح ولتاژ خروجی به V_{DD} وجود دارد. دو روش را بطور خلاصه بررسی می‌کنیم که یکی بر مبنای مدار و دیگری بر مبنای تکنولوژی پردازش است.

روش مداری در شکل (۲۸-۱۳) تشریح شده است، در این جا Q_1 یک ترانزیستور عبوری است که با ورودی B کنترل می‌شود. گره خروجی شبکه PTL به ورودی یک وارونگر مکمل که از Q_N و Q_P تشکیل شده،



شکل ۲۸-۱۳. استفاده از ترانزیستور Q_R، که در حلقه فیدبک پیرامون وارونگر CMOS متصل شده، برای رساندن سطح V_{OH} تولید شده توسط Q_1 به V_{DD}

متصل می‌شود. یک ترانزیستور PMOS با نام Q_R که گیت آن با ولتاژ خروجی وارونگر، یعنی v_{O2} کنترل می‌شود، به مدار اضافه شده است.

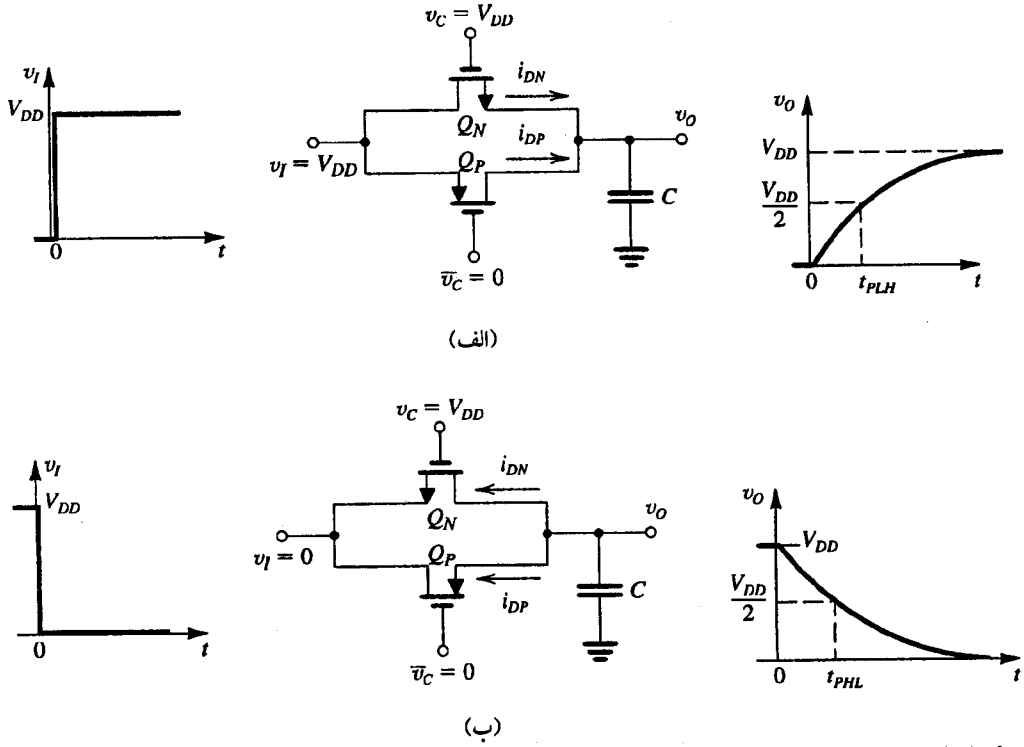
در حالتی که خروجی گیت PTL یعنی v_{O1}، در حالت پایین است (زمین)، v_O در حالت بالا خواهد بود (V_{DD})، و Q_R خاموش است. از طرف دیگر، اگر v_{O1} در حالت بالا باشد، اما کاملاً مساوی V_{DD} نباشد، خروجی وارونگر در حالت پایین بوده (همان‌طور که باید باشد) و Q_R روشن می‌شود، و جریانی را برای پر شدن خازن C به V_{DD} می‌فرستد، این فرآیند تا زمانی که $v_{O1} = V_{DD}$ شود، یعنی ولتاژ خروجی به سطح مناسب برسد، ادامه پیدا می‌کند. این عمل که توسط Q_R انجام می‌شود، غالباً در طراحی مدار دیجیتالی MOS مورد استفاده قرار می‌گیرد. باید یادآوری کنیم اگر چه شرح کار مدار نسبتاً ساده است، اما اضافه کردن Q_R باعث بسته شدن حلقه فیدبک مثبت پیرامون وارونگر CMOS می‌شود و بنابراین عملکرد آن وابسته به مسائل دیگری، بخصوص در حالات گذر، خواهد بود. انتخاب نسبت (W/L) برای Q_R نیز کمی پیچیده‌تر است اگر چه معمولاً بگونه‌ای صورت می‌گیرد که $k_r \ll k_n$ (مثلاً ۳ یا ۵ برابر) باشد. البته می‌توان فهمید که Q_R نقش عمده‌ای در عملکرد مدار ندارد و وظیفهٔ آن رساندن V_{OH} به V_{DD} است. به Q_R «ترانزیستور PMOS ضعیف» می‌گویند.

روش دیگر تصحیح تلفات سطح سیگنال خروجی در حالت بالا (V_{OH})، راه حل مبتنی بر تکنولوژی است. یادآوری می‌کنیم که افت مقدار V_{OH} به اندازه V_{tn} است، در نتیجه می‌توانیم این افت را با انتخاب مقدار کمتری برای V_{tn} برای سوئیچ‌های NMOS کاهش داده و با $V_{tn} = 0$، آن را حذف کنیم. این قطعات با آستانه صفر را می‌توان با کاشت یونی جهت کنترل V_{tn}، ساخت که آن‌ها را «قطعات طبیعی» می‌نامند.

استفاده از گیت‌های انتقال CMOS بعنوان سوئیچ

هنگامی که سوئیچ‌ها با گیت‌های انتقال CMOS پیاده‌سازی شوند، عملکرد استاتیک و گذرای بهتری دارند. در مطالعات انجام شده در مورد گیت انتقال در بخش (۹-۵) می‌توان به این نکته پی برد. به خاطر آورید که گیت انتقال سوئیچ آنالوگ عالی است که جریان دو طرفه را فراهم کرده و مقاومت روشن آن در گستره زیادی از ولتاژهای ورودی ثابت است. همین مشخصه‌ها باعث می‌شود که گیت انتقال یک پیاده‌سازی عالی برای سوئیچ‌های به کار رفته در PTL باشد.

شکل (الف ۲۹-۱۳) سوئیچ گیت انتقال را در حالت روشن، با ورودی v_I که در $t = 0$ به V_{DD} رسیده است، نشان می‌دهد. فرض کنید، در آغاز ولتاژ خروجی صفر باشد، می‌بینیم که Q_N به اشباع رفته و جریان زیر را



شکل ۲۹-۱۳: عملکرد گیت انتقال بعنوان سوئیچ در مدارهای PTL: (الف) v_I در حالت بالا (ب) v_I در حالت پایین

برای پر کردن خازن فراهم می‌کند:

$$i_{DN} = \frac{1}{2}k_n(V_{DD} - v_O - V_{tn})^2 \qquad (۱۳-۴۹)$$

که در آن، همانند سوئیچ NMOS تکی، V_{tn} توسط اثر بدنه تعیین می‌شود:

$$V_{tn} = V_{t0} + \gamma(\sqrt{v_O + 2\phi_f} - \sqrt{2\phi_f}) \qquad (۱۳-۵۰)$$

ترانزیستور Q_N جریانی را هدایت می‌کند که در $v_o = V_{DD} - V_{tn}$ به صفر می‌رسد. اما Q_P با $V_{SG} = V_{DD}$ کار می‌کند و در آغاز در اشباع است.

$$i_{DP} = \frac{1}{2}k_p(V_{DD} - |V_{tp}|)^2 \qquad (۱۳-۵۱)$$

چون زیرلایه Q_P به V_{DD} متصل شده، $|V_{tp}|$ در V_{t0} ثابت می‌ماند، و فرض می‌شود که همان مقدار قطعه کانال n باشد. جریان کلی، پر کننده خازن، جمع i_{DN} و i_{DP} است. حال، Q_P در $v_o = |V_{tp}|$ وارد ناحیه تریود می‌شود، اما تا زمان پرشدن کامل C و رسیدن $v_o = V_{OH} = V_{DD}$، هدایت می‌کند. بنابراین، قطعهٔ کانال p برای گیت، شرایط «1 خوب» را فراهم می‌کند. مقدار t_{PLH} را می‌توان با استفاده از روش‌های معمول محاسبه کرد. که انتظار داریم که برای همان مقدار C ، t_{PLH} در حالتی که سوئیچ NMOS منفرد باشد، کمتر باشد. چون جریان بیشتری از قطعه PMOS در دسترس است. اما توجه کنید که اضافه کردن ترانزیستور PMOS مقدار C را افزایش می‌دهد.

هنگامی که v_I به حالت پایین می‌رود، مطابق شکل (ب ۲۹-۱۳)، نقش Q_N و Q_P عوض می‌شود. از تحلیل مدار شکل (ب ۲۹-۱۳) نتیجه می‌گیریم که هدایت Q_P در حالتی که v_O به $|V_{tp}|$ می‌رسد، متوقف می‌شود. $|V_{tp}|$ از رابطه زیر به دست می‌آید:

$$|V_{tp}| = V_{t0} + \gamma[\sqrt{V_{DD} - v_O + 2\phi_f} - \sqrt{2\phi_f}] \qquad (۱۳-۵۲)$$

اما Q_N، تا زمان پر شدن کامل C ادامه پیدا کرده و $v_O = V_{OL} = 0\text{V}$ می‌رسد که «0 خوب» می‌باشد.

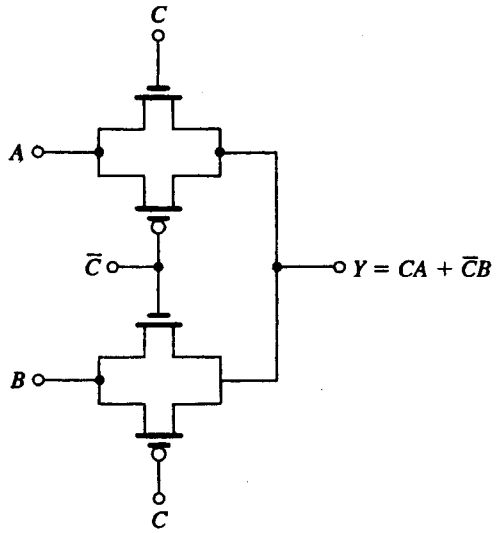
نتیجه می‌گیریم که گیت‌های انتقال عملکرد استاتیک و گذرای بهتری نسبت به سوئیچ‌های NMOS دارند. اما در عوض پیچیدگی مدار، سطح و ظرفیت خازنی، افزایش می‌یابد.

تمرین

۱۸-۱۳ گیت انتقال شکل‌های (الف ۲۹-۱۳) و (ب ۲۹-۱۳) در تکنولوژی CMOS با پارامترهای زیر ساخته شده است.
$k'_n = 50\mu\text{A/V}^2$ ، $k'_p = 20\ \mu\text{A}/\text{V}^2$ ، $V_{tn} = |V_{tp}|$ ، $V_{t0} = 1\text{V}$ ، $\gamma = 0.5\text{V}^{1/2}$ ، $2\phi_f = 0.6\text{V}$ و $V_{DD} = 5\text{V}$. فرض کنید اندازه Q_P و Q_N حداقل باشد، یعنی $(W/L)_p = (W/L)_n = 4\mu\text{m}/2\mu\text{m}$. ظرفیت خازنی کلی در گره خروجی 70fF باشد. چنانچه لازم بود از نتایج مثال (۴-۱۳) استفاده کنید.

(الف) در شکل (الف۲۹-۱۳) ، $i_{DN}(0)$ ، $i_{DP}(0)$ ، $i_{DN}(t_{PLH})$ ، $i_{DP}(t_{PLH})$ و t_{PLH} را به دست آورید.

(ب) در شکل (ب۲۹-۱۳)، $i_{DN}(0)$، $i_{DP}(0)$، $i_{DN}(t_{PHL})$، $i_{DP}(t_{PHL})$ و t_{PHL} را به دست آورید. در چه مقداری از v_O، Q_P خاموش می‌شود؟



شکل ۳۰-۱۳. تحقق مالتی پلکسر دو به یک با استفاده از منطق ترانزیستور عبوری

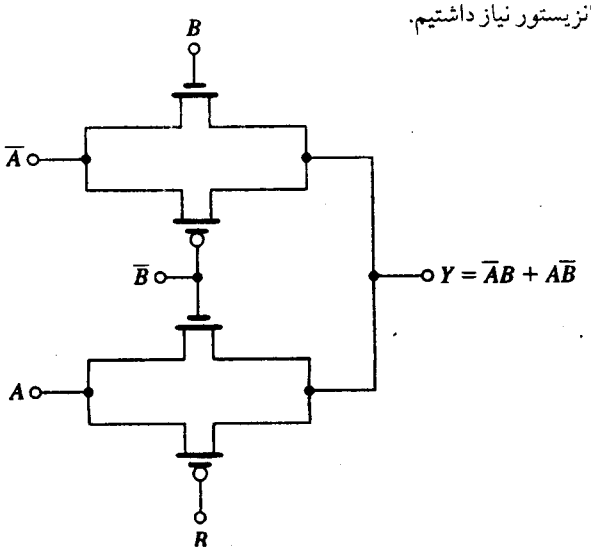
(پ) t_P را به دست آورید.

جواب. (الف) $80\mu\text{A}$ ، $320\mu\text{A}$ ، $50\mu\text{A}$ ، $275\mu\text{A}$ ، 0.24ns
(ب) $80\mu\text{A}$ ، $320\mu\text{A}$ ، $688\mu\text{A}$ ، $20\mu\text{A}$ ، 0.19ns ، 1.6V
(پ) 0.22ns ❑

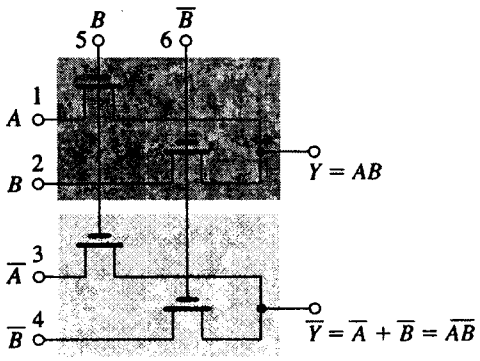
مثال‌هایی از مدار منطقی ترانزیستور عبوری

این بخش را با مثال‌هایی از مدارهای منطقی PTL به پایان می‌بریم. شکل (۳۰-۱۳) تحقق PTL یک مالتی‌پلکسر دو به یک را نشان می‌دهد: براساس مقدار منطقی C ، A یا B به خروجی متصل Y متصل می‌شود. مدار، تابع بولی مقابل را تحقق می‌دهد: $Y = CA + \bar{C}B$

مثال دوم ما یک تحقق مفید از تابع OR انحصاری (XOR) است. مدار شکل (۳۱-۱۳) از چهار ترانزیستور در گیت‌های انتقال و چهار ترانزیستور برای دو وارونگر تولید کنندهٔ متمم‌های $\bar{A}$ و $\bar{B}$ استفاده می‌کند، که مجموعاً هشت ترانزیستور می‌شود. در تحقق مدار فوق با CMOS مکمل به دوازده ترانزیستور نیاز داشتیم.



شکل ۳۱-۱۳. تحقق تابع OR انحصاری با استفاده از منطق ترانزیستور عبوری



شکل ۳۲-۱۳. مثالی از گیت منطقی ترانزیستور عبوری با استفاده از هر دو متغیر ورودی و متمم‌های آن‌ها. این نوع مدار، منطق ترانزیستور عبوری مکمل یا CPL نامیده می‌شود. توجه کنید که هر دو تابع خروجی و متمم‌های آن‌ها تولید شده‌اند.

آخرین مثال PTL ، مدار شکل (۳۲-۱۳) است. در این مدار از سوئیچ‌های NMOS با آستانه‌های پایین و یا صفر استفاده می‌شود. دقت کنید که از متغیرهای ورودی متمم آنها استفاده شده و مدار تابع بولی و متمم آن را تولید می‌کند. بنابراین به این مدار، منطق ترانزیستور عبوری مکمل (CPL) می‌گویند. مدار شامل دو شبکه معادل ترانزیستورهای عبوری با گیت‌های ترانزیستوری متناظر است که با همان سیگنال (B و $\bar{B}$)، کنترل می‌شود. اما ورودی‌های PTL متمم شده‌اند: A ، B برای شبکه اول و $\bar{A}$ ، $\bar{B}$ برای شبکه دوم. مدار نشان داده شده هر دو تابع AND ، NAND را تحقق می‌دهد.

تمرین

۹-۱۳ مدار شکل (۲۳-۱۳) را در نظر بگیرید. سیگنال‌های ورودی را بصورت زیر در نظر بگیرید. در هر حالت Y و $\bar{Y}$ را به دست آورید:
(الف) سیگنال‌های پایانه‌های ۵ و ۶ تعویض شود ($\bar{B}$ به ۵ و B به ۶ متصل شود). بقیه به همان صورت هستند.
(ب) سیگنال‌های پایانه‌های ۵ یا ۶ مانند (الف) تعویض شود و سیگنال‌های ۲ و ۴ به $\bar{A}$ و A تغییر کند. بقیه به همان صورت هستند.
جواب. (الف) $Y = A + B$, $\bar{Y} = \bar{A}\,\bar{B} = \overline{A + B}$ یعنی OR−NOR
(ب) $Y = A\bar{B} + \bar{A}B$, $\bar{Y} = \bar{A}\bar{B} + AB$ یعنی XOR−XNOR ❑

توضیح نهایی

اگر چه استفاده از قطعات با آستانه صفر مشکل افت سیگنال سوئیچ NMOS را حل می‌کند، مدار حاصل نسبت به نویز حساس‌تر است و سایر تأثیرها مانند جریان‌های نشتی ناشی از هدایت زیر آستانه است.

۶-۱۳ مدارهای منطقی گذرا

مدارهای دیجیتالی که تاکنون مطالعه کرده‌ایم، از نوع استاتیک بودند. در یک مدار منطقی استاتیک، هر گره در همه زمان‌ها مسیر کم مقاومتی تا V_{DD} یا زمین دارد. ولتاژ هر گره، تثبیت شده بوده و هیچ گرهی شناور نمی‌ماند. مدارهای استاتیک نیازی به پالس ساعت (سیگنال‌های زمان‌بندی متناوب) ندارند اگر چه ممکن است پالس ساعت برای موارد دیگری وجود داشته باشد. مدارهای گذرا که قصد بررسی آنها را داریم بر اساس ذخیره ولتاژ در خازن‌های پارازیتی در نقاط معین مدار کار می‌کند و از آن جا که بار خازن با زمان کاهش می‌یابد، مدار را باید بطور متناوب تازه‌سازی کرد و بنابراین حضور پالس ساعت با حداقل فرکانس مشخص شده لازم است.

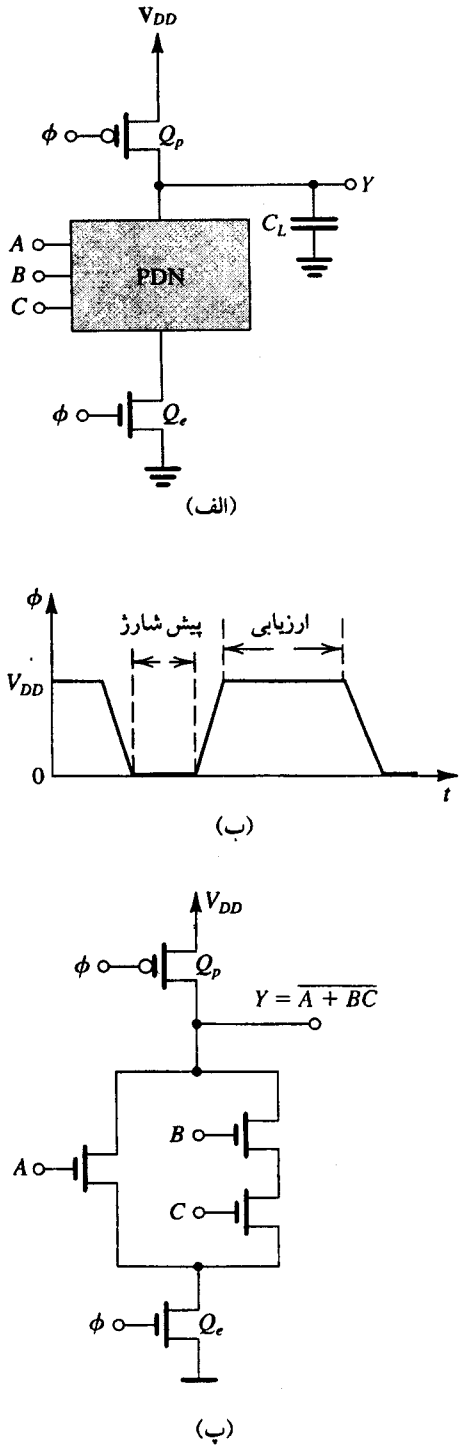
برای دیدن روش‌های مدار منطقی گذرا، نگاهی به روش‌های مدار منطقی که تاکنون بررسی کرده‌ایم، می‌اندازیم. CMOS مکمل تقریباً در هر طرحی دیده می‌شود: طراحی آن آسان است، بیشترین نوسان منطقی را دارد، از نظر ایمنی نویز خوب است، توان استاتیک مصرف نمی‌کند و بگونه‌ای طراحی می‌شود که تأخیرهای انتشار حالت پایین به بالا و حالت بالا به پایین مساوی دارد. عیب اصلی آن، نیاز به دو ترانزیستور برای هر ورودی اضافی است، که در گیت‌های با تعداد ورودی زیاد منجر به افزایش سطح تراشه، ظرفیت خازنی کل و تأخیر انتشار می‌شود. منطق ترانزیستور عبوری، منجر به مداری ساده و با سطح کم می‌شود اما به کاربردهای خاصی محدود می‌شود و نیاز به استفاده از وارونگرهای مکمل برای تصحیح سطح سگینال دارد، بخصوص هنگامی که سوئیچ‌ها از ترانزیستورهای NMOS ساده استفاده شود. روش‌های منطق گذرا که در این بخش مطالعه می‌شود، از تعداد کمی قطعه شبه NMOS استفاده می‌کند و در عین حال توان مصرفی استاتیک را به صفر می‌رساند، البته این مزایا در سایهٔ پیچیدگی بیشتر و کاهش قدرت طراحی حاصل می‌شود.

اصول اساسی

گیت منطقی گذرای پایه، که در شکل (الف ۳۳-۱۳) نشان داده شده است، شامل یک شبکه پایین آورنده (PDN) است که تابع منطقی را دقیقاً همانند PDN گیت CMOS مکمل و گیت شبه NMOS تحقق می‌دهد. اما در اینجا دو سوئیچ بصورت سری وجود دارد که با سیگنال ساعت ϕ با شکل موج نشان داده شده در شکل (ب ۳۳-۱۳) کار می‌کند. هنگامی که ϕ در سطح پایین است، Q_p روشن می‌شود و مدار در حالت آغاز یا **فاز پیش شارژ** است. هنگامی که ϕ در حالت بالاست، Q_p خاموش، و Q_e روشن می‌شود و مدار **در فاز ارزیابی** است. C_L بیانگر ظرفیت خازنی مجموع بین گره خروجی و زمین است.

در زمان پیش شارژ، Q_p هدایت کرده، خازن C_L را در بازه زمانی پیش شارژ پر می‌کند تا نقطه Y به V_{DD} برسد. در ضمن ورودی‌های A ، B و C تغییر کرده به مقدار مناسب خود می‌رسند. چون Q_e خاموش است، مسیری به زمین وجود ندارد.

در مدت فاز ارزیابی، Q_p خاموش و Q_e روشن است. حال اگر ترکیب ورودی بگونه‌ای باشد که خروجی در حالت بالا قرار گیرد، PDN نمی‌تواند هدایت کند (مانند گیت CMOS مکمل) و خروجی در سطح V_{DD} باقی می‌ماند. یعنی $V_{OH} = V_{DD}$ خواهد بود. دقت کنید که تأخیر



شکل ۳۳-۱۳. (الف) ساختار اساسی مدارهای منطقی گذرای MOS . (ب) شکل موج ساعت مورد نیاز برای عملکرد مدار منطقی گذرا و (پ) مثالی از یک مدار

انتشار حالت پایین به بالا نداریم یعنی $t_{PLH} = 0$ می‌باشد. از طرف دیگر، اگر ترکیب ورودی به گونه‌ای باشد که خروجی در حالت پایین قرار گیرد، ترانزیستور NMOS متناسب با آن در PDN هدایت کرده و از طریق ترانزیستور Q_e مسیری بین گره خروجی و زمین برقرار می‌کند. بنابراین C_L از طریق PDN تخلیه می‌شود و ولتاژ گره خروجی به $V_{OL} = 0V$ می‌رسد. تأخیر انتشار حالت بالا به پایین را می‌توان دقیقاً مشابه مدار CMOS مکمل به دست آورد اما در این جا ترانزیستور اضافی Q_e در مسیر سری تا زمین وجود دارد و به همین دلیل کمی تأخیر را افزایش می‌دهد این افزایش بیشتر از افت ناشی از نبود PUN در گره خروجی است که توسط خازن کاهش یافته ایجاد می‌شود.

در شکل (پ ۳۳-۱۳) بعنوان یک مثال شامل مدار تحقق دهندهٔ تابع $Y = \overline{A + BC}$ را نشان می‌دهیم. تعیین اندازه ترانزیستور غالباً تابع همان فرآیندهای طراحی CMOS استاتیک است. (W/L) را برای Q_p بقدر کافی بزرگ انتخاب می‌کنیم تا مطمئن شویم C_L در بازهٔ زمانی پیش شارژ بطور کامل پر می‌شود. اما اندازه Q_p باید کوچک باشد تا C_L را زیاد افزایش ندهد. این حالت، شکلی از منطق MOS بدون نسبت است که در آن، سطوح خروجی به نسبت‌های W/L ترانزیستورها بستگی ندارد.

تمرین‌ها

گیت NAND چهار ورودی را در منطق گذرا با مشخصات زیر در نظر بگیرید:

$V_{tn} = |V_{tp}| = 1V$ ، $\mu_p C_{ox} = 20\mu A/V^2$ ، $\mu_n C_{ox} = 50\mu A/V^2$ ، $V_{DD} = 5V$ ، برای کوچک نگه‌داشتن C_L ، کوچکترین اندازه قطعه NMOS با $W/L = 4\mu m/2\mu m$ (که شامل Q_e می‌شود) در نظر گرفته شده است. ترانزیستور پیش شارژ Q_P دارای $W/L = 6\mu m/2\mu m$ ، و ظرفیت خازنی کلی 30 fF است.

۱۳-۱۰ عملکرد پیش شارژ را در حالتی که گیت Q_p به صفر ولت می‌رسد و در $t = 0$ ، C_L کاملاً پر می‌شود، در نظر بگیرید. می‌خواهیم زمان صعود (زمانی که v_Y از ۱۰% به ۹۰% مقدار نهایی می‌رسد) ولتاژ خروجی را پیدا کنیم. جریان را در $v_Y = 0/5V$ ، $v_Y = 4/5V$ به دست آورید. مقدار تقریبی t_r یعنی $t_r = \frac{C_L(4/5 - 0/5)}{I_{av}}$ که در آن I_{av} میانگین دو جریان است، محاسبه کنید.

جواب. $480\mu A$ ، $112\mu A$ ، $0/4ns$

۱۳-۱۱ تأخیر انتشار حالت بالا به پایین، t_{PHL} ، را محاسبه کنید. نسبت W/L معادل را برای پنج ترانزیستور NMOS سری به دست آورید. پس جریان تخلیه را در $v_Y = 5V$, $v_Y = 2/5V$ محاسبه نمایید. سرانجام، با استفاده از میانگین این دو جریان عبارتی تقریبی برای t_{PHL} به دست آورید.

جواب. $(W/L)_{eq} = 0/4$ ، $160\mu A$ ، $138\mu A$ ، $0/5ns$ ❑

اثرات غیر ایده‌آل

در این قسمت، بطور خلاصه به منابع عملکرد غیر ایده‌آل مدارهای منطقی گذرا اشاره می‌کنیم.

حاشیه نویز. از آن جا که در مدت فاز ارزیابی، ترانزیستورهای NMOS شروع به هدایت می‌کنند، برای $V_{tn} = v_I$ داریم:

$$V_{IL} \cong V_{IH} \cong V_{tn}$$

و بنابراین حاشیه‌های نویز بصورت زیر خواهد بود:

$$NM_L = V_{tn}$$

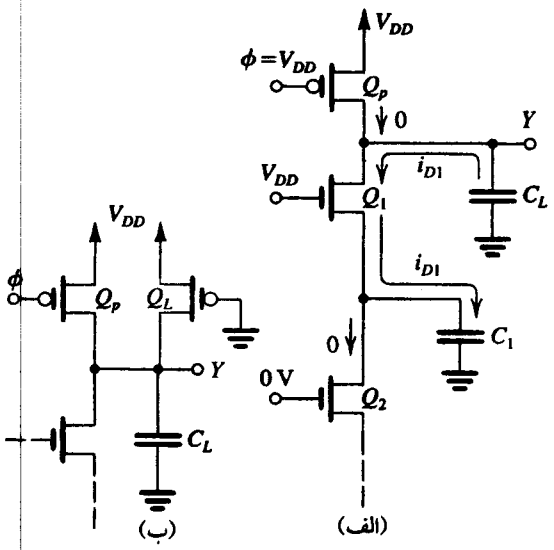
$$NM_H = V_{DD} - V_{tn}$$

یعنی حاشیه‌های نویز با هم فاصله زیادی دارند و NM_L نسبتاً پایین است. اگر چه NM_H بالاست، اما اثرات غیر ایده‌آلی، آن را کاهش می‌دهد. در این حالت گره خروجی در حالت امپدانس بالا بوده و مشکوک به تأثیرپذیری از نویز و سایر اعوجاج‌هاست.

کاهش ولتاژ خروجی بعلت اثرات نشتی. در صورت نبودن مسیری تا زمین از طریق PDN، ولتاژ خروجی بصورت ایده‌آل در سطح V_{DD} باقی می‌ماند، اما این امر براساس عدم تغییر بار خازن C_L است. عملاً، جریان‌های نشتی باعث می‌شود که C_L بتدریج تخلیه شدهٔ v_Y کاهش یابد. علت اصلی نشت، جریان معکوس بایاس معکوس پیوند بین نفوذ درین ترانزیستور متصل شده به گره خروجی و زیر لایه است. این جریان‌ها در حد 10^{-12} تا 10^{-15} آمپر هستند و سریعاً با دما افزایش پیدا می‌کنند (تقریباً به ازای هر ۱۰ درجه افزایش دما دو برابر می‌شوند). بنابراین اگر پالس ساعت با فرکانس پایین کار کند و گره خروجی بطور مرتب «تازه‌سازی» نشود، مدار، درست عمل نمی‌کند. این دقیقاً همان نکته‌ای است که هنگام مطالعه سلول‌های حافظه گذرا با آن روبرو می‌شویم.

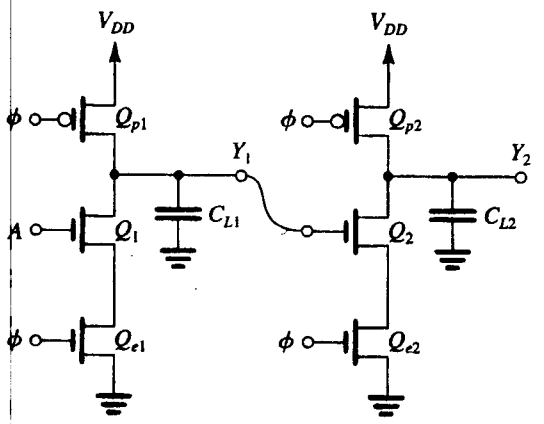
اشتراک در بار. عامل مهم دیگری نیز وجود دارد تا C_L مقداری از بار خود را از دست داده و v_Y به اندازه قابل توجهی از V_{DD} کمتر شود. در شکل (الف ۳۴-۱۳)، دو ترانزیستور بالایی یعنی Q_1 و Q_2 مربوط به PDN و ترانزیستور Q_P که ترانزیستور پیش شارژ است نشان داده شده است. در این جا، C_1 ظرفیت خازنی بین گره مشترک Q_1 و Q_2 و زمین است. در شکل، وضعیت آغاز فاز ارزیابی، پس از خاموش شدن Q_P و پر شدن C_L تا V_{DD} به نمایش درآمده است. در این وضعیت ویژه، فرض می‌کنیم که C_1 در آغاز، خالی بوده و ورودی‌ها بگونه‌ای هستند که گیت Q_1 در وضعیت بالا و گیت Q_2 در وضعیت پایین است، بنابراین Q_1 روشن شده و جریان درین آن یعنی i_{D1} در جهتی که نشان داده شده، جاری می‌شود، بدین ترتیب، i_{D1}، C_L را خالی و C_1 را پر می‌کند. اگر چه i_{D1} بطور ناگهانی به صفر کاهش می‌یابد، اما C_L مقدار زیادی از بار خود را از دست می‌دهد که این بار، به C_1 منتقل می‌شود. این پدیده را اشتراک در بار، می‌نامند.

در این جا پیرامون اشتراک در بار، صحبت زیادی نمی‌کنیم، فقط این نکته را یادآور می‌شویم که روش‌هایی برای به حداقل رساندن این اثر، وجود دارد. یک روش، اضافه کردن یک قطعه کانال p است که بطور پیوسته جریان کوچکی را هدایت کرده و مطابق شکل (ب ۳۴-۱۳)، باعث حفظ بار C_L می‌شود. این بحث ما را متوجه مبحث شبه NMOS می‌کند. در واقع، اضافه کردن این ترانزیستور باعث می‌شود که گیت توان استاتیک مصرف کند. اما در طرف مثبت، ترانزیستور اضافه شده سطح امپدانس گره خروجی و حساسیت آن را به نویز کاهش می‌دهد و مشکل نشت و شراکت در بار را نیز حل می‌نماید. روش دیگر حل مشکل شراکت در بار، پیش شارژ کردن گره‌های داخلی یعنی خازن C_1 است، در عوض، پیچیدگی مدار و ظرفیت خازنی گره‌ها افزایش می‌یابد.



شکل ۳۴-۱۳. (الف) شراکت در بار **(ب)** اضافه کردن ترانزیستور همیشه روشن Q_L مشکل شراکت در بار را حل می‌کند اما توان مصرفی استاتیک ایجاد می‌کند.

توالی گیت‌های منطقی گذرا. مشکل جدی، هنگام توالی گیت‌های منطقی گذرا بروز می‌کند. وضعیت شکل (۳۵-۱۳) را که دو گیت منطقی بصورت متوالی متصل شده‌اند در نظر بگیرید. در مدت فاز پیش شارژ، C_{L1}، C_{L2} از طریق Q_{P1} و Q_{P2} پر می‌شوند و در پایان بازهٔ پیش شارژ $v_{Y1} = V_{DD}$، $v_{Y2} = V_{DD}$ خواهد بود. حال فرض کنید که در فاز ارزیابی ورودی A در حالت بالا باشد؛ در این صورت، باید Y_1 در حالت پایین ($v_{Y1} = 0$V) و Y_2 در حالت بالا ($v_{Y2} = V_{DD}$) باشد. اما آنچه اتفاق می‌افتد کمی متفاوت است. همزمان با آغاز فاز ارزیابی، Q_1 روشن شده و C_{L1} شروع به تخلیه شدن می‌کند، اما همزمان Q_2 روشن شده و تخلیه C_{L2} نیز آغاز می‌شود. تنها هنگامی که v_{Y1} از V_{tn} کمتر شود، Q_2 خاموش



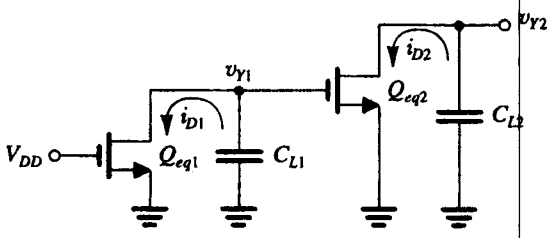
شکل ۳۵-۱۳. دو گیت منطقی گذرای تک ورودی با اتصال پشت سر هم. در حالت بالا بودن ورودی A، در مرحله ارزیابی C_{L2} کمی تخلیه شده و خروجی Y_2 به کمتر از V_{DD} می‌رسد و باعث عملکرد نادرست مدار می‌شود.

خواهد شد، اما متأسفانه در این زمان C_{L2} مقدار زیادی از بار خود را از دست داده است و v_{Y2} از مقدار مورد انتظار یعنی V_{DD} کمتر خواهد بود. (در این جا لازم است اشاره کنیم که در منطق گذرا، هنگامی که بار از دست برود دیگر قابل بازیابی نیست). این مسأله بقدری جدی است که می‌تواند مسأله توالی گیت‌های منطقی گذرا را غیرعملی سازد. اما، طبق معمول، طراحان مدار این مشکل را نیز برطرف کرده‌اند، که در ادامهٔ بحث مورد بررسی قرار می‌گیرد.

تمرین

۱۲-۱۳ برای آشنایی بیشتر با مشکل توالی گیت‌های منطقی گذرا، اجازه دهید میزان کاهش ولتاژ خروجی v_{Y2} را برای مدار شکل (۳۵-۱۳) تعیین نماییم. مدار را در شروع فاز ارزیابی در نظر بگیرید. در $t = 0$، $v_{Y1} = v_{Y2} = V_{DD}$ و $v_\phi = v_A = V_{DD}$ می‌باشد. ترانزیستورهای Q_{p1}، Q_{p2} در حالت خاموش بوده و می‌توان آنها را از مدار معادل حذف کرد. در این تحلیل تقریبی می‌توانیم ترکیب سری Q_1 و Q_{e1} را با یک قطعه دارای W/L مناسب تعویض نماییم. این مسأله در مورد Q_2 و Q_{e2} نیز صادق است.

نتیجه، مدار معادل تقریبی شکل (۱۲-۱۳ ت) است. می‌خواهیم عملکرد این مدار را در بازهٔ زمانی Δt هنگامی که v_{Y1} از V_{DD} به v_t افت می‌کند (در زمان خاموش بودن Q_{eq2} و قطع علمیات پر شدن C_{L2}) ببینیم. فرض کنید پارامترها مانند مثال (۴-۱۳)، و برای همه ترانزیستورهای NMOS مدار شکل (۳۵-۱۳)، $W/L = 4\mu m/2\mu m$ و $C_{L1} = C_{L2} = 40\,fF$ باشد.



شکل (۱۲-۱۳ ت)

(الف) $(W/L)_{eq1}$ و $(W/L)_{eq2}$ را به دست آورید.

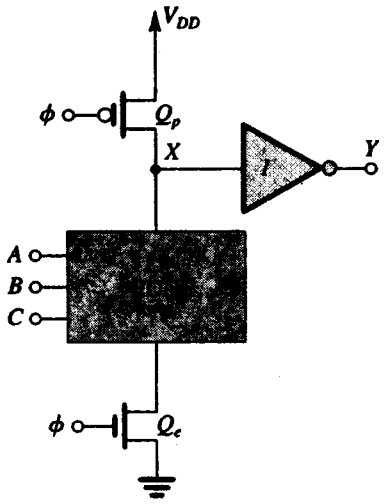
(ب) مقدار i_{D1} را در $v_{Y1} = V_{DD}$ به دست آورید، میانگین i_{D1} را نیز حساب کنید.

(پ) با استفاده از مقدار میانگین i_{D1} قسمت (ب) مقدار تخمینی بازده زمانی Δt را محاسبه کنید.

(ت) مقدار میانگین i_{D2} را در مدت زمان Δt به دست آورید. میانگین i_{D2} را در زمانی در نظر بگیرید که ولتاژ v_{Y1} در میانهٔ نوسان خود قرار دارد (یعنی $v_{Y1} = 3V$). (راهنمایی: Q_{eq2} در اشباع می‌ماند).

(ث) با استفاده از Δt پیدا شده در قسمت (پ) و مقدار میانگین i_{D2} در قسمت (ت) مقدار تخمینی کاهش v_{Y2} را در مدت زمان Δt پیدا کنید، مقدار نهایی v_{Y2} را نیز تعیین نمایید.

جواب. (الف) ۱ و ۱؛ (ب) $400\mu A$ و $175\mu A$ و مقدار میانگین $288\mu A$؛ (پ) $0/56ns$ (ت) $100\mu m$ (ث) $\Delta v_{Y2} = 1/4V$، بنابراین v_{Y2} به $3/6V$ کاهش می‌یابد. ❑



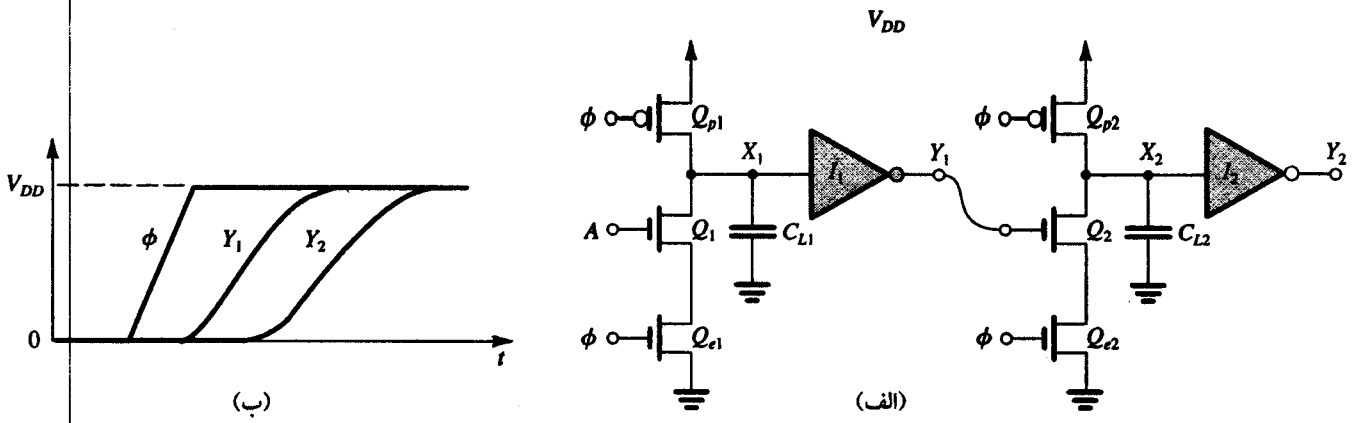
شکل ۳۶-۱۳. گیت منطقی DOMINO CMOS. مدار متشکل از گیت منطقی گذرای MOS و وارونگر CMOS استاتیک که به خروجی متصل شده می‌باشد. در مرحله ارزیابی Y یا در حالت پایین می‌ماند (صفر ولت) یا از 0 به 1 می‌رود (به V_{DD})

منطق DOMINO CMOS

منطق DOMINO CMOS شکلی از منطق گذراست که می‌توان با آن توالی گیت‌ها را تحقق داد. ساختار این منطق در شکل (۳۶-۱۳) به نمایش در آمده است. با کمی دقت متوجه می‌شویم که این ساختار، شبیه گیت منطقی گذرای پایه شکل (الف ۳۳-۱۳) است که یک وارونگر CMOS استاتیک به خروجی آن متصل شده است. عملکرد گیت، آسان است. در مدت زمان پیش شارژ، X تا V_{DD} بالا می‌رود و خروجی گیت یعنی Y در صفر ولت می‌باشد. در مدت زمان ارزیابی، براساس ترکیب متغیرهای ورودی، یا X در وضعیت بالا می‌ماند و بنابراین خروجی Y پایین خواهد بود ($t_{PHL} = 0$) و یا X به صفر بازگشته و خروجی Y به V_{DD} می‌رسد (t_{PLH} محدود). بنابراین، در مدت زمان ارزیابی، خروجی یا در حالت پایین می‌ماند، یا فقط یک بار از حالت پایین به حالت بالا می‌رود.

برای این که ببینیم چرا گیت‌های DOMINO CMOS را می‌توان بطور متوالی متصل کرد، شکل (الف ۳۷-۱۳) را که در آن دو گیت DOMINO بصورت متوالی متصل شده‌اند، در نظر بگیرید. برای سهولت تحلیل، گیت‌ها را تک ورودی فرض می‌کنیم. در پایان فاز پیش شارژ، $X_1 = V_{DD}$، $Y_1 = 0V$، $X_2 = V_{DD}$، $Y_2 = 0V$ می‌باشد. فرض کنید که در آغاز فاز ارزیابی A در وضعیت بالا باشد، بنابراین همانطور که ϕ زیاد می‌شود، خازن C_{L1} شروع به خالی شدن می‌کند که باعث می‌شود ولتاژ X_1 پایین بیاید. در ضمن ورودی پایین در گیت Q_2، Q_2 را خاموش نگه می‌دارد و C_{L2} کاملاً پر می‌ماند. هنگامی که v_{X1} از ولتاژ آستانهٔ وارونگر T_1 کمتر شود، Y_1 باعث روشن شدن Q_2 می‌شود و این امر باعث تخلیه C_{L2} شده، ولتاژ X_2 پایین می‌آید و Y_2 بطور ناگهانی به V_{DD} می‌رسد.

با توجه به تحلیل فوق، چون خروجی گیت DOMINO در آغاز فاز ارزیابی در حالت پایین است، تخلیه خازن اولیه‌ای در گیت بعدی صورت



شکل ۳۷-۱۳. (الف) دو گیت منطقی DOMINO CMOS تک ورودی بصورت پشت سر هم. (ب) شکل موج‌ها در مرحله ارزیابی.

نمی‌گیرد. چنانچه در شکل (ب ۳۷-۱۳) نشان داده شده، خروجی Y_1 به اندازه t_{PLH}ثانیه پس از لبه بالا رونده پالس ساعت، از حالت 0به 1 می‌رود. خروجی Y_2 پس از یک بازه دیگر t_{PLH}از حالت 0به 1 می‌رود. تأخیر لبه بالا رونده درگیت‌های متوالی شبیه افتادن مهره‌های دومینو که پشت سر هم قرار داده شده‌اند، می‌باشد، بهمین دلیل این منطق را، منطق CMOS DOMINO می‌نامند و از آن در طراحی رمزگشای آدرس در تراشه‌های حافظه استفاده می‌کنند.

توضیحات نهایی

منطق گذرا چالش‌های بسیاری را برای طراح ایجاد می‌کند، این منطق، اگر چه سطح تراشه را به مقدار قابل توجهی کاهش می‌دهد، سرعت کار را بالا می‌برد، و توان مصرفی را کم کرده و یا به صفر می‌رساند، اما مدار را نسبت به بسیاری از اثرات غیر ایده‌آلی، حساس می‌کند، که به برخی از آن‌ها اشاره کردیم. لازم به یادآوری است که توان مصرفی گذرا، نکته مهمی در منطق گذراست. عامل دیگری که می‌توان آن را «زمان مرده» دانست، مدت زمان پیش شارژ است که خروجی مدار بطور کامل مشخص نیست.

۱۳-۷ قفل‌ها و فلیپ فلاپ‌ها

مداهای منطقی مطالعه شده در بخش‌های قبل، مدارهای **ترکیبی** نامیده می‌شوند. خروجی آنها فقط به ورودی حال حاضر آنها بستگی دارد در نتیجه این مدارها حافظه ندارند.

حافظه بخش بسیار مهمی در سیستم‌های دیجیتال است. وجود آن در کامپیوترهای دیجیتال اجازهٔ ذخیره کردن برنامه‌ها و اطلاعات رابه ما می‌دهد. بعلاوه از نظر حفظ موقت خروجی تولید شده از یک مدار ترکیبی جهت استفاده در زمان بعد، در عملکرد سیستم دیجیتال، مهم است. مدارهای منطقی دارای حافظه، **مدارهای ترتیبی** نامیده می‌شوند. یعنی خروجی آنها نه تنها به ورودی حال حاضر، بلکه به ورودی‌های قبلی نیز بستگی دارد. این مدارها برای کار به یک مولد زمان‌بندی (یک ساعت) نیاز دارند.

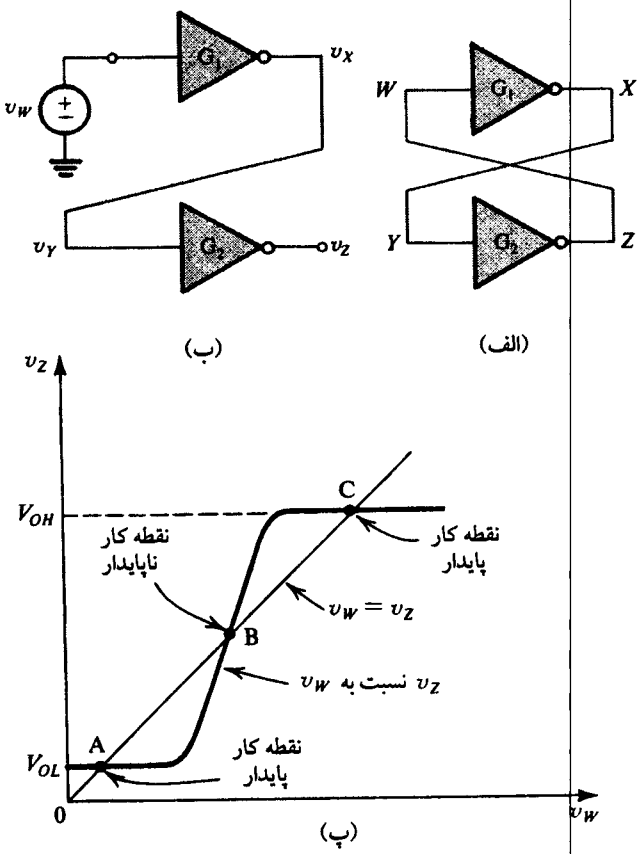
دو روش اساسی برای ایجاد حافظه برای یک مدار دیجیتالی وجود دارد. روش اول مبتنی بر فیدبک مثبت است که چنانچه بزودی خواهیم دید برای مدار دو حالت پایدار به کار می‌رود این مدار با دو حالت پایدار را می‌توان برای ذخیره یک بیت اطلاعات مورد استفاده قرار داد، یکی از حالات متناظر با 0 و دیگری متناظر با 1 است. یک مدار با دو حالت پایدار می‌تواند در یکی از حالات مشخص شده بماند و بنابراین متعلق به طبقه مدارهای ترتیبی استاتیک است. روش دوم، استفاده از بار جمع شده در یک خازن است، هنگامی که خازن بار دارد، 1 و هنگامی که بدون بار است 0 ، تلقی می‌شود. چون خازن بعلت اثرات نشتی، بار خود را از دست می‌دهد، باید دوباره پر شود که این عمل را تازه‌سازی می‌نامند. بنابراین حافظه مبتنی بر بار خازن، همانند منطق گذرا، حافظه گذرا نامیده می‌شود و متناظراً مدارهای ترتیبی از این نوع را مدارهای ترتیبی گذرا می‌نامند.

در این بخش، عنصر اساسی حافظه، یعنی قفل را مورد بررسی قرار داده و مثال‌هایی از کاربرد آن را ادامه می‌کنیم هر دو مدار استاتیک و گذرا نیز مورد بررسی قرار می‌گیرد.

قفل

عنصر حافظهٔ اساسی، یعنی قفل، در شکل (الف ۳۸-۱۳) به نمایش درآمده و شامل دو وارونگر G_1 و G_2 می‌باشد که بصورت ضربدری به یکدیگر متصل شده‌اند. وارونگرها یک حلقه فیدبک مثبت تشکیل می‌دهند. برای پی بردن به نحوهٔ کار قفل حلقه فیدبک را در ورودی یکی از وارونگرها مثل G_1 قطع کرده و سیگنال ورودی v_w شکل (ب ۳۸-۱۳) را به آن اعمال می‌کنیم . با فرض اینکه امپدانس ورودی G_1 زیاد است قطعه حلقه فیدبک بر مشخصه انتقالی ولتاژ حلقه که از مدار شکل (ب ۳۸-۱۳) با رسم v_Z نسبت به v_w تعیین می‌شود اثری نمی‌گذارد. این مشخصه، مشخصهٔ انتقالی ولتاژ دو وارونگر متوالی شده می‌باشد و بنابراین شکل (پ ۳۸-۱۳) بدست می‌آید. توجه کنید که این مشخصه دارای سه قسمت است که قسمت میانی آن متناظر با ناحیه گذر وارونگر می‌باشد.

در شکل (پ ۳۸-۱۳) یک خط راست با شیب واحد نیز نشان داده شده است. این خط راست نمایشگر رابطه $v_w = v_Z$ است که از انتقال Z به W بخاطر بستن حلقه فیدبک ناشی شده است. مطابق شکل، خط راست، منحنی انتقال حلقه را در سه نقطه A ، B و C قطع می‌کند. هر یک از این سه



شکل ۳۸-۱۳. (الف) قفل اساسی (ب) قفل در حالت باز بودن حلقه فیدبک (پ) تعیین نقطه کار قفل

نقطه را می‌توان به عنوان نقطه کار قفل در نظر گرفت. اکنون نشان می‌دهیم هنگامی که نقاط A و C نقاط کار پایدار باشند بدین مفهوم که مدار در یکی از آن نقاط باقی بماند، نقطه B ، نقطهٔ کار ناپایدار است، قفل هیچگاه نمی‌تواند در نقطه B کار کند.

علت ناپایدار بودن نقطه B را می‌توان با در نظر گرفتن مدار قفل شکل (الف ۳۸-۱۳) در حالت کار در B و به حساب آوردن تداخل یا نویز که در هر مداری بطور اجتناب ناپذیر وجود دارد، بررسی کرد. فرض کنید ولتاژ v_W به اندازهٔ ولتاژ اضافی کوچک v_w، افزایش یابد، ولتاژ در نقطه X (از نظر اندازه) با افزایش بیشتری زیاد می‌شود. یعنی به اندازهٔ حاصلضرب v_W در بهرهٔ افزایشی G_1 در نقطه B . سیگنال v_x حاصل به G_2 اعمال شده و سیگنال بزرگتری در Z بدست می‌آید. ولتاژ v_z وابسته به افزایش اولیه نسبت v_w و بهرهٔ حلقه در نقطه B ، که شیب خط v_z به v_W در نقطه B است، می‌باشد. این بهره معمولاً بزرگتر از واحد است. چون v_z به ورودی G_1 اعمال می‌شود، مجدداً توسط بهرهٔ حلقه تقویت می‌شود. این فرآیند بازتولید ادامه یافته، نقطه کار را از B به طرف C سوق می‌دهد. از آنجاکه در C بهرهٔ حلقه صفر است (یا تقریباً صفر) فرآیند بازتولید اتفاق نمی‌افتد.

در شرح فوق، افزایش ولتاژ W را مثبت فرض کرده‌ایم. اگر آن را منفی در نظر می‌گرفتیم نقطه کار از B به سمت A حرکت می‌کرد و در نقطه A نیز بازتولیدی وجود نداشت در واقع برای بوجود آمدن فرآیند بازتولید بهره حلقه باید بزرگتر از واحد باشد. یعنی حالتی که در نقطه B وجود دارد.

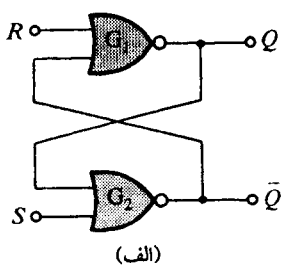
از بحث بالا متوجه می‌شویم که قفل دو نقطه کار پایدار دارد: A و C . در نقطه کار C ، v_W بالا، v_X پایین v_Y پایین و v_Z بالا، می‌باشد . عکس این مطلب در نقطه A صادق است. اگر X و Z را خروجیهای قفل در نظر بگیریم خواهیم دید در یکی از حالات پایدار (مثلاً متناظر با نقطه کار A) v_X بالا (V_{OH}) و v_Z پایین (V_{OL}) است. در حالت دیگر (متناظر با نقطه C) v_X پایین (V_{OL}) و v_Z بالا (V_{OH}) می‌باشد. بنابراین قفل یک مدار با دو حالت پایدار است که دو خروجی مکمل دارد. هر یک از حالات پایدار قفل بستگی به تحریک خارجی دارد که مدار را وادار می‌کند به آن حالت خاص برود. سپس قفل این تحریک خارجی را با ماندن در حالت ایجاد شده تا زمانی نامعین، حفظ می‌کند. قفل به عنوان عنصر حافظه توانایی ذخیره کردن یک بیت اطلاعات را دارد. برای مثال می‌توانیم بطور دلخواه حالتی را که v_X بالا و v_Z پایین است متناظر با 1 منطقی ذخیره شده بدانیم. حالت مکمل دیگر صفر منطقی ذخیره شده تلقی می‌شود.

مسئله‌ای که اکنون باقی می‌ماند طرح فرآیندی است که طی آن بتوان قفل را تحریک کرد تا تغییر حالت دهد. قفل بهمراه مدار تحریک تشکیل یک فلیپ فلاپ می‌دهد. در این مورد بعداً بحث می‌کنیم. اما در اینجا به خواننده یادآور می‌شویم که مدارهای با دو حالت پایدار که از op-amp بهره می‌برند در فصل ۱۲ ارائه شده‌اند.

فلیپ فلاپ SR

ساده‌ترین نوع فلیپ فلاپ، فلیپ فلاپ set/reset (SR) شکل (الف ۳۹-۱۳) می‌باشد که از دو گیت NOR با اتصال ضربدری تشکیل شده و بنابراین یک قفل است. ورودی‌های دوم هر گیت NOR با هم بعنوان ورودی‌های تحریک فلیپ فلاپ عمل می‌کنند. این دو ورودی با S (برای set) و R (برای reset) مشخص شده‌اند. خروجی‌ها Q و $\bar{Q}$ بوده و تأکید می‌کنیم که متمم هستند. فلیپ فلاپ هنگامی set می‌شود (یعنی 1 منطقی را ذخیره می‌کند) که Q بالا و $\bar{Q}$ پایین باشد. حالت دیگر (Q پایین . $\bar{Q}$ بالا) reset فرض می‌شود (یعنی ذخیره کردن صفر منطقی). در حالت reset یا حافظه (یعنی هنگامی که نمی‌خواهیم حالت فلیپ فلاپ را تغییر دهیم) S و R باید پایین باشند.

حالتی را در نظر بگیرید که فلیپ فلاپ صفر منطقی را ذخیره کرده است. Q پایین بوده و بنابراین ورودی‌های گیت NOR ، G_2 پایین خواهند بود. در نتیجه خروجی آن بالاست . این خروجی بالا به ورودی G_1 اعمال شده باعث پایین آمدن خروجی آن، Q ، می‌شود. برای set کردن فلیپ



R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	استفاده نشده

(ب)

شکل ۳۹-۱۳. فلیپ فلاپ set/reset (SR) و جدول صحت آن

فلاپ ، S را ۱ منطقی قرار داده و R را در صفر باقی می‌گذاریم، ۱ روی پایانه S باعث می‌شود خروجی G_2 ، یعنی $\bar{Q}$ ، صفر شود. در نتیجه دو ورودی G_1 صفر شده و خروجی آن ۱ خواهد بود. حال اگر حتی S صفر شود فلیپ فلاپ در همین حالت set باقی می‌ماند. بوضوح مشخص است اگر S مجدداً ۱ شود (در حالی که R صفر است) تغییری ایجاد نمی‌شود. برای reset کردن فلیپ فلاپ بایستی R را ۱ و S را صفر کنیم. می‌توان نشان داد که این کار باعث رفتن فلیپ فلاپ به حالت reset شده و حتی اگر R صفر شود در این حالت باقی می‌ماند. در واقع سیگنال تحریک فقط فرآیند بازتولید حلقه فیدبک مثبت قفل را آغاز می‌کند.

بالاخره حالتی را که در صورت ۱ شدن همزمان S و R اتفاق می‌افتد بررسی می‌کنیم. این عمل باعث می‌شود که خروجی هر دو گیت NOR یعنی Q و $\bar{Q}$ صفر شوند (توجه کنید که علامت‌گذاری متمم برای دو متغیر در این حالت صحیح نیست) اما اگر S و R مجدداً همزمان صفر شوند حالت فلیپ فلاپ نامعین خواهد بود به عبارت دیگر پیش بینی حالت نهایی فلیپ فلاپ غیرممکن است. بهمین علت، این ترکیب ورودی معمولاً غیر مجاز است (یعنی استفاده نمی‌شود) اما توجه کنید که این وضعیت فقط در حالت ایده‌آل اتفاق می‌افتد. هنگامی که هر دو ورودی R و S دقیقاً همزمان صفر شوند، در عمل یکی از این دو زودتر صفر شده و حالت نهایی در حالی که ورودی دیگر هنوز ۱ است تعیین می‌شود.

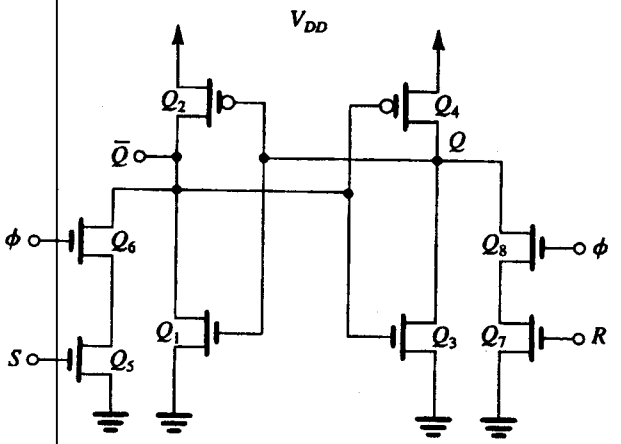
طرز کار فلیپ - فلاپ در جدول صحت شکل (ب ۳۹-۱۳) خلاصه شده است، Q_n بیانگر مقدار Q در زمان t_n قبل از اعمال سیگنالهای R و S می‌باشد. Q_{n+1} ، نشان دهنده حالت Q ، در زمان $t_n + 1$ بعد از اعمال سیگنالهای ورودی است.

برای پیاده‌سازی فلیپ فلاپ SR می‌توان از دو گیت NAND بجای گیتهای NOR نیز استفاده کرد. که در این حالت توابع set ، reset هنگامی فعال هستند که در حالت پایین باشند و ورودی‌ها نیز متناظراً، $\bar{S}$ و $\bar{R}$ نامگذاری می‌شود.

پیاده سازی فلیپ فلاپ SR با CMOS

فلیپ فلاپ SR شکل (۳۹-۱۳) را می‌توان با جایگزینی هر یک از گیت‌های NOR با مدارهای CMOS آن، بطور مستقیم در CMOS پیاده‌سازی کرد. به خواننده توصیه می‌کنیم مدار حاصل را رسم کند. اگر چه این مدار خوب کار می‌کند، اما کمی پیچیده است. نوع ساده شده مدار، که منطق دیگری را بیان می‌کند در شکل (۴۰-۱۳) نشان داده شده است که نوع ساعت دار فلیپ فلاپ SR است. از آن جا که ورودی‌های ساعت با ورودی‌های set و reset تشکیل تابع AND داده‌اند، فلیپ فلاپ فقط موقعی کار می‌کند که ساعت ϕ در حالت بالا باشد. اگر چه دو وارونگر ضربدری واقع در مرکز فلیپ فلاپ از نوع CMOS مکمل هستند، اما در مدار بندی set-reset فقط از مدار ترانزیستورهای NMOS استفاده می‌شود. با این وجود، مدار توان استاتیک مصرف نمی‌کند، چون (غیر از زمان سوئیچ) مسیری بین V_{DD} و زمین وجود ندارد.

تنها فرق عملکرد این مدار با شکل (۳۹-۱۳) ، اضافه شدن ساعت



شکل ۴۰-۱۳. تحقق CMOS فلیپ فلاپ SR ساعت‌دار. سیگنال ساعت با نماد ϕ نشان داده شده است

است، برای تشریح نحوهٔ کار مدار، حالتی را در نظر بگیرید که فلیپ فلاپ در حالت reset بوده ($v_{\bar{Q}} = V_{DD}$ ، $v_Q = 0$ ، $\bar{Q} = 1$ ، $Q = 0$) و می‌خواهیم آن را set نماییم. برای انجام این کار باید ورودی S در حالت بالا (V_{DD}) و R در حالت پایین (صفر ولت) باشد. هنگامی که ساعت ϕ به حالت بالا رود، Q_5 و Q_6 هدایت می‌کنند و این امر باعث می‌شود که ولتاژ $v_{\bar{Q}}$ پایین بیاید. اگر $v_{\bar{Q}}$ شروع به افزایش می‌کند این افزایش در v_Q به ورودی وارونگر (Q_1 و Q_2) اعمال شده، باعث می‌شود که خروجی آن یعنی $v_{\bar{Q}}$ بیشتر افت کند، و فرآیند باز زایشی که مشخصه قفل با فیدبک مثبت است ، انجام می‌شود.

شرح سوئیچینگ فلیپ فلاپ که در بالا ارائه شد، بر دو فرض استوار است:

۱- ترانزیستورهای Q_5 و Q_6 جریان کافی را برای پایین‌تر آوردن ولتاژ گره $\bar{Q}$ از ولتاژ آستانه وارونگر (Q_3 و Q_4) فراهم می‌آورند. این امر برای شروع فرآیند باز زایشی لازم است. فلیپ فلاپ بدون این ترکیب ابتدایی قادر به کار نیست. کمترین نسبت (W/L) را که باید Q_5 و Q_6 برای تأمین شرایط فوق داشته باشند، طی مثالی به دست خواهیم آورد.

۲- سیگنال set به حد کافی در حالت بالا می‌ماند تا فرآیند سوئیچینگ آغاز گردد. کمترین عرض پالس لازم را می‌توان مساوی مجموع بازه زمانی هنگامی که $v_{\bar{Q}}$ از V_{DD} به $V_{DD}/2$ می‌رسد و زمانی که ولتاژ v_Q به $V_{DD}/2$ می‌رسد، تعیین کرد.

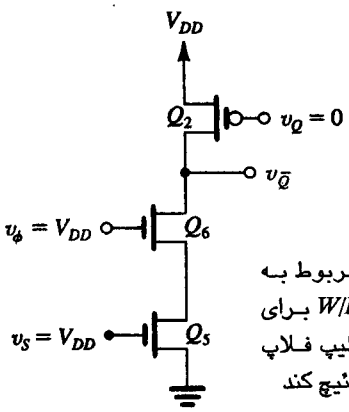
سرانجام، توجه کنید که تقارن مدار نشان می‌دهد که مطالب گفته شده برای فرآیند reset نیز صادق است.

مثال ۵-۱۳

فلیپ فلاپ CMOS SR شکل (۴۰-۱۳) را با پارامترهای زیر در نظر بگیرید:

$$V_{tn} = |V_{tp}| = 1\text{V} \text{ ، } C_{ox}\mu_n = 2.5\,\mu_p C_{ox} = 50\mu\text{A}/\text{V}^2$$

$$(W/L)_p = 10\mu\text{m}/2\mu\text{m} \text{ ، } (W/L)_n = 4\mu\text{m}/2\mu\text{m} \text{ ، } V_{DD} = 5\text{V}$$



شکل ۴۱-۱۳. قسمت مربوط به تعیین کمترین نسبت W/L برای Q_5 و Q_6 از مدار فلیپ فلاپ طوری که فلیپ فلاپ سوئیچ کند

چهار ترانزیستور مدار set–reset دارای نسبت‌های W/L یکسان هستند. کمترین مقدار لازم این نسبت را برای اطمینان از کار کردن فلیپ فلاپ، تعیین کنید.

حل:

قسمتی از مدار که برای این تحلیل لازم است در شکل (۴۱-۱۳) به نمایش درآمده است. چون هنوز عمل باز زایشی انجام نشده است، فرض می‌کنیم $v_Q = 0$ بوده و بنابریان Q_2 در حال هدایت است. مدار همانند یک گیت شبه NMOS است و هدف ما انتخاب نسبت‌های W/L برای ترانزیستورهای Q_5 و Q_6 است، بنحوی که V_{OL} این وارونگر کمتر از $V_{DD}/2$ (آستانه وارونگر Q_3 و Q_4 که Q_N و Q_P آن کاملاً تطبیق شده هستند) شود. کمترین مقدار لازم W/L برای Q_5 و Q_6 را می‌توان از مساوی قرار دادن جریان فراهم شده توسط Q_5 و Q_6 با جریان فراهم شده توسط Q_2 در $v_{\bar{Q}} = V_{DD}/2$، به دست آورد.

برای آسانی تحلیل، فرض می‌کنیم که اتصال سری Q_5 و Q_6 تقریباً معادل یک ترانزیستور با W/L مساوی نصف W/L هر یک از ترانزیستورهای Q_5 و Q_6 باشد. حال، چون $v_{\bar{Q}} = V_{DD}/2$ است. هر دو ترانزیستور معادل و Q_2 در ناحیه تریود خواهند بود. بدین ترتیب داریم:

$$50\times\frac{1}{2}\times\left(\frac{W}{L}\right)_5\left[(5-1)\times\frac{5}{2}-\frac{1}{2}\times\left(\frac{5}{2}\right)^2\right] =$$

$$20\times\frac{10}{2}\left[(5-1)\times\frac{5}{2}-\frac{1}{2}\times\left(\frac{5}{2}\right)^2\right]$$

در نتیجه:

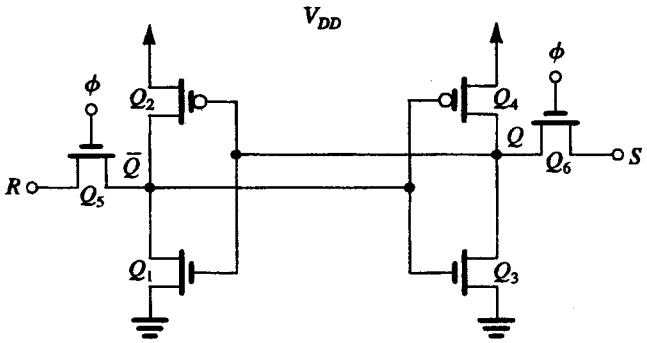
$$\left(\frac{W}{L}\right)_5 = 4$$

به خاطر آورید که این، مقدار حداقل دقیق است و در عمل، نسبت ۵ یا ۶ انتخاب می‌شود.

تمرین‌ها

۱۳-۱۳ مثال (۵-۱۳) را برای تعیین کمترین $(W/L)_5$ لازم، بگونه‌ای که هنگامی که ورودی‌های S و ϕ در $V_{DD}/2$ باشند و سوئیچینگ امکان‌پذیر باشد، تکرار کنید.

جواب. ۲۴/۴



شکل ۴۲-۱۳. یک پیاده سازی ساده‌تر CMOS برای فلیپ فلاپ SR ساعت دار. این مدار، سلول پایه در طراحی تراشه‌های حافظه با دستیابی تصادفی است.

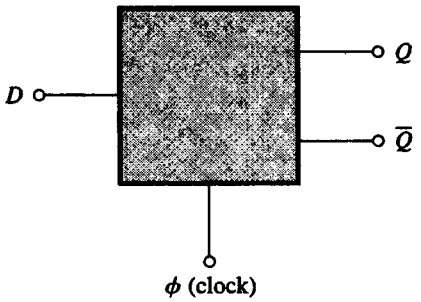
۱۴-۱۳ می‌خواهیم کمترین عرض لازم پالس *set* را تعیین کنیم. بدین منظور (الف) ابتدا زمانی را در نظر بگیرید که لازم است تا $v_{\bar{Q}}$ در مدار شکل (۴۱-۱۳) از V_{DD} به $V_{DD}/2$ برسد. فرض کنید که ظرفیت خازنی کلی بین گره $\bar{Q}$ و زمین ۵۰ fF باشد. t_{PHL} را با پیدا کردن جریان میانگین موجود برای پر کردن ظرفیت خازنی از V_{DD} تا $V_{DD}/2$ تعیین کنید. به خاطر آورید که Q_2 جریانی را هدایت می‌کند که متاسفانه جریان موجود پرشدن C را کاهش می‌دهد. فرض کنید $(W/L)_5 = (W/L)_6 = 8$ بوده و از پارامترهای تکنولوژی ارائه شده در مثال (۵-۱۳) استفاده کنید. (ب) t_{PLH} را برای v_Q [شکل (۴۰-۱۳)] با استفاده از فرمول معادله (۱۹-۱۳) تعیین کنید. فرض کنید ظرفیت خازنی کلی در Q، ۵۰ fF باشد. (پ) کمترین عرض لازم برای پالس set چقدر است؟

جواب. (الف) ۰/۱۱ns ، (ب) ۰/۱۷ns ، (پ) ۰/۲۸ns ❑

یک پیاده سازی ساده‌تر فلیپ فلاپ *SR* ساعت‌دار در شکل ۴۲-۱۳ نشان داده شده که در آن از منطق ترانزیستور عبوری برای عملیات set و reset استفاده شده است. این مدار، سلول پایه در طراحی تراشه‌های حافظه با دستیابی تصادفی است. (بخش ۱۰-۱۳)

مدارهای فلیپ فلاپ D

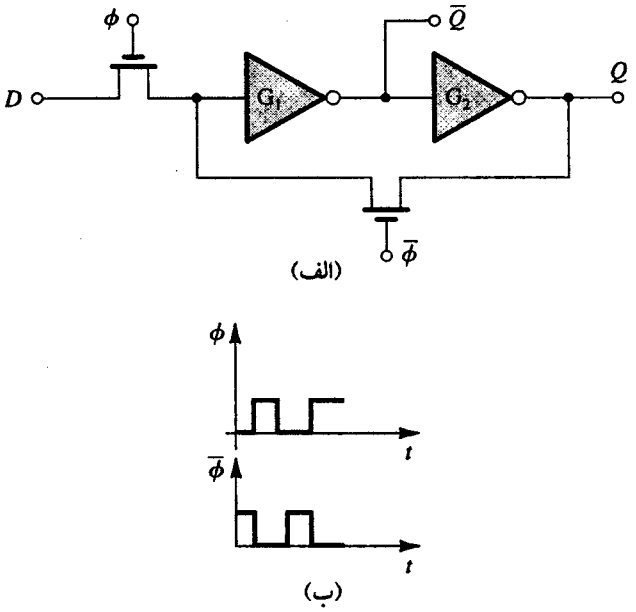
می‌توان با استفاده از گیت‌های منطقی، فلیپ فلاپ‌های گوناگونی ساخت. اگر گیت‌ها را با مدار CMOS جایگزین کنیم می‌توان به پیاده‌سازی CMOS دست یافت. اما معمولاً با این کار مدارها پیچیده می‌شود. در بسیاری از موارد از نظر طراحی مدار، مدارهای ساده‌تر را می‌توان به جای مدار منطقی مورد استفاده قرار داد. برای شرح این نکته پیاده‌سازی یکی از مهم‌ترین انواع فلیپ فلاپ، یعنی فلیپ فلاپ D را بررسی می‌کنیم. نمودار قالبی فلیپ فلاپ D در شکل (۴۳-۱۳) نشان داده شده است. دارای دو ورودی می‌باشد، ورودی داده D و ورودی ساعت ϕ. خروجی‌های متمم با Q و $\bar{Q}$ نمایش داده شده‌اند. هنگامی که ورودی ساعت در حالت پایین باشد، فلیپ فلاپ سطح منطقی ورودی D را درست قبل از لبه بالا روندهٔ



شکل ۴۳-۱۳. نمایش ساختاری فلیپ فلاپ D

ساعت، بررسی می‌کند. این نوع فلیپ فلاپ را **تحریک شده با لبه** می‌نامند. البته انواعی از فلیپ فلاپ D نیز وجود دارد که بدون توجه به عملکرد ساعت، بطور مستقیم set یا reset می‌شوند.

یک فلیپ فلاپ D ساده در شکل (۴۴-۱۳) نشان داده شده است. مدار شامل دو وارونگر متصل شده در یک حلقه فیدبک مثبت است، همانند قفل استاتیک شکل (الف ۳۸-۱۳)، با این تفاوت که در این جا حلقه فقط برای قسمتی از زمان بسته است، یعنی حلقه هنگامی بسته است که ساعت در حالت پایین است ($\phi=0$، $\bar{\phi}=1$). ورودی D از طریق بسته شدن سوئیچ هنگامی که ساعت در حالت بالاست، به فلیپ فلاپ متصل می‌شود. عملکرد آن بسیار ساده است: هنگامی که ϕ در حالت بالا است، حلقه باز می‌شود، و ورودی D به ورودی وارونگر G_1 متصل می‌شود، ظرفیت خازنی گره ورودی G_1 تا مقدار D، و ظرفیت خازنی گره ورودی G_2 تا مقدار $\bar{D}$ پر می‌شود. سپس هنگامی که ساعت به حالت پایین می‌رود، خط ورودی از فلیپ فلاپ جدا می‌شود (غیر فیزیکی)، حلقه فیدبک بسته شده و قفل، حالت متناظر با مقدار D را درست قبل از پایین آمدن ϕ به خود می‌گیرد و خروجی $Q=D$ می‌شود.



شکل ۴۴-۱۳. پیاده‌سازی ساده فلیپ فلاپ D. مدار (**الف**) از دو ساعت غیر روی هم که شکل موج‌های آن‌ها در (**ب**) نشان داده شده استفاده می‌کند.

با توجه به آنچه گفته شد، می‌بینیم که مدار شکل (۴۴-۱۳)، تکنیک فیدبک مدارهای با دو حالت پایدار استاتیک و ذخیره بار مدارهای گذرا را ترکیب کرده است. توجه به این نکته مهم است که در مدارهایی که با ساعت کار می‌کنند، ϕ و $\bar{\phi}$ نباید همزمان در حالت بالا باشند. و این شرط در صورتی رعایت می‌شود که دو فاز ساعت همپوشانی نداشته باشند.

عیب ذاتی فلیپ فلاپ D شکل (۴۴-۱۳) آن است که در مدت ϕ خروجی فلیپ فلاپ به سادگی ورودی D را دنبال می‌کند که این امر می‌تواند در مواقع خاص موجب بروز مشکلاتی شود. این مشکل را می‌توان به نحو موثری با استفاده از ترکیب تابع-متبوع شکل (الف ۴۵-۱۳) حل کرد. قبل از توضیح کار مدار یاد آوری می‌کنیم که اگر چه سوئیچ‌های نشان داده شده با ترانزیستورهای تکی NMOS پیاده‌سازی شده‌اند، در بسیاری از کاربردها از گیت‌های انتقال CMOS استفاده می‌شود و ما اختصاراً از نام ترانزیستور MOS استفاده می‌کنیم.

مدار تابع-متبوع شامل یک زوج مدار از نوع نشان داده شده در شکل (۴۴-۱۳) می‌باشد، که با دو فاز ساعت متناوب کار می‌کند. تأکید می‌کنیم که دو فاز ساعت نباید همپوشانی داشته باشند که آن‌ها را با ϕ_1 و ϕ_2 نشان می‌دهیم و در شکل (ب ۴۵-۱۴) نیز عدم همپوشانی دو سیگنال دیده می‌شود. مدار بصورت زیر کار می‌کند:

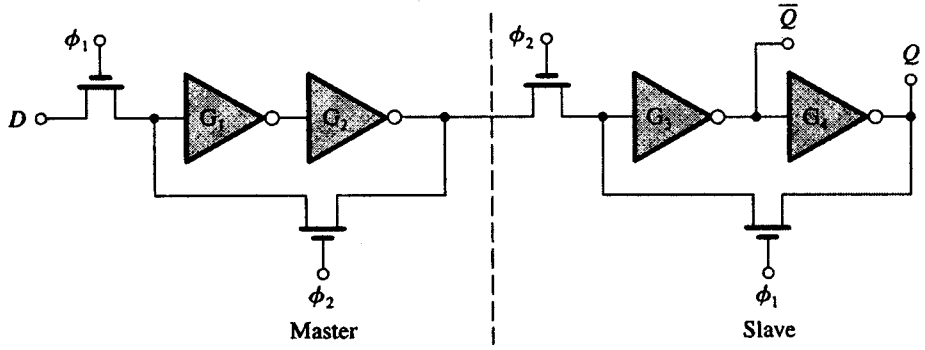
۱- هنگامی که ϕ_1 در حالت بالا و ϕ_2 در حالت پایین است ورودی به قفل تابع که حلقه فیدبک آن باز شده متصل می‌شود در حالی که قفل متبوع جدا شده می‌باشد. بدین ترتیب خروجی Q در حالت ذخیره شده متبوع که حلقه آن در حال حاضر بسته شده، باقی می‌ماند. ظرفیت خازنی گره قفل تابع تا ولتاژ متناظر تا مقدار فعلی D پر می‌شود.

۲- هنگامی که ϕ_1 به حالت پایین می‌رود قفل تابع از خط دادهٔ ورودی جدا می‌شود، سپس هنگامی که ϕ_2 به حالت بالا می‌رود، حلقه فیدبک قفل تابع بسته شده و مقدار D را قفل می‌کند. در واقع خروجی آن به قفل متبوع که حلقه فیدبک آن باز شده متصل می‌شود. ظرفیت خازنی گره متبوع طوری پر می‌شود که هنگام بالا رفتن ϕ_1 مقدار جدید D در خروجی ظاهر می‌شود، یعنی $Q=D$ می‌باشد.

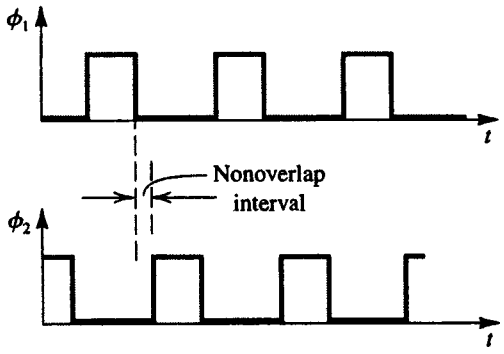
با توجه به شرح فوق، یاد آوری می‌کنیم که در گذر مثبت ساعت ϕ_2 خروجی Q مطابق با مقدار D است که روی خط D در انتهای فاز ساعت قبلی وجود داشته است. این مقدار خروجی تا یک پالس ساعت، ثابت باقی می‌ماند. به این نکته نیز توجه داشته باشید که در بازهٔ غیر همپوشانی، حلقه فیدبک هر دو قفل باز است و ظرفیت‌های خازنی گره بار خود را حفظ می‌کنند. بنابراین، بازه غیر همپوشانی باید در حد معقولی کوتاه باشد (یک دهم و یا کمتر از یک دهم دورهٔ تناوب پالس ساعت و عملاً در حدود 1ns).

۸-۱۳ مدارهای مولتی ویبراتور

چنانچه قبلاً گفتیم، فلیپ فلاپ دارای دو حالت پایدار بوده و مولتی ویبراتور با دو حالت پایدار نامیده می‌شود. دو حالت مولتی ویبراتور دیگر نیز وجود دارد: با یک حالت پایدار و ناپایدار. مولتی ویبراتور با یک حالت



(الف)



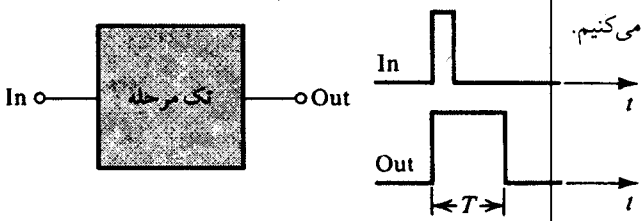
(ب)

شکل ۴۵-۱۳. (الف) یک فلیپ فلاپ D از نوع تابع-متبوع. توجه کنید که سوئیچ‌ها را می‌توان با گیت‌های انتقال CMOS پیاده‌سازی کرد. (ب) شکل موج‌های دو ساعت غیر روی هم مورد نیاز

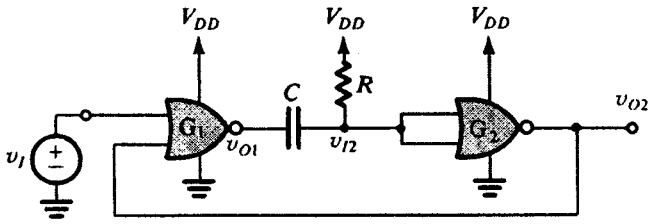
پایدار دارای یک حالت پایدار بوده و می‌تواند حالت خود را به مدت طولانی حفظ کند. یک حالت شبه پایدار نیز دارد که در آن حالت می‌تواند تحریک شود و برای بازه از پیش تعیین شده T در این حالت می‌ماند و پس از آن بطور خودکار به حالت پایدار می‌رود و بدین ترتیب یک پالس به دورهٔ T تولید می‌کند. دورهٔ T ارتباطی با پالس تحریک کننده ندارد که در شکل (۴۶-۱۳) بطور شماتیک نشان داده شده است. بنابراین می‌توان این مولتی ویبراتور را،پهن کنندهٔ پالس و یا استاندارد کنندهٔ پالس نامید،البته به آن، **تک ضربه** نیز می‌گویند.

مولتی ویبراتور ناپایدار، حالت پایداری ندارد. در عوض دارای دو حالت شبه پایدار است و می‌تواند تا زمان‌های از پیش تعیین شده T_1 و T_2 در هر یک بماند. یعنی T_1 ثانیه در یک حالت و T_2 ثانیه در حالت دیگر می‌ماند و این عمل تکرار می‌شود و نوسانی با دورهٔ تناوب $T=T_1+T_2$ و فرکانس $f=\frac{1}{T}$ خواهیم داشت و می‌توانیم از آن برای تولید پالس متناوب برای پالس ساعت استفاده کنیم.

مولتی ویبراتور ناپایدار و با یک حالت پایدار را با تقویت کننده‌های عملیاتی در فصل ۱۲ بررسی کردیم . و در ادامه ساخت آن‌ها را و با گیت‌های منطقی مورد بحث قرار می‌دهیم.**نوسان ساز حلقوی** را نیز بررسی می‌کنیم.



شکل ۴۶-۱۳. نمایش مولتی ویبراتور با یک حالت پایدار (تک ضربه) بصورت ساختار کاری

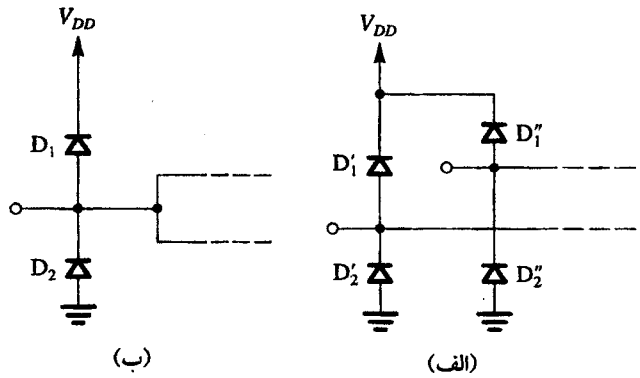


شکل ۴۷-۱۳. مدار با یک حالت پایدار با استفاده از گیت‌های CMOS NOR. منبع سیگنال v_I پالس‌های تحریک را تأمین می‌کند

مدار با یک حالت پایدار CMOS

شکل (۴۷-۱۳) مدار ساده و متداول مولتی‌ویبراتور با یک حالت پایدار را نشان می‌دهد. این مدار متشکل از دو گیت NOR دو ورودی CMOS، G_1 و G_2، یک خازن C و یک مقاومت R است. منبع ورودی v_I پالس‌های تحریک‌کننده را به مولتی‌ویبراتور اعمال می‌کند.

گیتهای CMOS در پایانه‌های ورودی خود دارای مدارهای دیودی خاص مانند شکل (الف ۴۸-۱۳) می‌باشند. منظور از این دیودها جلوگیری از بالارفتن ولتاژ تغذیه بیش از ولتاژ V_{DD} (بیش از افت یک دیود) و پایین‌آمدن آن زیر ولتاژ زمین (بیش از افت یک دیود) در اثر ولتاژ ورودی است. این دیودهای محدودکننده اثر مهمی بر کار مدار با یک حالت پایدار دارند. مشخصاً علاقمند به دانستن اثرات این دیودها بر عملکرد گیت وارونگر G_2 هستیم. در این حالت، موازی‌شدن هرکدام از جفت دیودهای متناظر منجر به مدار معادل شکل (ب ۴۸-۱۳) می‌شود. از آنجا که دیودها برای ولتاژهای اضافی بیش از حدود منبع تغذیه مسیرهای کم مقاومتی به

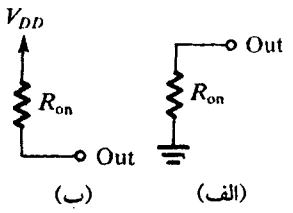


شکل ۴۸-۱۳. (الف) دیودهای ورودی یک گیت CMOS دو ورودی (ب) مدار معادل دیودی هنگامی که دو ورودی گیت به یکدیگر متصل می‌شوند. توجه کنید که دیودها به منظور حفاظت گیت‌های قطعه از اضافه ولتاژهای ناشی از جمع شدن بار استاتیک به کار گرفته شده‌اند.

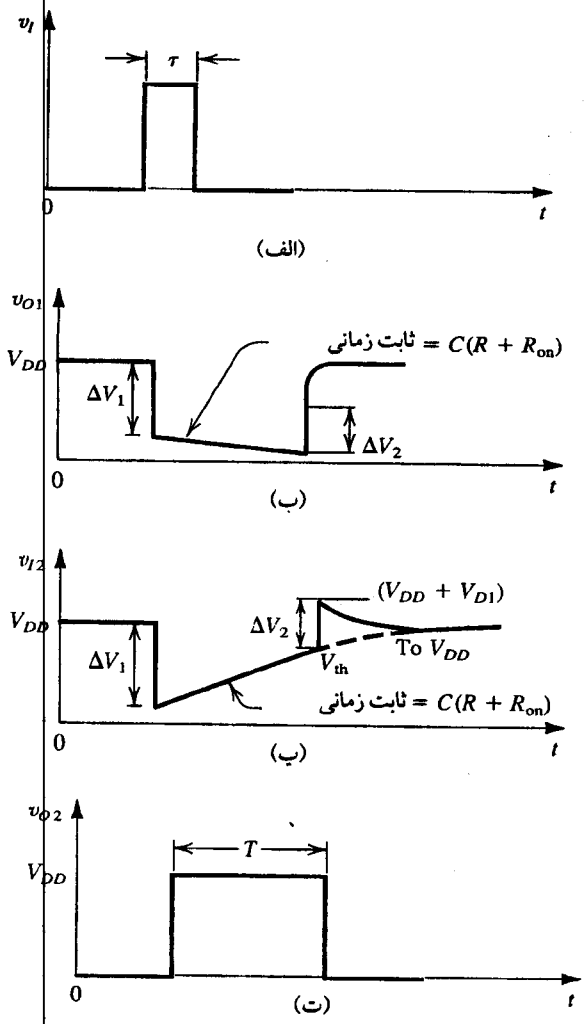
منبع تغذیه ایجاد می‌کنند، جریان ورودی برای ولتاژهای متوسط اساساً صفر است.

برای روشن‌شدن مطلب از مدار معادل تقریبی خروجی گیت که در شکل (۴۹-۱۳) تشریح شده است استفاده می‌کنیم. از شکل (الف ۳۹-۱۳) درمی‌یابیم هنگامی که خروجی گیت پایین است، مشخصه‌های خروجی آن را می‌توان با نمایش یک مقاومت R_{on} متصل به زمین که معمولاً چند صد اهم است نشان داد. در این حالت، جریان از مدار خارجی به پایانهٔ خروجی گیت برقرار می‌شود یعنی گیت **جریان می‌کشد**. شکل (ب ۴۹-۱۳) مدار خروجی معادل را هنگامی که خروجی گیت بالا است نشان می‌دهد. در این حالت جریان از V_{DD} و از مسیر پایانه خروجی گیت به مدار خارجی برقرار می‌شود یعنی گیت **جریان می‌دهد**. برای پی‌بردن به نحوه کار مدار با یک حالت پایدار شکل (۴۷-۱۳) نمودار زمان‌بندی شکل (۵۰-۱۳) را درنظر بگیرید. پالس تحریک با دورهٔ زمانی کوتاه τ در شکل (الف ۵۰-۱۳) به نمایش درآمده است. در ادامهٔ مطلب از تأخیر انتشار G_1 و G_2 صرفنظر می‌کنیم. اما این تأخیرها اثر کمی روی عرض پالس τ دارند. $\tau > (t_{P1} + t_{P2})$.

نخست حالت پایدار مدار را درنظر بگیرید - یعنی قبل از اعمال پالس تحریک - خروجی G_1 بالاست (V_{DD}). خازن دشارژ است و ولتاژ ورودی G_2 نیز بالا می‌باشد، (V_{DD}). بنابراین خروجی G_2 پایین یعنی ولتاژ زمین است. این ولتاژ کم به G_1 فیدبک می‌شود چون این ولتاژ پایین است خروجی G_1 بالا خواهد بود همانطور که در ابتدا فرض کرده بودیم.



شکل ۴۹-۱۳. مدار معادل خروجی گیت CMOS هنگامی که (الف) خروجی در حالت پایین است (ب) خروجی در حالت بالا است



شکل ۵۰-۱۳. نمودار زمان بندی مدار با یک حالت پایدار شکل (۴۷-۱۳)

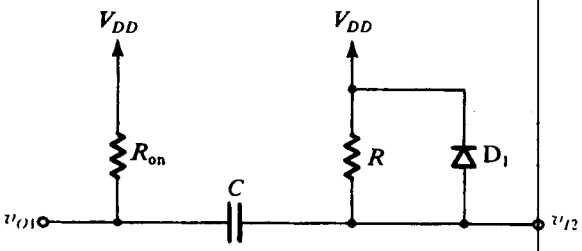
سپس تحریک را اعمال می‌کنیم، ولتاژ خروجی G_1 در وضعیت بالا قرار می‌گیرد. اما از آنجا که G_1 مقداری جریان می‌کشد و بعلت مقاومت محدود R_{on}، خروجی بهیچوجه صفر نخواهد بود. در واقع خروجی G_1 به اندازه ΔV_1 افت می‌کند که آنرا محاسبه می‌کنیم.

افت ΔV_1 از طریق C (که در زمان گذر بصورت اتصال کوتاه عمل می‌کند) به ورودی G_2 اعمال و بنابراین ولتاژ ورودی G_2 به اندازه ΔV_1 کم می‌شود. در اینجا متذکر می‌شویم که در حین گذر، جریان لحظه‌ای از V_{DD} در مسیر R و C و پایانه خروجی G_1 به زمین برقرار می‌شود در نتیجه R و R_{on} تشکیل یک مقسم ولتاژ می‌دهند. (توجه کنید ولتاژ لحظه‌ای، روی C صفر است) پس می‌توان ΔV_1 را بصورت زیر تعیین نمود

$$\Delta V_1 = V_{DD}\frac{R}{R + R_{on}} \qquad (۱۳-۵۳)$$

به G_2 باز می‌گردیم، افت ولتاژ ورودی آن باعث می‌شود خروجی به حالت بالا برود (V_{DD}). این سیگنال، خروجی G_1 را حتی پس از محوشدن پالس تحریک در حالت پایین نگه می‌دارد. حال مدار در حالت شبه پایدار است.

اکنون کار در حالت شبه پایدار را بررسی می‌کنیم. جریان مسیر R، C و R_{on}، باعث شارژ خازن C شده، ولتاژ v_{I2} مطابق شکل (پ ۵۰-۱۳) با



شکل ۵۱-۱۳. مداری که در مدت تخلیه C عمل می‌کند (در پایان بازهٔ زمانی T پالس مدار با یک حالت پایدار)

ثابت زمانی $C(R + R_{on})$ بطور نمایی به سمت V_{DD} افزایش می‌یابد. شکل (پ ۵۰-۱۳).این افزایش ولتاژ تا رسیدن به ولتاژ آستانه V_{th} وارونگر G_2 ادامه پیدا می‌کند. در این زمان G_2 سوئیچ شده، خروجی آن v_{O2} صفر ولت خواهد شد. این امر منجر به سوئیچ‌شدن G_1 می‌شود. خروجی G_1 سعی دارد تا V_{DD} بالا رود اما چنانچه بزودی خواهیم دید این افزایش لحظه‌ای به مقدار ΔV_2 محدود می‌شود. این افزایش v_{O1}، از طریق C کاملاً به ورودی G_2 اعمال می‌شود و نتیجه آن افزایش ورودی G_2 به مقدار ΔV_2 می‌باشد. توجه کنید که بعلت وجود دیود D_1 بین ورودی G_1 و V_{DD}، ولتاژ v_{I2} فقط می‌تواند تا $V_{DD} + V_{D1}$ بالا رود، که V_{D1} (تقریباً ۰/۷ V) افت ولتاژ روی دیود است. بنابراین در شکل (پ ۵۰-۱۳) داریم:

$$\Delta V_2 = V_{DD} + V_{D1} - V_{th} \qquad (۱۳-۵۴)$$

در نتیجه D_1 مقدار ΔV_2 را محدود می‌کند.

حال چون v_{I2} از V_{DD} بیشتر است، جریان از خروجی G_1 در مسیر C و ترکیب موازی R و D_1 برقرار می‌شود. این جریان خازن C را تا رسیدن v_{I2} به V_{DD} و افزایش V_{O1} به V_{DD}، دشارژ می‌کند. مدار دشارژ در شکل (۵۱-۱۳) ترسیم شده است. ملاحظه نمایید که وجود دیود باعث غیرخطی‌شدن فرآیند دشارژ می‌شود. اگرچه جزئیات گذرای انتهای پالس زیاد مورد توجه نیست، ذکر این نکته مهم است که مدار با یک حالت پایدار، نباید قبل از دشارژ کامل خازن مجدداً تحریک شود. در غیراینصورت پالس ایجادشده یک پالس استاندارد نخواهد بود. بازهٔ زمانی دشارژ خازن **زمان برگشت** نامیده می‌شود.

با رجوع به شکل (پ ۵۰-۱۳) و بیان $v_{I2}(t)$ بصورت زیر می‌توان عبارتی برای بازه زمانی T به دست آورد:

$$v_{I2}(t) = V_{DD} - \Delta V_1 e^{-t/\tau_1}$$

در عبارت فوق $\tau_1 = C\ (R+R_{on})$ می‌باشد. با جایگزینی $t=T$ و $v_{I2}(T)=V_{th}$ و ΔV_1 از معادله (۵۳-۱۳)، داریم:

$$T = C(R + R_{on}) \ln \left[\frac{R}{R + R_{on}} \frac{V_{DD}}{V_{DD} - V_{th}}\right]$$

تمرین‌ها

۱۳-۱۵ یک عبارت تقریبی برای T با $V_{th}=V_{DD}/2$ و $R_{on} \ll R$ به دست آورید.

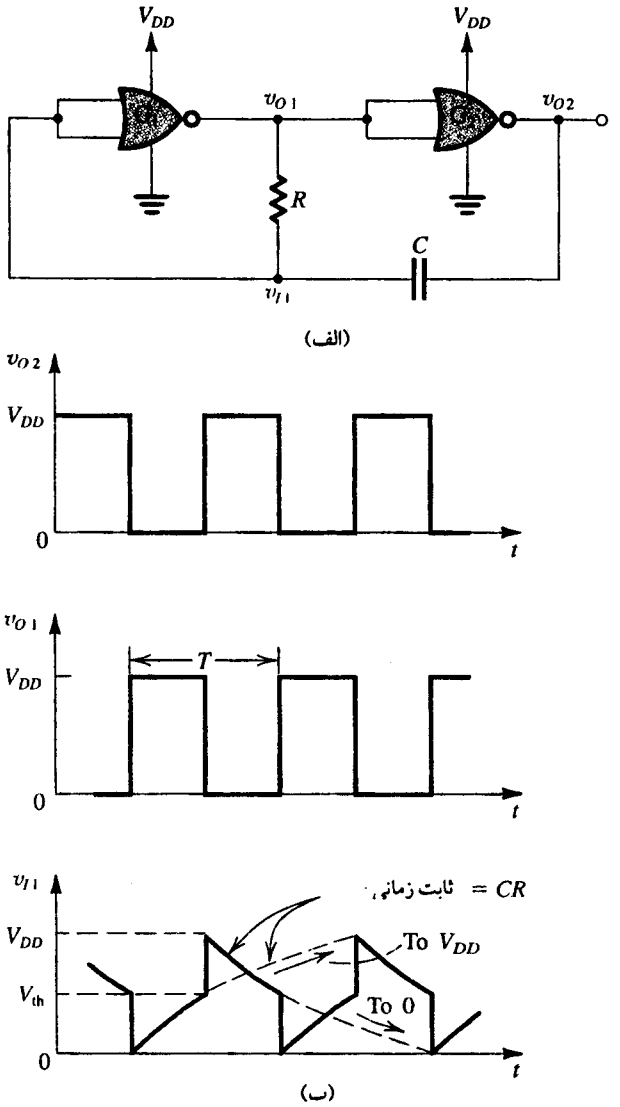
جواب. $T=0/69CR$

۱۳-۱۶ چنانچه R_{on} کمتر از $1k\Omega$ باشد با استفاده از عبارت تقریبی تمرین (۱۵-۱۳)، یک مولتی ویبراتور تک ضربه طراحی کنید که پالس‌های $10\mu s$ تولید کند. مقادیر C و R را مشخص کنید بیشترین خطای ممکن در T ناشی از چشم پوشی از R_{on}، چقدر است؟

جواب. $C=10\,nF$، $R=14/5\,k\Omega$، -3% ❑

مدار ناپایدار

شکل (الف ۵۲-۱۳) یک مدار ناپایدار متداول را که متشکل از دو گیت NOR وارونگر، یک مقاومت و یک خازن است، نشان می‌دهد. می‌توان نحوهٔ کار آن را با فرض اینکه گیتهای NOR از خانوادهٔ CMOS هستند بررسی کرد. اما برای ساده‌کردن موضوع تقریبهای زیر را درنظر می‌گیریم: از مقاومت محدود خروجی گیت CMOS صرفنظر می‌کنیم و دیودهای محدودکننده را نیز ایده‌آل فرض می‌کنیم (در نتیجه افت ولتاژ روی آنها در حال هدایت صفر است).



شکل ۵۲-۱۳. (الف) یک مدار مولتی ویبراتور ناپایدار ساده با استفاده از گیت‌های CMOS (ب) شکل موج‌های مدار ناپایدار (الف)، دیودهای ورودی گیت ایده‌آل فرض شده و بنابراین ولتاژ v_{I1} به صفر و V_{DD} محدود می‌شود.

با این فرضهای ساده‌کننده، شکل موجهای (ب ۵۲-۱۳) به دست می‌آیند. اصرار می‌کنیم خواننده نحوه کار مدار را مرحله به مرحله بررسی کرده، ثابت نماید شکل موجها بهمین صورت می‌باشند.

تمرین

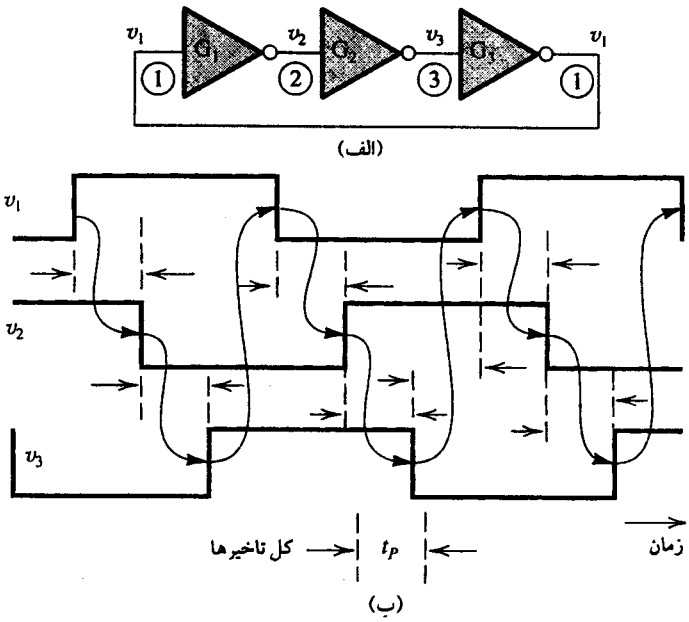
۱۷-۱۳ با استفاده از شکل موجهای (ب ۵۲-۱۳) عبارتی برای پریود T مولتی ویبراتور ناپایدار شکل (الف ۵۲-۱۳) به دست آورید.

جواب. $T = CR \ln\left(\frac{V_{DD}}{V_{DD} - V_{th}} \cdot \frac{V_{DD}}{V_{th}}\right)$ ❑

نوسان ساز حلقوی

نوسان ساز دیگری که معمولاً در مدارهای منطقی مورد استفاده قرار می‌گیرد، نوسان ساز حلقوی است و از تعداد فردی از وارونگرها در یک حلقه تشکیل شده است. اگر چه معمولاً از پنج وارونگر استفاده می‌شود، اما در این جا مطابق شکل (الف ۵۳-۱۳) با سه وارونگر، آن را بررسی می‌کنیم. شکل موج‌های خروجی سه وارونگر در شکل (ب ۵۳-۱۳) نشان داده شده است. شکل موج‌ها ایده آل هستند چون زمان صعود و نزول آن‌ها صفر است. با این وجود، از این زمان‌ها برای تشریح کار مدار بهره می‌گیریم.

همان طور که مشاهده می‌کنید، لبه بالا رونده در گره ۱ از طریق گیت‌های ۱ و ۲ و ۳، پس از تأخیر $3t_P$ به حالت معکوس می‌رود. در نتیجه مدار با دورهٔ تناوب $6t_P$ که متناظر با فرکانس $1/6t_P$ است، نوسان می‌کند. معمولاً یک حلقه با N وارونگر (N باید فرد باشد)، با دوره تناوب $2Nt_P$ و $1/2Nt_P$ نوسان می‌کند.



شکل ۵۳-۱۳. (الف) یک نوسان ساز حلقوی که از اتصال سه وارونگر بصورت پی در پی تشکیل شده است. (معمولاً حداقل از پنج وارونگر استفاده می‌شود) (ب) شکل موج حاصله، توجه کنید که مدار با فرکانس $\frac{1}{6t_P}$ نوسان می‌کند.

یاد آوری می‌کنیم که نوسان ساز حلقوی روش نسبتاً ساده برای اندازه‌گیری تأخیر انتشار وارونگر است.

تمرین

۱۸-۱۳ فرکانس نوسان یک حلقه متشکل از پنج وارونگر را که تأخیر انتشار آن‌ها ۱ns است، به دست آورید.

جواب. ۱۰۰MHz ❑

۹-۱۳ حافظه‌های نیمه هادی : انواع و ساختارها

یک سیستم کامپیوتری، خواه یک دستگاه بزرگ و خواه یک ریزکامپیوتر، برای ذخیرهٔ داده‌ها و دستورات یک برنامه نیاز به حافظه دارد. علاوه بر آن در داخل یک سیستم کامپیوتری معمولاً انواع گوناگونی از حافظه که از تکنولوژیهای مختلف بهره برده و زمانهای **دستیابی** متفاوت دارند وجود دارد. بطور کلی حافظهٔ کامپیوتر به دو نوع تقسیم می‌شود **حافظه اصلی** و حافظه **ذخیرهٔ - انبوه**. حافظه اصلی معمولاً سریعترین حافظه‌ها از نظر دسترسی و یکی از سریعترین آنها از نظر اجرای دستورالعمل‌های برنامه‌ها بوده و از نوع دستیابی - تصادفی می‌باشد. یک **حافظه با دستیابی تصادفی (RAM)** حافظه‌ای است که زمان لازم برای ذخیره اطلاعات (نوشتن) و بازیابی آنها (خواندن) مستقل از محل فیزیکی ذخیره‌شدن اطلاعات (در داخل حافظه) باشد.

حافظه‌های با دستیابی تصادفی، با حافظه‌های **سریال** یا **ترتیبی** تفاوت آشکار دارند. در این حافظه‌ها مانند دیسک‌ها و نوار اطلاعات به همان ترتیبی که ذخیره شده‌اند، قابل دستیابی هستند. بنابراین در یک حافظه سریال زمان دسترسی به اطلاعات مشخص بستگی به محل ذخیره‌شدن آنها در حافظه دارد، و متوسط زمان دستیابی بیشتر از زمان دستیابی حافظهٔ با دسترسی تصادفی است. در یک سیستم کامپیوتری حافظه سریال برای ذخیرهٔ انبوه بکار می‌رود. برنامه‌هایی که اغلب به دسترسی آنها نیازی نداریم، مانند بخش‌های بزرگ سیستم‌های عامل کامپیوتر معمولاً در حافظه **رویهٔ لغزنده** نظیر دیسک یا نوار مغناطیسی ذخیره می‌شوند.

یکی دیگر از طبقه‌بندی‌های مهم حافظه، **خواندنی / نوشتنی** یا **فقط خواندنی** بودن آن است. حافظهٔ خواندنی/نوشتنی (R/W) اجازه ذخیره و بازیابی اطلاعات را با سرعتهای یکسان می‌دهد. سیستم‌های کامپیوتری برای ذخیره اطلاعات و برنامه‌ها به حافظه خواندنی/نوشتنی با دستیابی تصادفی نیاز دارند.

حافظه‌های فقط خواندنی (ROM) فقط اجازه خواندن اطلاعات را با همان سرعت حافظه‌های R/W (یا شاید بیشتر) می‌دهند و عمل نوشتن در آنها صورت نمی‌گیرد. از ROM ها می‌توان برای ذخیرهٔ برنامهٔ سیستم عامل ریزپردازنده استفاده کرد. از آنها در کاربردهایی که نیاز به جستجوی جدول دارند نظیر پیداکردن مقادیر توابع ریاضی نیز استفاده می‌شود. یکی از کاربردهای متداول ROM استفاده از آنها در نوارهای بازی ویدیویی

است. با این وجود در زبان فنی مدار دیجیتال، عبارت خلاصه RAM معمولاً در مورد حافظه با دستیابی تصادفی خواندنی / نوشتنی به کار می‌رود در حالی که ROM به حافظهٔ فقط خواندنی گفته می‌شود.

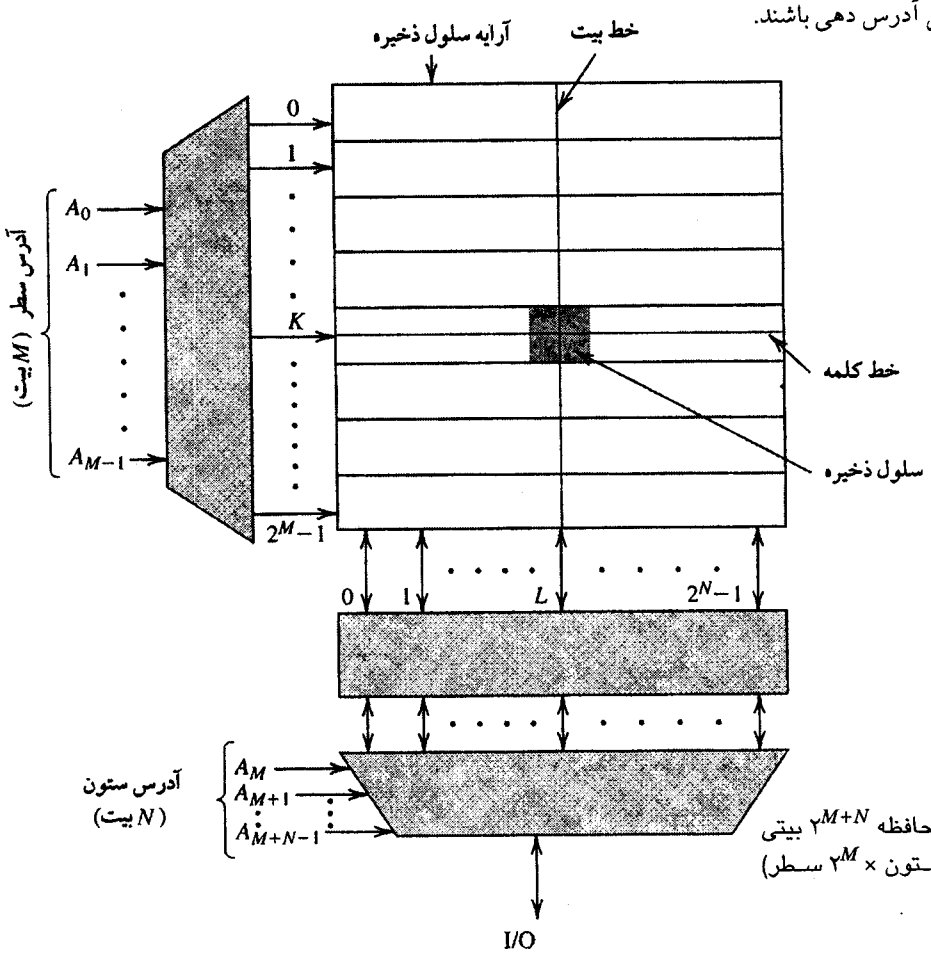
ساختار منظم مدارهای حافظه آنها را برای طراحی مدار VLSI ایده‌آل کرده است. در واقع امروزه تراشه‌های حافظه نمایانگر هنر فشرده‌کردن بسته‌بندی و سطح مجتمع‌سازی هستند. با معرفی تراشه ۱Kbit در ۱۹۷۰، چگالی تراشه حافظه هر سه سال چهار برابر شده است. در حال حاضر تراشه‌های ۶۴ مگابیتی بصورت تجاری در دسترس هستند و تراشه‌های ۲۵۶ مگابیتی و یک گیگابیتی مراحل آزمایش و تحقیقات را در آزمایشگاهها می‌گذرانند. در این بخش و بخش آتی، مدارهای اساسی به کار رفته در تراشه VLSI RAM و در بخش (۱۲-۱۳) مدارهای حافظه فقط خواندنی را بررسی می‌کنیم.

سازمان تراشه حافظه

بیت‌های یک تراشه حافظه را می‌توان بصورت مجزا یا گروههای ۴ تا ۱۶ تایی آدرس دهی کرد. بطور مثال تراشه ۶۴ مگا بیت که در آن همهٔ بیت‌ها قابل آدرس دهی می‌باشد را می‌توان بصورت، یک بیت ×۶۴ مگا کلمه (۶۴M×۱) سازماندهی کرد. چنین تراشه‌ای به ۲۶ بیت آدرس نیاز دارد. (2^{26}=۶۷۱۰۸۸۶۴=۶۴M). از طرف دیگر، تراشه ۶۴ مگا بیت را می‌توان بصورت چهار بیت ×۱۶ مگا کلمه (۱۶M×۴) نیز سازماندهی کرد که در آن به ۲۴ بیت آدرس نیاز داریم. در این بررسی فرض می‌کنیم که تمام بیت‌ها بطور مجزا قابل آدرس دهی باشند.

محفظه تراشه حافظه شامل سلول‌هایی که بیت در آن‌ها ذخیره می‌شود. هر **سلول حافظه** یک مدار الکترونیکی است که قابلیت ذخیره یک بیت را دارد. مدارهای سلول حافظه را در بخش بعد بررسی می‌کنیم. به دلایلی که بعداً خواهیم دید، معمولاً سازماندهی فیزیکی حافظه بصورت ماتریس مربعی است که در شکل (۵۴-۱۳) نشان داده شده است. ماتریس سلول دارای 2^M سطر و 2^N ستون، با ظرفیت ذخیره $2^M \times 2^N$ می‌باشد. بطور مثال، یک ماتریس مربعی یک مگا بیتی ۱۰۲۴ سطر و ۱۰۲۴ ستون دارد ($M=N=10$). هر سلول در آرایه بر یکی از خطوط سطر 2^M، که معمولاً **خطوط کلمه** نامیده می‌شوند. و یکی از خطوط ستون 2^N که معمولاً **خطوط رقم** یا **خطوط بیت** نامیده می‌شوند متصل می‌شود. برای انتخاب هر سلول برای خواندن یا نوشتن باید خط کلمه و بیت آن را فعال کرد.

فعال کردن یکی از خطوط کلمه 2^M توسط **رمزگشای سطر** انجام می‌شود که یک مدار منطقی ترکیبی است که خط کلمه‌ای را که آدرس بیت M آن به ورودی رمز گشا اعمال شده انتخاب می‌کند (با بالا بردن ولتاژ). بیت‌های آدرس با $A_0, A_1 \ldots A_{M-1}$ نمایش داده می‌شوند. هنگامی که Kامین خط کلمه مثلاً برای خواندن فعال می‌شود، همهٔ ستون‌های 2^N در سطر K محتوای خود را روی خطوط بیت قرار می‌دهند. بدین ترتیب اگر سلول ستون L (شکل را ببینید) ۱ را ذخیره کرده باشد، ولتاژ خط بیت شماره L حدود ۰/۱ تا ۰/۲ ولت بالا می‌رود. دلیل کم بودن این ولتاژ این است که تعداد سلول‌ها خیلی زیاد است. این افزایش جزئی ولتاژ به یک تقویت‌کنندهٔ حسی که به خط بیت متصل است اعمال می‌شود، که مطابق شکل (۵۴-۱۳)



شکل ۵۴-۱۳. یک تراشه حافظه 2^{M+N} بیتی که بصورت آرایه (2^N ستون × 2^M سطر) سازمان یافته است.

برای هر خط بیت، یک تقویت کنندهٔ حسی داریم. این تقویت کننده امکان نوسان منطقی کامل سیگنال (در این جا صفر تا V_{DD}) را در خروجی خود فراهم می‌کند. این سیگنال و سیگنال‌های خروجی همه سلول‌های سطر انتخاب شده، به **رمزگشای ستون** اعمال می‌شود. رمزگشای ستون سیگنال ستونی را که آدرس بیت N آن به ورودی رمزگشا اعمال شده (بیت‌های آدرس با $A_M A_{M+1} \ldots A_{M+N-1}$ مشخص می‌شوند) و باعث می‌شود که این سیگنال در خط داده ورودی/خروجی (I/O) تراشه ظاهر گردد.

فرآیند نوشتن نیز بطور مشابه انجام می‌شود. بیت داده‌ای که باید ذخیره شود (1 یا 0) به خط I/O اعمال می‌شود. سلولی که باید داده در آن ذخیره شود، توسط ترکیبی از آدرس سطر و ستون آن انتخاب می‌شود. تقویت کننده حسی ستون انتخاب شده همانند یک **راه انداز** عمل می‌کند تا سیگنال اعمال شده را درون سلول انتخاب شده بنویسید. مدارهای تقویت کننده حسی و رمز گشاهای آدرس در بخش (۱۱-۱۳) بررسی می‌شود.

می‌خواهیم قبل از خاتمهٔ مبحث سازمان حافظه و یا ساختار تراشه حافظه، ابداعی را متذکر شویم که بصورت نمایی، چگالی تراشه را افزایش می‌دهد. برای توجه به نیاز لازم برای تغییر، به این نکته دقت کنید که همگام با افزایش تعداد سلول‌ها در آرایه، طول فیزیکی خطوط کلمه و بیت نیز افزایش می‌یابد، این امر حتی برای نسل جدید تراشه‌های حافظه که اندازه ترانزیستور کاهش یافته، (در تکنولوژی CMOS با اندازهٔ $0/15-0/3\mu m$)، اتفاق می‌افتد. افزایش طول خط کلمه و خط بیت، باعث زیاد شدن مقاومت و ظرفیت خازنی آنها می‌شود و پاسخ گذاری آن‌ها کندتر خواهد شد. یعنی هر چه طول خط افزایش می‌یابد، افزایش نمایی ولتاژ خط کندتر می‌شود و زمان بیشتری طول می‌کشد تا سلول‌ها فعال شوند. این مشکل با قطعه بندی تراشه حافظه حل شده است. هر یک از این قطعه‌ها دارای سازمانی مشابه شکل (۵۴-۱۳) است، و خطوط آدرس سطر و ستون بین همهٔ قطعات توزیع شده است، اما تنها داده‌های یک قطعه انتخاب می‌شود. انتخاب قطعه با استفاده از شماره متناسب بیت‌های آدرس بعنوان آدرس قطعه انجام می‌شود. این معماری را می‌توان متشکل از سه بعد سطر، ستون و قطعه دانست.

زمان بندی تراشه حافظه

مدت زمان بین آغاز عملیات خواندن و ظهور داده در خروجی را **زمان دسترسی حافظه** می‌نامند. کمترین زمان مجاز بین دو عملیات پی در پی روی حافظه نیز، **زمان چرخه حافظه** نامیده می‌شود. چنانچه بخواهیم دقیق‌تر بگوییم عملیات حافظه شامل هر دو عمل خواندن و نوشتن (در همان محل) است. حافظه‌های MOS دارای زمان چرخه و دسترسی در حدود چند صد نانو ثانیه هستند.

تمرین‌ها

۱۹-۱۳ یک حافظه ۴ مگابایتی به ۳۲ قطعهٔ ۱۰۲۴ سطر در ۱۲۸ ستونی تقسیم شده است. تعداد بیت‌های لازم برای آدرس سطر و ستون و قطعه چقدر است ؟

جواب. ۱۰، ۷، ۵

۲۰-۱۳ خطوط کلمه در یک تراشه حافظه MOS خاص با استفاده از پلی سیلیکون ساخته شده‌اند. مقاومت هر خط کلمه تقریباً $5k\Omega$ و ظرفیت خازنی بین خط و زمین ۲pF است. با فرض این که خط کلمه با ولتاژ V_{DD} توسط یک وارونگر با امپدانس کم راه اندازی می‌شود، زمان لازم برای این که ولتاژ خط کلمه به $V_{DD}/2$ برسد چقدر است؟ (توجه: خط، یک شبکه توزیع شده است که آن را با استفاده از یک خازن و یک مقاومت تقریب می‌زنیم)

جواب. ۶/۹ns ❑

۱۳-۱۰ سلول‌های حافظه با دستیابی تصادفی (RAM)

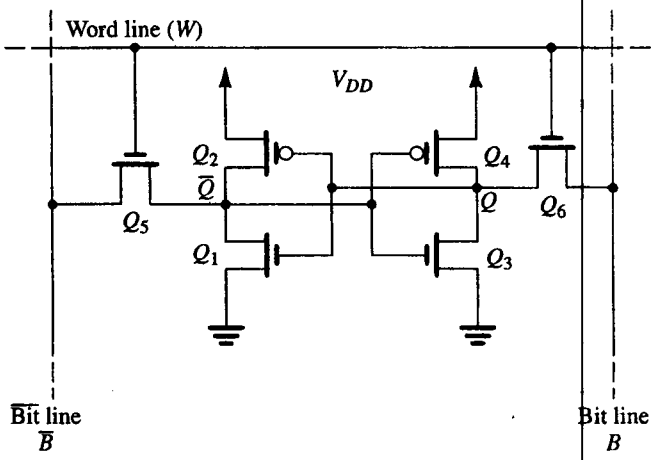
چنانچه قبلاً گفته شد، بدنه تراشه حافظه شامل سلول‌های حافظه است، بنابراین برای قرار دادن تعداد زیادی سلول در یک تراشه باید اندازه سلول و توان مصرفی آن تا حد ممکن کاهش یافته باشد. بنابراین مدارهای فلیپ فلاپ مطالعه شده در بخش (۷-۱۳) برای پیاده‌سازی سلول‌های حافظه در تراشه RAM مناسب نیستند.

دو نوع MOS RAM وجود دارد: **RAM استاتیک** (SRAM) که از قفل‌های استاتیک بعنوان سلول حافظه استفاده می‌کنند. RAMهای گذرا (DRAM) دارهٔ دودویی را در خازن‌ها ذخیره می‌کنند که باعث کاهش فضای سلول می‌شود اما مدار خواندن و نوشتن آنها پیچیده‌تر است. RAMهای استاتیک تا زمان داشتن تغذیه، داده خود را حفظ می‌کنند، اما RAMهای گذرا برای حفظ اطلاعات خود نیاز به تازه سازی متناوب دارند تا داده ذخیره شده در خازن حفظ شود، چون خازن بعلت جریان‌های نشتی غیر قابل اجتناب بمرور زمان تخلیه می‌شود. تراشه‌های حافظه گذرا، به واسطه اندازه کوچکتر خود معمولاً چهار مرتبه از تراشه‌های استاتیک فشرده‌تر هستند. هر دو نوع RAM استاتیک و گذرا فَرار هستند، یعنی برای حفظ اطلاعات باید تغذیه آن‌ها برقرار باشد. حافظه ROM غیر فَرار است که در بخش (۱۲-۱۳) مورد بحث قرار می‌گیرد. در بخش آتی، سلول‌های حافظه DRAM و SRAM را مورد بررسی قرار می‌دهیم.

سلول حافظه استاتیک

نمونه‌ای از سلول حافظه استاتیک در تکنولوژی CMOS ، در شکل (۵۵-۱۳) نشان داده شده است. این مدار که قبلاً در بخش (۷-۱۳) آن را بررسی کردیم یک فلیپ فلاپ متشکل از دو وارونگر ضربدری و دو **ترانزیستور دستیابی** Q_5 و Q_6 است. هنگامی که خط کلمه انتخاب شود، ترانزیستورهای دستیابی روشن شده و ولتاژ آنها به V_{DD} می‌رسد، و فلیپ فلاپ را به خط ستون (بیت یا B) و خط ستون (بیت یا $\bar{B}$) متصل می‌کنند. توجه کنید که از هر دو خط B و $\bar{B}$ استفاده شده است. ترانزیستورهای دستیابی همانند گیت‌های انتقال عمل می‌کنند که اجازه می‌دهند جریان بصورت دو طرفه بین فلیپ فلاپ و خطوط B و $\bar{B}$ برقرار شود.

ابتدا عملیات خواندن را در نظر بگیرید و فرض کنید که سلول 1 را ذخیره



شکل ۵۵-۱۳. یک سلول حافظه CMOS SRAM

کرده باشد. در این حالت Q در وضعیت بالا و در V_{DD} بوده و $\bar{Q}$ در وضعیت پایین در صفر ولت است. قبل از شروع عملیات خواندن خطوط B و $\bar{B}$ تا ولتاژی مساوی نصف مقدار حالت بالا، یعنی معمولاً $V_{DD}/2$ پیش شارژ می‌شوند (مدار پیش شارژ را بعداً به همراه تقویت کننده حسی بررسی می‌کنیم). هنگام انتخاب خط کلمه و روشن شدن Q_5 و Q_6، جریان از V_{DD} از طریق Q_4 و Q_6 و خط B، باعث پر شدن ظرفیت خازنی خط B یعنی C_B می‌شود. در طرف دیگر مدار، جریان از خط پیش شارژ شده $\bar{B}$، از طریق Q_5 و Q_1 به زمین جاری شده باعث تخلیه $C_{\bar{B}}$ می‌شود. قسمت مربوط به عملیات خواندن مدار، در شکل (۵۶-۱۳) نشان داده شده است.

با توجه به این توضیح، در حین عملیات خواندن "1" ولتاژ روی C_B بالا رفته و ولتاژ روی $C_{\bar{B}}$ پایین می‌آید. بنابراین ولتاژ تفاضلی $V_{B\bar{B}}$ بین خط B و $\bar{B}$ زیاد می‌شود. معمولاً ۰/۲ ولت یا در همین حدود برای تقویت کننده حسی کافی است تا "1" را در سلول حس نماید. توجه کنید که سلول باید بگونه‌ای طراحی شود که تغییرات در v_Q و $v_{\bar{Q}}$ به قدر کافی کوچک باشد که در حین خواندن حالت فلیپ فلاپ تغییر نکند: عملیات خواندن در یک SRAM غیر مخرب است. معمولاً هر یک از وارونگرها بگونه‌ای طراحی می‌شود که Q_N و Q_P منطبق باشند. بدین ترتیب آستانه وارونگر $v_{DD}/2$ خواهد بود. معمولاً ترانزیستورهای دستیابی دو تا سه برابر از Q_N وارونگر پهن‌تر می‌باشند.

مثال ۶-۱۳

هدف از این مثال، تحلیل عملکرد گذرای سلول CMOS SRAM شکل (۵۵-۱۳) است. فرض کنید سلول دارای پارامترهای ساختاری زیر باشد:

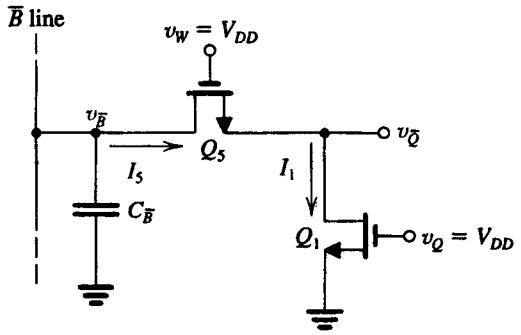
$V_{tn0} = -V_{tpo} = 1V$ ، $\mu_p C_{ox}=20\mu A/V^2$ ، $\mu_n C_{ox}=50\mu A/V^2$

$2\phi_f = 0.6V$ ، $\gamma = 0.5V^{1/2}$ ، و $V_{DD}= 5V$. فرض کنید ترانزیستورهای سلول دارای $(W/L)_p=10/2$ ، $(W/L)_n=4/2$ و (W/L) ترانزیستورهای دستیابی ۱۰/۲ باشد. با فرض این که محتوای سلول "1" و ظرفیت خازنی هر خط بیت ۱pF است، زمان لازم برای رسیدن خروجی به ۰/۲V چقدر است؟ برای آسانی تحلیل فرض کنید خطوط $\bar{B}$ و B تا V_{DD} پیش شارژ شده‌اند.

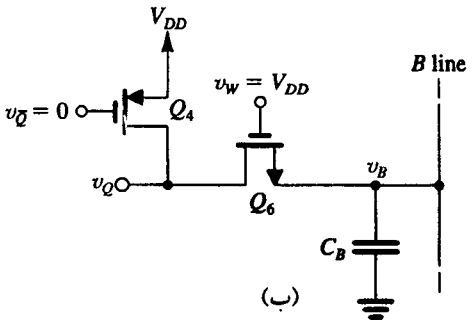
حل:

در ابتدا یاد آوری می‌کنیم که تحلیل این مدار، پیچیده است و چند فرض ساده کننده را به کار می‌گیریم. البته تحلیل دقیق را می‌توان با شبیه ساز انجام داد، اما تحلیل دستی باعث افزایش فراگیری کار مدار می‌شود.

با توجه به شکل (۵۶-۱۳) می‌بینیم که در آغاز $v_{\bar{Q}} = 0$ و $v_Q = V_{DD}$ و $v_B = v_{\bar{B}} = V_{DD}$ است. مدار شکل (ب ۵۶-۱۳) هدایت نمی‌کند و v_B در V_{DD}، ثابت خواهد ماند. حال به مدار شکل (الف ۵۶-۱۳) نگاه کنید، چون هنگام عملیات خواندن $v_{\bar{B}}$ به اندازهٔ ۰/۲V تغییر می‌کند (یعنی از ۵ به ۴/۸ ولت)، ترانزیستور Q_5 در ناحیه اشباع کار می‌کند و بنابراین $C_{\bar{B}}$ با جریان ثابت I_5 تخلیه می‌شود. برای هدایت کردن Q_1 ولتاژ درین آن یعنی $v_{\bar{Q}}$ باید بالا رود، اما می‌خواهیم این افزایش آنقدر نباشد که از آستانه وارونگر (Q_3 و Q_4) که $V_{DD}/2$ است، تجاوز کند، چون ترانزیستورهای p و n در هر وارونگر منطبق هستند. فاصله زمانی کوتاهی وجود دارد که حین آن I_5 ظرفیت‌های خازنی مزاحم بین گره $\bar{Q}_1$ و زمین را تا ولتاژ $v_{\bar{Q}}$ شارژ می‌کند که کافی است تا Q_1 با جریان I که مساوی I_5 است در حالت تریود عمل کند.



(الف)



(ب)

شکل ۵۶-۱۳. بخش مربوط به عملیات خواندن 1 از مدار سلول SRAM . توجه کنید که در آغاز، $v_Q=V_{DD}$ و $v_{\bar{Q}}=0$ است، خطوط B و $\bar{B}$ نیز معمولاً تا ولتاژ $V_{DD}/2$ پیش شارژ می‌شوند. اما در مثال (۶-۱۳) برای ساده کردن مطلب، ولتاژ پیش شارژ V_{DD} فرض می‌شود.

جریان I_1 را می‌توان بصورت زیر بیان کرد:

$$I_1 = \mu_n C_{ox}\left(\frac{W}{L}\right)_1 \left[(V_{DD} - V_{t1})v_{\bar{Q}} - \frac{1}{2}v_{\bar{Q}}^2\right]$$

در عبارت فوق فرض کرده‌ایم که v_Q در V_{DD} ثابت می‌ماند. از آن جا که Q_1 در ولتاژ زمین است و $V_{t1}=1V$، داریم:

$$I_1 = 50\times\frac{4}{2}\left[(5-1)v_{\bar{Q}} - \frac{1}{2}v_{\bar{Q}}^2\right] \quad (13\text{-}55)$$

برای Q_5 می‌توانیم بنویسیم:

$$I_5 = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_5 (V_{DD} - v_{\bar{Q}} - V_{t5})^2$$

که در آن ولتاژ آستانه V_{t5} را می‌توان بصورت زیر نوشت:

$$V_{t5} = 1 + 0.5(\sqrt{v_{\bar{Q}} + 0.6} - \sqrt{0.6}) \quad (13\text{-}56)$$

از آن جا که هنوز $v_{\bar{Q}}$ را نمی‌شناسیم، باید به روش تکرار مسأله را حل کنیم برای اولین تکرار، فرض می‌کنیم $V_{t5}=1V$ باشد، پس I_5 عبارت است از:

$$I_5 = \frac{1}{2}\times 50\times\frac{10}{2}(5 - v_{\bar{Q}} - 1)^2 \quad (13\text{-}57)$$

حال با مساوی قرار دادن I_1 از معادله (۵۵-۱۳) با I_5 از معادله (۵۷-۱۳) و حل آن به $v_{\bar{Q}} = 1.86V$ می‌رسیم. بعنوان تکرار دوم، از این مقدار $v_{\bar{Q}}$ در معادله (۵۶-۱۳) استفاده کرده V_{t5} را تعیین می‌کنیم. نتیجه آن $V_{t5}=1.4V$ می‌شود. سپس از این مقدار در عبارت مربوط به I_5 استفاده کرده و به $v_{\bar{Q}}=1.6V$ می‌رسیم. این مقدار به قدر کافی به مقدار اصلی نزدیک است و تکرار دیگری لازم نیست. حال جریان $I_5=0.5mA$ به دست می‌آید. توجه کنید که $v_{\bar{Q}}$ واقعاً کمتر از $V_{DD}/2$ است و بنابراین فلیپ فلاپ تغییر حالت نمی‌دهد (پس نگرانی وجود ندارد). در حقیقت، V_{IL} برای این وارونگر $2.125V$ است بنابراین، فرض باقی ماندن v_Q در V_{DD} صحیح است. گر چه v_Q قدری تغییر می‌کند که آن را در تحلیل تقریبی در نظر می‌گیریم.

حال می‌توانیم برای تعیین بازه زمانی برای کاهش 0.2 ولتی خط $\bar{B}$، از فرمول زیر استفاده کنیم:

$$\Delta t = \frac{C_{\bar{B}}\,\Delta V}{I_5}$$

بنابراین داریم:

$$\Delta t = \frac{1\times 10^{-12}\times 0.2}{0.5\times 10^{-3}} = 0.4ns$$

باید خاطر نشان کنیم که Δt تنها یک مولفهٔ تأخیر است که در عملیات خواندن شرکت می‌کند، مولفه مؤثر دیگر ناشی از زمان صعود محدود ولتاژ روی خط کلمه است. البته، فقط محاسبه Δt کافی است چون خط کلمه تنها به ولتاژی کمتر از V_{DD} می‌رسد هنگامی که فرآیند تخلیهٔ $C_{\bar{B}}$ اتفاق می‌افتد حل تقریبی‌تر (اما سریع‌تر) را با مشاهده این نکته که در مدار شکل (الف ۵۶-۱۳)، Q_1 و Q_5 ولتاژ گیت مساوی دارند (V_{DD}) و بصورت سری به هم متصل شده‌اند، می‌توان انجام داد. این دو ترانزیستور را می‌توان تقریباً معادل یک ترانزیستور با (W/L) زیر در نظر گرفت:

$$(W/L)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_5}} = \frac{1}{(2\div 4) + (2\div 10)} = \frac{10}{7}$$

ترانزیستور معادل در ناحیه اشباع عمل می‌کند، بنابراین جریان I آن عبارت است از:

$$I = \frac{1}{2}\times 50\times\frac{10}{7}(5-1)^2 = 0.57mA$$

این مقدار فقط ۱۴٪ از مقدار به دست آمدهٔ قبلی بزرگتر است. ولتاژ $v_{\bar{Q}}$ را می‌توان به ضرب I در مقدار تقریبی r_{DS} ترانزیستور Q_1 در ناحیه تریود به دست آورد:

$$r_{DS} = 1/[50\times 10^{-6}\times\frac{4}{2}\times(5-1)] = 2.5k\Omega$$

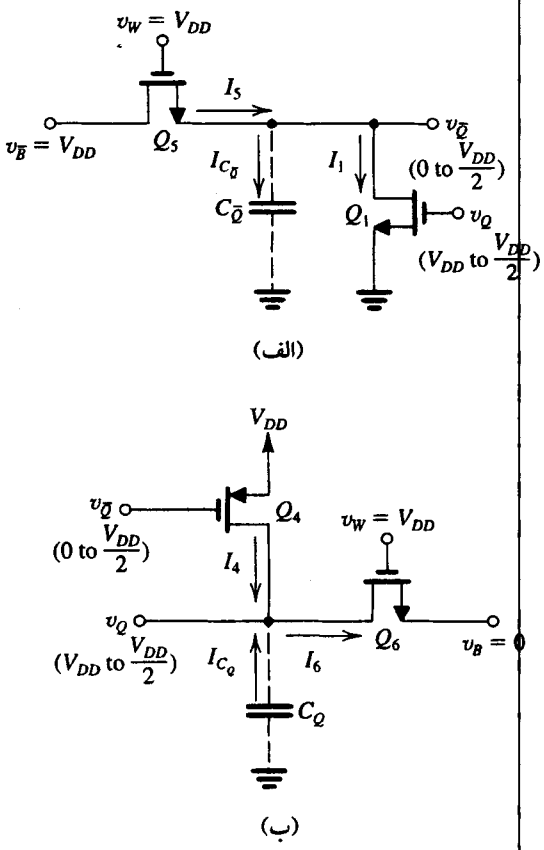
بنابراین داریم:

$$v_{\bar{Q}} = 0.57\times 2.5 = 1.4V$$

این مقدار نیز، نزدیک به مقدار قبلی است.

حال عملیات نوشتن را در نظر می‌گیریم. فرض کنید که در سلول "1" ذخیره شده باشد $(v_Q=V_{DD}, v_{\bar{Q}}=0)$ و می‌خواهیم "0" را در آن بنویسیم. برای این کار خط B به ولتاژ صفر و خط $\bar{B}$ به V_{DD} می‌رسد، و سلول با بالا رفتن ولتاژ خط کلمه تا V_{DD}، انتخاب می‌شود. شکل (۵۷-۱۳) قسمت مربوط به مدار که گره $\bar{Q}$ به ولتاژ آستانه $V_{DD}/2$ افزایش [قسمت (الف) شکل]، و گره Q به $V_{DD}/2$ کاهش یافته [قسمت (ب) شکل] نشان داده شده است. خازن‌های C_Q و $C_{\bar{Q}}$ خازن‌های مزاحم گره‌های Q و $\bar{Q}$ هستند. با تحلیل تقریبی یک مدار می‌توان زمان لازم برای معکوس شدن را به دست آورد. توجه کنید که فیدبک باز تولیدی که باعث تغییر حالت فلیپ فلاپ می‌شود هنگامی آغاز می‌شود که v_Q یا $v_{\bar{Q}}$ به $V_{DD}/2$ برسد. پس از این اتفاق، فیدبک مثبت کنترل را به دست گرفته و مدار شکل (۵۷-۱۳) دیگر به کار نمی‌رود.

می‌خواهیم عملکرد مدارهای شکل (۵۷-۱۳) را بطور خلاصه تشریح کرده، تحلیل آن را در تمرین (۲۱-۱۳) و مسائل (۵۸-۱۳) و (۸۶-۱۳) به خواننده واگذاریم. ابتدا مدار شکل (الف ۵۷-۱۳) را در نظر گرفته، توجه کنید که Q_5 در حالت اشباع است. در آغاز ولتاژ سورس آن صفر است و V_t آن مساوی V_{t0} می‌باشد، Q_1 نیز خاموش است، چون ولتاژ درین آن صفر است. جریان I_5 با عبور از $C_{\bar{Q}}$ باعث پر شدن آن می‌شود و $v_{\bar{Q}}$ بالا رفته، Q_1 هدایت می‌کند. Q_1 در ناحیه تریود بوده و جریان I_1 آن از I_5 کم می‌شود که باعث کاهش جریان شارژ کننده $C_{\bar{Q}}$ می‌گردد. بطور همزمان، با تغییر $v_{\bar{Q}}$، V_{t5} بعلت اثر بدنه افزایش یافته، I_5 کاهش می‌یابد. تأثیر دیگری که توسط مدار شکل (ب۵۷-۱۳) ایجاد می‌شود این است که v_Q از V_{DD} به $V_{DD}/2$ کاهش می‌یابد که این امر باعث کاهش جریان I_1 می‌شود. با توجه به تمام این نکات، می‌توان مقدار میانگین تقریبی را برای جریان پر شدن خازن $I_{C\bar{Q}}$ را که با $(v_Q=V_{DD}, v_{\bar{Q}}=0)$ آغاز و با $(v_Q = \frac{V_{DD}}{2}, v_{\bar{Q}} = \frac{V_{DD}}{2})$



شکل ۵۷-۱۳. بخش مربوط به عملیات نوشتن مدار SRAM . در آغاز SRAM 1 را ذخیره کرده و 0 در آن نوشته می‌شود. این مدارهای معادل قبل از سوئیچینگ به کار می‌روند. مدار **(الف)** گره $\bar{Q}$ را به طرف $V_{DD}/۲$ بالا می‌برد در حالتی که در **(ب)** گره Q تا $V_{DD}/۲$ پایین آورده می‌شود.

تمام می‌شود، به آسانی محاسبه کرد.

مدار شکل (ب ۵۷-۱۳) در بسیاری از موارد همین گونه عمل می‌کند و تفاوت آن این است که هر دو ترانزیستور از اثر بدنه مصون هستند. بنابراین جریان پرکننده C_Q این مدار از جریان پرکننده مدار (الف ۵۷-۱۳) برای خازن $C_{\bar{Q}}$ بیشتر است. در نتیجه C_Q سریع‌تر از $C_{\bar{Q}}$ پر می‌شود. به عبارت دیگر، v_Q قبل از $v_{\bar{Q}}$ به $V_{DD}/۲$ می‌رسد. در نتیجه یک تخمین از این مولفه زمان تأخیر نوشتن است که با در نظر گرفتن مدار شکل (ب ۵۷-۱۳) به دست می‌آید.

مولفه دیگر تأخیر نوشتن است که با عمل سوئیچینگ فلیپ فلاپ انجام می‌شود. این تقریب را می‌توان با زمان تأخیر وارونگر به دست آورد.

تمرین

۱۳-۲۱ مدار شکل (ب ۵۷-۱۳) را در نظر بگیرید و فرض کنید که ابعاد قطعه و پارامترهای آن همانند مثال (۶-۱۳) باشد. می‌خواهیم بازه Δt لازم برای تخلیه C_Q و رسیدن ولتاژ از V_{DD} به $V_{DD}/۲$ را تعیین کنیم.

(الف) در آغاز بازه Δt، مقادیر $I_۴$، $I_۶$ و I_{CQ} را به دست آورید.

(ب) در پایان بازه Δt، مقادیر $I_۴$، $I_۶$ و I_{CQ} را به دست آورید.

(پ) مقدار میانگین I_{CQ} را در بازه زمانی Δt تخمین بزنید.

(ت) اگر C_Q=۵۰ fF باشد، Δt را تخمین بزنید.

جواب. (الف) $I_۴$=۰، $I_۶$=۲mA و I_{CQ}=۲mA

(ب) $I_۴$=۰/۱۱mA، $I_۶$=۱/۷۲mA و I_{CQ}=۱/۶۱mA

(پ) $I_{CQ}|_{av}$=۱/۸mA

(ت) Δt=۶۹/۴ps

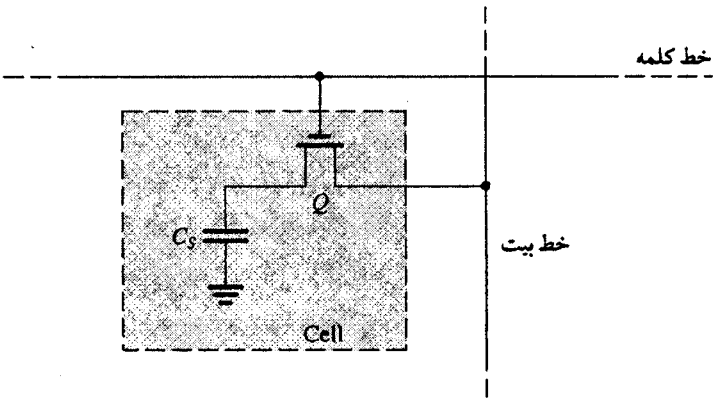
❑

با توجه به نتایج این تمرین، متوجه می‌شویم که این مولفه تأخیر نوشتن بسیار کوچکتر از مولفهٔ متناظر در عملیات خواندن است و این بدان علت است که در عملیات نوشتن فقط خازن کوچک C_Q باید پر (یا تخلیه) شود، در صورتی که در عملیات خواندن باید خازن بزرگتری یعنی خازن خط B یا $\bar{B}$ پر (یا تخلیه) شود. در عملیات نوشتن پر و یا خالی شدن خازن‌های خط B و $\bar{B}$ توسط مدار راه‌انداز سریع‌تر انجام می‌شود. نتیجه نهایی آن است که زمان تأخیر در عملیات نوشتن تحت تأثیر تأخیر خط کلمه قرار می‌گیرد.

سلول حافظه گذرا

اگر چه سلول‌های حافظه DRAM متنوعی ارائه شده است، اما یک نوع خاص که در شکل (۵۸-۱۳) نشان داده شده است، تبدیل به استاندارد صنعتی شده است. این شکل سلول شامل یک MOSFET کانال n، که به آن ترانزیستور دستیابی می‌گویند، و خازن ذخیره C_s می‌باشد. سلول را بعنوان **سلول تک ترانزیستور** می‌شناسند. گیت ترانزیستور به خط کلمه، و سورس (درین) به خط بیت متصل می‌شود. توجه کنید که نسبت به SRAM که خط بیت و خط $\overline{\text{بیت}}$ مورد استفاده قرار می‌گرفت در DRAM تنها خط بیت استفاده قرار می‌گیرد.

سلول DRAM بیت اطلاعات را بصورت بار خازن C_s ذخیره می‌کند. هنگامی که سلول 1 را ذخیره کرده است، خازن تا ولتاژ $(V_{DD}-V_t)$ پر می‌شود و هنگامی که سلول حاوی 0 است، خازن تخلیه می‌شود. بار خازن بعلت اثرات نشتی بمرور کاهش می‌یابد و سلول باید بطور مرتب تازه سازی شود. در حین تازه سازی محتوای سلول خوانده شده و بیت داده بازنویسی می‌شود، بنابراین ولتاژ خازن به مقدار صحیح خود باز می‌گردد. عملیات تازه سازی باید هر ۵ تا ۱۰ میلی ثانیه یک بار انجام شود.



شکل ۵۸-۱۳. سلول RAM گذرای تک ترانزیستور

شکل ۵۹-۱۳. هنگامی که ولتاژ خط کلمه انتخاب شده، افزایش می‌یابد، ترانزیستور هدایت می‌کند و خازن ذخیره کنندهٔ C_S را به خازن خط بیت C_B متصل می‌کند

حال عملیات DRAM را مفصل‌تر در نظر بگیرید. همانند RAM استاتیک رمز گشای سطر، یک سطر خاص را با بالا بردن ولتاژ خط کلمه آن انتخاب می‌کند. این امر باعث می‌شود که ترانزیستورهای دستیابی در سطر انتخاب شده هدایت کنند و خازن‌های ذخیره همه سلول‌های سطر انتخاب شده به خطوط بیت مرتبط، متصل شوند. بنابراین، خازن سلول C_S بطور موازی به خازن خط بیت C_B متصل می‌شود [مطابق شکل (۵۹-۱۳)] C_s معمولاً ۳۰ تا ۵۰fF و C_B، ۳۰ تا ۵۰ برابر بزرگتر است. حال، اگر عملیات خواندن باشد. خط بیت تا $V_{DD}/۲$ پیش شارژ می‌شود. برای پیدا کردن تغییرات ولتاژ خط بیت ناشی از اتصال خازن سلول C_s به آن، فرض کنید ولتاژ اولیه روی خازن سلول V_{CS} ($V_{CS}=V_{DD}-V_t$ در حالت ذخیره 1 و $V_{CS}=0$ در حالت ذخیره 0) باشد. با استفاده از قانون بقای بار می‌توانیم بنویسیم:

$$C_S V_{CS} + C_B \frac{V_{DD}}{۲} = (C_B + C_S)\left(\frac{V_{DD}}{۲} + \Delta V\right)$$

که می‌توانیم ΔV را بصورت زیر بنویسیم:

$$\Delta V = \frac{C_S}{C_B + C_S}\left(V_{CS} - \frac{V_{DD}}{۲}\right) \qquad (۱۳-۵۸)$$

و چون $C_B \gg C_S$ است، داریم:

$$\Delta V \cong \frac{C_S}{C_B}\left(V_{CS} - \frac{V_{DD}}{۲}\right) \qquad (۱۳-۵۹)$$

حال اگر سلول حاوی ۱ باشد، $V_{CS}=V_{DD}-V_t$ بوده و داریم:

$$\Delta V(1) \cong \frac{C_S}{C_B}\left(\frac{V_{DD}}{۲} - V_t\right) \qquad (۱۳-۶۰)$$

در حالی که اگر سلول حاوی *0* باشد. $V_{CS}=0$ بوده و داریم:

$$\Delta V(0) \cong -\frac{C_S}{C_B}\left(\frac{V_{DD}}{۲}\right) \qquad (۱۳-۶۱)$$

چون معمولاً C_B بسیار بزرگتر، از C_S است، ولتاژهای خواندن بسیار کوچک هستند. بطور مثال برای $C_B=۳۰C_S$ ، $V_{DD}=۵V$ و $V_t=۱/۵V$ ، $\Delta V(0)$ تقریباً $-۸۳mV$ و $\Delta V(۱)=۳۳mV$ است. این وضعیت در بهترین حالت است که در آن، سطح 1 در سلول ممکن است زیر $(V_{DD}-V_t)$ باشد. در تراشه‌های حافظه مدرن $V_{DD}=۳/۳V$ یا کمتر است. در هر صورت می‌بینیم که ذخیره شدن 1 در سلول منجر به کمی افزایش مثبت در ولتاژ خط بیت می‌شود در حالی که صفر ذخیره شده باعث کمی افزایش منفی می‌شود. توجه کنید که فرآیند خواندن مخرب است چون ولتاژ روی C_S، دیگر $(V_{DD}-V_t)$ یا صفر نخواهد بود.

تغییر ولتاژ خط بیت توسط تقویت کننده حسی ستون، احساس و تقویت می‌شود. سپس سیگنال تقویت شده به خازن ذخیره کننده اعمال می‌شود، بدین ترتیب سطح سیگنال تصحیح می‌شود (صفر یا $V_{DD}-V_t$)، بدین طریق همه سلول‌های سطر انتخاب شده تازه سازی می‌شوند. بطور همزمان، سیگنال خروجی تقویت کننده حسی ستون انتخاب شده از طریق رمز گشای ستون به خط خروجی داده تراشه اعمال می‌شود.

عملیات نوشتن همانند عملیات خواندن انجام می‌شود و تفاوت آن این است که داده‌ای که قصد نوشتن آن را داریم و به خط ورودی داده اعمال می‌شود، توسط رمز گشای ستون به خط بیت انتخاب شده نیز اعمال می‌شود. بدین ترتیب اگر بیت داده نوشته شده 1 باشد، ولتاژ خط B تا V_{DD} بالا می‌رود (یعنی C_B تا V_{DD} شارژ می‌شود). هنگامی که ترانزیستور دستیابی یک سلول خاص روشن می‌شود، خازن C_S آن تا $V_{DD}-V_t$ شارژ می‌شود و 1 در ستون نوشته می‌شود و بطور همزمان تمامی سلول‌های دیگر سطر انتخاب شده به سادگی تازه سازی می‌شوند.

اگر چه عملیات خواندن یا نوشتن بطور خودکار تمام سلول‌های سطر انتخاب شده را تازه سازی می‌کند، اما باید تازه سازی مرتب هر ۵ تا ۱۰ میلی ثانیه یک بار انجام شود. عملیات تازه سازی باید در حالت استراحت و سطر به سطر صورت گیرد. هنگام تازه سازی امکان خواندن یا نوشتن وجود ندارد. اما این موضوع چندان مهم نیست چون زمان لازم برای تازه سازی کل تراشه کمتر از دو درصد زمان بین چرخه‌های تازه سازی است. به عبارت دیگر، در ٪۹۸ اوقات تراشه آماده عملیات عادی است.

تمرین‌ها

۱۳-۲۲ در یک تراشه حافظه خاص، $C_s=۳۰fF$ ، $C_B=۱pF$ ، $V_{DD}=۵V$ ، $V_t=۱/۵V$ (شامل اثر بدنه) است، ولتاژ خروجی خواندن را برای 1 و 0 ذخیره شده به دست آورید. به خاطر آورید که در عملیات خواندن، خطوط بیت تا $V_{DD}/۲$ پیش شارژ می‌شوند.

جواب. $-۷/۵mV$ ، $۳۰mV$

۱۳-۲۳ یک DRAM ۶۴ مگابیتی که با تکنولوژی CMOS ، $۰/۴\mu m$ ساخته شده به $۲\mu m^2$ برای هر سلول نیاز دارد. اگر آرایه ذخیره، مربعی باشد، ابعاد آن را تخمین بزنید. اگر مدار بندی جانبی (مثلاً تقویت کننده حسی، رمز گشاها) ٪۳۰ به سطح تراشه اضافه کند، ابعاد تراشه را تخمین بزنید.

جواب. ۱۳/۲mm×۱۳/۲mm ؛ ۱۱/۶mm×۱۱/۶mm ❑

۱۳-۱۱ تقویت کننده‌های حسی و رمز گشاهای آدرس

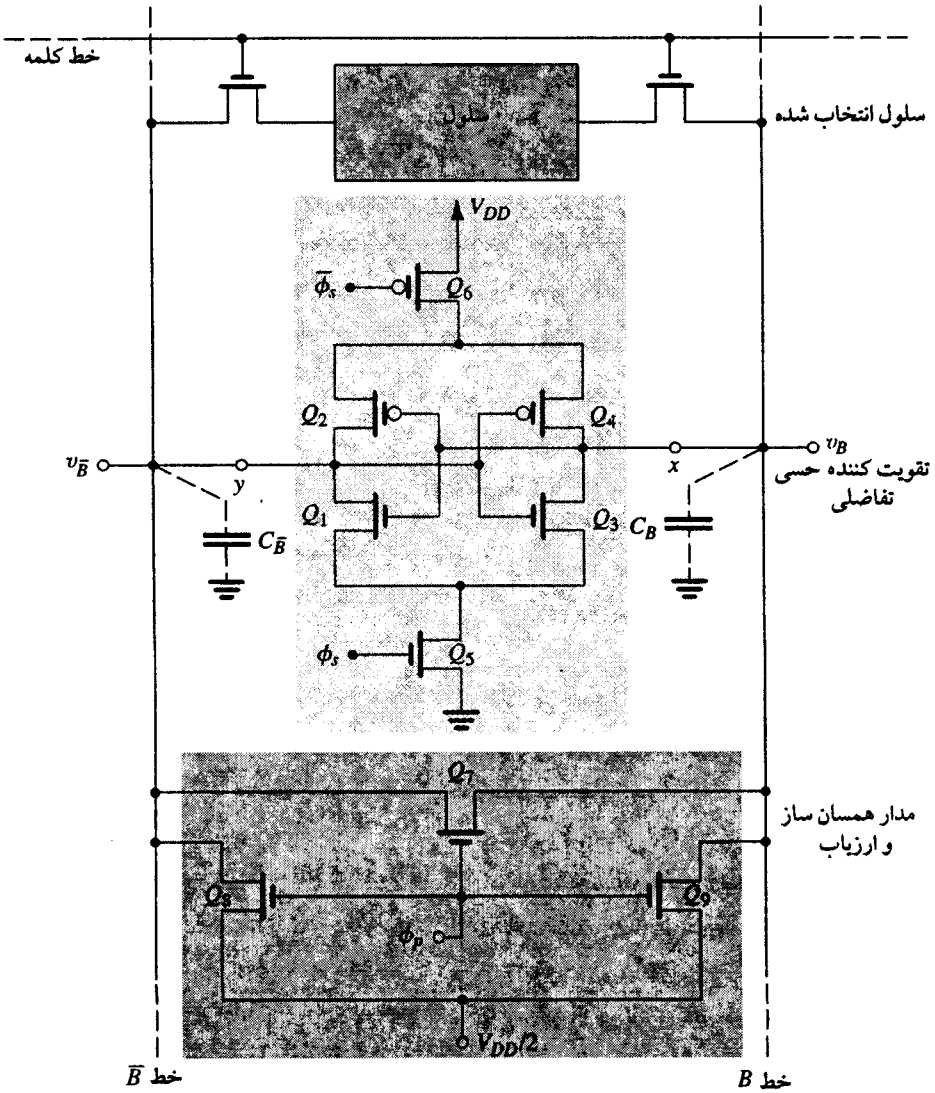
پس از مطالعه مدارهایی که معمولاً برای پیاده سازی سلول‌های ذخیره در SRAMها و DRAMها به کار می‌روند، مدارهای دیگر را در تراشه حافظه در نظر می‌گیریم. طراحی این مدارها که معمولاً به آن‌ها مدارهای جانبی می‌گویند تأثیر بسزایی در فشرده کردن تراشه‌های حافظه و کاهش توان مصرفی آن‌ها دارد.

۱-۱۱-۱۲ تقویت کننده حسی

تقویت کننده حسی، در کنار سلول‌های حافظه، بحرانی‌ترین عنصر در تراشه حافظه است. تقویت کننده‌های حسی برای عملکرد صحیح DRAMها اساسی هستند و استفاده از آن‌ها در SRAMها منجر به بهبود سرعت و سطح تراشه می‌شود.

طرح‌های متنوعی از تقویت کننده حسی وجود دارد، که برخی از آن‌ها بسیار شبیه تقویت کنندهٔ تفاضلی MOS بار فعال در بخش (۶-۶) است. در این جا تقویت کنندهٔ حسی تفاضلی را بررسی می‌کنیم که از فیدبک مثبت استفاده می‌کند. چون مدار، تفاضلی است می‌توان آن را مستقیماً برای SRAMها که از خطوط B و $\bar{B}$ استفاده می‌کنند، مستقیماً به کار برد. از طرف دیگر مدار DRAM تک ترانزیستور که در بخش قبل بررسی شد یک مدار تک انتهایی است که فقط از یک خط بیت استفاده می‌کند. اما می‌توان با استفاده از تکنیک "سلول غیر واقعی" که در ادامه آن را شرح می‌دهیم، مدار DRAM را شبیه مدار تفاضلی ساخت. بنابراین فرض می‌کنیم که سلول حافظه‌ای که خروجی آن باید تقویت شود، اختلاف ولتاژ خروجی خطوط B و $\bar{B}$ است. این سیگنال که می‌تواند در گستردهٔ ۳۰ تا ۵۰۰ میلی ولت باشد(بسته به نوع حافظه و طراحی سلول)، به پایانه‌های ورودی تقویت کننده حسی اعمال می‌شود. تقویت کننده حسی بنوبه خود نوسان کامل منطقی (صفر تا V_{DD}) را در پایانه‌های خروجی خود فراهم می‌کند. تقویت کننده حسی خاصی که آن را بررسی می‌کنیم یک ویژگی نامعمول دارد. یعنی پایانه‌های ورودی و خروجی آن یکی هستند.

تقویت کنندهٔ حسی با فیدبک مثبت. تقویت کننده حسی و قسمتی از مدار مربوط به ستون دیگر یک تراشه RAM در شکل (۶۰-۱۳) نشان داده شده است. توجه کنید که تقویت کننده حسی چیزی نیست جز همان قفل که با آن آشنایی دارید و از دو وارونگر CMOS با اتصال ضربدری تشکیل شده است: یک وارونگر با ترانزیستورهای Q_1 و Q_2 و دیگری با ترانزیستورهای Q_3 و Q_4. ترانزیستورهای Q_5 و Q_6 هنگامی که عمل



شکل ۶۰-۱۳. یک تقویت کنندهٔ حسی تفاضلی متصل شده به خطوط بیت یک ستون خاص این روش را می‌توان مستقیماً برای SRAM مورد استفاده قرار داد (که از هر دو خط B و $\bar{B}$ استفاده می‌کند). DRAMها را می‌توان با بهره‌گیری از سلول غیر واقعی شکل (۶۱-۱۳) مانند مدارهای تفاضلی مورد استفاده قرار داد.

حس کردن داده لازم است، در نقش سوئیچ عمل کرده تقویت کننده حسی را به زمین و V_{DD} متصل می‌کنند. در غیر این صورت، ϕ_s در حالت پایین بوده و تقویت کنندهٔ حسی خاموش می‌باشد. این امر باعث صرفه جویی می‌شود که نکته مهمی است چون برای هر ستون یک تقویت کنندهٔ حسی وجود دارد که برای کل تراشه هزاران تقویت کننده حسی می‌شود. مجدداً یاد آوری می‌کنیم که پایانه‌های x و y هم پایانه‌های ورودی و هم پایانه‌های خروجی تقویت کننده هستند. چنانچه نشان داده شده، این پایانه‌های I/O به خطوط B و $\bar{B}$ متصل شده‌اند. تقویت کننده باید سیگنال کوچک ظاهر شده بین B و $\bar{B}$ را آشکار کرده، آن را تقویت کند و امکان نوسان کامل را در B و $\bar{B}$ فراهم آورد. برای مثال اگر در حین عملیات خواندن، سلول 1 را ذخیره کرده باشد، سیگنال بین B و $\bar{B}$ مثبت است و v_B بزرگتر از $v_{\bar{B}}$ می‌باشد. سپس تقویت کننده v_B را به V_{DD} و $v_{\bar{B}}$ را به صفر ولت می‌رساند. سپس خروجی 1 توسط رمز گشای ستون (که نشان داده نشده) مستقیماً به پایه I/O تراشه داده می‌شود و در همان زمان برای بازنویسی 1 در سلول DRAM مورد استفاده قرار می‌گیرد عملیات بازنویسی لازم است چون خواندن از DRAM یک عملیات مخرب است.

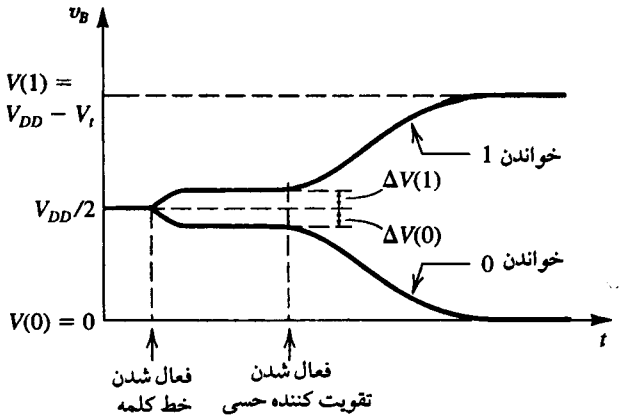
شکل (۶۰-۱۳) مدار پیش شارژ و همسان سازی را نشان می‌دهد. طرز کار این مدار آسان است: هنگامی که ϕ_p قبل از عملیات خواندن به حالت بالا می‌رود، هر سه ترانزیستور هدایت می‌کنند. در زمانی که Q_8 و Q_9 خطوط B و $\bar{B}$ را تا $V_{DD}/2$ پیش شارژ می‌کنند، ترانزیستور Q_7 با مساوی کردن ولتاژهای دو خط به این کار سرعت می‌بخشد. این همسان سازی برای عملکرد صحیح تقویت کننده حسی، بسیار مهم است. هر اختلاف ولتاژی بین B و $\bar{B}$ قبل از آغاز عملیات خواندن می‌تواند منجر به وقفه بی مورد در سیگنال ورودی تقویت کننده حسی شود. در شکل (۶۰-۱۳) فقط یکی از سلول‌های این ستون خاص یعنی سلولی که خط کلمه‌اش فعال شده، به نمایش در آمده است. سلول می‌تواند یک سلول SRAM یا DRAM باشد. همه سلولهای دیگر این ستون به خطوط B و $\bar{B}$ متصل نخواهند شد (چون خطوط کلمه آن‌ها در حالت پایین می‌ماند).

حال بیایید مراحل عملیات خواندن را بترتیب مرور کنیم:

۱- مدار پیش شارژ و همسان ساز با افزایش سیگنال کنترل ϕ_p فعال می‌شود. با این کار ولتاژ خطوط B و $\bar{B}$ مساوی $V_{DD}/2$ می‌شود. پس ساعت ϕ_p به حالت پایین می‌رود. و خطوط B و $\bar{B}$ برای مدت کوتاهی به حالت شناور می‌روند.

۲- خط کلمه به حالت بالا می‌رود و سلول را به خطوط B و $\bar{B}$ متصل می‌کند، سپس ولتاژ به B و $\bar{B}$ می‌رسد، اگر سلول حاوی 1 باشد v_B بزرگتر از $v_{\bar{B}}$ و اگر حاوی 0 باشد v_B کوچکتر از $v_{\bar{B}}$ است. برای آسانی طراحی سلول و سرعت کار بیشتر، سیگنال خواندن که سلول باید به B و $\bar{B}$ اعمال کند، کوچک است (معمولاً ۳۰ تا ۵۰۰ میلی ولت).

۳- هنگامی که اختلاف ولتاژ کافی بین خط B و $\bar{B}$ توسط سلول ذخیره کننده فراهم شد، تقویت کننده حسی با اتصال به زمین و V_{DD} از طریق Q_5 و Q_6 و افزایش سیگنال کنترل ϕ_s روشن می‌شود. چون در آغاز



شکل ۶۱-۱۳. شکل موج‌های v_B قبل و بعد از فعال شدن تقویت کننده حسی. در عملیات خواندن 1 ، تقویت کننده حسی باعث افزایش اولیه $\Delta V(1)$ بصورت نمایی به سمت V_{DD} می‌شود. در عملیات خواندن 0 ، $\Delta V(0)$ منفی به سمت صفر نزدیک می‌شود شکل موج‌های مکمل روی خط $\bar{B}$ وجود دارند.

پایانه‌های ورودی وارونگر در ولتاژ $V_{DD}/2$ هستند، وارونگرها در ناحیه گذر عمل کرده و بهره آنها بالاست (بخش ۲-۱۳)، بنابراین قفل در ابتدا در نقطه موازنه ناپایدار است و بر اساس سیگنال بین پایانه‌های ورودی، سریعاً به یکی از نقاط تعادل پایدارش می‌رود (بخش ۷-۱۳). این عمل بواسطه باز تولید ذاتی فیدبک مثبت انجام می‌شود. شکل (۶۱-۱۳) این نکته را با نشان دادن شکل موج سیگنال خط بیت برای خواندن 1 و خواندن 0 ، بوضوح نشان می‌دهد. دقت کنید که هنگامی که تقویت کننده حسی یک بار فعال شد باعث می‌شود اختلاف اولیه کوچک $\Delta V(1)$ یا $\Delta V(0)$ که توسط سلول فراهم شده، بطور نمایی به V_{DD} (برای خواندن 1) یا صفر (برای خواندن 0) برسد. شکل موج سیگنال روی خط $\bar{B}$ متمم آن چیزی است که در شکل (۶۱-۱۳) برای خط B نشان داده شده است. در ادامه نحوه رشد نمایی v_B و $v_{\bar{B}}$ را بررسی می‌کنیم.

نگاهی دقیق‌تر به طرز کار تقویت کننده حسی. به دست آوردن عبارتی دقیق برای سیگنال خروجی تقویت کننده حسی شکل (۶۰-۱۳) کاری نسبتاً پیچیده است که نیاز به استفاده از مدل‌های سیگنال-بزرگ (و بنابراین غیر خطی) VTC وارونگر و به حساب آوردن فیدبک مثبت دارد. در این جا قصد محاسبه دقیق را نداریم، در عوض، عملکرد آن را در حالت میانه در نظر می‌گیریم.

به یاد آورید که زمان فعال شدن تقویت کننده حسی، هر یک از دو وارونگر آن در ناحیه گذر در $V_{DD}/2$ کار می‌کند. بدین ترتیب در حالت سیگنال-کوچک هر وارونگر را می‌توان با استفاده از g_{mn} و g_{mp} مدل کرد که بترتیب هدایت انتقالی Q_N و Q_P هستند و با بایاس ورودی $V_{DD}/2$ می‌باشند. مشخصاً یک سیگنال کوچک v_i که در ورودی هر یک از وارونگرها به $V_{DD}/2$ اضافه شده باعث افزایش جریان خروجی وارونگر

به میزان $(g_{mn}+g_{mp})v_i \equiv G_m v_i$ می‌شود. این جریان خروجی به یکی از خازن‌های C_B یا $C_{\bar{B}}$ تحویل می‌شود. بدین ترتیب ولتاژ داده شده به یک خازن به وارونگر دیگراعمال می‌شود و در G_m آن ضرب می‌شود و باعث افزایش جریان خروجی اعمال شده به سایر خازن‌ها می‌گردد و این عمل بصورت باز تولید تکرار می‌شود. فیدبک مثبت در این حلقه بدان معناست که سیگنال پیرامون حلقه و بنابراین v_B و $v_{\bar{B}}$ بصورت نمایی کاهش یا افزایش می‌یابد [شکل (۶۱-۱۳) را ببینید] و ثابت زمانی آن (C_B/G_m) [یا $(C_{\bar{B}}/G_m)$ چون فرض کرده‌ایم $C_B=C_{\bar{B}}$ است] می‌باشد، بنابراین بطور مثال برای خواندن 1 داریم:

$$v_B = \frac{V_{DD}}{۲} + \Delta V(1)\, e^{(G_m/C_B)t}\,,\ v_B \le V_{DD} \qquad (۱۳-۶۲)$$

در حالی که در عملیات خواندن 0 داریم:

$$v_B = \frac{V_{DD}}{۲} - \Delta V(۰)\, e^{(G_m/C_B)t} \qquad (۱۳-۶۳)$$

از آن جا که این رابطه‌ها بر اساس عملکرد سیگنال-کوچک به دست آمده‌اند، رشد (کاهش) نمایی v_B را فقط برای مقادیر نزدیک به $V_{DD}/۲$ را توصیف می‌کنند. با وجود این، آن‌ها را می‌توان برای تخمین منطقی زمان لازم برای رسیدن سطح سیگنال به مقدار خود روی خط بیت، مورد استفاده قرار دارد.

مثال ۷-۱۳

مدار تقویت کننده حسی شکل (۶۰-۱۳) را در حالت خواندن 1 در نظر بگیرید. فرض کنید که سلول ذخیره کننده افزایش ولتاژ روی خط B را به میزان $\Delta V\ (1)=۰/۱\text{V}$ ایجاد می‌کند، اگر قطعات NMOS تقویت کننده دارای $(W/L)_n=۱۲\mu\text{m}/۴\mu\text{m}$ و قطعات PMOS دارای $(W/L)_p=۳۰\mu\text{m}/۴\mu\text{m}$ باشند، و با این فرض که پارامترهای دیگر، همانند مثال (۶-۱۳) باشند، زمان لازم برای رسیدن v_B به ۴/۵V چقدر است؟ فرض کنید $C_B=۱\text{pF}$ باشد.

حل:

ابتدا هدایت انتقالی g_{mn} و g_{mp} را محاسبه می‌کنیم:

$$g_{mn} = \mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{GS} - V_t)$$

$$= ۵۰\times\frac{۱۲}{۴}(۲/۵ - ۱)$$

$$= ۰/۲۲۵\text{mA/V}$$

$$g_{mp} = \mu_p C_{ox}\left(\frac{W}{L}\right)_p (V_{GS} - |V_t|)$$

$$= ۲۰\times\frac{۳۰}{۴}(۲/۵ - ۱) = ۰/۲۲۵\text{mA/V}$$

بنابراین G_m وارونگر عبارت است از:

$$G_m = g_{mn} + g_{mp} = ۰/۴۵\text{mA/V}$$

و ثابت زمانی t برای رشد نمایی v_B مقدار زیر خواهد بود:

$$\tau \equiv \frac{C}{G_m} = \frac{۱\times۱۰^{-۱۲}}{۰/۴۵\times۱۰^{-۳}} = ۲/۲۲\text{ns}$$

حال می‌توانیم زمان Δt را برای رسیدن v_B به ۴/۵V بصورت زیر حساب کنیم:

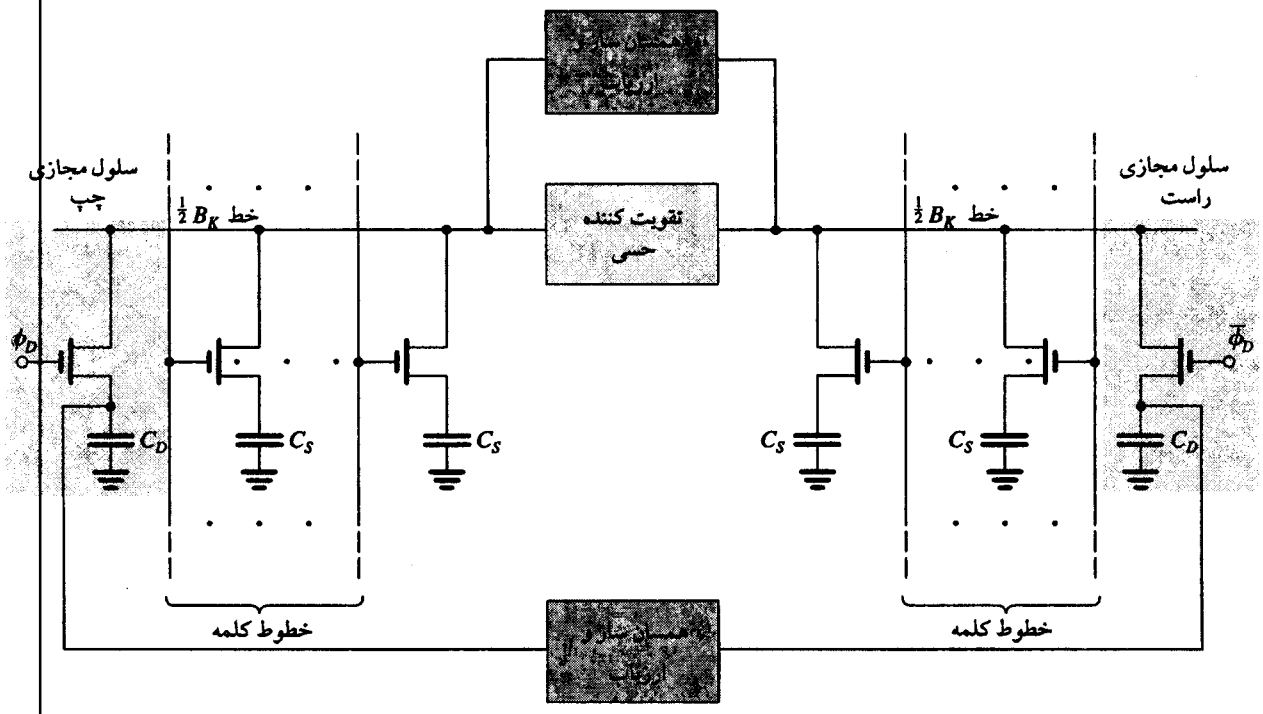
$$۴/۵ = ۲/۵ + ۰/۱e^{\Delta t/۲۲/۲}$$

که منجر به مقدار مقابل می‌شود: $\Delta t=۶/۶۵\text{ns}$

ایجاد عملکرد تفاضلی در RAMهای گذرا. تقویت کننده حسی که مورد بحث قرار گرفت، سیگنال‌های تفاضلی ظاهر شده بین خطوط بیت را تقویت می‌کند. بنابراین توانایی حذف سیگنال‌های تداخلی را که بین دو خط مشترک هستند مانند سیگنال‌هایی که باعث تزویج خازنی خطوط کلمه می‌شوند، دارد. برای این که این حذف حالت مشترک، موثر باشد، باید توجه خاصی جهت تطبیق دو طرف تقویت کننده و مدارهایی که هر طرف را تغذیه می‌کنند، مبذول گردد. این امر نکته مهمی، است که برای تفاضلی کردن سیگنال خروجی سلول DRAM که ذاتاً تک انتهایی است مورد توجه قرار گیرد. می‌خواهیم یک طرح هوشمندانه برای انجام این خواسته ارائه نماییم. اگر چه این تکنیک قدیمی است، اما هنوز مورد استفاده قرار می‌گیرد. این روش در شکل (۶۲-۱۳) تشریح شده است.

هر خط بیت به دو نیمه یکسان تقسیم می‌شود. هر نیمه خط به نیمه سلول‌های ستون و یک سلول اضافی که به نام سلول غیر واقعی شناخته می‌شود و دارای خازن $C_D=C_S$ است متصل می‌شود. هنگامی که یک خط کلمه در طرف چپ برای خواندن انتخاب می‌شود، سلول غیر واقعی طرف راست (که با $\bar{\phi}_D$ کنترل می‌شود) نیز انتخاب می‌شود، بر عکس این امر نیز صادق است، یعنی هنگامی که یک خط کلمه در طرف راست انتخاب می‌شود، سلول غیر واقعی طرف چپ (که با ϕ_D کنترل می‌شود) نیز انتخاب می‌شود. در حقیقت سلول غیر واقعی نقش نیمه دیگر تفاضلی را برای سلول DRAM بازی می‌کند. هنگامی که خط بیت نیمه چپ در حال کار است، خط بیت نیمه راست بعنوان مکمل آن (یا خط $\bar{B}$) عمل می‌کند و عکس این مطلب نیز صادق است.

عملکرد مدار شکل (۶۲-۱۳) بصورت زیر است: دو نیمه خط تا $V_{DD}/۲$ پیش شارژ می‌شوند و ولتاژ آنها یکسان می‌شود. در ضمن، خازن‌های دو سلول غیر واقعی نیز تا $V_{DD}/۲$ پیش شارژ می‌شوند. سپس خط کلمه انتخاب شده و سلول غیر واقعی طرف دیگر فعال می‌شود (ولتاژ ϕ_D یا $\bar{\phi}_D$ به V_{DD} می‌رسد). بدین ترتیب نیمه خط به سلول انتخاب شده متصل می‌شود و افزایش ولتاژ خواهد داشت (بیش از $V_{DD}/۲$) مقادیر $\Delta V\ (1)$ یا $\Delta V\ (0)$ بسته به این که 1 یا 0 در سلول ذخیره شده باشد. در ضمن نیمه دیگر خط ولتاژ خود را در مساوی ولتاژ C_D (یعنی $V_{DD}/۲$) نگه می‌دارد. نتیجه یک سیگنال تفاضلی $\Delta V\ (1)$ یا $\Delta V\ (0)$ است که تقویت کننده حسی هنگامی که فعال شود آن را آشکار و تقویت می‌کند. مطابق معمول عمل باز تولید تقویت کننده باعث می‌شود که در یک نیمه ولتاژ را به V_{DD} و در طرف دیگر به صفر ولت برسد.



شکل ۶۲-۱۳. روشی برای دستیابی به عملیات تفاضلی در یک سلول DRAM تک انتهایی. توجه کنید در دو انتهای راست و چپ قرار گرفته‌اند.

تمرین‌ها

۱۳-۲۴ می‌خواهیم زمان Δt تقویت‌کننده حسی مدار مثالی (۷-۱۳) را با افزایش g_m ترانزیستورها (ضمن حفظ منطبق بودن وارونگرها)، به ۴ns کاهش دهیم. نسبت‌های (W/L) قطعات کانال p و n باید چقدر باشد؟
جواب. $(W/L)_p$=۱۲/۵ و $(W/L)_n$=۵

۱۳-۲۵ اگر در تقویت‌کننده حسی مثال (۷-۱۳)، سیگنال سلول از نظر اندازه نصف شود (یعنی فقط $50mV$)، Δt چقدر می‌شود؟
جواب. ۸/۱۹ns، افزایش ۲۳٪ ❑

۱۳-۱۱-۲ رمزگشای آدرس سطر

چنانچه در بخش (۹-۱۳) بررسی شد، رمزگشای آدرس سطر باید یکی از 2^M خط کلمه را در پاسخ به ورودی آدرس Mبیتی، انتخاب نماید. بعنوان مثال، حالتی را در نظر بگیرد که M=۳ بوده و سه بیت آدرس A_0، A_1 و A_2 و هشت خط کلمه W_0، W_1، ...، W_7 را مشخص می‌کند. بنابراین می‌توانیم W_0 را بصورت تابع بولی از A_0، A_1 و A_2 بنویسیم:

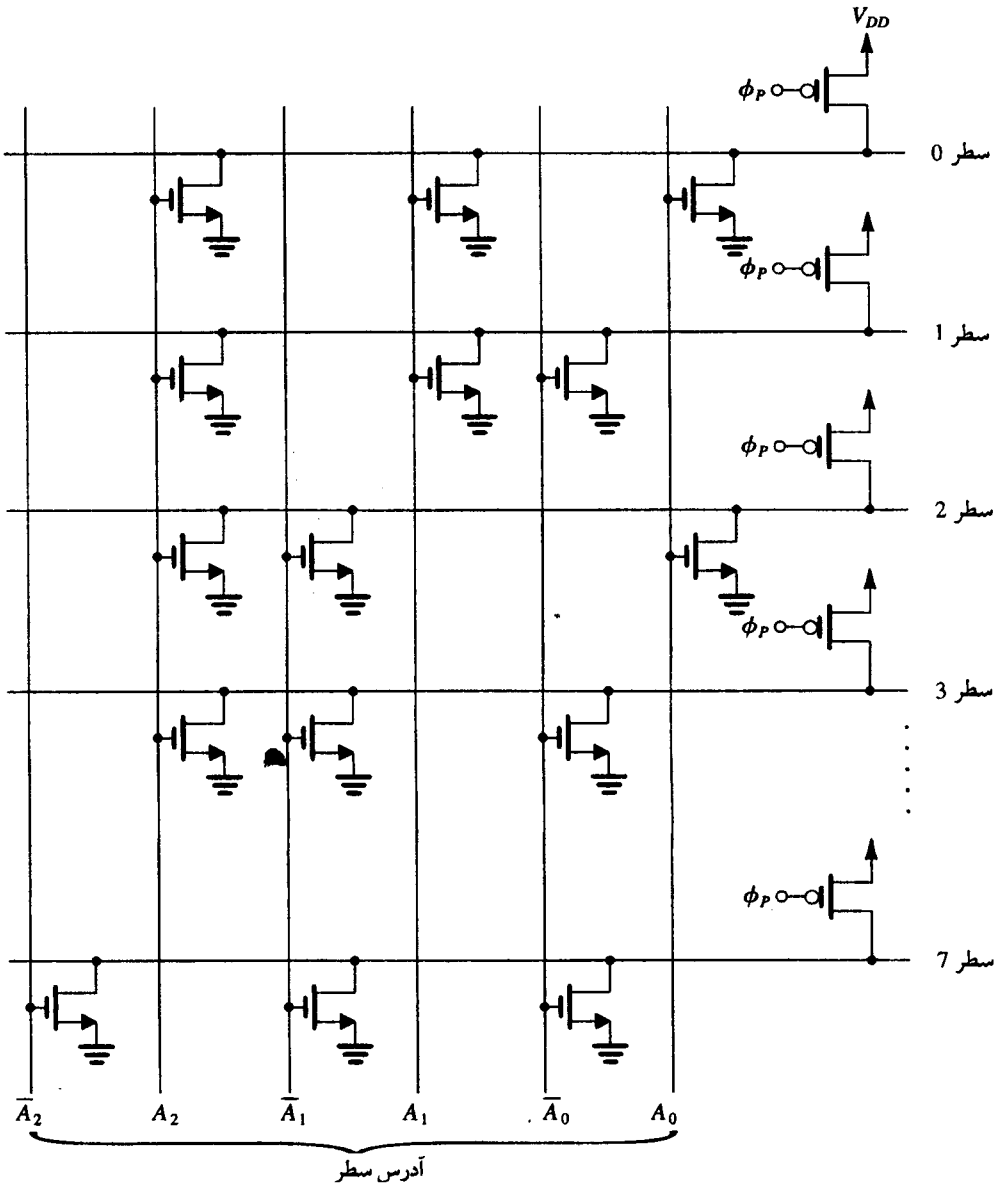
$$W_0 = \bar{A}_0\bar{A}_1\bar{A}_2 = \overline{A_0 + A_1 + A_2}$$

بنابراین توسط یک گیت NOR سه ورودی که ورودی‌های آن به A_0، A_1 و A_2 خروجی آن به خط کلمه 0 متصل شده، می‌توان W_0 را انتخاب کرد. خط کلمه W_3 هنگامی در حالت بالاست که A_0=1، A_1=1 و A_2=0 باشد، بنابراین:

$$W_3 = A_0A_1\bar{A}_2 = \overline{\bar{A}_0 + \bar{A}_1 + A_2}$$

بنابراین انتخاب W_3 را می‌توان با یک گیت NOR سه ورودی که ورودی‌های آن به $\bar{A}_0$، $\bar{A}_1$ و A_2 و خروجی آن به خط کلمه ۳ متصل شده است، تحقق داد. پس با هشت گیت NOR سه ورودی می‌توان این رمز گشای آدرس را ساخت. ورودی‌های هر گیت NOR با ترکیبی مناسب از بیت‌های آدرس و متمم‌های آن‌ها که متناظر با خط کلمه که به خروجی آن متصل می‌شود، می‌باشد.

یک روش ساده برای تحقق این توابع NOR، ساختار ماتریس نشان داده شده در شکل (۶۳-۱۳) می‌باشد. این مدار از نوع گذرا می‌باشد که هر خط سطر به یک قطعه کانال p متصل می‌شود که توسط فرآیند رمز گشایی فعال می‌گردد و این عمل نیز با سیگنال کنترلی پیش شارژ ϕ_P صورت می‌گیرد. در مدت پیش شارژ (ϕ_P در حالت پایین)، همه خطوط کلمه به ولتاژ V_{DD} می‌رسند، فرض می‌شود که در این زمان بیت‌های ورودی آدرس هنوز مورد استفاده قرار نگرفته‌اند و همه ورودی‌ها در حالت پایین هستند، بنابراین نیازی به مداری که ترانزیستورهای مورد استفاده در گیت‌های منطقی گذرا را ارزیابی کند، احساس نمی‌شود. سپس، هنگامی که بیت‌های آدرس و متمم‌های آن‌ها به مدار اعمال شود، عملیات رمزگشایی آغاز می‌شود توجه کنید که ترانزیستورهای NMOS بگونه‌ای قرار گرفته‌اند که خطوط کلمه انتخاب نشده تخلیه نخواهند شد. برای هر ترکیب ورودی، تنها یک خط کلمه تخلیه نخواهد شد و بنابراین ولتاژ آن در V_{DD} ثابت می‌ماند. برای مثال، سطر 0 فقط هنگامی که A_0=0، A_1=0 و A_2=0 باشد انتخاب می‌شود و این، تنها ترکیبی است که منجر به خاموش شدن هر سه ترانزیستور متصل به سطر 0 می‌شود. بطور مشابه ترانزیستورهای سطر ۳ به



شکل ۶۳-۱۳. یک رمز گشای آدرس NOR بصورت آرایه. یکی از هشت خط (خطوط سطر) با استفاده از آدرس سه بیتی انتخاب می‌شود.

$\bar{A}_0$، $\bar{A}_1$ و A_2 متصل هستند و بنابراین هنگامی این سطر در حالت بالاست که $A_0=1$، $A_1=1$ و $A_2=0$ باشد. پس از پایدار شدن خروجی رمز گشا، خطوط خروجی معمولاً از طریق گیت‌های انتقال کنترل شده با پالس ساعت به خطوط کلمه آرایه متصل می‌شود. این رمزگشا به رمزگشای NOR معروف است. توجه کنید که بعلت عملیات پیش شارژ، مدار رمزگشا، توان استاتیک مصرف نمی‌کند.

تمرین

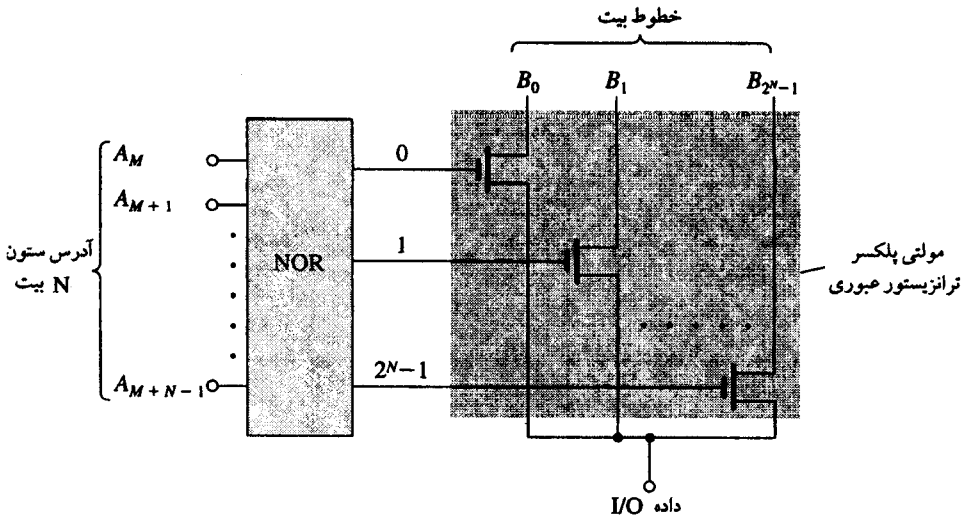
۱۳-۲۶ برای یک رمز گشای سطر NOR با M بیت آدرس، به چند ترانزیستور نیاز داریم.

جواب. $M\,2^M$ NMOS + 2^M PMOS = $2^M\,(M+1)$ ❑

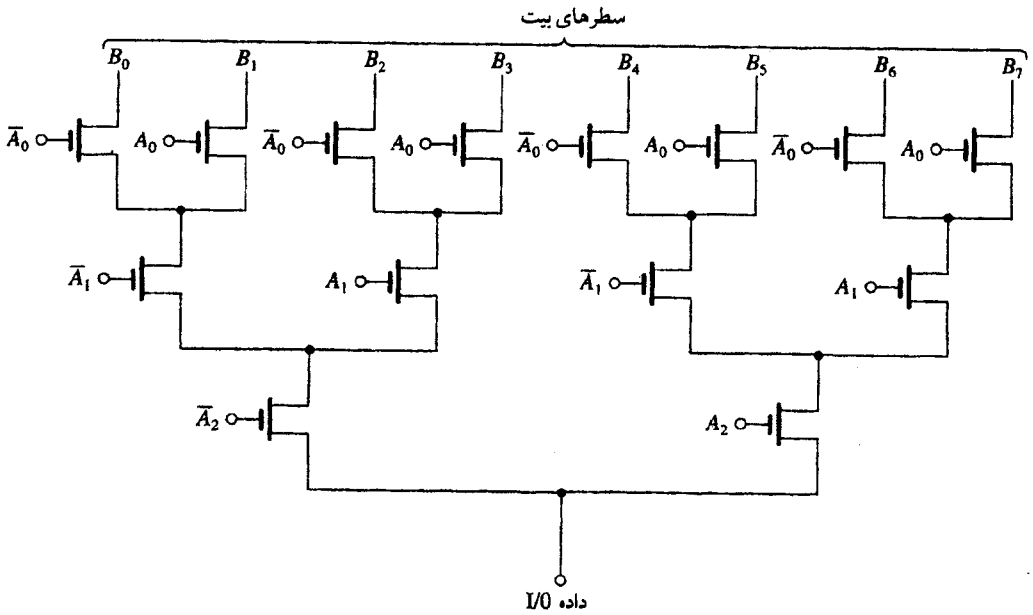
۱۳-۱۱-۳ رمز گشای آدرس ستون

با توجه به مطالب بخش (۹-۱۳)، وظیفه رمز گشای آدرس ستون، اتصال یکی از 2^N خط بیت به خط I/O داده تراشه است؛ بنابراین یک مالتی پلکسر می‌باشد که می‌توان آن را مطابق شکل (۶۴-۱۳) با منطق ترانزیستور عبوری ساخت. در این جا هر خط بیت از طریق یک ترانزیستور NMOS به خط I/O داده تراشه متصل می‌شود. گیت‌های ترانزیستورهای عبوری توسط 2^N خط کنترل می‌شود که یکی از آنها مشابه رمز گشای آدرس سطر توسط رمز گشای NOR انتخاب می‌گردد.

یک تحقق دیگر از رمزگشای ستون که از ترانزیستورهای کمتر (اما سرعت پایین‌تر) استفاده می‌کند در شکل (۶۵-۱۳) نشان داده شده است. این مدار بعنوان رمزگشای درختی که ساختار ساده‌ای از ترانزیستورهای عبوری است، شناخته می‌شود. متأسفانه، چون تعداد ترانزیستورها در مسیر



شکل ۶۴-۱۳. رمز گشای ستون تحقق یافته از ترکیب رمز گشای NOR و مالتی پلکسر ترانزیستور عبوری



شکل ۶۵-۱۳. یک رمز گشای سه ستونی. توجه کنید که خطوط پر رنگ ترانزیستورهایی را نشان می‌دهند که هنگام $A_0=1$، $A_1=0$ و $A_2=1$ هدایت می‌کنند و این آدرسی است که منجر به اتصال B_5 به خط داده می‌شود.

سیگنال نسبتاً زیاد است، مقاومت خطوط بیت افزایش می‌یابد و متناظر با آن سرعت نیز پایین می‌آید.

تمرین

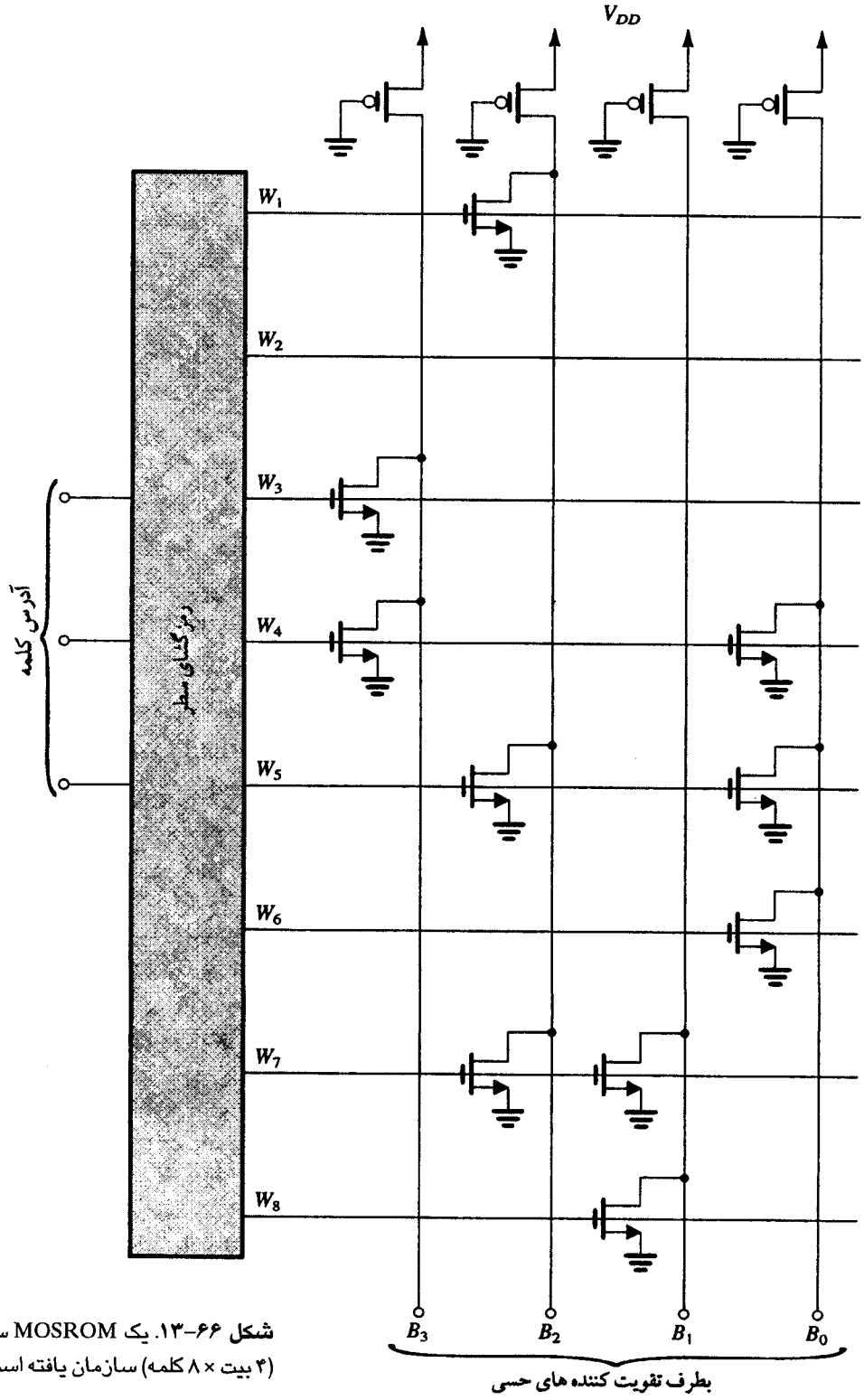
۱۳-۲۷ برای یک رمزگشای درختی با 2^N خط بیت، به چند ترانزیستور نیاز داریم؟

جواب. $2(2^N-1)$ ❑

۱۳-۱۲ حافظه فقط خواندنی ROM

چنانچه در بخش (۹-۱۳) اشاره کردیم حافظه فقط خواندنی (ROM) دارای الگوی دادهٔ غیر قابل تغییر است، که کاربردهای گوناگونی در سیستم‌های دیجیتال دارد. متداول‌ترین کاربرد آن در سیستم‌های ریز پردازنده برای ذخیره دستورالعمل‌های برنامه عملکرد سیستم است، چون غیر فرّار می‌باشد و حتی در صورت قطع تغذیه اطلاعات خود را از دست نمی‌دهد.

یک ROM را می‌توان یک مدار منطقی ترکیبی دانست که ورودی آن مجموعه‌ای از بیت‌های آدرس ROM و خروجی آن مجموعه‌ای از بیت‌های ذخیره شده داده است که از محل‌های آدرس دهی شده بازیابی می‌شود. با توجه به این نکته، کاربر دیگری از ROM در تبدیل رمز -یعنی تبدیل رمز سیگنال یک سیستم (مثلاً دودویی) به رمز دیگر- آشکار می‌گردد. برای مثال، از تبدیل رمز در سیستم‌های مخابراتی امنیتی که از آن به رمز نگاری یاد می‌شود، استفاده می‌شود. در این عمل، رمز داده‌ای را که



شکل ۶۶-۱۳. یک MOSROM ساده که بصورت (۴ بیت × ۸ کلمه) سازمان یافته است.

قصد ارسال آن را داریم، به ROM منتقل می‌کنیم و در سمت گیرنده نیز توسط یک ROM که عمل عکس را انجام می‌دهد، داده‌ها بازیابی می‌شود. در این بخش، انواع حافظه فقط خواندنی را بررسی می‌کنیم که شامل ROM ثابت، که به آن اختصاراً ROM می‌گوییم، ROM قابل برنامه ریزی (PROM)، و ROM قابل برنامه ریزی و پاک شدن (EPROM)، می‌باشد.

یک ROM از نوع MOS

در شکل (۶۶-۱۳) یک ROM ساده ۳۲ بیتی (۴ بیت × ۸ کلمه) از نوع MOS نشان داده شده است. این حافظه شامل یک آرایه از MOSFETهای افزایشی است که گیت‌های آن‌ها به خطوط کلمه، سورس‌های آن‌ها به زمین و درین‌های آن‌ها به خطوط بیت متصل شده است. هر خط بیت همانند منطق شبه NMOS از طریق مقاومت بار PMOS به منبع تغذیه اتصال یافته

است. اگر سلول حاوی 0 باشد، یک ترانزیستور NMOS در آن سلول وجود دارد و در صورتی که حاوی 1 باشد، ترانزیستور MOSFET ندارد. این ROM دارای ۸ کلمه ۴ بیتی است. رمز گشای سطر یکی از هشت خط کلمه را با بالا بردن ولتاژ خط کلمه متناظر انتخاب می‌کند. سپس ترانزیستورهای سلول متصل به این خط کلمه، هدایت می‌کنند و ولتاژ خطوط بیت را (که ترانزیستورهای سطر انتخاب شده به آن‌ها متصل هستند) از V_{DD} به ولتاژی در حدود ولتاژ زمین می‌رسانند (سطح 0 منطقی). خطوط بیتی که به سلول‌های جدول ترانزیستور کلمه انتخاب شده (حاوی 1) متصل هستند، بعلت عملکرد قطعات بار PMOS در ولتاژ منبع تغذیه (1 منطقی) باقی می‌مانند. بدین طریق می‌توان بیت‌های کلمه آدرس دهی شده را خواند.

عیب مدار ROM شکل (۶۶-۱۳) این است که توان استاتیک مصرف می‌کند. مخصوصاً هنگامی که یک کلمه انتخاب می‌شود، ترانزیستورهای این سطر، جریان استاتیک هدایت می‌کنند که توسط ترانزیستورهای بار PMOS تأمین می‌شود. می‌توان با تغییر کوچکی توان مصرفی استاتیک را حذف کرد؛ به جای زمین کردن پایانه‌های گیت ترانزیستورهای PMOS، می‌توان آن‌ها را به خط پیش شارژ ϕ که در حالت عادی در وضعیت بالا قرار دارد، متصل نمود. درست قبل از عملیات خواندن، ϕ به حالت پایین می‌آید و خطوط بیت از طریق ترانزیستورهای PMOS تا ولتاژ V_{DD} شارژ می‌شوند، سپس سیگنال پیش شارژ ϕ به حالت بالا می‌رود و خط کلمه انتخاب می‌شود، خطوط بیتی که در کلمه انتخاب شده دارای ترانزیستور هستند، تخلیه شده و این بدان معناست که حاوی 0 می‌باشند، در حالی که خطوط بدون ترانزیستور در ولتاژ V_{DD} هستند یعنی حاوی 1 می‌باشند.

تمرین

۱۳-۲۸ هدف از این تمرین تخمین زمان‌های تأخیر گوناگون عملکرد یک ROM است. ROM شکل (۶۶-۱۳) را در حالتی که گیت‌های قطعات PMOS از زمین جدا شده و به سیگنال کنترلی پیش شارژ ϕ متصل شده در نظر بگیرید. فرض کنید همه قطعات NMOS دارای $W/L=6\mu m/2\mu m$ و قطعات PMOS دارای $W/L=24\mu m/2\mu m$، و $\mu_n C_{ox}=50\mu A/V^2$، $\mu_p C_{ox}=20\mu A/V^2$، $V_{tn}=-V_{tp}=1V$ و $V_{DD}=5V$ باشد.

(الف) در بازه زمانی پیش شارژ، ϕ تا صفر ولت پایین می‌آید. زمان تخمینی لازم برای شارژ خط بیت از صفر تا ۵ ولت چقدر است؟ از جریان تأمین شده توسط ترانزیستور PMOS هنگامی که ولتاژ خط بیت ۲/۵V است بعنوان مقدار میانگین جریان استفاده کنید. ظرفیت خازنی خط بیت ۲pF و $V_{DD}=5V$ است.

(ب) بعد از بازه زمانی پیش شارژ، ϕ مجدداً به V_{DD} بر می‌گردد و رمز گشای سطر ولتاژ خط کلمه انتخاب شده را بالا می‌برد. بعلت محدود بودن مقاومت و ظرفیت خازنی خط کلمه، ولتاژ بصورت نمایی به سمت V_{DD} افزایش می‌یابد. اگر مقاومت هر یک از خطوط کلمه پلی سیلیکونی ۳kΩ و ظرفیت بین خط کلمه و زمین ۳pF باشد، زمان صعود (۱۰٪ تا ۹۰٪) ولتاژ خط کلمه چقدر است؟ در پایان یک ثابت زمانی، ولتاژ به چه مقداری می‌رسد؟

(پ) اگر افزایش نمایی ولتاژ خط کلمه را بصورت پله‌ای (هر پله مساوی افزایش ولتاژ در یک ثابت زمانی) تقریب بزنیم. بازهٔ زمانی لازم (Δt) برای تخلیه خط بیت و پایین آوردن ولتاژ آن به اندازه ۰/۵V، توسط ترانزیستور NMOS چقدر است. (فرض می‌شود که تقویت کنندهٔ حسی به ۰/۵V تغییر در ورودی نیاز دارد تا بیت در حالت پایین را آشکار کند).

جواب. (الف) ۶/۱ns (ب) ۱۹/۸ns (پ) ۲/۹ns ❑

ROMهای قابل برنامه ریزی پوششی

اطلاعات یک ROM بر اساس نیاز کاربر در زمان ساخت تعیین می‌شود. اما به منظور اجتناب از طراحی سفارشی (که کاری پر هزینه است)، از فرآیندی به نام **برنامه‌ریزی پوششی** استفاده می‌شود. همان طور که در ضمیمه الف خواهیم گفت، مدارهای مجتمع روی یک پولک سیلیکونی با استفاده از یک رشته فرآیند که شامل پوشش نوری، حکاکی و نفوذ است، ساخته می‌شوند. در این روش، الگویی از اتصالات و ارتباطات داخلی روی سطح پولک ایجاد می‌شود. یکی از مراحل پایانی ساخت، پوشش سطح پولک با یک لایه آلومینیوم است و آلومینیوم تنها در محل‌هایی که باید ارتباط داشته باشند باقی می‌ماند. این مرحله پایانی را می‌توان برای برنامه ریزی ROM (یعنی ذخیره الگوی دلخواه) مورد استفاده قرار داد. بطور مثال اگر ROM از ترانزیستورهای MOS افزایشی [مانند شکل (۶۶-۱۳)] ساخته شده باشد، MOSFETها در همهٔ محل‌های لیست وجود دارند اما تنها گیت‌های ترانزیستورهایی که باید در آن‌ها 0 ذخیره شود به خطوط کلمه متصل می‌شود، گیت‌های ترانزیستورهای حاوی 1 بدون اتصال باقی می‌مانند. این عمل با پوشش انجام می‌شود که بر اساس نیاز کاربر صورت می‌گیرد.

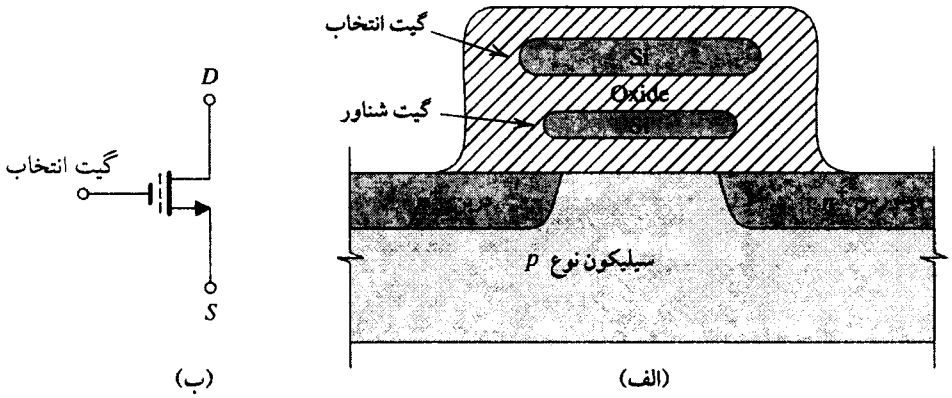
مزیت اقتصادی فرآیند برنامه ریزی پوششی این است که همه ROMها بطور مشابه ساخته شده و فقط در مرحله پایانی ساخت بصورت سفارشی در می‌آیند.

ROMهای قابل برنامه ریزی (PROM و EPROM)

PROMها و EPROMها فقط یک بار توسط کاربر قابل برنامه ریزی هستند. روشی که در PROMهای از نوع BJT مورد استفاده قرار می‌گیرد شامل بهره گیری از فیوزهای پلی سیلیکون برای اتصال امیتر BJT به خط رقم متناظر است. بسته به محتوای مورد نظر برای سلول این فیوز توسط یک جریان قوی می‌سوزد و یا بدون تغییر می‌ماند. واضح است که این فرآیند بدون بازگشت است.

ROM قابل برنامه ریزی و پاک شدن یا EPROM، یک ROM است که می‌توان بارها آن را برنامه ریزی و پاک کرد. بنابراین متداول‌ترین حافظه فقط خواندنی است. اما یادآور می‌شویم که فرآیند برنامه ریزی پاک کردن آن وقت گیر است و برای دفعات کم مناسب است.

کارآمد بودن EPROM ناشی از استفاده از سلول‌های متنوع حافظه است که بصورت تقاطعی مطابق شکل (الف ۶۷-۱۳) قرار گرفته‌اند: سلول آن بطور اساسی یک MOSFET کانال n از نوع افزایشی است که دارای دو گیت از ماده پلی سیلیکون می‌باشد. یکی از گیت‌ها هیچ گونه اتصال



شکل ۶۷-۱۳. (الف) سطح مقطع و (ب) نماد مداری ترانزیستور با گیت شناور به کار رفته در سلول EPROM

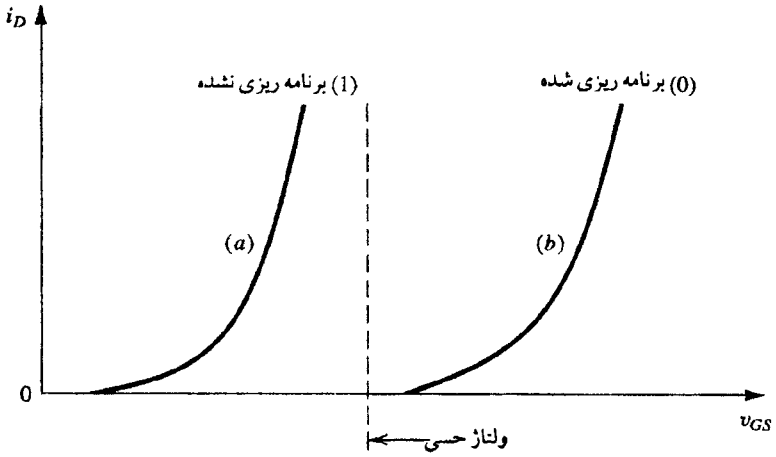
الکتریکی با مدار ندارد و رها می‌باشد و به همین دلیل **گیت شناور** نامیده می‌شود. گیت دیگر که به **گیت انتخاب معروف** است مانند گیت MOSFET افزایشی معمولی عمل می‌کند.

ترانزیستور MOS شکل (الف ۶۷-۱۳) را **ترانزیستور با گیت شناور** می‌نامند و نماد مداری آن در شکل (ب ۶۷-۱۳) نشان داده شده است. خط شکسته در این نماد نشانگر گیت شناور است. سلول حافظه ساخته شده با این ترانزیستور را نیز **سلول با گیت انباشته** می‌نامند.

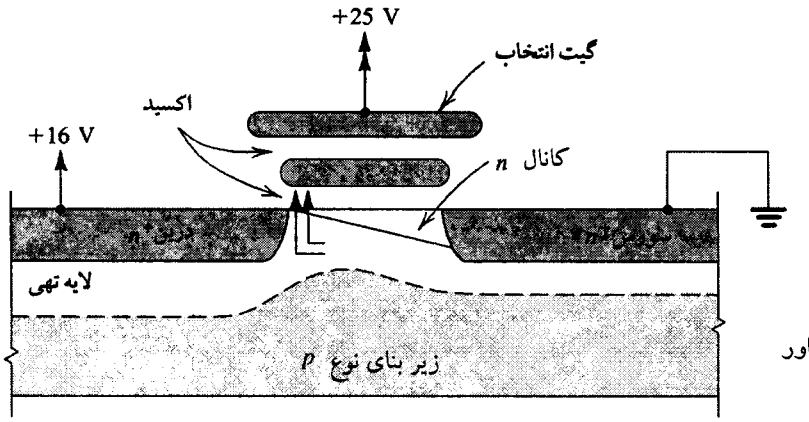
می‌خواهیم عملکرد ترانزیستور با گیت شناور را بررسی کنیم. قبل از این که سلول برنامه ریزی شود (این مطلب را بصورت مختصر توضیح می‌دهیم) گیت شناور بدون بار است و ترانزیستور همانند یک MOSFET افزایشی کانال n معمولی کار می‌کند. بنابراین مشخصه i_D-v_{GS} آن مطابق منحنی (a) در شکل (۶۸-۱۳) است. توجه کنید که در این مرحله، ولتاژ (V_t) نسبتاً پایین است. در این مرحله، ترانزیستور در **حالت برنامه‌ریزی نشده** است. این یکی از دو حالتی است که در آن‌ها ترانزیستور با گیت شناور وجود دارد. فرض کنید حالت برنامه ریزی نشده بیانگر ذخیره شدن 1 باشد. یعنی ترانزیستور با گیت شناور که مشخصه i_D-v_{GS} آن مطابق منحنی (a) شکل (۶۸-۱۳) است حاوی 1 است.

برای برنامه ریزی ترانزیستور با گیت شناور، ولتاژ بالایی (۱۶ تا ۲۰ ولت) بین درین و سورس آن اعمال می‌شود. بطور همزمان ولتاژ زیادی (در حدود ۲۵ ولت) به گیت انتخاب آن داده می‌شود. شکل (۶۹-۱۳) MOSFET با گیت شناور را در حین برنامه ریزی نشان می‌دهد. در صورت عدم وجود بار روی گیت شناور، این MOSFET همانند یک MOSFET افزایشی کانال n کار می‌کند. بعلت ولتاژ مثبت بالای اعمال شده به گیت انتخاب، یک لایه معکوس n (کانال) در سطح پولک ایجاد می‌شود. چون ولتاژ مثبت درین زیاد است، کانال، شکل شیبدار به خود می‌گیرد. ولتاژ درین-سورس به الکترون‌ها در طول کانال شتاب می‌دهد. هنگامی که الکترون‌ها در انتهای کانال به درین می‌رسند، انرژی جنبشی زیادی دارند و **الکترون‌های داغ** نامیده می‌شوند. ولتاژ مثبت زیاد گیت انتخاب که از ولتاژ درین بیشتر است یک میدان الکتریکی در اکسید عایق کننده به وجود می‌آورد. این میدان، الکترون‌های داغ را جذب کرده، آن‌ها را با شتاب به طرف گیت شناور می‌فرستد و بدین صورت گیت شناور دارای بار می‌شود و بار جمع شده در گیت شناور به دام می‌افتد.

خوشبختانه فرآیند باردار شدن گیت شناور خود محدود کننده است. بار منفی جمع شده روی گیت شناور از شدت میدان الکتریکی می‌کاهد و



شکل ۶۸-۱۳. تشریح انتقال مشخصه i_D-v_{GS} یک ترانزیستور با گیت شناور ناشی از برنامه ریزی شدن آن



شکل ۶۹-۱۳. ترانزیستور با گیت شناور در حین برنامه ریزی

این میدان دیگر قادر به شتاب دادن الکترون‌های داغ جدید نیست.

حال اثرات بار منفی گیت شناور را روی عملکرد ترانزیستور بررسی می‌کنیم. بار منفی به دام افتاده روی گیت شناور باعث می‌شود که الکترون‌ها از سطح ماده مبنا جدا شوند. این امر باعث می‌شود که برای شکل دادن به کانال، ولتاژ مثبت بالاتری جهت گیت انتخاب، نسبت به حالت بدون بار بودن گیت شناور، مورد نیاز باشد، به بیان دیگر، ولتاژ آستانه V_t ترانزیستور برنامه ریزی شده بیشتر از ترانزیستور برنامه ریزی نشده است. در حقیقت فرآیند برنامه ریزی باعث می‌شود مشخصه i_D-v_{GS} بصورت منحنی *(b)* شکل (۶۸-۱۳) درآید. در این مرحله، که به **حالت برنامه‌ریزی شده** معروف است و سلول *0* را ذخیره کرده است.

ترانزیستور با گیت شناور پس از برنامه ریزی مشخصه $i-v$ انتقال یافته خود (منحنی *b*) را حتی پس از خاموش شدن منبع تغذیه حفظ می‌کند. در حقیقت آزمایش‌های تجربی نشان داده که قطعه حالت خود را می‌تواند تا صد سال حفظ نماید.

خواندن محتوای سلول با گیت انباشته آسان است: یک ولتاژ V_{GS} بین مقادیر آستانه بالا و پایین [شکل (۶۸-۱۳) را ببینید] به گیت انتخاب اعمال می‌شود. قطعه برنامه ریزی شده (حاوی 0) هدایت نمی‌کند، در حالی که قطعه برنامه ریزی نشده (حاوی 1) به شدت هدایت خواهد کرد.

برای بازگرداندن MOSFET با گیت شناور به حالت برنامه ریزی نشده باید بار جمع شده روی گیت شناور به ماده مبنا (زیر لایه) باز گردد. فرآیند پاک شدن را می‌توان با نور دهی سلول توسط نور فرابنفش با طول موج صحیح (۲۵۳۷A°) در یک مدت زمان مشخص، عملی ساخت. نور فرابنفش با صادر کردن انرژی فوتونی به الکترون‌های به دام افتاده در گیت شناور باعث می‌شود که این الکترون‌ها بتوانند از سد انرژی ذاتی گذشته به لایه اکسید منتقل شوند. EPROM دارای یک پنجره کوارتز است که امکان نور دهی را میسر می‌کند. در پایان یاد آوری می‌کنیم که EPROM را می‌توان بارها برنامه ریزی و پاک کرد.

یکی از متداول‌ترین ROMها، PROM قابل برنامه ریزی و پاک شدن بصورت الکتریکی (یا EEPROM) است. EEPROM را می‌توان بدون نیاز به نور فرابنفش، بصورت الکتریکی برنامه ریزی و پاک کرد. EEPROMها از MOSFETهای با گیت شناور متنوعی استفاده می‌کنند.

۱۳-۱۳ مثالی از شبیه سازی SPICE

این فصل را با مثالی در مورد استفاده از SPICE در تحلیل مدارهای دیجیتال CMOS به پایان می‌بریم. برای پی بردن به اهمیت SPICE، به خاطر آورید که در تحلیل مدارها فرض‌های ساده کننده زیادی را مورد استفاده قرار دادیم، اما با تحلیل به کمک کامپیوتر توسط SPICE می‌توانیم به نتایج دقیق دست یابیم و از مدل‌های دقیق‌تری برای MOSFET استفاده نماییم. البته تحلیل دستی برای این مدل‌ها بسیار مشکل است. مثال زیر قدرت و توانایی تحلیل به کمک کامپیوتر را نشان می‌دهد.

مثال ۸-۱۳: عملکرد گذرای وارونگر CMOS

می‌خواهیم با استفاده از SPICE زمان‌های تأخیر وارونگر CMOS را تعیین کنیم. این وارونگر که در شکل (۷۰-۱۳) نشان داده شده، از ترانزیستورهای M_1 و M_2 تشکیل شده که توسط یک خازن ۰/۱PF بار شده و یک وارونگر دیگر (M_3 و M_4) را راه اندازی می‌کند. فایل ورودی این مثال در ضمیمه ت آورده شده است. در این فایل از تکنولوژی CMOS ۳μm و مدل MOS سطح ۳ استفاده شده است. مقادیر پارامتر این تکنولوژی در جزوات مدل MOSFET آمده است. پارامترهای مورد نظر در زیر نشان داده شده‌اند:

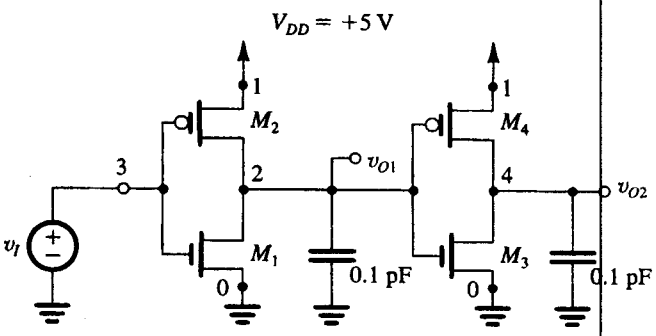
$k'_n = ۴۰\mu A/V^۲$	$k'_p = ۱۲\mu A/V^۲$	
$V_{tn0} = ۰/۷V$	$V_{tp0} = -۰/۸V$	$V_{DD} = ۵V$
$C_{ox} = ۰/۷fF/\mu m^۲$	$C_{gd}\|_n = ۳/۰\times۱۰^{-۱۰}F/m(width)$	
	$C_{gd}\|_p = ۲/۵\times۱۰^{-۱۰}F/m(width)$	

شبیه سازی SPICE برای دو حالت انجام می‌شود.

(الف) قطعات با کمترین اندازه: $\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = \frac{۳\mu m}{۳\mu m}$

(ب) قطعات تطبیق شده:

$$\left(\frac{W}{L}\right)_n = \frac{۳\mu m}{۳\mu m}, \left(\frac{W}{L}\right)_p = \frac{k'_n}{k'_p}\left(\frac{W}{L}\right)_n = \frac{۱۰\mu m}{۳\mu m}$$



شکل ۷۰-۱۳. اتصال پی در پی دو مدار وارونگر CMOS مثال (۸-۱۳)

برای تعیین پاسخ گذرا، یک ولتاژ صفر تا پنج ولت با دوره ۲۰ns به ورودی اولین وارونگر اعمال می‌شود. تحلیل گذرا در یک بازه زمانی ۵۰ns با استفاده از پله زمانی ۰/۱ns انجام می‌شود. به علاوه مشخصه انتقالی ولتاژ با استفاده از جاروب ولتاژ ورودی [همانند شکل (۱۴-۵)] تعیین می‌شود. قبل از ارائه نتایج تحلیل متذکر می‌شویم بعلت مشخص نبودن نواحی نفوذ درین، SPICE، C_{db} را محاسبه نمی‌کند و مقدار پیش فرض صفر را بر می‌گزیند. بنابراین تأخیر محاسبه شده فقط بر اساس خازن‌های گیت و البته خازن بار ۰/۱pF است. در طراحی IC واقعی، MOSFET بطور کامل مشخص می‌گردد و همه خازن‌های مدل به حساب می‌آیند. جدول (۲-۱۳) خلاصه نتایج تحلیل SPICE را نشان می‌دهد. شکل موج پالس ورودی و سیگنال خروجی اولین وارونگر در دو حالت تحلیل شده، در شکل (۷۱-۱۳) نشان داده شده است. به توضیحات زیر در مورد تحلیل توجه کنید:

۱- VTC وارونگر با کمترین اندازه به وضوح نامتقارن است، که با توجه به مقدار ولتاژ آستانه و مساوی نبودن حاشیه‌های نویز، امری بدیهی است. مزیت طراحی تطبیق شده نیز مشخص است. (اما توجه کنید که طراحی تطبیق شده یکسان نبودن قابلیت تحرک‌ها را جبران می‌کند و شاید $(W/L)_p = ۹/۳$ مناسب‌تر باشد).

حاشیه‌های نویز در حالت تطبیق شده خیلی نزدیک به مقادیر تئوری محاسبه شده از معادله (۱۱-۱۳) است که منجر به $NM_H = NM_L = ۲/۰۶V$ می‌شود.

۲- نامتقارن بودن پاسخ گذاری وارونگر با کمترین اندازه واضح است. مشاهده کنید که t_{PLH} ۲/۸۵ برابر t_{PHL} است که تقریباً مساوی نسبت μ_n/μ_p است. نتیجه، t_p نسبتاً طولانی است. طراحی تطبیق یافته این مشکل را رفع کرده و t_{PLH} و t_{PHL} را تقریباً مساوی می‌کند. توجه کنید که بعلت افزایش خازن مجموع ناشی از افزایش سطح قطعه کانال p، t_{PHL} تقریباً ٪۲۱ افزایش پیدا کرده است. با وجود این، t_p تقریباً ٪۴۳ کاهش یافته است و البته پاسخ تقریباً متقارن شده است. اما توجه کنید که فراجبران سازی نیز مشهود است. همچنین به خاطر آورید که خازن بدنه درین را به حساب نیاورده‌ایم و همه تأخیرها تخمینی هستند.

۳- خواننده نباید تردیدی در مورد این نتایج با نتایجی که در تحلیل دستی مشاهده شده، داشته باشد برای تحقیق این نکته، ابتدا خازن معادل C را به دست می‌آوریم.

$$C = ۲C_{gd۱} + ۲C_{gd۲} + C_L + C_{g۳} + C_{g۴}$$

که در آن

$C_{gd۱} = ۰/۳\times۳ = ۰/۹\text{fF}$

در حالت کمترین اندازه $C_{gd۲} = ۰/۲۵\times۳ = ۰/۷۵\text{fF}$

در حالت تطبیق شده $C_{gd۲} = ۰/۲۵\times۱۰ = ۲/۵\text{fF}$

$C_L = ۱۰۰\text{fF}$

$C_{g۳} = ۳\times۳\times۰/۷ = ۶/۳\text{fF}$

در حالت کمترین اندازه $C_{g۴} = ۳\times۳\times۰/۷ = ۶/۳\text{fF}$

در حالت تطبیق شده $C_{g۴} = ۱۰\times۳\times۰/۷ = ۲۱\text{fF}$

بنابراین مقدار C در دو حالت عبارت است از:

در حالت کمترین اندازه $C = ۱۱۵/۹\text{fF}$

در حالت تطبیق شده $C = ۱۳۴/۱\text{fF}$

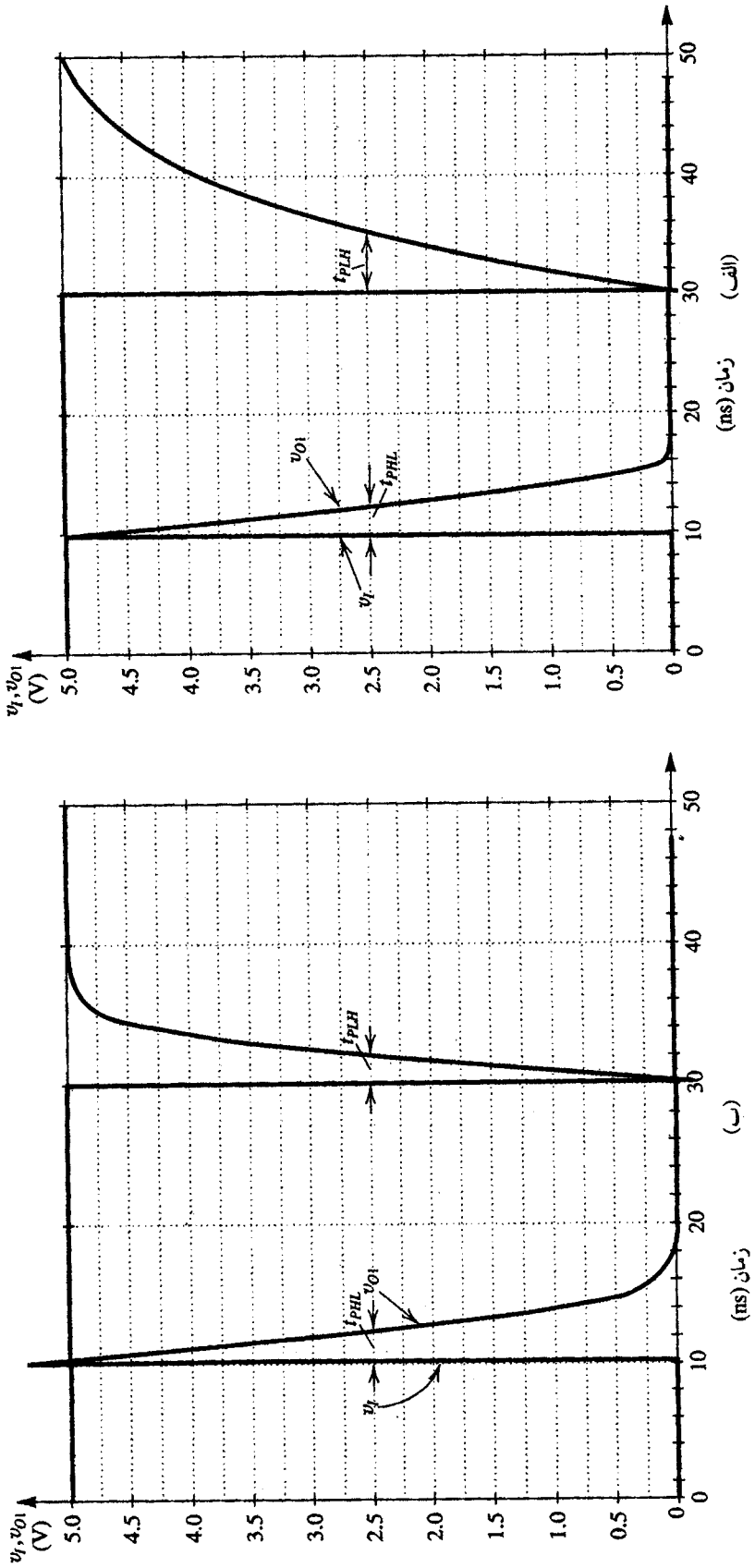
با استفاده از معادله (۱۳-۱۳)، t_{PHL} را می‌توان بصورت زیر تعیین کرد:

در حالت کمترین اندازه $t_{PHL} = \dfrac{۱/۶\times۱۱۵/۹\times۱۰^{-۱۵}}{۴۰\times۱۰^{-۶}\times۵} = ۰/۹۳\text{ns}$

در حالت تطبیق شده $t_{PHL} = \dfrac{۱/۶\times۱۳۴/۱\times۱۰^{-۱۵}}{۴۰\times۱۰^{-۶}\times۵} = ۱/۰۷\text{ns}$

جدول ۲-۱۳. نتایج SPICE برای مثال ۸-۱۳

حالت	V_M (V)	V_{IL} (V)	V_{IH} (V)	NM_L (V)	NM_H (V)	t_{PLH} (ns)	t_{PHL} (ns)	t_P (ns)	
(الف) ترانزیستورهای با کوچکترین ابعاد									
	۱/۹۰	۱/۳۰	۲/۱۱	۱/۳۰	۲/۸۹	۵/۵۰	۱/۸۹	۳/۷۵	$\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = \frac{۳\mu m}{۳\mu m}$
(ب) ترانزیستورهای یکنوع (دارای تطابق)									
	۲/۶۲	۲/۱۱	۲/۸۹	۲/۱۱	۲/۱۱	۱/۹۶	۲/۲۹	۲/۱۲	$\left(\frac{W}{L}\right)_n = \frac{۳\mu m}{۳\mu m}$، $\left(\frac{W}{L}\right)_p = \frac{۱۰\mu m}{۳\mu m}$



شکل ۷۱-۱۳. نتایج SPICE برای مثال (۸-۱۲) (الف) قطعات با حداقل اندازه (ب) قطعات تطبیق یافته

بطور مشابه، t_{PLH} را می‌توان بصورت زیر تعیین کرد:

در حالت کمترین اندازه $t_{PLH}=\frac{1/6\times115/9\times10^{-15}}{12\times10^{-6}\times5}=3/09\text{ns}$

در حالت تطبیق شده $t_{PLH}=\frac{1/6\times134/1\times10^{-15}}{12\times(10\div3)\times10^{-6}\times5}=1/07\text{ns}$

یادآوری می‌کنیم که این مقادیر تقریباً نصف مقادیر محاسبه شده توسط SPICE هستند و تعجبی ندارد چون در تحلیل دستی از مدل بسیار ساده‌ای استفاده کرده‌ایم. توجه کنید که مقدار C در حالت تطبیق شده تقریباً ٪۱۶ بزرگتر از حالت کمترین اندازه است که ناشی از افزایش t_{PHL} (حدود ٪۲۱) محاسبه شده توسط SPICE است.

خلاصه

- اگر چه CMOS یکی از چهار تکنولوژی ساخت IC است (سه تکنولوژی دیگر، دو قطبی، BiCMOS و GaAS هستند) اما متداولترین آن‌ها می‌باشد. این امر ناشی از نداشتن توان مصرفی استاتیک و مشخصه‌های عالی استاتیک و گذرا می‌باشد. پیشرفت CMOS امکان ساخت ترانزیستورهایی با طول کانال به کوچکی $0/15\mu m$ را فراهم کرده است. امپدانس ورودی بالای ترانزیستورهای MOS باعث می‌شود که بتوان بار را در خازن‌ها ذخیره کرد و بدین منظور از آن‌ها بعنوان حافظه استفاده نمود و این روش موفقیت آمیز در حافظه‌های گذرا و منطق گذرا می‌باشد.
- معمولاً در ساخت وارونگر CMOS از ترانزیستورهای PMOS و NMOS باکمترین اندازه طول کانال استفاده می‌شود. عرض ترانزیستور NMOS معمولاً ۱/۵ تا ۲ برابر L است و عرض قطعه POMS نیز (μ_n/μ_p) برابر L می‌باشد. شرایط تطبیق، تضمین می‌کند که وارونگر در $V_{DD}/2$ سوئیچ می‌کند و توانایی جریاندهی را در دو جهت فراهم کرده باعث متقارن شدن تأخیرهای انتشار می‌شود.
- روشی ساده برای تعیین تأخیر انتشار یک گیت منطقی تعیین جریان میانگین (I_{av}) پر و یا تخلیه شدن خازن بار C می‌باشد. پس از آن t_{PLH} (یا t_{PHL}) از فرمول $\frac{C\,(V_{DD}/2)}{I_{av}}$
- یک گیت منطقی CMOS مکمل، شامل شبکه پایین آورنده NMOS (PDN) و شبکه بالا آورنده PMOS (PUN) می‌باشد. PDN به ازای هر ترکیب ورودی که نیاز به خروجی پایین باشد هدایت می‌کند. از آن جا که ترانزیستور NMOS هنگامی هدایت می‌کند که ورودی آن در حالت بالا باشد، PDN مستقیماً از عبارت خروجی در حالت پایین $(\bar{Y})$ بصورت تابعی از ورودی‌های متمم نشده ساخته می‌شود. شبکه PUN هنگامی هدایت می‌کند که ترکیب ورودی متناظر با خروجی در حالت بالا باشد. از آن جا که PMOS هنگامی هدایت می‌کند که ورودی آن در حالت پایین باشد. PUN از روی عبارت خروجی در حالت بالا $(\bar{Y})$ بصورت تابعی از ورودی‌های متمم شده ساخته می‌شود.
- مدارهای منطقی CMOS معمولاً طوری طراحی می‌شوند که توانایی جریاندهی آن‌ها در دو جهت یکسان باشد. مقادیر بدترین حالت جریان‌های پایین آورنده و بالا برنده مساوی مقادیر وارونگر اساسی (تطبیق شده) اختیار می‌شود. تعیین اندازه ترانزیستور بر اساس این ویژگی و استفاده از نسبت‌های (W/L) معادل قطعات سری و موازی [معادله‌های (۲۷-۱۳) و (۲۸-۱۳)] صورت می‌گیرد.
- در منطق CMOS مکمل برای هر متغیر ورودی از دو ترانزیستور، یکی NMOS و دیگری PMOS استفاده می‌شود. بنابراین در صورت افزایش fan-in ، پیچیدگی مدار، سطح سیلیکونی و خازن‌های مزاحم افزایش می‌یابد.
- برای کاهش تعداد ترانزیستورها، دو نوع دیگر CMOS استاتیک، یعنی شبه NMOS و منطق ترانزیستور عبوری (PTL) در کاربردهای خاص به CMOS مکمل اضافه می‌شود.
- شبه NMOS از همان PDN منطق CMOS مکمل استفاده می‌کند، اما PUN را با یک ترانزیستور PMOS که گیت آن زمین شده است، جایگزین می‌نماید. شبه NMOS ، بر خلاف CMOS مکمل، نوع نسبتی است که در آن V_{oL} توسط نسبت r مربوط به k_n به k_p تعیین می‌شود. بطور عادی، r در گسترهٔ ۴ تا ۱۰ است و مقدار آن حاشیه نویز را تعیین می‌کند.
- عیب شبه NMOS این است که در هنگام پایین بودن خروجی گیت منطقی، توان استاتیک مصرف می‌کند. توان استاتیک مصرفی را می‌توان با روشن کردن PMOS ، برای یک مدت کوتاه که زمان پیش شارژ نامیده می‌شود، و خروجی را به V_{DD} می‌رساند، حذف کرد. سپس ورودی‌ها اعمال می‌گردد و بر اساس ترکیب ورودی گره خروجی یا در حالت بالا می‌ماند و یا از طریق PDN تخلیه می‌شود. این نکته، اساس منطق گذرا می‌باشد.
- در منطق ترانزیستور عبوری، برای ایجاد شبکه سوئیچ‌ها که توسط متغیرهای منطقی ورودی کنترل می‌شود، یا از تک ترانزیستورهای NMOS و یا از گیت‌های انتقال CMOS استفاده می‌شود. سوئیچ‌های پیاده سازی شده توسط تک ترانزیستورهای NMOS اگر چه ساده‌اند اما منجر به کاهش V_{OH} از V_{DD} به $V_{DD}-V_t$ می‌شوند .
- فلیپ فلاپ‌ها از یک یا چند قفل استفاده می‌کنند. قفل استاتیک اساسی یک مدار با دو حالت پایدار است که با دو وارونگر متصل شده در حلقه فیدبک مثبت ساخته می‌شود، قفل می‌تواند بمدت نامحدود در هر یک از حالات پایدار خود باقی بماند.
- بعنوان روشی از فیدبک مثبت، می‌توان از طریق ذخیره کردن بار، حافظه ساخت. چندین فلیپ فلاپ مانند تابع-متبوع و فلیپ فلاپ D را می‌توان بدین روش ساخت.
- مولتی ویبراتور با یک حالت پایدار دارای یک حالت پایدار است که می‌تواند در آن حالت به مدت طولانی بماند و یک حالت شبه پایدار دارد که با تحریک به آن حالت می‌رود و برای بازه زمانی از پیش تعیین شده Δt در آن حالت می‌ماند. مدارهای با یک حالت پایدار را می‌توان برای تولید یک سیگنال پالس با عرض و ارتفاع معین مورد استفاده قرار داد.
- یک مولتی ویبراتور ناپایدار هیچ حالت پایداری ندارد، در عوض، دو حالت شبه پایدار دارد که بین آن‌ها نوسان می‌کند و در واقع مولد موج مربعی است.
- یک نوسان ساز حلقوی از اتصال چند وارونگر به تعداد فرد در یک حلقه ساخته می‌شود، فرکانس نوسان آن $f_{osc}=1/2Nt_p$ می‌باشد.
- حافظه با دستیابی تصادفی (RAM) حافظه‌ای است که در آن زمان لازم برای ذخیره (نوشتن) و بازیابی (خواندن) اطلاعات، مستقل از مکان فیزیکی (داخل حافظه) اطلاعات ذخیره شده باشد.
- محفظه تراشه حافظه شامل سلولهایی است که بیت‌ها در آنها ذخیره می‌شود و از نظر ساختاری بصورت ماتریس مربعی است. یک سلول را می‌توان با فعال کردن سطر آن توسط رمز گشای سطر و آدرس آن توسط رمز گشای ستون، انتخاب نمود. تقویت کننده حسی محتوای

سلول انتخاب شده را احساس کرده و آن را به پایانهٔ خروجی تراشه ارسال می‌کند.

- دو نوع RAM از نوع MOS موجود می‌باشد، استاتیک و گذرا. RAM های استاتیک (SRAM) در فلیپ فلاپ‌ها بعنوان سلول ذخیره‌کننده مورد استفاده قرار می‌گیرد. در یک RAM از نوع گذرا (DRAM)، داده در خازن ذخیره شده و بنابراین باید بصورت مرتب تازه سازی شود. تراشه‌های DRAM ظرفیت بیشتری دارند.
- اگر چه تقویت‌کننده‌های حسی در SRAM ها برای سرعت دادن به‌کار مورد استفاده قرار می‌گیرند در DRAM وجود آن‌ها، اساسی است. یک تقویت‌کننده حسی، یک مدار تفاضلی است که از فیدبک مثبت استفاده‌کرده سیگنال خروجی آن بصورت نمایی به سمت صفر یا V_{DD} می‌رود.
- حافظه فقط خواندنی (ROM) شامل الگوی داده ثابت است که در زمان ساخت تعیین می‌شود و توسط کاربر قابل تغییر نیست. در مقابل، محتوای یک ROM قابل برنامه ریزی و پاک شدن را می‌توان تغییر داد. فرآیند پاک‌کردن و برنامه ریزی، وقت‌گیر بوده و برای دفعات کم قابل اجراست.
- برخی از EPROM ها از MOSFET های با گیت شناور [شکل (۱۳-۶۷)] بعنوان سلول حافظه استفاده می‌کنند. سلول با اعمال یک ولتاژ بالا به‌گیت انتخاب برنامه ریزی می‌شود. فرآیند پاک شدن، توسط نور دهی با نور فرا بنفش انجام می‌شود. EEPROMها را می‌توان بصورت الکتریکی پاک و برنامه ریزی کرد.

مسائل

بخش ۱-۱۳: طراحی مدار دیجیتال، بررسی کلی

۱-۱۳ برای یک خانواده مدار منطقی دیجیتال که از تغذیه ۳ ولت استفاده می‌کند، مقادیر ایده آل V_{IL} ، V_{IH} ، V_{OL} ، V_{OH} ، NM_L ، V_{th} و NM_H را پیشنهاد کنید. VTC را رسم نمایید. بهره ولتاژ در ناحیه گذر چقدر است؟

۲-۱۳ در یک خانواده مدار منطقی خاص بعلت محدودیت ذاتی، بهره ولتاژ فرکانس پایین سیگنال-کوچک ۵۰V/V می‌باشد. اگر با تغذیه ۳/۳ ولت، مقادیر V_{OL} و V_{OH} ایده آل، اما $V_{th}=0/4V_{DD}$ باشد، بهترین مقادیر ممکن برای V_{IL} و V_{IH} که می‌توان انتظار داشت، چیست؟ بهترین حاشیه‌های نویز چقدر هستند؟ اگر حاشیه‌های نویز عملی فقط $\frac{7}{10}$ این مقادیر باشند، V_{IL} و V_{IH} حاصله چقدر است؟ بهره ولتاژ سیگنال-بزرگ [که بصورت $(V_{OH}-V_{OL})/(V_{IL}-V_{IH})$ تعریف می‌شود] چقدر است. (راهنمایی: از تقریب خط مستقیم برای VTC استفاده نمایید)

۳-۱۳ یک خانوادهٔ مدار منطقی که برای استفاده در پردازش سیگنال دیجیتالی در نظر گرفته شده است، می‌تواند در یک سمعک جدید با باتری ۱/۲V کار کند. اگر نوسان سیگنال خروجی وارونگر آن بین صفر و V_{DD} باشد، نقاط «بهره یک» با کمتر از $\frac{1}{3}V_{DD}$ جدا می‌شوند و حاشیه‌های نویز پیرامون ۳۰٪ دیگری می‌باشد، انتظار دارید مقادیر V_{IL} ، V_{IH} ، V_{OL} ، V_{OH} ، NM_L و NM_H برای کمترین مقدار تغذیه ممکن چقدر باشد؟

۴-۱۳ در یک خانواده منطقی خاص، هنگامی که وارونگر آن خانواده با مداری مشابه بار می‌شود، دارای تأخیر انتشار ۱/۲ns است.
(الف) اگر جریان موجود برای پر شدن ظرفیت خازنی بار نصف جریان تخلیه باشد، انتظار دارید t_{PLH} و t_{PHL} چقدر باشد؟
(ب) اگر بعلت اضافه کردن یک باز خازنی خارجی ۱pF به خروجی وارونگر، تأخیر انتشار آن ۷۰٪ افزایش یابد، مقادیر ظرفیت خازنی ترکیبی را در ورودی و خروجی چقدر تخمین می‌زنید؟
(پ) اگر بدون اتصال بار ۱pF اضافی، وارونگر بار حذف شده و تأخیرهای انتشار ۴۰٪ کم شود، دو مولفهٔ خازنی به دست آمده در (ب)، یعنی مولفه ناشی از خروجی وارونگر و خازن‌های مزاحم مرتبط و مولفه ناشی از ورودی وارونگر بار را چقدر تخمین می‌زنید؟

۵-۱۳ در یک خانوادهٔ منطقی خاص، که با تغذیه ۳/۳V کار می‌کند، وارونگر اساسی در یک حالت ۴۰μA و در یک حالت صفر میکرو آمپر جریان می‌کشد. اگر وارونگر با سرعت ۱۰۰MHz سوئیچ شود، متوسط جریان ۱۵۰μm می‌شود. ظرفیت خازنی معادل را در گره خروجی وارونگر چقدر تخمین می‌زنید؟

۶-۱۳ مجموعه‌ای از گیت‌های منطقی که توان مصرفی استاتیک آن‌ها صفر و توان مصرفی گذاری آن‌ها از معادله (۴-۱۳)، ۱۰ میلی وات است، با تغذیه ۵V در فرکانس ۵۰MHz کار می‌کنند. اگر منبع تغذیه ۳/۳V شود، توان مصرفی چقدر پایین می‌آید؟ اگر فرکانس کار با همان ضریب کاهش تغذیه، کاهش یابد، (یعنی $\frac{3/3}{5}$)، چه توان اضافه‌ای ذخیره می‌شود؟

ط ۷-۱۳ یک خانوادهٔ مدار منطقی با توان مصرفی استاتیک صفر بطور عادی با V_{DD} = ۵V کار می‌کند. برای کاهش توان مصرفی گذرا، که از معادله (۴-۱۳) به دست می‌آید، ولتاژ تغذیه ۳/۳V در نظر گرفته می‌شود. اما جریان پر و تخلیه شدن خازن بار نیز کاهش می‌یابد. (الف) اگر جریان متناسب با V_{DD} باشد. (ب) اگر جریان متناسب با V_{DD}^2 باشد، انتظار دارید کاهش در بیشترین فرکانس کاری در دو حالت فوق چقدر باشد؟ تغییر نسبی حاصلضرب تأخیر-توان در هر حالت چقدر است؟

ط * ۸-۱۳ مسئله (۷-۱۳) را در حالی که جریان به جای وابسته بودن به V_{DD} به $(V_{DD}-V_t)$ وابسته است، در نظر بگیرید. تغییر جریان، تأخیر انتشار، فرکانس کار، توان گذرا و حاصلضرب تأخیر-توان در اثر تغییر V_{DD} از ۵ به ۳/۳ ولت چقدر است. فرض کنید که جریان‌ها متناسب با (الف) $(V_{DD}-V_t)$، (ب) $(V_{DD}-V_t)^2$ که V_t مساوی با ۱V و ۰/۵V است، باشد.

ط * ۹-۱۳ فرض کنید تمامی ابعاد فرآیند CMOS دیجیتال سیلیکونی، ۱۰٪ کاهش یابد که شامل لایه اکسید هم می‌شود. به خاطر آورید که در یک قطعه MOS، جریان موجود آن از رابطه زیر به دست می‌آید:

$$i = \frac{1}{2}\mu C_{ox}\frac{W}{L}(V_{DD} - V_t)^2 \text{ ، } C_{ox} = \varepsilon_{ox}|t_{ox}$$

همچنین فرض کنید که مجموع ظرفیت خازنی موثر که تعیین کنندهٔ زمان تأخیر است تقریباً بطور مساوی بین ظرفیت‌های خازنی MOS که متناسب با سطح و بطور معکوس متناسب با ضخامت اکسید است، و ظرفیت خازنی پیوند بایاس معکوس، که متناسب با سطح است تقسیم شده باشد. پارامترهای زیر با چه ضریبی تغییر می‌کنند: سطح تراشه، جریان، ظرفیت خازنی موثر،

تأخیر انتشار، بیشترین فرکانس کار، توان مصرفی گذرا، حاصلضرب توان-تأخیر دلخواه کار (عملکرد در واحد سطح بر ثانیه). اگر ولتاژ تغذیه نیز ۱۰٪ کاهش یابد (بدون تغییر V_t)، چه تغییر دیگری حاصل می‌شود؟

۱۳-۱۰ یک گیت منطقی را با $t_{PLH}=20\,ns$ ، $t_{PHL}=10\,ns$ ، $t_{TLH}=30\,ns$ و $t_{THL}=15\,ns$ در نظر بگیرید. لبه‌های بالا رونده و پایین رونده خروجی گیت را می‌توان با شیب خطی تقریب زد. دو گیت از نوع تشریح شده بهم متصل شده و با یک ورودی ایده‌آل که زمان صعود و نزول آن صفر است، راه اندازی می‌شود. زمان صرف شده برای این که خروجی به ۹۰٪ مقدار نهایی خود در (الف) ورودی بالا رونده (ب) ورودی پایین رونده، برسد چقدر است؟ تأخیر انتشار گیت چقدر است؟

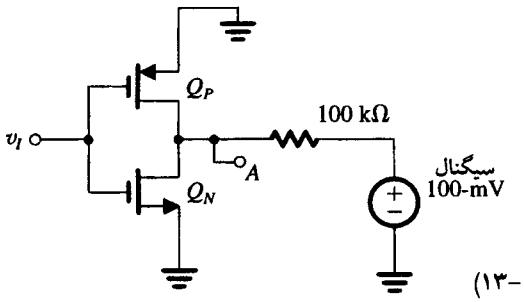
۱۳-۱۱ در یک گیت منطقی خاص $t_{PLH}=50\,ns$ و $t_{PHL}=70\,ns$ است و ۱ میلی وات در حالت پایین بودن خروجی و ۰/۵ میلی وات در حالت بالا بودن خروجی مصرف می‌کند. حاصلضرب توان-تأخیر متناظر، (با فرض این که duty-cycle سیگنال ۵۰٪ باشد) چقدر است؟

بخش ۲-۱۳: طراحی و تحلیل وارونگر CMOS

۱۳-۱۲ پارامتر های یک وارونگر CMOS که با تغذیه ۳/۳V کار می‌کند، عبارت اند از:
$|V_t|=0.8V$ ، $k'_n=3k'_p=75\mu A/V^2$ ، مقاومت درین-سورس مربوط به ترانزیستور با کمترین اندازه با $W/L=1.2\mu m/0.8\mu m$ چقدر است؟ به ازای چه نسبتی از (W_p/W_n) Q_N و Q_P که دارای طول کانال مساوی هستند، مقاومت‌های مساوی دارند؟ برای $W_n=1.2\mu m$ مقدار لازم L_n را برای دستیابی به مقاومت درین-سورس $100\,k\Omega$، چقدر است؟

۱۳-۱۳ یک قطعه کانال p دارای عرض سه برابر قطعه با کمترین اندازه مسئله (۱۲-۱۳) است و در مداری که V_{DD} برای کار در نویز فرکانس بسیار بالا در نظر گرفته شده، مورد استفاده قرار گرفته است. برای خازن معادل ۱pF، فرکانس قطع ۳dB هر گیت در این نویز تغذیه چقدر است؟

۱۳-۱۴ یک وارونگر CMOS با $k_n=10k_p=100\mu A/V^2$ و $V_t=0.5V$ مطابق شکل (م ۱۴-۱۳) به یک منبع سیگنال سینوسی که ولتاژ تونن آن دارای دامنه ۰/۱V و مقاومت تونن آن $100\,k\Omega$ است متصل شده است. با $v_I=+1.5V$ ولتاژ گره A چقدر است؟ با $v_I=-1.5V$ چقدر؟



شکل (م ۱۴-۱۳)

۱۳-۱۵ برای یک وارونگر CMOS عمومی که با V_{tn} , V_{tp} , k_n و k_p مشخص می‌شود، رابطه V_{th} را از فرمول (۸-۱۳) به دست آورید.

۱۳-۱۶ با استفاده از معادله (۸-۱۳) تغییرات V_{th} را با نسبت $r\equiv k_n/k_p$ به دست آورید. V_{th} را برای حالت $V_{tn}=|V_{tp}|=1V$ و $V_{DD}=5V$ با $r=0.5$ و ۱ و ۱/۵ و ۲ و ۳، محاسبه نمایید. توجه کنید که V_{th} حول نقطه $r=1$ چندان به r وابسته نیست.

ط ۱۳-۱۷ یک وارونگر "تطبیق شده" طراحی کنید که سطح آن $84\mu m^2$ باشد. حداقل طول $0.8\mu m$ و $\mu_n/\mu_p=2.5$ است. بیشترین جریان خروجی در دسترس این وارونگر، از وارونگر با کمترین اندازه که ضریب آن $n=1.5$ است، چقدر بیشتر است؟ نسبت سطح آن‌ها چقدر است؟ نسبت مقاومت خروجی آن‌ها چقدر است؟

۱۳-۱۸ در یک وارونگر CMOS با پارامترهای $k_n=k_p=100\mu A/V^2$ ، $V_{tn}=|V_{tp}|=0.8V$ ، $V_{DD}=3.3V$ ، $\lambda_n=\lambda_p=0.03V^{-1}$ ، مقادیر V_{OH} ، V_{IH} ، V_{OL} ، V_{IL} ، NM_H ، NM_L ، V_{th} و بهره ولتاژ را در نقطه آستانه M به دست آورید. [راهنمایی: از معادله (۹۳-۵) و (۹۴-۵) استفاده کنید.]

۱۳-۱۹ در یک وارونگر CMOS تطبیق شده خاص $k'_n=75\mu A/V^2$ و $(W/L)_n=8\mu m/0.8\mu m$ و $\mu_n/\mu_p=2.5$ می‌باشد. ظرفیت خازنی خروجی معادل مدار دارای دو مولفه اساسی است، یکی متناسب با عرض قطعه $2\,fF/\mu m$ برای هر قطعه و دیگری ثابت به مقدار $50\,fF$. ظرفیت خازنی معادل مجموع مربوط به گره خروجی چقدر است؟ t_p را با استفاده از معادله (۱۳-۱۳) برای تغذیه ۳/۳V محاسبه نمایید.

۱۳-۲۰ با استفاده از معادله‌های (۱۴-۱۳) تا (۱۷-۱۳) عبارتی برای t_{PHL} به دست آورید که در آن V_t بصورت کسری (α) از V_{DD} (یعنی $V_t=\alpha V_{DD}$) باشد. مقدار ضریب را در صورت کسر برای α در گسترهٔ ۰/۱ تا ۰/۵ (مثلاً برای $\alpha=0.2$ ضریب ۱/۷ است) به دست آورید.

۱۳-۲۱ تأخیر انتشار را برای وارونگر با کمترین اندازه که در آن $k'_n=3k'_p=75\mu A/V^2$ و $(W/L)_n=(W/L)_p=1.2\mu m/0.8\mu m$ و $V_{DD}=3.3V$ و ظرفیت خازنی تقریباً $2\,fF/\mu m$ به اضافه (قطعه 1fF/) است، به دست آورید.

۱۳-۲۲ یک تراشه ریز پردازنده CMOS که دارای حدود یک میلیون گیت است با منبع تغذیه ۵ ولتی کار می‌کند. هنگام کار در فرکانس ۱۲۰MHz توان مصرفی آن ۹W و در ۵۰MHz، ۴/۷W است. اتلاف توان در تراشه بدون توجه به فرکانس کار (ناشی از نشتی و جریان‌های استاتیک) چقدر است؟ اگر فرض کنیم ۷۰٪ گیت‌ها همیشه فعال باشند، ظرفیت خازنی متوسط گیت چقدر است؟

۱۳-۲۳ یک وارونگر CMOS تطبیق شده با $C_{ox}=1.4\,fF/\mu m^2$ ، $\mu_n C_{ox}=75\mu A/V^2$ ، $\mu_p C_{ox}=25\mu A/V^2$ ، $V_{tn}=-V_{tp}=0.8V$ و $V_{DD}=3.3V$ ، از $W_n=1.5\mu m$ و $L_n=L_p=0.8\mu m$ استفاده می‌کند. ظرفیت خازنی روی هم گیت-درین و ظرفیت خازنی موثر درین-بدنه، به ترتیب 0.6fF و 2fF به ازای هر میکرو متر عرض گیت است. ظرفیت خازنی سیم بندی $C_w=3fF$ است. t_{PLH} ، t_{PHL} و t_P را به دست آورید. به ازای چه مقداری از بار خازنی اضافی، تأخیر انتشار ۵۰٪ افزایش می‌یابد.

۱۳-۲۴ مسئله ۲۳-۱۳ را برای یک وارونگر که در آن $(W/L)_n=(W/L)_p=1.5\mu m/0.8\mu m$ است. t_p و توان مصرفی گذرا را در فرکانس کاری ۱۲۰MHz به دست آورید.

بخش ۳-۱۳: مدارهای گیت منطقی CMOS

ط ۲۵-۱۳ یک مدار CMOS برای تحقق تابع $Y=\overline{A+B\ (C+D)}$ رسم کنید.

ط ۲۶-۱۳ برای تحقق تابع $Y=\bar{A}BC+A\bar{B}C+AB\bar{C}$ از یک گیت منطقی CMOS استفاده می‌کنیم. تعداد ترانزیستورهای لازم چقدر است؟ PUN و PDN مناسب را رسم کنید. ابتدا بصورت جداگانه این کار را انجام دهید و سپس با استفاده از ایدهٔ شبکه‌های دوگان یکی را از دیگری بدست آورید.

ط ۲۷-۱۳ دو تحقق مختلف از تابع OR انحصاری $Y=A\bar{B}+\bar{A}B$ که در آن PDN و PUN شبکه‌های دوگان هستند، ارائه کنید.

ط ۲۸-۱۳ مدار منطقی CMOS تحقق دهنده تابع $Y=AB+\bar{A}\bar{B}$ را رسم نمایید. این تابع را تابع متمایزکننده یا متعادل‌کننده می‌نامند.

ط ۲۹-۱۳ مدار منطقی CMOS تحقق دهندهٔ تابع $Y=ABC+\bar{A}\bar{B}\bar{C}$ را رسم کنید.

ط ۳۰-۱۳ می‌خواهیم مدار منطقی تحقق دهندهٔ امتحان‌کنندهٔ توازن زوج سه ورودی را طراحی کنیم. خروجی Y، هنگامی که تعداد زوجی (صفر یا ۲) از ورودی‌های A و B و C در حالت بالا باشند، در حالت پایین است.
(الف) تابع بولی $\bar{Y}$ را به دست آورید.
(ب) PDN را مستقیماً از تابع $\bar{Y}$ به دست آورید. دقت کنید که علاوه بر ترانزیستورهای وارونگر به ۱۲ ترانزیستور دیگر نیاز دارید.
(پ) سعی کنید تعداد ترانزیستورهای مدار PDN را به ۱۰ ترانزیستور کاهش دهید.
(ت) PUN را بصورت دوگان PDN قسمت (پ) به دست آورید و تحقق را کامل کنید.

ط ۳۱-۱۳ مدار منطقی CMOS تحقق دهندهٔ تابع امتحان‌کننده توازن فرد سه ورودی را به دست آورید. هنگامی که تعداد فردی از ورودی‌ها (۱ یا ۳) در حالت بالا باشند، خروجی در حالت بالاست. از ۱۰ ترانزیستور در طراحی PUN و PDN استفاده کنید.

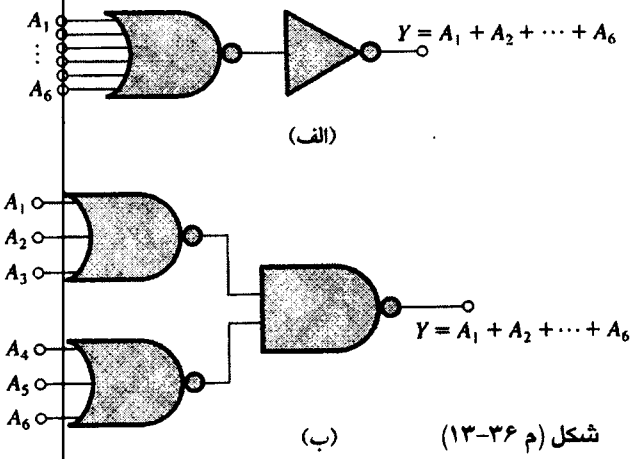
ط ۳۲-۱۳ یک مدار تمام جمع‌کننده CMOS با ورودی‌های A و B و C و خروجی‌های S و C_o طراحی کنید بطوری که S هنگامی 1 شود که یک یا هر سه ورودی 1 باشند، و C_o هنگامی 1 شود که دو ورودی یا بیشتر 1 باشند.

ط ۳۳-۱۳ گیت CMOS نشان داده شده در شکل (۱۴-۱۳) را در نظر بگیرید. نسبت‌های W/L همه ترانزیستورها را بر حسب نسبت‌های n و p وارونگر اساسی مشخص کنید، بطوری که t_{PHL} و t_{PHL} گیت در بدترین حالت، مساوی وارونگر اساسی باشد.

ط ۳۴-۱۳ اندازه مناسب ترانزیستورهای به‌کار رفته در مدار OR انحصاری شکل (ب ۱۵-۱۳) را تعیین کنید. فرض کنید وارونگر اساسی دارای $(W/L)_n=1/2\mu m/0/8\mu m$ و $(W/L)_p=3/6\mu m/0/8\mu m$ باشد. سطح کلی، شامل وارونگرهای لازم دیگر، چقدر است؟

۳۵-۱۳ یک گیت CMOS NAND چهار ورودی را که در آن پاسخ گذرا تحت تأثیر ظرفیت خازنی ثابت بین گره خروجی و زمین است، در نظر بگیرید، مقادیر t_{PLH} و t_{PHL} را در حالتی که اندازه‌های قطعه مطابق شکل (۱۷-۱۳) باشد، با حالتی که همهٔ قطعات کانال n دارای $W/L=n$ و قطعات کانال p دارای $W/L=p$ باشند، مقایسه نمایید.

۳۶-۱۳ شکل (م ۳۶-۱۳) دو روش تحقق تابع OR با شش متغیر ورودی را نشان می‌دهد. مدار (b) گر چه از ترانزیستورهای بیشتری استفاده می‌کند، اما در عمل سطح کمتری داشته، تأخیر انتشار آن نیز کمتر است، چون از گیت NOR با fan-in پایین‌تر استفاده می‌کند. با این فرض که اندازه ترانزیستورهای هر دو مدار بگونه‌ای است که توانایی جریاندهی هر گیت مساوی وارونگر اساسی تطبیق یافته است، تعداد ترانزیستورها و سطح کل هر مدار را به دست آورید. فرض کنید وارونگر اساسی دارای نسبت $(W/L)_n=1/2\mu m/0/8\mu m$ و $(W/L)_p=3/6\mu m/0/8\mu m$ است.



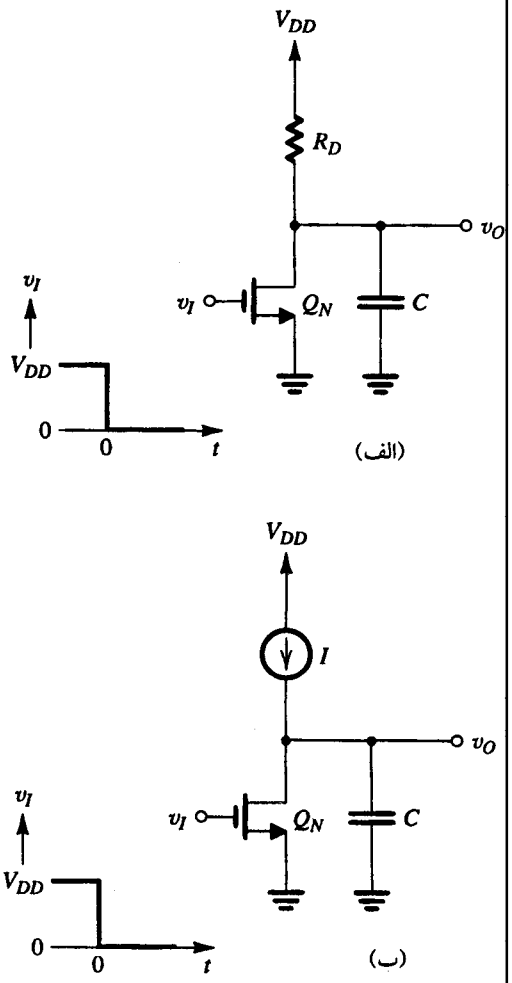
شکل (م ۳۶-۱۳)

*** ۳۷-۱۳** گیت CMOS NOR دو ورودی شکل (۱۲-۱۳) را که اندازه ترانزیستورهای آن بگونه‌ای است که توانایی جریاندهی آن‌ها در هر جهت مساوی وارونگر اساسی تطبیق یافته است، در نظر بگیرید. برای $|V_t|=1V$ و $V_{DD}=5V$، آستانه گیت را در دو حالت (الف) پایانه ورودی A به زمین متصل شود و (ب) دو پایانه ورودی به هم متصل شوند، به دست آورید. از اثر بدنه Q_{PB} صرفنظر نمایید.

بخش ۴-۱۳: مدارهای منطقی شبه NMOS

۳۸-۱۳ هدف از این مسئله مقایسه مقادیر t_{PLH} به دست آمده با یک بار مقاومتی [شکل (م ۳۸-۱۳ الف) را ببینید] با مقدار به دست آمده با بار منبع جریان [شکل (م ۳۸-۱۳ ب)] می‌باشد. برای یک مقایسه خوب، فرض کنید که منبع جریان $I=V_{DD}/R_D$ باشد، که جریان اولیه در دسترس برای شارژ خازن در حالت بار مقاومتی است. t_{PLH} را در هر حالت به دست آورید. درصد کاهش حاصل از استفاده از بار منبع جریان را محاسبه کنید.

ط ۳۹-۱۳ یک وارونگر شبه NMOS طراحی کنید که جریان خروجی راه انداز بار خازنی آن در $v_O = V_{DD}/4$، در جهت مثبت و منفی مساوی باشد. $V_{DD} = 5\ V$، $|V_t| = 0/8V$، $k'_n=3k'_p=75\mu A/V^2$ و $(W/L)_n=1/2\mu m/0/8\mu m$ است. مقادیر $(W/L)_p$، V_{OL}، NM_H، V_{IL}، V_M، V_{OH} و NM_L چیست؟



شکل (م ۳۸-۱۳)

۱۳-۴۰ یک وارونگر شبه NMOS را با $r = ۲$ ، $(W/L)_n = ۱/۲\mu m/۰/۸\mu m$ ، $V_{DD} = ۵V$ ، $|V_t| = ۰/۸V$ و $k'_n=۳k'_p=۷۵\mu A/V^۲$ در نظر بگیرید. فرض کنید ظرفیت خازنی قطعه در هر میکرومتر عرض قطعه، $C_{gs}=۱/۵fF$ ، $C_{gd}=۰/۵fF$ و $C_{db}=۲fF$ باشد. ظرفیت خازنی ورودی و خروجی و مقادیر t_{PLH} ، t_{PHL} و t_P را هنگامی که این وارونگر، وارونگر مشابه دیگری را راه اندازی می‌کند تخمین بزنید. مقادیر متناظر وارونگر CMOS مکمل با طراحی تطبیق شده را نیز به دست آورید.

* **۱۳-۴۱** با استفاده از معادله (۴۱-۱۳) مقدار r را برای حداقل شدن NM_L به دست آورید. مقدار متناظر NM_L چیست؟

ط ۱۳-۴۲ یک وارونگر شبه NMOS که دارای $V_{OL} = ۰/۲V$ باشد، طراحی کنید. $V_{DD} = ۵V$ ، $|V_t| = ۰/۸V$ ، $k'_n=۳k'_p=۷۵\mu A/V^۲$ و $(W/L)_n=۱/۲\mu m/۰/۸\mu m$ است. مقدار $(W/L)_p$ چیست؟ مقادیر NM_L و توان مصرفی استاتیک را به دست آورید.

۱۳-۴۳ به ازای چه مقداری از r ، NM_H وارونگر شبه NMOS صفر می‌شود؟ جدولی برای NM_H نسبت به r برای $r=۱$ تا $r=۱۶$ رسم کنید.

۱۳-۴۴ به ازای چه مقداری از r ، در یک وارونگر شبه NMOS ، $NM_L=NM_H$ خواهد شد؟ فرض کنید $V_{DD}=۵V$ و $|V_t|=۰/۸V$ باشد، حاشیه به دست آمده چقدر است؟

ط * ۱۳-۴۵ می‌خواهیم یک وارونگر شبه NMOS با حداقل سطح طراحی کنیم که حاشیه‌های نویز پایین و بالای آن مساوی باشد. منبع تغذیه ۵V، $|V_t|=۰/۸V$ ، $k'_n=۳k'_p=۷۵\mu A/V^۲$ و قطعه با کمترین اندازه دارای $(W/L)=۱/۲\mu m/۰/۸\mu m$ می‌باشد. مقدار r را چقدر انتخاب می‌کنید؟ مقادیر $(W/L)_n$ و $(W/L)_p$ را تعیین کنید. توان مصرفی این گیت چقدر است؟ نسبت تأخیرهای انتشار برای حالات گذر پایین و بالا چیست؟ با یک بار خازنی خارجی و چشم پوشی از ظرفیت خازنی کوچک قطعه، t_{PLH} ، t_{PHL} و t_P را به دست آورید. در چه فرکانسی توان مصرفی استاتیک و گذرا مساوی هستند؟ در این سرعت t_p چقدر است؟ نسبت توان مصرفی گذرا به توان استاتیک در فرکانسی که می‌توان آن را بیشترین فرکانس کاری دانست [یعنی $۱/(۲\,t_{PLH} + ۲\,t_{PHL})$] چیست؟

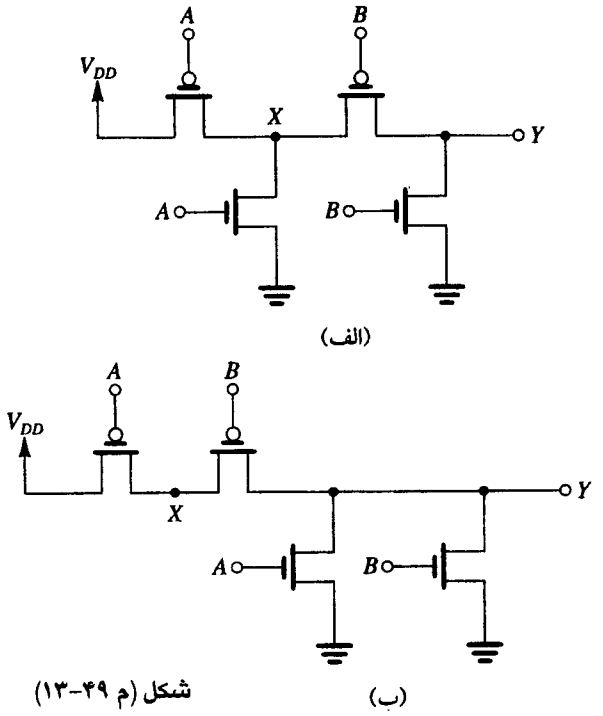
ط ۱۳-۴۶ تحقق شبه NMOS تابع $Y = \overline{A + B(C + D)}$ را رسم کنید.

ط ۱۳-۴۷ یک مدار شبه NMOS رسم کنید که تابع OR انحصاری $Y=A\bar{B}+\bar{A}B$ را تحقق دهد.

ط ۱۳-۴۸ یک گیت NOR شبه NMOS چهار ورودی با $(W/L)_n=(۱/۸\mu m/۱/۲\mu m)$ را در نظر بگیرید. می‌خواهیم $(W/L)_p$ را طوری به دست آوریم که مقدار بدترین حالت V_{OL} ، ۰/۲V باشد. فرض کنید $V_{DD}=۵V$ ، $|V_t|=۰/۸V$ و $k'_n=۳k'_p=۷۵\mu A/V^۲$ باشد.

بخش ۵-۱۳: مدارهای منطقی ترانزیستور عبوری

۱۳-۴۹ یک طراح می‌خواهد با منطق ترانزیستور عبوری طراحی نماید. دو ایده در رابطه با اندازه ترانزیستور به نظر او خوب است:
(الف) تعدادی از ترانزیستورهای MOS تکی را با حداقل اندازه می‌توان برای توابع منطقی پیچیده مورد استفاده قرار داد.

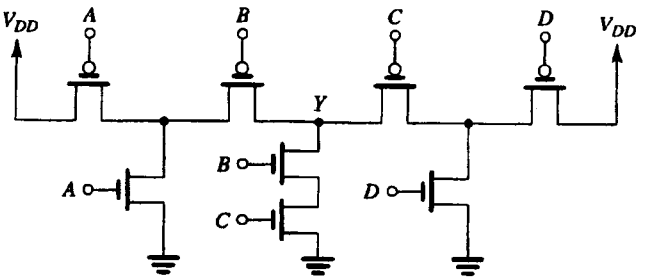


شکل (م ۴۹-۱۳)

(ب) همیشه ممکن است مسیری بین پایانه تغذیه و خروجی باشد.
بر اساس این دو ایده، ابتدا دو مدار [نشان داده شده در شکل (م ۴۹-۱۳)] را در نظر می‌گیرد. برای هر کدام، Y را بصورت تابعی از A و B بیان کنید. در هر حالت درباره کار مدار چه می‌توان گفت؟ درباره گره X چطور؟ کدام یک از این دو مدار آشناتر است؟ اگر در هر یک از دو حالت، پایانه متصل به V_{DD}، به خروجی وارونگر CMOS که ورودی آن متصل به سیگنال C است، متصل شود، تابع Y چه خواهد شد؟

۱۳-۵۰ مدار شکل (م ۴۹-۱۳) را در حالی که همه ترانزیستورهای PMOS آن با NMOS و ترانزیستورهای NMOS با PMOS تعویض شود در نظر بگیرید. اتصالات زمین و تغذیه نیز بر عکس می‌شود. تابع خروجی Y چیست؟

*** ۱۳-۵۱** آیا مدار شکل (م ۵۱-۱۳) یک مدار ترانزیستور عبوری مناسب است؟ عیب آن چیست؟ Y را بصورت تابعی از A، B، C و D بیان کنید. اگر دو اتصال V_{DD} توسط وارونگر CMOS با ورودی E راه‌اندازی شود، خروجی چه خواهد شد؟



شکل (م ۵۱-۱۳)

۱۳-۵۲ یک سوئیچ ترانزیستور عبوری با $W/L=۱/۲\mu m/۰/۸\mu m$، در سیستم ۳/۳V با پارامترهای $V_{t0}=۰/۸V$، $\gamma=۰/۵V^{1/2}$، $2\phi_f=۰/۶V$، $\mu_n C_{ox}=۳\mu_p C_{ox}=۷۵\mu A/V^2$، یک بار خازنی ۱۰۰fF را در ورودی وارونگر استاتیک تطبیق شده که دارای $(W/L)_n=۱/۲\mu m/۰/۸\mu m$ است راه اندازی می‌کند. اگر پایانه گیت در ولتاژ V_{DD} باشد، V_{OH} و V_{OL} سوئیچ را برای ورودی‌های V_{DD} و صفر ولت به دست آورید. با این مقدار V_{OH}، جریان استاتیک وارونگر چقدر است؟ t_{PLH} و t_{PHL} از ورودی به خروجی سوئیچ چقدر است؟

*** ط ۱۳-۵۳** هدف از این مسأله طراحی مدار بازیابی سطح شکل (۲۸-۱۳) و نگاهی به عملکرد آن است. فرض کنید $\gamma=۰/۵V^{1/2}$، $k'_n=۳k'_p=۷۵\mu A/V^2$، $|V_{t0}|=۰/۸V$، $V_{DD}=۳/۳V$، $2\phi_f=۰/۶V$، $(W/L)_1=(W/L)_n=۱/۲\mu m/۰/۸\mu m$، $(W/L)_p=۳/۶\mu m/۰/۸\mu m$ و $C=۲۰fF$ و $v_B=V_{DD}$ باشد.
(الف) ابتدا حالت $v_A=V_{DD}$ را در نظر بگیرید.
ولتاژ v_{O1} را که باعث می‌شود v_{O2} به مقدار ولتاژ آستانه زیر V_{DD}، یعنی ۲/۵V برسد، بطوری که Q_R روشن شود به دست آورید. با این مقدار v_{O1} را برای Q_1 پیدا کنید. جریان شارژ کنندهٔ خازن در این زمان چقدر است؟ در $v_{O1}=0$ چقدر است؟ جریان متوسط در دسترس برای شارژ C چقدر است؟ t_{PLH} از ورودی به v_{O1} را تخمین بزنید.
(ب) اکنون برای تعیین نسبت مناسب W/L برای Q_R، حالتی را در نظر بگیرید که v_A به صفر ولت رسیده و Q_1 شروع به هدایت و شارژ خازن C می‌کند. ولتاژ v_{O1} نیز شروع به افت می‌کند، در ضمن v_{O2} هنوز در حالت پایین بوده و Q_R در حال هدایت است. جریانی که Q_R هدایت می‌کند از جریان Q_1 کم می‌شود که جریان در دسترس برای شارژ C را کاهش می‌دهد. مقدار v_{O1} را که در آن وارونگر سوئیچ می‌کند به دست آورید. $V_{IH}=\frac{1}{8}(5-V_{DD}-2V_t)$ می‌باشد. جریانی را که Q_1 در این مقدار v_{O1} هدایت می‌کند چقدر است؟ W/L ترانزیستور QR را طوری تعیین کنید که جریان هدایت شده توسط آن به یک دوم مقدار جریان Q_1 محدود شود. مقدار (W/L) انتخابی شما چقدر است؟ t_{PHL} را بعنوان زمانی که v_{O1} از V_{DD} به V_{IH} می‌رسد، تخمین بزنید.

ط ۱۳-۵۴ (الف) از ایده مطرح شده در تحقق تابع OR انحصاری شکل (۳۱-۱۳) استفاده کرده، تابع $\bar{Y}=AB+\bar{A}\bar{B}$ را تحقق دهید. یعنی با استفاده از دو گیت انتقال تحققی برای تابع $\bar{Y}$ به دست آورید.
(ب) حال مدار به دست آمده در قسمت (الف) را با مدار شکل (۳۱-۱۳) ترکیب کرده، تحقق مداری تابع $Z=\bar{Y}C+Y\bar{C}$ که در آن C ورودی سوم است، به دست آورید. مدار کامل ۱۲ ترانزیستوری تحقق دهنده Z را رسم کنید. توجه کنید که Z تابع OR انحصاری سه ورودی است.

*** ط ۱۳-۵۵** با استفاده از ایده شکل (۳۲-۱۳)، مدار CPL را که خروجی‌های آن $Y=A\bar{B}+\bar{A}B$ و $\bar{Y}=AB+\bar{A}\bar{B}$ است، رسم نمایید.
*** ط ۱۳-۵۶** ایده CPL شکل (۳۲-۱۳)، به سه متغیر برای تشکیل $Z=ABC$ و $\bar{Z}=\overline{ABC}=\bar{A}+\bar{B}+\bar{C}$، گسترش دهید.

بخش ۱۳-۶: مدارهای منطقی گذرا

ط ۱۳-۵۷ بر اساس مدار منطقی گذرای اساسی شکل (۳۳-۱۳)، مدار کامل گیت‌های NOT، NAND و NOR را رسم کنید که دو مدار آخری دو ورودی بوده و مداری $\bar{Y}=AB+CD$ را نیز رسم نمایید.

۱۳-۵۸ در این مسأله و مسأله بعدی عملکرد گذرای گیت NAND دو ورودی را که با پارامترهای تکنولوژی CMOS $V_{DD}=3V$، $V_{tn}=-V_{tp}=0/8V$، $k'_n=3k'_p=75\mu A/V^2$ بررسی می‌کنیم. برای کوچک نگه داشتن C_L، از قطعات با حداقل اندازه با $W/L=1/2\mu m/0/8\mu m$ (که شامل Q_e هم می‌شود) استفاده می‌شود. ترانزیستور پیش شارژ PMOS، یعنی Q_p، دارای $2/4\mu m/0/8\mu m$ است. خازن $C_L=15fF$ است. عملکرد پیش شارژ در حالتی که ولتاژ گیت Q_p، صفر ولت و در زمان $t=0$، C_L کاملاً تخلیه شده باشد، در نظر بگیرید. می‌خواهیم زمان صعود ولتاژ خروجی را که زمان رسیدن v_Y از ۱۰٪ به ۹۰٪ مقدار نهایی ۳V است، پیدا کنیم. جریان را در $v_Y=0/3V$ و $v_Y=2/7V$ به دست آورده، مقدار تقریبی t_r را که بصورت $t_r=\frac{C_L(2/7-0/3)}{I_{av}}$ (I_{av} میانگین دو جریان است) بیان می‌شود. محاسبه نمایید.

۱۳-۵۹ تأخیر انتشار حالت بالا به پایین، یعنی t_{PHL} را برای گیت مسأله (۵۸-۱۳) به دست آورید، برای دستیابی به مقدار تقریبی t_{PHL}، سه ترانزیستور NMOS سری را با یک ترانزیستور معادل جایگزین کرده، جریان تخلیه متوسط را به دست آورید.

۱۳-۶۰ در این مسأله می‌خواهیم کاهش ولتاژ خروجی ناشی از توزیع

مجدد بار را در یک گیت منطقی گذرا به دست آوریم. با رجوع به مدار شکل (الف ۳۴-۱۳) فرض کنید که در $t=0$، $v_Y=V_{DD}$ و $v_{C_1}=0$ باشد. در $t=0$، ϕ به حالت بالا می‌رود و Q_p خاموش می‌شود و همزمان ولتاژ گیت Q_1 به حالت بالا (V_{DD}) محدود، که باعث روشن شدن Q_1 می‌شود. ترانزیستور Q_1 تا هنگامی هدایت می‌کند که یا ولتاژ سورس آن (v_{C_1}) به $V_{DD}-V_{tn}$ برسد یا $v_Y=v_{C_1}$ شود. در هر دو حالت، مقدار نهایی v_Y را می‌توان با استفاده از قانون بقای بار به دست آورد. برای $V_{tn}=1V$، $V_{DD}=5V$، $C_L=30fF$ چشم پوشی از اثر بدنه $Q1$، افت ولتاژ خروجی را در دو حالت به دست آورید: (الف) $C_1=5fF$ (ب) $C_1=10fF$ (بطوری که Q_1 در تمام مدت هدایت خود در ناحیه اشباع باقی می‌ماند).

۱۳-۶۱ جریان نشتی در یک گیت منطقی گذرا باعث می‌شود خازن C_L در فاز ارزیابی تخلیه شود، حتی اگر PDN در حالت هدایت نباشد. برای $C_L = 30fF$ و $I_{نشتی} = 10^{-12}A$ طولانی‌ترین زمان مجاز ارزیابی را اگر کاهش ولتاژ خروجی به $0/5V$ محدود شود، به دست آورید. اگر بازهٔ زمانی پیش شارژ بسیار کوتاه‌تر از حداکثر زمان مجاز ارزیابی باشد، کمترین فرکانس ساعت لازم چقدر است؟

۱۳-۶۲ حداکثر فرکانس ساعت مجاز را برای گیت NAND چهار ورودی منطق گذرا که در تمرین‌های (۱۰-۱۳) و (۱۱-۱۳) تحلیل شد، تخمین بزنید.

بخش ۷-۱۳: قفل‌ها و فلیپ فلاپ‌ها

۱۳-۶۳ فلیپ فلاپ ساعت‌دار شکل (۴۰-۱۳) را با طراحی حداقل سطح، درنظر بگیرید. بنابراین، Q_1، Q_2، Q_3 و Q_4 قطعات با حداقل اندازه هستند که در آنها $W/L=2\mu m/1\mu m$ می‌باشد. همه قطعات دیگر بگونه‌ای اندازه بندی شده‌اند که عمل بازتولید را تضمین نمایند. در این طراحی $V_{DD}=5V$، $|V_t|=1V$، $k'_n=2/5k'_p=100\mu A/V^2$ است. V_{th} را برای هر یک از وارونگرهای داخلی محاسبه کنید فرض کنید که همه جریان هدایت شده از قطعه p (مثلاً Q_2) در این ولتاژ توسط جریان $(Q_5$، $Q_6)$ در حالتی که S و ϕ هر دو در حالت بالا هستند، تأمین می‌شود. W/L ترانزیستور معادل را به دست آورید. کمترین W/L لازم برای Q_5 و Q_6 و $W_5=W_6$ برای $L=1\mu m$ چقدر است؟ معمولاً برای تضمین عملکرد و پایین بودن زمان سوئیچینگ از قطعات با اندازه بزرگتر استفاده می‌شود.

۱۳-۶۴ کمترین عرض لازم برای پالس set و reset را برای یک فیلپ فلاپ از نوع شکل (۴۰-۱۳)، تعیین کنید. فرض کنید Q_1، Q_2، Q_3 و Q_4 قطعات با کمترین اندازه با $W/L=2\mu m/1\mu m$ و دیگر قطعات با $W/L = 4\mu m/1\mu m$ باشند. $V_{DD} = 5V$، $|V_t| = 1V$، $k'_n=2/5k'_p=100\mu A/V^2$ و خازن مجموع در هر یک از گره‌های Q و $\bar{Q}$، $30fF$ است. [راهنمایی: از روش ارائه شده در تمرین (۱۴-۱۳) استفاده کنید]

۱۳-۶۵ فرض کنید مدار شکل (۴۲-۱۳) بصورت زیر باشد: ورودی R را $\bar{S}$ و ورودی S را $\bar{R}$ بنامید. فرض کنید $\bar{S}$ و $\bar{R}$ در حالت عادی دارای ولتاژهای بالا که توسط یک منبع با امپدانس بالا تأمین می‌شود باشند و اطلاعات فلیپ فلاپ بدون تغییر محتوای آن‌ها خوانده می‌شود. برای نوشتن، یعنی set یا reset کردن فلیپ فلاپ، $\bar{S}$ یا $\bar{R}$ به صفر ولت رسیده و ϕ به V_{DD} می‌رود تا $\bar{Q}$ یا Q به $V_{DD}/2$ برسند، که عمل باز تولید بسرعت انجام شود. برای Q_1، Q_3، Q_5 و Q_6 که قطعات با حداقل اندازه با $(W/L)_n=2$ هستند، $(W/L)_p$ را طوری به دست آورید که $\bar{Q}$ را بتوان تا $2/5V$ در سیستم ۵ ولتی، هنگامی که $\bar{S}$ به صفر ولت می‌رسد، پایین آورد. فرض کنید $|V_t|=1V$ و $k'_n=3k'_p=75\mu A/V^2$ باشد.

ط ۱۳-۶۶ فلیپ فلاپ ساعت دار شکل (۴۰-۱۳) یک مدار CMOS مکمل کامل نیست. مدار مکمل کامل را با اضافه کردن مداری با PUN متناظر با PDN شامل Q_5، Q_6، Q_7 و Q_8 رسم نمایید. توجه کنید که مدار کامل از ۱۲ ترانزیستور استفاده می‌کند. اگر چه مدار پیچیده‌تر است، اما سریع‌تر سوئیچ می‌کند.

ط ۱۳-۶۷ مدار CMOS مکمل فلیپ فلاپ SR شکل (۳۹-۱۳) را رسم کنید.

ط ۱۳-۶۸ شکل نمادی گیت منطقی یک فلیپ فلاپ SR را با استفاده از گیت‌های NAND رسم کنید. جدول صحت را ارائه کرده، عملکرد آن را تشریح کنید. همچنین مدار CMOS را رسم کنید.

**** ۱۳-۶۹** قفل شکل (۳۸-۱۳) را که در تکنولوژی CMOS پیاده سازی شده در نظر بگیرید. فرض کنید $\mu_n C_{ox}=2\mu_p C_{ox}=20\mu A/V^2$، $W_p=2W_n=24\mu m$، $L_p=L_n=6\mu m$، $|V_t|=1V$، $V_{DD}=5V$ باشد.
(الف) مشخصه انتقالی هر وارونگر -یعنی v_X نسبت به v_W و v_Z نسبت به $-v_Y$ را رسم نمایید. خروجی هر وارونگر را در ولتاژهای ورودی ۱، ۱/۵، ۲، ۲/۲۵، ۲/۵، ۲/۷۵، ۳، ۳/۵، ۴ و ۵ ولت به دست آورید.
(ب) با استفاده از مشخصات (الف) منحنی انتقالی ولتاژ حلقه قفل را (یعنی v_Z نسبت به v_W) تعیین کنید. مشخصات نقاط A، B و C را بصورتی که در شکل (پ ۳۸-۱۳) تعریف شده، تعیین نمایید.
(پ) اگر مقاومت محدود خروجی MOSFET اشباع شده را به حساب آوریم. با $|V_A|=100V$، شیب مشخصه انتقالی حلقه را در نقطه B بدست آورید. عرض تقریبی ناحیه گذر چقدر است؟

۱۳-۷۰ دو وارونگر CMOS که با منبع تغذیه ۵ ولتی کار می‌کنند، دارای $V_{IH}=2/42V$ و $V_{IL}=2V$ و خروجی‌های متناظر $0/4V$ و $4/6V$ هستند و بصورت قفل به یکدیگر متصل شده‌اند. مشخصه‌های انتقالی متناظر هر گیت را به خط راستی بین نقاط آستانه تقریب بزنید. مشخصه انتقالی حلقه باز قفل را رسم کنید. مختصات نقطه B چیست؟ بهره حلقه در B چقدر است ؟

۸-۱۳: مدارهای مولتی ویبراتور

ط ۱۳-۷۱ در مدار با یک حالت پایدار شکل (۴۷-۱۳)، با استفاده از عبارت تقریبی به دست آمده در تمرین (۱۵-۱۳)، مقادیر مناسب R و C را طوری به دست آورید که $T=1ms$ بوده و حداکثر خطا در مقدار به دست آمده T ناشی از چشم پوشی از R_{on} طراحی ۲٪ باشد. فرض کنید R_{on} به حداکثر $1k\Omega$ محدود شود.

۱۳-۷۲ مدار با یک حالت پایدار شکل (۴۸-۱۳) را با شرط $R_{on} \ll R$ در نظر بگیرید. عبارت T در این حالت چیست؟ اگر V_{th}، بصورت نامی $0/5V_{DD}$ باشد، اما بتواند بعلت تغییرات ساخت از $0/4V_{DD}$ تا $0/6V_{DD}$ تغییر کند، تغییرات متناظر در T را بصورت درصدی از مقدار نامی به دست آورید.

* ۱۳-۷۳ شکل موج‌های مدار با یک حالت پایدار شکل (۱۳-۴۷) در شکل (۱۳-۵۰) ارائه شده‌اند. فرض کنید $V_{DD}=10\,V$ ، $V_{th} = V_{DD}/2$ ، $R=10\,k\Omega$ ، $C=0.001\,\mu F$ و $R_{on}=200\,\Omega$ باشد. مقادیر T ، ΔV_1 ، ΔV_2 را تعیین کنید. v_o در حالت شبه پایدار چقدر تغییر می‌کند؟ جریان نوک که G_1 می‌کشد چقدر است؟ چه جریانی می‌دهد؟

ط ۱۳-۷۴ با استفاده از مدار شکل (۱۳-۴۷) یک مدار با یک حالت پایدار با منطق CMOS طراحی کنید که در آن $R_{on}=100\,\Omega$ ، $V_{DD}=5V$ و $V_{th}=0.4V_{DD}$ باشد. از خازن $C=1\mu F$ برای تولید خروجی با دوره $T=1s$ استفاده کنید. مقدار R باید چقدر باشد؟

ط ۱۳-۵۷ (الف) با استفاده از عبارت داده شده در تمرین (۱۳-۱۷) عبارتی برای فرکانس نوسان f_o مولتی ویبراتور ناپایدار شکل (۱۳-۵۲) با شرط $V_{th}=V_{DD}/2$ به دست آورید. (ب) مقادیر مناسب R و C را برای $f_o=100\,kHz$ تعیین کنید.

۱۳-۷۶ تغییرات ساخت گیت‌های به کار رفته در مدار ناپایدار شکل (۱۳-۵۲) باعث می‌شود که ولتاژهای آستانه در گستره $0.4V_{DD}$ تا $0.6V_{DD}$ با مقدار نامی $0.5V_{DD}$ باشد. تغییرات متناظر در مقدار f_o (نسبت به مقدار نامی) را بصورت درصدی از مقدار نامی بیان کنید. [می‌توانید از عبارت تمرین (۱۳-۱۷) استفاده نمایید]

* ۱۳-۷۷ مدار شکل (۱۳-۵۲) را بصورت زیر اصلاح کنید: مقاومتی مساوی $10R$ را بین گره مشترک C و R و گره ورودی G_1 قرار دهید. این مقاومت اجازه می‌دهد که ولتاژ v_{I1} به مقادیر بالاتر از V_{DD} و پایین تر از زمین برسد. شکل موج‌های اصلاح شده v_{I1} را رسم نمایید و نشان دهید دورهٔ تناوب T از فرمول زیر به دست می‌آید:

$$T = CR \ln \left[\frac{2V_{DD} - V_{th}}{V_{DD} - V_{th}} \times \frac{V_{DD} + V_{th}}{V_{th}}\right]$$

۱۳-۷۸ یک نوسان ساز حلقوی شامل ۵ وارونگر را در نظر بگیرید که هر کدام دارای $t_{PLH}=60\,ns$ و $t_{PHL}=40\,ns$ هستند. یکی از شکل موج‌های خروجی را رسم کنید. فرکانس و درصد سیکلی را که خروجی در حالت بالاست به دست آورید.

۱۳-۷۹ یک نوسان ساز حلقوی متشکل از یازده وارونگر با فرکانس $20\,MHz$ نوسان می‌کند تأخیر انتشار وارونگر چقدر است؟

بخش ۹-۱۳: حافظه‌های نیمه هادی انواع و ساختارها

۱۳-۸۰ یک آرایه حافظه مربعی یک مگابیتی خاص دارای یک مدار جانبی است که امکان خواندن کلمه ۱۶ بیتی را فراهم می‌آورد. چند بیت آدرس برای طرح جدید مورد نیاز است؟

۱۳-۸۱ در تراشه حافظه مسأله (۱۳-۸۰)، چند خط کلمه توسط رمز گشای سطر[1] تأمین می‌شود؟ چند تقویت کننده حسی/راه انداز مورد نیاز است؟ اگر توان مصرفی تراشه $500\,mW$ و منبع تغذیه $5V$ باشد در یک چرخه کار $200\,ns$ و با فرض این که تمام توان مصرفی گذرا باشد، ظرفیت خازنی را در هر سیکل، تخمین بزنید. اگر فرض کنیم که ۹۰٪ این افت توان در دسترسی به آرایه اتفاق می‌افتد و عمدهٔ ظرفیت خازنی مربوط به خط بیت باشد، ظرفیت خازنی هر خط بیت و هر بیت در این طرح چقدر است؟ در یک سیستم ۳ ولتی، ظرفیت حافظه را با همان توان مصرفی چقدر می‌توان افزایش داد؟

۱۳-۸۲ در یک حافظه یک گیگابیتی گذرا (DRAM) ساخت کارخانه سامسونگ که از تکنولوژی $0.16\mu m$ ، ۲ ولتی استفاده می‌کند، آرایه سلول تقریباً ۵۰٪ سطح تراشه $21mm \times 31mm$ را اشغال می‌کند. سطح سلول را تخمین بزنید. اگر در سلول تشکیل مربع دهند، ابعاد سلول را تخمین بزنید.

۱۳-۸۳ یک RAM گذرای یک گیگابیتی، ۱/۵ ولتی آزمایشی (DRAM) که توسط کارخانه هیتاچی ساخته شده از فرآیند $0.16\mu m$ با اندازه سلول $0.38 \times 0.76\mu m^2$ در یک تراشه $19 \times 38 mm^2$ ، استفاده می‌کند. چه کسری از تراشه توسط اتصالات I/O ، مدارات جانبی و اتصالات داخلی اشغال می‌شود؟

۱۳-۸۴ یک تراشه RAM ۲۵۶ مگابیتی با قابلیت خواندن ۱۶ بیتی، از ۱۶ قطعه با آرایه سلول مربعی استفاده می‌کند. برای رمز گشای قطعه، رمز گشای سطر و رمز گشای ستون به چند بیت آدرس نیاز داریم؟

بخش ۱۰-۱۳: سلول حافظه با دستیابی تصادفی (RAM)

ط ۱۳-۸۵ عملیات نوشتن در سلول SRAM شکل (۱۳-۵۵) را در نظر بگیرید. مشخصاً قسمت‌های مربوطه را در نظر بگیرید که در شکل (۱۳-۵۷) نشان داده شده است. فرض کنید پارامترهای آن بصورت زیر باشد: $\mu_n/\mu_p=2.5$ ، $\gamma=0.5V^{1/2}$ ، $|V_{t0}| = 0.8V$ ، $2\phi_f = 0.6V$ ، $V_{DD} = 5\,V$ همچنین فرض کنید که هر یک از دو وارونگر تطبیق شده بوده، $(W/L)_1=(W/L)_3=n$ باشد که در آن، n نشان دهندهٔ نسبت W/L قطعه با حداقل اندازه است.

(الف) با استفاده از مدار شکل (الف ۱۳-۵۷) کمترین (W/L) لازم برای Q_5 را (بر حسب n) طوری به دست آورید که گره $\bar{Q}$ را بتوان به $V_{DD}/2$ رساند یعنی در $v_{\bar{Q}} = 2.5V$ ، $I_5=I_1$ باشد.

(ب) با استفاده از مدار شکل (ب ۱۳-۵۷) کمترین (W/L) لازم برای Q_6 را (بر حسب n) طوری به دست آورید که گره Q را بتوان تا $V_{DD}/2$ پایین آورد یعنی در $v_Q=V_{DD}/2$ ، $I_6=I_4$ باشد.

(پ) چون Q_5 و Q_6 طوری طراحی شده‌اند که نسبت‌های W/L مساوی داشته باشند، کدام یک از دو مقدار پیدا شده در (الف) و (ب) را برای طرح انتخاب می‌کنید؟

(ت) برای مقدار پیدا شده (پ) و برای $n=2$ و $\mu_n C_{ox}=50\mu A/V^2$ و زمانی را که لازم است تا v_Q به $V_{DD}/2$ برسد، تعیین کنید. فرض کنید $C_Q=50\,fF$ باشد.

۱۳-۸۶ در مدار شکل (الف ۱۳-۵۷) فرض کنید که ابعاد قطعه و پارامترهای تکنولوژی ساخت آن مانند مثال (۱۳-۶) باشد. می‌خواهیم بازه زمانی Δt لازم برای شارژ $C_{\bar{Q}}$ و رسیدن ولتاژ آن از صفر به $V_{DD}/2$ را تعیین کنیم.

(الف) در آغاز بازه زمانی Δt مقادیر I_5 ، I_1 ، $I_{C\bar{Q}}$ را به دست آورید.

(ب) در پایان بازه زمانی Δt مقادیر I_5 ، I_1 و $I_{C\bar{Q}}$ را به دست آورید.

(پ) مقدار متوسط $I_{C\bar{Q}}$ را در بازه زمانی Δt تخمین بزنید.

(ت) اگر $C_{\bar{Q}}$=۵۰fF باشد، Δt را تخمین بزنید. این مقدار را با مقدار پیدا شده در تمرین (۲۱-۱۳) برای رسیدن v_Q به $V_{DD}/۲$ تخمین بزنید. خازن $C_{\bar{B}}$ [شکل (الف ۵۶-۱۳) را ببینید] در لحظه‌ای که ولتاژ خط کلمه به $V_{DD}/۲$ می‌رسد، شروع به تخلیه شدن می‌کند. (به خاطر آورید که مقاومت و ظرفیت خازنی خط کلمه باعث می‌شود که ولتاژ، آرامتر به سمت V_{DD} افزایش یابد) با استفاده از روشی مشابه مثال (۶-۱۳) تأخیر خواندن را (زمانی را که لازم است تا ولتاژ خط $\bar{B}$ به ۰/۲V برسد) تعیین کنید. فرض کنید همه پارامترها مانند مثال (۶-۱۳) باشد.

۸۷-۱۳ بار دیگر تحلیل عمل خواندن SRAM در مثال ۶-۱۳ در نظر بگیرید. فرض کنید که بیت‌های خطوط با $V_{DD}/۲$ دریافت شده باشد همچنین تخلیهٔ $C_{\bar{B}}$ در شکل (الف ۶۵-۱۳) را در نظر بگیرید تا لحظه‌ای که ولت خط کلمه به $V_{DD}/۲$ برسد. (به یاد داشته باشید که مقاوت و خازن خط کلمه موجب می‌شود ولتاژ به سمت V_{DD} به آهستگی افزایش یابد). با استفاده از بررسی مشابه مثال ۶-۱۳ ، تأخیر خواندن را معین کنید، که در زمان مورد نیاز برای کاهش ولتاژ خط $\bar{B}$ به اندازه ۰/۲V تعیین شده است. فرض کنید شاخصه‌های قطعات و تکنولوژی آنها در مثال ۶-۱۳ آورده شده است.

۸۸-۱۳ در یک طراحی خاص DRAM ، ظرفیت خازنی سلول C_S=۵۰fF ، V_{DD}=۵V و V_t (شامل اثر بدنه) مساوی ۱/۴V باشد. بار خازنی هر سلول روی خط بیت، ۲fF است. تقویت‌کننده حسی و مدارهای دیگر، ظرفیت خازنی ۲۰fF دارند که به ظرفیت خازنی خط بیت افزوده شود. بیشترین تعداد سلول که می‌توان به خط بیت اضافه نمود در حالی که کمترین سیگنال خط بیت ۰/۱V باشد، چقدر است؟ چند بیت آدرس دهی سطر را می‌توان مورد استفاده قرار داد؟ اگر بهره تقویت‌کننده حسی، پنج برابر شود، بیت‌های آدرس خط کلمه چقدر خواهد بود؟

۸۹-۱۳ برای یک DRAM که ۹۰٪ اوقات در دسترس است و نسبت سطر به ستون آن ۲ به ۱ و زمان سیکل ۲۰ns است، با زمان سیکل تازه سازی ۸ns ، ظرفیت کلی حافظه را تخمین بزنید.

۹۰-۱۳ در یک تراشه حافظه‌گذاری خاص، C_s=۲۵fF ، ظرفیت خازنی خط بیت بر سلول، ۱fF ، و مقدار کنترل خط بیت ۱۲fF است. در یک آرایه مربعی یک مگابیتی، برای خواندن مقدار 1 ، سیگنال خط بیت چقدر است؟ برای خواندن مقدار 0 چقدر؟ فرض کنید V_{DD}=۵V و V_t=۱/۵V (شامل اثر بدنه)باشد. خطوط بیت تا $V_{DD}/۲$ پیش شارژ شده‌اند.

۹۱-۱۳ در یک سلول DRAM که ظرفیت خازنی آن ۲۰fF است، عملیات تازه سازی هر ۱۰ms یک بار انجام می‌شود. اگر افت سیگنال روی خازن به میزان ۱V قابل قبول باشد، بیشترین میزان جریان نشتی قابل پذیرش در سلول چقدر است؟

بخش ۱۱-۱۳: تقویت‌کننده‌های حسی و رمزگشاهای آدرس

ط ۹۲-۱۳ عملکرد تقویت‌کننده حسی تفاضلی شکل (۶۰-۱۳) را در پی افزایش سیگنال کنترلی حسی ϕ_s در نظر بگیرید. فرض کنید سیگنال تفاضلی معادل ۰/۱V بین خطوط بیت که هر کدام ۱pF ظرفیت خازنی دارند، برقرار شود. با V_{DD} = ۳V مقدار G_m هر یک از وارونگرهای تقویت‌کننده چقدر باشد تا خروجی در مدت ۲ns از $\frac{۰/۱}{۲}+۰/۵V_{DD}$ به $۰/۱V_{DD}$ و از $\frac{۰/۱}{۲}-۰/۵V_{DD}$ به $۰/۹V_{DD}$ برسد؟ اگر برای وارونگرها تطبیق شده، $|V_t|$=۰/۸V ، $k'_n=۳k'_p=۷۵\mu A/V^۲$ باشد، عرض قطعه چقدر است؟ چنانچه سیگنال ورودی ۰/۲V باشد، زمان پاسخ تقویت‌کننده چقدر خواهد بود؟

۹۳-۱۳ نوع خاصی از تقویت‌کننده حسی شکل (۶۰-۱۳) در تکنولوژی ۰/۵μm دارای پارامترهای زیر است: $|V_t|$=۰/۸V، $(W/L)_n$=۶μm/۱/۵μm ، V_{DD}=۳/۳V ، $k'_n=۲/۵k'_p=۱۰۰\mu A/V^۲$ $(W/L)_p$=۱۵μm/۱/۵μm . G_m را برای هر وارونگر به دست آورید. اگر ظرفیت خازنی هر خط بیت ۰/۸pF و تأخیر رسیدن خروجی به $۰/۹V_{DD}$ ۲ns باشد، ولتاژ اولیه تفاضلی لازم بین دو خط بیت را به دست آورید. اگر بتوان زمان را به ۱ns رساند چه سیگنال ورودی را می‌توان قبول کرد؟ با تأخیر افزایش یافته و سطح اولیه سیگنال، ظرفیت خازنی خط بیت و متناظر با آن طول خط بیت، چند درصد افزایش می‌یابد؟ اگر زمان تأخیر لازم برای شارژ ظرفیت‌های خازنی خط بیت توسط جریان ثابت فراهم شده از سوی سلول ذخیره‌کننده و فراهم‌کردن ولتاژ تفاضلی مورد نیاز برای تقویت‌کننده حسی، ۵ns باشد هنگامی که از خطوط طولانی‌تر استفاده شود، این زمان چقدر افزایش می‌یابد ؟

ط ۹۴-۱۳ (الف) برای تقویت‌کننده حسی شکل (۶۰-۱۳) نشان دهید که زمان لازم برای رسیدن خطوط بیت به $۰/۹V_{DD}$ و $۰/۱V_{DD}$ از رابطهٔ $t_d = \frac{G_B}{G_m}\ln\left(\frac{۰/۸V_{DD}}{\Delta V}\right)$ به دست می‌آید که در آن، ΔV ولتاژ تفاضلی اولیه بین دو خط بیت است.
(ب) چنانچه زمان پاسخ تقویت‌کننده حسی به نصف مقدار اولیه کاهش یابد، عرض همه ترانزیستورها با چه ضریبی باید افزایش یابد؟
(پ) در یک طرح خاص V_{DD}=۵V و ΔV=۰/۲V است، ضریب افزایش عرض ترانزیستورها را طوری به دست آورید که ΔV با ضریب ۴ کاهش یابد و t_d تغییری نکند.

ط ۹۵-۱۳ می‌خواهیم یک تقویت‌کننده حسی از نوع نشان داده شده در شکل (۶۰-۱۳) طراحی کنیم که با یک DRAM که از تکنیک سلول غیر واقعی تشریح شده در شکل (۶۲-۱۳) بهره می‌برد، کار کند. سلول DRAM ولتاژهای خواندن ۱۰۰mV- برای 0 ذخیره شده و ۴۰mV برای 1 ذخیره شده را فراهم می‌کند. تقویت‌کننده حسی باید ولتاژ خروجی تفاضلی ۲V را حداکثر در ۵ns ایجاد کند. نسبت‌های W/L ترانزیستورها را در وارونگرهای تقویت‌کننده را با فرض این که پارامترهای تکنولوژی پردازش $|V_t|$ =۱V ، $k'_n=۲/۵k'_p=۱۰۰\mu A/V^۲$ باشد، به دست آورید. V_{DD}=۵V باشد. ظرفیت خازنی هر نیمه خط بیت ۱pF است. هنگام خواندن 0 و 1 زمان پاسخ تقویت‌کننده چقدر است؟

۹۶-۱۳ یک رمزگشای NOR ۵۱۲ سطری را در نظر بگیرید. این مقدار، متناظر با چند بیت آدرس است؟ این رمزگشا چند خط خروجی دارد؟ آرایه NOR به چند خط ورودی نیاز دارد؟ تعداد ترانزیستورهای NMOS و PMOS در این طرح چقدر است؟

۹۷-۱۳ در رمزگشای ستون نشان داده شده در شکل (۶۴-۱۳) تعداد بیت‌های آدرس لازم برای آرایه مربعی ۲۵۶ کیلو بیتی چقدر است؟ به چند ترانزیستور عبوری NMOS در مالتی پلکسر نیاز داریم؟
رمزگشای NOR به چند ترانزیستور NMOS و PMOS نیاز دارد؟ مجموع ترانزیستورهای NMOS و PMOS چند تاست؟

۹۸-۱۳ برای یک آرایه ۲۵۶ کیلو بیتی مربعی که از سه رمزگشای ستون نشان داده شده در شکل (۵۶-۱۳) استفاده می‌کند، به چند بیت آدرس نیاز است؟ تعداد گیت‌های عبور چند سطح است؟ تعداد ترانزیستورهای عبوری چند تاست؟

بخش ۱۲-۱۳: حافظه فقط خواندنی (RAM)

۹۹-۱۳ هشت کلمه ذخیره شده در ROM شکل (۶۶-۱۳)، چیست؟

ط ۱۰۰-۱۳ الگوی بیت یک ROM (۴×۱۶) را که بصورت ۴ بیتی حاصل از دو متغیر ۲ بیتی باشد، طراحی کنید. مدار ROM را با استفاده از شکل (۶۶-۱۳) رسم کنید.

۱۰۱-۱۳ نوع گذرای ROM شکل (۶۶-۱۳) را که در آن گیت‌های قطعات PMOS به سیگنال کنترلی پیش شارژ ϕ متصل شده‌اند در نظر بگیرید. فرض کنید همه قطعات NMOS دارای $W/L=3\mu m/1.2\mu m$ و PMOS دارای $W/L=12\mu m/1.2\mu m$ باشند.

فرض کنید $k'_n=3k'_p=90\mu A/V^2$ ، $V_{tn}=-V_{tp}=1V$ و $V_{DD}=5V$ باشد.

(الف) در بازه زمانی پیش شارژ، ϕ به صفر ولت می‌رسد. زمان لازم برای شارژ خط بیت را از صفر به ۵V به دست آورید. از جریان تأمین شده توسط ترانزیستور PMOS در ولتاژ ۲/۵ ولت خط بیت، بعنوان جریان متوسط، استفاده کنید. ظرفیت خازنی خط بیت ۱pF است. توجه کنید که در این لحظه همه ترانزیستورهای NMOS خاموش هستند.

(ب) پس از تکمیل بازه زمانی پیش شارژ و بازگشت ϕ به V_{DD}، رمزگشای سطر ولتاژ خط کلمه انتخاب شده را بالا می‌برد. بعلت محدود بودن مقاومت و ظرفیت خازنی خط کلمه، ولتاژ بصورت نمایی به سمت V_{DD} می‌رود. اگر مقاومت هر یک از خطوط کلمه پلی سیلیکونی ۵kΩ و ظرفیت خازنی بین خط کلمه و زمین ۲pF باشد. زمان صعود (از ۱۰٪ تا ۹۰٪) ولتاژ خط کلمه چقدر است؟ در انتهای یک ثابت زمانی ولتاژ به چه مقداری می‌رسد؟

(پ) اگر افزایش نمایی ولتاژ خط کلمه را به یک پله مساوی افزایش ولتاژ در یک ثابت زمانی تقریب بزنیم، بازه زمانی Δt لازم برای این که ترانزیستور NMOS خط بیت را تخلیه کند و ولتاژ آن را ۱V کاهش دهد، چقدر است؟

کتابشناسی

Motorola, *Memory Data,* Phoenix, Ariz.: Motorola, Inc., 1989.

J. M. Rabaey, *Digital Integrated Circuits,* Englewood Cliffs, N.J.: Prentice-Hall, 1996.

RCA, *COS/MOS Digital Integrated Circuits,* Publication No. SSD-203B, Somerville, N.J.: RCA Solid-State Division, 1974.

G. W. Roberts and A. S. Sedra, *SPICE,* New York: Oxford University Press, 1992, 1997.

A. S. Sedra and K. C. Smith, *Microelectronic Circuits,* First Edition, Chapter 16, New York: Holt, Rinehart and Winston, 1982.

N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design,* Reading, Mass.: Addison-Wesley, 1985, 1993.

S. D. Brown and J. Rose, FPGA and CPLD Architectures: A tutorial, IEEE Design and Test of Computers, vol. 13, No. 2, pp. 42–57, 1996.

M. I. Elmasry (Ed), *Digital MOS Integrated Circuits,* New York: IEEE Press, 1981. Also, *Digital MOS Integrated Circuits II,* 1992.

D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* Second Edition, New York: McGraw-Hill, 1988.

IEEE Journal of Solid-State Circuits. The November issue of each year has been devoted to digital circuits.

S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits,* New York: McGraw-Hill, 1996.

C. Mead and L. Conway, *Introduction to VLSI Systems,* Reading, Mass.: Addison-Wesley, 1980.

Motorola, *McMOS Handbook,* Phoenix, Ariz.: Motorola Inc., 1974.

فصل ۱۴

مدارهای دیجیتال تکنولوژی پیشرفته و دو قطبی

۱-۱۴ عملکرد گذرای سوئیچ BJT
۲-۱۴ شکلهای نخستین مدارهای دیجیتال BJT
۳-۱۴ منطق ترانزیستور - ترانزیستور (TTL یا T^2L)
۴-۱۴ مشخصه‌های TTL استاندارد
۵-۱۴ خانواده‌های TTL با عملکرد اصلاحی
۶-۱۴ منطق تزویج امیتری (ECL)
۷-۱۴ مدارهای دیجیتال BiCMOS
۸-۱۴ مدارهای دیجیتال گالیم آرسناید
۹-۱۴ مثالی از شبیه‌سازی SPICE
خلاصه - مسائل - کتابشناسی

مقدمه

این دومین فصل درباره مدارهای دیجیتال است. در فصل ۱۳، مدارهای دیجیتال MOS را مطالعه کردیم؛ در اینجا مدارهایی را مطالعه می‌کنیم که در آن ترانزیستورهای پیوندی دوقطبی به کار رفته است. دو خانوادهٔ جدید مدارهای دیجیتال یعنی BiCMOS و گالیم آرسناید را که مبتنی بر تکنولوژی‌های پردازشی هستند، بررسی خواهیم کرد. پیش نیاز این فصل، آشنایی کامل با BJT (در فصل ۴) است. همچنین فرض بر آن است که خواننده با مفاهیم کلی مدار دیجیتال که در بخش (۱-۱۳) آورده شد، آشنایی دارد.

مطالعه مدارهای دیجیتال BJT را با عملکرد گذرای BJT و زمان‌های آن که مرتبط با بار ذخیره شده در بیس آن است، آغاز می‌کنیم. این تحلیل بیانگر این نکته است که BJT اشباع شده دارای زمان‌هایی است که پاسخ آن را کند می‌کند.

پس از مرور مختصر خانواده مدار منطقی دوقطبی اولیه، دو خانواده همسان را به تفصیل بررسی می‌کنیم : منطق ترانزیستور - ترانزیستور (یا TTL)، و منطق تزویج امیتر (یا ECL). TTL برای سالها مشهورترین تکنولوژی مدار در پیاده سازی سیستم‌های دیجیتال و استفاده از بسته‌های SSI، MSI و LSI بوده است. در زمان حاضر، TTL همچنان مشهور است و تنها رقیبش CMOS (در فصل ۱۳) است. عامل مهم تداوم TTL، اصلاح عملکرد این تکنولوژی در طی سالهای گذشته است. صورتهای جدید TTL دارای تاخیر گیت ۱/۵ns است. چنانکه خواهیم دید، در این مدارهای پیشرفته، از اشباع BJT ها جلوگیری می‌شود. این کار با اجتناب از زمان تأخیر لازم برای خارج شدن از اشباع ممکن می‌شود. در خانواده مشهور دوقطبی دیگر، یعنی ECL نیز از اشباع ترانزیستور جلوگیری می‌شود.

بجز تکنولوژی گالیم آرسناید، سریعترین تکنولوژی مدار منطقی موجود، منطق تزویج امیتری است که تأخیر گیت آنها در MSI و SSI کمتر از ۱ns و حتی در پیاده سازی‌های VLSI دارای زمان تأخیر کوتاهتر است. ECL در مدارهای مخابراتی دیجیتال و نیز مدارهای با سرعت زیاد ابرکامپیوترها کاربرد دارد.

این فصل شامل مقدمه‌ای در باره BiCMOS، تکنولوژی مدار VLSI است که هر روز متداولتر می‌شود. BiCMOS مزیت‌های CMOS و مدارهای دوقطبی، هر دو را داراست و موجب ایجاد مدار مجتمعی با فشردگی زیاد، توان مصرفی کم و سرعت بالا شده است. کاربردهایی از BiCMOS در مدارهای آنالوگ را می‌توان در فصل‌های ۶ و ۱۰ مشاهده کرد.

اگرچه تأکید این فصل بر مدارهای منطقی است، اما قسمتهای تشکیل‌دهنده دستگاههای دیجیتال نظیر فلیپ فلاپها و مولتی ویبراتورها در TTL و ECL به روشهای متداول زیر قابل پیاده‌سازی هستند. البته، تراشه‌های حافظه با فشردگی زیاد، در قلمرو خاصی از تکنولوژی MOS باقی می‌مانند. مخصوصاً BiCMOS که در این جا بیشتر مورد استفاده قرار گرفته است.

بطور خلاصه، هدف این فصل تکمیل مدارهای دیجیتال است که در فصل ۱۳ آن را آغاز کردیم و تکنولوژی‌های قدیمی (TTL و ECL) و جدید (BiCMOS و GaAs) را معرفی کردیم.

۱-۱۴ عملکرد گذرای سوئیچ BJT

مطالعه مدارهای BJT را با در نظر گرفتن عملکرد گذرای BJT به عنوان یک سوئیچ دیجیتال آغاز می‌کنیم. مطالعه ما بر اساس مشخصه‌های BJT و عملکرد آن سوئیچ و بطور خاص در طراحی وارونگر منطقی [که در بخش‌های (۱۲-۴) تا (۱۵-۴) مطالعه شد] می‌باشد.

منطق اشباع شونده و اشباع نشونده

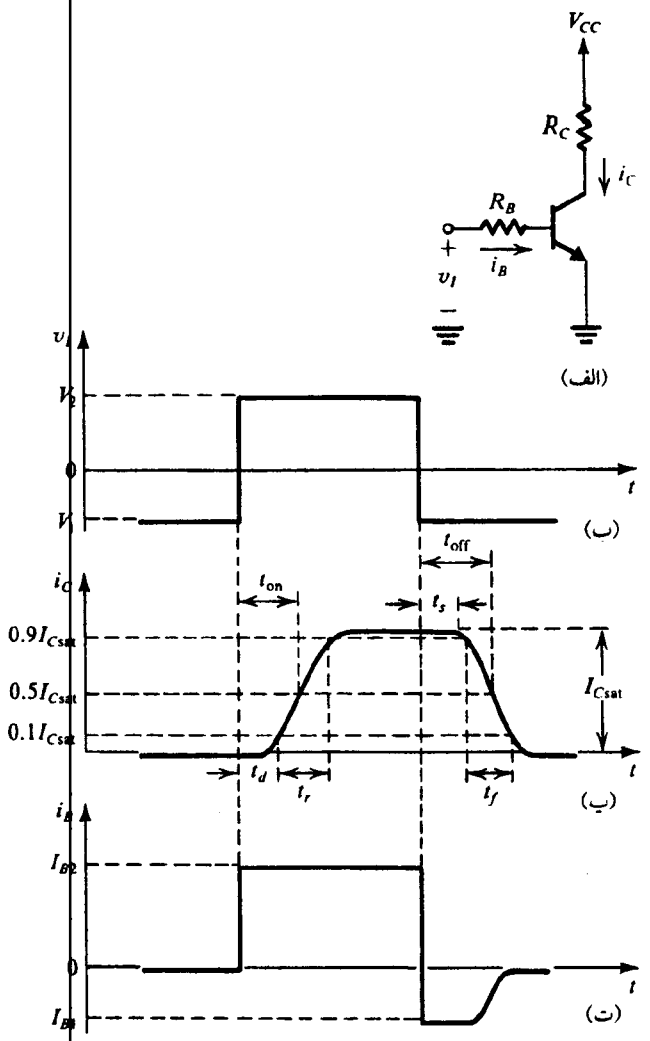
متداولترین استفاده BJT در مدارهای دیجیتال، به کارگیری دو حالت حدی آن است : قطع و اشباع. مدارهای منطقی به دست آمده را منطق **اشباع شده** (یا **اشباع شونده**) می‌نامیم. مزیت این حالت از عملکرد شامل نوسانهای منطقی قابل قبول و اتلاف توان ناچیز است. عیب اصلی آن پاسخ نسبتاً کند ناشی از زمانهای قطع طولانی ترانزیستورهای اشباع شده است.

برای به دست آوردن منطق سریعتر، باید طرح طوری باشد که BJT اشباع نشود. ما دو نوع منطق BJT اشباع نشونده مطالعه می‌کنیم، یعنی منطق تزویج امیتری (ECL)، که بر اساس زوج تفاضلی بررسی شده در بخش ۱-۶ قرار دارد، و TTL شاتکی که بر اساس استفاده از دیودهای سیلیکونی مخصوص با افت ولتاژ کم موسوم به دیودهای شاتکی است. [که در بخش (۹-۳) معرفی شد]

زمانهای سوئیچینگ ترانزیستور

بعلت اثرات ظرفیت داخلی، ترانزیستورها در زمان صفر سوئیچ نمی‌کنند. شکل (۱-۱۴) این نکته را با نمایش شکل موج جریان کلکتور i_C و یک وارونگر ساده ترانزیستوری و شکل موجهای ولتاژ ورودی v_I و جریان بیس i_B نشان می‌دهد. مطابق شکل وقتی ولتاژ ورودی v_I از سطح منفی (یا صفر) V_1 به سطح مثبت V_2 می‌رود، جریان کلکتور بلافاصله تغییر نمی‌کند، بلکه قبل از شروع جریان قابل ملاحظه‌ای در کلکتور، تأخیر زمانی t_d روی می‌دهد. این زمان تأخیر بیشتر به خاطر پرشدن خازن ناحیه تهی EBJ و رسیدن به ولتاژ بایاس مستقیم V_{BE} (تقریباً ۰/۷V ولت) است. پس از آن که فرآیند شارژ کامل می‌شود، جریان کلکتور بصورت نمایی افزایش می‌یابد و به مقدار βI_{B2} می‌رسد که I_{B2} جریان وارد شده به بیس است و از رابطه زیر به دست می‌آید:

$$I_{B2} = \frac{V_2 - V_{BE}}{R_B} \qquad (۱-۱۴)$$



شکل ۱-۱۴. زمانهای سوئیچینگ BJT در مدار وارونگر ساده (الف) هنگامی که v_I ورودی دارای شکل موج (ب) است. اثرات بارهای ذخیره شده روی بیس پس از بازگشت v_I به V_1 در معادلات (۲-۱۴) و (۳-۱۴) تشریح شده است.

ثابت زمانی با افزایش نمایی ظرفیت پیوند به دست می‌آید. در حقیقت، در اثنای لبه بالارونده i_C حاملهای بار اقلیت در ناحیه بیس ذخیره می‌شود.

اگر چه صعود نمایی i_C به سمت βI_{B2} است، اما هرگز به این مقدار نمی‌رسد، زیرا ترانزیستور اشباع خواهد شد و جریان کلکتور به $I_{C\text{اشباع}}$ محدود خواهد گردید. یکی از معیارهای سرعت سوئیچینگ مطابق شکل (پ ۱-۱۴) **زمان صعود** t_r است. معیار دیگر، **زمان وصل شدن** t_{on} است که آن نیز در شکل (پ ۱-۱۴) نشان داده شده است.

شکل (الف ۲-۱۴) نیمرخ بار حاملهای اقلیت ذخیره شده در بیس ترانزیستور اشباع شده را نشان می‌دهد. بر خلاف حالت فعال، تمرکز بار اقلیت اضافی در لبه پیوند کلکتور بیس صفر نیست. این به دلیل بایاس مستقیم شدن CBJ است. در اینجا به بار اضافی ذخیره در بیس (قسمت سایه دار شکل (الف ۲-۱۴) توجه خاص داریم چون این بار در شیب نیمرخ تمرکز بارها، سهمی ندارد، یک مؤلفه جریان کلکتور متناظر با آن را نتیجه نمی‌دهد. بلکه بار اضافی ذخیره شده ناشی از رانده شدن جریانی

بیش از حد لازم برای اشباع به درون بیس است. بالاتر بودن ضریب فرا راه‌اندازی استفاده شده، بار ذخیره را بیشتر می‌کند. در حقیقت بار زیاد Q_s که **بار اشباع** یا **بار اضافی** نامیده می‌شود، با جریان اضافی راه‌اندازی بیس $I_{B2} - I_{C\,\text{اشباع}} / \beta$ متناسب است: یعنی

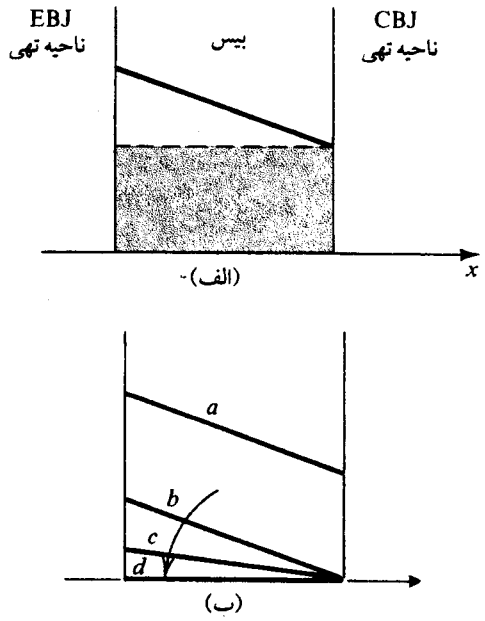
$$Q_s = \tau_s (I_{B2} - I_{C\,\text{اشباع}}/\beta) \qquad (۱۴-۲)$$

که τ_s پارامتری شناخته شده موسوم به **ثابت زمانی ذخیره** است.

اکنون فرایند قطع شدن را در نظر می‌گیریم. وقتی ولتاژ ورودی v_I به سطح پایین V_1 برگردد، جریان کلکتور سریع پاسخ نمی‌دهد بلکه برای مدت t_s تقریباً ثابت می‌ماند (شکل پ ۱-۱۴). این زمان برای حذف بار اشباع بیش لازم است، طی زمان t_s، که **زمان ذخیره** نامیده می‌شود، نیمرخ حاملهای اقلیت ذخیره شده از صورت خط a تغییر کرده بصورت b در شکل (ب ۲-۱۴) درمی‌آید. مطابق شکل (ت ۱-۱۴)، جریان بیس معکوس می‌شود زیرا وقتی v_I در سطح منفی (یا صفر) V_1 قرار دارد، v_{BE} تقریباً ۰/۷V می‌ماند. جریان معکوس I_{B1} به "تخلیه شدن بیس" و "حذف بار ذخیره" کمک می‌کند. اگرجریان معکوس I_{B1} وجود نداشته باشد، تمام بار اشباع باید از طریق بار ترکیب حذف شود. می‌توان نشان داد که زمان ذخیره t_s از رابطه زیر به دست می‌آید:

$$t_s = \tau_s \frac{I_{B2} - I_{C\,\text{اشباع}}/\beta}{I_{B1} + I_{C\,\text{اشباع}}/\beta} \qquad (۱۴-۳)$$

وقتی بار ذخیره شده از میان برود، جریان کلکتور بصورت نمایی شروع به کاهش می‌کند که ثابت زمانی آن بوسیله ظرفیت‌های پیوند تعیین می‌گردد. طی زمان نزول، شیب نیمرخ بار اضافی مطابق شکل (ب ۲-۱۴)



شکل ۲-۱۴ (الف) نمودار حاملهای اقلیت اضافی در بیس یک ترانزیستور اشباع شده. ناحیهٔ زیر خط‌چین محل ذخیره شدن بارهای اضافی (یا اشباع‌کننده) است. **(ب)** با خاموش‌شدن ترانزیستور ابتدا بارهای ذخیره شده اضافی از بین می‌روند. در این بازهٔ زمانی نمودار از خط a به خط b تغییر می‌یابد. پس از آن نمودار به صفر می‌گراید (خط d) و جریان کلکتور بطور نمایی به سمت صفر میل می‌کند.

به سمت صفر کاهش می‌یابد. در پایان توجه کنید که جریان بایاس معکوس شده سرانجام کاهش می‌یابد و به صفر می‌رسد در همان حال ظرفیت EBJ تا ولتاژ بایاس معکوس V_1 شارژ می‌شود.

t_d، t_r، و t_f معمولاً از مرتبه چند نانوثانیه تا چند ده ثانیه‌اند. البته، زمان ذخیره t_s، بزرگتر است و معمولاً عامل محدود کننده سرعت سوئیچینگ ترانزیستور است. همانگونه که پیش از این گفته شد، t_s با ضریب فراراه‌انداز (یعنی با میزانی که ترانزیستور به اشباع برده می‌شود) افزایش می‌یابد. این امر موجب می‌شود که اگر در طراحی مدارهای دیجیتال سرعت زیاد مورد نظر باشد، در آنصورت از کار در ناحیه اشباع بایستی اجتناب شود. این نظر بدنبال همان دو صورت مدارهای منطقی غیراشباع شونده TTL شاتکی و ECL است که می‌خواهیم آنرا مطالعه کنیم.

تمرین

۱-۱۴ می‌خواهیم به کمک مدار معادل ترانزیستور شکل (۷۰-۴) رابطه‌ای برای زمان تاخیر t_d یک ترانزیستور وارونگر ساده به دست آوریم که توسط یک منبع ولتاژ پله‌ای با مقاومت R_B تغذیه می‌شود. چون در طی زمان تأخیر، ترانزیستور هدایت نمی‌کند، مقاومت r_π بی‌نهایت است و C_π فقط شامل ظرفیت تهی C_{je} می‌باشد. بعنوان یک تقریب، C_{je} می‌توان فرض کرد که در خلال t_d ظرفیت C_{je} ثابت می‌ماند. همچنین چون ولتاژ کلکتور در خلال t_d تغییر نمی‌کند، می‌توان فرض کرد که کلکتور به زمین وصل شده است. فرض کنید دو سطح v_I برابر V_1 و V_2 است و انتهای t_d را می‌توان زمانی گرفت که در آن $v_\pi = ۰/۷$ V باشد.

جواب. $t_d = (R_B + r_x)(C_{je} + C_\mu) \ln[(V_2 - V_1)/(V_2 - ۰/۷)]$

❑

۲-۱۴ شکلهای نخستین مدارهای دیجیتال BJT

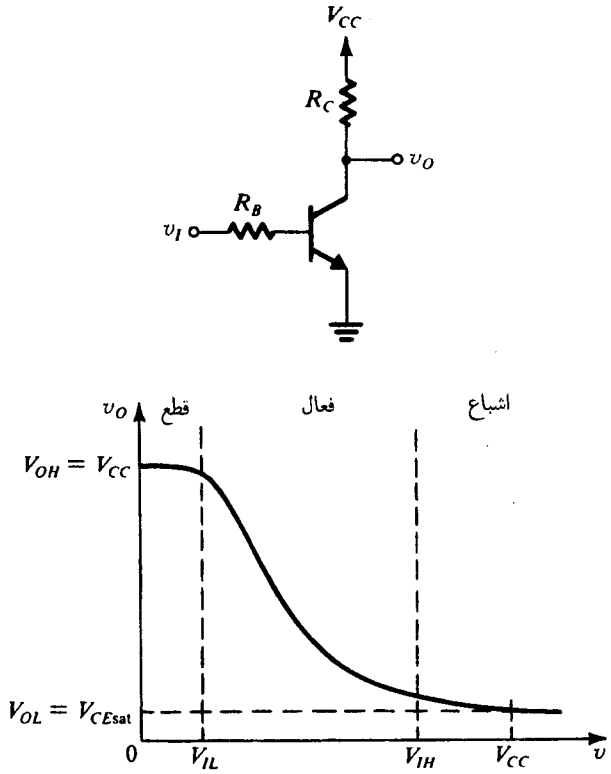
برای بررسی دقیق این فصل، به اختصار شکلهای نخستین خانواده مدار منطقی دوقطبی را توضیح می‌دهیم.

وارونگر BJT اساسی

شکل (۳-۱۴) وارونگر منطقی BJT اساسی را به همراه مشخصه انتقال ولتاژ آن نشان می‌دهد. این مدار را به تفصیل در بخش ۴-۱۴ شرح داده‌ایم. بعلاوه در بخش پیش مدلهای BJT را مطالعه کردیم که به تحلیل دینامیک و استاتیک وارونگر BJT کمک می‌کند. توجه کنید که به ازای ورودی 0 منطقی، $v_I \le V_{IL}$، ترانزیستور قطع خواهد بود و ولتاژ خروجی برابر V_{CC} است، یعنی $V_{OH} = V_{CC}$. به ازای ورودی منطقی $v_I \ge V_{IH}$، ترانزیستور اشباع است و ولتاژ خروجی برابر $V_{CE\,\text{اشباع}}$ می‌باشد. یعنی $V_{OL} = V_{CE\,\text{اشباع}} = ۰/۱$V تا ۰/۲V.

منطق مقاومت-ترانزیستور (RTL)

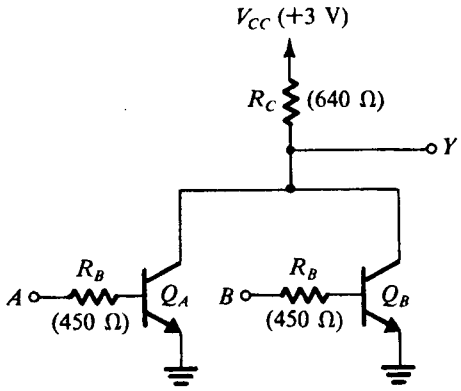
با موازی کردن خروجیهای دو یا چند وارونگر، اساس مدار گیت یک



شکل ۳-۱۴. وارونگر BJT اساسی و مشخصه انتقالی آن

خانواده منطقی نخستین موسوم به منطق مقاومت ـ ترانزیستور (RTL) را به دست می‌آوریم. شکل (۴-۱۴) یک گیت NOR با دو ورودی را نشان می‌دهد. این مدار این طور کار می‌کند: اگر یکی از ورودیها، مثلاً A، (بالا) (1 منطقی) باشد، ترانزیستور مربوط به آن (Q_A) روشن و اشباع خواهد شد، و اگر ورودی دیگر (B) نیز بالا باشد (1 منطقی)، در آنصورت ترانزیستور مربوط به آن (Q_B) اشباع خواهد شد، در آنصورت خروجی نیز پایین نگهداشته می‌شود. می‌توان دید که اگر خروجی زیاد باشد ($v_Y = V_{CC}$)، هم Q_A و هم Q_B همزمان باید خاموش باشند. بطور واضح، این حالت وقتی به دست می‌آید که A و B همزمان پایین باشند. یعنی تنها در یک صورت، 1 منطقی در خروجی ظاهر می‌شود: اینکه A و B پایین باشند. پس می‌توان رابطه بولی زیر را نوشت:

$$Y = \overline{A}\ \overline{B}$$



شکل ۴-۱۴. گیت NOR دو ورودی خانوادهٔ RTL

که بصورت زیر نوشته می‌شود

$$Y = \overline{A + B}$$

که یک تابع NOR است.

ظرفیت ورودی گیت NOR از خانواده RTL با اضافه شدن ترانزیستورهای ورودی افزایش می‌یابد. مقادیر مقاومت و ولتاژ نشان داده شده در شکل، مقادیری است که در مدار مجتمع RTL به کار می‌رفت.

اگرچه سطح خروجی بالای (V_{OH}) یک گیت منفرد V_{CC} است، در حالتی که گیت RTL گیت‌های مشابه دیگر را راه‌اندازی می‌کند، این مطلب درست نیست. چون ترانزیستور ورودی گیت راه‌اندازی شده روشن خواهد شد، جریان بیس آن از طریق مقاومت R_C گیت راه‌انداز تأمین می‌شود. بنابراین مقدار V_{OH} بسیار کاهش می‌یابد و به نزدیک V ۱ می‌رسد. بعلاوه این مقدار با افزایش ظرفیت خروجی گیت کاهش می‌یابد. در نتیجه، حاشیه‌های نویز گیت RTL نسبتاً کم است. این مطلب و این حقیقت که اتلاف توان زیاد گیت‌های RTL (حاصلضرب تأخیر توان حدود pJ ۱۴۰ است) موجب کنار گذاشتن RTL شده است.

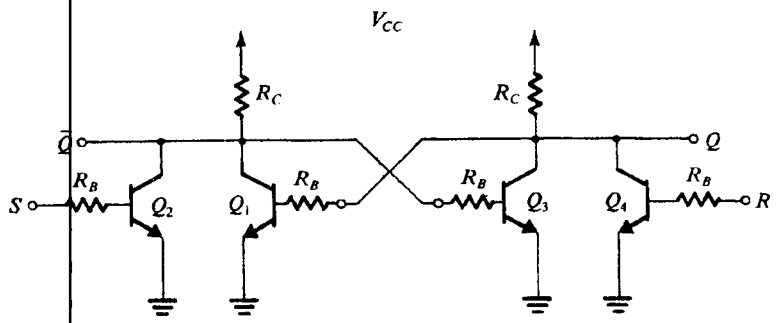
فیلپ فلاپ SR از خانواده RTL

قبل از آنکه از RTL بگذریم، می‌خواهیم عملکرد آن را بصورت مدار فلیپ فلاپ SR نشان داده شده در شکل ۵-۱۴ نمایش دهیم. بطور مسلم، این مدار با تزویج ضربدری دو گیت NOR دو ورودی RTL شکل می‌گیرد. البته، قبل از اختراع مدار مجتمع در اوایل دهه ۱۹۶۰، این مدار در طراحی مدارهای گسترده بسیار متداول بود. عملکرد این مدار روشن است و از قوانین منطقی فلیپ فلاپ بخش ۷ـ۱۳ پیروی می‌کند.

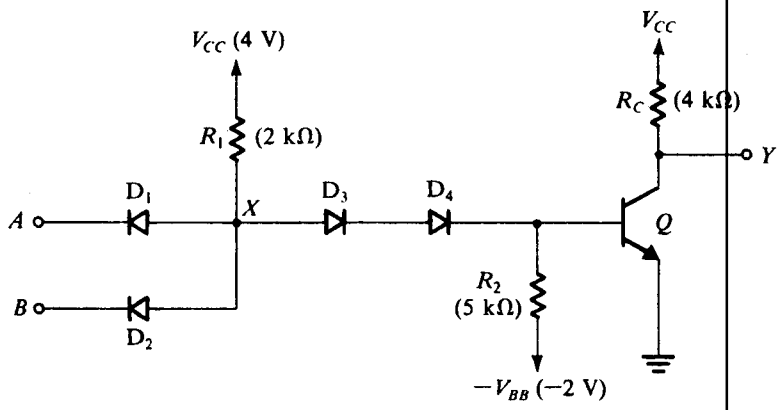
منطق دیود ـ ترانزیستور (DTL)

یکی دیگر از مدارهای منطقی BJT نخستین، منطق دیود ـ ترانزیستور یا DTL است که نمونه‌ای از آن گیت NAND با دو ورودی در شکل (۶-۱۴) می‌باشد. DTL از آن جهت مورد توجه خاص است که چنانکه در بخش بعد خواهیم دید، از تکامل این مدار، TTL بوجود آمده است.

مدار DTL به شرح زیر کار می‌کند: فرض کنید ورودی B باز گذاشته شده باشد، اگر سیگنال 0 منطقی (تقریباً ۰V) به A اعمال شود، دیود D_1 هدایت می‌کند و ولتاژ گره X برابر یک افت دیود (۰٫۷ V) بالاتر از مقدار 0 منطقی



شکل ۵-۱۴. یک فلیپ فلاپ SR متشکل از دو گیت NOR خانوادهٔ RTL با اتصال ضربدر.



شکل ۶-۱۴. گیت NAND دو ورودی خانوادهٔ DTL

می‌شود. دیودهای D_3 و D_4 نیز هدایت می‌کنند و سبب می‌شوند بیس ترانزیستور Q به اندازه افت دو دیود زیر ولتاژ گره X باشد. چون این بیس ولتاژ منفی اندکی دارد، ترانزیستور Q قطع است و $v_Y = V_{CC}$ (1 منطقی) می‌باشد.

اکنون در نظر بگیرید که ولتاژ v_A افزایش یابد. دیده می‌شود که دیود D_1 در حال هدایت می‌ماند و پتانسیل گره X نیز افزایش می‌یابد. دیودهای D_3 و D_4 در حال هدایت می‌مانند، از اینرو پتانسیل بیس نیز افزایش می‌یابد. این وضعیت ادامه می‌یابد تا پتانسیل بیس به حدود ۰/۵ V برسد که در این نقطه ترانزیستور شروع به هدایت می‌کند. این عمل هنگامی روی می‌دهد که ولتاژ A برابر باشد با:

$$v_A \cong ۰/۵ + V_{D۴} + V_{D۳} - V_{D۱} \cong ۱/۲ \text{ V}$$

افزایش ناچیز v_A بیش از ولتاژ آستانه، سبب افزایش v_{BE} و بنابراین در i_C می‌شود. در این محدوده ترانزیستور ناحیه فعال است. سرانجام ولتاژ به ۰/۷V خواهد رسید و ترانزیستور هدایت خواهد کرد. در این حال، ولتاژ نقطه X در مقداری به اندازه دو افت دیود بیش از V_{BE} برش می‌خورد و افزایش بیشتر v_A سبب بایاس معکوس D_1 می‌شود. با رسیدن v_A به حدود ۱/۴V جریان D_1 قطع می‌شود، تمام جریانی که از R_1 می‌گذرد، از طریق D_3 و D_4 به بیس ترانزیستور وارد می‌شود. مدار معمولاً طوری طراحی می‌شود که جریان بیس برای اشباع کردن ترانزیستور کافی باشد، بنابراین وقتی A در سطح 1 منطقی است، ترانزیستور اشباع می‌شود و v_Y با V_{CE} اشباع (تقریباً ۰/۲V)، یعنی خروجی 0 منطقی برابر خواهد بود.

از بحث فوق نتیجه می‌گیریم که اگر هر یک یا دو ورودی پایین باشد، دیود متناظرش (D_1، D_2، یا هردو) هدایت می‌کند، ترانزیستور خاموش، و خروجی Y بالا خواهد بود. خروجی هنگامی پایین است که ترانزیستور روشن باشد که برای هر ترکیب خاص ورودی هنگامی روی می‌دهد که تمام ورودیها همزمان بالا باشند. بنابراین می‌توان عبارت بولی زیر را نوشت:

$$\overline{Y} = AB$$

که می‌توان آن را بصورت زیر نیز نوشت

$$Y = \overline{AB}$$

که یک تابع NAND است. تعجب ندارد، زیرا مدار DTL شامل یک گیت AND دیودی متشکل از D_1، D_2، و R_1 است (با توجه به بخش ۱-۳) که در پی آن یک وارونگر ترانزیستوری می‌آید. در خاتمه، متوجه می‌شویم که دیودهای D_3 و D_4 به خاطر کارشان در راندن جریان بیس به R_2 و یا بیس ترانزیستور، "دیودهای رانشی" نام می‌گیرند.

DTL در دهه ۱۹۶۰ متداول بود و ابتدا در مدارهای مجزا و سپس در مدارهای مجتمع (IC) به کار گرفته می‌شد. اما سرانجام منطق ترانزیستور - ترانزیستور (TTL) جای آن را گرفت.

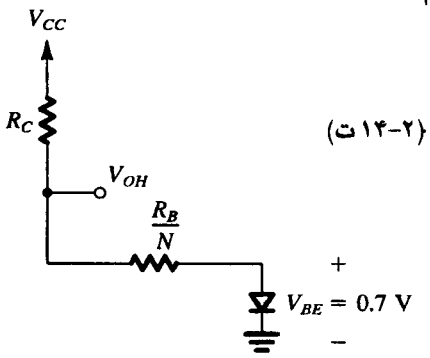
تمرینها

۱۴-۲ گیت RTL شکل (۴-۱۴) را در نظر بگیرید که N گیت یکسان را راه‌اندازی می‌کند. فرض کنید هر دو ورودی گیت راه‌انداز پایین باشند، ثابت کنید ولتاژ خروجی V_{OH} با استفاده از مدار معادل شکل (۲-۱۴ ت) می‌تواند به دست آید و بنابراین نشان دهید:

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

به ازای $N = ۵$، با استفاده از مقادیر داده شده در شکل ۴-۱۴، با $V_{BE} = ۰/۷ \text{ V}$، مقدار V_{OH} را به دست آورید.

جواب. ۱ V

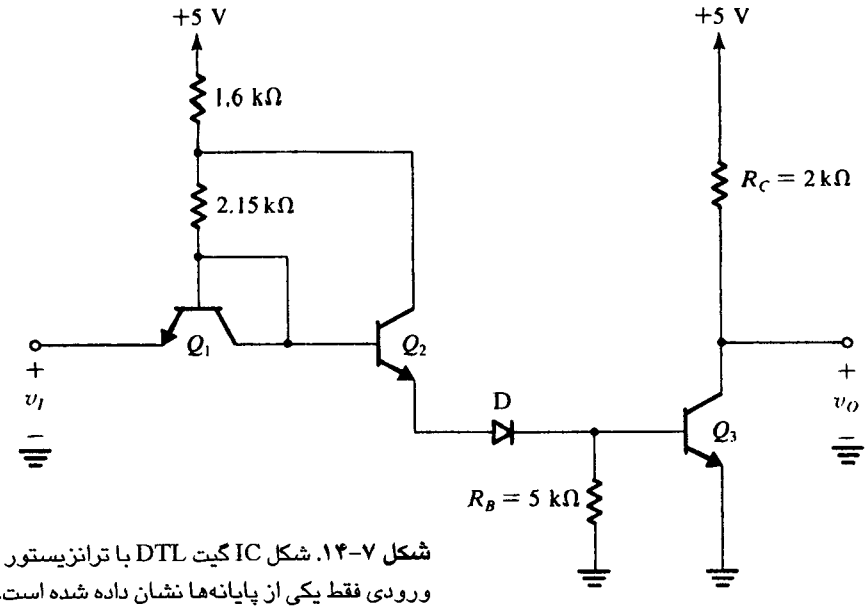


شکل (۲-۱۴ ت)

۱۴-۳ در گیت DTL شکل ۶-۱۴ فرض کنید همه پیوندهای در حال هدایت، افتی برابر ۰/۷ V داشته باشند:

(الف) جریانی که از D_1 می‌گذرد را به دست آورید وقتی $v_A = ۰/۲\text{V}$ و $v_B = +۴\text{V}$ باشد. همچنین ولتاژ بیس را بیابید (ب) به ازای $v_A = v_B = +۴\text{V}$، جریان بیس ترانزیستور را به دست آورید. اگر V_{CE} اشباع = ۰/۲V باشد مقدار واداشته β را به دست آورید.

جواب. (الف) ۱/۲۵mA، ۰/۵V− ؛ (ب) ۰/۴۱mA، ۲/۳ ❑



شکل ۷-۱۴. شکل IC گیت DTL با ترانزیستور اتصال دیودی (Q_1) بعنوان دیود ورودی فقط یکی از پایانه‌ها نشان داده شده است.

۳-۱۴ منطق ترانزیستور - ترانزیستور (TTL یا T^2L)

بیش از دو دهه است که TTL شهرت بسیار یافته است. در حقیقت، در دستگاههای دیجیتال که از بسته‌های SSI و MSI استفاده می‌کند، TTL تنها رقیب CMOS (فصل ۱۳) محسوب می‌شود.

این بخش را با بررسی تکامل TTL از DTL آغاز می‌کنیم. به این صورت، کار هر طبقه مدار گیت TTL کامل را شرح خواهیم داد. مشخصه‌های گیت‌های TTL استاندارد در بخش ۴-۱۴ مطالعه خواهد شد. البته TTL استاندارد جای خود را به شکلهای پیشرفته‌تر TTL داده‌است که عملکرد بهتری دارند. این مدارها را در بخش ۵-۱۴ بررسی خواهیم کرد.

تکامل TTL از DTL

اساس مدار گیت DTL در بخش قبل بحث شد (شکل ۶-۱۴ را ملاحظه کنید). شکل مدار مجتمع گیت DTL تنها با یک ورودی در شکل (۷-۱۴) نشان داده شده است. بعنوان پیشگفتاری در باره TTL، دیود ورودی را بصورت یک ترانزیستور اتصال دیودی (Q_1) نشان داده‌ایم، که چگونگی ساخته شدن دیودها در IC را نشان می‌دهد.

این مدار از دو جنبه مهم با مدار DTL مجزای شکل (۶-۱۴) تفاوت دارد. اول، یکی از دیودهای رانش به جای پیوند بیس امیتر ترانزیستور (Q_2) جایگزین شده است که یا قطع است (در هنگام پایین بودن ورودی) و یا در حالت فعال است (هنگام بالا بودن ورودی). این کار برای افزایش ظرفیت ورودی گیت صورت می‌گیرد. اما، بررسی مفصل این نکته به مطالعه ما در باره TTL مرتبط نیست. دوم، مقاومت R_B به جای منفی منبع تغذیه مانند مدار گسترده قبل، به زمین برمی‌گردد. مزیت آشکار این طرح، حذف منبع تغذیه اضافی است. البته، عیب آن این است که جریان بایاس معکوس موجود برای حذف بار اضافی ذخیره شده در بیس Q_3 نسبتاً کوچک است. این موضوع را در زیر دقیقتر بحث می‌کنیم.

تمرین

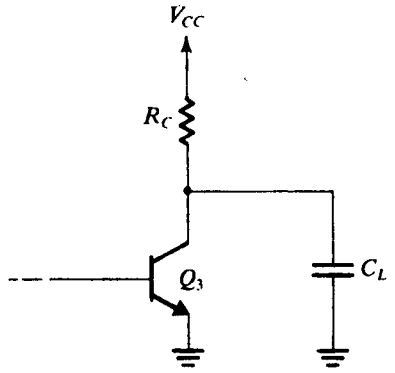
۴-۱۴ مدار گیت DTL شکل ۷-۱۴ را در نظر گرفته فرض کنید که $\beta(Q_2) = \beta(Q_3) = 50$ باشد. (الف) وقتی $v_I = 0.2$ V باشد، جریان ورودی را بیابید. (ب) وقتی $v_I = +5$ V است، جریان بیس Q_3 را به دست آورید.

جواب. (الف) ۱/۱ mA ؛ (ب) ۱/۶ mA ❑

دلایل پاسخ آهسته DTL

گیت DTL دارای حاشیه‌های نویز خوب و ظرفیت خروجی قابل قبولی است. البته پاسخش نسبتاً کند است. دو دلیل برای این امر وجود دارد: اول آنکه وقتی ورودی پایین می‌آید و Q_2 و D خاموش هستند، بار ذخیره شده در بیس Q_3 از طریق R_B به زمین نشت می‌کند. مقدار اولیه جریان بیس معکوس که فرآیند " تخلیه بیس " را انجام می‌دهد، تقریباً V/R_B ۰/۷ یا حدود ۰/۱۴ mA است. چون این جریان در مقایسه با جریان مستقیم بیس خیلی کوچک است، زمان لازم برای برداشتن بار بیس نسبتاً طولانی است که موجب طولانی شدن تأخیر گیت می‌شود.

دلیل دوم پاسخ نسبتاً آرام DTL از ماهیت مدار خروجی گیت ناشی می‌شود که فقط یک ترانزیستور امیتر مشترک است. شکل (۸-۱۴) ترانزیستور خروجی گیت DTL با بار خازنی C_L را نشان می‌دهد. ظرفیت C_L نشانگر ظرفیت ورودی گیت دیگر و سیم‌بندی و ظرفیت‌های مزاحمی است که بطور طبیعی در هر مداری بوجود می‌آیند. وقتی Q_3 روشن می‌شود، ولتاژ کلکتورش به دلیل وجود C_L بلافاصله افت نمی‌کند.



شکل ۸-۱۴. مدار خروجی گیت DTL که خازن بار C_L را راه‌اندازی می‌کند.

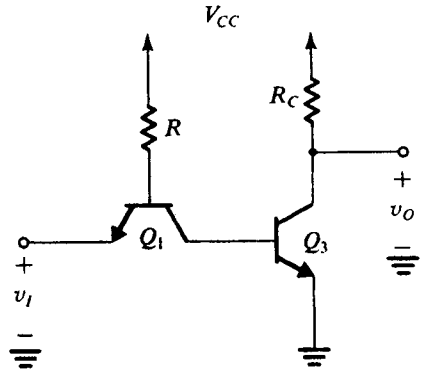
بنابراین Q_3 فوری به اشباع نخواهد رفت بلکه باز هم در ناحیه فعال کار خواهد کرد. کلکتور Q_3 در آنصورت به مثابه یک منبع جریان ثابت عمل می‌کند و جریان قابل ملاحظه (βI_B) را خواهد کشید. این جریان زیاد، C_L را به سرعت شارژ خواهد کرد. بنابراین می‌بینیم که طبقه خروجی امیتر مشترک دارای مشخصه زمان روشنی کوتاه خواهد بود. البته، خاموشی مطلب دیگری است.

اکنون کار طبقه خروجی امیتر مشترک را وقتی Q_3 خاموش است در نظر می‌گیریم. ولتاژ خروجی بلافاصله به سطح بالا (V_{CC}) ارتقاء می‌یابد. البته C_L از طریق R_C تا V_{CC} شارژ می‌شود. این فرآیند نسبتاً آهسته است و موجب طولانی شدن زمان تأخیر DTL (و به طریق مشابه سبب تأخیر گیت RTL) می‌شود.

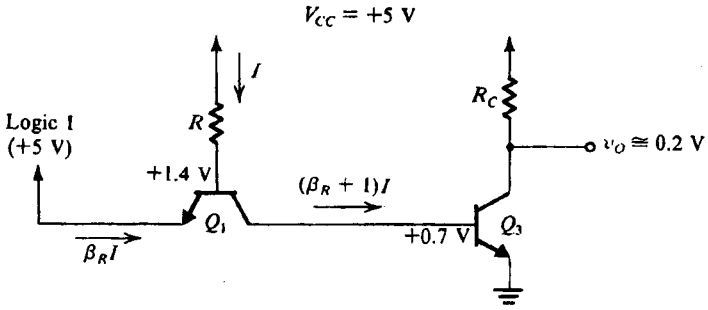
با شرح دو دلیل برای پاسخ آهسته DTL، در ادامه خواهیم دید چگونه این مشکلات در TTL حل شده است.

مدار ورودی گیت TTL

شکل (۹-۱۴) یک گیت غیرعملی TTL را فقط با یک پایانه ورودی نشان می‌دهد. مهمترین شاخصه قابل توجه، جایگزینی یک ترانزیستور به جای دو دیود ورودی است. می‌توان فکر کرد که گویا اتصال کوتاه بین بیس



شکل ۹-۱۴. مدار غیر عملی گیت TTL فقط یک پایانه نمایش داده شده است.



شکل ۱۰-۱۴. تحلیل مدار غیرعملی گیت TTL هنگامی که ورودی در حالت بالا می‌باشد.

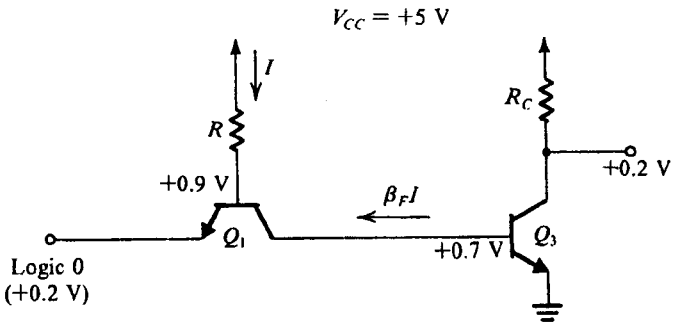
و کلکتور Q_1 در شکل (۷-۱۴) برداشته شده است.

برای دیدن کار مدار غیرعملی TTL شکل (۹-۱۴)، فرض کنید ورودی v_I بالا باشد (مثلاً $v_I = V_{CC}$)، دراین حالت جریان از V_{CC} از طریق R خواهد گذشت و بنابراین پیوند بیس کلکتور Q_1 بایاس مستقیم می‌شود. در ضمن پیوند بیس ـ امیتر Q_1 بایاس مستقیم معکوس خواهد شد. بنابراین Q_1 در **حالت فعال معکوس** عمل می‌کند، یعنی در حالت فعال اما با جابجایی نقش امیتر و کلکتور. ولتاژها و جریانها مطابق شکل (۱۰-۱۴) خواهد بود که در آن جریان I از رابطه زیر به دست می‌آید:

$$I = \frac{V_{CC} - ۱/۴}{R}$$

در مدارهای TTL عملی، Q_1 طوری طراحی می‌شود که βی معکوس خیلی کم داشته باشد $(\beta_R \cong ۰/۰۲)$. بنابراین، جریان ورودی گیت خیلی کوچک بوده، جریان بیس Q_3 تقریباً برابر با I می‌باشد. این جریان برای به اشباع بردن Q_3 کافی و ولتاژ خروجی کم خواهد بود (۰/۱ تا ۰/۲ ولت).

سپس فرض کنید ولتاژ گیت ورودی به سطح 0 منطقی آورده شود (یعنی مثلاً $v_I = ۰/۲$ V). جریان I در آنصورت به امیتر Q_1 منحرف می‌شود. پیوند بیس ـ امیتر Q_1 بایاس مستقیم می‌شود، و ولتاژ بیس Q_1 در آنصورت به ۰/۹ V افت می‌کند. چون Q_3 در اشباع بود، ولتاژ بیس آن در اثنای برداشته شدن بار اضافی ذخیره شده در ناحیه بیس در ۰/۷ V باقی می‌ماند. شکل (۱۱-۱۴) مقادیر ولتاژ و جریان گوناگون را بلافاصله بعد از پایین آمدن ورودی نشان می‌دهد. ملاحظه می‌کنیم که Q_1 در حالت فعال



شکل ۱۱-۱۴. مقادیر ولتاژ و جریان در مدار TTL غیرعملی بلافاصله پس از پایین آمدن ورودی

عادی عمل می‌کند و کلکتورش جریان بزرگ ($\beta_F I$) را حمل می‌کند. این جریان زیاد به سرعت بیس Q_3 را تخلیه کرده و آنرا به حالت قطع می‌برد، به این ترتیب نقش Q_1 را در تسریع فرآیند قطع ملاحظه می‌کنیم.

وقتی Q_3 قطع می‌گردد، ولتاژ بیس آن کم می‌شود و Q_1 به حالت اشباع می‌رود. سرانجام جریان کلکتور Q_1 در حد چشمپوشی کم می‌شود، که در نتیجه اشباع V_{CE} تقریباً برابر با ۰/۱ V و ولتاژ بیس Q_3 حدود ۰/۳ V خواهد شد که Q_3 را در حالت قطع نگه می‌دارد.

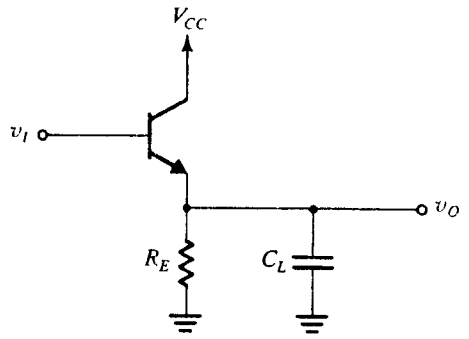
مدار خروجی گیت TTL

بحث بالا نشان می‌دهد که چگونه یکی از مشکلاتی که سبب کار آهسته DTL می‌شود در TTL حل شده است. مشکل دوم، زمان صعود طولانی شکل موج خروجی چنانکه توضیح خواهیم داد، با اصلاح طبقه خروجی حل می‌شود.

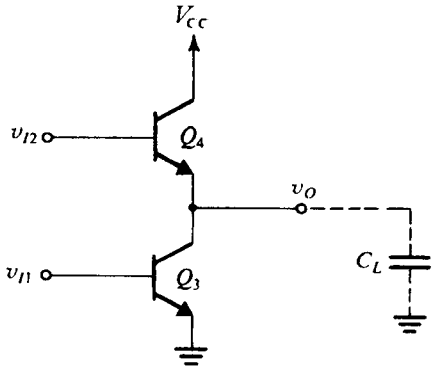
ابتدا، به یاد آورید که طبقه خروجی امیتر مشترک سبب تخلیه سریع ظرفیت بار اما شارژ نسبتاً آهسته آن می‌شود. عکس آن در طبقه خروجی امیتر پیرو شکل (۱۲-۱۴) صادق است. دراینجا، با بالا رفتن v_I، ترانزیستور روشن شده یک مقاومت خروجی کم ارائه می‌کند (مشخصه امیتر پیرو)، که سبب شارژ سریع C_L می‌شود. از طرف دیگر، وقتی v_I پایین می‌آید، ترانزیستور خاموش می‌شود و C_L در آنصورت به آرامی از طریق R_E تخلیه می‌شود.

بنابراین طبقه خروجی بهینه، ترکیبی از آرایشهای امیتر مشترک و امیتر پیرو می‌باشد. این طبقه خروجی که در شکل (۱۳-۱۴) نشان داده شده، باید با دو سیگنال مکمل v_{I1} و v_{I2} راه‌اندازی شود. وقتی v_{I1} بالا است، v_{I2} پایین است، و در این حالت Q_3 در حالت اشباع و Q_4 در حالت قطع خواهد بود. ترانزیستور امیتر مشترک Q_3 در آنصورت سبب شارژ سریع ظرفیت بار شده و در حالت پایدار مقاومت کم اشباع R_{CE} را به زمین ارائه می‌کند. بنابراین، وقتی خروجی پایین است، گیت می‌تواند از طریق ترانزیستور اشباع شده Q_3 مقدار زیادی جریان به خود بکشد.

وقتی v_{I1} پایین و v_{I2} بالا باشد، Q_3 قطع خواهد بود و Q_4 هدایت خواهد کرد. در این صورت امیتر پیرو Q_4 سبب شارژ سریع ظرفیت بار می‌شود. همچنین در حالت بالا، مقاومت خروجی کم برای گیت ایجاد می‌کند. و بنابراین توانایی دادن جریان زیاد به بار را می‌دهد.



شکل ۱۲-۱۴. طبقه خروجی امیتر پیرو با بار خازنی

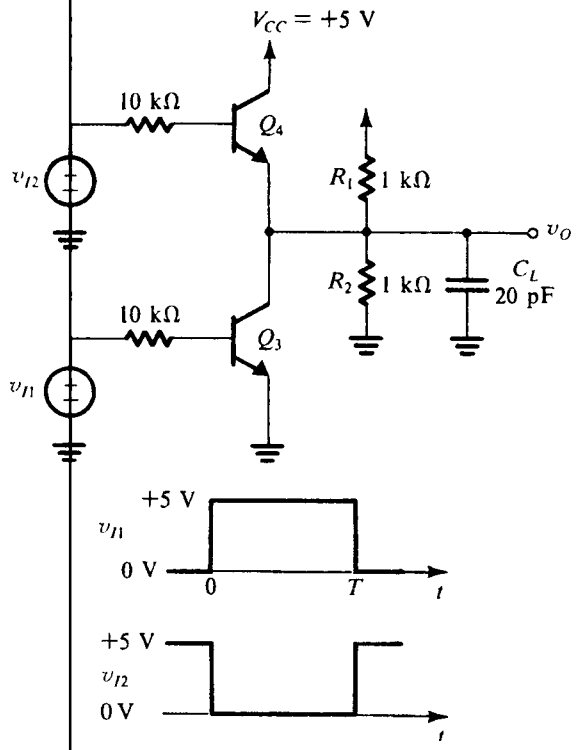


شکل ۱۳-۱۴. طبقه خروجی totem-pole

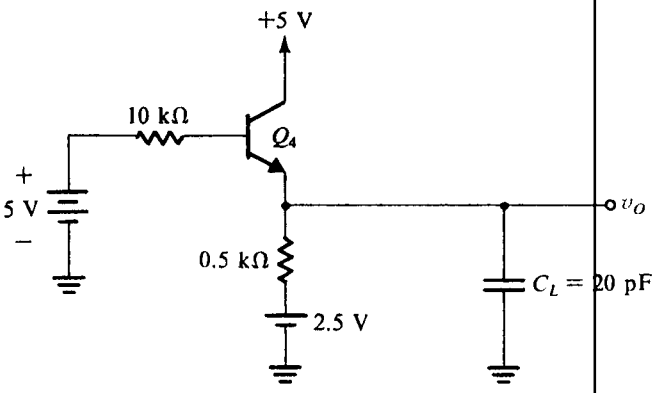
با توجه به شکل ظاهری مدار شکل (۱۳-۱۴)، که در آن Q_4 بر بالای Q_3 قرار گرفته است، این مدار **طبقه خروجی توتم پل** نام گرفته است. همچنین چون Q_4 ولتاژ خروجی را به سطح بالا می‌کشد، Q_4 را بعنوان **ترانزیستور بالاکش** می‌نامیم. چون عمل بالاکشیدن در اینجا توسط یک عنصر فعال (Q_4) انجام می‌شود، گفته می‌شود مدار **بالاکش فعال** دارد. این حالت برعکس **بالاکش غیرفعال** گیت‌های RTL و DTL است. در پایان، توجه کنید که یک مدار **راه‌انداز** لازم است تا دو سیگنال مکمل v_{I1} و v_{I2} تولید شود.

مثال ۱-۱۴

می‌خواهیم مدار و شکل موج نشان داده شده در شکل (۱۴-۱۴) را تحلیل کرده، شکل موج خروجی v_O را به دست آوریم. فرض کنید که Q_3 و Q_4 دارای $\beta = 50$ باشد.



شکل ۱۴-۱۴. مدار و شکل موجهای ورودی مثال ۱-۱۴



شکل ۱۵-۱۴. مدار شکل ۱۴-۱۴ هنگام خاموش‌بودن Q_3

حل :

ابتدا وضعیت را قبل از بالا رفتن v_{I1}، یعنی در زمان $t < 0$ در نظر بگیرید. در این حالت Q_3 خاموش و Q_4 روشن است، و مدار بصورت شکل (۱۵-۱۴) می‌تواند ساده شود. دراین مدار ساده شده، ما مقسم ولتاژ (R_1 ، R_2) را با معادل تونن آن جایگزین کرده‌ایم. درحالت پایدار، C_L تا ولتاژ خروجی v_O شارژ خواهد شد، که مقدار آن بصورت زیر به دست می‌آید:

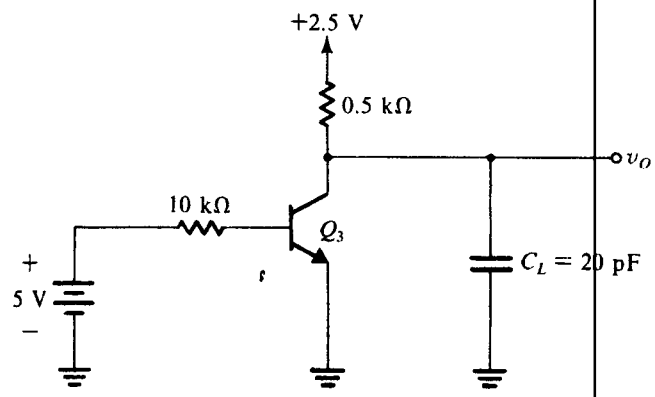
$$5 = 10 \times I_B + V_{BE} + I_E \times 0.5 + 2.5$$

از قراردادن $V_{BE} \cong 0.7$ V و $I_B = I_E/(\beta + 1) = I_E/51$، به دست می‌آید: $I_E = 2.59$mA. بنابراین ولتاژ خروجی v_O از رابطه زیر به دست می‌آید :

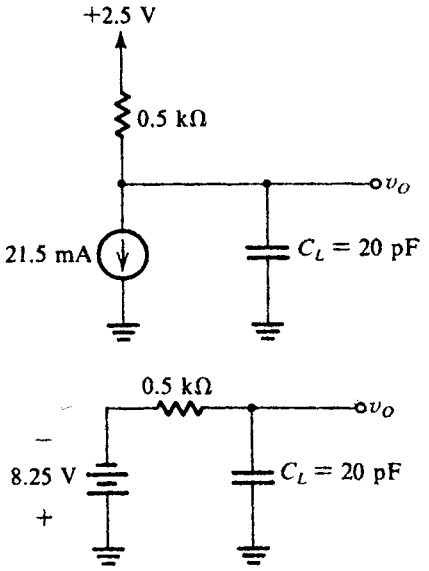
$$v_O = 2.5 + I_E \times 0.5 = 3.79 \text{ V}$$

سپس مدار را در حالتی در نظر می‌گیریم که v_{I1} بالا و v_{I2} پایین می‌رود. ترانزیستور Q_3 روشن و ترانزیستور Q_4 خاموش می‌شود. و مدار بصورت شکل (۱۶-۱۴) خلاصه می‌شود. بار دیگر از معادل تونن مقسم (R_1 ، R_2) استفاده کرده‌ایم. همچنین فرض خواهیم کرد که زمانهای سوئیچینگ ترانزیستورها در حد قابل ملاحظه‌ای کوچک هستند، بنابراین در $t = 0+$، جریان بیس Q_3 می‌شود :

$$I_B = \frac{5 - 0.7}{10} = 0.43 \text{ mA}$$



شکل ۱۶-۱۴. مدار شکل ۱۴-۱۴ هنگام خاموش‌بودن Q_4



شکل ۱۷-۱۴. (الف) مدار معادل مدار شکل ۱۶-۱۴ هنگامی که Q_3 در حالت فعال است. (ب) نوع ساده‌تر مدار (الف) حاصل از به کارگیری قضیه تونن.

چون در $t = 0$ ولتار کلکتور Q_3 برابر ۳/۷۹ V است و چون این مقدار به خاطر C_L نمی‌تواند فوراً تغییر کند، در $t = 0+$ ترانزیستور Q_3 در حالت فعال خواهد بود. جریان کلکتور Q_3 برابر βI_B یعنی ۲۱/۵ mA خواهد بود و مدار معادلی نظیر شکل (الف ۱۷-۱۴) خواهد داشت. یک نسخه ساده تر این مدار معادل، بااستفاده از قضیه تونن در شکل (ب ۱۷-۱۴) به دست آمده است.

مدار معادل شکل (۱۷-۱۴) به شرطی به کار می‌رود که Q_3 در حالت فعال باقی بماند. این شرط ادامه می‌یابد تا وقتی که C_L تخلیه شود و تا وقتی v_O به حد ۰/۳ V+ برسد که در آن زمان Q_3 به اشباع وارد می‌شود. این وضعیت در شکل (۱۸-۱۴) نشان داده شده است. زمانی که ولتاژ خروجی از ۳/۷۹ V به ۰/۳ V افت می‌کند، یعنی **زمان افت** t_f را می‌توان از رابطه زیر به دست آورد:

$$-8.25 - (-8.25 - 3.79)e^{-t_f/\tau} = 0.3$$

که نتیجه می‌دهد :

$$t_f \approx 0.34\tau$$

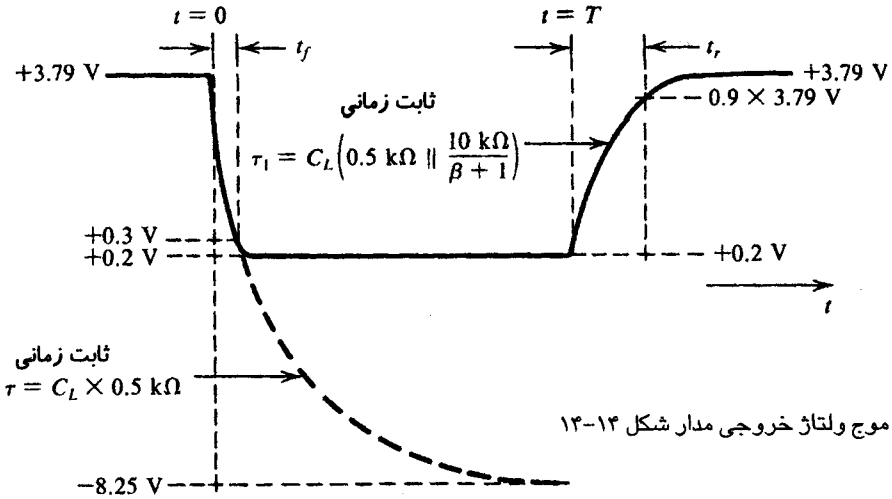
که در آن

$$\tau = C_L \times 0.5 \text{ k}\Omega = 10 \text{ ns}$$

بنابراین $t_f = 3.4$ ns می‌باشد.

پس از آنکه Q_3 به اشباع می‌رود، خازن باز هم تا مقدار حالت پایدار ($V_{CE\text{اشباع}} \cong 0.2$ V) تخلیه می‌شود. مدل ترانزیستوری که دراین اثنا به کار می‌رود، پیچیده‌تر است؛ چون این فاصله خیلی کوتاه است، این مطلب را بیشتر دنبال نمی‌کنیم.

سپس حالتی را در نظر بگیرید که با بالارفتن v_{I1} و پایین آمدن v_{I2} در $t = T$، ترانزیستور Q_3 خاموش و ترانزیستور Q_4 روشن شود. فرض خواهیم کرد این اتفاق، لحظه‌ای روی می‌دهد و بنابراین در



شکل ۱۸-۱۴. جزئیات شکل موج ولتاژ خروجی مدار شکل ۱۴-۱۴

$t = T+$ مدار به شکل (۱۵-۱۴) ساده می‌شود. این مدار را در حالت پایدار تحلیل کرده‌ایم و می‌دانیم که v_O سرانجام به ۳/۷۹V می‌رسد. بنابراین v_O بصورت نمایی از ۰/۲ V با ثابت زمانی؛

$$C_L\{0/5\text{k}\Omega \,||\, [10\text{k}\Omega/(\beta+1)]\}$$

به سمت ۳/۷۹ V+ می‌رسد. در اینجا از مقاومت امیتر r_e صرفنظر کرده‌ایم. ثابت زمانی را τ_1 نامیده آنرا $\tau_1 = 2/8$ ns به دست می‌آوریم. با تعیین زمان صعود t_r به مثابه زمانی که v_O به ۹۰٪ مقدار نهایی می‌رسد، به دست می‌آوریم:

$$3/79 - (3/79 - 0/2)e^{-t_r/\tau_1} = 0/9 \times 3/79 \quad \text{که} \quad t_r = 6/4\ \text{ns}$$

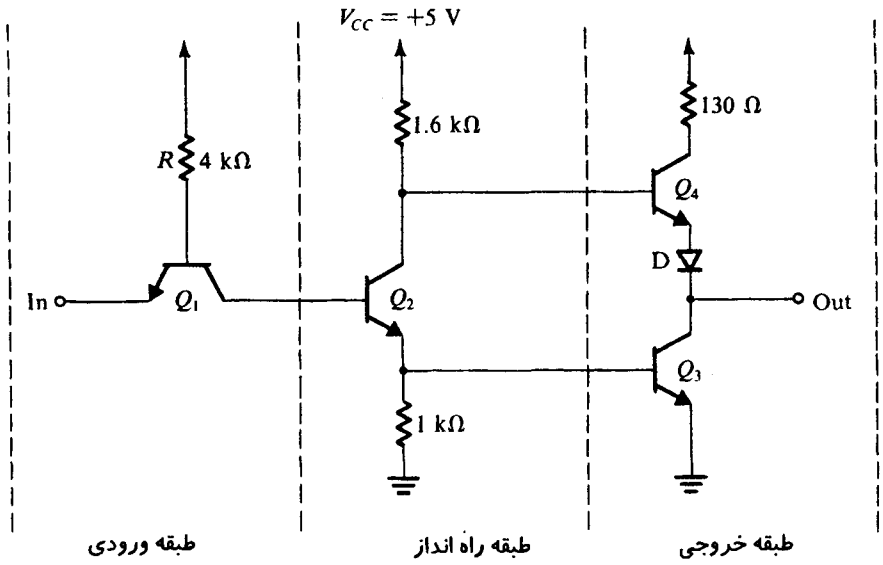
شکل (۱۸-۱۴) جزئیات شکل موج خروجی را نشان می‌دهد.

مدار کامل گیت TTL

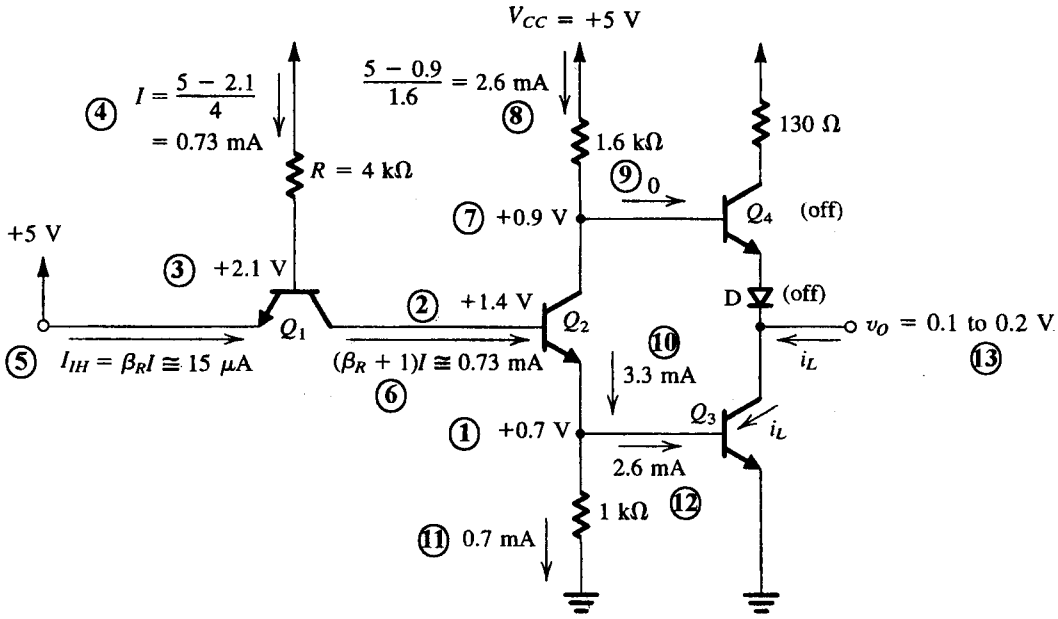
شکل (۱۹-۱۴) مدار کامل گیت TTL را نشان می‌دهد. این مدار از سه طبقه تشکیل می‌شود: ترانزیستور ورودی Q_1، که کارش را توضیح دادیم، طبقه راه‌انداز Q_2، که کارش تولید دو سیگنال ولتاژ مکمل مورد نیاز راه‌اندازی مدار توتم پل است که طبقه سوم (خروجی) گیت می‌باشد. مدار توتم پل در گیت TTL دارای اجزای اضافی است: مقاومت ۱۳۰ Ω در مدار کلکتور Q_4 و دیود D در مدار امیتر Q_4. کار این دو عنصر اضافی بزودی توضیح داده خواهد شد. توجه کنید که گیت TTL فقط با یک پایانه ورودی نشان داده شده است. نتیجه پایانه‌های ورودی اضافی در بخش ۴-۱۴ بررسی خواهد شد.

چون طبقه راه‌انداز Q_2 دو سیگنال مکمل (یعنی ناهمفاز) بوجود می‌آورد، آنرا **انشعاب دهنده فاز** می‌نامیم.

اکنون تحلیل مفصلی در باره گیت TTL در دو حالت حدی آن ارائه می‌کنیم: یکی با ورودی بالا و یک با ورودی پایین.



شکل ۱۹-۱۴ مدار کامل گیت TTL در حالی که فقط یک پایانه به نمایش درآمده است.



شکل ۲۰-۱۴. تحلیل گیت TTL با ورودی بالا، شماره‌های دایره‌دار ترتیب تحلیل را نشان می‌دهند.

تحلیل وقتی ورودی بالا است

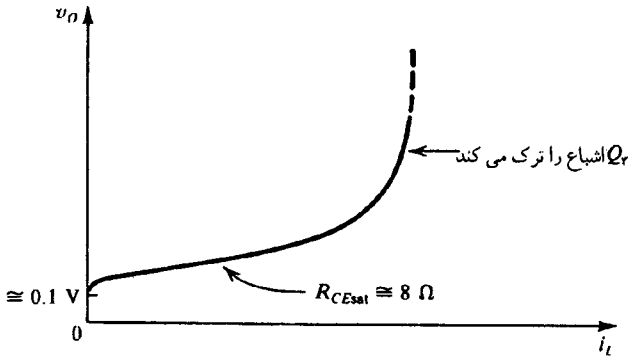
وقتی ورودی بالا (و مثلاً ۵ V+) است، ولتاژها و جریانهای گوناگون مدار TTL مقادیر نشان داده شده در شکل (۲۰-۱۴) را خواهند داشت. تحلیل نشان داده شده در شکل (۲۰-۱۴) کاملاً ساده است و ترتیب آن با شماره‌های داخل دایره مشخص شده است. مطابق انتظار، ترانزیستور ورودی در حالت فعال معکوس کار می‌کند و جریان ورودی موسوم به **جریان حالت بالای ورودی** I_{IH}، کوچک است. یعنی

$$I_{IH} = \beta_R I \approx ۱۵\ \mu A$$

که فرض کرده‌ایم $\beta_R \approx ۰/۰۲$ باشد.

جریان کلکتور Q_1 در بیس Q_2 جاری می‌شود و مقدار آن برای اشباع ترانزیستور انشعاب دهنده فاز Q_2 کافی است. این ترانزیستور بیس Q_3 را با جریانی که برای به اشباع بردن آن کافی است راه‌اندازی می‌کند و ولتاژ خروجی‌اش را به اشباع V_{CE} (۰/۱ تا ۰/۲ ولت) پایین می‌آورد. ولتاژ کلکتور Q_2 برابر با $V_{BE3} + V_{CE\text{اشباع}}(Q_2)$ است که تقریباً برابر با ۰/۹ V+ می‌باشد. اگر دیود D وجود نداشته باشد، این ولتاژ برای روشن کردن Q_4 کفایت می‌کند که خلاف عملکرد صحیح مدار توتم پل است. در صورت وجود دیود D، مطمئن می‌شویم که Q_4 و D هر دو خاموش باقی می‌مانند. در آنصورت ترانزیستور اشباع شده Q_3 ولتاژ خروجی پایین گیت $V_{CE\text{اشباع}}$ را ایجاد کرده یک امپدانس کم نسبت به زمین ارائه می‌کند.

در حالت خروجی پایین، گیت می‌تواند جریان بار i_L را به خود بکشد، و موجب شود که مقدار i_L از ۲/۶ mA × β بیشتر نشود. این مقدار ماکزیمم جریان کلکتور است که Q_3 هنگام ماندن در اشباع می‌تواند نگهدارد. بطور مسلم بالاتر رفتن مقدار i_L، سبب بالاتر رفتن ولتاژ خروجی خواهد شد. برای نگهداشتن سطح 0 منطقی در پایین‌تر از حد



شکل ۲۱-۱۴. مشخصه $v_O - i_L$ گیت TTL هنگام پایین‌بودن خروجی

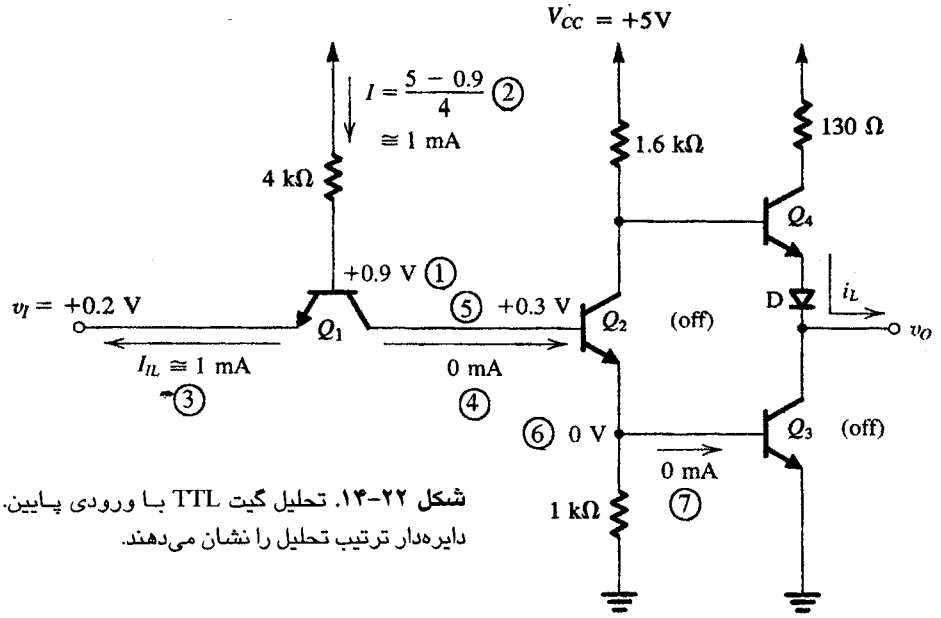
معینی، یک حد متناسب برای جریان بار i_L باید قرار داده شود. چنانکه در ادامه خواهیم دید، این حد همان مقداری است که ماکزیمم ظرفیت خروجی گیت TTL را معین می‌کند.

شکل (۲۱-۱۴) نموداری از ولتاژ خروجی v_O را در برابر جریان بار i_L گیت TTL هنگام پایین بودن خروجی نشان می‌دهد. این فقط منحنی مشخصه $v_{CE} - i_C$ مربوط به Q_3 است که با ۲/۶ mA جریان بیس سنجیده می‌شود. توجه کنید که در $i_L = ۰$، v_O ولتاژ افست است که حدود ۱۰۰mV می‌باشد.

تمرین

۵-۱۴ فرض کنید که قسمت اشباع مشخصه $v_O - i_L$ نشان داده شده در شکل (۲۱-۱۴) با یک خط راست (شیب = ۸ Ω) می‌تواند تقریب شود که محور v_O را در ۰/۱ V قطع می‌کند. ماکزیمم جریان باری که گیت به خود می‌کشد را بیابید در صورتیکه سطح O منطقی کوچکتر یا مساوی ۰/۳ V باشد.

جواب. ۲۵ mA ❑



شکل ۲۲-۱۴. تحلیل گیت TTL با ورودی پایین. شماره‌های دایره‌دار ترتیب تحلیل را نشان می‌دهند.

تحلیل وقتی ورودی پایین است

اکنون عملکرد گیت TTL را بررسی می‌کنیم که ورودی در سطح 0 منطقی (تقریبا ۰/۲ V) است. تحلیل در شکل (۲۲-۱۴) نشان داده شده که در آن ملاحظه می‌کنیم که پیوند امیتر-بیس Q_1 بایاس مستقیم بوده و ولتاژ بیس تقریباً ۰/۹ V+ خواهد بود. بنابراین جریان I تقریباً می‌تواند ۱mA باشد. چون ۰/۹ V برای بایاس مستقیم ترکیب سری پیوند کلکتور-بیس Q_1 و پیوند بیس-امیتر Q_2 (حداقل ۱/۲ V مورد نیاز) ناکافی است، ترانزیستور Q_2 خاموش می‌باشد. بنابراین جریان کلکتور Q_1 تقریباً صفر خواهد بود و Q_1 با $V_{CE\,\text{اشباع}} \approx$ ۰/۱ V در اشباع خواهد بود. بنابراین، بیس Q_2 تقریباً ۰/۳ V خواهد بود که حقیقتاً برای روشن شدن Q_2 ناکافی است.

جریان ورودی گیت که در حالت پایین، **جریان حالت پایین ورودی** I_{IL} نامیده می‌شود، برابر با جریان I (تقریباً ۱ میلی‌آمپر) است و از امیتر Q_1 خارج می‌شود چنانچه گیت TTL با گیت TTL دیگری راه‌اندازی شود، ترانزیستور خروجی Q_3 راه‌انداز این جریان I_{IL} را به خود خواهد کشید، چون جریان خروجی که گیت TTL می‌تواند فروخورد در یک مقدار ماکزیمم معین محدود می‌شود، ماکزیمم ظرفیت خروجی گیت مستقیماً با مقدار I_{IL} تعیین می‌شود.

تمرینها

۶-۱۴ گیت TTL تحلیل شده در تمرین ۵-۱۴ را در نظر بگیرید. ماکزیمم ظرفیت خروجی مجاز را با استفاده از مقدار I_{IL} محاسبه شده فوق به دست آورید:

جواب. ۲۵

۷-۱۴ با استفاده از معادله (۱۴-۱۴)، وقتی ورودی گیت پایین (۰/۲V) است، $V_{CE\,\text{اشباع}}$ ترانزیستور Q_1 را بیابید. فرض کنید که β_F = ۵۰ و β_R=۰/۰۲ باشد.

جواب. ۹۸ mV ❑

تحلیل را در باره گیت TTL ادامه می‌دهیم. وقتی ورودی پایین باشد، ملاحظه می‌کنیم که Q_2 و Q_3 هر دو خاموش خواهند بود. ترانزیستور Q_4 خاموش خواهد بود و جریان i_L بار را تامین خواهد کرد. با توجه به مقدار i_L، Q_4 می‌تواند در حالت فعال یا در حالت اشباع باشد.

وقتی پایانه خروجی گیت باز باشد، جریان i_L خیلی کوچک (بیشتر بصورت نشتی) خواهد بود و دو پیوند (بیس-امیتر Q_4 و دیود D) هدایت خواهند کرد. با فرض آنکه هر پیوند دارای ۰/۶۵ V افت باشد و از افت ولتاژ دو سر مقاومت ۶ kΩ صرفنظر کنیم، در می‌یابیم که ولتاژ خروجی بصورت زیر خواهد بود:

$$v_O \cong ۵ - ۰/۶۵ - ۰/۶۵ = ۳/۷ \text{ V}$$

با افزایش i_L، Q_4 و D خیلی بیشتر هدایت می‌کنند، اما در گستره‌ای از i_L، Q_4 در حالت فعال می‌ماند، و v_O از رابطه زیر به دست می‌آید:

$$v_O = V_{CC} - \frac{i_L}{\beta + ۱} \times ۱/۶ \text{ k}\Omega - V_{BE4} - V_D \quad (۱۴-۴)$$

چنانچه i_L را همچنان افزایش دهیم، به مقداری می‌رسیم که در آن Q_4 اشباع می‌شود. ولتاژ خروجی توسط مقاومت ۱۳۰ Ω و مطابق رابطه تقریبی زیر به دست می‌آید:

$$v_O \cong V_{CC} - i_L \times ۱۳۰ - V_{CE\,\text{اشباع}}(Q_4) - V_D \quad (۱۴-۵)$$

نقش مقاومت ۱۳۰ Ω

در این جا علت وجود مقاومت ۱۳۰ Ω بایستی مشخص شود. کار آن بطور خلاصه محدود کردن جریانی است که از ترانزیستور Q_4 می‌گذرد، بویژه وقتی که پایانه خروجی بطور تصادفی به زمین اتصال کوتاه می‌شود. این مقاومت جریان منبع را در شرایط دیگری نیز محدود می‌کند، یعنی وقتی Q_4 روشن است در حالیکه Q_3 همچنان در حال اشباع بسر می‌برد. برای مشاهده چگونگی این کار، حالتی را در نظر بگیرید که گیت ورودی بالا باشد و سپس ناگهان به سطح پایینی آورده شود. ترانزیستور

Q_2 نسبتاً سریع خاموش می‌شود زیرا جریان معکوس زیادی برای پایانه بیس آن بوسیله کلکتور Q_1 تامین می‌شود. از سوی دیگر، بیس Q_3 از طریق مقاومت ۱ kΩ تخلیه خواهد شد و بنابراین خاموشی Q_3 قدری طول می‌کشد. در این حال Q_4 روشن خواهد شد، و یک پالس جریان بزرگ از طریق ترکیبی سری Q_4 و Q_3 جاری خواهد شد. قسمتی از این جریان ظرفیت بار را تا سطح 1 منطقی شارژ می‌کند. اندازه پالس جریان بوسیله مقاومت ۱۳۰ Ω در حدود ۳۰ mA محدود می‌گردد.

وقوع چنین پالسهای جریانی با عمر کوتاه (موسوم به **جهش‌های جریان**) مسأله مهم دیگری را طرح می‌کند. این جهش‌های جریان باید بوسیله منبع V_{CC} تأمین شود و به خاطر مقاومت محدود منبع آن، ولتاژ جهش (گذرای نامطلوب) که بر V_{CC} قرار گرفته به دست می‌دهد. این جهش‌های ولتاژ می‌توانند به گیت‌های و فلیپ فلاپهای دیگر سیستم دیجیتال تزویج شوند و در نتیجه در بخشهای دیگر سیستم سوئیچینگ (تغییر حالت) کاذب بوجود بیاورند. این اثر که آنرا با مسامحه می‌توان **هم شنوایی** نامید در دستگاههای TTL یک مشکل است. برای کاهش اندازه جهش‌های ولتاژ، خازنهایی (به نام خازن کنارگذر) می‌بایست در کنار هم روی خط تغذیه به زمین وصل شود. این خازنها امپدانس منبع ولتاژ تغذیه را کم می‌کنند و بنابراین اندازه جهش‌های ولتاژ را نیز کم می‌کنند.؛ از طرف دیگر، می‌توان فکر کرد که خازنهای کنارگذر جهش‌های جریانی ضربانی ایجاد می‌کنند.

تمرینها

۱۴-۸ با فرض آنکه Q_4 دارای $\beta = 50$، و در لبه اشباع $V_{CE\,\text{اشباع}} = 0/3$ V باشد، مقدار i_L را که Q_4 به ازای آن اشباع می‌شود، به دست آورید.

جواب. ۴/۱۶ mA

۱۴-۹ با فرض آنکه در جریان ۱ mA، افت ولتاژ دو سر پیوند امیتر - بیس Q_4 و دیود D هر کدام ۰/۷ V باشد، در صورتی که i_L برابر با ۱ mA و ۱۰ mA باشد، v_O را بیابید. (به نتیجه تمرین قبل توجه کنید).

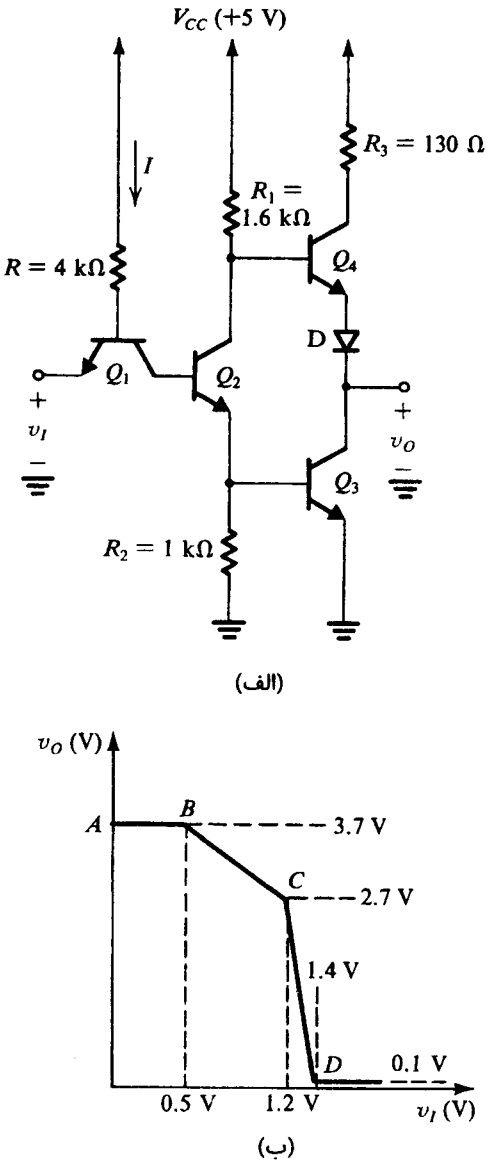
جواب. ۳/۶ V؛ ۲/۷ V

۱۴-۱۰ ماکزیمم جریانی که یک گیت TTL می‌تواند بیرون دهد چقدر است، هنگامی که سطح بالای خروجی V_{OH} بزرگتر از مینیمم مقدار تضمین شده ۲/۴ V باقی می‌ماند.

جواب. ۱۲/۳mA، یا دقیقتر، با در نظر گرفتن جریان بیس Q_4، ۱۳/۰۵mA ❑

۱۴-۴ مشخصه‌های TTL استاندارد

دربارهٔ TTL به خاطر اهمیت و شهرتش در این بخش و بخش بعد باز هم بحث خواهد شد. در این بخش، بعضی از مشخصه‌های مهم گیت TTL استاندارد را بررسی می‌کنیم. شکلهای پیشرفته خاص TTL در بخش ۱۴-۵ بررسی می‌شود.



شکل ۲۳-۱۴. گیت TTL و مشخصه انتقال ولتاژ آن.

مشخصه انتقال

شکل (۲۳-۱۴) گیت TTL را به همراه نموداری از مشخصه انتقال آن که بصورت خطی شکسته رسم شده نشان می‌دهد. البته مشخصه آن در عمل یک منحنی راست است. حال مشخصه انتقال را شرح می‌دهیم و نقاط مختلف شکست و شیبهای آن را محاسبه می‌کنیم. فرض می‌شود پایانه خروجی گیت باز است.

قطعه AB وقتی به دست می‌آید که ترانزیستور Q_1 اشباع شود، Q_2 و Q_3 قطع و Q_4 و D هدایت کنند. ولتاژ خروجی تقریباً دو افت ولتاژ دیود کمتر از V_{CC} است. در نقطه B، انشعاب دهنده فاز Q_2 شروع به روشن شدن می‌کند زیرا ولتاژ بیس آن به ۰/۶ V (یعنی ۰/۵ V + $V_{CE\,\text{اشباع}}$ ترانزیستور Q_1) می‌رسد.

در قطعهٔ BC، ترانزیستور Q_1 در اشباع می‌ماند، اما قسمت اعظم جریان بیس I به پیوند بیس - کلکتور آن و به داخل بیس Q_2 راه می‌یابد.

Q_2 بصورت تقویت کننده خطی کار می‌کند. ترانزیستور Q_4 و دیود D وصل می‌ماند و Q_4 بصورت امیتر پیرو عمل می‌کند. در این میان ولتاژ بیس Q_3، اگر چه افزایش دارد اما برای وصل کردن Q_3 کافی نیست (کمتر از ۰/۶ V است).

اکنون شیب قطعه BC ی مشخصه انتقال را به دست می‌آوریم. فرض کنید ورودی v_I به اندازه Δv_I افزایش یابد. این افزایش (نمو) در کلکتور Q_1 ظاهر می‌شود زیرا ترانزیستور اشباع شده Q_1 از دید سیگنال (تقریباً) بصورت یک اتصال کوتاه سه پایانه‌ای عمل می‌کند. بنابراین در بیس Q_2، سیگنال Δv_I را خواهیم داشت. با چشمپوشی از بارگذاری امیتر پیرو Q_4 روی کلکتور Q_2، بهره انشعاب دهنده فاز را می‌توان از رابطه زیر به دست آورد:

$$\frac{v_{e2}}{v_{b2}} = \frac{-\alpha_2 R_1}{r_{e2} + R_2} \qquad (۱۴-۶)$$

مقدار r_{e2} آشکارا به جریان Q_2 بستگی دارد. این جریان گستره‌ای از صفر (وقتی Q_2 شروع به روشن شدن می‌کند) تا مقداری است که ولتاژی حدود ۰/۶ V در امیتر Q_2 به دست دهد (بیس Q_3). این مقدار حدود ۰/۶mA و متناظر با نقطه C منحنی مشخصه انتقال است. با فرض اینکه میانگین جریان Q_2 برابر ۰/۳ mA باشد، خواهیم داشت $r_{e2} \cong 83\ \Omega$. به ازای $\alpha = 0/98$، معادله (۶-۱۴) بهره‌ای معادل ۱/۴۵ به دست می‌دهد. چون بهره خروجی امیتر پیرو Q_4 نزدیک به واحد است، بهره کل گیت، یعنی شیب BC، حدود ۱/۴۵− است.

چنانکه اشاره شد، نقطه C با شروع هدایت Q_3 تعیین می‌شود. ولتاژ ورودی متناظر از رابطه زیر به دست می‌آید:

$$v_I(C) = V_{BE3} + V_{BE2} - V_{CE\,\text{اشباع}}(Q_1)$$
$$= 0/6 + 0/7 - 0/1 = 1/2\ \text{V}$$

در این نقطه، جریان امیتر Q_2 تقریباً ۰/۶ mA است. جریان کلکتور Q_2 نیز تقریباً ۰/۶ mA است؛ با چشمپوشی از جریان بیس Q_4، ولتاژ کلکتور Q_2 برابر می‌شود با

$$v_{C2}(C) = 5 - 0/6 \times 1/6 \cong 4\ \text{V}$$

بنابراین Q_2 همچنان در حالت فعال است. ولتاژ خروجی متناظر آن چنین است:

$$v_O(C) = 4 - 0/65 - 0/65 = 2/7\ \text{V}$$

وقتی v_I از مقدار $v_I(C) = 1/2$ V افزونتر می‌شود، Q_3 شروع به هدایت می‌کند و در حالت فعال عمل می‌نماید. در ضمن، Q_1 در حالت اشباع می‌ماند و Q_2 و Q_3 در حالت فعال باقی می‌مانند. مدار مانند یک تقویت کننده عمل می‌کند تا Q_2 و Q_3 اشباع و Q_4 قطع شود. این وضع در نقطه D منحنی انتقال اتفاق می‌افتد که متناظر با ولتاژ ورودی $v_I(D)$ است که از رابطه زیر به دست می‌آید:

$$v_I(D) = V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1}$$
$$= 0/7 + 0/7 + 0/7 - 0/7 = 1/4\ \text{V}$$

توجه کنید که در حقیقت فرض کرده‌ایم که در نقطه D ترانزیستور Q_1 همچنان در حالت اشباع است، اما با $V_{CE\,\text{اشباع}} \approx 0$. برای دیدن چگونگی آن، توجه کنید که از نقطه B به بعد، قسمت رو به فزاینده‌ای از جریان بیس Q_1 به پیوند بیس ـ کلکتور راه می‌یابد. بنابراین وقتی افت دو سر پیوند بیس ـ کلکتور افزایش می‌یابد، افت دو سر پیوند بیس ـ امیتر کاهش می‌یابد. در نقطه D این افتها تقریباً برابرند. به ازای $v_I > v_I(D)$ پیوند بیس ـ امیتر Q_1 قطع می‌شود. بنابراین Q_1 از اشباع بیرون می‌آید و وارد حالت فعال معکوس می‌شود.

محاسبه بهره در قطعه CD کار نسبتاً پیچیده‌ای است، زیرا از ورودی به خروجی دو راه وجود دارد: یکی از طریق Q_3 و دیگری از طریق Q_4. یک تقریب ساده اما نه چندان دقیق برای بهره این قطعه را از مختصات نقاط C و D در شکل (ب ۲۳-۱۴) می‌توان بصورت زیر به دست آورد:

$$\text{بهره} = -\frac{v_O(C) - v_O(D)}{v_I(D) - v_I(C)} = \frac{2/7 - 0/1}{1/4 - 1/2} = -13\text{V/V}$$

با توجه به منحنی انتقال شکل (ب ۲۳-۱۴) می‌توان نقاط مهم و حاشیه‌های نویز را بصورت زیر به دست آورد:

$V_{OH} = 3/7$ V؛ V_{IL} در گسترهٔ ۰/۵ V تا ۱/۲ V است و بنابراین، با یک تقریب محافظه‌کارانه ۰/۵V خواهد بود؛ $V_{OL} = 0/1$V ؛ $V_{IH} = 1/4$V ؛ $NM_H = V_{OH} - V_{IH} = 2/3$V ؛ و $NM_L = V_{IL} - V_{OL} = 0/4$V . بایستی دقت شود که این مقادیر بافرض بار نشدن گیت و بدون در نظر گرفتن تغییر منبع تغذیه با دما محاسبه شده است.

تمرین

۱۱-۱۴ با در نظر گرفتن این موضوع که ولتاژ دو سر پیوند pn در بایاس مستقیم حدود ۲ mV/°C ـ تغییر می‌کند. مختصات نقطه‌های A، B، C، و D مشخصه انتقال گیت را در ۵۵°C − و ۱۲۵°C+ حساب کنید. فرض کنید که مشخصهٔ شکل (ب ۲۳-۱۴) در ۲۵°C صادق است و از ضریب دمایی اندک $V_{CE\,\text{اشباع}}$ صرف‌نظر کنید.

جواب. در ۵۵°C ـ: (۳/۳۸، ۰)، (۳/۳۸، ۰/۶۶)، (۲/۱۶، ۱/۵۲)، (۰/۱، ۱/۷۲)؛ در ۱۲۵°C: (۴/۱، ۰) (۴/۱، ۰/۳)، (۳/۴۶، ۰/۸)، (۰/۱، ۱/۰) ❑

مشخصات ارائه شده توسط کارخانه‌های تولید کننده

تولید کننده‌های TTL معمولاً برای مشخصه انتقال گیت، مشخصه $v-i$ ورودی، و مشخصه $v-i$ خروجی، منحنی‌هایی ارائه می‌کنند که در محدوده دمای خاصی اندازه‌گیری شده‌اند. بعلاوه مقادیر تضمین شده‌ای برای پارامترهای V_{OL}، V_{OH}، V_{IL}، V_{IH} داده می‌شود. در TTL استاندارد (شناخته شده بعنوان سری 74) این مقادیر عبارتند از: $V_{OL} = 0/4$V، $V_{OH} = 2/4$V، $V_{IL} = 0/8$ V، و $V_{IH} = 2$V. این مقادیر حدی برای تولرانس معینی از ولتاژ منبع تغذیه و به ازای ماکزیمم ظرفیت خروجی ۱۰ تضمین شده‌اند. با توجه به مباحث بخش ۳-۱۴ درمی‌یابیم که ظرفیت

خروجی ماکزیمم را ماکزیمم جریانی که Q_3 به خود می‌کشد تعیین می‌کند. در حالی که Q_3 در اشباع می‌ماند و ولتاژ اشباع کمتر از ماکزیمم تضمین شده ($V_{OL} = 0/4$ V) را حفظ می‌کند. محاسبه‌های انجام شده در بخش ۳-۱۴ امکان ظرفیت خروجی ۲۰ تا ۳۰ را نشان می‌دهد. بنابراین شکل تعیین شده به وسیله تولید کننده کاملاً دقیق و محافظه‌کارانه است.

از پارامترهای V_{OL}، V_{OH}، V_{IL}، و V_{IH} برای محاسبه حاشیه‌های نویز بصورت زیر می‌توان استفاده کرد:

$$NM_H = V_{OH} - V_{IH} = 0/4 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = 0/4 \text{ V}$$

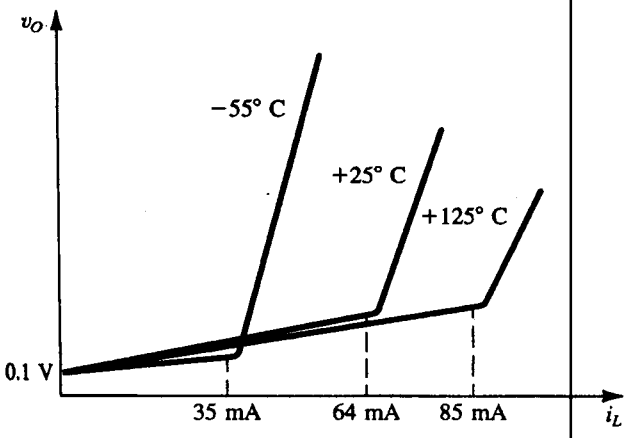
تمرینها

۱۴-۱۲ در بخش ۳-۱۴، دیدیم که وقتی ورودی گیت بالاست، جریان بیس Q_3 تقریباً ۲/۶ mA است. فرض کنید این مقدار در دمای ۲۵ درجه به کار می‌رود و در این دما $V_{BE} \cong 0/7$ V است. اگر ضریب دمایی V_{BE} برابر با ۲ mV°/C ـ باشد و از تمام تغییرات دیگر صرفنظر کنیم، جریان بیس Q_3 را در ۵۵ ـ و ۱۲۵ درجه سانتی‌گراد به دست آورید.

جواب. ۳ mA ؛ ۲/۲ mA

۱۴-۱۳ شکل (۱۳-۱۴ ت) نمودار مشخصه‌های $i_L - v_O$ یک گیت TTL را وقتی خروجی پایین است، نشان می‌دهد. با استفاده از این مشخصه‌ها و نتایج تمرین ۱۲-۱۴، مقدار βی ترانزیستور Q_3 را در ۵۵ ـ، ۲۵+ ، و ۱۲۵+ درجه سانتی‌گراد به دست آورید.

جواب. ۱۶ ؛ ۲۵ ؛ ۲۸



شکل (۱۳-۱۴ت)

تأخیر انتشار

معمولاً تاخیر انتشار گیت‌های TTL بصورت زمان بین نقاط ۱/۵ V متناظر لبه‌های شکل موجهای ورودی و خروجی تعریف می‌شود. در TTL استاندارد (که بعنوان TTL با سرعت متوسط نیز شناخته می‌شود)، t_P معمولاً حدود ۱۰ ns است.

وقتی اتلاف توان در نظر است، می‌توان نشان داد (تمرین ۱۴-۱۴ را در زیر ملاحظه کنید) که وقتی خروجی گیت بالاست، گیت ۵ mW تلف می‌کند و وقتی خروجی گیت پایین است، تلف توان ۱۶/۷ mW است. بنابراین تلف میانگین ۱۱ mW است که حاصلضرب تأخیر توان در حدود ۱۰۰ pJ به دست می‌آید.

تمرین

۱۴-۱۴ مقدار جریان تغذیه (I_{CC})، و سپس توان تلف شده در گیت TTL را وقتی پایانه خروجی باز و ورودی برابر مقادیر زیر باشد، محاسبه کنید. (الف) پایین در ۰/۲ V (شکل ۲۲-۱۴ راملاحظه کنید) و (ب) بالا در ۵+ V (با توجه به شکل ۲۰-۱۴).

جواب. (الف) ۱ mA ، ۵ mW ؛ (ب) ۳/۳۳ mA ، ۱۶/۷ mW ❑

اتلاف توان دینامیک

در بخش ۳-۱۴ پدیده جهش‌های جریان تغذیه را توضیح دادیم. این جهش‌ها سبب کشیده شدن جریان اضافی از V_{CC} تغذیه می‌شود. این توان پویا (دینامیک) در مدار گیت نیز تلف می‌شود.

این توان با ضرب کردن جریان میانگین ناشی از جهش‌ها در V_{CC}، به دست می‌آید، همانگونه که با حل تمرین ۱۵-۱۴ نشان داده شد.

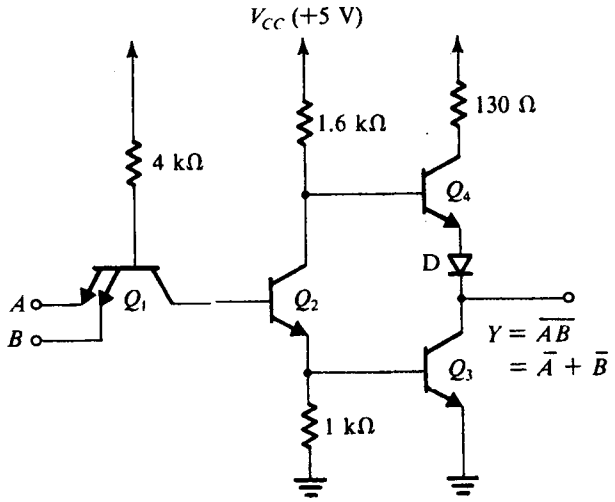
تمرین

۱۴-۱۵ یک گیت TTL در نظر بگیرید که با سرعت ۱ MHz سوئیچ کرده قطع و وصل می‌شود، فرض کنید هر بار که گیت قطع می‌شود (یعنی خروجی بالا می‌رود) پالس جریان تغذیه‌ای با دامنه ۳۰ mA و پهنای ۲ نانوثانیه بوجود می‌آید. همچنین فرض کنید وقتی گیت روشن می‌شود، جهش جریانی وجود ندارد. جریان میانگین تغذیه و جهش و اتلاف توان دینامیک را محاسبه کنید.

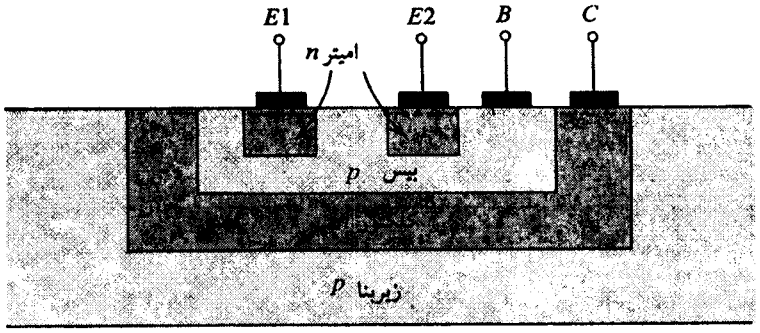
جواب. ۶۰ μA ؛ ۰/۳ mW ❑

گیت NAND از خانواده TTL

شکل (۲۴-۱۴) اساس گیت TTL را نشان می‌دهد. مهمترین شاخصه



شکل ۲۴-۱۴ گیت NAND، TTL



شکل ۲۵-۱۴. ساختار ترانزیستور چند امیتری Q_1

آن ترانزیستور چند امیتر Q_1 است که در ورودی آن استفاده می‌شود. شکل (۲۵-۱۴) ساختمان ترانزیستور چند امیتری را نشان می‌دهد.

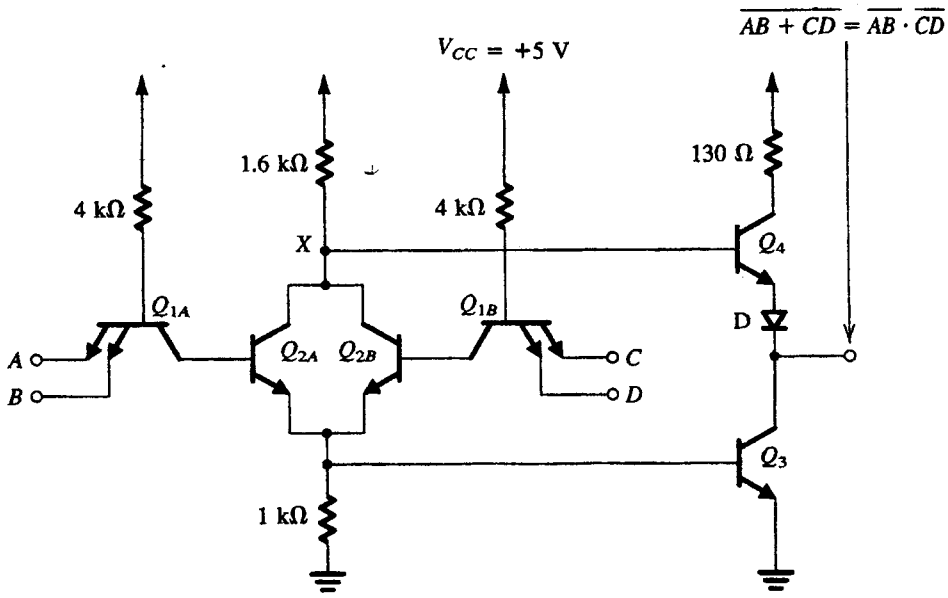
به آسانی می‌توان ثابت کرد که گیت شکل (۲۴-۱۴) کار تابع NAND را انجام می‌دهد. خروجی بالاست اگر یک یا هر دو ورودی پایین باشد. خروجی تنها در یک حالت پایین است : وقتی هر دو ورودی بالا باشد. گسترش ورودیها به بیش از دو ورودی ساده و راحت است و با نفوذ ناحیه‌های امیتر امکان‌پذیر می‌باشد.

اگرچه از نظر تئوری پایانه‌های استفاده نشده ورودی را می‌توان باز گذاشت، اما در عمل این کار صحیح نیست. یک پایانه ورودی باز مانند یک «آنتن» عمل می‌کند که سیگنالهای متداخل را «می‌گیرد» و در نتیجه سبب سوئیچینگ نادرست گیت می‌شود. بنابراین یک پایانه ورودی استفاده نشده از طریق یک مقاومت (مثلاً ۱ kΩ) به منبع تغذیه مثبت می‌بایست وصل شود. به این طریق، پیوند بیس ـ امیتر متناظر Q_1 بایاس معکوس می‌شود و در نتیجه اثری بر عمل گیت نخواهد داشت. این مقاومت متوالی برای محدود کردن جریان در صورت شکستن پیوند بیس ـ امیتر در اثر حالتهای گذرای منبع تغذیه است.

مدارهای منطقی TTL دیگر

موارد بسیاری وجود دارد که بر یک تراشه TTL MSI توابع منطقی با استفاده از موارد عریان گیت TTL پیاده سازی می‌شود. بعنوان مثال، در شکل (۲۶-۱۴) پیاده سازی TTL تابع AND-OR-INVERT را نشان می‌دهیم. مطابق شکل، ترانزیستورهای انشعاب دهنده فاز با دوگیت بطور موازی وصل شده‌اند و از یک طبقه خروجی استفاده شده است. به خواننده توصیه می‌شود که ثابت کند که تابع منطقی تحقق یافته همان است که در شکل نشان داده شده است.

در این جا باید توجه شود که طبقه خروجی توتم پل TTL اجازه نمی‌دهد که پایانه‌های خروجی دو گیت به هم وصل شده، تابع AND خروجی آنها (موسوم به اتصال AND سیمی) بوجود آید. برای دیدن دلیل آن، دو گیت در نظر بگیرید که خروجیشان به هم وصل شده‌اند و فرض کنید یک گیت دارای خروجی بالا و دیگری دارای خروجی پایین باشد. جریان از Q_4 اولین گیت جاری شده از Q_3 گیت دوم می‌گذرد. مقدار جریان خوشبختانه بوسیله مقاومت ۱۳۰ Ω محدود می‌شود. البته بدیهی است که با این اتصال تابع منطقی مفیدی تحقق نمی‌یابد.



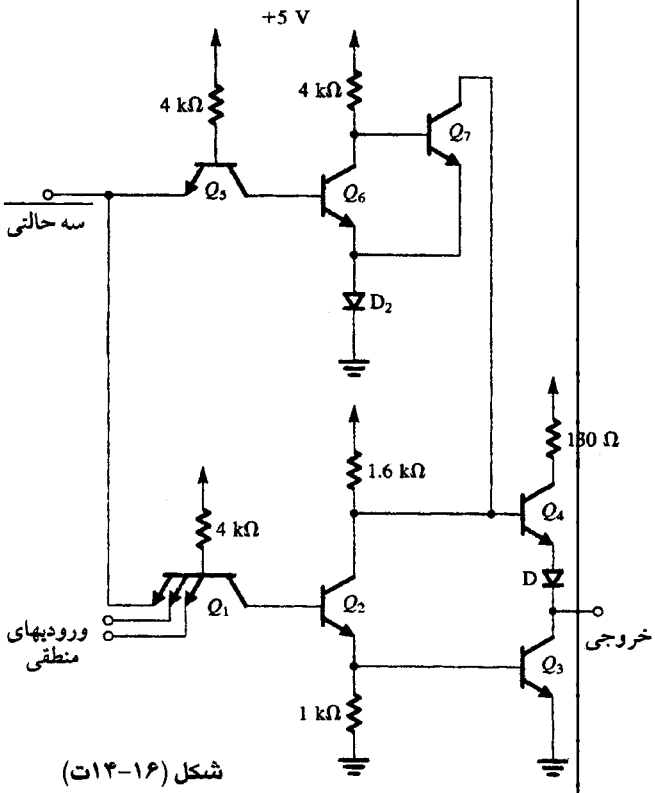
شکل ۲۶-۱۴. گیت وارون TTL, AND − OR

نبود توانایی AND سیمی یکی از نقص‌های TTL است. با این وجود، این نقص به روش‌های مختلف برطرف می‌شود. از جمله موازی کردن طبقه انشعاب دهنده فاز مطابق شکل ۲۶-۱۴. راه حل دیگر، آن است که ترانزیستورهای امیتر پیرو را حذف کنیم. درنتیجه طبقه خروجی تنها از ترانزیستور امیتر مشترک Q_3 حتی بدون مقاومت کلکتور تشکیل می‌شود. بطور مسلم، می‌توان خروجی چنین گیت‌هایی رابه یک مقاومت کلکتور مشترک وصل کرد و قابلیت AND سیمی را بوجود آورد. گیت‌های TTL از این نوع را **TTL کلکتور ـ باز** می‌نامیم. عیب مشهود آن، زمان صعود آهسته شکل موج خروجی است.

نوع مفید دیگر TTL ، آرایش خروجی **سه حالته** است که در تمرین ۱۶-۱۴ به دست می‌آید.

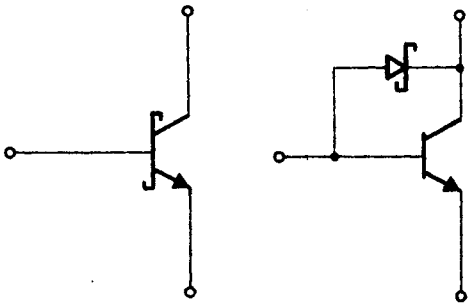
تمرین

۱۶-۱۴ مدار نشان داده شده در شکل (۱۶-۱۴ ت) TTL سه حالته نامیده می‌شود. ثابت کنید که وقتی پایانه سه حالته بالاست، گیت بصورت عادی کار می‌کند و وقتی این پایانه پایین است، هر دو ترانزیستور Q_3 و Q_4 قطع می‌شود و خروجی گیت یک مدار باز است. حالت بعدی حالت سوم یا حالت امپدانس خروجی زیاد است. ❑



شکل (۱۶-۱۴ت)

در TTL سه حالته، تعدادی از گیت‌های TTL به یک خط خروجی مشترک (یا گذرگاه) وصل می‌شود. در هر لحظه ، سیگنال این گذرگاه توسط گیت فعال شده TTL (با بالا رفتن پایانه حالت سوم) تعیین می‌شود. همه گیت‌های دیگر در حالت سوم قرار دارند و بنابراین کنترلی بر گذرگاه ندارند.



(ب) (الف)

شکل ۲۷-۱۴. (الف) یک ترانزیستور با دیود محدودکننده شاتکی. **(ب)** نماد مداری اتصال (الف) که بعنوان ترانزیستور شاتکی شناخته می‌شود.

۵-۱۴ خانواده های TTL با عملکرد اصلاحی

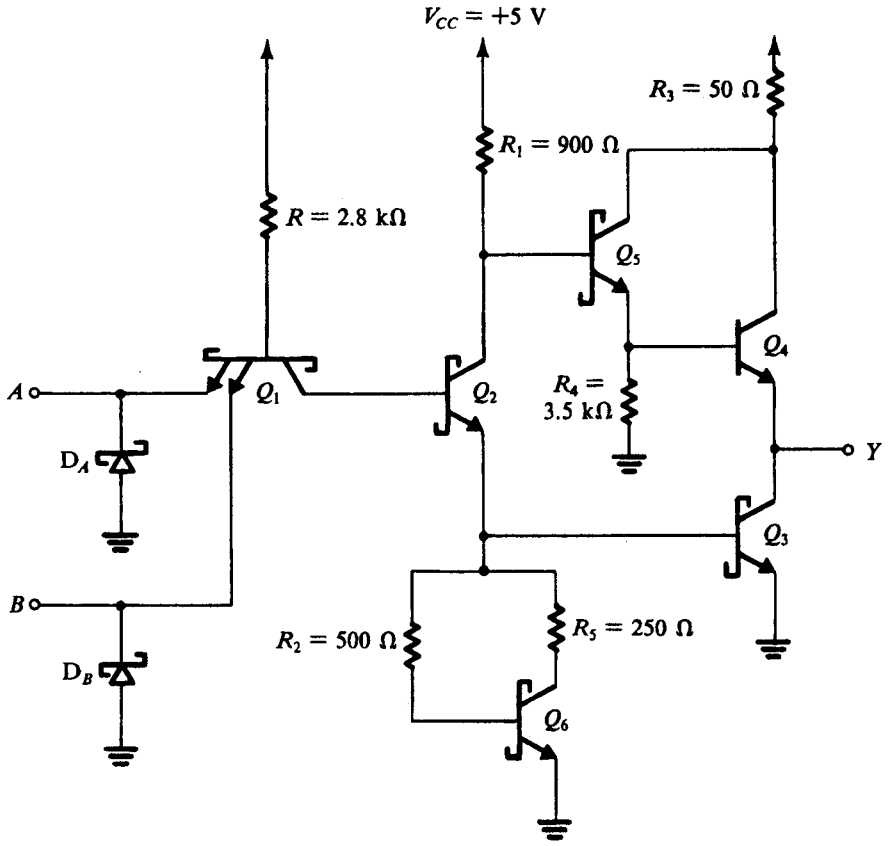
مدارهای TTL استاندارد که در دو بخش پیش بررسی شد در دهه ۱۹۶۰ معرفی شدند. از آن زمان تاکنون، چند مرحله پیشرفته‌تر آن ارائه شده است. در این بخش برخی از خانواده‌های فرعی ـ پیشرفته TTL را بررسی می‌کنیم. چنانکه خواهیم دید پیشرفت در دو جهت است : افزایش سرعت و کاهش اتلاف توان.

سرعت گیت TTL استاندارد شکل (۲۴-۱۴) با دو مکانیزم محدود می‌شود. اول آنکه ترانزیستور Q_1 ، Q_2 ، و Q_3 اشباع می‌شوند و بنابراین مجبور به تحمل زمان ذخیره محدودشان هستیم. اگرچه همانطور که قبلاً گفته شد، بعلت حالت فعال Q_1 ، ترانزیستور Q_2 بطرز معقولی سریعاً دشارژ می‌شود. اما این برای Q_3 مصداق ندارد زیرا بار بیس آن باید از طریق مقاومت $1k\Omega$ در مدار بیس، به بیرون نشت کند. دوم آنکه مقاومت‌های مدار به همراه ترانزیستورهای گوناگون و ظرفیت خازنی سیم‌ها، ثابت زمانی طولانی ایجاد می‌کنند که در طولانی کردن تأخیر گیت سهیم است.

نتیجه می‌گیریم که دو روش برای بالا بردن سرعت کار TTL وجود دارد. اول جلوگیری از اشباع ترانزیستور و دوم کاهش مقادیر مقاومت‌ها. در خانواده مدار TTL شاتکی از هر دو روش استفاده می‌شود.

TTL شاتکی

در TTL شاتکی با اتصال یک دیود با افت ولتاژ کم بین بیس و کلکتور، مطابق شکل (۲۷-۱۴)، از اشباع ترانزیستورها جلوگیری می‌شود. این دیودها، که بصورت پیوند فلز به نیمرسانا شکل می‌گیرد، دیود شاتکی نامیده می‌شوند و افت ولتاژ مستقیم آنها حدود ۰/۵ V است. دیودهای شاتکی آسان ساخته می‌شوند و وسعت تراشه را نمی‌افزایند. در حقیقت، فرآیند ساخت TTL شاتکی به گونه‌ای است که ترانزیستورهای به دست آمده کوچک و بنابراین دارای β و f_T بزرگ نسبت به TTL استاندارد است. شکل (۲۷-۱۴) همچنین علامتی را نشان می‌دهد که برای نمایش ترکیبی از ترانزیستور و دیود شاتکی استفاده می‌شود و به آن ترانزیستور شاتکی گفته می‌شود.



شکل ۲۸-۱۴. گیت TTL NAND شاتکی (که STTL نامیده می‌شود).

ترانزیستور شاتکی اشباع نمی‌شود چون مقداری از جریان راه‌انداز بیس آن بوسیله دیود شاتکی موازی می‌شود. در آنصورت دیود هدایت می‌کند و ولتاژ پیوند بیس ـ کلکتور آنرا در حدود ۰/۵ V نگه می‌دارد. این ولتاژ کوچکتر از مقدار لازم برای بایاس مستقیم پیوند بیس ـ کلکتور این ترانزیستورهای با ابعاد کوچک است. در واقع، یک ترانزیستور شاتکی وقتی شروع به هدایت می‌کند که v_{BE} آن حدود ۰/۷ V باشد. و ترانزیستور زمانی کاملاً هدایت می‌کند که v_{BE} برابر با ۰/۸ V شود. با دیود شاتکی که v_{BC} را در ۰/۵ V نگه می‌دارد، ولتاژ کلکتور به امیتر حدود ۰/۳ V است و ترانزیستور همچنان فعال عمل می‌کند. با اجتناب از اشباع، ترانزیستور محدودشدهٔ شاتکی دارای زمان خاموشی کوتاه می‌شود.

شکل (۲۸-۱۴) یک شاتکی با نگهدارنده، یا به اختصار شاتکی، گیت NAND از خانواده TTL را نشان می‌دهد. از مقایسه این مدار با آنچه در TTL استاندارد در شکل (۲۴-۱۴) نشان داده شده، چند تفاوت مشخص می‌شود. ابتدا و پیش از هر چیز، برای همه ترانزیستورها بجز Q_4، محدودکننده شاتکی گذاشته شده است. چنانکه خواهیم دید، ترانزیستور Q_4 هرگز اشباع نمی‌شود و به محدودکنندهٔ شاتکی نیاز ندارد. دوم آنکه مقدار تمام مقاومتها تقریباً نصف مقدارشان در مدار استاندارد است. با این دو تغییر زمان تأخیر بسیار کوتاهتر می‌شود، اما کاهش مقدار مقاومتها اتلاف توان گیت را (با ضریب تقریباً ۲) افزایش می‌دهد.

گیت TTL شاتکی سه تکنیک مداری دیگر دارد که سبب عملکرد بهتر می‌شود. این سه عبارتند از:

۱ ـ به جای دیود D که برای جلوگیری از هدایت Q_4 هنگام پایین بودن خروجی گیت لازم است، ترانزیستور Q_5 قرار داده می‌شود که با Q_4 یک زوج دارلینگتون تشکیل می‌دهند. این طبقه دارلینگتون بهره جریان اضافی و بنابراین توانایی ارائه جریان بیشتر را دارد. این امر بعلاوه مقاومت خروجی کمتر گیت (در حالت خروجی بالا) سبب کاهش زمان لازم برای پر شدن ظرفیت بار و رسیدن آن به سطح بالا می‌شود. توجه کنید که ترانزیستور Q_4 هرگز اشباع نمی‌شود زیرا داریم:

$$V_{CE4} = V_{CE5} + V_{BE4}$$
$$\cong 0/3 + 0/8 = 1/1\text{V}$$

۲ ـ دیودهای نگهدارنده ورودی D_A و D_B اضافه شده است. این دیودها فقط وقتی هدایت می‌کنند که ولتاژهای ورودی کمتر از سطح زمین شوند. این امر ناشی از **نوسان حلقوی** روی سیمهای اتصال دهنده ورودی گیت به خروجی گیت دیگر است. نوسان حلقوی به این خاطر پیش می‌آید که سیمهای اتصال مانند خطوط انتقال عمل می‌کنند که بدرستی ختم نشده باشند. بدون دیودهای نگهدارنده، نوسان حلقوی سبب می‌شود ولتاژ ورودی بصورت گذرا بقدری منفی شود که پیوند زیربنا به کلکتور Q_1 (در شکل ۲۵-۱۴) بایاس مستقیم شود. این امر نیز سبب کار نادرست گیت

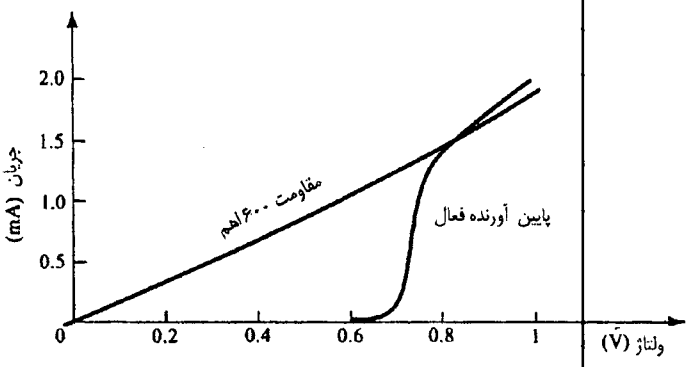
می‌شود. همچنین نوسان حلقوی سبب می‌شود ولتاژورودی به قدر کافی مثبت گردد تا سوئیچینگ کاذب گیت روی دهد. دیودهای ورودی گردش منفی سیگنال نوسان حلقوی ورودی را (در ۰/۵ V −) نگه می‌دارد. هدایت آنها نیز سبب اتلاف توان در خط انتقال می‌گردد که موجب میرایی شکل موجهای نوسان حلقوی و بنابراین کاهش در قسمت مثبت رونده شود.

۳ـ مقاومت بین بیس Q_3 و زمین با مقاومتی غیرخطی که از ترانزیستور Q_6 و دو مقاومت R_2 و R_5 بوجود آمده جایگزین شده است. این مقاومت غیرخطی بعنوان **پایین کش فعال** نامیده می‌شود در مقایسه با امیتر پیرو طبقه خروجی توتم پل که **بالاکش فعال** نامیده می‌شود. این مشخصه پیچیده است و در باره آن به تفصیل بحث خواهیم کرد.

پایین کش فعال: شکل (۲۹-۱۴) نمودار مشخصه $i-v$ شبکه غیرخطی، متشکل از Q_6 و دو مقاومت R_2 و R_5 را نشان می‌دهد. همچنین برای مقایسه مشخصه $i-v$ خطی یک مقاومت نشان داده شده است که در صورت به کار بردن پایین کش فعال، بایستی بین بیس Q_3 و زمین وصل شود.

اولین شاخصه قابل توجه در پایین‌کش فعال آن است که یک جریان ناچیز و قابل چشمپوشی هدایت می‌کند (و بنابراین به مثابه یک مقاومت زیاد عمل می‌کند) تا وقتی ولتاژ دو سر آن به افت V_{BE} برسد. بنابراین، بهره انشعاب دهنده (به مثابه یک تقویت کننده خطی) کوچک و قابل چشمپوشی باقی می‌ماند تا اینکه افت V_{BE} بین امیتر آن و زمین پدید آید که این آستانه هدایت Q_3 است. به عبارت دیگر، Q_2، Q_3، و Q_6 تقریباً همزمان روشن می‌شوند. قطعه BC مشخصه انتقال (در شکل ب ۲۳-۱۴) وجود نخواهد داشت و مشخصه انتقال گیت مطابق شکل (۳۰-۱۴) تیزتر خواهد شد، چون مدار پایین کش فعال سبب مربعی شدن مشخصه انتقال می‌شود، آنرا مدار مربعی نیز می‌نامند. نتیجه آن افزایش در حاشیه‌های نویز می‌باشد.

مدار پایین کش فعال سرعت روشن و خاموش کردن Q_3 را افزایش می‌دهد. برای دیدن چگونگی آن، توجه کنید که پایین کش فعال در بخش



شکل ۲۹-۱۴. مقایسهٔ مشخصه $i-v$ پایین‌آورندهٔ فعال با یک مقاومت ۶۰۰ Ω

زیادی از مشخصه خود جریان ناچیزی می‌کشد. بنابراین جریان تأمین شده بوسیله انشعاب دهنده فاز در آغاز به بیس Q_3 راه می‌یابد، و سرعت روشنی آنرا می‌افزاید. از طرف دیگر در اثنای خاموشی، ترانزیستور پایین کش فعال Q_6 در حالت فعال کار می‌کند. جریان کلکتور زیاد آن از بیس Q_3 در جهت معکوس می‌گذرد و بنابراین ظرفیت بیس ـ امیتر Q_3 را بسرعت تخلیه می‌کند و آنرا بسرعت خاموش می‌سازد.

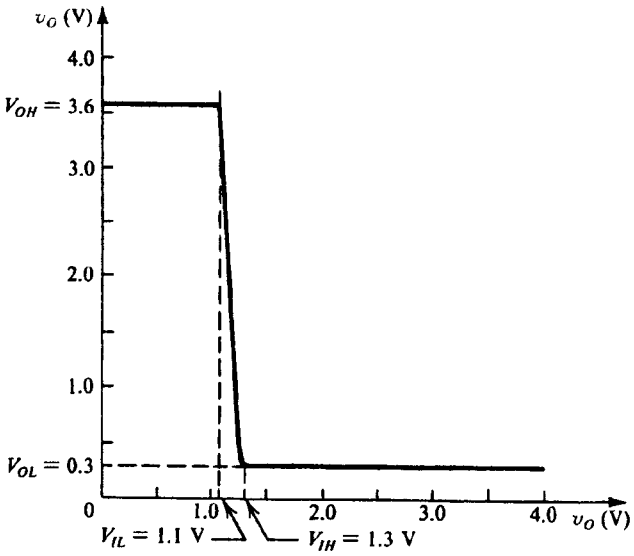
در خاتمه، بایستی به کار مقاومت کلکتور ۲۵۰ Ω ترانزیستور Q_6 توجه شود. بدون آن ولتاژ بیس ـ امیتر Q_3 در V_{CE6} یعنی حدود ۰/۳ V نگهداشته می‌شود.

تمرینها

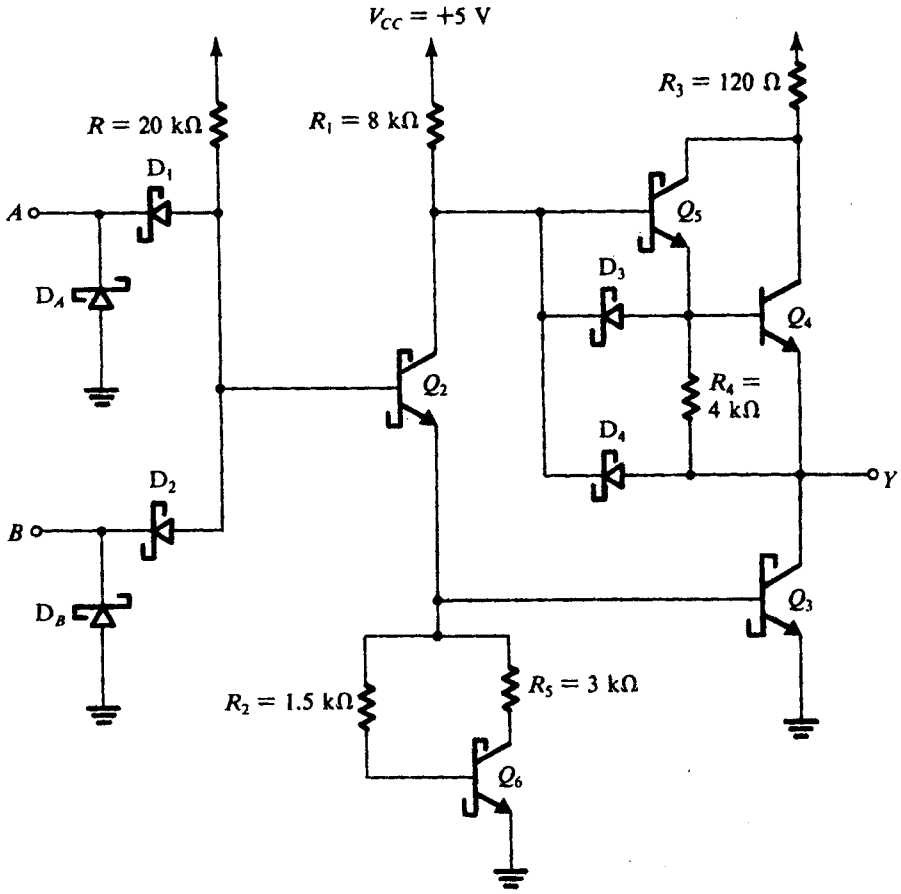
۱۴-۱۷ نشان دهید که مقادیر V_{OH}، V_{IL}، V_{IH}، و V_{OL} گیت TTL شاتکی همان مقادیر شکل (۳۰-۱۴) است. فرض کنید که جریان خروجی گیت کم است و ترانزیستور شاتکی در v_{BE} = ۰/۷ V هدایت می‌کند و در v_{BE} = ۰/۸V هدایت کامل دارد. (راهنمایی: V_{IL} ولتاژ ورودی است که در آن Q_2 و Q_3 شروع به کار می‌کند؛ V_{IH} مقداری است که Q_2 و Q_3 کاملاً هدایت می‌کنند).

۱۴-۱۸ جریان ورودی گیت TTL شاتکی را با ولتاژ ورودی پایین (در ۰/۳ V) محاسبه کنید.
جواب. ۱/۴ mA

۱۴-۱۹ درگیت TTL شاتکی جریان کشیده شده از منبع تغذیه را در حالتی که ورودی پایین و برابر ۰/۳ V است (جریان در مقاومت ۳/۵ Ω را به یاد داشته باشید)، و حالتی که ورودی بالا در ۳/۶ V است، حساب کنید. در آنصورت اتلاف توان گیت در هر دو حالت و نیز اتلاف توان میانگین را محاسبه کنید.
جواب. ۲/۶mA ؛ ۵/۴ mW ؛ ۱۳ mW ؛ ۲۷ mW ؛ ۲۰ mW ❑



شکل ۳۰-۱۴. مشخصه انتقال ولتاژ گیت TTL شاتکی



شکل ۳۱-۴. یک گیت TTL شاتکی کم مصرف (که LSTTL نامیده می‌شود)

مشخصه‌های عملکرد: TTL شاتکی (موسوم به سری 74S) با پارامترهای بدترین حالت زیر تعیین می‌شود.

$V_{OH} = ۲/۷$ V $\qquad V_{OL} = ۰/۵$ V

$V_{IH} = ۲$ V $\qquad V_{IL} = ۰/۸$ V

$t_P = ۳$ ns $\qquad P_D = ۲۰$ mW

توجه کنید که حاصلضرب تأخیر توان ۶۰pJ است که با ۱۰۰ pJ در TTL استاندارد قابل قیاس است.

تمرین

۱۴-۲۰ از مقادیر داده شده بالا برای محاسبه حاشیه‌های نویز NM_H و NM_L یک گیت TTL شاتکی استفاده کنید.

جواب. ۰/۷ V ؛ ۰/۳ V ❑

TTL شاتکی با توان پایین

اگر چه TTL شاتکی تاخیر انتشار بسیار کمی دارد لیکن اتلاف توان گیت نسبتاً زیاد است. این امر تعداد گیت‌هایی را که می‌تواند در هر بسته قرار گیرد، محدود می‌سازد. بنابراین نوع تغییر یافته‌ای نیاز است تا تلف گیت آن کمتر باشد، و این امر احتمالاً به بهای افزایش تأخیر گیت صورت می‌گیرد. این کار در خانواده فرعی شاتکی کم مصرف به دست می‌آید که با گیت NAND دو ورودی در شکل (۳۱-۱۴) نشان داده شده است.

مدار شاتکی کم مصرف شکل (۳۱-۱۴) با مدار شاتکی معمولی شکل (۲۸-۱۴) از چند لحاظ فرق دارد: مهمتر از همه، توجه کنید که مقاومت استفاده شده حدود ده برابر بزرگتر است که این امر سبب می‌شود اتلاف توان فقط حدود یک دهم مدار شاتکی (۲ mW در مقابل ۲۰ mW) باشد. البته، چنانکه انتظار می‌رود، استفاده از مقاومت بزرگتر با کاهش سرعت کار همراه است. برای جبران این کاهش سرعت، چند طرح جدید به کار گرفته شده است: اول آنکه ترانزیستور چند امیتری ورودی حذف شده است و به جای آن دیود شاتکی قرار داده شده تا سطح سیلیکونی کمتری اشغال کند و بنابراین ظرفیت مزاحم کمتری داشته باشد. در این باره بایستی یادآور شویم که مزیت اصلی ترانزیستور چند امیتری ورودی آن است که سریعاً بار ذخیره شده در بیس $Q_۲$ را برمی‌دارد. در مدارهای دارای نگهدارنده شاتکی، ترانزیستور $Q_۲$ اشباع نمی‌شود و از این نظر نیاز به $Q_۱$ از میان می‌رود.

دوم آنکه، دو دیود شاتکی، $D_۳$ و $D_۴$ به طبقه خروجی اضافه شده است تا خاموش شدن $Q_۴$ و روشن شدن $Q_۳$ و در نتیجه گذار خروجی از بالا به پایین را سرعت دهد. یعنی وقتی ورودی گیت بالا می‌رود و $Q_۲$ شروع به هدایت می‌کند، بخشی از جریان کلکتور از دیود $D_۳$ می‌گذرد. این

جدول ۱-۱۴. مقایسه عملکرد خانواده‌های TTL

	TTL شاتکی کم مصرف پیشرفته (سری 74ALS)	TTL شاتکی پیشرفته (سری 74AS)	TTL شاتکی کم مصرف (سری 74LS)	TTLشاتکی (سری 74S)	TTLاستاندارد (سری 74)
t_p, ns	۴	۱/۵	۱۰	۳	۱۰
P_D, mW	۱	۲۰	۲	۲۰	۱۰
DP, PJ	۴	۳۰	۲۰	۶۰	۱۰۰

جریان یک جریان بیس معکوس برای Q_4 بوجود می‌آورد و بنابراین به تسریع خاموشی Q_4 کمک می‌کند.

بطور همزمان، جریان امیتر Q_2 به بیس Q_3 می‌رسد و سبب روشن شدن سریعتر Q_3 می‌شود. بخشی از جریان کلکتور Q_2 از داخل D_4 عبور خواهد کرد. این جریان به تخلیه ظرفیت بار گیت کمک خواهد کرد و بدنبال آن زمان گذار از بالا به پایین کوتاه خواهد شد. در شرایط استاتیک، دیودهای D_3 و D_4 قطع خواهند بود.

در پایان، ملاحظه کنید که پایانه دیگر مقاومت امیتر Q_5 اکنون به گیت خروجی وصل می‌باشد. این امر موجب می‌شود که وقتی خروجی گیت بالا باشد، جریان خروجی بوسیله Q_5 از طریق R_4 تأمین شود. ترانزیستور Q_4 فقط وقتی ۰/۷ V افت در دو سر R_4 ظاهر شود، روشن خواهد شد و بنابراین جریان بار اضافی ارائه خواهد کرد. بنابراین، وقتی گیت یک جریان بار ضعیف تأمین می‌کند، Q_4 خاموش خواهد شد و ولتاژ خروجی تقریباً برابر خواهد بود با :

$$V_{OH} = V_{CC} - V_{BE5}$$

که بزرگتر از مقدار به دست آمده در گیت TTL شاتکی معمولی است.

تمرینها

۱۴-۲۱ مشخصه انتقال ولتاژ گیت TTL شاتکی کم مصرف شکل (۱۴-۳۱) دارای همان مشخصه گیت TTL شاتکی معمولی است که در شکل (۱۴-۲۰) نشان داده شده. مقادیر V_{OH}، V_{IL}، V_{IH}، V_{OL} را محاسبه کنید. فرض کنید ترانزیستور شاتکی در v_{BE} = ۰/۷ V هدایت کند و در v_{BE} = ۰/۸V کاملاً هدایت کند، و افت دیود شاتکی ۰/۵ V باشد. همچنین فرض کنید جریان خروجی گیت خیلی کم باشد.

جواب. ۴/۳ V ؛ ۰/۹ V ؛ ۱/۱ V ؛ ۰/۳ V

۱۴-۲۲ در گیت TTL شاتکی کم مصرف به کمک مشخصات داده شده در تمرین ۱۴-۲۱ جریان تغذیه را در هر دو حالت حساب کنید. سپس تلف توان میانگین را به دست آورید.

جواب. ۰/۲۱ mA ؛ ۰/۶۶ mA ؛ ۲ mW ❑

اگرچه سطوح ولتاژ تضمین شده و حاشیه‌های نویز TTL شاتکی کم مصرف (یعنی سری 74LS) مشابه TTL شاتکی معمولی است، تأخیر گیت و اتلاف توان عبارتند از:

$$t_P = ۱۰nS \quad P_D = ۲mW$$

بنابراین اگرچه اتلاف توان با ضریب ۱۰ کاهش یافته است، تأخیر با ضریب ۳ افزایش یافته است. در نتیجه حاصل ضرب تأخیر ـ توان ۲۰PJ است.

خانواده‌های بسیار پیشرفته‌تر TTL

خانواده‌های TTL دیگری هم وجود دارند که مشخصه‌های بسیار مهمتری دارند. موارد خاص آن عبارت است از شاتکی پیشرفته (سری 74AS) و شاتکی کم مصرف پیشرفته (سری 74ALS).

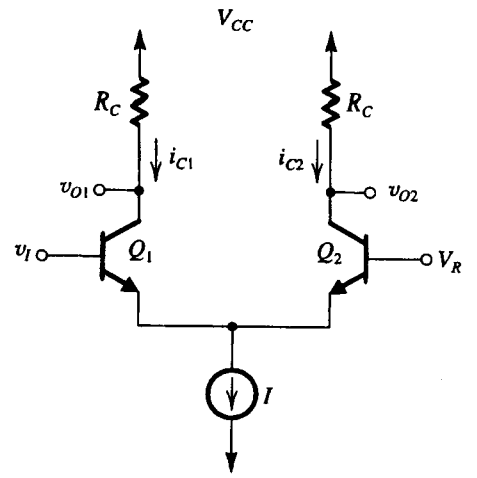
در اینجا جزئیات مداری این خانواده‌ها بحث نمی‌شود. جدول ۱-۱۴ مقایسه‌ای از خانواده‌های فرعی TTL بر اساس تأخیر گیت و تلف توان به دست می‌دهد.

ملاحظه می‌کنید که شاتکی کم‌مصرف پیشرفته دارای حاصلضرب توان ـ تأخیر بسیار کوچکی است. در پایان، متوجه می‌شویم که در زمان حاضر، در دستگاههایی که در آنها تراشه‌های SSI و MSI به کار رفته، TTL همچنان متداول است. اگر چه از TTLاستاندارد در طرحهای جدید دیگر استفاده نمی‌شود. اما انواع پیشرفته آن مکرراً مورد استفاده قرار می‌گیرد. سریعترین خانواده شاتکی پیشرفته، منطق تزویج امیتری (ECL) است.

۱۴-۶ منطق تزویج امیتری (ECL)

منطق تزویج امیتری (ECL) سریعترین خانواده مدار منطقی است و سرعت بالا با کار تمام ترانزیستورها در خارج از ناحیه اشباع به دست می‌آید که در نتیجه آن از تأخیر زمان ذخیره پرهیز می‌شود و نوسانهای سیگنال (حدود ۰/۸V) کوچک نگهداشته می‌شود، و بنابراین زمان لازم برای پر و خالی شدن ظرفیتهای بار و مزاحم کاهش می‌یابد.

بر خلاف TTL شاتکی که در آن با انحراف جریان بیس به نگهدارنده شاتکی، از اشباع جلوگیری می‌شود، در ECL با استفاده از زوج تفاضلی BJT به مثابه یک سوئیچ جریان، از اشباع ممانعت می‌شود. توضیحات مقدماتی درباره زوج تفاضلی BJT در بخش ۱-۶ و آورده شده که از خواننده می‌خواهیم قبل از ادامه، به مطالعه ECL بپردازد.



شکل ۳۲-۱۴. عنصر اساسی ECL زوج تفاضلی است. V_R ولتاژ مرجع است.

اصول اساسی

منطق تزویج امیتری (ECL) مبتنی بر سوئیچ تزریق جریانی می‌باشد که در بخش (۷-۱) معرفی شد. با استفاده از زوج تفاضلی نشان داده شده در شکل (۳۲-۱۴) می‌توان عملکرد این سوئیچ را بهتر فهمید. زوج تفاضلی با منبع جریان ثابت I بایاس شده و یک طرف آن به ولتاژ مرجع V_R متصل است. همان طور که در بخش (۱-۶) نشان دادیم، جریان I می‌تواند به هر یک از ترانزیستورهای Q_1 و Q_2، تحت کنترل سیگنال ورودی v_I تزریق شود. در واقع هنگامی که v_I تقریباً $4V_T$ (در حدود ۱۰۰mV) بیشتر از V_R باشد، تقریباً همه جریان I توسط Q_1 هدایت می‌شود. و برای $\alpha_1 \cong 1$ $v_{O1}=V_{CC}-IR_C$ خواهد بود. بطور همزمان، جریان Q_2 تقریباً صفر است و بنابراین $v_{O2}=V_{CC}$ می‌باشد. برعکس، در حالتی که v_I به اندازهٔ $4V_T$ کمتر از V_R باشد، بیشتر جریان I از طریق Q_2 هدایت شده و جریان Q_1 تقریباً صفر است. بنابراین، $v_{O1}=V_{CC}$ و $v_{O2}=V_{CC}-IR_C$ می‌باشد.

با توجه به شرح فوق مشاهده می‌شود که زوج تفاضلی همانند یک عنصر منطقی تابع متمم را در v_{O1} تحقق می‌دهد و همزمان خروجی متمم شده را در v_{O2} فراهم می‌آورد. سطوح منطقی خروجی، $V_{OH}=V_{CC}$ و $V_{OL} = V_{CC}-IR_C$، و نوسان منطقی IR_C می‌باشد. نکات زیر در مورد این مدار قابل ارائه است:

۱- طبیعت تفاضلی مدار باعث می‌شود که حساسیت آن نسبت به نویز تداخلی کمتر داشته باشد، چون سیگنال تداخلی بطور مشابه به هر دو طرف زوج تفاضلی اعمال شده و اثری در جریان سوئیچینگ ندارد. این همان خاصیت حذف حالت مشترک زوج تفاضلی است (بخش ۱-۶ را ببینید)

۲- جریان کشیده شده از منبع تغذیه در حین سوئیچینگ ثابت می‌ماند. بنابراین بر خلاف CMOS و TTL، هیچ پرش جریان تغذیه‌ای در ECL اتفاق نمی‌افتد و عامل نویز مهمی در مدارهای دیجیتال حذف می‌شود. این امر یک مزیت آشکار است، مخصوصاً که ECL معمولاً برای کار با نوسان‌های سیگنال کوچک طراحی شده و بنابراین حاشیه‌های نویز کم است.

۳- دو سطح سیگنال خروجی نسبت به V_{CC} سنجیده شده و می‌توان با انتخاب $V_{CC}=0$، یعنی با استفاده از منبع تغذیه منفی و اتصال خط V_{CC} به زمین، آن‌ها را پایدار کرد. در این حالت، $V_{OH}=0$ و $V_{OL}= -IR_C$ می‌باشد.

۴- برای سازگار کردن سطوح سیگنال خروجی با ورودی به گونه‌ای که یک گیت بتواند دیگری را راه‌اندازی کند تدابیری در نظر گرفته شده است. مدارهای گیت ECL عملی، دارای قابلیت انتقال سطح هستند که باعث می‌شود سطوح سیگنال خروجی در میانهٔ مقدار V_R قرار گیرد.

۵- در دسترس بودن خروجی‌های متمم بطور قابل توجهی طراحی منطقی را با ECL آسان می‌کند.

تمرین

۱۴-۲۳ در مدار شکل (۳۲-۱۴) فرض کنید $V_{CC}=0$، $I=4mA$، $R_C=220\Omega$، $V_R=-1/32V$ و $\alpha \cong 1$ باشد. V_{OH} و V_{OL} را تعیین کنید. سطوح خروجی چقدر انتقال یابد، بطوری که مقادیر V_{OH} و V_{OL} در میانه V_R قرار گیرد؟ مقادیر انتقال یافته V_{OH} و V_{OL} چیست؟

جواب. صفر، $-0/88V$، $-0/88V$، $-0/88V$، $-1/76V$ ❑

خانواده‌های ECL

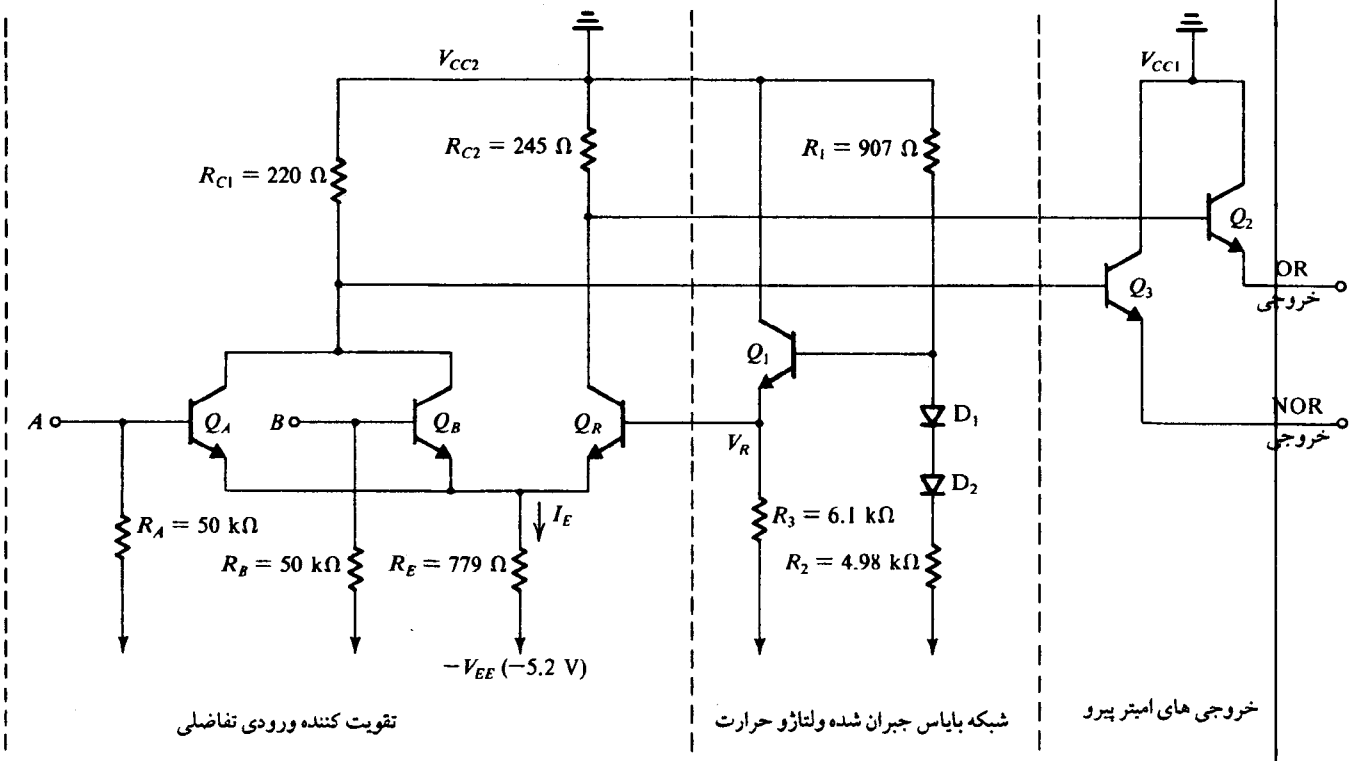
در حال حاضر دو نوع مشهور ECL ۱۰ K، ECL ۱۰۰ K وجود دارد. ECL ۱۰۰ K دارای ۰/۷۵ ns تاخیر گیت و حدود "گیت /mW ۴۰ " اتلاف توان در ازای ۳۰ pJ حاصلضرب تأخیر- توان است. اگرچه اتلاف توان نسبتاً زیاد است، سری‌های ۱۰۰K کوتاهترین تأخیر گیت را ارائه می‌کنند.

سریهای ECL ۱۰ K کمی کندترند؛ تأخیر انتشار گیت آنها ۲ns و اتلاف توان آنها ۲۵ mW به ازای حاصلضرب تأخیر- توان ۵۰pJ است. اگرچه مقدار DP در آن بزرگتر از مقداری است که در ۱۰۰K بدست می‌آید. سریهای ۱۰ K کاربرد ساده‌تری دارند. این به خاطر آن است که زمانهای صعود و نزول سیگنالهای پالس بزرگتر بوجود می‌آید، بنابراین تزویج سیگنال، یا همشنوایی، بین خطوط سیگنال مجاور را کاهش می‌دهد. ۱۰ K ECL دارای " سرعت لبه"ای حدود ۳/۵ ns است که با حدود ۱ns در ۱۰۰ K ECL مقایسه می‌شود. در ادامه، ۱۰ K ECL را به تفصیل بررسی خواهیم کرد.

ECL علاوه بر آنکه در مدارهای SSI و MSI استفاده می‌شود، در LSI و VLSI نیز به کار می‌رود. اخیراً، گونه‌هایی از ECL موسوم به **منطق حالت جریان** (CML) در کاربردهای VLSI متداول شده‌اند.

مدار گیت اساسی

مدار گیت اساسی خانواده ۱۰ K ECL در شکل (۳۳-۱۴) نشان داده شده است. این مدار از سه قسمت تشکیل شده است. شبکه متشکل از



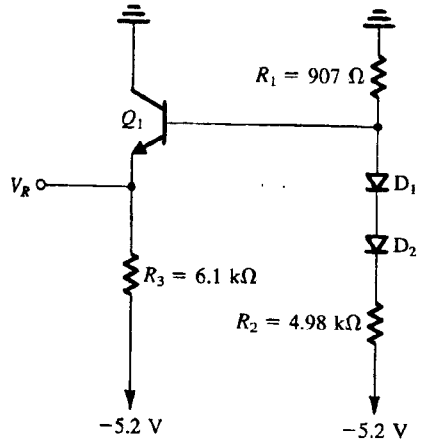
شکل ۳۳-۱۴. مدار گیت اساسی خانوادهٔ ECL ۱۰K

Q_1 ، D_1 ، D_2 ، R_1 ، R_2 ، و R_3 یک ولتاژ مرجع V_R بوجود می‌آورد که مقدارش در دمای اتاق ۱/۳۲ V− است. همانگونه که در زیر نشان داده خواهد شد، مقدار این ولتاژ مرجع طوری قرار داده می‌شود که با دما مطابق یک روش از قبل معین شده تغییر کند، طوری که حاشیه‌های نویز تقریباً ثابت بماند. همچنین ولتاژ مرجع V_R به تغییرات ولتاژ منبع تغذیه V_{EE} نسبتاً مقاوم ساخته می‌شود.

تمرین

۲۴-۱۴ شکل (۲۴-۱۴ ت) مدار تولید ولتاژ مرجع V_R را نشان می‌دهد. با فرض آنکه افت ولتاژ دو سر دیودهای D_1 و D_2، و پیوند بیس ـ امیتر Q_1 برابر با ۰/۷۵ V باشد، مقدار V_R را محاسبه کنید. جریان بیس Q_1 را نادیده بگیرید.

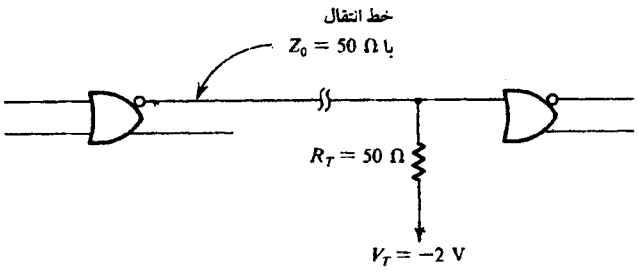
جواب. ۱/۳۲ V−



شکل (۲۴-۱۴ ت)

قسمت دوم و قلب گیت، تقویت‌کننده تفاضلی متشکل از Q_R و Q_A یا Q_B است. تقویت کننده تفاضلی همانطور که در مدار شکل (۳۲-۱۴) انجام می‌شد، نه تنها بوسیله یک منبع جریان ثابت بلکه با مقاومت R_E متصل به منفی تغذیه $-V_{EE}$ بایاس می‌شود. یک سمت تقویت کننده تفاضلی، ترانزیستور مرجع Q_R را شامل می‌شود که بیس آن به ولتاژ مرجع V_R متصل می‌شود. سمت دیگر شامل چند ترانزیستور (۲عدد در وضعیت نشان داده شده) است که بطور موازی بسته شده‌اند و بیس‌های آن جداگانه به ورودی‌های گیت وصل شده است. چنانچه ولتاژهای اعمال شده به A و B در سطح ۰ منطقی، که بزودی آن را به دست خواهیم آورد، حدود ۰/۴V پایین‌تر از V_R باشد، Q_A و Q_B هر دو قطع خواهند بود و جریان I_E در R_E از ترانزیستور مرجع Q_R جریان خواهد یافت. افت ولتاژ به دست آمده در دو سر R_{C2} سبب پایین آمدن ولتاژ کلکتور Q_R خواهد شد.

از طرف دیگر، وقتی ولتاژ اعمال شده به A یا B با سطح 1 منطقی، چنانکه بزودی خواهیم دید، حدود ۰/۴ V بالاتر از V_R باشد، ترانزیستور Q_A یا Q_B یا هر دو روشن بوده و Q_R خاموش خواهد بود. بنابراین جریان I_E از Q_A یا Q_B یا هر دو عبور کرده و تقریباً جریان یکسانی از مقاومت R_{C1} عبور خواهد کرد. افت ولتاژ به دست آمده در دو سر R_{C1} سبب افت ولتاژ کلکتور خواهد شد. در ضمن چون Q_R خاموش است، ولتاژ کلکتورش افزایش می‌یابد. بنابراین ملاحظه می‌کنیم که ولتاژ در کلکتور Q_R بالا خواهد بود، اگر A یا B، یا هر دو بالا باشند و بنابراین در کلکتور Q_R تابع منطقی OR یعنی $A+B$ تحقق یابد. از طرف دیگر تنها هنگامی که A



شکل ۳۴-۱۴. راهی مناسب برای اتصال گیت‌های منطقی سریع مانند ECL. اتصال مناسب در انتهای خط انتقال بین دو گیت با حذف تغییرات ناخواسته سطوح سیگنالهای دیجیتال باعث جلوگیری از مختل‌شدن آنها می‌شود.

و B همزمان پایین باشند، کلکتور مشترک Q_A و Q_B در وضعیت بالا می‌باشد. بنابراین در نقطه کلکتور مشترک Q_A و Q_B تابع $\overline{A}\,\overline{B} = \overline{A + B}$ تحقق می‌یابد. در این صورت نتیجه می‌گیریم که گیت دو ورودی شکل (۳۳-۱۴) تابع OR و مکمل آن تابع NOR را تحقق می‌دهد. دسترسی به خروجیهای مکمل یک مزیت مهم ECL است؛ این امر موجب ساده شدن طراحی منطقی و اجتناب از به کارگیری وارونگرهای اضافی با تاخیر زمان مرتبطشان است.

لازم به یادآوری است که مقاومت اتصال دهنده هر پایانه ورودی گیت به منفی منبع تغذیه، استفاده‌کننده را در بازگذاشتن یک پایانه ورودی بلااستفاده یاری می‌کند، در آن صورت یک پایانه مدار باز به منفی منبع تغذیه پایین کشیده می‌شود، و ترانزیستور مرتبط به آن خاموش خواهدشد.

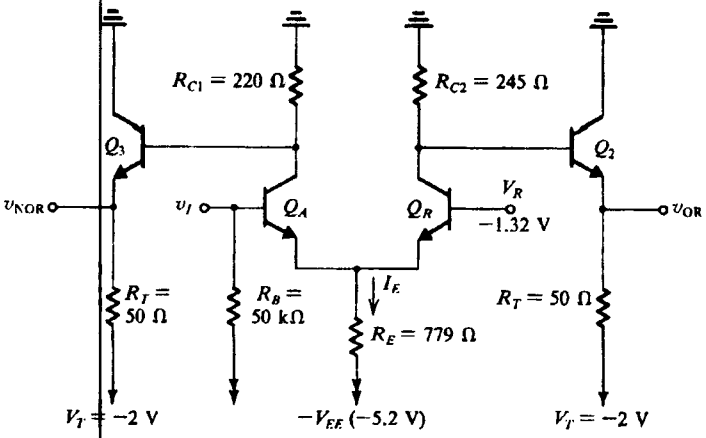
تمرین

۲۵-۱۴ در صورتی که پایانه های ورودی A و B بازگذاشته شده باشد، جریان I_E عبوری از R_E را بیابید. همچنین ولتاژ کلکتور Q_R و کلکتور مشترک ترانزیستورهای ورودی Q_A و Q_B را به دست آورید. از $V_R = -1/32$ V، V_{BE} ی $0/75$ V $= Q_R$ استفاده کنید و فرض کنید که β ی Q_R خیلی بالا باشد.

جواب. ۴ mA ؛ ۱- V ؛ ۰ V ❑

سومین قسمت مدار گیت ECL از دو امیتر پیرو Q_2 و Q_3 تشکیل شده است. امیتر پیروها دارای بار همراه نیستند، زیرا در اغلب موارد، مطابق شکل (۳۴-۱۴) مدارهای منطقی سرعت بالا، خروجی گیت یک خط انتقال را در انتهای خط در سمت دیگر راه‌اندازی می‌کنند.

امیتر پیروها دو منظوره هستند. اول آنکه آنها سطح خروجی سیگنالها را به اندازه یک افت V_{BE} انتقال می‌دهند. بنابراین با استفاده از نتایج تمرین ۲۵-۱۴ بالا، ملاحظه می‌کنیم که سطوح خروجی تقریباً $-1/75$ V و $-0/75$V می‌شود. این انتقال سطوح تقریباً حول ولتاژ مرجع ($V_R = -1/32$ V) مرکزیت می‌یابند، به این معنی که یک گیت می‌تواند



شکل ۳۵-۱۴. نوع ساده‌شدهٔ گیت ECL به منظور دستیابی به مشخصه‌های انتقالی آن.

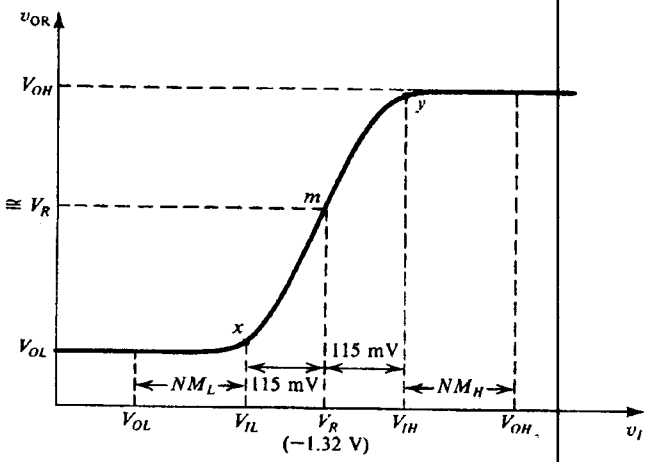
دیگری را راه‌اندازی کند. این سازگاری سطوح گیت در ورودی و خروجی همواره یک نیازمندی اساسی طراحی مدارهای گیت است.

دومین وظیفه امیتر پیروهای خروجی آن است که گیت با مقاومت خروجی کم ارائه شود و جریانهای بزرگ مورد نیاز برای شارژ ظرفیت‌های خازنی بار تأمین شود. چون این جریان‌های قابل ملاحظه گذرا بر خط تغذیه پالسهای سوزنی ایجاد می‌کند، کلکتورهای امیترپیروها بطور مجزا از تقویت‌کننده‌های تفاضلی و مدار ولتاژ مرجع V_{CC2}، به پایانه V_{CC1} منبع تغذیه وصل شده است. از اینرو متوجه می‌شویم که جریان منبع تقویت‌کننده تفاضلی و مدار مرجع تقریباً ثابت می‌ماند. استفاده از پایانه‌های جداگانه منبع تغذیه از انتقال پالسهای سوزنی منبع تغذیه از مدار خروجی به مدار گیت ممانعت می‌کند و بنابراین سوئیچینگ کاذب گیت را کاهش می‌دهد. V_{CC1} و V_{CC2} هر دو البته به یک زمین در خارج از تراشه وصل می‌شوند.

مشخصه انتقال ولتاژ

پس از توصیف چگونگی عملکرد گیت ECL، اکنون مشخصه‌های انتقال ولتاژش را به دست خواهیم آورد. این کار در شرایطی انجام خواهد گرفت که خروجیها مطابق شکل (۳۴-۱۴) قرار گرفته باشند. با فرض آن که ورودی B پایین و بنابراین Q_B خاموش باشد، مدار بصورت نشان داده در شکل (۳۵-۱۴) ساده می‌شود. می‌خواهیم این مدار را تحلیل کرده v_{OR} را درمقابل v_I و v_{NOR} را در مقابل v_I (که در آن $v_I \equiv v_A$ است) به دست آوریم.

در تحلیل زیر از مشخصه نمایی $i_C - v_{BE}$ ترانزیستور معمولی استفاده خواهیم کرد. چون BJT های استفاده شده در مدارهای ECL دارای ابعاد کوچکی هستند (به خاطر داشتن ظرفیت کم و بنابراین f_T زیاد)، جریانهای I_S آنها کوچک هستند. در این صورت فرض خواهیم کرد که ۱ mA جریان امیتر یک ترانزیستور ECL با $0/75$ V افت V_{BE} همراه خواهد بود.



شکل ۳۶-۱۴. مشخصه انتقالی v_{OR} نسبت به v_I برای گیت OR مدار شکل۳۵-۱۴

منحنی انتقال OR

شکل (۳۶-۱۴) نموداری از مشخصه انتقال OR نشان می‌دهد که در آن v_{OR} در مقابل v_I با پارامترهای V_{OL}، V_{OH}، V_{IL}، و V_{IH} نشان داده شده است. البته، برای سادگی محاسبه V_{IL} و V_{IH}، برای تعیین بهره واحد، روش دیگری به کار خواهیم برد. بویژه، فرض خواهیم کرد که از نقطه x، ترانزیستور Q_A به اندازه یک درصد I_E هدایت می‌کند در حالیکه Q_R به اندازه ۹۹ درصد I_E هدایت می‌کند. برعکس آن برای نقطه y فرض خواهد شد، بنابراین در نقطه x خواهیم داشت:

$$\frac{I_E|_{QR}}{I_E|_{QA}} = ۹۹$$

با استفاده از رابطه نمایی $i_E - v_{BE}$ به دست می‌آوریم:

$$V_{BE}|_{QR} - V_{BE}|_{QA} = V_T \ln ۹۹ = ۱۱۵ \text{ mV}$$

که به دست می‌دهد:

$$V_{IL} = -۱/۳۲ - ۰/۱۱۵ = -۱/۴۳۵ \text{ V}$$

با فرض آن که Q_A و Q_R در تطابق باشند، می‌توانیم بنویسیم

$$V_{IH} - V_R = V_R - V_{IL}$$

که برای به دست آوردن V_{IH} بصورت زیر استفاده می‌شود:

$$V_{IH} = -۱/۲۰۵ \text{ V}$$

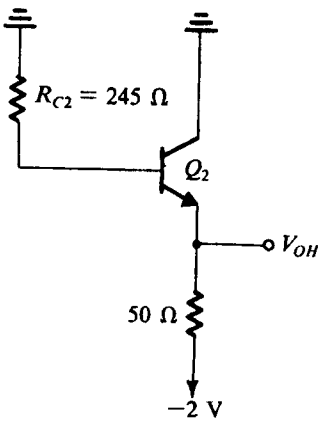
برای به دست آوردن V_{OL} متوجه می‌شویم که Q_A خاموش است و Q_R همه جریان I_E را هدایت می‌کند، بصورت زیر:

$$I_E = \frac{V_R - V_{BE}|_{QR} + V_{BE}}{R_E}$$

$$= \frac{-۱/۳۲ - ۰/۷۵ + ۵/۲}{۰/۷۷۹}$$

$$\cong ۴ \text{ mA}$$

(اگر بخواهیم، می‌توانیم تخمین بهتری از $V_{BE}|_{QR}$ و بدنبال آن I_E داشته باشیم.) با فرض آن که Q_R دارای βی زیاد است طوری که $\alpha \cong ۱$ باشد،



شکل ۳۷-۱۴. مداری برای تعیین V_{OH}

در آن صورت جریان کلکتور آن تقریباً حدود ۴ mA خواهد بود. چنانچه از بیس Q_2 صرفنظر کنیم، ولتاژ کلکتور Q_R به دست خواهد آمد:

$$V_C|_{QR} \cong -۴ \times ۰/۲۴۵ = -۰/۹۸ \text{ V}$$

بنابراین اولین تقریب برای ولتاژ خروجی V_{OL} عبارت است از:

$$V_{OL} = V_C|_{QR} - V_{BE}|_{Q2}$$
$$\cong -۰/۹۸ - ۰/۷۵ = -۱/۷۳ \text{ V}$$

از این مقدار برای به دست آوردن جریان امیتر Q_2 و بنابراین تعیین برآورد بهتر ولتاژ بیس ـ امیتر می‌توان استفاده کرد. نتیجه: $V_{BE2} \cong ۰/۷۹ \text{ V}$ است و متناظر با آن

$$V_{OL} \cong -۱/۷۷ \text{ V}$$

خواهد بود. با این مقدار ولتاژ خروجی، Q_2 جریان باری معادل ۴/۶mA به دست می‌دهد.

برای به دست آوردن مقدار V_{OH} فرض می‌کنیم که Q_R بطور کامل قطع شود (زیرا $v_I > V_{IH}$ است). بنابراین مدار تعیین V_{OH} به شکل ساده شدهٔ (۳۷-۱۴) در می‌آید. تحلیل این مدار با فرض $\beta_2 = ۱۰۰$ نتیجه می‌دهد:

$V_{BE2} \cong ۰/۸۳ \text{ V}$، $I_{E2} = ۲۲/۴ \text{ mA}$، و $V_{OH} \cong -۰/۸۸ \text{ V}$

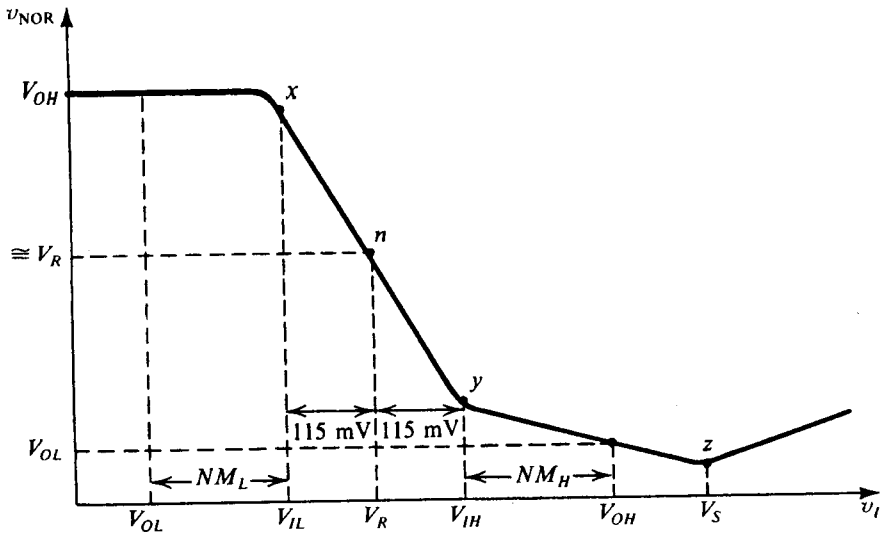
تمرین

۲۶-۱۴ در مدار شکل (۳۵-۱۴)، مقدار I_E را به دست آورید اگر v_I برابر با V_{IL}، V_R، و V_{IH} باشد. همچنین مقدار v_{OR} را متناسب با $v_I = V_R$ به دست آورید. فرض کنید که در جریان ۱ mA، $v_{BE} = ۰/۷۵ \text{ V}$ باشد.

جواب. ۳/۹۷ mV؛ ۴/۰۰ mA؛ ۴/۱۲ mA؛ −۱/۳۱ V ❑

حاشیه های نویز

نتایج تمرین ۲۶-۱۴ نشان می‌دهد که جریان بایاس I_E تقریباً ثابت می‌ماند. همچنین، ولتاژ خروجی متناظر با $v_I = V_R$ تقریباً با V_R برابر است. باتوجه دقیقتر ملاحظه می‌شود که این نیز تقریباً نقطه وسط نوسان



شکل ۳۸-۱۴. مشخصه انتقالی v_{NOR} نسبت به v_I برای گیت NOR مدار شکل ۳۵-۱۴

منطقی است؛ بویژه

$$\frac{V_{OL} + V_{OH}}{۲} = -۱/۳۲۵ \cong V_R$$

بنابراین سطوح منطقی خروجی حول نقطه وسط باند عبور ورودی مرکزیت داده می‌شود. از نظر حاشیه نویز این نقطه یک مکان ایده‌آل است، و دلیلی برای انتخاب مقادیر اختیاری $V_R=-۱/۳۲V$ و $V_{EE}=۵/۲V$ است.

اکنون حاشیه‌های نویز بصورت زیر ارزیابی می‌شوند:

$$NM_H = V_{OH} - V_{IH}$$
$$= -۰/۸۸ -(-۱/۲۰۵) = ۰/۳۲۵ \text{ V}$$
$$NM_L = V_{IL} - V_{OL}$$
$$= -۱/۴۳۵-(-۱/۷۷)= ۰/۳۳۵ \text{ V}$$

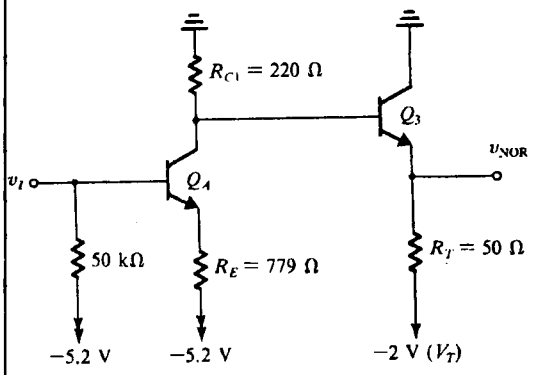
ملاحظه می‌کنید که این مقادیر تقریباً برابرند.

منحنی انتقال NOR

مشخصه انتقال NOR، که درمدار شکل (۳۵-۱۴)، v_{NOR} در مقابل v_I است، در شکل (۳۸-۱۴) ترسیم شده است. مقادیر V_{IL} و V_{IH} با مقادیر به دست آمده در مشخصه OR برابر است. برای تاکید آن، نقاط آستانه x و y را با همان حروف شکل (۳۶-۱۴) مشخص کرده‌ایم.

به ازای $v_I < V_{IL}$، Q_A خاموش است و ولتاژ خروجی NOR با تحلیل مداری شامل R_{C1}، Q_3 و ۵۰ Ω انتهای آن، مشخص می‌شود. بجز در مورد R_{C1} که کمی کوچکتر از R_{C2} است، این مدار از هر جهت با مدار شکل (۳۷-۱۴) یکسان است. بنابراین ولتاژ خروجی فقط کمی بزرگتر از مقدار V_{OH} است که پیش از این به دست آمد. در نمودار شکل (۳۸-۱۴)، فرض شده است که ولتاژ خروجی تقریباً معادل V_{OH} باشد.

به ازای $v_I > V_{IH}$، Q_A روشن است و همه جریان بایاس را هدایت می‌کند. در آن صورت مدار بصورت شکل (۳۹-۱۴) ساده می‌شود.



شکل ۳۹-۱۴. مداری برای پیداکردن v_{NOR} نسبت به v_I در گسترهٔ $v_I > V_{IH}$

این مدار به سادگی تحلیل شده، v_{NOR} در مقابل v_I در گسترهٔ $v_I \geq V_{IH}$ به دست می آید. چند مورد قابل ملاحظه به ترتیب عبارتند از: اول آن که توجه کنید که با $v_I = V_{IH}$ ولتاژ خروجی به دست آمده کمی بزرگتر از V_{OL} می‌باشد. زیرا R_{C1} کوچکتر از R_{C2} است. در حقیقت، R_{C1} از نظر مقدار کوچکتر از R_{C2} انتخاب شده طوری که با v_I برابر با 1 منطقی معمولی، (یعنی V_{OH} که تقریباً ۰/۸۸ V است)، خروجی برابر با V_{OL} خواهد بود که پیش از این بعنوان خروجی OR به دست آمد.

دوم اینکه توجه کنید که وقتی v_I، V_{IH} را افزایش می‌دهد، ترانزیستور Q_A در حالت فعال کار می‌کند و مدار شکل (۳۹-۱۴) برای یافتن بهره تقویت‌کننده می‌تواند تحلیل شود که شیب قطعه yz مشخصه انتقال است. در نقطه z، ترانزیستور Q_A اشباع می‌شود، نمو بیشتر v_I (در بالای نقطه $v_I=V_S$) سبب افزایش کلکتور و بنابراین v_{NOR} می‌شود. شیب قطعه مشخصه انتقال در بالای نقطه z، البته، واحد نیست و حدود ۰/۵ می‌باشد زیرا با به اشباع کامل رفتن Q_A، قسمتی از نمو v_I بصورت نمو ولتاژ بایاس مستقیم بیس کلکتور ظاهر می‌شود. ازخواننده می‌خواهیم تمرین ۱۴-۱۷ را حل کند که باجزئیات مشخصه‌انتقال NOR بیشتر آشنا شود.

تمرینها

۱۴-۲۷ مدار شکل (۳۹-۱۴) را در نظر بگیرید. (الف) به ازای $v_I = V_{IH} = -۱/۲۰۵V$ v_{NOR} را بیابید. (ب) به ازای $v_I=V_{OH}=-۰/۸۸V$ ، v_{NOR} را به دست آورید. (پ) شیب مشخصه انتقال را در نقطه $v_I=V_{OH}=-۰/۸۸V$ به دست آورید. (ت) مقدار v_I را وقتی Q_A به اشباع می‌رود (یعنی برابر V_S می‌شود) بیابید. فرض کنید $V_{BE} = ۰/۷۵ V$ در جریان ۱mA و نیز V_{CE}اشباع $\approx ۰/۳ V$ و $\beta = ۱۰۰$ باشد.

جواب. (الف) $-۱/۷۰ V$ ، (ب) $-۱/۷۹ V$ ؛ (پ) $-۰/۲۴ V/V$ ؛ (ت) $-۰/۵۸V$ ❑

مشخصه‌های ارائه شده توسط کارخانه سازنده

کارخانه‌های سازنده ECL، مشخصه‌های انتقال گیت را بصورت نشان داده شده در شکل (۳۶-۱۴) و (۳۸-۱۴) ارائه می‌کنند. کارخانه معمولاً چنین منحنی‌هایی را که با دماهای مختلف اندازه‌گیری شده ارائه می‌کنند. بعلاوه، برای هر دما، مقادیر بدترین حالت برای پارامترهای V_{IL} ، V_{IH} ، V_{OL} ، و V_{OH} داده می‌شود. مقادیر بدترین حالت با تولرانس غیرقابل اجتناب قطعه محاسبه می‌شود، بطور مثال کارخانه موتورولا برای ۱۰۰۰۰ MECL در ۲۵°C، مقادیر بدترین حالت را به شرح زیر مشخص می‌کند :

$$V_{ILmax} = -۱/۴۷۵ \text{ V} \qquad V_{IHmin} = -۱/۱۰۵ \text{ V}$$

$$V_{OHmin} = -۰/۹۸ \text{ V} \qquad V_{OLmax} = -۱/۶۳۰ \text{ V}$$

با این مقادیر، می‌توان حاشیه‌های نویز بدترین حالت را به دست آورد:

$$NM_L = ۰/۱۵۵ \text{ V} \qquad NM_H = ۰/۱۲۵ \text{ V}$$

که حدود نصف مقادیری است که معمولاً پیش از این به دست می‌آمد.

Fan-Out

وقتی سیگنال ورودی به گیت یک ECL پایین باشد، جریان ورودی برابر با جریانی است که در مقاومت پایین‌کش ۵۰ kΩ جاری می‌شود. بنابراین

$$I_{IL} = \frac{-۱/۷۷ + ۵/۲}{۵۰} \cong ۶۹ \ \mu A$$

وقتی ورودی بالا باشد، جریان ورودی ناشی از جریان بیس ترانزیستور ورودی بزرگتر است. بنابراین، با فرض آن که βی ترانزیستور ۱۰۰ باشد، به دست می‌آید :

$$I_{IH} = \frac{-۰/۸۸ + ۵/۲}{۵۰} + \frac{۴}{۱۰۱} \cong ۱۲۶ \ \mu A$$

این دو جریان هر دو بسیار کوچکند، که این موضوع بعلاوه این که مقاومت خروجی گیت ECL خیلی کوچک است، تضمین کننده آن است که تنزل ناچیز سطوح سیگنال منطقی از جریان ورودی ظرفیت خروجی گیتها حاصل می‌شود. به این معنی که ظرفیت خروجی گیت‌های ECL با سطح منطقی محدود نمی‌شود بلکه با کاهش سرعت مدار (زمانهای صعود و نزول) محدود می‌گردد. این اثر ناشی از ظرفیتی است که هر گیت برای راه‌اندازی گیت (حدود ۳ pF) از خود نشان می‌دهد. بنابراین وقتی *dc* fan-out تا اندازه ۹۰ بزرگ باشد و بنابراین مشکلی در طراحی نخواهد داشت، *ac* fan-out با ملاحظات سرعت مدار به ۱۰ یا نظیر آن محدود می‌شود.

سرعت

سرعت کار یک خانواده منطقی با تأخیر گیت و با زمانهای صعود و نزول شکل موجهای خروجی سنجش می‌شود. مقادیر معمول این پارامترها را برای ECL قبلاً ارائه کرده‌ایم. در این جا آنها را نمی‌آوریم زیرا مدار خروجی یک امیتر پیرو است و زمان صعود سیگنال خروجی کوتاهتر از زمان نزول آنهاست. بعلاوه امیتر پیرو بر لبه صعود پالس خروجی عمل می‌کند و جریان خروجی لازم برای شارژ بار و ظرفیت‌های ناخواسته فراهم می‌کند. از سوی دیگر، وقتی سیگنال بیس در امیتر پیرو افت می‌کند، امیتر پیرو قطع شده و ظرفیت بار از طریق ترکیب بار و مقاومت پایین‌کش تخلیه می‌شود. این نکته به تفصیل در بخش ۳-۱۴ توضیح داده شده است.

انتقال سیگنال

برای آن که از سرعت بسیار زیاد کار با ECL بهره کافی ببریم، بایستی به روش اتصال داخلی گیت‌های منطقی گوناگون در یک سیستم توجه خاصی مبذول شود. برای بررسی این نکته، به اختصار مشکل انتقال سیگنال را بحث می‌کنیم.

ECL با سیگنالهایی سرو کار دارد که زمان صعودشان ممکن است ۱ نانوثانیه و یاحتی کمتر باشد، بنابراین نور فقط ۳۰ cm یا همین حدود مسافت طی می‌کند. برای چنین سیگنالهایی یک سیم و محیط آن عنصر مداری نسبتاً پیچیده‌ای می‌شود که سیگنالها با سرعت محدود (شاید نصف سرعت نور ـ یعنی ۱۵ cm/s) انتشار می‌یابد. در صورتیکه تدابیر لازم اتخاذ شود، انرژیی که به انتهای چنین سیمی می‌رسد جذب نمی‌شود بلکه بصورت **انعکاسی** به انتهای انتقال برمی‌گردد، که (بدون تدابیر خاص) این انرژی ممکن است **دوباره منعکس** شود. نتیجه فرآیند انعکاس چیزی است که آن را بصورت **نوسان حلقوی** مشاهده می‌کنیم، یک برگشت نوسانی میراشونده به مقدار نهایی آن.

متاسفانه ECL به نوسان میراشونده حساسیت خاص دارد زیرا سطوح سیگنال خیلی کوچک هستند. بنابراین، مهم است که انتقال سیگنالها به خوبی کنترل شود و انرژی اضافی برای جلوگیری از انعکاس مصرف شود. روش پذیرفته، محدود کردن حالت اتصال سیمها به طرق مختلف است. یکی از این روشها، اصرار در " کوتاه بودن " آنها است، که کوتاهی باتوجه به زمان صعود سیگنال انتخاب شود. دلیلش آن است که اگر سیم کوتاه وصل شود که هنگامی که هنوز ورودی صعود می‌کند، انعکاسها برگردد، نتیجه آن فقط کمی کاهش و کندی در لبه صعود خواهد بود.

البته، اگر انعکاس پس از لبه بالارونده برگردد، نه تنها تغییر پیچیده‌ای در لبه آغازین آن بوجود می‌آورد بلکه یک پدیده دوم مجزا نیز ایجاد می‌کند، که مسلماً نامطلوب است. محدودیت، زمانی بوجود می‌آید که زمان لازم برای آنکه یک سیگنال از یک سر خط برود و برگردد از زمان صعود

راه‌اندازی سیگنال با یک ضریب (مثلاً ۵) کوچکتر باشد. بنابراین برای سیگنالی با زمان صعود ۱ns و انتشار با سرعت نور (۳۰ cm/ns)، مسیر دو برابر با طول معادل ۰/۲ns یا ۶ cm مجاز می‌باشد که محدودیت سیم را فقط با ۳ cm از یک سر تا سر دیگر به دست می‌دهد.

چنین محدودیتی برای ECL ۱۰۰K وجود دارد. البته ECL ۱۰K دارای زمان صعود کمتر و حدود ۳/۵ ns است. با استفاده از همان قوانین، سیمها در ECL ۱۰K می‌تواند حدود ۱۰ cm باشد.

چنانچه طول بیشتر نیاز باشد، از خطوط انتقال بایستی استفاده شود. اینها فقط سیمهایی در یک محیط کنترل شده هستند که فاصله آنها تا سطح مرجع زمین یا سیم دومین بشدت کنترل می‌شود. بنابراین آنها ممکن است بصورت سیم‌های دوتایی پیچیده شوند، یکی از آنها به زمین وصل می‌شود، و یا از سیم‌های نواری موازی، که سیم دوم آن به زمین وصل می‌شود، و یا از خطوط بسیار باریک روی صفحات مدار چاپی (PC) ممکن است استفاده شود. در این مورد از نوارهای مسی با ابعاد هندسی کنترل شده بر روی دیگر صفحه مدار چاپی تشکیل می‌شود، سمت دیگر شامل صفحه زمین است.

چنین خطوط انتقالی دارای امپدانس مشخصه R_0 در محدوده‌ای از چند ده‌اهم تا چند صد اهم است. سیگنالها در چنین خطوطی با سرعت قدری کمتر از سرعت نور و مثلاً با سرعت نصف آن انتشار می‌یابند. وقتی یک خط انتقال در قسمت انتهایش دارای مقاومتی معادل با امپدانس مشخصه R_0 باشد، همه انرژی ارسال شده به خط در قسمت انتهایی جذب شده و انعکاس روی نمی‌دهد. بنابراین سیگنال بدون عیب باقی می‌ماند. چنین خطوط انتقالی را خوش فرجام یا باانتهای دقیق می‌نامیم. یک خط خوش فرجام در انتهای ارسالی خود بصورت یک مقاومت با مقدار R_0 نمایان می‌شود. امیتر پیروهای ECL ۱۰K باامیترهای باز و مقاومتهای خروجی کم‌شان (که حداکثر ۷ Ω تعیین شده) برای راه‌اندازی خطوط انتقال کاملاً مناسبند. ECL بعنوان یک خط دریافت کننده نیز مناسب است. گیت با مقاومت پایین‌کش (۵۰ kΩ) زیاد یک مقاومت بسیار بزرگ در خط انتقال ارائه می‌کند. چنین گیتهایی به انتهای خطی با مشکلات کم می‌توانند متصل شوند.

اتلاف توان

به خاطر طبیعت تقویت کننده تفاضلی ECL، جریان گیت تقریباً ثابت می‌ماند و از یک سوی گیت با توجه به سیگنالهای منطق ورودی به سوی دیگر رانده می‌شود. بنابراین، بر خلاف TTL، جریان منبع و بنابراین اتلاف توان گیت ECL بدون سرهای انتهایی مستقل از حالت گیت منطقی نسبتاً ثابت می‌ماند. این امر موجب می‌شود که ولتاژهای سوزنی شکل بر خط منبع ظاهر نشود. چنین پالسهای سوزنی در یک دستگاه دیجیتال همانگونه که در باره TTL گفته شد، منبع نویز خطرناکی محسوب می‌شود. نتیجه می‌گیریم که در ECL نیاز به کنارگذرکردن خط منبع به اندازه TTL نیست و این مزیت دیگر ECL می‌باشد.

اینک متذکر می‌شویم که اگر یک گیت ECL با $V_{EE} = 0$ و $V_{CC}=+5/2V$ عمل می‌کند، توصیه می‌کنیم که $V_{EE} = -5/2$ V، و $V_{CC} = 0$ V انتخاب شود زیرا در مدار همه سطوح سیگنال نسبت به V_{CC} مرجع شده‌اند، و زمین واقعاً مرجع خوبی است.

تمرین

۲۸-۱۴ در گیت ECL شکل (۳۳-۱۴) یک مقدار تقریبی برای توان تلف شده در مدار بیابید وقتی که همه ورودی‌ها پایین و امیترهای پیروهای خروجی باز باشد. فرض کنید که مدار مرجع تغذیه چهار گیت یکسان را تأمین می‌کند، و بنابراین یک چهارم توان تلف شده در مدار مرجع باید به گیت برسد.

جواب. ۲۲/۴ mW ❑

اثرات دما

از تحلیل گیت ECL در شکل (۳۳-۱۴) دریافتیم که در دمای اطاق، ولتاژ مرجع V_R برابر با ۱/۳۲ V− است. همچنین نشان دادیم که نقطه وسط نوسان منطقی خروجی تقریباً معادل با این ولتاژ می‌باشد، که مکان مناسبی برای به دست آمدن حاشیه‌های نویز بالا و پایین برابر است. در مثال ۲-۱۴ زیر، برای ضریب دمای ولتاژ مرجع و ولتاژهای خروجی بالا و پایین روابطی به دست خواهیم آورد. به این ترتیب، نشان خواهیم داد که نقطه وسط نوسان منطقی خروجی با همان آهنگ ولتاژ خروجی با دما تغییر می‌کند. بعنوان نتیجه، اگرچه اندازه‌های 0 و 1 حاشیه‌های نویز با دما تغییر می‌کند، اما مقادیرشان برابر می‌ماند. این یکی از مزایای دیگر ECL است و نشانگر طراحی بهینه مدار گیت می‌باشد.

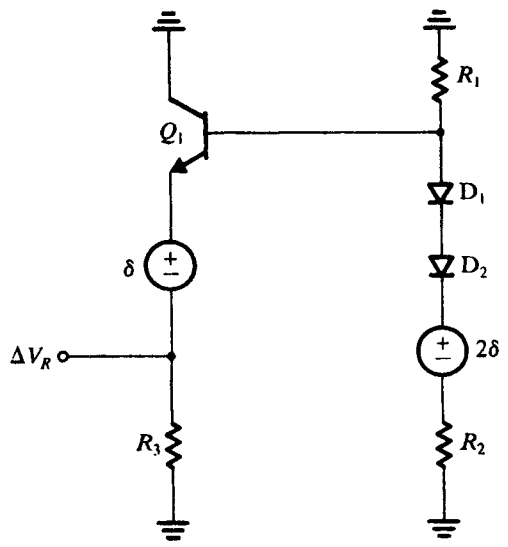
مثال ۲-۱۴

می خواهیم ضریب دمای ولتاژ مرجع V_R و نقطه وسط بین V_{OL} و V_{OH} را به دست آوریم.

حل:

برای تعیین ضریب دمای V_R، مدار شکل (۲۳-۱۴ ت) را در نظر گرفته فرض کنید که دما به اندازه ۱+ درجه سانتی‌گراد تغییر کند. ضریب دمای افت ولتاژ ترانزیستور دیود را با δ نشان دهید، که $\delta \cong -2$ mV/°C می‌باشد. مدار معادل نشان داده شده در شکل (۴۰-۱۴) را به دست آوریم. در این مدار افت ولتاژ قطعه‌ها بصورت سیگنالها و در نتیجه منبع تغذیه بصورت یک زمین سیگنال در نظر گرفته می‌شود.

در مدار شکل (۴۰-۱۴)، دو مولد سیگنال داریم و می‌خواهیم مدار را برای تعیین ΔV_R، و تغییر در V_R تحلیل کنیم. این کار را با استفاده از اصل برهم نهش (جمع آثار) انجام می‌دهیم. نخست شاخه R_1، D_1، D_2، 2δ، و R_2 را در نظر می‌گیریم و از جریان بیس سیگنال Q_1 چشمپوشی می‌کنیم. سیگنال ولتاژ بیس Q_1 به سهولت از



شکل ۴۰-۱۴. مدار معادل تعیین ضریب حرارتی ولتاژ مرجع V_R

رابطه زیر به دست می‌آید :

$$v_{b1} = \frac{2\delta \times R_1}{R_1 + r_{d1} + r_{d2} + R_2}$$

که در آن r_{d1} و r_{d2} نشانگر مقاومتهای نموی دیودهای D_1 و D_2 است. جریان dc بایاس که از D_1 و D_2 می‌گذرد تقریباً ۰/۶۴ mA است، و بنابراین $r_{d1} = r_{d2} = 39.5\ \Omega$ است. بنابراین $v_{b1} \cong 0.3\delta$ است. چون بهره امیتر پیرو Q_1 تقریباً واحد است، این امر موجب می‌شود که مولفه ΔV_R ناشی از مولد 2δ تقریباً برابر با v_{b1} باشد. یعنی $\Delta V_{R1} = 0.3\delta$ است.

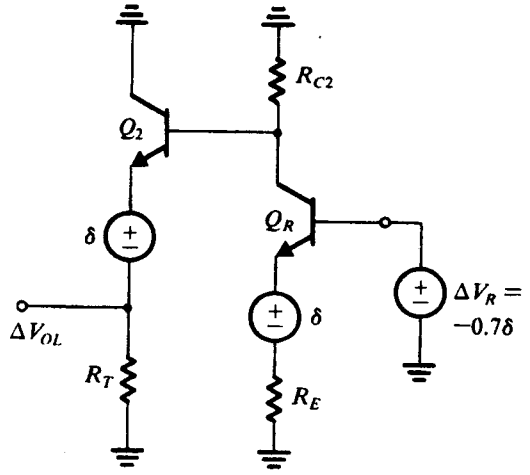
سپس مولفه ΔV_R ناشی از مولد δ را در نظر بگیرید. انعکاس مقاومت کل مدار بیس، $[R_1 \,||\, (r_{d1} + r_{d2} + R_2)]$، به داخل مدار امیتر با تقسیم آن بر $\beta + 1 (\beta \cong 100)$ سبب می‌شود که مولفه ΔV_R بصورت زیر به دست آید

$$\Delta V_{R2} = \frac{-\delta \times R_3}{[R_B/(\beta + 1)] + r_{e1} + R_3}$$

که R_B نشان دهنده مقاومت کل در مدار بیس و r_{e1} نشان دهنده مقاومت امیتر $Q1$ (برابر با $40\ \Omega$) است. با این محاسبه $\Delta V_{R2} \cong -\delta$ به دست می‌آید. افزودن این مقدار به مقدار ناشی از مولد 2δ، نتیجه می‌دهد : $\Delta V_R \cong -0.7\delta$. بنابراین به ازای $\delta = -2$ mV/°C، ضریب دمای V_R برابر با $+1.4$ mV/°C است.

سپس تعیین ضریب دمای V_{OL} را در نظر می‌گیریم. مداری که این تحلیل بر روی آن انجام شده در شکل (۴۱-۱۴) نشان داده شده است. در اینجا سه مولد داریم که سهم هر یک به طور مجزا بررسی شده ومولفه‌های به دست آمده از ΔV_{OL} جمع شده است. نتیجه چنین است:

$$\Delta V_{OL} \cong \Delta V_R \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}}$$



شکل ۴۱-۱۴. مدار معادل تعیین ضریب حرارتی V_{OL}

$$-\delta \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}}$$

$$-\delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta + 1)}$$

از قراردادن مقادیر به دست آمده به جای مقادیری که در تحلیل این بخش به دست آمد، درمی‌یابیم که $\Delta V_{OL} \cong -0.43\delta$ می‌باشد.

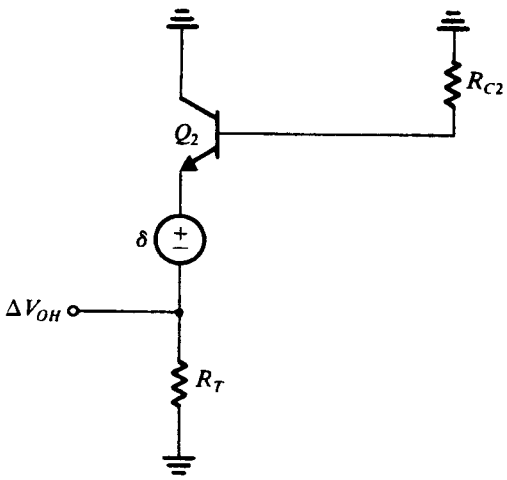
برای تعیین ضریب حرارتی V_{OH}، مدار شکل (۴۲-۱۴) نشان داده شده که در آن به دست می‌آید :

$$\Delta V_{OH} = -\delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta + 1)} = -0.93\delta$$

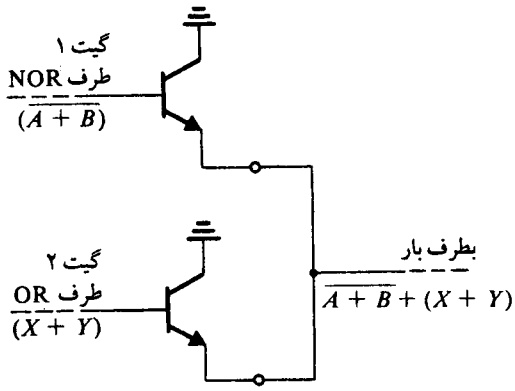
اکنون تغییر نقطه وسط نوسان منطقی را بصورت زیر به دست می‌آوریم:

$$\frac{\Delta V_{OL} + \Delta V_{OH}}{2} = -0.68\delta$$

که با ولتاژ مرجع $V_R\ (-0.7\delta)$ تقریباً برابر است.



شکل ۴۲-۱۴. مدار معادل تعیین ضریب حرارتی V_{OH}



شکل ۴۳-۱۴. توانایی آرایش OR سیمی برای ECL

توانایی OR سیمی

طبقه خروجی امیتر پیرو خانواده ECL یک سطح اضافی منطقی را در سیم‌کشی خروجی چند گیت موازی در اجرای ارزان قیمت ممکن می‌گرداند. این کار درشکل (۴۳-۱۴) نشان داده شده است که در آن خروجیهای دوگیت به وسیله سیم با یکدیگر مرتبط شده‌اند. توجه کنید که دیودهای بیس -امیتر پیروهای خروجی یک تابع OR مثبت ارائه می‌کنند. این اتصال **سیمی OR** برای ایجاد گیتهای با ظرفیت ورودی بالا به کار می‌رود تا انعطاف ECL در طراحی منطقی افزونتر شود.

تذکر آخر

ECL یک خانواده مهم منطقی است که در طراحی دستگاههای مخابراتی سرعت بالا و نیز در کامپیوتر کاربرد موفقیت آمیز داشته است. از این مدارها در طراحی مدارهای LSI و VLSI نیز استفاده می‌شود.

۷-۱۴ مدارهای دیجیتال BiCMOS

در این بخش تکنولوژی مدار VLSI یعنی BiCMOS را که هر روز متداولتر می‌شود، معرفی می‌کنیم. چنانچه از نام BiCMOS بر می‌آید، در این تکنولوژی مدارهای CMOS و Bipolar روی یک تراشه پیاده شده‌اند. هدف از این کار، ترکیب توان مصرفی پایین، امپدانس ورودی بالا و حاشیه پهن نویز CMOS با توانایی راه‌اندازی جریانی بالای ترانزیستورهای دو قطبی است. در واقع اگرچه CMOS از جنبه‌های بسیاری تقریباً یک تکنولوژی مدار منطقی ایده‌آل است، اما محدودیت راه‌اندازی جریانی دارد. البته این مسأله، هنگامی که یک گیت CMOS تعداد محدودی گیت همانند را راه‌اندازی کند، مشکلی جدی نیست. اما هنگامی که ظرفیت خازنی بار نسبتاً زیاد باشد (یعنی بیش از ۰/۵pF یا در همین حدود)، این مشکل خود را نشان می‌دهد و باید از مدارهای میانگیر دقیق استفاده کرد در غیر این صورت تأخیر انتشار بسیار زیاد می‌شود. از طرف دیگر می‌دانیم که BJT صرفنظر از هدایت انتقالی بالاتر، توانایی راه‌اندازی جریانی بالایی دارد که تشریح عملی آن را در طبقه خروجی totem-pole در TTL و در طبقه خروجی امیتر پیرو در ECL مشاهده کردیم. در واقع توانایی راه‌اندازی جریانی بالای ECL، آن را دو تا پنج برابر سریعتر از CMOS کرده است البته توان مصرفی نیز بالا می‌رود. در واقع BiCMOS برای پیاده‌سازی مدارهای آنالوگ با کیفیت بالا مناسب است (بخش‌های ۸-۶ و ۸-۱۰) تحقق توابع آنالوگ و دیجیتال را بر روی یک تراشه امکان پذیر می‌سازد و در واقع "یک سیستم" روی یک تراشه پیاده می‌شود که نکته قابل توجهی است. البته پیچیدگی مدار بیشتر شده و تکنولوژی گران‌تری (نسبت به CMOS) می‌باشد.

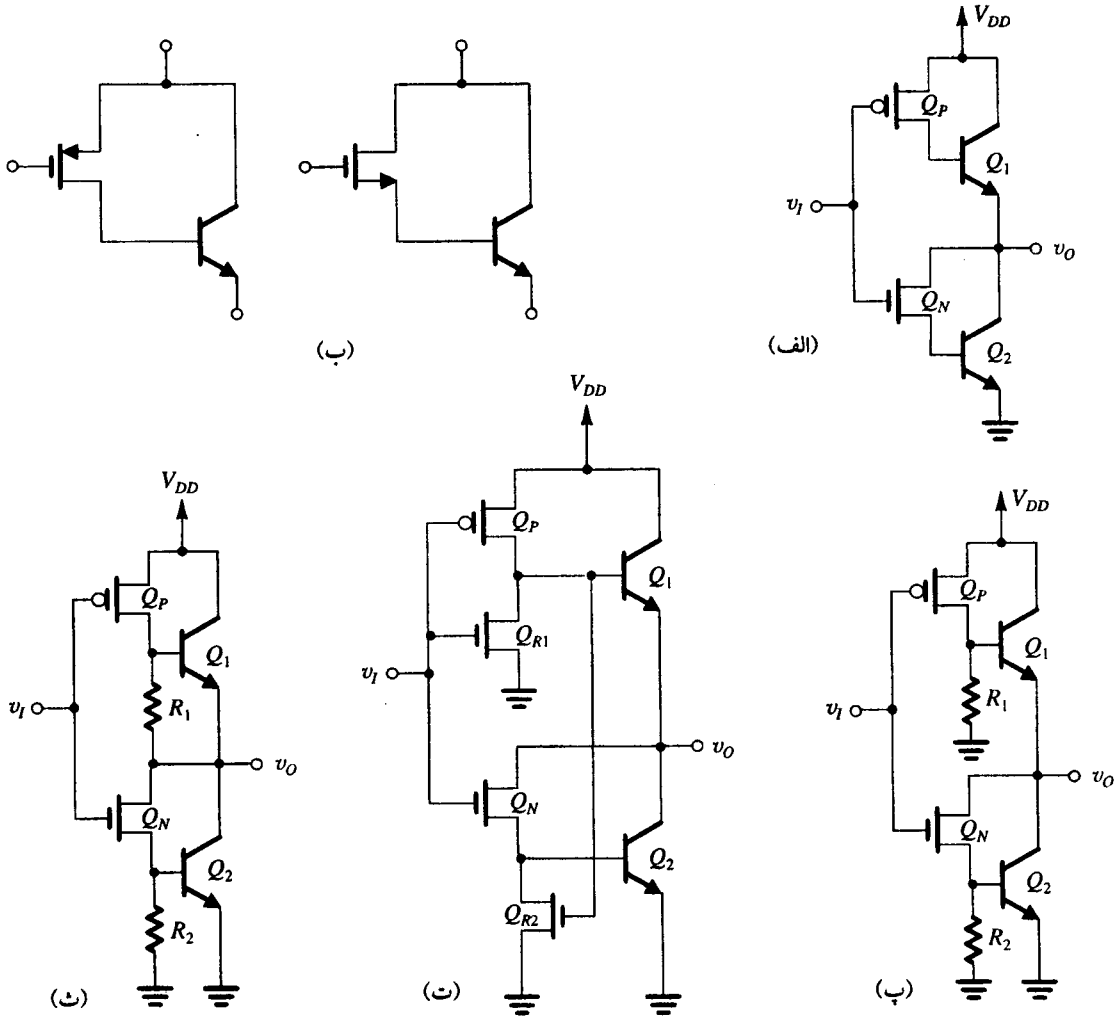
وارونگر BiCMOS

وارونگرهای متنوعی از نوع BiCMOS وجود دارد که همگی به منظور افزایش جریان خروجی وارونگر CMOS از ترانزیستورهای *npn* استفاده می‌کنند. بدین منظور، ترانزیستورهای Q_N و Q_P وارونگر CMOS با ترانزیستور *npn*، مطابق شکل (الف ۴۴-۱۴) سری می‌شوند. مشاهده کنید که این مدار را می‌توان همانند استفاده از یک زوج MOS-BJT معکوس مکمل در شکل (ب ۴۴-۱۴) در نظر گرفت. این قطعات معکوس، امپدانس ورودی بالای ترانزیستور MOS که از ضرب g_m نسبتاً پایین آن در β مربوط به BJT به دست می‌آید حفظ می‌کنند.

همچنین مشاهده این نکته مفید است که طبقه خروجی متشکل از Q_1 و Q_2، دارای پیکربندی totem-pole است که توسط TTL استفاده شده است. در این جا عملیات معکوس‌سازی منطقی و انشعاب فاز توسط وارونگر CMOS متشکل از Q_N و Q_P صورت می‌گیرد.

مدار شکل (الف ۴۴-۱۴) به این صورت کار می‌کند: هنگامی که v_I در حالت پایین است، هر دو ترانزیستور Q_N و Q_2 خاموش هستند و Q_P هدایت کرده، Q_1 را با جریان بیس تغذیه می‌کند و باعث روشن شدن آن می‌شود. Q_1 جریان لازم برای بار خازنی را فراهم می‌کند. نتیجه این امر، پر شدن سریع بار خازنی و کاهش تأخیر انتشار حالت پایین به بالا یعنی t_{PLH} است. هنگامی که v_O تقریباً به مقدار $V_{DD}-V_{BE1}$ برسد، Q_1 خاموش می‌شود و بنابراین سطح خروجی در حالت بالا کمتر از V_{DD} خواهد بود که یک عیب است. هنگامی که v_I به حالت بالا می‌رود، Q_P و Q_1 خاموش، و Q_N روشن می‌شود و جریان درین آن به بیس Q_2 تزریق می‌شود. سپس Q_2 روشن شده و جریان خوبی را برای تخلیه ظرفیت خازنی بار فراهم می‌آورد. این امر موجب می‌شود که تأخیر انتشار بالا به پایین، یعنی t_{PHL}، کوتاه باشد. در قسمت منفی، هنگامی که v_O به مقداری در حدود V_{BE2} برسد، Q_2 خاموش شده و سطح خروجی در حالت پایین، بیشتر از صفر می‌باشد که یک کاستی به شمار می‌آید.

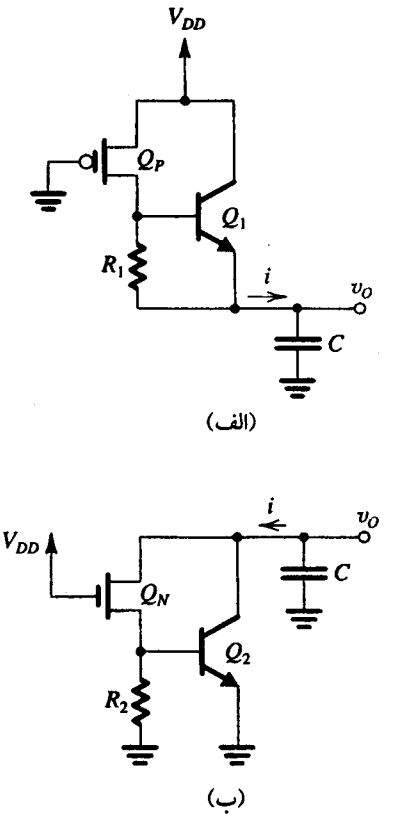
بنابراین، اگرچه مدار شکل (الف ۴۴-۱۴) توانایی جریان دهی بالایی دارد و تأخیر انتشار آن کوتاه است اما در مقابل، نوسان منطقی و حاشیه‌های نویز آن کاهش یافته است. مسئله جدی‌تر، طولانی شدن زمان خاموش شدن Q_1 و Q_2 است که علت آن نبود مسیرهایی در مدار است که بتوانند بار بیس را تخلیه نمایند. این مشکل را می‌توان با اضافه کردن یک مقاومت بین بیس هر یک از ترانزیستورهای Q_1 و Q_2 و زمین، مطابق شکل (پ۴۴-۱۴)



شکل ۴۴-۱۴. توسعه مدار وارونگر BiCMOS (**الف**) مفهوم اساسی، استفاده از یک ترانزیستور دو قطبی اساسی برای افزایش راه اندازی جریانی خروجی هر یک از ترانزیستورهای Q_N و Q_P وارونگر CMOS است. (**ب**) مدار (الف) را می‌توان با بهره‌گیری از این عناصر مرکب در نظر گرفت (**پ**) برای کاهش زمان‌های خاموشی Q_1 و Q_2 "مقاومت‌های مکنده جریان" R_1 و R_2 اضافه شده‌اند (**ت**) پیاده سازی مدار (**ث**) با استفاده از ترانزیستورهای NMOS برای تحقق مقاومت‌ها (**ث**) نوع بهبود یافته مدار (**پ**) که از اتصال انتهای پایین R_1 به گره خروجی به دست آمده است.

حل کرد. اکنون، هنگامی که یکی از ترانزیستورهای Q_1 و Q_2 خاموش شود، بار جمع شده روی بیس از طریق R_1 یا R_2 به زمین منتقل می‌شود. مقاومت R_1 مزیت دیگری نیز دارد: هنگامی که v_I در حالت بالاست، و پس از خاموش شدن Q_2، v_O به مقداری کمتر از V_{BE2} کاهش می‌یابد و گره خروجی از طریق مسیر Q_N و R_2 زمین می‌شود، یعنی R_2 همانند یک مقاومت پایین آورنده عمل می‌کند. اما مسیر $Q_N - R_2$ یک مسیر با امپدانس ورودی بالاست و در نتیجه پایین آمدن v_O فرآیندی نسبتاً کند است. اما وجود مقاومت R_1 از نظر توان مصرفی استاتیک یک کاستی به شمار می‌آید: هنگامی که v_I در حالت پایین است، یک مسیر dc بین V_{DD} و زمین از طریق Q_P و R_1، ایجاد می‌شود. نهایتاً متذکر می‌شویم که R_1 و R_2 مقداری از جریان درین Q_P و Q_N را از طرف بیس‌های Q_1 و Q_2 به سمت خود می‌کشند و بدین ترتیب اندکی از جریان خروجی فراهم شده برای پر شدن و تخلیه ظرفیت خازنی بار را کاهش می‌دهند. نحوهٔ قرار گرفتن R_1 و R_2 در شکل (ت ۴۴-۱۴) نشان داده شده است. قطعات NMOS یعنی Q_{R1} و Q_{R2} در نقش R_1 و R_2 عمل می‌کنند. این ترانزیستورها فقط در حالتی که نیاز باشد، هدایت می‌کنند، یعنی Q_{R1} تنها هنگامی هدایت می‌کند که v_I افزایش یابد، یعنی در زمانی که جریان درین آن شامل جریان معکوس بیس Q_1 باشد که سرعت خاموش شدن آن را بالا می‌برد. بطور مشابه Q_{R2} تنها هنگامی هدایت می‌کند که v_I افت کند و Q_P هدایت کرده و گیت Q_{R2} را به حالت بالا می‌برد. در این حالت جریان درین Q_{R2} شامل جریان معکوس بیس Q_2 بوده، سرعت خاموش شدن آن را افزایش می‌دهد.

مدار شکل (ث ۴۴-۱۴) راکه مدار R نامیده می‌شود بعنوان آخرین مدار وارونگر BiCMOS معرفی می‌کنیم. این مدار با مدار شکل (پ۴۴-۱۴) تنها از یک نظر تفاوت دارد و آن این است که به جای این که R_1 به زمین متصل شود، به گره خروجی وارونگر اتصال می‌یابد این تغییر کوچک دو



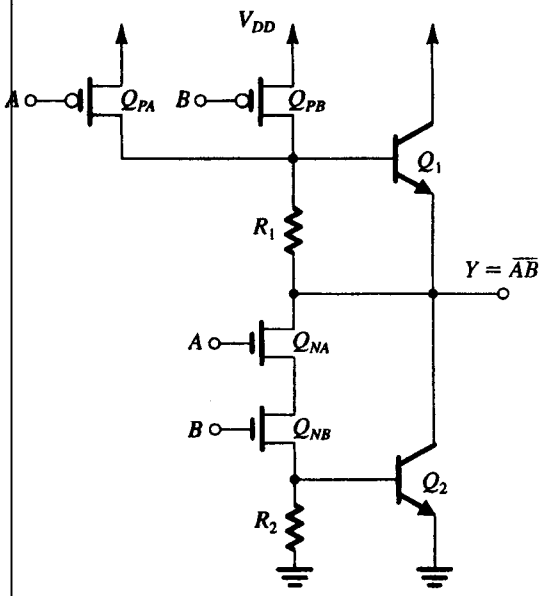
شکل ۴۵-۱۴. مدارهای معادل شارژ و تخلیه ظرفیت خازنی بار C. توجه کنید که C شامل همه ظرفیت‌های خازنی گره خروجی است.

مزیت دارد: اول این که مشکل توان مصرفی استاتیک حل شده است و دوم این که R_1 بعنوان یک مقاومت بالا آورنده، ولتاژ گره خروجی را (از طریق هدایت Q_P) پس از خاموش شدن Q_1، تا V_{DD} بالا می‌آورد. بنابراین مدار R شکل (ث ۴۴-۱۴) دارای سطوح خروجی نزدیک به V_{DD} و زمین است.

بعنوان تذکر نهایی درباره با وارونگر BiCMOS، یادآور می‌شویم که مدار به گونه‌ای طراحی شده است که ترانزیستورهای Q_1 و Q_2 هرگز بطور همزمان هدایت نکنند و هیچکدام اشباع نشوند. متأسفانه، گاهی بعلت مقاومت ناحیه کلکتور BJT و جریان‌های پر شدن خازن، اشباع اتفاق می‌افتد، بخصوص در جریان‌های خروجی زیاد، افت ولتاژ روی r_C (که می‌تواند در حدود ۱۰۰Ω باشد) می‌تواند ولتاژ نقطه کلکتور را کاهش داده و باعث بایاس مستقیم CBJ شود. همان طور که می‌دانید، اشباع از دو جهت تأثیر نامطلوبی دارد: جریان کلکتور را به مقداری کمتر از βI_B کاهش داده و خاموش شدن ترانزیستور را کند می‌کند.

عملکرد گذرا

تحلیل مفصل عملکرد گذرای مدار وارونگر BiCMOS کار پیچیده‌ای است. با این وجود با در نظر گرفتن زمان لازم برای پر شدن و تخلیه ظرفیت خازنی بار، یعنی C می‌توان تخمینی از تأخیر انتشار به دست آورد. این تحلیل تقریبی در حالتی انجام می‌شود که C نسبتاً بزرگ است و اثر آن



شکل ۴۶-۱۴. گیت NAND دو ورودی BiCMOS

روی عملکرد گذرای وارونگر غالب است، یعنی هنگامی که بتوانیم از زمان لازم برای پر شدن ظرفیت‌های خازنی مزاحم گره‌های داخلی مدار چشمپوشی نماییم. خوشبختانه معمولاً این گونه است و حتی اگر ظرفیت خازنی بار زیاد بزرگ نباشد، می‌توان از وارونگر CMOS ساده‌تر استفاده کرد. در حقیقت این مسأله ثابت شده است که مزیت سرعت BiCMOS (نسبت به CMOS) هنگامی نمایان می‌شود که fan-out بالا باشد و یا ظرفیت خازنی بار زیاد باشد. برای مثال در ظرفیت خازنی بار ۵۰-۱۰۰fF CMOS و BiCMOS تأخیر یکسانی دارند. اما در ظرفیت خازنی ۱PF، t_P مربوط به وارونگر BiCMOS، ۰/۳ns و CMOS، ۱ns است. در شکل (۴۵-۱۴) مدارهای معادل ساده شده را که می‌توان با آن‌ها به مقادیر تخمینی t_{PLH} و t_{PHL} وارونگر BiCMOS نوع R دست یافت نشان داده‌ایم. (مسئله ۵۳-۱۴ را ببینید).

گیت‌های منطقی BiCMOS

در BiCMOS عملیات منطقی توسط قسمت CMOS گیت انجام می‌شود و قسمت دو قطبی بعنوان طبقه خروجی عمل می‌کند، یعنی مدارهای گیت منطقی BiCMOS همانند CMOS عمل می‌کنند. در شکل (۴۶-۱۴) یک گیت NAND دو ورودی BiCMOS نشان داده شده است. بعنوان تذکر نهایی یادآوری می‌کنیم که تکنولوژی BiCMOS در محصولات زیادی از قبیل ریزپردازنده‌ها RAMهای استاتیک و آرایه‌های گیت به کار می‌رود.

تمرین

۲۹-۱۴ ولتاژ آستانه وارونگر BiCOMS شکل (ث ۴۳-۱۴) مقدار v_I است که در آن هر دو ترانزیستور Q_N و Q_P با جریان‌های مساوی هدایت کرده و در ناحیه اشباع کار می‌کنند. در این مقدار v_I و Q_2 روشن است و

باعث می‌شود ولتاژ سورس Q_N تقریباً ۰/۷V شود. می‌خواهیم مدار را طوری طراحی کنیم که ولتاژ آستانه مساوی $V_{DD}/۲$ شود. فرض کنید V_{DD}=۵V ، $|V_t|$=۰/۶V و طول کانال برای Q_N و Q_P مساوی، و $\mu_n = ۲/۵\,\mu_p$ باشد. نسبت W_p/W_n را به دست آورید.

جواب. ۱ □

۱۴-۸ مدارهای دیجیتال گالیم-آرسناید

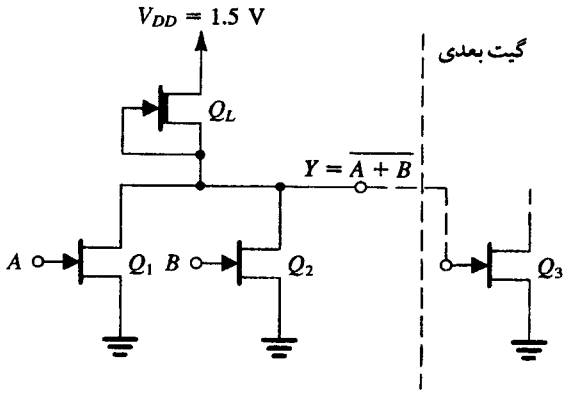
این فصل را با بررسی مختصر مدارهای دیجیتالی پیاده‌سازی شده با تکنولوژی جدید گالیم - آرسناید به پایان می‌بریم. مقدمه‌ای بر این تکنولوژی و دو قطعه اساسی آن، MESEFT و دیود سدّ - شاتکی (SBD) در بخش (۱۲-۵) ارائه شده است. به خواننده توصیه می‌کنیم قبل از مطالعه این بخش مطالب بخش (۱۲-۵) را مرور نماید.

مزیت عمده تکنولوژی GaAs سرعت زیاد آن نسبت به قطعات سیلیکنی رایج می‌باشد. در مدارهای GaAs تأخیر گیتها از ۱۰ تا ۱۰۰ps می‌باشد. عیوب این تکنولوژی عبارتند از بالابودن نسبی توان مصرفی برای هر گیت (۱ تا ۱۰ mW)، نوسان ولتاژ نسبتاً کوچک و در نتیجه آن حاشیه نویز باریک، فشردگی پایین بسته‌ها که نتیجهٔ بالابودن توان مصرفی برای هر گیت است و محدودبودن زمینه‌های تولید. در حال حاضر بعضی از سازندگان خاص اقدام به ساخت و تولید مدارهای دیجیتال LSI ، MSI ، SSI که کارهای نسبتاً اختصاصی انجام می‌دهند، نموده‌اند. البته قیمت این IC ها بمراتب از IC های دیجیتال سیلیکونی بیشتر است. با این وجود، سرعت بسیار زیاد مدارهای GaAs ، آن را به یک تکنولوژی ارزشمند با کاربردهای رو به رشد بدل کرده است. بر خلاف خانوادهٔ مدار منطقی MOS و دو قطبی، خانوادهٔ مدار منطقی GaAs استاندارد نداریم. فقدان استاندارد نه تنها اَشکال گیت‌های اساسی بلکه ولتاژهای منبع تغذیه را نیز دربرمی‌گیرد. در ادامه، مثالهایی از متداولترین مدارهای گیت منطقی GaAs را ارائه می‌کنیم.

منطق FET کوپل‌شدهٔ مستقیم

منطق FET کوپل‌شده مستقیم (DCFL) ساده‌ترین شکل مدارهای منطقی دیجیتال GaAs می‌باشد. گیت اساسی در شکل (۱۴-۴۷) نشان داده شده است. گیت از MESFET های افزایشی Q_1 و Q_2 برای ترانزیستورهای سوئیچینگ ورودی و یک MESFET تهی بعنوان ترانزیستور بار Q_L بهره می‌برد. گیت شباهت زیادی با مدار MOSFET با بار تهی دارد. مانند مدار MOSFET مدار GaAs شکل (۱۴-۴۷) نشان‌دهندهٔ تابع NOR دو ورودی است. اما نحوهٔ کار مدار GaAs بطور اساسی با مدار MOSFET تفاوت دارد.

برای دانستن نحوهٔ کار مدار MESFET شکل (۱۴-۴۷) از ورودی B صرفنظر کرده، وارونگر اساسی Q_1 و Q_L را درنظر بگیرید. هنگامی که ولتاژ اعمال شده به گره A، v_I، کمتر از ولتاژ آستانهٔ MESFET افزایشی Q_1 باشد، که V_{tE} نامیده می‌شود، ترانزیستور Q_1 خاموش خواهد بود. بخاطر آورید که V_{tE} مثبت و برای MESFET های GaAs بطور نمونه

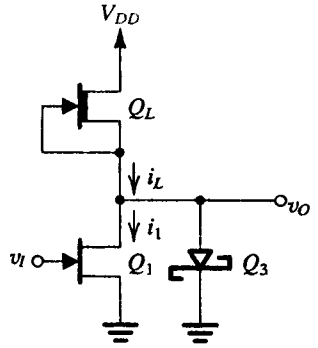


شکل ۱۴-۴۷. یک گیت DCFL GaAs که تابع NOR دو ورودی را پیاده‌سازی کرده است. گیت در حال راه‌اندازی ترانزیستور ورودی Q_3 یک گیت دیگر نشان داده شده است.

۰/۱ تا ۰/۳ V است. حال اگر خروجی Y گیت مدار باز شود، ولتاژ خروجی خیلی نزدیک به V_{DD} خواهد بود. اما در عمل مطابق شکل (۱۴-۴۷) یک گیت، گیت دیگری را راه‌اندازی می‌کند، Q_3 ترانزیستور ورودی گیت بعدی می‌باشد. در چنین وضعیتی جریان از V_{DD} و مسیر Q_L به پایانهٔ گیت Q_3 برقرار می‌شود. با توجه به اینکه گیت به سورس GaAs MESFET یک دیود سد شاتکی می‌باشد که در حال هدایت ولتاژ آن ۰/۷ V است، هدایت Q_3 باعث محدودشدن ولتاژ حالت بالای خروجی (V_{OH}) به ۰/۷V می‌شود. که تمایز زیادی با حالت MOSFET دارد که در این ولتاژ گیت هدایت نمی‌کند.

شکل (۱۴-۴۸) وارونگر DCFL مورد بحث را با ورودی طبقه بعدی که دیود شاتکی Q_3 است، نشان می‌دهد. با $v_I < V_{tE}$، $i_1 = 0$ بوده و i_L در Q_3 جریان می‌یابد که باعث می‌شود $v_O = V_{OH} \cong 0/7$ V شود. از آنجا که V_{DD} معمولاً پایین (۱/۲ تا ۱/۵ V) و ولتاژ آستانه Q_L، V_{tD}، بطور نمونه ۰/۷- تا ۱ V- است، Q_L در ناحیه تریود کار می‌کند. (برای ساده‌کردن موضوع، از اثر اشباع اولیه GaAs MESFET صرفنظر می‌کنیم.)

با افزایش v_I و بیشترشدن آن از V_{tE}، Q_1 روشن شده جریان i_1 را هدایت می‌کند. ابتدا Q_1 در ناحیه اشباع خواهد بود. جریان i_1 از i_L کم



شکل ۱۴-۴۸. گیت DCFL با ورودی گیت طبقه بعد که با یک دیود شاتکی Q_3 مشخص شده است.

می‌شود. در نتیجه جریان $Q_۳$ نیز کم شده، ولتاژ روی $Q_۳$، v_O، اندکی کاهش می‌یابد. اما در اینجا فرض می‌کنیم v_O هنگامی که $Q_۳$ هدایت می‌کند مقداری در حدود ۰/۷ V دارد. با افزایش v_I و رسیدن به حالتی که در آن $i_۱ = i_L$ می‌شود، هدایت $Q_۳$ متوقف شده می‌توان بطور کلی از آن صرفنظر کرد. افزایش بیشتر v_I منجر به افزایش $i_۱$ و کاهش v_O و $i_L = i_۱$ می‌شود. هنگامی که $(V_{DD} - v_O)$ از $|V_{tD}|$ بیشتر شود Q_L اشباع می‌شود و زمانی که v_O به اندازه V_{tE} از v_I کمتر شود $Q_۱$ وارد ناحیه تریود می‌گردد. دفعتاً هنگامی که $v_I = V_{OH} = ۰/۷$ V شود $v_O = V_{OL}$ خواهد شد که بطور نمونه ۰/۱ تا ۰/۲ V است.

از مطالب بالا نتیجه می‌گیریم نوسان ولتاژ خروجی گیت DCFL با هدایت گیت، به مقداری کمتر از ۰/۷ V محدود می‌شود (بطور نمونه ۰/۵V یا همین حدود). جزئیات بیشتر طرز کار گیت DCFL با مثال زیر تشریح می‌شود.

مثال ۳-۱۴

یک گیت DCFL ساخته شده با تکنولوژی GaAs با $L = ۱\ \mu m$، $V_{tD} = -۱V$، $V_{tE} = ۰/۲$ V، β (عرض ۱ μm) $= ۱۰^{-۴}\ A/V^{-۲}$ و $\lambda = ۰/۱ V^{-۱}$ درنظر بگیرید. عرض MESFET های ورودی را ۵۰μm و MESFET بار را ۶ μm فرض کنید. $V_{DD} = ۱/۵$ V است. با استفاده از مدل افت ولتاژ ثابت برای دیود شاتکی گیت - سورس $V_D = ۰/۷V$ و اغماض از اثر اشباع اولیهٔ MESFET های GaAs (یعنی با استفاده از معادله ۱۲۰-۵ برای توصیف عملکرد MESFET) V_{OH}، V_{OL}، V_{IH}، NM_H و NM_L توان مصرفی استاتیک، و زمان تأخیر را در صورتی که خازن معادل خروجی گیت ۳۰ fF باشد به دست آورید.

حل:

با توجه به مطالب فوق در مورد نحوهٔ کار گیت DCFL متوجه می‌شویم $V_{OH} = ۰/۷$ V می‌باشد برای به دست آوردن V_{OL}، مدار شکل (۴۸-۱۴) را با فرض $v_I = V_{OH} = ۰/۷$ V درنظر می‌گیریم. چون انتظار داریم $v_O = V_{OL}$ و کوچک باشد فرض می‌کنیم $Q_۱$ در ناحیه تریود و Q_L در ناحیه اشباع باشد. (البته $Q_۳$ خاموش است). مساوی قرار دادن $i_۱$ و I_L منجر به معادل زیر می‌شود:

$$\beta_۱ [۲ (۰/۷ - ۰/۲) V_{OL} - V_{OL}^۲] (۱ + ۰/۱ V_{OL})$$

$$= \beta_L [۰ - (-۱)]^۲ [۱ + ۰/۱ (۱/۵ - V_{OL})]$$

برای ساده‌کردن مسئله از جمله $۰/۱ V_{OL}$ چشم پوشیده و برای به دست آوردن یک معادله دو مجذوری برحسب V_{OL} جایگزینی $\beta_L/\beta_۱ = W_L/W_۱ = ۶/۵۰$ را انجام می‌دهیم که حل معادله به $V_{OL} \cong ۰/۱۷$ V منجر می‌شود.

برای دستیابی به مقدار V_{IL} ابتدا v_I را در حالت $i_۱ = i_L$ پیدا می‌کنیم، دیود $Q_۳$ خاموش می‌شود و v_O شروع به کاهش می‌کند چون در این نقطه $v_O = ۰/۷$ V است فرض می‌کنیم $Q_۱$ اشباع باشد. v_{DS} ترانزیستور Q_L، ۰/۷ V است که کمتر از $|V_{tD}|$ بوده و بنابراین Q_L در ناحیه تریود است. از مساوی قراردادن $i_۱$ و i_L داریم:

$$\beta_۱ (v_I - ۰/۲)^۲ (۱ + ۰/۱ \times ۰/۷)$$

$$= \beta_L [۲(۱)(۱/۵ - ۰/۷) - (۱/۵ - ۰/۷)^۲][۱ + ۰/۱(۱/۵ - ۰/۷)]$$

از جانشینی $\beta_L/\beta_۱ = W_L/W_۱ = ۶/۵۰$ و حل معادله $v_I = ۰/۵۴$ V به دست می‌آید. مشخصه انتقالی وارونگر در شکل (۴۹-۱۴) ترسیم شده است. شیب dv_O/dv_I در نقطه A $-۱۴/۲$ V/V می‌باشد. نقطه A نقطه‌ای است که در آن، وارونگر از خروجی حالت بالا سوئیچ می‌کند، بنابراین $V_{IL} \cong ۰/۵۴$ V می‌باشد.

برای پیداکردن V_{IH}، مختصات نقطه B را در حالی که $\frac{dv_o}{dv_I} = -۱$ باشد به دست می‌آوریم. این عمل با فرآیندی شبیه آنچه که در مورد وارونگر MOSFET به کار رفت و فرض‌بودن $Q_۱$ در ناحیه تریود و Q_L در ناحیه اشباع انجام می‌گیرد. با چشم‌پوشی از جمله $۰/۱ v_O$، $V_{IH} \approx ۰/۶۳$ V به دست می‌آید. حاشیه‌های نویز نیز بصورت زیر می‌باشند.

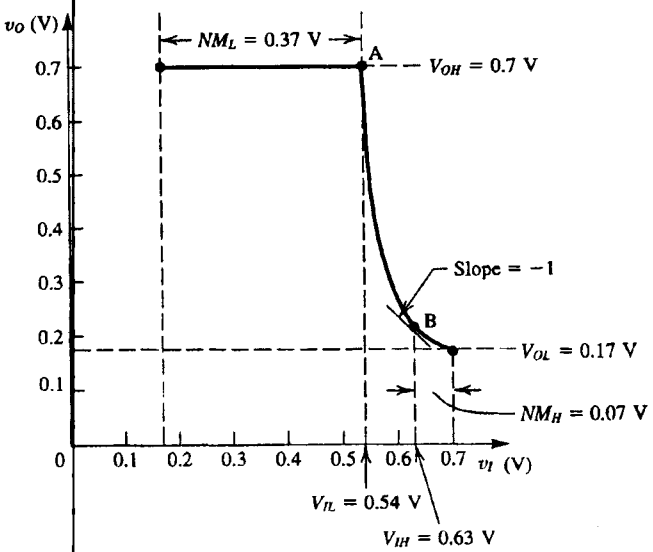
$$NM_H \equiv V_{OH} - V_{IH} = ۰/۷ - ۰/۶۳ = ۰/۰۷ V$$

$$NM_L \equiv V_{IL} - V_{OL} = ۰/۵۴ - ۰/۱۷ = ۰/۳۷ V$$

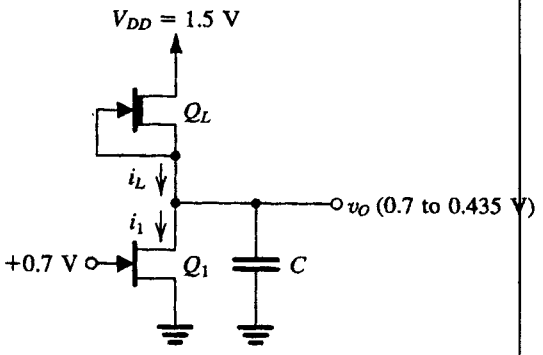
توان مصرفی استاتیک با پیداکردن جریان تغذیه I_{DD} در حالات خروجی بالا و خروجی پایین تعیین می‌شود هنگامی که خروجی در حالت بالاست، (در ۰/۷V) Q_L در ناحیه تریود بوده و جریان تغذیه عبارتست از

$$I_{DD} =$$

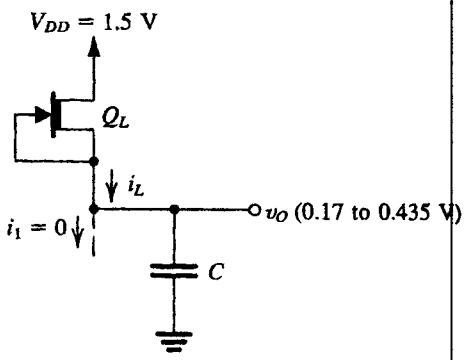
$$\beta_L[۲(۰ + ۱)(۱/۵ - ۰/۷) - (۱/۵ - ۰/۷)^۲][۱ + ۰/۱(۱/۵ - ۰/۷)]$$



شکل ۴۹-۱۴. مشخصه انتقالی وارونگر DCFL شکل (۴۸-۱۴)



(الف)



(ب)

شکل ۵۰-۱۴. مدارهایی برای محاسبهٔ زمانهای تأخیر وارونگر DCFL (الف) t_{PHL} (ب) t_{PLH}

از قراردادن $\beta_L = 10^{-4} \times W_L = 0/6\ \text{mA/V}^2$ در رابطه فوق به دست می‌آوریم:

$$I_{DD} = 0/61\ \text{mA}$$

زمانی که خروجی در حالت پایین است (۰/۱۷ V)، Q_L اشباع بوده و جریان تغذیه بصورت زیر است:

$$I_{DD} = \beta_L (0 + 1)^2 [1 + 0/1 (1/5 - 0/17)] = 0/68\ \text{mA}$$

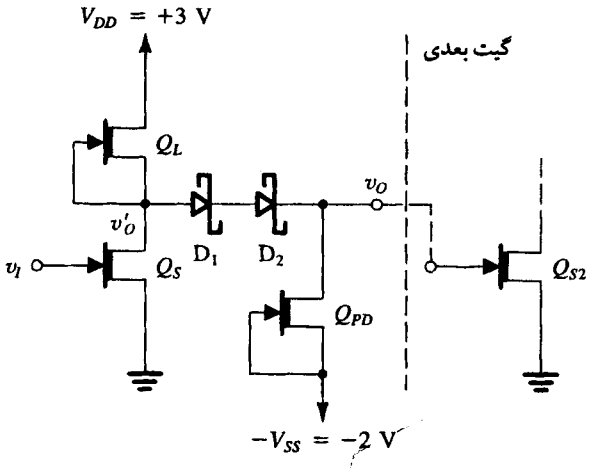
بنابراین جریان متوسط تغذیه عبارتست از:

$$I_{DD} = \frac{1}{2} (0/61 + 0/68) = 0/645\ \text{mA}$$

و توان مصرفی استاتیک مقدار زیر خواهد بود

$$P_D = 0/645 \times 1/5 \cong 1\ \text{mW}$$

تأخیر انتشار t_{PHL}، مدت زمانی است که ولتاژ خروجی وارونگر از $V_{OH} = 0/7$ V به $\frac{1}{2}(V_{OH} + V_{OL}) = 0/435$ V کاهش یابد. در این مدت زمان v_I در سطح بالا یعنی ۰/۷ V است و خازن C (که فرض شده ۳۰ فمتوفاراد (fF) باشد) با جریان $(i_1 - i_L)$ دشارژ می‌شود. با رجوع به شکل (الف ۵۰-۱۴)، جریان متوسط دشارژ از محاسبه i_1 و i_L در شروع و پایان بازهٔ زمانی دشارژ به دست می‌آید. i_1 از ۱/۳۴mA تا ۱/۲۸ mA و i_L از ۰/۶۱ mA تا ۰/۶۶ mA و بنابراین جریان دشارژ $(i_1 - i_L)$، از ۰/۷۳ mA تا ۰/۶۲ mA تغییر می‌کنند که مقدار متوسط آن ۰/۶۷۵ mA می‌شود بنابراین:



شکل ۵۱-۱۴. یک مدار وارونگر که فقط از عناصر حالت تهی استفاده می‌کند. از دیودهای شاتکی به منظور جا به جایی سطوح منطقی خروجی تا مقداری که هماهنگ با سطوح ورودی لازم برای روشن و خاموش شدن MESFET Q_S تهی باشد، استفاده شده است. این مدار بعنوان منطق FET (FL) شناخته می‌شود.

$$t_{PHL} = \frac{C\Delta V}{I} = \frac{30 \times 10^{-15} (0/7 - 0/435)}{0/675 \times 10^{-3}} = 11/8\ \text{ps}$$

برای تعیین t_{PLH} به مدار شکل (ب ۵۰-۱۴) رجوع‌کرده و یادآوری می‌کنیم که در زمان t_{PLH}، v_O از $V_{OL} = 0/17$V به $\frac{1}{2}(V_{OH} + V_{OL}) = 0/435$ V تغییر می‌کند جریان شارژ، متوسط مقدار i_L است که از ۰/۸ mA تا ۰/۶۶ mA تغییر می‌کند، بنابراین $i_{L\,\text{متوسط}} = 0/73$ mA بوده و داریم:

$$t_{PLH} = \frac{30 \times 10^{-15} \times (0/435 - 0/17)}{0/73 \times 10^{-3}} = 10/9\ \text{ps}$$

تأخیر انتشار گیت DCFL بصورت زیر به دست می‌آید:

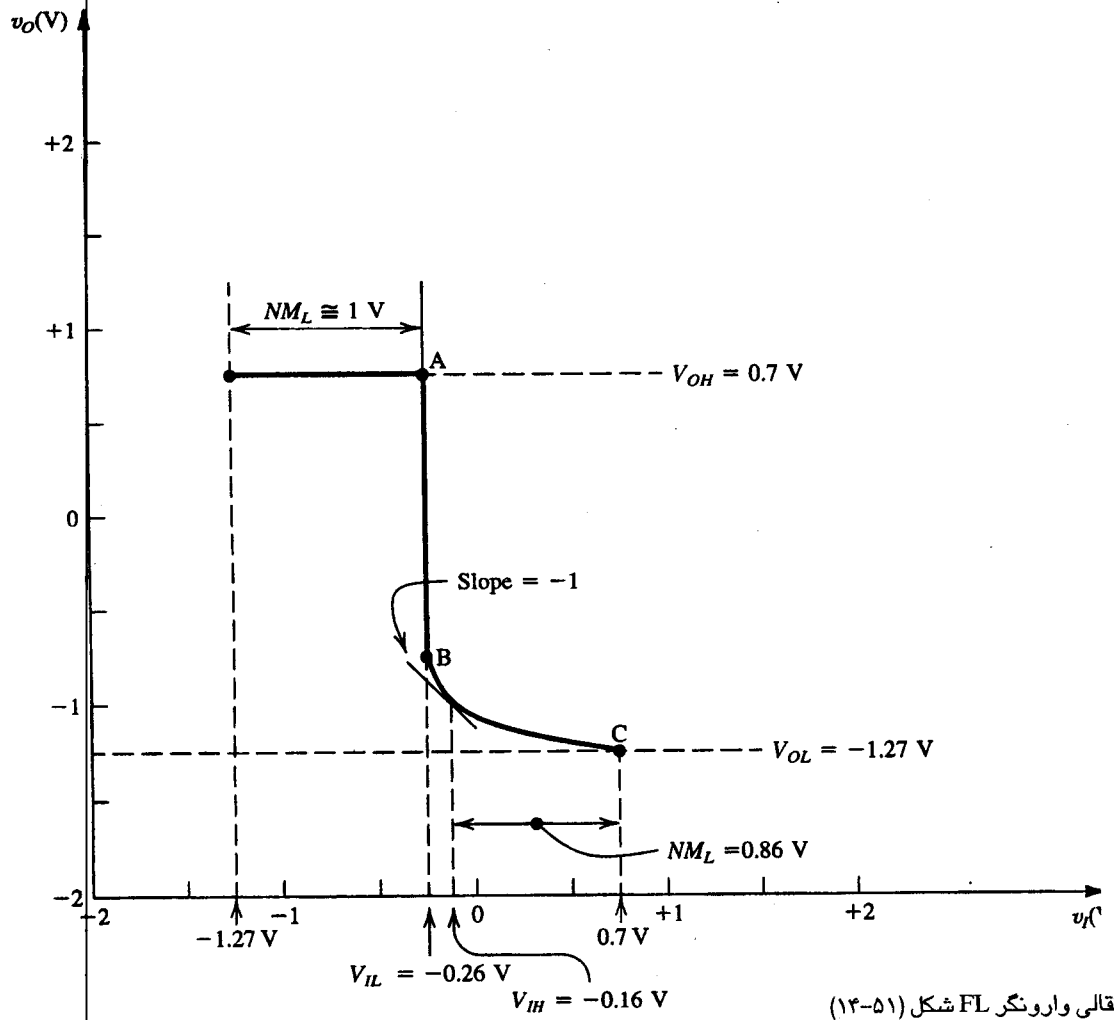
$$t_P = \frac{1}{2} (t_{PHL} + t_{PLH}) = 11/4\ \text{ps}$$

بعنوان آخرین مطلب، تذکر می‌دهیم در تحلیل بالا از مدلهای قطعه استفاده کردیم. هدف ما نشان دادن طرز کار مدار بوده و قصد محاسبه دقیق مقادیر را نداشته‌ایم. این مقادیر دقیق با استفاده از شبیه‌سازی SPICE با مدلهای دقیق‌تر به دست می‌آیند.

گیت‌های منطقی با استفاده از MESFET های تهی

مدارهای DCFL بررسی شدهٔ فوق نیاز به قطعات تهی و افزایشی داشتند که ساخت آنها تا حدی مشکل است همچنین با توجه به اینکه نوسان ولتاژ و حاشیه‌های نویز نسبتاً کوچکند باید هنگام ساخت کنترل بسیار دقیقی روی V_{tE} داشت. حال مدارهایی را که در آنها فقط از قطعات تهی استفاده شده ارائه می‌کنیم.

در شکل (۵۱-۱۴) مدار وارونگر اساسی یک خانواده مدار منطقی GaAs که به منطق FET (FL) موسوم است، به نمایش درآمده است.



شکل ۵۲-۱۴. مشخصه انتقالی وارونگر FL شکل (۵۱-۱۴)

قسمت اصلی وارونگر ترانزیستور سوئیچینگ Q_S و بار Q_L که هردو، MESFET های تهی هستند، می‌باشد. از آن جاکه ولتاژ آستانه MESFET تهی، V_{tD}، منفی است، ولتاژی منفی کوچکتر از V_{tD} لازم است تا Q_S خاموش شود. از طرف دیگر ولتاژ کم خروجی در درین Q_S همیشه مثبت است این امر باعث می‌شود که سطوح منطقی درین Q_S با سطوح مطلوب گیت ورودی هماهنگ نباشد، این عدم هماهنگی براحتی با استفاده از افت ولتاژ دو دیود یعنی تقریباً ۱/۴ V و در نتیجه جا به جایی سطح ولتاژ v_O' قابل حل است. از دیودهای شاتکی D_1 و D_2 بدین منظور استفاده می‌شود. ترانزیستور تهی Q_{PD} جریان ثابت بایاس D_1 و D_2 را فراهم می‌کند. برای اطمینان از کارکردن Q_{PD} در ناحیه اشباع، سورس آن به تغذیه منفی $-V_{SS}$ متصل شده است مقدار V_{SS} مساوی یا بزرگتر از پایین‌ترین سطح v_O (V_{OL}) به اضافهٔ ولتاژ آستانه $|V_{tD}|$ انتخاب می‌شود. ترانزیستور Q_{PD} همچنین جریان دشارژ خازن بار را هنگام پایین‌بودن ولتاژ خروجی تأمین می‌کند. بنابراین به ترانزیستور «پایین‌آورنده» موسوم بوده و زیرنویس PD را بخود می‌گیرد.

برای فهمیدن طرز کار وارونگر شکل (۵۱-۱۴) به مشخصه انتقالی آن در شکل (۵۲-۱۴) رجوع نمایید. مدار معمولاً با MESFET های دارای طول کانال مساوی (بطور نمونه ۱ μm) و عرض $W_S=W_L=2W_{PD}$ طراحی می‌شود مشخصه انتقالی برای حالت V_{tD} = −۰/۹V نشان داده شده است. در حالتی که v_I کمتر از V_{tD} است، Q_s خاموش می‌باشد و Q_L در ناحیه اشباع کار کرده، با جریان I_L ثابت، D_1 و D_2 را تغذیه می‌کند. ترانزیستور Q_{PD} نیز اشباع بوده و جریان ثابت آن $I_{PD} = \frac{1}{2} I_L$ می‌باشد. اختلاف این دو جریان در پایانه گیت ترانزیستور ووردی طبقه بعد، Q_{S2} جاری می‌شود. در نتیجه دیود شاتکی ورودی Q_{S2} ولتاژ خروجی را تقریباً به ۰/۷ V محدود می‌کند که سطح خروجی بالاست یعنی V_{OH}. (توجه کنید که در این بحث از مقاومت محدود حالت اشباع صرفنظر کرده‌ایم)

بیشترشدن v_I از V_{tD} باعث روشن شدن Q_S می‌شود. از آنجا که ولتاژ درین ۲/۱ V+ است، Q_S در ناحیه اشباع کار کرده و مقداری از جریان فراهم شده توسط Q_L را خواهد کشید. بنابراین از جریان گیت Q_{S2} بهمین میزان کاسته می‌شود. اگر به افزایش v_I ادامه می‌دهیم به مقداری می‌رسیم که به ازای آن، جریان Q_S مساوی $\frac{1}{2} I_L$ می‌شود بنابراین هیچ جریانی به گیت Q_{S2} نمی‌رسد. نقطه A روی مشخصه انتقالی بیانگر این حالت است. کمی افزایش دیگر در v_I باعث کاهش v'_O تا مقداری می‌شود که Q_S وارد ناحیه تریود گردد. قطعه AB منحنی ناحیه بهرهٔ زیاد را نشان می‌دهد که دارای

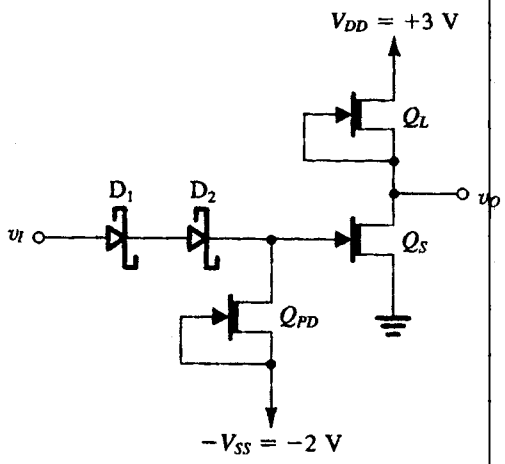
شیب $-g_{ms}R$ می‌باشد، R مجموع مقاومت معادل در گره درین است. این قطعه در شکل (۵۲-۱۴) بصورت عمودی نشان داده شده چون از اثر مقاومت خروجی اشباع صرفنظر کرده‌ایم.

قسمت BC منحنی انتقالی متناظر با کار Q_s در ناحیه تریود است در اینجا Q_L و Q_{PD} همچنان در حال اشباع بوده و D_1 و D_2 در حال هدایت باقی می‌مانند. سرانجام، برای $v_I = V_{OH} = 0/7$ V در حالت $V_{tD} = -0/9$V، مقدار $v_O = V_{OL}$، $-1/3$ V می‌باشد.

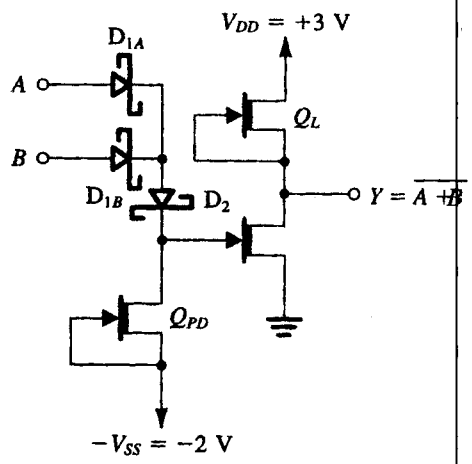
تمرین

۱۴-۳۰ ثابت کنید مختصات نقاط A، B و C مشخصه انتقالی همانطور هستند که در شکل (۵۲-۱۴) نشان داده شده است. فرض کنید $V_{tD} = -0/9$ V و $\lambda = 0$ باشد. □

همانطور که از شکل (۵۲-۱۴) برمی‌آید وارونگر FL حاشیه‌های نویز بالاتری نسبت به مدار DCFL دارد. اما وارونگر FL به دو منبع تغذیه نیازمند است.

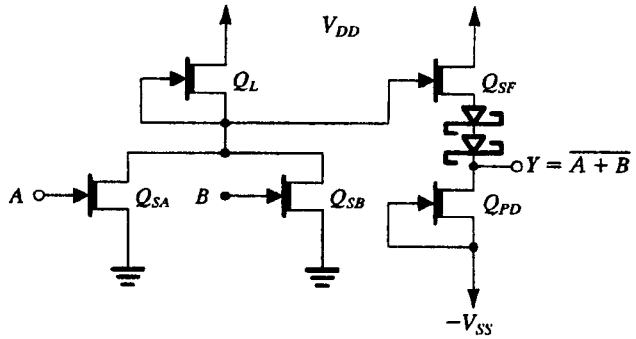


(الف)



(ب)

شکل ۵۳-۱۴. (الف) یک وارونگر SDFL (ب) گیت SDFL, NOR



شکل ۵۴-۱۴. گیت NOR دو ورودی BFL. گیت از قراردادن ترانزیستور سورس پیرو Q_{SF} بین طبقه وارونگر و طبقه جا به جا کننده سطح حاصل شده است.

وارونگر FL برای ساخت گیت NOR بسادگی با اضافه کردن ترانزیستورهایی که درین و سورس آنها با درین و سورس Q_S موازی می‌شود مورد استفاده قرار می‌گیرد.

منطق FET دیود شاتکی (SDFL)

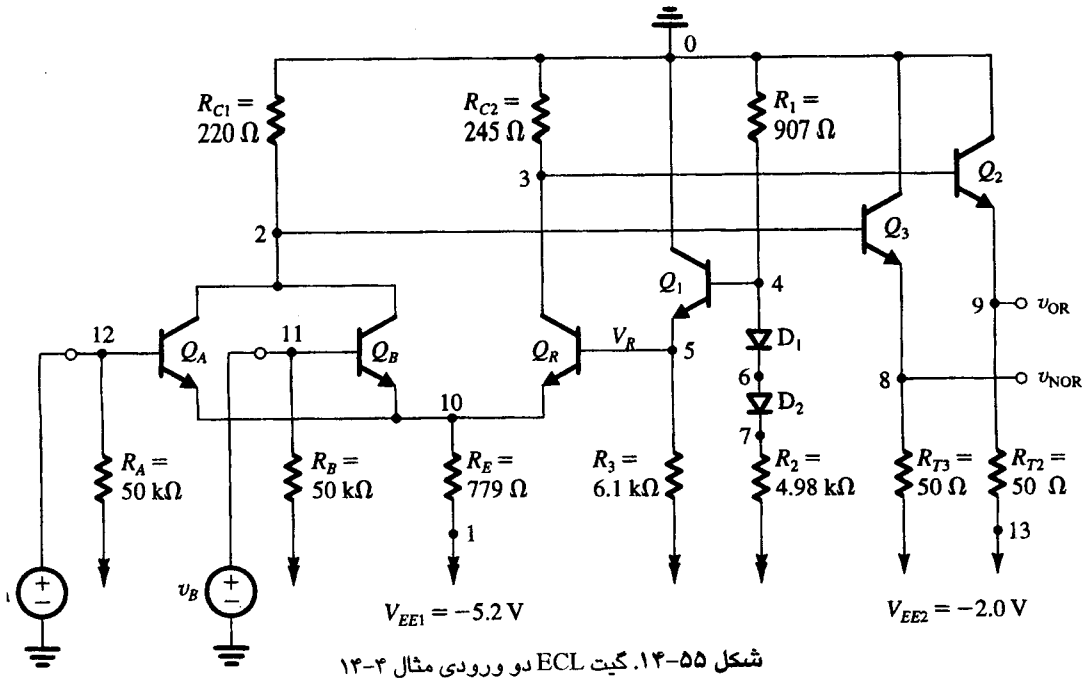
اگر شبکه دیودی انتقال سطح وارونگر FL به جای خروجی به ورودی گیت متصل شود مدار شکل (الف ۵۳-۱۴) به دست می‌آید این وارونگر از نظر کلی مانند وارونگر FL عمل می‌کند اما مدار اصلاح شده یک ویژگی جالب توجه دارد: عمل NOR مطابق شکل (ب ۵۳-۱۴) براحتی با اتصال دیودهای اضافی قابل اجراست. این شکل منطقی بعنوان منطق FET دیود شاتکی (SDFL) شناخته می‌شود. SDFL در مقایسه با سایر منطق‌های MESFET اجازه فشرده‌ترکردن بسته‌ها را به ما می‌دهد. چون برای هر ورودی اضافی بجای اینکه به ترانزیستور نیاز داشته باشیم از دیود استفاده می‌کنیم و دیودها سطحی بسیار کوچکتر از ترانزیستورها روی تراشه اشغال می‌کنند.

منطق FET میانگیرشده (BFL)

تغییر دیگری روی وارونگر (BFL) اساسی ممکن است. می‌توان یک سورس پیرو را بین درین Q_S و شبکه دیودی انتقال سطح قرار داد. گیت حاصل در حالت NOR دو ورودی در شکل (۵۴-۱۳) به نمایش درآمده است. این نمونه از مدار منطقی GaAs بعنوان منطق FET میانگیرشده (BFL) شناخته شده است. ترانزیستور سورس پیرو Q_{SF} ظرفیت جریاندهی را افزایش داده و بنابراین باعث کاهش زمان انتشار تغییر حالت پایین به بالا می‌شود. تأخیر انتشار طرحهای SDFL، BFL, FL حدود ۱۰۰ps و توان مصرفی آنها حدود، گیت/۱۰ mW است.

۱۴-۹ مثالی از شبیه‌سازی SPICE

در انتهای این فصل با ارائه مثالی از SPICE چگونگی تحلیل مدارهای دیجیتال دو قطبی را بررسی می‌کنیم می‌خواهیم عملکرد استاتیک و گذرای ECL را تحلیل کنیم.



شکل ۵۵-۱۴. گیت ECL دو ورودی مثال ۴-۱۴

مثال ۴-۱۴: عملکرد استاتیک و گذرای یک گیت ECL

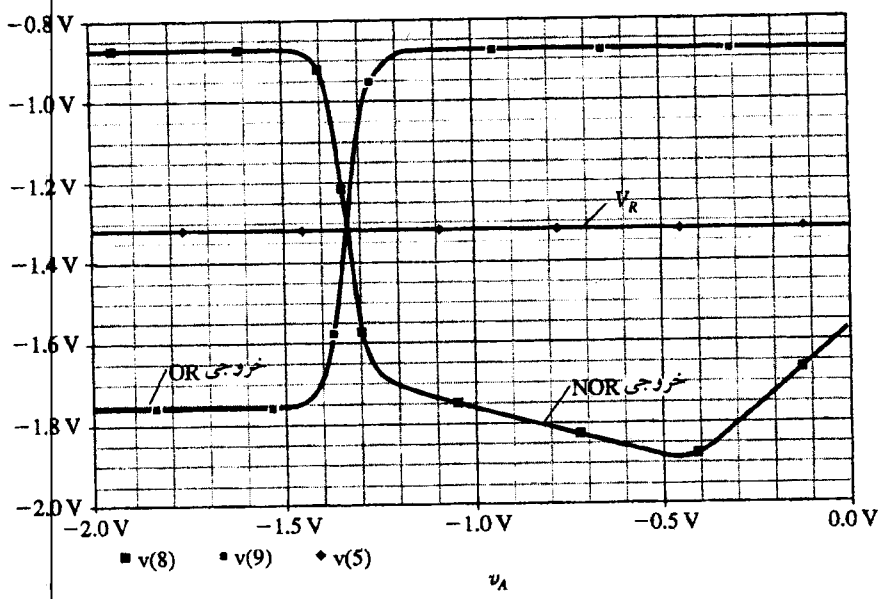
شکل (۵۵-۱۴) گیت ECL مطالعه شده در بخش (۶-۱۴) را نشان می‌دهد. می‌خواهیم با استفاده از SPICE مشخصه انتقالی ولتاژ این گیت منطقی یعنی v_{OR} و v_{NOR} را بر حسب v_A که ورودی پایانه A است، به دست آوریم. در این تحلیل پایانه ورودی دیگر با اعمال ولتاژ $v_B=V_{OL}=-۱/۷۷V$ غیر فعال می‌شود.

بدون داشتن مقادیر پارامترهای مدل SPICE برای BJT که در عمل مورد استفاده قرار می‌گیرد، که ECL موجود تجاری است، مقادیر پارامتری را انتخاب می‌کنیم که نمایندهٔ تکنولوژی به کار رفته است، و از روی تجربه و آزمایش، نتایج شبیه‌سازی با آنچه در عمل توسط سازندگان ارائه می‌شود، همخوانی دارد. لازم به تذکر است که این مسئله توسط طراح IC که از SPICE بعنوان یک ابزار کمکی استفاده می‌کند در نظر گرفته نمی‌شود. در واقع طراح دسترسی کامل به پارامترهای پردازشی اختصاصی و پارامترهای مدل قطعه دارد. در هر صورت در شبیه‌سازی‌هایی که ما انجام می‌دهیم، از پارامترهای زیر برای BJT استفاده می‌کنیم.

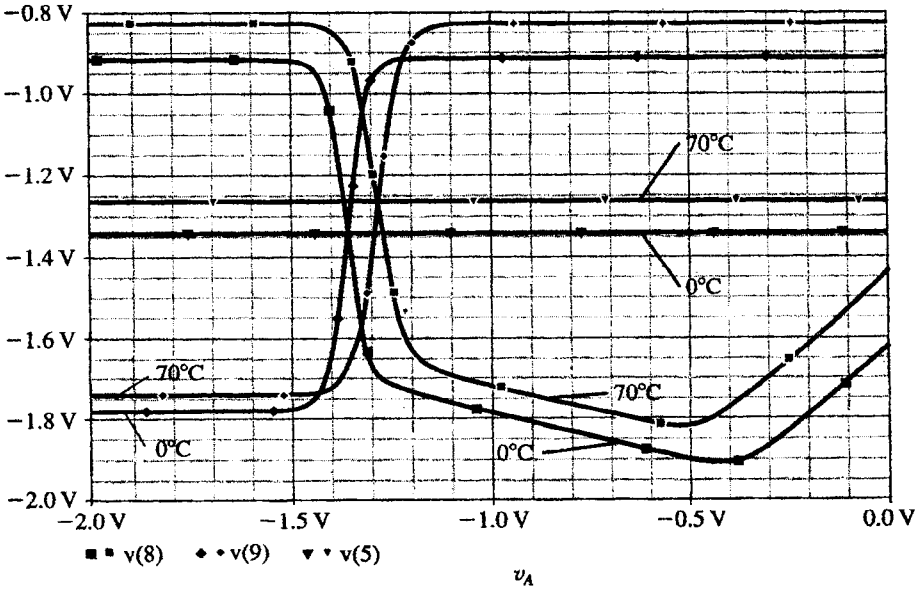
$C_{je}=۱pF$ ، $\tau_F=۰/۱ns$ ، $\beta_R=۱$ ، $\beta_F=۱۰۰$ ، $I_s=۰/۲۶fA$

$|V_A|=۱۰۰V$ و $C_{jc}(C_\mu)=۱/۵pF$

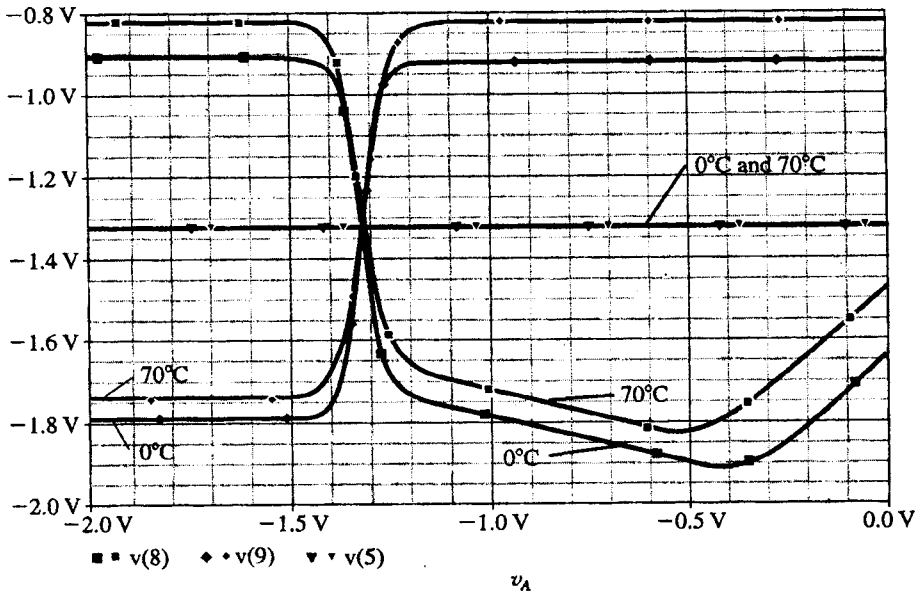
فایل ورودی SPICE در این مثال در ضمیمه ت آورده شده است. اولین گام تحلیل، تغییر ورودی v_A در گسترده ۲V- تا صفر ولت با افزایش ده میلی ولتی، و رسم v_{OR} و v_{NOR} نسبت به v_A می‌باشد. نتایج در شکل (۵۶-۱۴) نشان داده شده است که شبیه VTC هایی است که بصورت دستی در بخش (۶-۱۴) به دست آورده‌ایم. دو مشخصه انتقالی تقریباً در ولتاژ ورودی ۱/۳۲V- متقارن هستند.



شکل ۵۶-۱۴. مشخصه‌های انتقالی ولتاژ I/O خروجی‌ها OR و NOR برای گیت ECL شکل (۵۴-۱۴) که توسط SPICE محاسبه شده است. ولتاژ مرجع، $V_R = -۱/۳۲V$ نیز نشان داده شده است.



(الف)



(ب)

شکل ۵۷-۱۴. مقایسه مشخصه‌های انتقالی ولتاژ I/O خروجی‌های OR و NOR گیت شکل (۵۴-۱۴) با ولتاژ مرجع V_R که با استفاده از دو روش تولید شده است: (الف) شبکه بایاس با جبران‌سازی حرارتی (ب) منبع ولتاژ مستقل از درجه حرارت

SPICE نشان می‌دهد که ولتاژ V_R در بیس ترانزیستور مرجع Q_R دقیقاً این مقدار را دارد، که معادل همان مقداری است که با تحلیل دستی مدار مولد ولتاژ مرجع به دست آورده‌ایم.

استفاده از امکان Probe در PSPICE (یا امکانات مشابه در سایر مشخصه‌های SPICE)، می‌توان مقادیر پارامترهای مهم VTC را تعیین کرد. مقادیر زیر به دست آمده‌اند.

خروجی OR:

$V_{OL} = -۱/۷۷$ V و $V_{OH} = -۰/۸۸$ V و $V_{IL} = -۱/۴۱$ V

$V_{IH} = -۱/۲۲$ V و $NM_H = ۰/۳۳۹$ V و $NM_L = ۰/۳۵۸$ V

خروجی NOR:

$V_{OL} = -۱/۷۸$ V و $V_{OH} = -۰/۸۷۹$ V و $V_{IL} = -۱/۴۱$ V

$V_{IL} = -۱/۲۲$ V و $NM_H = ۰/۳۴۵$ V و $NM_L = ۰/۳۷۷$ V

این مقادیر نزدیک به مقادیری هستند که در تحلیل دستی در بخش ۶-۱۴ به دست آمد.

حال، می‌خواهیم وابستگی دمایی مشخصه‌های انتقالی را بررسی نماییم. این عمل را بصورت دستی در مثال (۲-۱۴) انجام دادیم. در این جا توسط SPICE، VTCها را در دو درجه حرارت صفر و ۷۰°C در دو حالت مختلف به دست می‌آوریم (VTCهای نشان داده شده در شکل (۵۶-۱۴) در دمای ۲۷°C می‌باشد): در حالت اول با V_R شکل (۵۶-۱۴) و در حالت دوم با حذف مدار ولتاژ مرجع و اعمال ولتاژ مرجع مستقل از درجه حرارت و ثابت ۱/۳۲V− به بیس Q_R. نتایج تحلیل در شکل (۵۷-۱۴) نشان داده شده است. نمودارهای شکل (الف ۵۷-۱۴) برای مدار مرجع و شکل (ب ۵۷-۱۴) برای ولتاژ مرجع ثابت رسم شده‌اند. در شکل (الف ۵۷-۱۴)، با تغییر درجه حرارت و V_R، مقادیر V_{OH} و V_{OL} نیز تغییر می‌کنند. اما هنوز نسبت‌به V_R متقارن می‌باشند. به عبارت دیگر حاشیه‌های نویز بالا و پایین

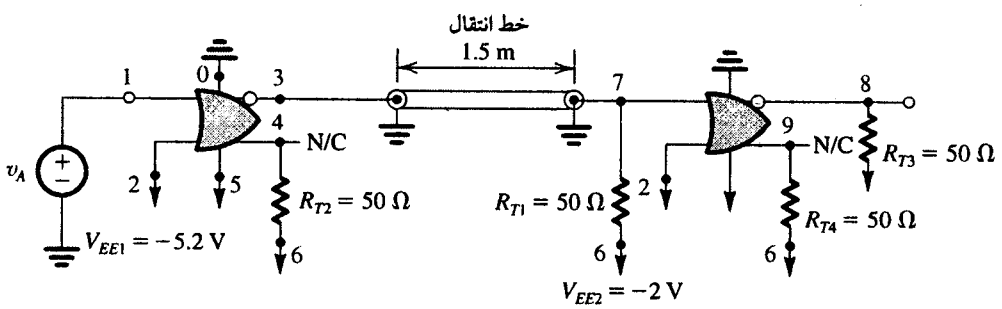
جدول ۲-۱۴. مقادیر پارامتر یک گیت ECL با جبران سازی حرارتی و بدون آن، در دو دمای مختلف که توسط SPICE محاسبه شده است.

دما	پارامتر	با جبران سازی حرارتی		بدون جبران سازی حرارتی	
		OR	NOR	OR	NOR
0C	V_{OL}	-۱/۷۷۹V	-۱/۷۷۹V	-۱/۷۸۶V	-۱/۷۹۹V
	V_{OH}	-۰/۹۱۴۲V	-۰/۹۰۹۲V	-۰/۹۱۴۲V	-۰/۹۰۹۲V
	$V_{avg} = \frac{V_{OL}+V_{OH}}{۲}$	-۱/۳۴۶۶V	-۱/۳۵۴۱V	-۱/۳۵۰۱V	-۱/۳۵۴۱V
	V_R	-۱/۳۴۵V	-۱/۳۴۵V	-۱/۳۲V	-۱/۳۲V
	$\lvert V_{avg} - V_R \rvert$	۱/۶mV	۹/۱mV	۳۰/۱mV	۳۴/۱mV
۷۰C	V_{OL}	-۱/۷۴۲V	-۱/۷۵۹V	-۱/۷۲۹V	-۱/۷۵۹V
	V_{OH}	-۰/۸۳۳۸V	-۰/۸۲۸۵V	-۰/۸۳۳۸V	-۰/۸۲۸۵V
	$V_{avg} = \frac{V_{OL}+V_{OH}}{۲}$	-۱/۲۸۸V	-۱/۲۹۴V	-۱/۲۸۱۴V	-۱/۲۹۴V
	V_R	-۱/۲۷۱V	-۱/۲۷۱V	-۱/۳۲V	-۱/۳۲V
	$\lvert V_{avg} - V_R \rvert$	۱۷mV	۲۳mV	۳۸mV	۲۶/۲mV

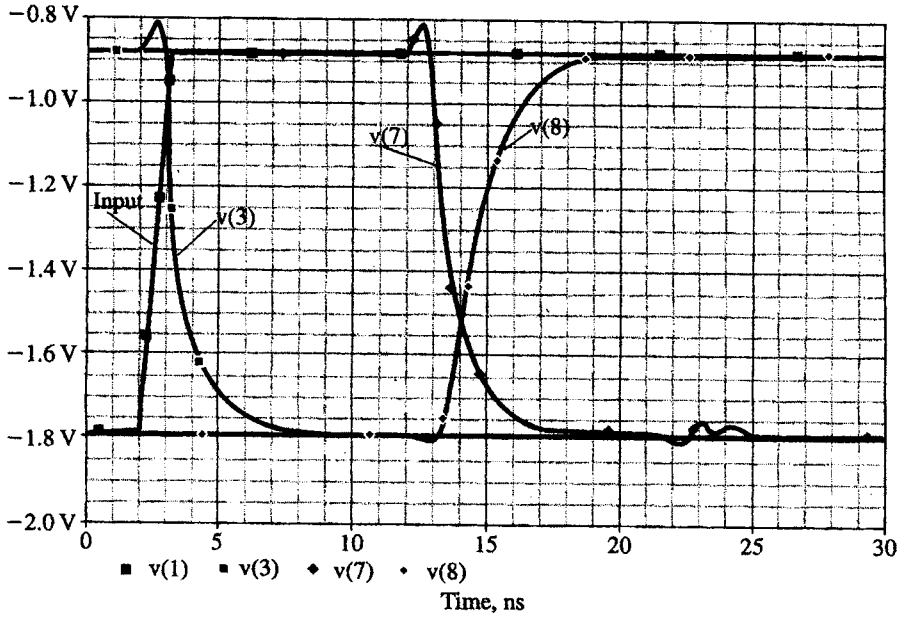
تقریباً مساوی باقی می‌مانند. چنانچه در بخش (۶-۱۴) و تحلیل مثال (۲-۱۴) تشریح شد، این امر ایدهٔ اساسی نهفته در وابستگی حرارتی V_R است. هنگامی که V_R به درجه حرارت وابسته نباشد، مطابق شکل (ب ۵۷-۱۴)، V_{OL}، V_{OH} حول V_R حفظ نمی‌شود. در جدول (۲-۱۴) برخی از مقادیر به دست آمده نمایش داده شده است. در حالت جبران حرارتی، مقدار متوسط V_{OL} و V_{OH} خیلی نزدیک به V_R باقی می‌مانند. توصیه می‌کنیم این نتایج را با نتایج مثال (۲-۱۴) مقایسه نمایید.

عملکرد گذرای گیت ECL با استفاده از شکل (۵۸-۱۴) به دست می‌آید. در این جا دو گیت با یک کابل هم محور ۱/۵ متری که دارای امپرانس مشخصه $Z_0 = ۵۰\ \Omega$ است، متصل شده‌اند. سرعت انتشار سیگنال‌ها در طول این کابل (چنانچه بطور مناسب ختم شده باشد)، نصف سرعت نور یعنی ۱/۵cm/ns است. بدین ترتیب می‌توانیم انتظار داشته باشیم که یک کابل ۱/۵ متری، ۱۰ns تأخیر داشته باشد. دقت کنید که در این مدار [شکل (۵۸-۱۴)]، مقاومت R_{T1} شرایط ختم مناسب را فراهم می‌کند. کابل، بدون افت فرض می‌شود و در SPICE با جمله خط انتقال معرفی می‌شود. فایل ورودی SPICE در ضمیمه ت آمده است. یک پله ولتاژ که از ۱/۷۷V- تا ۰/۸۸۴V- در مدت ۱ns بالا می‌رود، به ورودی اولین گیت اعمال می‌شود و می‌خواهیم تحلیل گذرا در بازهٔ زمانی ۳۰ns را انجام دهیم.

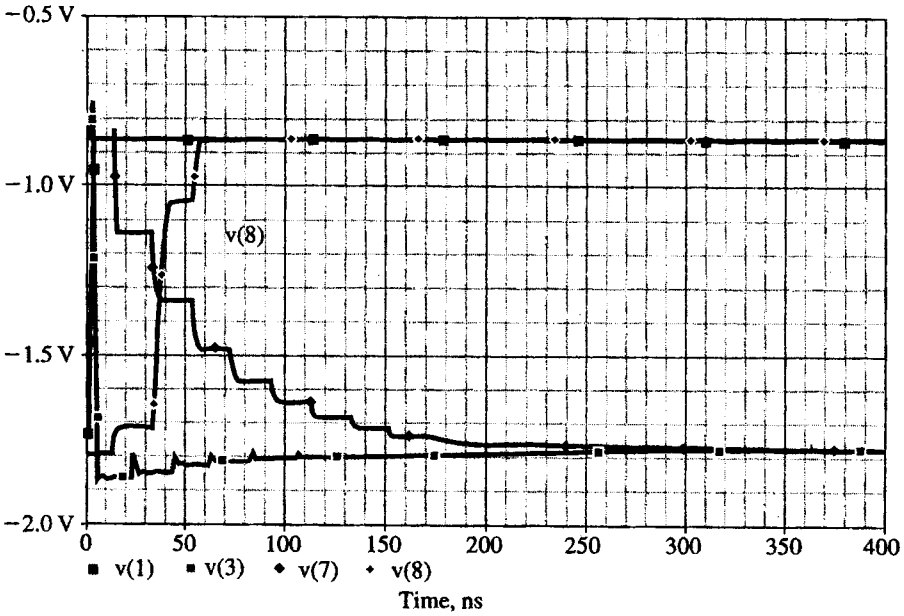
نمودارهای شکل موج ورودی، ولتاژ ورودی گیت دوم و خروجی در شکل (۵۹-۱۴) نشان داده شده است. توجه کنید که شکل موج‌ها، علیرغم سرعت بالا در لبه‌ها، شکل موج‌هایی تمیز و عاری از تداخل حلقوی و بازتابی هستند. این نکته از آن جهت قابل توجه است که سیگنال باید مسافت زیادی را طی کند. تحلیل دقیق نشان می‌دهد که تأخیر در طول کابل واقعاً ۱۰ns و در گیت دوم تقریباً ۱/۰۶ns است.



شکل ۵۸-۱۴. آرایش مداری برای بررسی عملکرد گذرای ECL. دو گیت از طریق یک کابل هم محور ۱/۵ متری به یکدیگر متصل شده‌اند. مقاومت $R_{T1}(۵۰\Omega)$ امکان ختم مناسب را برای کابل هم محور فراهم می‌کند.



شکل ۵۹-۱۴. پاسخ گذرای دو گیت ECL که از طریق کابل هم محور ۱/۵ متری دارای امپدانس مشخصه ۵۰Ω به یکدیگر متصل شده‌اند (شکل ۵۸-۱۴ را ببینید)



شکل ۶۰-۱۴. پاسخ گذرای دو گیت که از طریق کابل هم محور ۱/۵ متری دارای امپدانس مشخصه ۳۰۰Ω به یکدیگر متصل شده‌اند. مقاومت انتهایی در این حالت همان ۵۰Ω است. به تغییر مقیاس زمانی نمودار توجه کنید.

سرانجام برای تأیید نیاز به ختم شدن مناسب خط انتقال، تحلیل گذرا مجدداً انجام می‌شود، در مرتبه دوم، به جای کابل هم محور ۵۰Ω از کابل زوجی ۳۰۰Ω با همان مقاومت ختم شده استفاده می‌شود. نتیجه، کند شدن صعود و نزول و تأخیر طولانی شکل موج‌هاست که در شکل (۶۰-۱۴) نشان داده شده است. (به تغییر مقیاس ترسیم توجه کنید).

خلاصه

- قبل از اینکه یک ترانزیستور اشباع شده شروع به خاموش شدن نماید بایستی بارهای ذخیره شده در بیس آن از بین برود. برای کوتاه کردن زمان ذخیره شده می‌توان با امکان پذیر ساختن جریان معکوس بیس از اشباع عمیق ترانزیستور جلوگیری کرد. در سرعتهای بالا باید از اشباع جداً اجتناب شود.
- منطق ترانزیستور- ترانزیستور (TTL) از منطق دیود ترانزیستور (DTL) به دست آمده است.
- گیت TTL شامل سه بخش است: طبقه ورودی که وظیفه AND را انجام داده و از ترانزیستور چند امیتری (در TTL استاندارد) یا دیودهای شاتکی (در انواع جدید TTL) بهره می‌برد؛ تقسیم کننده فاز، که زوجهای سیگنال متمم را برای راه‌اندازی طبقه خروجی تولید می‌کند؛ و طبقه خروجی که از آرایش totem−pole بهره برده و موجب وارون سازی منطقی می‌شود. گیت اساسی بر اساس تابع NAND پیاده سازی می‌شود.
- در TTL استاندارد هنگامی که ورودی گیت به حالت پایین می‌رود. ورودی ترانزیستور چند امیتری در حالت فعال عادی عمل می‌کند و جریان کلکتور زیادی را برای تخلیه سریع بیس از بارهایی که بعلت تقسیم فاز به وجود آمده‌اند فراهم می‌کند.

- طبقه خروجی totem–pole شامل یک ترانزیستور امیتر مشترک که می‌تواند جریان زیادی کشیده و خازن بار را بسرعت تخلیه کند و یک امیتر پیرو که می‌تواند جریان زیادی برای بار فراهم کرده و آن را سریعاً شارژ کند، می‌باشد.
- برای افزایش سرعت TTL ، از اشباع ترانزیستورها جلوگیری می‌شود. می‌توان با اتصال یک دیود شاتکی بین بیس و کلکتور این امر را امکان پذیر ساخت. دیودهای شاتکی از پیوندهای فلز به نیمه هادی بهره برده و افت ولتاژ مستقیم آنها کم است. دیود شاتکی مقداری از جریان راه‌انداز بیس را می‌کشد و بنابراین از اشباع آن جلوگیری می‌کند.
- عالی‌ترین مدارهای TTL ، TTL شاتکی پیشرفته می‌باشند، که دارای $t_P = ۱/۵$ns ، $P_D = ۲۰$mW و $DP = ۳۰$pJ هستند و نیز TTL شاتکی کم مصرف پیشرفته که دارای $t_p = ۴$ns ، $P_D = ۱$mW و $DP = ۴$pJ می‌باشند.
- منطق تزویج امیتری (ECL) سریعترین خانوادهٔ مدار منطقی است. با بهره‌گیری از نوسان‌های سیگنال منطقی کوچک برای اجتناب از اشباع ترانزیستور، این سرعت به دست می‌آید.
- در ECL سیگنالهای ورودی جریان بایاس ثابتی را بین ترانزیستور مرجع و ترانزیستور ورودی اعمال می‌کنند که در آرایش گیت اساسی از نوع تقویت کنندهٔ تفاضلی می‌باشد.
- دو نوع ECL مشهور داریم: ECL ۱۰K ، دارای $t_p = ۲$ns ، $P_D = ۲۵$ mW و $D_P = ۵۰$pJ و ECL ۱۰۰ K ، دارای $t_p = ۰/۷۵$ ns ، $D_P = ۳۰$pJ ، $P_D = ۴۰$mW. استفاده از ECL۱۰K راحت‌تر است چون زمانهای صعود و نزول سیگنالهای آن عمداً زیاد طراحی شده است. (حدود ۳/۵ ns)
- بعلت سرعت خیلی زیاد ECL ، بایستی در اتصال خروجی یک گیت به ورودی گیت دیگر دقت کرد. معمولاً از تکنیکهای خطوط انتقال استفاده می‌شود.
- طراحی گیت ECL بهینه است به نحوی که حاشیه‌های نویز، مساوی بوده و با تغییرات درجه حرارت نیز، مساوی باقی می‌مانند.
- در گیت ECL امکان استفاده از دو خروجی مکمل فراهم شده است که با آن می‌توان توابع NOR و OR را تحقق داد.
- می‌توان خروجی‌های گیت‌های ECL را برای تحقق تابع OR متغیرهای خروجی مجزا به یکدیگر متصل کرد.
- BiCMOS ، مصرف کم و حاشیه‌های نویز گستردهٔ CMOS را با قابلیت جریاندهی بالا و تأخیر گیت پایین BJT ها ترکیب می‌کند و تکنولوژیی فراهم می‌آورد که می‌توان با استفاده از آن مدارهای کم مصرف، سریع و فشرده VLSI را که در وظایف آنالوگ مورد استفاده قرار می‌گیرند، پیاده‌سازی نمود.
- در تکنولوژی GaAs ، سرعت بسیار بالا و تأخیر گیت در حدود ۱۰ تا ۱۰۰ پیکو ثانیه، اما توان مصرفی قدری زیاد است (۱ تا ۱۰ میلی‌وات برای هر گیت). این امر میزان فشرده‌سازی را به LSI محدود می‌کند و زمینه‌های کم تولید، قیمت هر گیت را افزایش می‌دهد.
- در منطق FET تزویج شده مستقیم (DCFL) از MESFET های افزایشی استفاده می‌شود. نوسان ولتاژ خروجی بعلت هدایت گیت به ۰/۷V محدود می‌شود. در مدارهایی که از MESFET های تهی استفاده می‌کنند، حاشیه‌های نویز پهن‌تر می‌باشد، اما این امر نیاز به مدار انتقال سطح و دو منبع تغذیه دارد.

مسائل

بخش ۱-۱۴: BJT بعنوان عنصر مدار دیجیتال

۱-۱۴ یک BJT که برای آن ثابت زمانی ذخیره، ۱۰ ns و $\beta = ۵۰$ است، در مداری که $I_{C\text{اشباع}} = ۱۰$ mA و جریان روشن شدن بیس $I_{B۲} = ۲$ mA است، کار می‌کند. تأخیر ذخیره شدن را در شرایطی که جریان خاموش شدن بیس، $I_{B۱}$ مطابق حالات زیر باشد، به دست آورید.
(الف) صفر میلی آمپر (ب) ۱ mA (پ) ۲ mA

۲-۱۴ با استفاده از نتایج تمرین (۱-۱۴) ، $(C_{je} + C_\mu)$ را برای BJT در مداری که $V_۱ = ۰$V ، $V_۲ = ۳$V ، $R_B = ۱$kΩ و $t_d = ۳$ns است، پیدا کنید فرض کنید $r_x = ۵۰$Ω باشد.

۳-۱۴ یک BJT در مدار شکل (۱-۱۴) با $R_B = ۱$kΩ ، $R_C = ۱$kΩ ، $V_{CC} = V_۲ = ۳$V و $V_۱ = ۰$V و $V_{CE\text{اشباع}} \approx ۰$V و تأخیر ذخیره ۱۰ns کار می‌کند. اگر $V_{CC} = V_۲$ به ۵ ولت افزایش یابد، تأخیر ذخیره چقدر خواهد بود؟ فرض کنید $V_{BE} = ۰/۷$V و $\beta = ۵۰$ باشد.

۴-۱۴ یک ترانزیستور با $\beta = ۱۰۰$ و ثابت زمانی ذخیرهٔ ۲۰ ns با جریان کلکتور ۱۰ mA و جریان بیس واداشتهٔ ۱۰ mA کار می‌کند. در این شرایط بار اشباع بیس چقدر است؟ اگر جریان راه‌انداز بیس به ۱ mA کاهش یابد بار اشباع بیس چقدر می‌شود؟ در هر دو حالت زمان ذخیره را با فرض اینکه جریان خاموشی بیس ۰/۱ mA باشد به دست آورید.

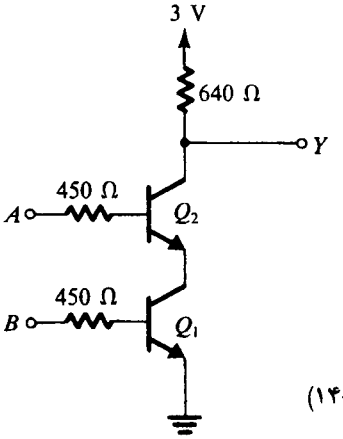
بخش ۲-۱۴: شکلهای نخستین مدارهای دیجیتال BJT

۵-۱۴ در این مسأله می‌خواهیم نقاط بحرانی مشخصه انتقال ولتاژ و بنابراین حاشیهٔ نویز گیت RTL NOR شکل (۴-۱۴) را به دست آوریم. حالتی را درنظر بگیرید که $v_B = ۰$ V ، و بنابراین Q_B خاموش است. مشخصه انتقالی ولتاژ، v_Y به v_A است. بدین منظور فرض کنید ترانزیستور دارای $V_{BE} = ۰/۷$ V در $i_C = ۱$ mA ، $\beta_F = ۵۰$ و $\beta_R = ۰/۱$ بوده و دقت کنید (۱) برای V_{OH} در تمرین (۲-۱۴) تحت شرایط تعداد راه‌اندازی $N = ۵$ مقدار ۱ V به دست آمده است و (۲) V_{IL} مقدار v_A در آستانه هدایت Q_A است. آن را تقریباً ۰/۶ V فرض کنید.
(الف) V_{IH} مقدار v_A در حالت اشباع Q_A است و $\beta_F/۲$=واداشته β می‌باشد. با استفاده از معادله (۱۱۴-۴) $V_{CE\text{اشباع}}$ را محاسبه کنید. سپس I_C ، V_{BE} ، I_B و V_{IH} را به دست آورید.
(ب) $V_{CE\text{اشباع}} = V_{OL}$ می‌باشد که در حالت $v_A = V_{OH} = ۱$ V به دست آمده است. مقدار V_{OL} را به دست آورید.
(پ) مشخصه انتقالی ولتاژ را رسم کنید.
(ت) NM_H و NM_L را محاسبه کنید.

۶-۱۴ گیت RTL نشان داده شده در شکل (۴-۱۴) را درنظر بگیرید.
(الف) جریان کشیده شده از تغذیه dc را در حالت $v_Y = V_{OL} = ۰/۱$ به دست آورید. سپس توان تلف شده در گیت را در این حالت به دست آورید (از توان تلف شده در اثر راه‌اندازی بیس BJT ها صرفنظر کنید.)
(ب) اگر ترانزیستور در حالت خاموش بوده و گیت، گیتهای دیگری را راه‌اندازی کند طوری که $V_Y = V_{OH} = ۱$ V باشد، جریان کشیده شده از تغذیه dc و توان اتلافی در گیت را در این حالت به دست آورید.

(پ) با استفاده از نتایج (الف) و (ب) توان متوسط تلف شده گیت RTL، را به دست آورید.
(ت) اگر تأخیر انتشار گیت RTL، ۱۰ns باشد حاصلضرب توان تأخیر را به دست آورید.

۱۴-۷ نحوه کار منطقی مدار شکل (م ۷-۱۴) چگونه است؟



شکل (م ۷-۱۴)

۱۴-۸ مدار شکل (۵-۱۴) را در نظربگیرید. اگر V_{CC} = ۵ V ، $R_C=R_B=1k\Omega$ ، V_{CE} اشباع = ۰/۱ V و V_{BE} = ۰/۷ V باشد سطوح ولتاژ Q و $\bar{Q}$ هنگامیکه ورودی‌های R و S غیرفعال اما در یک بازه زمانی S در وضعیت بالا و R در وضعیت پایین باشد، چقدر هستند؟

۱۴-۹ برای گیت DTL شکل (۶-۱۴) که عملکرد آن در متن گفته شده است، V_{OH} ، V_{OL} ، V_{IL} ، V_{IH} و حاشیهٔ نویز را به دست آورید. فرض کنید افت ولتاژی روی پیوندهای در حال هدایت ۰/۷ V باشد. V_{IL} می‌تواند بعنوان ولتاژ ورودی آستانه هدایت Q در نظر گرفته شود (V_{BE} به ۰/۵V می‌رسد) و V_{IH} مقدار ولتاژ ورودی است که ولتاژ روی دیود ورودی به ۰/۵V برسد. برای پیدا کردن V_{OL} ، واداشته β را محاسبه کرده با استفاده از معادله (۴-۱۱۴) ، اشباع V_{CE} را به دست آورید. فرض کنید β_F=۵۰ و β_R=۰/۱ باشد.

۱۴-۱۰ برای گیت DLT شکل (۶-۱۴) جریان کل هر یک از تغذیه‌ها و اتلاف توان گیت را در دو حالت v_Y بالا و v_Y در حالت پایین به دست آورید. سپس توان متوسط تلف شده در گیت DTL را پیدا کنید.

ط ۱۴-۱۱ با استفاده از روش عمومی پیشنهاد شده برای گیت DTL NAND دو ورودی شکل (۶-۱۴) مداری (با استفاده از یک ترانزیستور و دیود و مقاومت رسم کنید که تابع $Y = \overline{AB + CD}$ را شبیه‌سازی کند.

بخش ۳-۱۴: منطق ترازیستور - ترانزیستور (T^2L یا TTL)

ط ۱۴-۱۲ گیت DTL شکل (۷-۱۴) را درحالتی که خروجی در وضعیت پایین بوده و گیت، N گیت مشابه را راه‌اندازی در نظر بگیرید. فرض کنید Q_3 دارای β_F = ۵۰ و β_R = ۰/۱ باشد. با استفاده از نتایج تمرین (۴-۱۴) مقادیر زیر را تعیین کنید.
(الف) ولتاژ خروجی در حالت N = ۰
(ب) بیشترین تعداد گیت N که می‌توان توسط این گیت راه اندازی کرد به شرطی که ولتاژ خروجی از دو برابر مقدار به دست آمده در (الف) بیشتر نشود.

***۱۴-۱۳** درگیت DTL شکل (۷-۱۴) فرض‌کنید β = ۱۰۰ و $V_{BE}=V_D$= ۰/۷V باشد جریان تغذیه بیس Q_3 هنگامی که v_I به حالت بالا می‌رود به دست آورید. هنگامی که v_I به حالت پایین می‌رود مقدار جریان معکوس که در بیس Q_3 برقرار می‌شود تا آن را از حالت اشباع خارج کند چقدر است؟ اگر τ_s = ۱۰ ns باشد تاخیر ذخیره t_s را با استفاده از معادلهٔ (۳-۱۴) محاسبه کنید.

ط*۱۴-۱۴ درمدار شکل (۷-۱۴) کمترین مقدار β برای Q_2 و Q_3 (که فرض می‌شود کاملاً یکسانند) که اشباع Q_3 را با ضریب فرا راه‌انداز ۵ تضمین کند، چقدر است؟ فرض کنید $V_{BE}=V_D$= ۰/۷ V و V_{CE} اشباع= ۰/۲ V باشد (بخاطر آورید که ضریب فراراه‌انداز، نسبت جریان بیس به کمترین جریان بیس لازم برای اشباع ترانزیستور است).

۱۴-۱۵ طبقه خروجی گیت DTL را شامل یک ترانزیستور با β_F=۵۰ و β واداشته=۱۰، مقاومت بار ۲ kΩ متصل به تغذیه ۵ V+ در نظر بگیرید. اگر ظرفیت خازنی بار ۱۰ pF باشد زمان صعود نزول ۱۰% تا ۹۰% شکل موج ولتاژ خروجی را به دست آورید. فرض کنید V_{CE} اشباع= ۰/۲ V باشد.

۱۴-۱۶ مدار شکل ۹-۱۴ را با تغذیه ۵ V، R=۴ kΩ ، R_C=۲ kΩ ، V_{BE}=۰/۷ V ، V_{CE} اشباع (Q_3) ≅ ۰/۲ V ، β_F=۲۰ و β_R=۰/۱ در نظر بگیرید. جریان ورودی در حالت بالا (مساوی یا بیشتر از ۱/۴ V چقدر است؟ با ورودی حالت پایین (۰/۲ V) چقدر؟ برای راه اندازی چه تعداد گیت مدار مشابه V_{OH} باید ۲ V کاهش یابد؟

۱۴-۱۷ مدار شکل (۹-۱۴) را با V_{CC}=۳ V ، R=۳ kΩ و R_C=۱kΩ در حالتی که ورودی آن به آرامی از صفر ولت شروع به افزایش می‌کند در نظر بگیرید اگر برای Q_1، V_{CE} اشباع=۰/۱ V بوده و Q_3 با V_{BE}=۰/۶ V روشن شود، در چه مقداری از ولتاژ ورودی Q_3 شروع به هدایت می‌کند؟ این مقدار تخمین خوبی برای V_{IL} است.

۱۴-۱۸ یک نوع گیت T^2L در شکل (۱۹-۱۴) را در حالتی که مقاومتهای آن سه برابر شده در نظر بگیرید. برای ورودی حالت «بالا» ، ولتاژ همه گره‌ها و جریان همه شاخه‌ها را با β_F=۳۰ ، β_R=۰/۰۱ ، V_{BE}=۰/۷V و بار ۱ kΩ متصل به تغذیه ۵ V تخمین بزنید.

***۱۴-۱۹** تحلیل مدار مسأله (۱۸-۱۴) را با ورودی حالت پایین (۰/۲ V+) و مقاومت ۱ kΩ متصل شده بین خروجی و زمین تکرار کنید.

***۱۴-۲۰** خروجی دو گیت TTL از نوع گفته شده در مسئله (۱۸-۱۴)، یکی با ورودی بالا و دیگری با ورودی «پایین» بطور تصادفی به یکدیگر متصل شده‌اند. ولتاژ خروجی چقدر است؟ در حالت اتصال کوتاه جریان چقدر است؟

***۱۴-۲۱** یک ترانزیستور با β_F=۵۰ ، β_R=۵ بعنوان Q_3 در شکل (۲۰-۱۴) به کار رفته است. برای جریان بیس ۲/۵ mA ، V_{CE} اشباع در جریانهای ۱۰۰ mA و ۱۰ و ۱ و ۰ = i_L چقدر است؟ R_{CE} اشباع را در جریانهای ۰/۵، ۵ و ۵۰ mA تخمین بزنید.

۱۴-۲۲ مدار خروجی گیت شکل (۲۲-۱۴) را در نظر بگیرید. ولتاژ خروجی هنگامی که جریان خروجی ۲mA است، چقدر است؟ مقاومت

خروجی (سیگنال کوچک) در این سطح جریان چقدر است. از $\beta=50$ استفاده کنید.

۱۴-۲۳ مدار خروجی گیت شکل (۱۴-۲۲) را با $\beta = \infty$ و $V_{CE\text{اشباع}}=0/2V$ در نظر بگیرید. اشباع Q_4 در چه جریان خروجی اتفاق می‌افتد. برای $\beta=20$ در چه جریانی؟

۱۴-۲۴ اگر خروجی مدار شکل (۱۴-۲۲) به زمین اتصال کوتاه شود جریان چقدر است؟ فرض کنید β زیاد، $V_{CE\text{اشباع}} = 0/2$ V و $V_{BE}=V_D=0/7V$ باشد. کمترین مقدار β که تحلیل شما می‌تواند داشته باشد چقدر است؟

بخش ۴-۱۴: مشخصه‌های TTL استاندارد

ط ۱۴-۲۵ برای گیت TTL که مشخصه انتقال آن در شکل (۱۴-۲۳) نشان داده شده، R_2 را به ۰/۵ kΩ و ۲ kΩ تغییر دهید. مشخصه‌های مدار اصلی و مدارهای اصلاح شده را بطور کامل رسم کنید. کدامیک را ترجیح می‌دهید؟ چرا؟ عیب افزایش مقاومت R_2، بالا رفتن تاخیر ذخیرهٔ گیت می‌باشد.

***۱۴-۲۶** مدار شکل (۱۴-۲۳) را با مقاومت ۲۰۰ Ω متصل شده بین خروجی و ورودی، برای بایاس مدار وارونگر در ناحیه خطی‌اش، در نظر بگیرید.

(الف) با انجام تحلیل dc روی مدار همه ولتاژها و جریانها را تعیین کنید. فرض کنید Q_1 با $V_{CE\text{اشباع}} \cong 0/1$ V اشباع شده و همه ترانزیستورها با $\beta=50$ و $V_{BE}=0/7$ V در حالت فعال باشند. (توجه کنید که Q_4 در حالت فعال باقی می‌ماند حتی اگر ولتاژ کلکتور آن تنها کمی پایینتر از ولتاژ بیس باشد).

(ب) با استفاده از مدل ساده T برای هر ترانزیستور فعال مقدار تقریبی بهره ولتاژ سیگنال کوچک وارونگر را به دست آورید.

۱۴-۲۷ با استفاده از اطلاعات جوابهای تمرین (۱۴-۱۱) حاشیهٔ نویز گیت T^2L را در ۵۵°C− و ۱۲۵°C+ به دست آورید.

۱۴-۲۸ تحلیل مدار گیت TTL شکل (۱۴-۲۳)، هنگامی که v_O در وضعیت پایین است، نشان می‌دهد که جریان بیس Q_3 در ۵۵°C−، ۲۵°C+، ۱۲۵°C+ بترتیب، ۲/۲ mA، ۲/۶ mA و ۳ mA است. اگر در این سه درجه حرارت، β_F برای Q_3، ۱۳، ۲۰ و ۲۵ باشد، بیشترین جریانی را که خروجی گیت می‌تواند تامین کند در هر سه درجه حرارت و در حالی که Q_3 در حالت اشباع است به دست آورید.

ط ۱۴-۲۹ یک طراح، امکان بالابردن آستانه ورودی گیت TTL شکل (۱۴-۲۳) را با اضافه کردن دو دیود یکی بصورت سری با امیتر Q_2 و دیگری بطور سری با D بررسی می‌کند. چرا دیود دوم لازم است؟ مشخصه انتقال را رسم کرده V_{OH}، V_{OL} V_{IH}، V_{IL} و حاشیهٔ نویز را پیدا کنید.

۱۴-۳۰ برای یک گیت NAND، TTL هشت ورودی مانند شکل (۱۴-۲۴)، Q_1 دارای $\beta_R=0/04$ می‌باشد. در حالی که همه ورودیها در وضعیت «بالا» هستند جریان اضافی که بعلت کار Q_1 در حالت وارونگر، در Q_2 برقرار می‌شود چقدر است؟

ط ۱۴-۳۱ بادنبال کردن مراحل گفته شده در شکل (۱۴-۲۶) مدار یک گیت NOR سه ورودی را رسم کنید.

۱۴-۳۲ با تحلیل مدار شکل (۱۴-۲۶) همه جریانها و ولتاژها را در سه حالت زیر به دست آورید:

(الف) $v_A=v_B=v_C=v_D= +5$ V

(ب) $v_A=v_C=v_D= +5$ V و $v_B=+0/2$ V

(پ) $v_A=v_C= +5$ V و $v_B=v_D= +0/2$ V

از $V_{BE}=0/7$ V و $V_{CE\text{اشباع}}=0/2$ V استفاده کنید.

ط ۱۴-۳۳ با استفاده از دو گیت NAND دو ورودی از نوع کلکتور باز و یک مقاومت مداری رسم کنید که تابع منطقی $Y = \overline{AB + CD}$ را شبیه‌سازی کند.

۱۴-۳۴ گیت سه حالتهٔ نشان داده شده در شکل (۱۴-۱۶ ت) را درحالتی که ولتاژ پایانه ورودی سه حالته آن از وضعیت «پایین» شروع به افزایش می‌کند در نظر بگیرید. ولتاژ لازم برای خاموش شدن Q_7 و در نتیجه راه‌اندازی Q_4 یا Q_3 از طریق مقاومت ۱/۶ kΩ و Q_2، چقدر است؟

بخش ۵-۱۴: خانوادهٔ TTL با عملکرد اصلاحی

۱۴-۳۵ یک ترانزیستور شاتکی که امیتر آن زمین شده در نظر بگیرید، بیس آن از طریق مقاومت ۱۰ kΩ به سیگنال ورودی ۵ V+ و کلکتور با مقاومت ۱ kΩ به منبع تغذیه ۵ V+ متصل شده است. فرض کنید $V_{BE}=0/8V$، ولتاژ دیود شاتکی، ۰/۵ V و $\beta=50$ باشد جریان بیس و کلکتور BJT اصلی و جریان دیود شاتکی را به دست آورید.

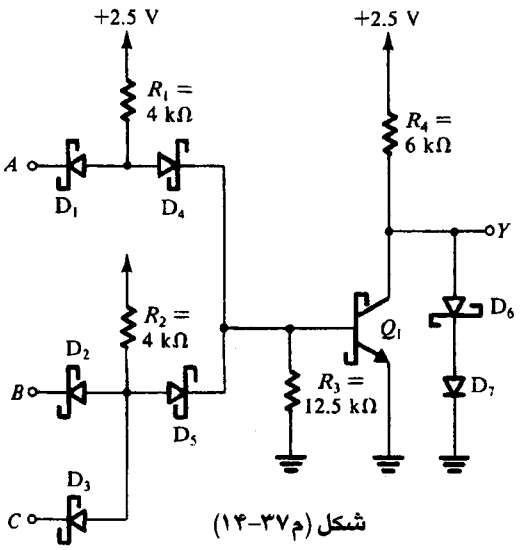
۱۴-۳۶ در گیت NAND، TTL شاتکی شکل (۱۴-۲۸) جریان خروجی اتصال کوتاه به زمین را در حالات زیر به دست آورید:

(الف) ورودیها در وضعیت «پایین»

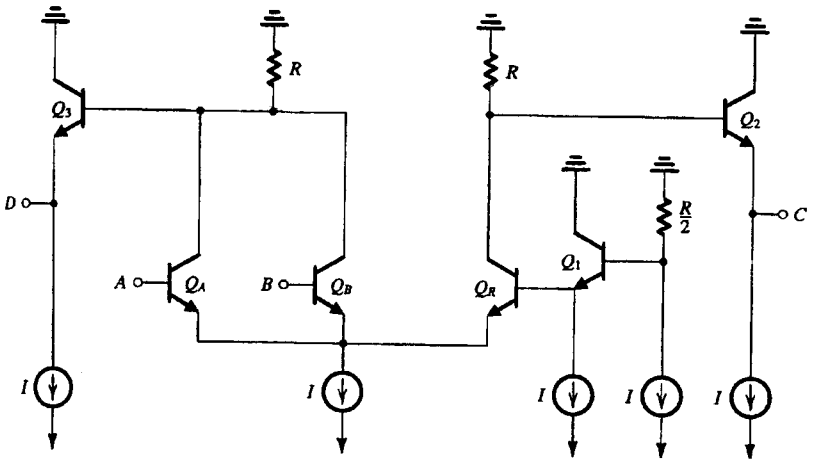
(ب) ورودیها در وضعیت «بالا»

فرض کنید $V_{BE}=0/8$ V و $V_D=0/5$ V باشد.

***۱۴-۳۷** BJT مدار شکل (م ۱۴-۳۷) در $v_{BE}=0/7$ V شروع به هدایت می‌کند و در $v_{BE}=0/8$ V در حال هدایت کامل است. دیود D_7 نیز همانطور است. روی دیودهای شاتکی ولتاژ ۰/۵ V افت می‌کند.



شکل (م ۱۴-۳۷)



شکل (م ۳۸-۱۴)

(الف) مدار چه عمل منطقی انجام می‌دهد؟
(ب) V_{OH} و V_{OL} را به دست آورید.
(پ) V_{IL} و V_{IH} را پیدا کنید.
(ت) حاشیه‌های نویز را به دست آورید.
(ث) جریان کشیده شده از منبع را در حالی که A و B در وضعیت «بالا» و C در وضعیت «پایین» است به دست آورید.

بخش ۶-۱۴ : منطق تزویج امیتری (ECL)

ط ۳۸-۱۴ درمدار ECL شکل (م ۳۸-۱۴) ترانزیستورها دارای $V_{BE}=0/75V$ در جریان امیتر I و β خیلی زیاد هستند.
(الف) V_{OH} و V_{OL} را به دست آورید.
(ب) در حالتی که ورودی B بقدری منفی است که Q_B خاموش باشد، چه ولتاژی در A باعث ایجاد جریان $I/2$ در Q_R می‌شود؟
(پ) قسمت (ب) را با جریان $0/99I$ برای Q_R تکرار کنید.
(ت) قسمت (پ) را با جریان $0/01I$ برای Q_R تکرار کنید.
(ث) با استفاده از نتایج (پ) و (ت)، V_{IL} و V_{IH} را مشخص کنید.
(ج) NM_H و NM_L را به دست آورید.
(چ) مقدار IR را که حاشیه نویز را مساوی پهنای ناحیه گذر، $V_{IH}-V_{IL}$ می‌کند به دست آورید.
(ح) با استفاده از IR به دست آمده در (ج) مقادیر عددی V_{OH}، V_{OL}، V_{IH} و V_{IL} را برای این گیت ECL محاسبه کنید.

***۳۹-۱۴** سه وارونگر منطقی بصورت حلقوی بهم وصلند. مشخصات این خانواده از گیتها دلالت بر نمونه تاخیر انتشار ۷ ns برای گذر از وضعیت پایین به بالا و ۳ ns برای گذر از وضعیت بالا به پایین دارد. فرض کنید به عللی ورودی یکی از گیتها از حالت پایین به حالت «بالا» می‌رود. با رسم شکل موج خروجی سه گیت و نگهداشتن گیتها در وضعیت‌های مربوطه نشان دهید مدار بصورت نوسان ساز کار می‌کند. فرکانس نوسان این **نوسان‌ساز حلقوی** چقدر است؟ در هر سیکل خروجی چه مدت در وضعیت بالا می‌باشد؟ در وضعیت پایین چه مدت؟

***۴۰-۱۴** با استفاده از نظریه نوسان‌ساز حلقوی مسأله (۳۹-۱۴) ترکیب یک حلقه را با ۵ وارونگر ECL ۱۰۰ K در نظر بگیرید. فرض کنید لبه‌های صعود و نزول وارونگرها خطی باشند (بنابراین شکل موجها به شکل ذوزنقه هستند). زمان صعود و نزول ۰ تا ۱۰۰% را ۱ ns و تاخیر انتشار (هر دو حالت) را نیز ۱ ns در نظر بگیرید. هر پنج سیگنال خروجی را بطور کامل رسم کنید. تغییر فاز مربوطه را نیز در نظر بگیرید. فرکانس نوسان چقدر است؟

***۴۱-۱۴** با استفاده از انعطاف مداری و منطق ECL که در شکلهای (۳۳-۱۴) و (۴۳-۱۴) به نمایش درآمده است. یک مدار منطقی ECL رسم کنید که کار OR انحصاری را انجام دهد، یعنی $Y = \bar{A}B + A\bar{B}$.

***۴۲-۱۴** درمدار شکل (۳۵-۱۴) که مشخصه انتقال آن در شکل (۳۶-۱۴) نشان داده شده، بهرهٔ ولتاژ افزایشی از ورودی به خروجی گیت OR، در نقاط m، x و y مشخصه انتقالی را به دست آورید. فرض کنید $\beta=100$ باشد. با استفاده از نتایج تمرین (۲۶-۱۴) و فرض اینکه خروجی در x، $-1/77$ V و در y، $-0/88$V باشد، استفاده کنید. راهنمایی: بخاطر آورید x و y با ۱% و ۹۹% تقسیم جریان توصیف می‌شوند.

۴۳-۱۴ درمدار شکل (۳۵-۱۴) که مشخصه انتقالی آن در شکل (۳۶-۱۴) رسم شده است، V_{IL} و V_{IH} را اگر x و y بصورت زیر توصیف شوند به دست آورید:
(الف) ۹۰% جریان I_E سوئیچ می‌شود.
(ب) ۹۹/۹% جریان I_E سوئیچ می‌شود.

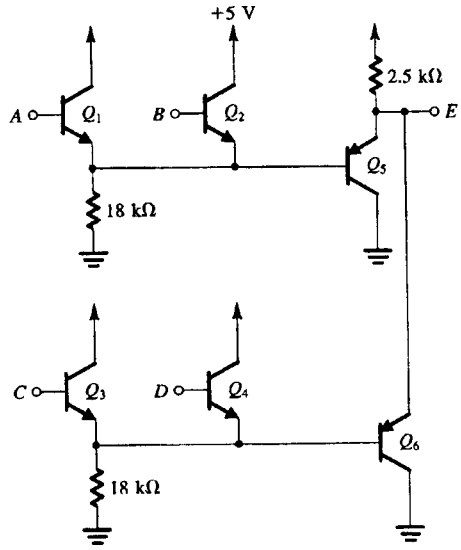
۴۴-۱۴ در مدار شکل (۳۵-۱۴) با بار متقارن و نمونهٔ سطوح سیگنال خروجی ($V_{OH} = -0/88$ V و $V_{OL}=-1/77$ V) توان تلف شده را دردو مقاومت بار R_T و پیروهای خروجی، به دست آورید. اتلاف توان یک گیت ECL منفرد شامل خروجی ختم شدهٔ متقارن چقدر است؟

۴۵-۱۴ مدار شکل (۳۷-۱۴) را در نظر بگیرید، مقدار β برای Q_2، که به ازای آن حاشیه نویز بالا (NM_H) ۵۰% کاهش یابد چقدر است؟

***۴۶-۱۴** یک گیت ECL که خروجی وارونگر آن به یک مقاومت ۵۰Ω ختم شده و به بار خازنی C متصل است در نظر بگیرید. همانطور که ورودی گیت افزایش پیدا می‌کند امیتر پیرو خروجی خاموش شده و خازن بار C در مقاومت بار ۵۰ Ω دشارژ می‌شود. (تا اینکه امیتر پیرو مجدداً هدایت کند) مقدار C را که منجر به زمان دشارژ ۱ ns شود به دست آورید. فرض کنید سطح ولتاژ دو خروجی $-0/88$ V و $-1/77$ V باشد.

۱۴-۴۷ برای سیگنالهایی که زمان صعود و نزول آنها ۳/۵ ns است، اگر بخواهیم نسبت زمان صعود به زمان بازگشت ۵ به ۱ باشد، طول سیم رابط گیت به گیت ختم نشده چقدر است؟ فرض کنید سیم در محیطی کار می‌کند که سیگنالها با $\frac{2}{3}$ سرعت نور انتشار می‌یابند (یعنی ۳۰ cm/ns).

۱۴-۴۸* برای مدار شکل (م ۴۸-۱۴) فرض کنید سطوح ورودیهای A، B، C و D، صفر و ۵+ V باشد. در حالی که همه ورودیها در وضعیت صفر هستند ولتاژ E چقدر است؟ اگر A و C به ۵+ V افزایش یابند ولتاژ E چقدر است؟ فرض کنید $|V_{BE}| = 0/7$ V و $\beta = 50$ باشد. E را بصورت یک تابع منطقی از A، B، C و D بیان کنید.



شکل (م ۴۸-۱۴)

بخش ۷-۱۴ : مدارهای دیجیتال BiCMOS

۱۴-۴۹ مدار نظری BiCMOS شکل (الف ۴۴-۱۴) را با پارامترهای زیر در نظر بگیرید:

$k'_p = 100\,\mu A/V^2$ و $k'_n = 2/5$ و $\beta = 100$ و $V_{BE} = 0/7V$ و $|V_t| = 1V$ و $V_{DD} = 5V$، $(W/L)_n = 2\mu m/1\mu m$

برای $v_I = v_o = V_{DD}/2$، $(W/L)_p$ را به گونه‌ای که $I_{EQ1} = I_{EQ2}$ شود، به دست آورید. جریان گذرای totem-pole چقدر است؟

۱۴-۵۰ در مسئله (۴۹-۱۴) با در نظر گرفتن مدار شکل (الف ۴۴-۱۴) ولتاژ آستانه وارونگر در حالتی که هر دو ترانزیستور Q_N و Q_P دارای $W/L = 2\mu m/1\mu m$ باشند، چقدر است؟ در v_I مساوی با ولتاژ آستانه جریان totem-pole چقدر است؟

۱۴-۵۱ می‌خواهیم مقادیر R_1 و R_2 را در مدار شکل (پ ۴۴-۱۴) انتخاب کنیم. نکته قابل توجه و مهم در این انتخاب این است که باید افت جریان راه انداز بیس محدود شود. این افت بخصوص در حالتی حاد است که جریان عبوری از Q_N و Q_P کم باشد. این حالت در نزدیکی انتهای نوسان سیگنال خروجی و هنگامی که قطعه MOS مرتبط عمیقاً در ناحیه تریود است، (مثلاً در $|v_{DS}| = |V_t|/3$) اتفاق می‌افتد. مقادیر R_2 و R_1 را طوری تعیین کنید که افت جریان بیس به ۵۰ % محدود شود. نسبت R_1/R_2 چقدر است؟ با افت ۲۰ % مسئله را تکرار کنید.

۱۴-۵۲ در مسئله (۴۹-۱۴) برای مدار شکل (الف ۴۴-۱۴) با $(W/L)_p = (W/L)_n$، تأخیر انتشار t_{PHL} t_{PLH} و t_p را برای باری با ظرفیت خازنی ۲pF به دست آورید. از اثرات ظرفیت خازنی گره‌های داخلی صرفنظر نمایید. از مقادیر میانگین برای جریان‌های پر شدن و تخلیه استفاده کنید.

۱۴-۵۳ مسئله (۵۲-۱۴) را برای مدار شکل (ث ۴۴-۱۴) با فرض $R_1 = R_2 = 5K\Omega$ تکرار کنید.

۱۴-۵۴ پاسخ گذرای گیت NAND شکل (۴۵-۱۴) را با یک بار خازنی خارجی بزرگ در نظر بگیرید. اگر پاسخ بدترین حالت، معادل پاسخ بدترین حالت وارونگر شکل (ث ۴۴-۱۴) باشد، نسبت (W/L) برای Q_{NA}، Q_{NB}، Q_N، Q_{PA}، Q_{PB}، Q_P باید چقدر باشد؟

۱۴-۵۵ مدار گیت NOR دو ورودی BiCMOS را رسم کنید. چنانچه هنگام بار شدن با یک خازن بزرگ، گیت دارای تأخیر بدترین حالت معادل با مقادیر متناظر وارونگر (ث ۴۴-۱۴) باشد، W/L هر یک از ترانزیستورها را بر حسب $(W/L)_n$ و $(W/L)_p$ به دست آورید.

بخش ۸-۱۴ : مدارهای دیجیتال گالیم ارسناید

۱۴-۵۶ ثابت کنید در گیت DCFL مثال ۳-۱۴، $V_{IH} = 0/63$ V است و مقدار متناظر v_O را به دست آورید. توجه کنید که $v_O << 1$ می‌باشد.

۱۴-۵۷ در گیت DCFL مثال ۳-۱۴ با تغییر V_{tE} به ۰/۱ V، مقادیر V_{OH}، V_{OL}، V_{IL}، V_{IH}، NM_H و NM_L را به دست آورید. این نتایج را با مثال ۳-۱۴ مقایسه کنید و در مورد اثرات V_{tE} روی حاشیه‌های نویز بحث کنید.

ط*۱۴-۵۸ یک گیت DCFL را که با تکنولوژی GaAs ساخته شده در نظر بگیرید که در آن $L = 1\,\mu m$، $V_{tD} = -1$ V و $\lambda = 0/1\,V^{-1}$ است و فرض کنید $V_{DD} = 1/5$ باشد. ولتاژ حالت روشن دیودهای شاتکی ۰/۷ V است.

(الف) عبارتهایی برای V_{OL}، V_{OH}، V_{IL}، V_{IH}، NM_H، NM_L برحسب V_{tE} و $m \equiv W_1/W_L$ به دست آورید.

(ب) برای $V_{tE} = 0/2$ V مقدار m را که منجر به $NM_H = 0/2$ V شود پیدا کنید. مقدار NM_L حاصل چقدر است؟

(پ) (ب) را با $V_{tE} = 0/1$ V تکرار کنید.

۱۴-۵۹ در گیت FL شکل ۵۱-۱۴ فرض کنید طول همه کانالها ۱ μm، $W_S = W_L = 20\mu m$، $W_{PD} = 10\ \mu m$، β(برای ۱μm عرض) $= 10^{-4} A/V^2$، $V_{tD} = -0/9$ V و $\lambda = 0$ باشد.

توان مصرفی استاتیک گیت را به دست آورید.

۱۴-۶۰ در گیت FL شکل ۵۱-۱۴ که مشخصه انتقالی آن در شکل ۵۲-۱۴ به نمایش درآمده است فرض کنید $W_S = W_L = 20\ \mu m$، $W_{PD} = 10\ \mu m$، β (برای ۱ μm عرض) $= 10^{-4} A/V^2$، $V_{tD} = -0/9$ V، $\lambda = 0/05\,V^{-1}$ باشد. مقدار تقریبی شیب قطعه AB مشخصه انتقالی را به دست آورده و از آن برای تخمین عرض ناحیه گذر استفاده کنید. (راهنمایی: مجموع مقاومت درین Q_S تقریباً معادل موازی r_{oL}، r_{oS}، r_{oPD} می‌باشد).

ضمیمه الف

تکنولوژی ساخت VLSI

مقدمه

هدف این ضمیمه آشنا کردن خواننده با تکنولوژی ساخت VLSI (مدارهای مجتمع در مقیاس بسیار فشرده)، و ارائه توضیح مختصری در مورد مراحل فرآوری VLSI استاندارد است. مشخصه‌های قطعات موجود در تکنولوژی ساخت CMOS و BiCMOS نیز تشریح می‌شود. این کار برای کمک به خواننده جهت درک جنبه‌های متمایز طراحی بین مدارهای مجتمع و نامجتمع صورت می‌گیرد. برای بهره‌برداری کامل از صرفه جویی مدارهای مجتمع، طراحان مجبور بودند بر محدودیتهایی (نظیر تولرانس ضعیف مقاومتها) غلبه کنند و در همان حال از مزایای آن (نظیر تطبیق خوب مقاومتها) بهره برداری کنند. بنابراین درک مشخصه‌های قطعات نیمرسانا برای طراحی خوب مدارهای مجتمع ضروری است و هنگامی که مدارهای مجتمع موجود در بازار را در طراحی سیستم به کار می‌بریم نیز مفید واقع می‌شود.

در این ضمیمه فقط تکنولوژی سیلیکون در نظر گرفته می‌شود. هر چند در ساخت قطعات نیمرسانا از ژرمانیم و گالیوم آرسنایدنیز استفاده می‌شود، سیلیکون هنوز متداولترین ماده است و مدتها نیز خواهد بود. خاصیتهای فیزیکی سیلیکون، آن را برای ساختن وسایل فعال با مشخصه‌های الکتریکی خوب مناسب کرده است. بعلاوه به آسانی می‌توان سیلیکون را اکسیده کرد و یک لایهٔ عایق عالی (شیشه) تشکیل داد. این عایق برای ساختن خازن به کار می‌رود و ساخت وسایل نیمرسانای دارای کنترل میدانی را امکانپذیر می‌سازد. همچنین بعنوان پوشش خوبی در برابر ناخالصیهای خارجی عمل می‌کند. این خاصیت امکان شکل‌گیری مدار مجتمع را می‌دهد؛ عناصر مداری فعال و غیرفعال را می‌توان همزمان روی قطعه ماده (ماده زمینه) ساخت و به یکدیگر وصل کرد تا عملکرد مداری کاملی داشته باشند.

مراحل ساخت مدار مجتمع (IC)

در بخشهای زیر اساس مراحل ساخت مدارهای مجتمع بررسی خواهد شد. هر کدام از این مراحل ممکن است در فرآیند ساخت IC چندین بار تکرار شود.

آماده سازی پولک

اولین ماده برای مدارهای مجتمع جدید، سیلیکون با خلوص خیلی زیاد است. این ماده بصورت یک بلور رشد داده می‌شود تا شکل استوانهٔ توپری به قطر ۱۰ تا ۳۰ سانتی‌متر و طول ۱ متر به خود می‌گیرد که رنگ آن خاکستری فولادی است. سپس این بلور اره می‌شود (مانند قرصهای نان) تا پولکهایی به قطر ۱۰ تا ۳۰ سانتی‌متر و ضخامت ۴۰۰ تا ۶۰۰μm (هر میکرومتر یا میکرون یک میلیونیم متر است) به دست آید [شکل (۱-الف) را ببینید]. سپس سطح این پولک جلا داده می‌شود تا مانند آینه شود. معمولاً سازندگان قطعات نیمرسانا پولک‌های سیلیکونی آماده را تهیه می‌کنند. خواص مکانیکی و الکتریکی اصلی پولک به جهت رشد بلور (جهت‌گیری بلور) و تعداد ناخالصیهای موجود بستگی دارد. این دو متغیر حین رشد بلور به شدت کنترل می‌شوند. در فرایندی به نام آلایش می‌توان به سیلیکون خالص، ناخالصی اضافه کرد. با آلایش می‌توان خاصیت الکتریکی سیلیکون، به خصوص مقاومت ویژهٔ آن را بصورت کنترل شده تغییر داد. همچنین می‌توان نوع حامل به کار رفته برای ایجاد هدایت الکتریکی را کنترل کرد که حفره باشد (سیلیکون نوع p) یا الکترون (سیلیکون نوع n). اگر تعداد اتمهای ناخالص اضافه شده زیاد باشد، گفته می‌شود سیلیکون آلایش غلیظ دارد. برای نشان دادن غلظت آلایش روی نمودارهای قطعات نیمرسانا از نمادهای + و − استفاده می‌شود. بنابراین پولک سیلیکونی نوع n دارای آلایش غلیظ (مقاومت ویژهٔ کم) را مادهٔ

n^+گویند در حالی که ناحیه دارای آلایش کم، $n-$نامیده می‌شود. کنترل آلایش سیلیکون امکان ساخت دیود، ترانزیستور و مقاومت در مدارهای مجتمع را میسر می‌سازد.

اکسیده کردن

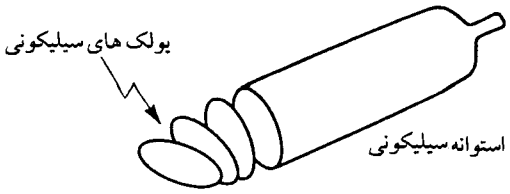
اکسیده کردن ، فرایند شیمیایی واکنش سیلیکون با اکسیژن و تشکیل دی اکسید سیلیکون است. برای تسریع واکنش لازم است پولکها تا گسترهٔ ۱۰۰۰ تا ۱۲۰۰°C گرم شوند. عمل گرم کردن در کوره‌های خاصی با دمای زیاد انجام می‌گیرد. برای جلوگیری از ورودی حتی مقدار کمی آلودگی (که خواص الکتریکی سیلیکون را به شدت تغییر می‌دهد)، لازم است محیط بسیار بسیار تمیزی برای فرایند در نظر گرفت. این مطلب برای تمام مرحله‌های پردازش در ساخت مدار مجتمع صادق است. هوای صاف شدهٔ خاصی در محیط عمل جریان دارد و تمام افراد باید لباس خاص بدون الیاف بپوشند.

اکسیژن به کار رفته در واکنش می‌تواند بصورت گاز بسیار خالص (یا «اکسید خشک») باشد یا بخار آب (که «اکسید تر» نام دارد). در حالت کلی اکسید تر آهنگ رشد سریعتری دارد اما اکسید خشک مشخصه‌های الکتریکی بهتری دارد. لایهٔ اکسید رشد یافته خواص عایق الکتریکی بسیار خوبی دارد. ثابت دی الکتریک آن حدود ۳/۹ است و با آن می‌توان خازنهای عالی ساخت. همچنین ماسک خوبی در برابر ناخالصیهای مختلف است. بنابراین می‌توان از آن برای حفاظت سطح سیلیکون در برابر آلودگیها استفاده کرد. همچنین می‌توان آن را بعنوان لایهٔ ماسک به کار برد که امکان می‌دهد آلاینده فقط در نواحی از سیلیکون که با اکسید پوشانده نشده‌اند، وارد شود. این خاصیت ماسک است که ساخت مدارهای مجتمع را به سادگی امکانپذیر می‌کند.

لایهٔ دی اکسید سیلیکون لایهٔ نازک شفافی است و سطح سیلیکون دارای انعکاس زیاد است. اگر نور سفید بر روی پولک اکسید شده بتابد، اثرهای تداخلی سازنده و مخربی در اکسید رخ می‌دهد که سبب می‌شود بعضی از رنگها به شدت جذب شوند. طول موجهای جذب شده به ضخامت لایهٔ اکسید بستگی دارد. این جذب سبب می‌شود نواحی مختلف پولک رنگهای مختلفی پیداکنند. این رنگها می‌توانند روشن باشند و از آبی تا سبز و قرمز تغییر کنند و وقتی که تراشهٔ آماده را زیر میکروسکوپ ببینیم، این رنگها سریع ظاهر می‌شوند. اما باید به خاطر داشت، این رنگ از اثر نور است. لایهٔ اکسید شفاف است و سیلیکون زیر آن به رنگ خاکستری فولادی است.

پخش

پخش فرایندی است که طی آن اتمها درون شبکهٔ بلور حرکت می‌کنند. این عمل همانند پخش شدن جوهر درون آب است اما بسیار آهسته‌تر انجام می‌شود. در ساخت به وارد کردن اتمهای ناخالصی (آلاینده‌ها) به درون سیلیکون برای تغییر آلایش، پخش گفته می‌شود. آهنگ پخش آلاینده‌ها در سیلیکون به شدت به دما بستگی دارد. به این طریق می‌توان



شکل ۱-الف. استوانه سیلیکونی و برش‌های پولک

ناخالصی را در دماهای بالا (۱۰۰۰ تا ۱۲۰۰°C) وارد کرد تا آلایش مطلوب حاصل شود. سپس پولک مزبور تا دمای اطاق سرد می‌شود و ناخالصیها اساساً در محل خود «منجمد» می‌شوند. عمل پخش در کوره‌هایی مشابه کوره‌های اکسیده کردن انجام می‌گیرد. عمل پخش ناخالصیها به دما و زمان بستگی دارد.

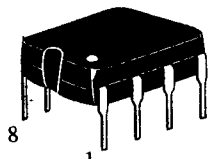
ناخالصیهایی که بطور معمول بعنوان آلاینده به کار می‌رود بور و فسفر و آرسنیک است. بور آلاینده‌ها نوع p و فسفر و آرسنیک آلایندهٔ نوع n است. روی همه آلاینده‌ها لایه‌های نازک دی‌اکسید سیلیکون قرار داده می‌شود. با پخش کردن بور در ماده زمینه نوع n، یک پیوند pn تشکیل می‌شود (دیود). بعلاوه اگر غلظت آلایش زیاد باشد، لایهٔ پخش شده را می‌توان بعنوان رسانا به کار برد.

کاشت یون

علاوه بر پخش می‌توان برای وارد کردن ناخالصی در سیلیکون از کشتگر یون نیز استفاده کرد. کشتگر یون، یونهایی با ناخالصی مطلوب تولید می‌کند و آنها را توسط میدان الکتریکی شتاب می‌دهد تا به سطح سیلیکون برخورد کنند. این یونها در سیلیکون نفوذ می‌کنند. عمق نفوذ به انرژی باریکهٔ یون بستگی دارد و این انرژی را می‌توان با ولتاژ میدان شتاب دهنده کنترل کرد. تعداد یونهای کاشته شده را می‌توان با تغییر جریان باریکه (عبور یونها) کنترل کرد. چون ولتاژ و جریان هر دو بدقت قابل اندازه‌گیری و کنترل هستند، کاشت یون میزان ناخالصی را بسیار دقیق‌تر و با قابلیت باز تولید بیشتر از پخش به دست می‌دهد. بعلاوه کاشت یون را می‌توان در دمای اتاق انجام داد. کاشت یون معمولاً وقتی انجام می‌شود که کنترل دقیق آلاینده برای کار قطعه ضروری باشد.

رسوبدهی شیمیایی بخار

رسوبدهی شیمیایی بخار (CVD) فرایندی است که در آن گازها یا بخارها در اثر واکنش شیمیایی به یک مادهٔ جامد روی ماده زمینه تبدیل می‌شود. در اینجا از CVD می‌توان برای رسوب دادن دی اکسید سیلیکون روی ماده زمینه سیلیکون استفاده کرد. مثلاً اگر گاز سیلان و اکسیژن بالای ماده زمینه سیلیکونی با هم مخلوط شوند، دی اکسید سیلیکون بصورت جامد روی سیلیکون رسوب می‌کند این لایه اکسید شکل گرفته، به خوبی اکسیدی که بصورت گرمایی رشد یافته، نیست اما عملکرد آن بعنوان عایق الکتریکی به اندازهٔ کافی خوب است. مزیت لایهٔ CVD آن است که اکسید با آهنگ سریعتری رسوب می‌کند و دمای کمتری لازم است (زیر ۵۰۰°C).



شکل ۲-الف. یک بسته دو ردیفه پلاستیکی IC هشت پایه

اگر از گاز سیلان به تنهایی استفاده شود، لایهٔ سیلیکون روی پولک رسوب می‌کند. اگر دمای واکنش به اندازهٔ کافی زیاد باشد (بالای ۱۰۰۰°C)، لایه بصورت‌لایهٔ بلورین رسوب می‌کند (با فرض اینکه ماده زمینه سیلیکون بلوری باشد). زیرا اتمها انرژی کافی دارند تا خود را در جهت‌های بلوری مناسب جای دهند. چنین لایه‌ای را لایهٔ رونشستی و فرایند رسوبدهی آن را فرایند رونشانی گویند (به جای CVD). در دماهای کمتر یا اگر ماده زمینه تک بلور سیلیکون نباشد، اتمها خود را در امتداد یک بلور جای نمی‌دهند. چنین لایه‌ای را لایه رونشستی و فرایند سیلیکون چند بلوری نامیده می‌شود زیرا از بلورهای مختلف سیلیکون تشکیل شده که در جهت‌های مختلف جای گرفته‌اند. معمولاً این لایه‌ها بسیار غلیظ آلایش یافته‌اند تا ناحیهٔ پررسانشی به وجود آورند که برای اتصال داخلی قطعات نیمرسانا به کار رود.

فلز پوشانی

هدف فرایند فلز پوشانی اتصال داخلی عناصر مختلف مدار مجتمع (ترانزیستور، مقاومت و غیره) برای شکل‌گیری مدار مطلوب است. فلز پوشانی مشتمل است بر رسوبدهی یک فلز (آلومینیم) روی تمام سطح سیلیکون، که سپس الگوی اتصالهای لازم به دلخواه روی آن حک می‌شود. برای رسوبدهی آلومینیوم آن را در خلاء گرم می‌کنند تا تبخیر شود. سپس بخار آن را با سطح سیلیکون تماس می‌دهند و بخار را سرد می‌کنند تا لایهٔ جامد آلومینیوم تشکیل شود.

لیتوگرافی نوری

شکل هندسی سطح عناصر مختلف مدار مجتمع با لیتوگرافی نوری تعریف می‌شود: سطح سیلیکون با یک لایهٔ حساس به نور پوشانده می‌شود و سپس به واسطهٔ یک الگوی اصلی روی یک صفحهٔ عکاسی در معرض نور قرار می‌گیرد. سپس این لایه ظاهر می‌شود تا الگو را روی پولک دوباره ایجاد کند. با این روش می‌توان شکل هندسی عناصر خیلی ریز را با دقت ایجاد کرد. حک کننده‌هایی شیمیایی که برای دی اکسید سیلیکون یا آلومینیم به کار می‌روند بر لایهٔ حاصل اثری ندارند و به این ترتیب ماسک کارآمدی تشکیل می‌شود. به این وسیله می‌توان «پنجره‌هایی» برای فرایندهای پخش بعدی باز کرد. از این فرایند برای تعریف نواحی ترانزیستور و جدا کردن یک ترانزیستور از ترانزیستور دیگر استفاده می‌شود. در فرآیندهای بسیار دقیق، برای نور دهی از نور UV استفاده می‌شود. روش دیگر پویش لایه حساس به نور توسط یک اشعه الکترونی است.

بسته‌بندی

هر پولک تمام شدهٔ سیلیکون می‌تواند صدها مدار تمام شده یا تراشه داشته باشد. هر تراشه بین ۱۰ تا 10^9 ترانزیستور دارد و شکل آن مستطیلی است که نوعاً ابعاد آن بین ۱ تا ۱۰ میلی‌متر است. این مدارها ابتدا به لحاظ الکتریکی آزمایش می‌شوند (در حالی که هنوز به شکل پولک هستند) و این کار به کمک ایستگاه کاوش خودکار صورت می‌گیرد. مدارهای ناسالم علامت می‌خورند تا بعداً شناخته شوند. سپس مدارها از یکدیگر جدا می‌شوند (با خرد کردن) و مدارهای سالم (مهره‌ها) در بسته‌ها (رویه‌ها) نصب می‌شوند. برای اتصال داخلی پایه‌ها روی مهره از سیمهای نازک طلای ناب استفاده می‌شود. سرانجام این بسته در خلاء یا محیط بی‌اثر مهر و موم می‌شود. شکل (۲-الف) یک بسته IC عمومی را نشان می‌دهد.

فرآیندهای VLSI

تکنولوژی دوقطبی، در آغاز، تکنولوژی غالب ساخت مدارهای مجتمع بود. در اواخر دهه هفتاد تکنولوژی MOS (نیمرسانای اکسید فلز) با قابلیت فشردگی بیشتر و توان مصرفی کمتر، چشم اندازی جدید در ساخت مدارهای مجتمع VLSI مقصود ساخت. در اوایل دهه هشتاد، تکنولوژی CMOS (MOS مکمل) بدل به تکنولوژی غالب VLSI شد و باعث گردید تکنولوژی دو قطبی تنها به کاربردهای خاص مانند سرعت بالا و مدارهای RF محدود می‌شود. تلفیق تکنولوژی‌های CMOS و دو قطبی در اواخر دهه هشتاد منجر به تکنولوژی BiCMOS گردید که یکی از بهترین تکنولوژی‌هاست. اما فرآیند ساخت BiCMOS اغلب مشکل و پر هزینه است چون برای هر مرحله نیاز به ۱۵ تا ۲۰ سطح پوشش گذاری دارد - CMOS استاندارد به ۱۰ تا ۱۲ سطح نیازمند است و علاوه بر آن CMOS روز به روز در حال بهبود عملکرد خود است. به همین دلایل، تکنولوژی برتر، هنوز تکنولوژی CMOS می‌باشد.

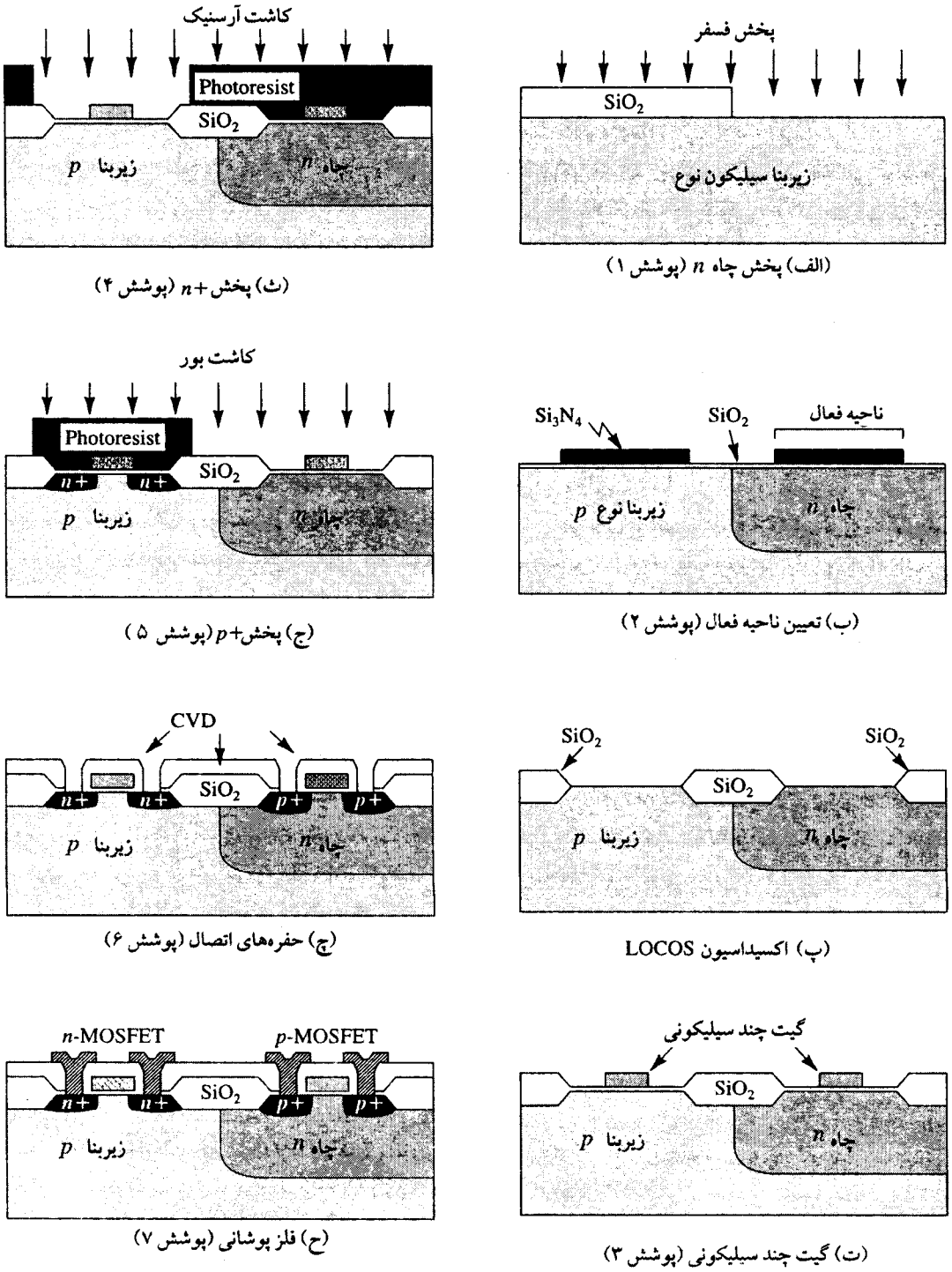
در این بخش، مراحل فرآوری CMOS، عملکرد قطعات موجود و تلفیق با قطعات دو قطبی برای تشکیل BiCMOS را بررسی می‌کنیم.

فرآیند CMOS با چاه n

فرآینده‌های CMOS را بر اساس انتخاب ماده شروع کننده (ماده زمینه) می‌توان به فرآیندهای چاه n چاه p یا چاه دوتایی تقسیم کرده، که نوع آخری مشکل‌تر اما قابل انعطاف‌تر در بهینه‌سازی قطعات کنال p و n است.

فرآیند CMOS چاه n را از آن رو برای بررسی انتخاب کرده‌ایم که به آسانی قابل گسترش به فرآیند BiCMOS است. مراحل این فرآیند در شکل (۳-الف) نشان داده شده است. حداقل به هفت لایه پوششی نیازمندیم، اما در عمل بیشتر فرآیندهای CMOS به لایه‌های اضافی مانند محافظ n و p جهت ایمنی ذخیره سازی بهتر، لایه پلی سیلیکونی برای خازن‌ها و فلزهای چند لایه برای اتصالات با چگالی بالا نیاز دارند. تلفیق این لایه‌ها منجر به افزایش آن‌ها به بیش از ده لایه می‌شود که برای ساده کردن بررسی، این لایه‌ها را مورد توجه قرار نمی‌دهیم.

فرآیند چاه n با پخش چاه n آغاز می‌شود [شکل (الف ۳-الف)]. در هر



شکل ۳-الف. فرآیند پردازش CMOS چاه n

محلی که MOSFETهای نوع p باید قرار گیرند به چاه n نیاز است. برای نور دهی ناحیه به منظور پخش چاه n، یک لایه دی اکسید سیلیکون حکاکی می‌شود. ناحیه نور ندیده، از ناخالصی فسفر محافظت می‌شود. معمولاً از فسفر برای پخش عمیق استفاده می‌شود چون ضریب پخش آن بالا است و می‌توان سریعتر از آرسنیک به ماده زمینه نفوذ کند.

دومین مرحله، تعیین ناحیه فعال (ناحیه‌ای که ترانزیستورها قرار می‌گیرند) با استفاده از تکنیکی به نام اکسیده کردن موضعی (LOCOS) است. یک لایه نیترید سیلیکون (Si_3N_4) و نسبت به چاه n قبلی رسوب‌دهی و الگو سازی می‌شود [شکل (ب ۳ - الف)]. نیترید، نواحیی را می‌پوشاند که نباید اکسیده شود. بعد از یک مرحله طولانی اکسیده کردن مرطوب، یک لایه اکسید ضخیم در نواحی بین ترانزیستورها ایجاد می‌شود [شکل (پ۳-الف)].

این لایه ضخیم اکسید برای عایق کردن ترانزیستورها لازم است و به لایه‌های ارتباطی داخلی اجازه می‌دهد بدون این که تشکیل یک کانال هادی در سطح سیلیکون دهند، تشکیل شوند.

مرحله بعدی تشکیل گیت پلی سیلیکونی است [شکل (ت ۳ - الف)]، که یکی از مهم‌ترین مراحل در فرآیند CMOS می‌باشد. ابتدا با حکاکی مرطوب که پس از آن رشد اکسید گیت ضخیم باکیفیت بالا انجام می‌شود، لایه نازک اکسید در ناحیه فعال برداشته می‌شود. معمولاً فرآیند ۰/۲۵μm و ۰/۵μm از لایه اکسید با ضخامت ۲۰۰ A° (یک انگستروم = 10^{-8}cm) استفاده می‌کند. لایه پلی سیلیکون که معمولاً ارسنیک است (نوع n) رسوبدهی و الگو سازی می‌شود. عملیات نوری بصورت عمده در این مرحله انجام می‌شود چون دقت بسیار زیادی برای حداقل کردن طول کانال MOS لازم است. این مسأله با اندازه باریک‌ترین نوار پلی سیلیکونی مشخص می‌شود.

گیت پلی سیلیکونی دارای ساختاری است که خود به خود شکل می‌گیرد و به ساختارهای قدیمی گیت فلزی ترجیح داده می‌شود. برای تشکیل درین و سورس $n+$ یک n-MOSFET می‌توان از آرسنیک با آلایش زیاد استفاده کرد. گیت پلی سیلیکونی بعنوان سدی برای حفاظت ناحیه کانال نیز عمل می‌کند. یک لایه حساس نوری (فتو رزیست) را می‌توان برای سد کردن ناحیه‌هایی که باید p-MOSFET ها تشکیل شود، مورد استفاده قرار داد [شکل (ث ۳ - الف)] لایه اکسید ضخیم باعث توقف کاشت شده، از تشکیل نواحی $n+$ خارج از نواحی فعّال جلوگیری می‌نماید.

مرحله عملیات نوری معکوس برای حفاظت n-MOSFET در حین کاشت درین و سورس $p+$ بور و برای p-MOSFETها انجام می‌شود [شکل (ج۳-الف)]. توجه کنید که در هر دو حالت، عملیات جداسازی پخش‌های درین و سورس -طول کانال- به تنهایی توسط پوشش گذاری گیت پلی سیلیکونی انجام می‌شود و این خاصیت تشکیل خودبه‌خود است.

قبل از باز کردن حفره‌های اتصال، لایه ضخیمی از اکسید CVD روی تمام سطح پولک رسوبدهی می‌شود. پوشش گذاری نوری برای تعیین بازگشایی پنجره اتصال [شکل (ج ۳ - الف)] مورد استفاده قرار می‌گیرد و پس از آن حکاکی اکسید خشک یا مرطوب انجام می‌شود. سپس یک لایه آلومینیوم نازک، تبخیر شده به سطح پولک تزریق می‌شود. مرحله حکاکی و پوشش گذاری نهایی برای الگوی اتصالات داخلی [شکل (ح ۳ - الف)] انجام می‌شود.

قبل از بسته بندی و سیم بندی نهایی مرحله غیر فعال کردن پایانی انجام می‌شود که در شکل نشان داده نشده است. معمولاً یک لایه ضخیم اکسید CVD یا شیشه مقاوم حرارتی، روی سطح پولک رسوبدهی شده، بعنوان لایه محافظ عمل می‌کند.

قطعات CMOS

می‌توان قطعات دیگری علاوه بر MOCFETهای کانال p و n را با عملیات پوشش گذرای لایه‌ها تولید کرد این قطعات شامل دیودهای پیوندی pn، خازن‌های MOS و مقاومت‌ها می‌باشد.

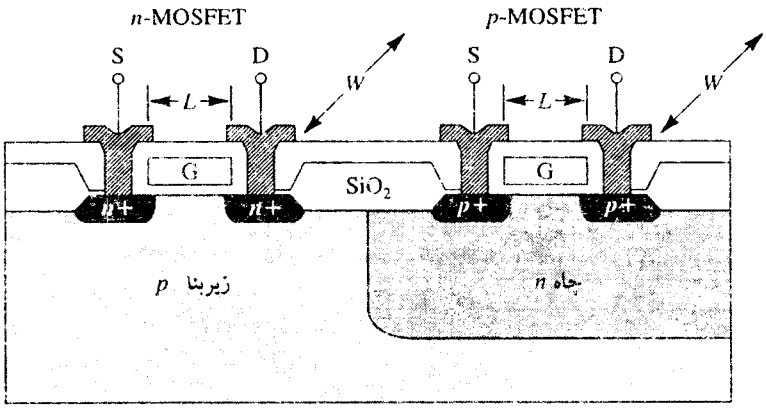
MOSFETها

MOSFET کانال n به p-MOSFET ترجیح داده می‌شود، چون قابلیت تحرک سطحی الکترون دو یا سه برابر حفره‌ها می‌باشد و بنابراین در یک قطعه با یک اندازه (L یا W)، n-MOSFET توانایی جریاندهی بیشتر (یا مقاومت کمتر) و هدایت انتقالی بالاتری دارد.

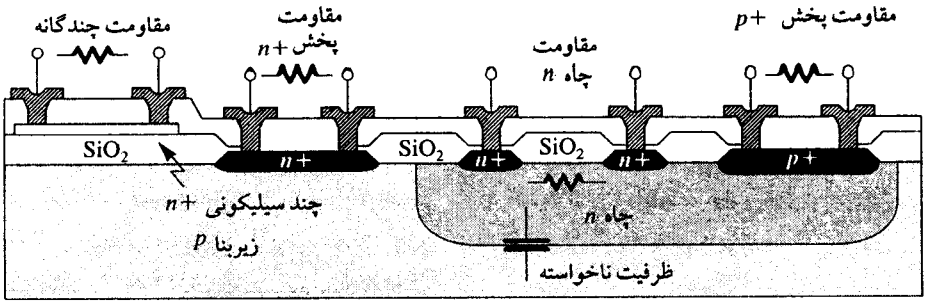
MOSFETهای مجتمع با ولتاژ آستانه و اندازه قطعه مشخص می‌شوند. معمولاً قطعات کانال p و n طوری طراحی می‌شوند که ولتاژ آستانه آن‌ها مساوی است و در یک فرآیند خاص ثابت می‌ماند. می‌توان با تغییر ابعاد سطح قطعه، هدایت انتقالی آن را تنظیم کرد [شکل (۴ - الف) را ببینید]. این کار در ترانزیستورهای دو قطبی عملی نیست، بنابراین طراحی مدارهای MOSFET مجتمع بسیار راحت تر است.

مقاومت‌ها

مقاومت‌های مجتمع دقت بالایی ندارند و با عملیات‌های پخش متنوع ساخت می‌شوند [شکل (۵ - الف)]. نواحی با پخش‌های متنوع مقاومت‌های مختلف دارند. معمولاً از چاه n برای مقاومت‌های متوسط و از $p+$ و $n+$ برای مقاومت‌های کم استفاده می‌شود. مقدار مقاومت را



شکل ۴-الف. نمودار سطح مقطع n-MOSFET و p



شکل ۵-الف. سطح مقطع انواع گونا گون‌مقاومت‌های موجود در فرآیند CMOS چاه n

می‌توان با تغییر طول و عرض نواحی پخش تعیین کرد. تغییرات مجاز (تولرانس) مقاومت ضعیف است (۲۰٪ تا ۵۰٪) ، اما تطبیق بین دو مقاومت مشابه، بسیار خوب (۵٪) است. بنابراین طراحان مدار باید در طرح مدار به جای مقادیر مقاومت خاص از مقاومت‌های تطبیق شده استفاده کنند. به این نکته توجه کنید که مقاومت‌های پخش شده ضریب دمایی کافی دارند. همهٔ مقاومت‌های پخش شده، توسط پیوند pn بایاس معکوس شده، عایق شده خود به خود، می‌باشند. یکی از معایب جدی این مقاومت‌ها ظرفیت خازنی مزاحم آنهاست که در کاربردهای فرکانس بالا از قابلیت آنها می‌کاهد.

با قرار دادن یک لایه پلی سیلیکون روی اکسید ضخیم، می‌توان مقاومت دقیق‌تری به دست آورد. این لایه باعث تطبیق بهتر ناحیه سطحی شده و نسبت مقاومت دقیق‌تر است علاوه بر آن این مقاومت بطور فیزیکی از ماده زمینه جدا شده و خازن‌های مزاحم آن کمتر است.

خازن‌ها

در فرآیندهای CMOS ، دو نوع خازن MOS و خازن چند لایه داخلی وجود دارد. سطح مقاومت این ساختارها در شکل (۶ - الف) نشان داده شده است. ظرفیت خازنی گیت MOS که در وسط شکل مشخص شده، بطور اساسی همان ظرفیت خازنی گیت به سورس MOSFET است. مقدار ظرفیت خازنی به سطح گیت وابسته است. ضخامت اکسید مانند ضخامت اکسید گیت در MOSFETهاست. این خازن وابستگی زیادی به ولتاژ دارد. برای رفع این مشکل، یک مرحله کاشت $n+$ برای تشکیل صفحه زیرین خازن همان طور که در سمت راست شکل نشان داده شده، صورت می‌گیرد. این دو خازن MOS بصورت فیزیکی به ماده زمینه متصل هستند که منجر به یک ظرفیت خازنی پیوند pn مزاحم در صفحه پایین می‌شود.

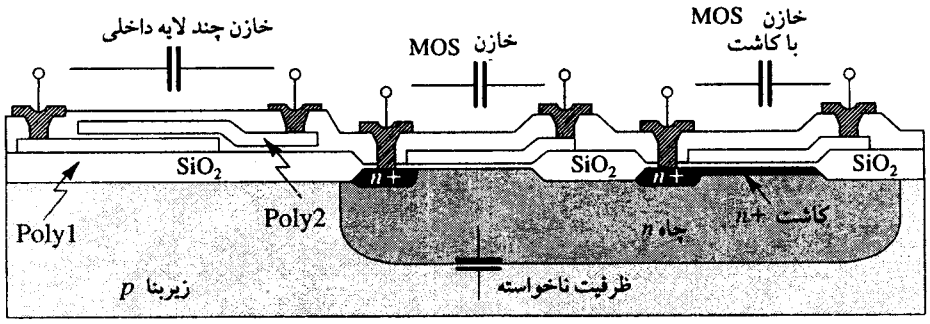
خازن چند لایه داخلی مشخصه‌ای نزدیک به ایده آل دارد اما یک لایه دوم به فرآیند CMOS اضافه شده است. از آن جا که این خازن در روی اکسید ضخیم قرار گرفته است، اثرات مزاحم، حداقل می‌شود.

خازن سوم که کمتر مورد استفاده قرار می‌گیرد، خازن پیوندی است. هر پیوند pn که بایاس معکوس شده باشد، یک ناحیه تهی است که بعنوان عایق بین نواحی n و p به کار می‌رود. ظرفیت خازنی با شکل هندسی و سطح آلایش و ضریب ولتاژ بالا تعیین می‌شود. این نکته که این خازن تنها در ولتاژ بایاس معکوس کار می‌کند از اهمیت آن می‌کاهد.

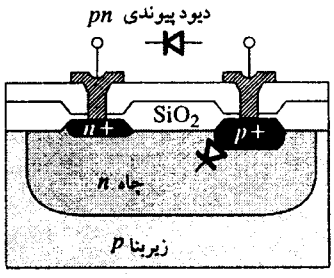
در خازن چند لایه داخلی و خازن‌های MOS ، مقدار ظرفیت خازنی را می‌توان با دقت ۱٪ کنترل کرد. مقادیر خازنی عملی از ۰/۵pF تا چند ده پیکو فاراد می‌باشد. تطبیق بین خازن‌های با اندازه شما به ۰/۱٪ است. این ویژگی در طراحی مدارهای CMOS آنالوگ دقیق بسیار مفید است.

دیودهای پیوندی pn

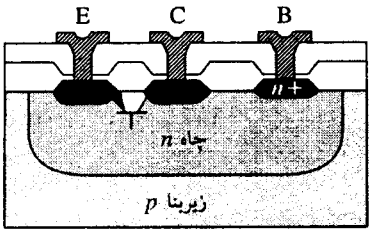
اگر نواحی p و n در کنار یکدیگر قرار گیرند، یک دیود pn به دست می‌آید. یک ساختار مفید، دیود چاه n شکل (۷ - الف) است که دارای ولتاژ شکست بالایی می‌باشد. این دیودها برای مدارات برش لازم هستند تا در مقابل تخلیه بارهای الکترو استاتیک حفاظت شوند. این دیود بواسطه نمایش تغییرات افت ولتاژ مستقیم آن، بعنوان حسگر حرارتی روی تراشه، بسیار مفید است.



شکل ۶-الف. خازن‌های MOS و چند لایه داخلی در فرآیند COMS چاه n



شکل ۷-الف. دیود پیوندی pn در یک فرآیند CMOS چاه n



شکل ۹-الف. ترانزیستور pnp افقی

فرآیند BiCMOS

با اضافه کردن یک ناحیه پخش بیس p به فرآیند COMS چاه n، یک ترانزیستور دو قطبی عمودی npn به دست می‌آید شکل (۸ - الف) را ببینید. مشخصه‌های قطعه به عرض بیس و ناحیه امیتر بستگی دارد. عرض بیس را اختلاف عمیق پیوند بین $+n$ و بیس p تعیین می‌کند. ناحیه امیتر توسط ناحیه پیوند $+n$ در امیتر مشخص می‌شود چاه n بعنوان کلکتور ترانزیستور npn عمل می‌کند. ترانزیستور npn معمولاً دارای β در محدودهٔ ۵۰ تا ۱۰۰ و فرکانس قطع بزرگتر از ۱۰GHz است.

معمولاً یک لایه سد $+n$ برای کاهش مقاومت سری کلکتور به کار می‌رود چون مقاومت زیادی دارد، اما این کار فرآیند را مشکل می‌کند چون به یک لایه رونشستی نوع p و مرحله پوشش گذاری دیگری نیاز دارد. تغییرات دیگر ترانزیستور دو قطبی شامل چند امیتری و اتصال و بیس با تشکیل خود به خود برای به حداقل رساندن اثرات مزاحم است.

ترانزیستور pnp افقی

این نکته که اکثر فرآیندهای BiCMOS ترانزیستورهای بهینه ندارند، طراحی مدار را کمی مشکل می‌کند، اما در مواقع غیر بحرانی، می‌توان از یک ترانزیستور pnp افقی [شکل (۹ - الف)] استفاده کرد.

در این حالت چاه n بعنوان ناحیه بیس n و $+p$ بعنوان امیتر و کلکتور عمل می‌کنند. عرض بیس توسط عمل جداسازی بین دو ناحیه پخش $+p$ تعیین می‌شود. به علت این که آلایش قطعه در پیوندهای بیس-کلکتور بهینه نیست و عرض بیس بواسطه دقت کم عملیات نوری محدود است، عملکرد این قطعه خیلی خوب نیست و معمولاً دارای $\beta=10$ یا در همین حدود و فرکانس قطع پایین است.

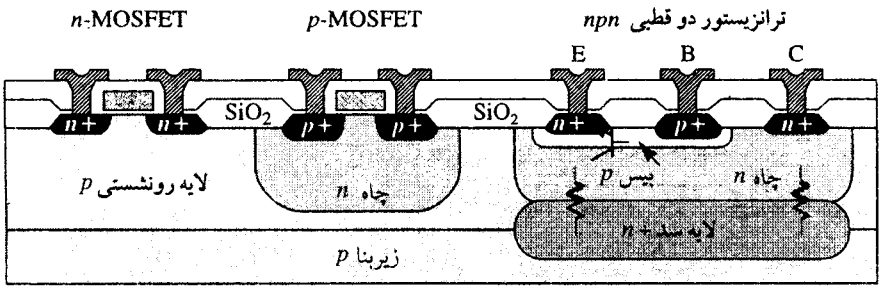
مقاومت‌های بیس p و بیس فشرده

با یک پخش بیس p اضافی در فرآیند BiCMOS دو ساختار مقاومت دیگر به دست می‌آید. پخش بیس p را می‌توان برای تشکیل یک مقاومت بیس p ساده به کاربرد [شکل (۱۰ - الف)]. از آن جا که ناحیه بیس معمولاً دارای آلایش نسبتاً پایین است و عمق پخش آن دقیق می‌باشد، برای مقاومت متوسط (چند کیلو اهم) مناسب است. برای مقاومت‌های بزرگ می‌توان از بیس فشرده استفاده کرد. در این ساختار، ناحیه بیس p، توسط پخش $+n$ تأثیر می‌پذیرد و و مسیر هدایت آن محدود می‌شود و می‌توان مقاومت‌های ۱۰kΩ تا ۱۰۰kΩ را به دست آورد. همانند مقاومت‌های پخش شده که قبلاً مورد بررسی قرار گرفت، این مقاومت‌ها نیز تغییرات مجاز کمی داشته، ضریب دمایی آنها کم است.

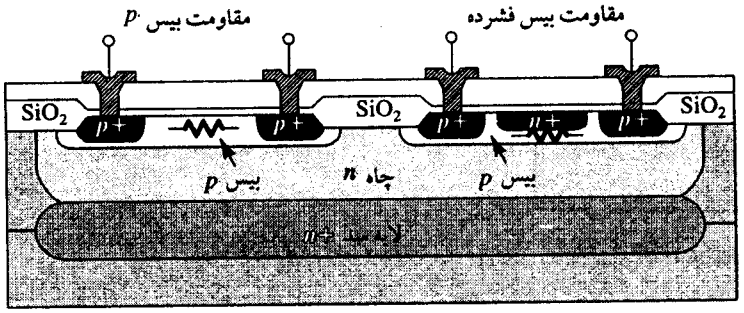
طرح بندی VLSI

نمای مداری طرح شده باید به یک طرح بندی که شامل نمایش هندسی عناصر مدار و اتصالات است، منتقل شود. به ظهور CAD (طراحی به کمک کامپیوتر)، این عمل بصورت کلی یا جزئی بطور خودکار انجام می‌شود، اما یک طراح خوب IC باید بتواند تمام این مراحل را انجام دهد. با یک مثال از وارونگر CMOS این فرآیند در شکل‌های (۱۱ - الف) و(۱۲ - الف) تشریح می‌شود.

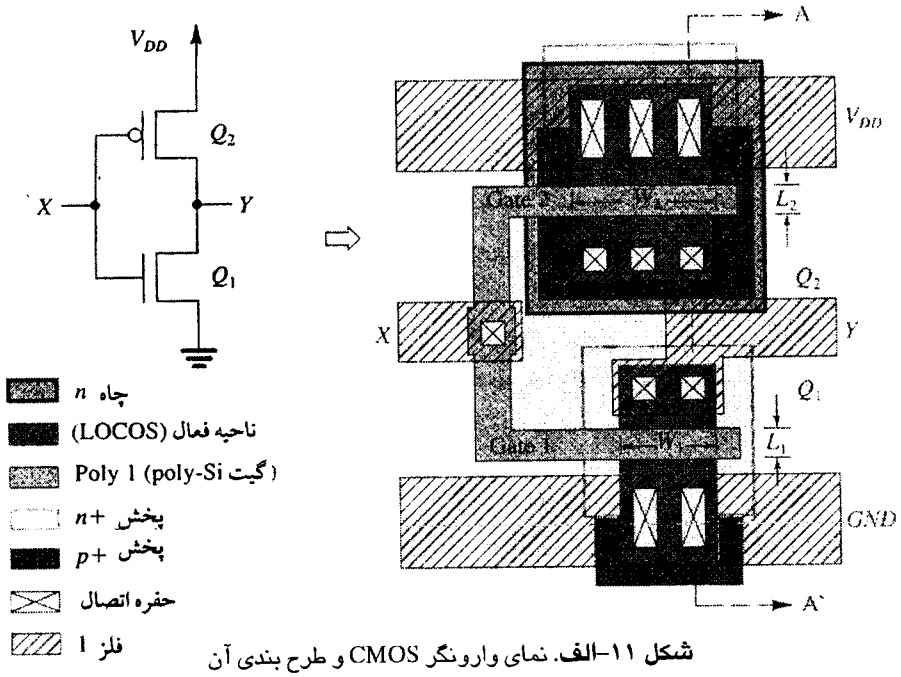
ابتدا باید مدار بصورت تخت درآید تا اتصالات با هم برخورد نداشته باشند، مانند کاری که در مدار چاپی می‌شود. عملیات توسط لایه‌های پوششی انجام می‌شود. در این مثال به هفت لایه نیاز داریم. معمولاً هر لایه به رنگی خاص رسم می‌شود تا شناسایی آن روی صفحه نمایش کامپیوتر یا چاپگر رنگی راحت باشد. طرح بندی با جایگذاری ترانزیستورها آغاز



شکل ۸-الف. نمودار سطح مقطع فرآیند BiCMOS



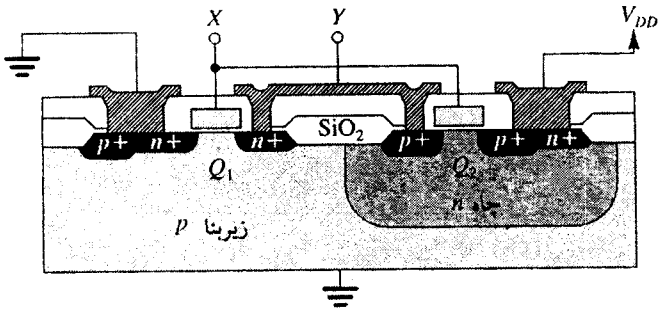
شکل ۱۰-الف. مقاومت‌های بیس فشرده و بیس p



شکل ۱۱-الف. نمای وارونگر CMOS و طرح بندی آن

می‌شود. در توضیح روش MOSFETهای n و p با فرآیندی مشابه در جای خود قرار می‌گیرند اما در عمل، طراح آزاد است تا حداکثر استفاده را از سطح طرح بندی بنماید. MOSFETها توسط نواحی فعالی که توسط لایه «poly1» پوشانده شده، مشخص شده‌اند. عرض و طول کانال MOS با عرض نوار «poly1» و عرض ناحیه فعال تعیین می‌شود. p-MOSFET در یک چاه n- محصور می‌شود. در مدارهای پیچیده‌تر چندین چاه n را می‌توان برای گروه‌های متفاوت p-MOSFET به کار برد. n-MOSFET توسط پوشش گذاری پخش $n+$ محصور می‌شود تا درین و سورس شکل گیرد. در حالی که p-MOSFET توسط پوشش گذاری پخش $p+$ محصور می‌شود. در جایی که باید اتصال به لایه فلزی انجام شود، حفره‌های اتصال قرار می‌گیرند. سرانجام لایه «فلز 1» اتصالات را کامل می‌کند.

نمودار سطح مقطع وارونگر CMOS در صفحه AA در شکل (۱۲-الف) نشان داده شده است. گیت‌های پلی سیلیکونی هر دو درین‌های دو ترانزیستور به یکدیگر متصل شده و پایانه ورودی X را تشکیل داده‌اند. درین‌های دو ترانزیستور از طریق «فلز 1» به یکدیگر متصل شده و ترمینال خروجی Y را می‌سازند. سورس n-MOSFET به زمین و سورس p-MOSFET به V_{DD} متصل می‌شود. توجه کنید که اتصالات کناری شامل



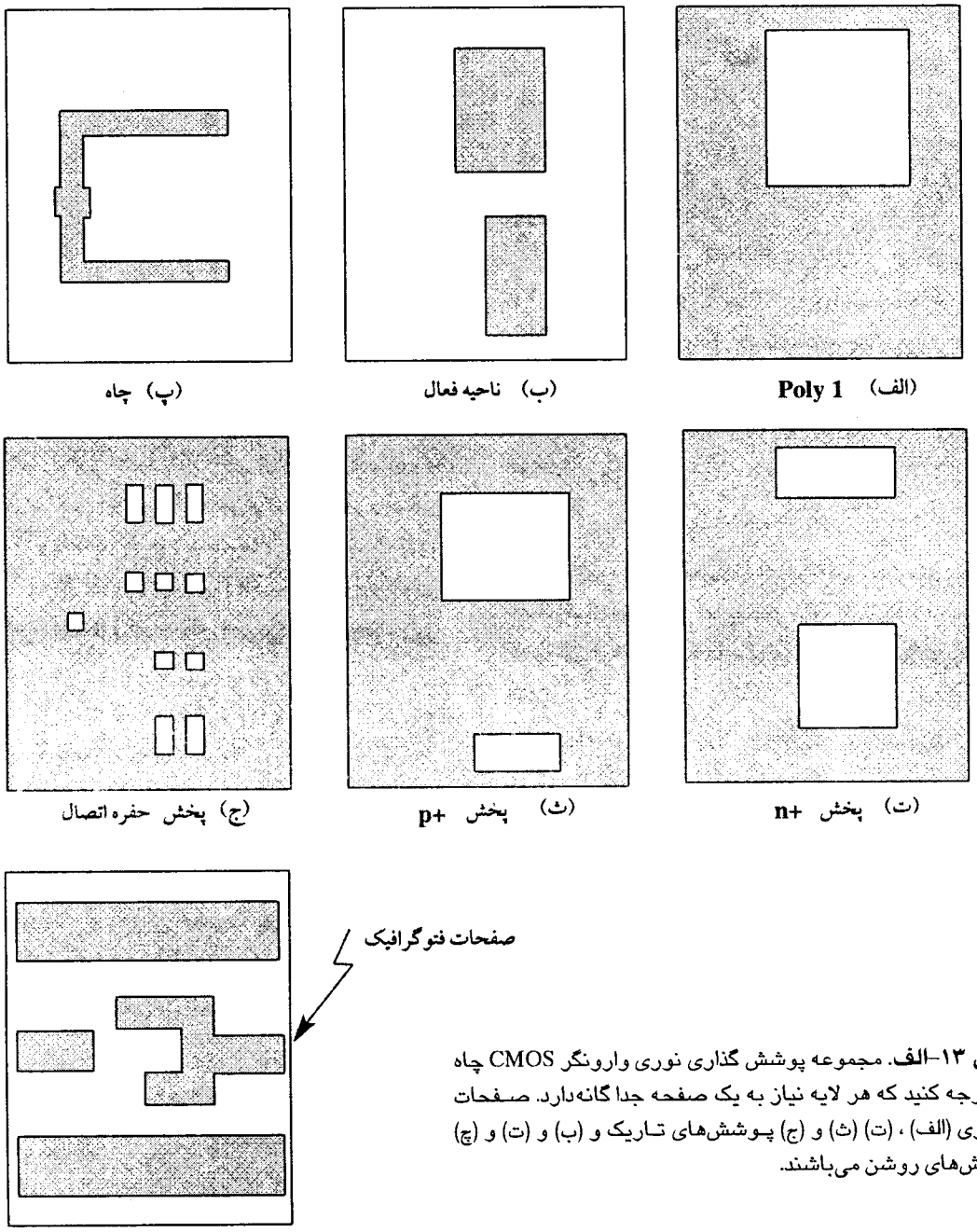
شکل ۱۲-الف. سطح مقطع در طول صفحه AA' وارونگر COMS

نواحی پخش پهلو به پهلوی $n+/p+$ است و برای اتصال پتانسیل بدنه MOSFET های p و n به سطوح ولتاژ مناسب به کار می‌روند.

پس از تکمیل طرح‌بندی، مدار باید توسط ابزار CAD مانند آزمایشگر مدار، تست کننده قواعد طراحی (DRC) و شبیه ساز مدار مورد تصدیق قرار گیرد. پس از تأیید مدار می‌توان مرحله پوشش گذاری را انجام داد. یک دستگاه مولد الگو (PG) می‌تواند نقشه را روی شیشه یا صفحه نوری کوارتز با استفاده از ابزاری نوری الکترونیکی رسم نماید. لایه‌ها یکی پس از دیگری روی صفحه‌های نوری مختلف رسم می‌شوند. سپس این لایه‌ها فرآوری شده، الگوهای روشن و تاریک مشابه روی طرح بندی ایجاد می‌شود. مجموعه‌ای از صفحات نوری برای مثال وارونگر در شکل (۱۳-الف) نشان داده شده است. بسته به این که نقشه‌های رسم شده باید بعنوان پنجره باز شوند یا بعنوان الگو باقی بمانند. صفحات، روشن یا تاریک می‌شوند. توجه کنید که هر یک از این لایه‌ها باید به ترتیب مورد پردازش قرار گیرند برای تشکیل ترانزیستورها و اتصالات باید دقت بسیار زیادی مبذول شود و هر چه تعداد لایه‌ها بیشتر باشد این کار مشکل‌تر است که نیاز به وسایل و تجهیزات نوری پیشرفته‌تری دارد، بنابراین قیمت تراشه بیشتر خواهد بود.

خلاصه

در این ضمیمه نگاهی داشتیم به فرآیندهای مختلف ساخت VLSI ، که شامل مشخصه‌های عناصر، فرآیندهای پردازش و طرح بندی است و البته تمام نکات تکنولوژی بسیار عالی VLSI را ارائه نکرده‌ایم. خوانندگان علاقمند می‌توانند به کتب مربوط در این زمینه مراجعه کنند و با جزئیات آن آشنا شوند.



شکل ۱۳-الف. مجموعه پوشش گذاری نوری وارونگر CMOS چاه n .توجه کنید که هر لایه نیاز به یک صفحه جدا گانه‌دارد. صفحات نوری (الف) ، (ت) (ث) و (ج) پوشش‌های تاریک و (ب) و (ت) و (چ) پوشش‌های روشن می‌باشند.

ضمیمه ب

پارامترهای شبکه دو درگاهی

مقدمه

در این کتاب از روشهای مختلف برای مشخص کردن شبکه‌های دو درگاهی استفاده کردیم. خلاصه‌ای از این موضوع در این ضمیمه آمده است.

مشخص کردن شبکه‌های دودرگاهی خطی

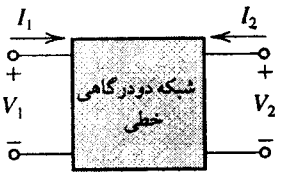
هر شبکهٔ دودرگاهی (شکل ۱-ب) چهار متغیر درگاهی دارد: V_1، I_1، V_2، I_2. اگر شبکهٔ دو درگاهی خطی باشد، می‌توان دو متغیر را متغیر تحریک و دو متغیر دیگر را متغیر پاسخ دانست. مثلاً می‌توان شبکه را با ولتاژ V_1 در درگاهی ۱ و ولتاژ V_2، در درگاهی ۲ تحریک کرد و جریانهای I_1 و I_2 متغیرهای وابسته هستند و کار شبکه را می‌توان با دو معادله زیر توصیف کرد:

$$I_1 = y_{11}V_1 + y_{12}V_2 \qquad (۱ - ب)$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \qquad (۲ - ب)$$

در اینجا پارامتر y_{11}، y_{12}، y_{21} و y_{22} ادمیتانس هستند و مقادیر آنها شبکهٔ دو درگاهی خطی را بطور کامل توصیف می‌کند.

بسته به اینکه کدام دو متغیر درگاهی برای تحریک شبکه به کار رود، مجموعه متفاوتی از معادلات (و بنابراین مجموعه پارامترهای متفاوت) برای مشخص کردن شبکه به دست می‌آید. در بحث زیر چهار مجموعه پارامتر متداول در الکترونیک را بررسی می‌کنیم.



شکل ۱ - ب . جهتهای مرجع چهار متغیر درگاهی در یک شبکهٔ دو درگاهی خطی

پارامترهای y

تشخیص ادمیتانس اتصال کوتاه یا پارامتر y بر اساس تحریک شبکه با V_1 و V_2 مطابق شکل [(الف)۲ - ب] است. معادله‌های توصیف کننده، معادله‌های (۱ - ب) و (۲ - ب) هستند. چهار پارامتر ادمیتانس را می‌توان با توجه به نقشی که در معادله‌های (۱- ب) و (۲ - ب) دارند، تعریف کرد. بطور خاص از معادله (۱ - ب) در می‌یابیم که y_{11} بصورت زیر تعریف می‌شود:

$$y_{11} = \frac{I_1}{V_1}\Big|_{V_2 = 0} \qquad (۳ - ب)$$

بنابراین y_{11} ادمیتانس ورودی درگاهی ۱ در حالتی است که درگاهی ۲ اتصال کوتاه است. این تعریف در شکل [(ب)۲ - ب] تشریح شده است که روشی فرضی برای اندازه‌گیری ادمیتانس اتصال کوتاه ورودی y_{11} نیز هست.

تعریف y_{12} را می‌توان از معادلهٔ (۱ - ب) بصورت زیر به دست آورد:

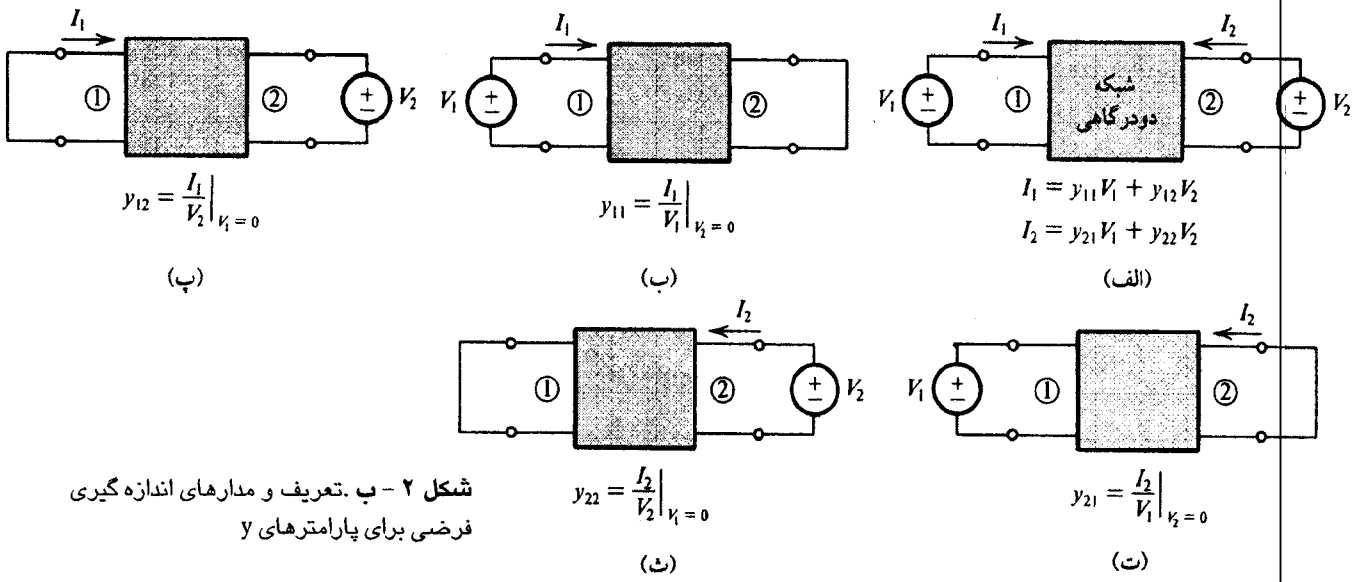
$$y_{12} = \frac{I_1}{V_2}\Big|_{V_1 = 0} \qquad (۴ - ب)$$

بنابراین y_{12} نشان دهنده انتقال از درگاهی ۲ به درگاهی ۱ است. چون در تقویت کننده‌ها درگاهی ۱، درگاهی ورودی و درگاهی ۲، درگاهی خروجی است، y_{12} فیدبک داخلی شبکه است. شکل [(پ) ب - ۲] تعریف و روش اندازه‌گیری y_{12} را نشان می‌دهد.

تعریف y_{12} را می‌توان از معادلهٔ (۲ - ب) بصورت زیر به دست آورد:

$$y_{21} = \frac{I_2}{V_1}\Big|_{V_2 = 0} \qquad (۵- ب)$$

بنابراین y_{21} نشان‌دهندهٔ انتقال از درگاهی ۱ به درگاهی ۲ است. اگر درگاهی ۱، درگاهی ورودی و درگاهی ۲، درگاهی خروجی یک تقویت کننده باشد،



شکل ۲ - ب .تعریف و مدارهای اندازه گیری فرضی برای پارامترهای y

آنگاه y_{21} نشان دهندهٔ بهره یا انتقال مستقیم است. شکل [(ت) ۲ - ب] تعریف و روش اندازه‌گیری y_{21} را نشان می‌دهد. با توجه به معادله (۲-ب) می‌توان پارامتر y_{22} را بصورت زیر تعریف کرد:

$$y_{22} = \frac{I_2}{V_2}\Big|_{V_1=0} \qquad (۶-ب)$$

یعنی y_{22} ادمیتانس از دید درگاهی ۲ با اتصال کوتاه شدن درگاهی ۱ است. در تقویت کننده‌ها y_{22} ادمیتانس اتصال کوتاه خروجی است. شکل [(ث)۲-ب] تعریف و روش اندازه‌گیری y_{22} را نشان می‌دهد.

پارامترهای z

مشخص کردن شبکه‌های دو درگاهی با امپدانس مدار باز (یا پارامترهای z) مبتنی بر تحریک شبکه با I_1 و I_2 مطابق شکل [(الف) ۳ - ب] است. معادلات توصیف کننده چنین است:

$$V_1 = z_{11}I_1 + z_{12}I_2 \qquad (۷ - ب)$$

$$V_2 = z_{21}I_1 + z_{22}I_2 \qquad (۸ - ب)$$

به دلیل دوگان بودن شاخصه‌های پارامتر z و y، درباره پارامترهای z بیشتر بحث نمی‌کنیم. تعریف روش اندازه‌گیری پارامترهای z در شکل (۳ - ب) داده شده است.

پارامترهای h

مشخص کردن شبکه‌های دو درگاهی با پارامترهای هیبرید (یا پارامترهای h) بر اساس تحریک شبکه با I_1 و V_2 مطابق شکل [(الف) ۴ - ب] است (به معنی هیبرید توجه کنید).

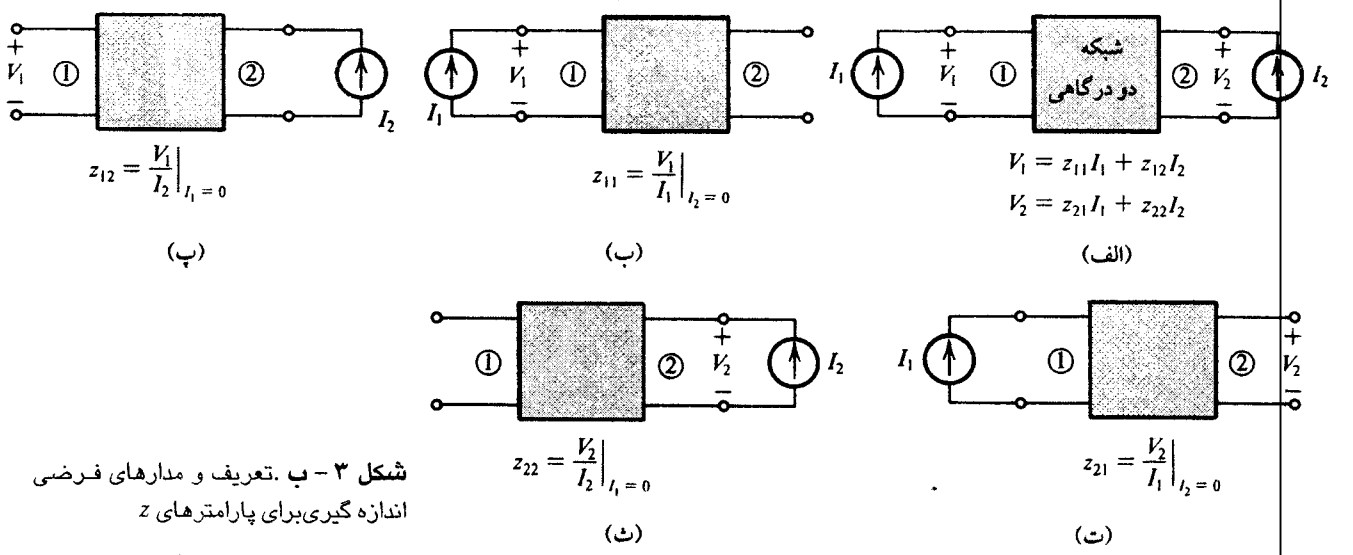
$$V_1 = h_{11}I_1 + h_{12}V_2 \qquad (۹ - ب)$$

$$I_2 = h_{21}I_1 + h_{22}V_2 \qquad (۱۰ - ب)$$

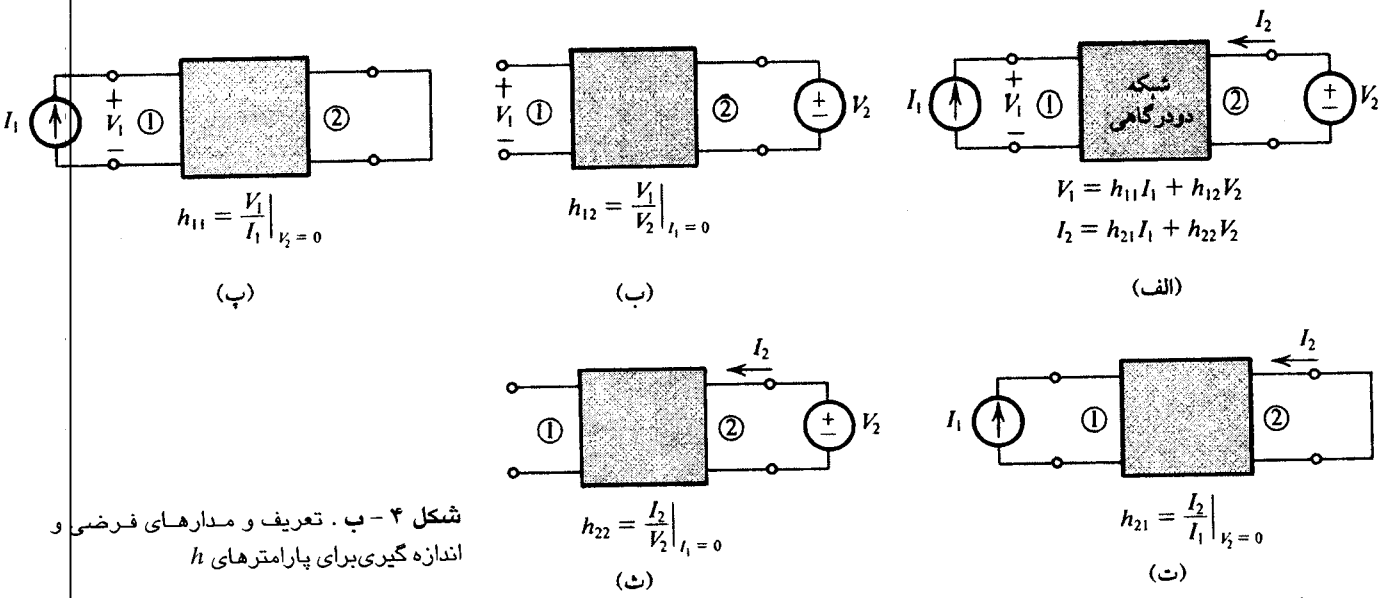
با توجه به آن، تعریف چهار پارامتر h چنین است:

$$h_{11} = \frac{V_1}{I_1}\Big|_{V_2=0} \qquad h_{21} = \frac{I_2}{I_1}\Big|_{V_2=0}$$

$$h_{12} = \frac{V_1}{V_2}\Big|_{I_1=0} \qquad h_{22} = \frac{I_2}{V_2}\Big|_{I_1=0}$$



شکل ۳ - ب .تعریف و مدارهای فرضی اندازه گیری‌برای پارامترهای z



شکل ۴ - ب . تعریف و مدارهای فرضی و اندازه گیری‌برای پارامترهای h

بنابراین h_{11} امپدانس ورودی در درگاهی ۱ با اتصال کوتاه کردن درگاهی ۲ است. پارامتر h_{12} نشانگر نسبت ولتاژ معکوس یا فیدبک شبکه است در حالی که درگاهی ورودی مدار باز باشد. پارامتر انتقال مستقیم h_{21} نشانگر بهرهٔ جریان شبکه با اتصال کوتاه شدن درگاهی خروجی است، به این دلیل h_{21} را بهرهٔ جریان اتصال کوتاه می‌نامند. سرانجام h_{22} ادمیتانس خروجی با مدار باز شدن درگاهی ورودی است.

تعریفها و مدارهای فرضی اندازه‌گیری پارامترهای h در شکل (۴- ب) داده شده است.

پارامترهای g

مشخص کردن شبکهٔ دودرگاهی بصورت هیبرید وارون (یا پارامترهای g) بر اساس تحریک شبکه به وسیله V_1 و I_2 مطابق شکل [(الف) ۵ - ب)] است. معادله‌های توصیف کننده چنین است:

$$I_1 = g_{11}V_1 + g_{12}I_2 \qquad (۱۱ - ب)$$

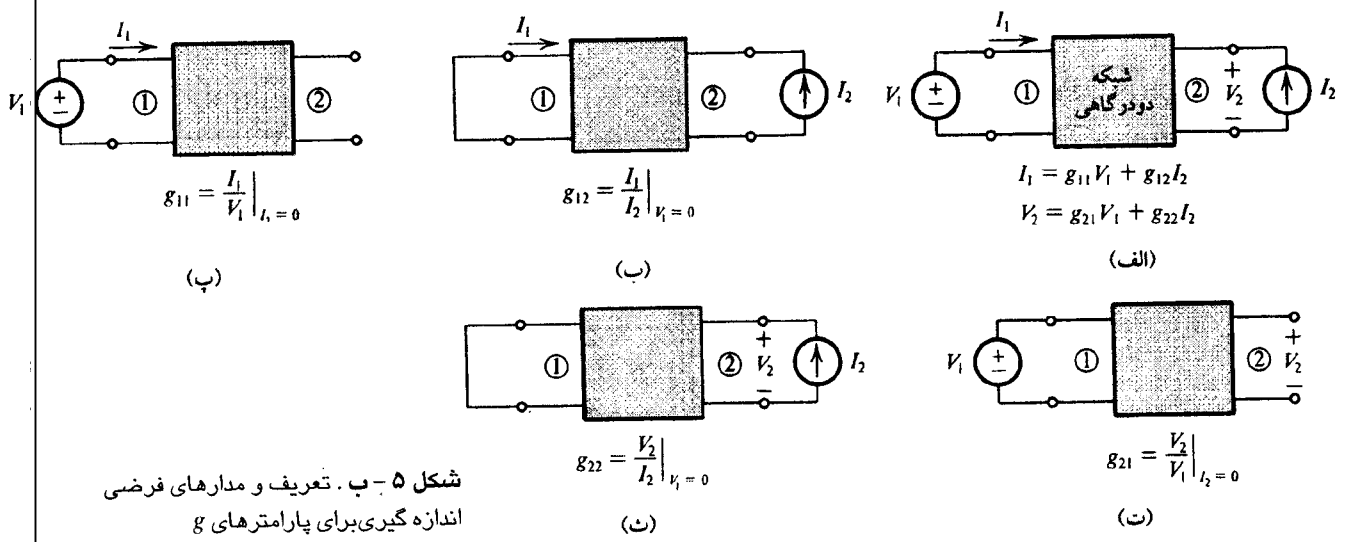
$$V_2 = g_{21}V_1 + g_{22}I_2 \qquad (۱۲ - ب)$$

تعریفها و مدارهای فرضی اندازه‌گیری در شکل (۵ - ب) داده شده است.

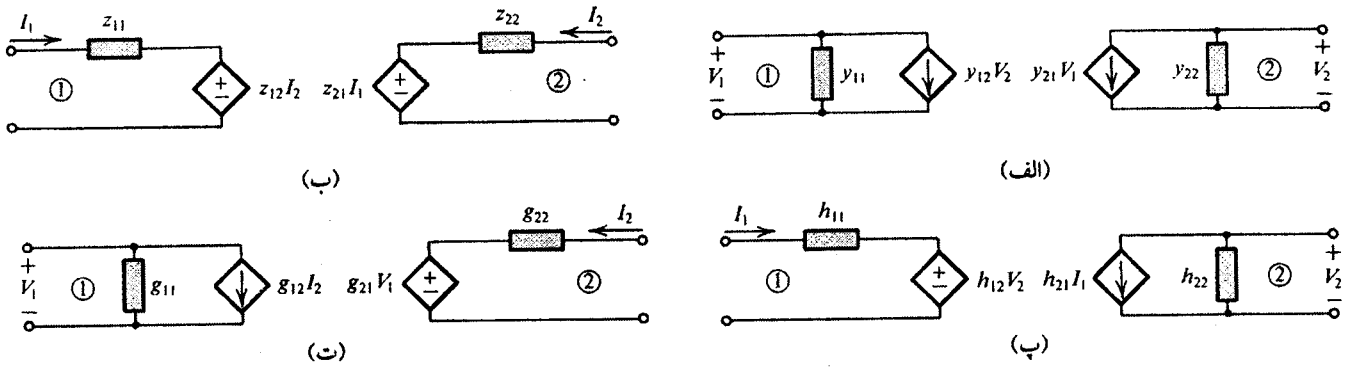
نمایش مدار هم‌ارز

شبکهٔ دودرگاهی را می‌توان با مدار هم‌ارزی بر اساس مجموعه پارامترهای به کار رفته برای مشخص کردن آن، نمایش داد. شکل (۶ - ب) چهار مدار هم‌ارز ممکن متناظر با چهار نوع پارامتر را نشان می‌دهد. هر یک از این مدارهای هم‌ارز نمایش تصویری مستقیم دو معادلهٔ متناظر توصیف کنندهٔ شبکه بر حسب همان پارامترهاست.

سرانجام باید گفت که برای مشخص کردن شبکهٔ دودرگاهی مجموعه‌های پارامتری دیگری نیز وجود دارد که در این کتاب بررسی نمی‌شود.



شکل ۵ - ب . تعریف و مدارهای فرضی اندازه گیری‌برای پارامترهای g

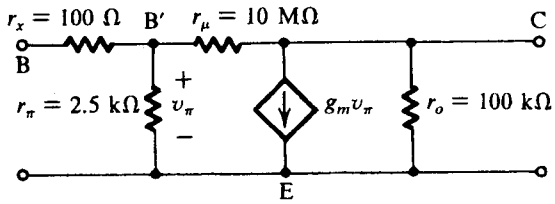


شکل ۶-ب. مدارهای هم‌ارز برای پارامترهای (الف) y، (ب) z، (پ) h، (ت) g

تمرین

۱ – ب شکل (تمرین ۱ - ب) مدل مداری هم‌ارز سیگنال-کوچک ترانزیستور را نشان می‌دهد. مقادیر پارامترهای h را بیابید.

جواب. $h_{11} \cong ۲/۶\text{k}\Omega$ ؛ $h_{12} \cong ۲/۵\times۱۰^{-۴}$ ؛ $h_{21} \cong ۱۰۰$ ؛ $h_{22} \cong ۲\times۱۰^{-۵}\Omega$ ❑



شکل (تمرین ۱ - ب)

مسائل

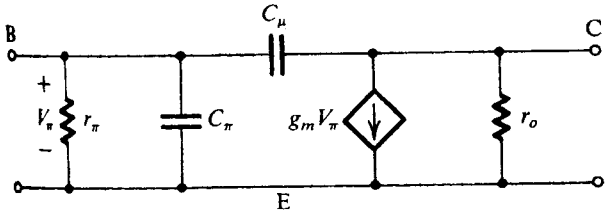
۱ – ب (الف) تقویت‌کننده‌ای که با مدار هم ارز h پارامتری مشخص شده با منبعی به ولتاژ V_s و مقاومت R_s تغذیه می‌شود و به بار R_L متصل شده است. نشان دهید که بهرهٔ ولتاژ برابر است با:

$$\frac{V_۲}{V_s} = \frac{-h_{۲۱}}{(h_{۱۱} + R_s)\,(h_{۲۲} + ۱/R_L) - h_{۱۲}h_{۲۱}}$$

ب) به کمک عبارت به دست آمده در قسمت (الف) بهرهٔ ولتاژ ترانزیستور تمرین (۱ - ب) را به ازای $R_s = ۱\text{k}\Omega$ و $R_L = ۱۰\text{k}\Omega$ به دست آورید.

۲ – ب در یک شبکهٔ دودرگاهی خواص پایانه‌ای زیر اندازه‌گیری شده است: وقتی خروجی اتصال کوتاه است، جریان ورودی ۰/۰۱mA و جریان خروجی ۱/۰mA و ولتاژ ورودی ۲۶mV است. وقتی ورودی مدار باز است و ولتاژ ۱۰V به خروجی اعمال می‌شود، جریان خروجی ۰/۲mA و ولتاژ اندازه‌گیری شده در ورودی ۲/۵mV است. مقادیر پارامترهای h را در این شبکه بیابید.

۳ – ب شکل (مسأله ۳ - ب) مدار هم‌ارز فرکانس بالای BJT را نشان می‌دهد. (برای سادگی r_x حذف شده است). پارامترهای y را بیابید.



شکل (مسأله ۳ - ب)

ضمیمه پ

مقدمه‌ای بر SPICE

مقدمه

در این ضمیمه، مقدمه‌ای کوتاه در مورد SPICE ارائه می‌شود، مشخصاً قصد داریم نشان دهیم که یک مدار چگونه برای SPICE تعریف می‌شود، این مطلب می‌تواند برای شروع کار با SPICE مفید باشد. اما برای کار با SPICE باید به کتب مربوطه مراجعه کرد.

در فصل‌های ۳ تا ۱۴ مثال‌هایی از تحلیل SPICE ارائه شد و نکاتی در مورد استفاده مناسب از SPICE در طراحی مدار تذکر داده شد. مدل‌های به کار رفته برای سه نیمه هادی اصلی در بخش SPICE فصل‌های ۳ تا ۵ نیز ارائه شدند.

۱ - پ SPICE چیست؟

SPICE یک برنامه کامپیوتری است که برای تحلیل مدار الکترونیکی شامل عناصر مختلف نظیر خازن مقاومت، ترانزیستور و دیود است به کار می‌رود. SPICE با استفاده از پارامترهای مدل قطعه که توسط کاربر مشخص می‌شود، تحلیل dc را انجام داده نقطه کار هر قطعه را مشخص می‌کند و با این مقادیر پارامترهای مدل سیگنال-کوچک، قطعه را محاسبه کرده و توسط این مقادیر، بهره ولتاژ، پاسخ فرکانسی و مشخصه‌های دیگر مدار را ارائه می‌نماید. SPICE می‌تواند پاسخ گذرای مدار غیر خطی نظیر مدار گیت منطقی و انواع تحلیل‌های دیگر را انجام دهد. برای تحلیل مدار توسط SPICE باید مراحل زیر طی شود:

(الف) توصیف مدار: توصیف کامل مدار مورد تحلیل، عناصر، منابع تغذیه dc و سیگنال موجود، نحوه اتصال آنها و مقادیر پارامتر مدل قطعات الکترونیکی به کار رفته.

(ب) تقاضاهای تحلیل: نوع تحلیل مثلاً، dc، سیگنال-کوچک گذرا و غیره که کاربر می‌خواهد انجام دهد.

(پ) تقاضاهای خروجی: نوع خروجی مورد نیاز مثلاً جدول ولتاژ جریان بایاس dc، ترسیم VTC یک گیت منطقی و غیره.

در ادامه، نحوه انتقال این موارد را به SPICE شرح می‌دهیم، اما قبل از آن یادآور می‌شویم که تمامی این اطلاعات توسط فایلی به نام فایل ورودی SPICE به کامپیوتر داده می‌شود.

اولین خط فایل ورودی، عنوان مدار مورد تحلیل است و آخرین خط دستور End . می‌باشد که بیانگر پایان فایل ورودی SPICE است. ترتیب بقیه خط‌ها، دلخواه است، اما توصیه می‌کنیم که برای راحتی کار، توضیحاتی را در سطرهای برنامه ارائه نمایید. توضیحات را می‌توانید با قرار دادن علامت ستاره در ابتدای خط، متمایز نمایید. برای مثال می‌توانید به ضمیمه ت مراجعه نمایید.

۲ - پ توصیف مدار

هر عنصر مدار توسط دستور عنصر که شامل نام عنصر، گره‌های مداری متصل و مقادیر پارامترهای الکتریکی آن است، مشخص می‌شود. حرف اول هر عنصر بیانگر نوع آن است (مثلاً R برای مقاومت) و نام می‌تواند از یک تا هشت حرف یا عدد باشد. گره‌ها با اعداد صحیح غیر منفی مشخص می‌شوند اما رعایت ترتیب آن‌ها ضروری نیست. گره زمین را باید با عدد صفر شماره‌گذاری کرد. هر گره باید حداقل دو اتصال داشته باشد غیر از گره‌های ماده زمینه MOSFET و خطوط انتقال ختم نشده که از این قاعده مستثنی هستند. قالب‌های مشخصات اصلی (البته نه بصورت کامل) در جدول (۱-پ) ارائه شده‌اند.

۱- نام هر عنصر با یک حرف شروع شده و شامل هشت حرف یا عدد است.

۲- +N و -N بیانگرهای گره‌های اتصال هستند، اولین گره مثبت است.

جدول ۱ - پ. ترکیب دستور عنصر

عنصر	نام			گره‌ها و مقادیر
مقاومت	Rxxxxxxx	N+	N−	VALUE
خازن	Cxxxxxxx	N+	N−	VALUE
القاگر	Lxxxxxxx	N+	N−	VALUE
VCCS	Gxxxxxxx	N+	N−	NC+NC−VALUE
VCVS	Exxxxxxx	N+	N−	NC+NC−VALUE
CCCS	Fxxxxxxx	N+	N−	VNAM VALUE
CCVS	Hxxxxxxx	N+	N−	VNAM VALUE
منبع ولتاژ	Vxxxxxxx	N+	N−	QUAL
منبع جریان	Ixxxxxxx	N+	N−	QUAL

توجه کنید که جهت جریان یک منبع جریان از +N به طرف −N می‌باشد.

۳- VALUE با واحد اهم، فاراد، هانری، A/V ، V/V ، A/A و V/A برای هفت عنصر اول جدول مشخص می‌شود. می‌توان از پیشوندهای جدول (۲ - پ) نیز استفاده کرد.

۴- +NC و −NC گره‌هایی هستند که ولتاژهای کنترل کننده ظاهر می‌شوند.

۵- VNAM منبع ولتاژی است که جریان کنترل‌کننده از آن خارج می‌شود.

۶- QUAL بیانگر مشخصات منبع است، یعنی DC یا گذرا (پالسی، سینوسی، نمایی، خطی قطعه‌ای) با اندازه آن و دیگر مشخصات مانند AC با اندازه و فاز آن.

۷- منبع ولتاژ با ولتاژ صفر به معنای محل اندازه‌گیری جریان است.

برای مثال یک مقاومت ۶/۸kΩ با نام R_{B2} بین گره‌های ۴ و ۵ را می‌توان با دستور عنصر زیر به SPICE معرفی کرد:

RB2 4 5 6.8K

یا یک خازن ۰/۱μF با نام C_{C1} متصل بین گره‌های ۳ و ۴ با ولتاژ dc اولیه ۵V بصورت زیر تعریف می‌شود:

CC1 3 4 1.OU IC=5

جدول ۲ - پ. ضریب‌های مختصر شده قابل قبول توسط SPICE

ضریب	پیشوند متریک	حرف پسوند
10^{+12}	ترا	T
10^{+9}	گیگا	G
10^{+6}	مگا	Meg
10^{+3}	کیلو	K
10^{-3}	میلی	M
10^{-6}	میکرو	U
10^{-9}	نانو	N
10^{-12}	پیکو	P
10^{-15}	فمتو	F

جدول ۳ - پ. دستور عنصر برای قطعات نیمرسانا

قطعه	نام	گره‌ها و مدل‌ها
دیود	Dxxxxxxx	N- N+ MNAMEAREA
BJT	Qxxxxxxx	NS NE NC NB MNAMEAREA
MOSFET	Mxxxxxxx	ND NG NS NB MNAME L W

در دستور فوق IC بیانگر "شرایط اولیه" است. آخرین مثال یک منبع ولتاژ کنترل شده با جریان است که بیانگر بهره تفاضلی یک تقویت کننده عملیاتی است: EOUT 3 0 2 1 100K

در دستور فوق EOUT برای مشخص کردن یک VCVS است که پایانه خروجی آن در گره ۳ نسبت به زمین (گره صفر) و پایانه‌های ورودی آن گره‌های 1 و 2، و نسبت کنترل آن 10^5 V/V است.

برای معرفی یک نیمرسانا به SPICE علاوه بر دستور عنصر، به دستور مدل نیز نیاز داریم. جدول (۳ - پ) نحوه استفاده از دستور عنصر را برای دیود، BJT و MOSFET نشان می‌دهد. به توضیحات زیر در این رابطه توجه نمایید:

۱- دستور با نام قطعه آغاز می‌شود، با اولین حرف آن که بیانگر نوع قطعه است.

۲- برای دیود، +N گرهی است که آند به آن متصل است و −N بیانگر اتصال کاتد می‌باشد.

۳- برای BJT ، NC ، NB ، NF و NS گره‌های کلکتور، بیس، امیتر و ماده زمینه (برای ICها) می‌باشند.

۴- برای MOSFET ، ND ، NG ، NS و NB گره‌های درین، گیت، سورس و بدنه (ماده زمینه) می‌باشند.

۵- MNAME بیانگر نام مدل قطعه است (مثلاً Q2N2222A برای BJT نوع 2N2222A) مقادیر پارامتر مدل در دستور مدل جداگانه مشخص می‌شود.

۶- AREA یک ضریب مقیاس ناحیه است (اختیاری)، تعداد دیودها یا BJTهای از این نوع است که بصورت موازی به هم وصل شده و تشکیل قطعه‌ای خاص را می‌دهند.

۷- L و W طول و عرض کانال MOSFET بر حسب متر است.

در جدول (۴ - پ) شکل دستور مدل برای دیودها، BJTها و MOSFETها نشان داده شده است.

در این جدول، MNAME اشاره به نام مدل دارد. برای هر قطعه به کار

جدول ۴ - پ. ترکیب دستور مدل

قطعه	Model statement
دیود	.Model MNAME D(IS = ...n = ...,ect.)
BJT	.Model MNAME NPN (or PNP)(IS = ..βF=...etc
MOSFET	.Model MNAME NMOS (or PMOS)(kp =...Vt0=...etc

جدول ۵ - پ.فرامین اصلی تحلیل

فرمان SPICE	تقاضاهای تحلیل
.OP	نقطه کار
.DC *source-name start-value stop-value step-value*	جاروب DC
.AC DEC *points-per-decade freq-start freq-stop*	پاسخ فرکانسی AC
.AC OCT *points-per-octave freq-start freq-stop*	
.AC LIN *total-point freq-start freq-stop*	
.TRAN time-step *time-stop [no-print-time max-step-size]* [UIC]	پاسخ گذرا

رفته در مدار یک دستور مدل مورد نیاز است که بیانگر مقادیر پارامتر مدل به کار رفته آن قطعه خاص است. برای چند قطعه همانند (مثلاً BJT) تنها یک دستور مدل کافی است. پس از مشخص کننده‌قطعه (D برای دیود، NPN برای *npn* BJT، PNP برای *pnp* BJT و غیره)، مقادیر پارامتر مدل فهرست می‌شود. برای اطلاعات بیشتر در رابطه با پارامترهای مدل به فصل‌های ۳ و ۴ و ۵ مراجعه کنید.

۳ - پ تقاضاهای تحلیل

پس از معرفی مدار به SPICE از طریق فایل ورودی، کاربر باید نوع تحلیل را در شبیه سازی مشخص نماید. سه انتخاب اصلی وجود دارد: نقطه کار DC، پاسخ فرکانسی AC، و پاسخ گذرا. جدول (۵ - پ) شکل دستور را به همراه فرمان جاروب DC نشان می‌دهد. توجه کنید که فرمان‌ها با یک نقطه (.) شروع می‌شوند که به SPICE می‌فهماند که این خط، یک خط فرمان است، و قسمتی از توصیف مدار نیست.

فرمان نقطه کار DC، .OP، ولتاژ DC همه گره‌ها و جریان شاخه‌ها و توان مصرفی منابع DC را مشخص می‌کند. فرمان .OP بصورت خودکار نتایج را در فایل خروجی چاپ می‌کند.

اگر چه مشخصه انتقالی DC را می‌توان با تکرار اجرای فرمان .OP به ازای مقادیر مختلف منبع dc ورودی به دست آورد، اما SPICE راه دیگری را پیشنهاد می‌کند، یعنی فرمان جاروب DC (.DC) که این عمل را بطور خودکار انجام می‌دهد. ترکیب این دستور شامل نام منبع DC که باید تغییر کند (*Source-name*) که با مقداری که توسط *Start-value* مشخص می‌شود شروع شده و بر اساس *Step-value* افزایش یا کاهش می‌یابد تا به مقدار نهایی *Stop-value* برسد.

با فرمان پاسخ فرکانسی AC (.AC)، SPICE، تحلیل پاسخ فرکانسی سیگنال-کوچک خطی را انجام می‌دهد، بطور خودکار نقطه کار DC مدار را محاسبه می‌کند و با استفاده از آن مدار معادل سیگنال-کوچک همه عناصر غیر خطی را ایجاد می‌نماید. سپس مدار معادل سیگنال-کوچک خطی، با فرکانس‌هایی که توسط *freq-start* شروع شده و با *freq-stop* خاتمه می‌یابد، تحلیل می‌شود. نقاط بین این دو بصورت لگاریتمی یا بر اساس دهدهی (DEC) یا مبنای هشت (OCT) رسم می‌شوند. تعداد این نقاط در یک بازه فرکانسی معین، *Points-per-decade* یا *Points-per-octave* مشخص می‌شود. می‌توانیم جاروب فرکانس خطی (LIN) و تعداد کل نقاط را با *total-points* مشخص کنیم. معمولاً جاروب فرکانس خطی هنگامی مورد استفاده قرار می‌گیرد که پهنای باند باریک باشد و در صورت زیاد بودن پهنای باند از جاروب لگاریتمی استفاده می‌شود.

سرانجام، با فرمان پاسخ گذرا (.TRAN)، SPICE متغیرهای مدار را بعنوان تابعی از زمان در یک بازه زمانی معین، محاسبه می‌نماید. زمان از $t=0$ شروع شده و با پله خطی *time-step* ثانیه افزایش می‌یابد تا به *time-stop* برسد. اگر چه همه تحلیل‌های گذرا باید در $t=0$ شروع شود می‌توانیم در سومین قسمت دستور که با کروشه محصور شده، یعنی *no-print-time* در چاپ نتایج تأخیر ایجاد نماییم. این کار، راهی آسان برای پرش از پاسخ گذرا و بررسی پاسخ حالت ماندگار است.

قبل از آغاز هر گونه تحلیل گذرا، SPICE باید مقادیر اولیه متغیرهای مدار را که معمولاً از تحلیل DC مدار به دست می‌آورد، تعیین نماید. اگر پارامتر اختیاری UIC (استفاده از شرایط اولیه) در دستور TRAN. مشخص شود، SPICE محاسبه بایاس DC را ترک کرده و به جای آن از اطلاعات (IC =) که در دستور خازن یا سلف موجود است، استفاده می‌کند. هر عنصر بدون اطلاعات (IC =) با شرایط اولیه صفر فرض می‌شود.

۴ - پ تقاضاهای خروجی

در شبیه سازی یک مدار داده‌های زیادی به دست می‌آید، و ارائه همه آن‌ها به کاربر غیر عملی است، و به همین دلیل SPICE امکانات نمایش را برای متغیرها فراهم می‌آورد. این کار شبیه قرار دادن پراب در گره مورد نظر است. جدول (۶ - پ) ترکیب دستورهای چاپ و ترسیم را نشان می‌دهد. فرمان .PRINT. متغیرها را بصورت جدولی بعنوان تابعی از متغیرهای مستقل مرتبط با تحلیل، چاپ می‌کند. با این دستور باید نوع تحلیل را نیز مشخص کنیم (یعنی DC، AC یا TRAN) که خروجی‌ها برای آن به دست آمده‌اند، سپس فهرستی از متغیرهای ولتاژ یا جریان را (که در *output-variables* مشخص می‌شود، که معمولاً متغیر ولتاژ، اختلاف ولتاژ بین دو گره مثلاً $node_1$ و $node_2$ بصورت V $(node_1, node_2)$ می‌باشد. اگر یکی از گره‌ها حذف شود، فرض می‌شود که گره زمین (0) بوده است.

جدول ۶ - پ. تقاضاهای خروجی SPICE

تقاضاهای خروجی	فرمان SPICE
چاپ نقاط داده	.PRINT CD *output-variables*
	.PRINT AC *output-variables*
	.PRINT TRAN *output-variables*
ترسیم نقاط داده	.PLOT DC *output-variables [(lower-plot-limit, upper-plot-limit)]*
	.PLOT AC *output-variables [(lower-plot-limit, upper-plot-limit)]*
	.PLOT TRAN *output-variables [(lower-plot-limit, upper-plot-limit)]*

نکات:

۱- *output-variables* می‌تواند ولتاژ یک گره، V (*node*) ، اختلاف ولتاژ دو گره V ($node_1$, $node_2$) یا جریان عبوری از یک منبع ولتاژ I (V *name*) باشد.

۲- AC *output-variables* می‌تواند مقادیر زیر باشد:

قسمت حقیقی : V_r و I_r

قسمت موهومی : V_i و I_i

اندازه : V_m و I_m

فاز : V_p و I_p

دسی بل : V_{db} و I_{db}

۳- PSPICE دارای خروجی قابل انعطاف‌تری برای مشخص کردن *output-variables* است.

SPICE ، فقط جریان عبوری از منابع ولتاژ مستقل را نشان می‌دهد. این جریان باید با I (V *name*) مشخص شود که V *name* نام منبع ولتاژ مستقلی است که جریان از آن خارج می‌شود. اگر بخواهیم جریان یک شاخه خاص را بدون منبع ولتاژ مشاهده کنیم، یک منبع ولتاژ با مقدار صفر را بصورت سری به آن شاخه اضافه کرده و جریان عبوری از آن را توسط SPICE به دست می‌آوریم.

در یک تحلیل DC ، مقادیر چاپ شده، ولتاژ گره‌ها یا جریان شاخه‌هاست که بعنوان تابعی از یک منبع DC خاص در شبکه می‌باشد.

در تحلیل AC ، متغیرهای خروجی مقادیر سینوسی یا فازوری هستند که تابعی از فرکانس بوده و با اعداد مختلط نمایش داده می‌شود. SPICE این نتایج را بصورت اعداد حقیقی و موهومی یا اندازه و فاز ارائه می‌کند. هنگامی که راحت‌تر باشد می‌توان اندازه را بر حسب دسی‌بل بیان کرد. برای دستیابی به نوع متغیر خاص، جدول (۶ - پ) نشان می‌دهد که چگونه یک پیشوند به حرف V یا I اضافه می‌شود.

نتایج یک تحلیل TRAN. ولتاژ گره یا جریان شاخه می‌باشد که تابعی از زمان است.

SPICE از جنبه ترسیمی، یک خط ساده از روی متغیرهای خروجی بعنوان تابعی از متغیر مستقل رسم می‌کند. ترکیب و فرمان ترسیم مشابه فرمان چاپ است و کلمه کلیدی PRINT. به PLOT. تبدیل می‌شود.

۵ - پ تذکر نهایی

به خواننده پیشنهاد می‌کنیم برای به دست آوردن تجربیاتی در زمینه نوشتن برنامه‌ها SPICE به ضمیمه ت مراجعه نماید. این برنامه‌ها برای مثال‌های ارائه شده در فصل‌های ۳ تا ۱۴ نوشته شده‌اند. البته مرحله بعد، تلاش در شبیه سازی SPICE سایر مدارهای این کتاب است. مسائل انتهای هر فصل نمونه خوبی برای این مورد هستند.

ضمیمه ت

فهرست فایل‌های ورودی SPICE برای مثال‌های شبیه سازی

در این ضمیمه، فهرست کامل فایل‌های ورودی SPICE برای مثال‌های شبیه سازی فصل‌های ۳ تا ۱۴ ارائه شده است.

```
** A Regulated Power Supply **
* zener diode subcircuit
.subckt zener_diode 1 2
* connections:      | |
*               anode |
*               cathode
Dforward 1 2 1mA_diode
Dreverse 2 4 ideal_diode
Vz0 4 3 DC 4.9V
Rz 1 3 10
* diode model statements
.model 1mA_diode D   (Is=100pA n=1.679 )
.model ideal_diode D (Is=100pA n=0.01 )
.ends zener_diode
** Main Circuit **
* ac line voltage
Vac 1 0 sin(0 169V 60Hz)
Rs 1 2 0.5
* transformer section with center-tap
Lp   2 0 10mH
Ls1  3 4 51uH
Ls2  4 5 51uH
K12 Lp  Ls1 0.999
K13 Lp  Ls2 0.999
K23 Ls1 Ls2 0.999
* isolation resistor
Risolation 4 0 100Meg
* full-wave peak rectifier circuit
D1 3 6 D1N4148
D2 5 6 D1N4148
C 6 4 583uF
R 6 7 160
* zener diode
XZ1 4 7 zener_diode
* load
Rload 7 4 500
* diode model statement
.model D1N4148 D (Is=0.1pA Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)
** Analysis Requests **
.OPTIONS ITL5=0
.TRAN 0.5ms 200ms 0ms 0.5ms UIC
** Output Requests **
.plot TRAN V(7,4) V(6,4)
.probe
.end
```

شکل ۱ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵۲-۳)

```
** A Voltage Doubler Circuit **

** Circuit Description **
Vi 1 0 sin ( 0 10V 1kHz )
C1 1 2 1u
C2 3 0 1u
D1 2 0 D1N4148
D2 3 2 D1N4148
* diode model statement
.model D1N4148 D (Is=0.1pA Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)

** Analysis Requests **
.TRAN 100u 10m 0m 100u
** Output Requests **
.PLOT TRAN V(1) V(2) V(3)
.probe
.end
```

شکل ۲ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (الف ۳۳-۳ ت)

```
** Investigating the Sensitivity of Emitter Current To Amp Components **

** Circuit Description **
* power supply
Vcc 1 0 DC +12V
* amplifier circuit
Q1 2 3 4 Q2N2222A
Rc 1 2 4k
R1 1 3 80k
R2 3 0 40k
Re 4 5 3.3k
Vemitter 5 0 0
* transistor model statement for the 2N2222A
.model Q2N2222A NPN (Is=14.34f Xti=3 Eg=1.11 Vaf=74.03 Bf=255.9 Ne=1.307
+        Ise=14.34f Ikf=.2847 Xtb=1.5 Br=6.092 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=7.306p Mjc=.3416 Vjc=.75 Fc=.5 Cje=22.01p Mje=.377 Vje=.75
+        Tr=46.91n Tf=411.1p Itf=.6 Vtf=1.7 Xtf=3 Rb=10)
** Analysis Requests **
.SENS I(Vemitter)
** Output Requests **
* none required
.end
```

شکل ۳ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۷۵-۴)

```
** Common-Emitter Amplifier Stage **

** HSPICE Circuit Description **
* power supplies
Vcc 1 0 DC +10V
Vee 8 0 DC -10V
* input signal
* for output resistance, change Vs from 10mV to 0V
Vs 6 0 AC 10mV
Rs 5 6 10k
* amplifier
C1 4 5 1GF
Rb 4 0 100k
XQ1 2 4 3 t2n2222a
Rc 1 2 10k
Re 3 8 10k
C2 2 7 1GF
C3 3 10 1GF
* emitter degeneration resistor (vary as needed)
Rdegen 10 0 100
* load + ammeter
Rl 7 9 10k
* for output resistance, change Vout from 0 to 10mV
* Vout 9 0 AC 10mV
Vout 9 0 0
* HSpice transistor model statement for the 2N2222A
* betaf=100 in this example: also vary to 153 and 200
 .macro t2n2222a 1 2 3 betaf=100 tauf=5.1e-10
 *02-870918
 q2n2222a 1 2 3 t2n2222a
  .model t2n2222a npn
```

شکل ۴ - ت. فهرست شبکه ورودی HSPICE برای مدار شکل (۷۶-۴)

```
 + iss     =    0.        xtf     =    1.        ns      =    1.00000
 + cjs     =    0.        vjs     =    0.50000   ptf     =    0.
 + mjs     =    0.        eg      =    1.10000   af      =    1.
 + itf     =    0.50000   vtf     =    1.00000   bf      =  betaf
 + br      =   40.00000   is      =  1.6339e-14  vaf     =  103.40529
 + var     =   17.77498   ikf     =    1.00000   ise     =  4.6956e-15
 + ne      =    1.31919   ikr     =    1.00000   isc     =  3.6856e-13
 + nc      =    1.10024   irb     =  4.3646e-05  nf      =    1.00531
 + nr      =    1.00688   rbm     =  1.0000e-02  rb      =   71.82988
 + rc      =    0.42753   re      =  3.0503e-03  mje     =    0.32339
 + mjc     =    0.34700   vje     =    0.67373   vjc     =    0.47372
 + tf      =    tauf      tr      =  380.00e-9   cje     =  2.6734e-11
 + cjc     =  1.4040e-11  fc      =    0.95000   xcjc    =    0.94518
 + subs    =    1
.eom
** Analysis Requests **
* calculate DC bias point information
.OP
.AC LIN 1 1kHz 1kHz
** Output Requests **
*  voltage gain Av=Vo/Vs
.PRINT AC Vm(6) Vp(6) Vm(7) Vp(7)
*  current gain Ai=Io/Ii
.PRINT AC Im(Vs) Ip(Vs) Im(Vout) Ip(Vout)
* input resistance Ri=Vi/Ii
.PRINT AC Vm(4) Vp(4) Im(Vs) Ip(Vs)
* for output resistance, print these values too
* .PRINT AC Vm(7) Vp(7) Im(Vout) Ip(Vout)
.end
```

شکل ۴ – ت. (ادامه)

```
** A CMOS Amplifier **

** Circuit Description **
* dc supplies
Vdd 1 0 DC +10V
Iref 2 0 DC 100uA
* input signal
Vi 4 0 DC 0V
* amplifier circuit
M1 3 4 0 0 nmos L=10u W=100u
M2 3 2 1 1 pmos L=10u W=100u
M3 2 2 1 1 pmos L=10u W=100u
* mosfet model statements (by default, level 1)
.model nmos nmos (kp=20u Vto=+1V lambda=0.01)
.model pmos pmos (kp=10u Vto=-1V lambda=0.01)
** Analysis Requests **
* calculate DC transfer characteristics
.DC Vi 0V +10V 10mV
** Output Requests **
.PLOT DC V(3)
.probe
.end
```

شکل ۵ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵–۷۵)

```
** The CMOS Inverter **

** Circuit Description **
* dc supplies
Vdd 1 0 DC +5V
* input digital signal
Vi  3 0 DC +5V
* MOSFET inverter circuit
M1 2 3 0 0 MN L=3um W=3um
M2 2 3 1 1 MP L=3um W=9um
* BNR 3um transistor model statements (level 3)
.MODEL MN nmos level=3 vto=.7 kp=4.e-05 gamma=1.1 phi=.6
+  lambda=.01 rd=40 rs=40  pb=.7 cgso=3.e-10 cgdo=3.e-10
+  cgbo=5.e-10 rsh=25 cj=.00044  mj=.5 cjsw=4.e-10 mjsw=.3
+  js=1.e-05 tox=5.e-08 nsub=1.7e+16  nss=0 nfs=0 tpg=1 xj=6.e-07
+  ld=3.5e-07 uo=775  vmax=100000  theta=.11  eta=.05 kappa=1
.MODEL MP pmos level=3 vto=-.8 kp=1.2e-05 gamma=.6 phi=.6
+  lambda=.03 rd=100 rs=100  pb=.6 cgso=2.5e-10 cgdo=2.5e-10
+  cgbo=5.e-10 rsh=80 cj=.00015  mj=.6 cjsw=4.e-10 mjsw=.6
+  js=1.e-05 tox=5.e-08 nsub=5.e+15  nss=0 nfs=0 tpg=1 xj=5.e-07
+  ld=2.5e-07 uo=250  vmax=70000  theta=.13  eta=.3 kappa=1
** Analysis Requests **
.DC Vi 0 5 50mV
** Output Requests **
.PLOT DC V(2) Id(M1)
.probe
.end
```

شکل ۶ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵–۷۷)

```
** A Simple Operational Amplifier **

* store the simulation results requested in a graph data file
.options post

** Circuit Description **
* power supplies
Vcc 4 0 DC +15V
Vee 5 0 DC -15V
* differential-mode signal level
Vd 101 0 DC 0V
* for small-signal parameters, bias with -Vos across input terminals
* Vd 101 0 DC -178.5uV AC 1
Rd 101 0 1
EV+ 1 100 101 0 +0.5
EV- 2 100 101 0 -0.5
* common-mode signal level
Vcm 100 0 DC 0V
* 1st stage
R1 4 7 20k
R2 4 8 20k
Q1 7 1 6 npn_transistor
Q2 8 2 6 npn_transistor
Q3 6 9 5 npn_transistor
* 2nd stage
R3 4 11 3k
Q4 4 7 10 npn_transistor
Q5 11 8 10 npn_transistor
Q6 10 9 5 npn_transistor 4
* 3rd or output stage
R4 4 12 2.3k
Q7 13 11 12 pnp_transistor
R5 13 5 15.7k
Q8 4 13 3 npn_transistor
R6 3 5 3k
* biasing stage
Rb 0 9 28.6k
Q9 9 9 5 npn_transistor
* transistor model statements
.model npn_transistor npn ( Is=1.8fA Bf=100 VAf=100V )
.model pnp_transistor pnp ( Is=1.8fA Bf=100 VAf=100V )

** Analysis Requests **
* compute DC operating point using the following initial guesses
.OP
.NODESET V(3)=0V V(6)=-0.7V V(7)=+10V V(8)=+10V V(9)=-14.3V V(10)=+9.3V
+        V(11)=+12V V(12)=+12.7V V(13)=+0.7V
* compute large-signal differential-input transfer characteristics of amp
.DC Vd -15V +15V 100mV
* expanded view of high-gain region
* .DC Vd -5mV +5mV 10uV
** Output Requests **
.PLOT DC V(3)
* compute the small-signal parameters of the amplifier
* .tf v(3) vd
* .ac lin 1 1Hz 1Hz
* .print ac Im(ev+) Im(ev-) vm(1,2)
* for input common-mode range (with Vd=-178.5uV)
* .DC Vcm -15V +15V 0.1V
.end
```

شکل ۷ – ت. فهرست شبکه ورودی HSPICE برای مدار شکل (۵۲-۶)

```
** A Common-Emitter Amplifier **

** Circuit Description **
* power supplies
Vcc 1 0 DC +12V
* input signal source
Vs 7 0 AC 1V
Rs 7 6 4k
* CE stage
Cc1 6 3 1uF
R1 1 3 8k
R2 3 0 4k
Q1 2 3 4 Q2N3904
Re 4 0 3.3k
Rc 1 2 6k
Ce 4 0 10uF
Cc2 2 5 1uF
* output load
Rl 5 0 4k
*
```

شکل ۸ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۱۳-۷)

```
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+        Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+        Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
.OP
.AC DEC 10 1Hz 100MegHz
** Output Requests **
.PLOT AC VdB(5)
.probe
.end
```

شکل ۸ – ت. ادامه

```
** A Cascode Amplifier **

** Circuit Description **
* power supplies
Vcc 1 0 DC +15V
* input signal source
Vs 9 0 AC 1V
Rs 9 8 4k
* CE stage (input stage)
Cc1 6 8 1uF
R1 1 3 18k
R2 3 6 4k
R3 6 0 8k
Q1 4 6 7 Q2N3904
Re 7 0 3.3k
Ce 7 0 10uF
* CB stage (upper stage)
Q2 2 3 4 Q2N3904
Rc 1 2 6k
Cb 3 0 10uF
Cc2 2 5 1uF
* output load
Rl 5 0 4k
*
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+        Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+        Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
.OP
.AC DEC 10 1Hz 100MegHz
** Output Requests **
.PLOT AC VdB(5)
.probe
.end
```

شکل ۹ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۱۷–۷ ت)

```
** Differential Amplifier With Emitter Resistors **
* set acout=0 so HSPICE calculates vdb(x,y) as "magnitude of difference",
* rather than "difference of magnitude"
.options post acout=0
** Circuit Description **
* power supplies
Vcc 1 0 DC +10V
* input signal source
Vs 6 0 AC 1V
Rs 6 5 5k
* differential pair
Rc1 1 2 10k
Rc2 1 3 10k
Q1 3 5 7 Q2N3904
Q2 2 77 8 Q2N3904
Rs2 77 0 5k
* emitter resistors
* zero-resistance
Re1 7 4 0.00001
Re2 8 4 0.00001
* current biasing
Ibias 4 0 1mA
*
```

شکل ۱۰ – ت. فهرست شبکه ورودی HSPICE برای مدار مثال (۱۰–۷)

```
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+        Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+        Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
.OP
.ac DEC 10 1Hz 100MegHz
** Output Requests **
.print vdb(3,2)
* re-run simulation for resistor values 100, 200 and 300
.alter
Re1 7 4 100
Re2 8 4 100
.alter
Re1 7 4 200
Re2 8 4 200
.alter
Re1 7 4 300
Re2 8 4 300
.end
```

شکل ۱۰ - ت. (ادامه)

```
** Feedforward Network Of Current-Sampling Shunt-Mixing Amplifier **
** Circuit Description **
* input signal source
Ii'  0 10 DC 0A AC 1A
Rs 10 0 10k
* output current (collector current of Q2)
Vout 60 6 DC 0V AC 0V
* power supply
Vcc 1 0 DC +12V
* amplifier circuit
* 1st stage
Q1 2 3 4 Q2N3904
Rc1 1 2 10k
Re1 4 0 870
Ce  4 0 1GF
Rb1 1 3 100k
Rb2 3 0 15k
* 2nd stage
Q2 5 2 60 Q2N3904
Rc2 1 5 8k
* decoupling capacitors
Cc1 10 3 1GF
Cc2 5 8 1GF
* load
Rl 8 0 1k
* open feedback circuit
* input side
Rfi 3 72 10k
Cfi 73 72 1GF
Re2i 73 0 3.4k
* output side
Rfo 71 0 10k
Cfo 6 71 1GF
Re2o 6 0 3.4k
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+  Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+  Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+  Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
.OP
.AC LIN 1 1Hz 1Hz
** Output Requests **
.PRINT AC Im(Vout) Ip(Vout) Vm(10) Vp(10)
.end
```

شکل ۱۱ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (ب ۴۱-۸)

```
** Computing The Loop Terminating Resistance Rt **

** Circuit Description **
* input source set to zero for output impedance calculation
Vs 11 0 DC 0 AC 0
Rs 11 10 10k
* short-circuit output port
Vout 0 9 0
* power supply
Vcc 1 0 DC +12V
* amplifier circuit
* 1st stage
Rc1 1 2 10k
Q1 2 3 4 Q2N3904
Re1 4 0 870
Ce1 4 0 1GF
Rb1 1 3 100k
Rb2 3 0 15k
* 2nd stage
Rc2 1 5 8k
Q2 5 21 6 Q2N3904
* decoupling capacitors
Cc1 10 3 1GF
Cc2 5 8 1GF
* load
Rl 8 9 1k
* feedback circuit
Re2 6 0 3.4k
Rf 3 7 10k
Cf 6 7 1GF
* inject signal into feedback loop without disturbing DC bias
Lt 2 21 1GH
Cti 21 22 1GF
Vt 22 0 AC 1V
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+        Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+        Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
.AC LIN 1 1Hz 1Hz
** Output Requests **
* print resistance seen by Vt: Rt=V(22)/I(Vt)
.PRINT AC Vm(22) Vp(22) Im(Vt) Ip(Vt)
.end
```

شکل ۱۲ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (الف ۴۲-۸)

```
** Computing The Short-Circuit Current Transfer Function **

** Circuit Description **
* power supply
Vcc 1 0 DC +12V
* input source set to zero for output impedance calculation
Vs 11 0 DC 0 AC 0
Rs 11 10 10k
* amplifier circuit
* 1st stage
Rc1 1 2 10k
Q1 2 3 4 Q2N3904
Re1 4 0 870
Ce1 4 0 1GF
Rb1 1 3 100k
Rb2 3 0 15k
* 2nd stage
Rc2 1 5 8k
Q2 5 21 6 Q2N3904
* decoupling capacitors
Cc1 10 3 1GF
Cc2 5 8 1GF
* load
Rl 8 9 1k
* output current
Vout 0 9 DC 0
* feedback circuit
Re2 6 0 3.4k
Rf 3 7 10k
Cf 6 7 1GF
* inject signal into feedback loop
Lt 2 21 1GH
It 0 21 AC 1A
* at collector of Q1
Cto 2 23 1GF
Vsc 23 0 0
* transistor model statement for 2N3904
.model Q2N3904  NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+        Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+        Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+        Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
** Analysis Requests **
```

شکل ۱۳ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (ب ۴۲-۸)

```
.AC LIN 1 1Hz 1Hz
** Output Requests **
* print short-circuit current gain
.PRINT AC Im(Vsc) Ip(Vsc)
.end
```

شکل ۱۳ – ت. (ادامه)

```
** Class B Output Stage **

** Circuit Description **
* power supplies
Vcc+ 1 0 DC +23V
Vcc- 2 0 DC -23V
* input signal source
Vi 3 0 sin ( 0V 17.9V 1kHz )
* output buffer
Qn 1 3 4 NA51
Qp 2 3 4 NA52
* load resistance
Rl 4 0 8
* transistor model statement for National Semiconductor's
* complementary transistors NA51 and NA52
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0 Ne=1.5 Ikf=0
+       Nk=.5 Xtb=1.5 Br=1 Isc=0 Nc=2 Ikr=0 Rc=0 Cjc=76.97p Mjc=.2072
+       Vjc=.75 Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n Tf=1n Itf=1 Xtf=0
+       Vtf=10)
.model NA52 PNP (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0 Ne=1.5 Ikf=0
+       Nk=.5 Xtb=1.5 Br=1 Isc=0 Nc=2 Ikr=0 Rc=0 Cjc=112.6p Mjc=.1875
+       Vjc=.75 Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n Tf=1n Itf=1 Xtf=0
+       Vtf=10)
** Analysis Requests **
.Tran 10us 3ms 0ms 10us
** Output Requests **
.Plot Tran V(1) i(Vcc+)
.Plot Tran V(2) i(Vcc-)
.Plot Tran V(4) i(Rl)
.Plot Tran V(1,4) i(Vcc+)
.Plot Tran V(2,4) i(Vcc-)
* for Fourier Analysis (and THD)
* .FOUR 1kHz V(4)
* for VTC, replace transient analysis with DC sweep
* .DC Vi -10V +10V 50mV
* .Plot DC V(4)
.probe
.end
```

شکل ۱۴ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۳۹-۹)

```
** A CMOS Operational Amplifier (5um CMOS Models) **

** Circuit Description **
* power supplies
Vdd 4 0 DC +5V
Vss 5 0 DC -5V
* differential-mode signal level
Vd 101 0 DC 0V
* to DC sweep the input common-mode level, offset diff-input by +220uV
* Vd 101 0 DC +220.0uV
Rd 101 0 1
EV+ 2 100 101 0 +0.5
EV- 1 100 101 0 -0.5
* common-mode signal level
Vcm 100 0 DC 0V
* front-end stage
M1 7 1 6 4 pmos_transistor L=8u W=120u
M2 8 2 6 4 pmos_transistor L=8u W=120u
```

شکل ۱۵ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۴۰-۱۰)

```
M3 7 7 5 5 nmos_transistor L=10u W=50u
M4 8 7 5 5 nmos_transistor L=10u W=50u
M5 6 9 4 4 pmos_transistor L=10u W=150u
* 2nd gain stage
M6 3 8 5 5 nmos_transistor L=10u W=100u
M7 3 9 4 4 pmos_transistor L=10u W=150u
* current source biasing stage
M8 9 9 4 4 pmos_transistor L=10u W=150u
Iref 9 5 25uA
* compensation network
Cc 8 10 10pF
R 10 3 10k
* 5um BNR CMOS transistor model statements
.MODEL nmos_transistor nmos ( level=2 vto=1 nsub=1e16 tox=8.5e-8 uo=750
+    cgso=4e-10 cgdo=4e-10 cgbo=2e-10 uexp=0.14 ucrit=5e4 utra=0 vmax=5e4
+    rsh=15 cj=4e-4 mj=2 pb=0.7 cjsw=8e-10 mjsw=2 js=1e-6 xj=1u ld=0.7u )
.MODEL pmos_transistor pmos ( level=2 vto=-1 nsub=2e15 tox=8.5e-8 uo=250
+    cgso=4e-10 cgdo=4e-10 cgbo=2e-10 uexp=0.03 ucrit=1e4 utra=0 vmax=3e4
+    rsh=75 cj=1.8e-4 mj=2 pb=0.7 cjsw=6e-10 mjsw=2 js=1e-6 xj=0.9u ld=0.6u )
** Analysis Requests **
.DC Vd -4mV +4mV 100uV
* to DC sweep the input common-mode level
* .DC Vcm -5V +5V 0.1V
* for DC operating-point information and small-signal "DC gain"
* .OP
* .TF V(3) Vd
** Output Requests **
.PLOT DC V(3)
.probe
.end
```

شکل ۱۵ - ت. (ادامه)

```
** Fifth-Order Chebyshev Filter Circuit **

** Circuit Description **

* op-amp subcircuit
.subckt ideal_opamp 1 2 3
* connections:        | | |
*                output | |
*               +ve input |
*                 -ve input
Eopamp 1 0 2 3 1e6
Iopen1 2 0 0A       ; redundant connection made at +ve input terminal
Iopen2 3 0 0A       ; redundant connection made at -ve input terminal
.ends ideal_opamp

** Main Circuit **
* input signal source
Vi 1 0 DC 0V AC 1V
* first biquad stage (Wo=41.17k rad/s  Q=1.4)
X_A1_1 5 2 4 ideal_opamp
X_A2_1 3 6 4 ideal_opamp
R1_1 5 6 10k
R2_1 4 5 10k
R3_1 3 4 10k
C4_1 2 3 2.43nF
R5_1 1 2 10k
C6_1 6 0 2.43nF
R6_1 6 0 14k
X_A3_1 7 6 7 ideal_opamp
* second biquad stage (Wo=62.46k rad/s  Q=5.56)
X_A1_2 11 8 10 ideal_opamp
X_A2_2 9 12 10 ideal_opamp
R1_2 11 12 10k
R2_2 10 11 10k
R3_2  9 10 10k
C4_2  8  9 1.6nF
R5_2  7  8 10k
C6_2 12  0 1.6nF
R6_2 12  0 55.6k
X_A3_2 13 12 13 ideal_opamp
* first-order stage
X_A1_3 15 0 14 ideal_opamp
R1_3 13 14 10k
R2_3 14 15 10k
C1_3 14 15 5.5nF
** Analysis Requests **
.AC LIN 100 1Hz 20kHz
** Output Requests **
.PLOT AC VdB(15) Vp(15)
.probe
.end
```

شکل ۱۶ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (الف ۴۹-۱۱)

```
** Second-Order Bandpass Filter Circuit (Nonideal Op-Amp) **

** Circuit Description **

* op-amp subcircuit
.subckt nonideal_opamp 1 2 3
* connections:          | | |
*                 output | |
*                +ve input |
*                  -ve input
Ricm+ 2 0 500Meg
Ricm- 3 0 500Meg
Rid 2 3 2Meg
Gm 0 4 2 3 0.19m
R1 4 0 1.323G
C1 4 0 30pF
Eoutput 5 0 4 0 1
Ro 5 1 75
.ends nonideal_opamp

** Main Circuit **
* input signal source
Vi 1 0 DC 0V AC 1V
* Tow-Thomas Biquad
X_A1 3 0 2 nonideal_opamp
X_A2 5 0 4 nonideal_opamp
X_A3 7 0 6 nonideal_opamp
Rg 1 2 200k
R1 2 7 10k
R2 3 4 10k
R3 5 6 10k
R4 6 7 10k
Rd 2 3 200k
C1 2 3 1.59nF
C2 4 5 1.59nF
** Analysis Requests **
.AC LIN 100 8kHz 12kHz
** Output Requests **
.PLOT AC VdB(3) Vp(3)
.probe
.end
```

شکل ۱۷ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵۲-۱۱)

```
** A Wien-Bridge Oscillator With Amplitude Stabilization **

** Circuit Description **

* op-amp subcircuit
.subckt uA741          1 2 3 4 5
* connections:         | | | | |
*                      | | | | |
*   non-inverting input | | | |
*         inverting input | | |
*     positive power supply | |
*       negative power supply |
*                        output
*
*
  c1   11 12 8.661E-12
  c2    6  7 30.00E-12
  dc    5 53 dx
  de   54  5 dx
  dlp  90 91 dx
  dln  92 90 dx
  dp    4  3 dx
  egnd 99  0 poly(2) (3,0) (4,0) 0 .5 .5
  fb    7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
  ga    6  0 11 12 188.5E-6
  gcm   0  6 10 99 5.961E-9
  iee  10  4 dc 15.16E-6
  hlim 90  0 vlim 1K
  q1   11  2 13 qx
  q2   12  1 14 qx
  r2    6  9 100.0E3
  rc1   3 11 5.305E3
  rc2   3 12 5.305E3
  re1  13 10 1.836E3
  re2  14 10 1.836E3
  ree  10 99 13.19E6
  ro1   8  5 50
  ro2   7 99 100
  rp    3  4 18.16E3
  vb    9  0 dc 0
  vc    3 53 dc 1
  ve   54  4 dc 1
  vlim  7  8 dc 0
  vlp  91  0 dc 40
  vln   0 92 dc 40
.model dx D(Is=800.0E-18 Rs=1)
.model qx NPN(Is=800.0E-18 Bf=93.75)
.ends uA741
```

شکل ۱۸ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۴۲-۱۲)

```
** Main Circuit **
* power supplies
Vcc 7 0 DC +15V
Vee 8 0 DC -15V
* Wien-bridge oscillator
XAmp 2 6 7 8 4 uA741
* loop gain is 1.1 (R1a=15k R1b=35k)
* change R1a and R1b to change loop gain (maintain R1a+R1b=50k)
R1a 6 0 15k
R1b 6 5 35k
R2 5 4 10k
R3 2 0 10k
C3 2 0 16nF IC=0V
R4 3 4 10k
C4 2 3 16nF IC=0V
* diode limiter circuit
D1 4 5 D1N4148
D2 5 4 D1N4148
* model statements
.model D1N4148 D (Is=0.1p Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)
** Analysis Requests **
.OPTIONS itl5=0
.OP
.TRAN 200us 20ms 0ms 200us UIC
* for Fourier analysis (and THD)
* .FOUR 979.43Hz V(5)
** Output Requests **
.PLOT TRAN V(4) V(5)
.probe v(4) v(5)
.end
```

شکل ۱۸ – ت. (ادامه)

```
** The Active-Filter Tuned Oscillator **

** Circuit Description **

* op-amp subcircuit
.subckt uA741          1 2 3 4 5
* connections:         | | | | |
*                      | | | | |
*   non-inverting input | | | | |
*          inverting input | | | |
*      positive power supply | |
*        negative power supply |
*                        output
*
*
  c1   11 12 8.661E-12
  c2    6  7 30.00E-12
  dc    5 53 dx
  de   54  5 dx
  dlp  90 91 dx
  dln  92 90 dx
  dp    4  3 dx
  egnd 99  0 poly(2) (3,0) (4,0) 0 .5 .5
  fb    7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 10E6 -10E6
  ga    6  0 11 12 188.5E-6
  gcm   0  6 10 99 5.961E-9
  iee  10  4 dc 15.16E-6
  hlim 90  0 vlim 1K
  q1   11  2 13 qx
  q2   12  1 14 qx
  r2    6  9 100.0E3
  rc1   3 11 5.305E3
  rc2   3 12 5.305E3
  re1  13 10 1.836E3
  re2  14 10 1.836E3
  ree  10 99 13.19E6
  ro1   8  5 50
  ro2   7 99 100
  rp    3  4 18.16E3
  vb    9  0 dc 0
  vc    3 53 dc 1
  ve   54  4 dc 1
  vlim  7  8 dc 0
  vlp  91  0 dc 40
  vln   0 92 dc 40
.model dx D(Is=800.0E-18 Rs=1)
.model qx NPN(Is=800.0E-18 Bf=93.75)
.ends uA741
```

شکل ۱۹ – ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۴۴-۱۲)

```
** Main Circuit **
* power supplies
Vcc 8 0 DC +15V
Vee 9 0 DC -15V
* high-Q filter circuit
Xopamp1 3 5 8 9 1 uA741
Xopamp2 7 5 8 9 4 uA741
R1 2 3 50k
C1 3 0 16nF IC=0V
R2 3 4 10k
C2 4 5 16nF IC=0V
R3 5 1 10k
R4 1 7 10k
R5 7 0 10k
* diode limiter circuit
D1 0 2 D1N4148
D2 2 0 D1N4148
R6 1 2 10k
* model statement
.model D1N4148 D (Is=0.1p Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)
** Analysis Requests **
.OPTIONS it15=0
.TRAN 20us 50ms 45ms 20us UIC
.FOUR 1kHz V(1)
** Output Requests **
.PLOT TRAN V(1) V(2)
.probe V(1) V(2)
.end
```

شکل ۱۹ – ت. (ادامه)

```
** A Cascade Of CMOS Inverters (dynamic effects included) **

* store the simulation results requested in a graph data file
.options post

** Circuit Description **
* dc supplies
Vdd 1 0 DC +5V
* input digital signal
Vi 3 0 DC 1.237 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
* 1st CMOS inverter
* also try PMOS (M2) width of W=3um
M1 2 3 0 0 MN L=3um W=3um
M2 2 3 1 1 MP L=3um W=10um
C11 2 0 0.1pF
* 2nd CMOS inverter
* also try PMOS (M4) width of W=3um
M3 4 2 0 0 MN L=3um W=3um
M4 4 2 1 1 MP L=3um W=10um
C12 4 0 0.1pF
* BNR 3um transistor model statements (level 3)
.MODEL MN nmos level=3 vto=.7 kp=4.e-05 gamma=1.1 phi=.6
+  lambda=.01 rd=40 rs=40  pb=.7 cgso=3.e-10 cgdo=3.e-10
+  cgbo=5.e-10 rsh=25 cj=.00044  mj=.5 cjsw=4.e-10 mjsw=.3
+  js=1.e-05 tox=5.e-08 nsub=1.7e+16  nss=0 nfs=0 tpg=1 xj=6.e-07
+  ld=3.5e-07 uo=775  vmax=100000  theta=.11  eta=.05 kappa=1
.MODEL MP pmos level=3 vto=-.8 kp=1.2e-05 gamma=.6 phi=.6
+  lambda=.03 rd=100 rs=100  pb=.6 cgso=2.5e-10 cgdo=2.5e-10
+  cgbo=5.e-10 rsh=80 cj=.00015  mj=.6 cjsw=4.e-10 mjsw=.6
+  js=1.e-05 tox=5.e-08 nsub=5.e+15  nss=0 nfs=0 tpg=1 xj=5.e-07
+  ld=2.5e-07 uo=250  vmax=70000  theta=.13  eta=.3 kappa=1
** Analysis Requests **
* .TRAN 0.1ns 50ns 0ns 0.1ns
* measure time from Vi rise to Vo1 fall
.meas tphl1 trig v(3) rise=1 val=2.5 targ v(2) fall=1 val=2.5
* measure time from Vi fall to Vo1 rise
.meas tplh1 trig v(3) fall=1 val=2.5 targ v(2) rise=1 val=2.5
** Output Requests **
.op
* for VTC
* .dc Vi 0 +5V 10mV
.Plot TRAN V(2) V(3) V(4)
.end
```

شکل ۲۰ – ت. فهرست شبکه ورودی HSPICE برای مدار شکل (۶۹-۱۳)

```
** Two-Input ECL OR Gate With Complementary NOR Output **

** Circuit Description **
* dc supplies
Vee1 1  0 DC -5.2V
Vee2 13 0 DC -2.0V
* input digital signals
Va 12 0 DC 0V
Vb 11 0 DC -1.77V
* ECL Gate
Qa 2 12 10 npn_transistor
Qb 2 11 10 npn_transistor
Qr 3  5 10 npn_transistor
Q2 0  3  9 npn_transistor

Q3 0  2  8 npn_transistor
Ra 12 1 50k TC=1200u
Rb 11 1 50k TC=1200u
Re 10 1 779 TC=1200u
Rc1 0 2 220 TC=1200u
Rc2 0 3 245 TC=1200u
Rt2 9 13 50 TC=1200u
Rt3 8 13 50 TC=1200u
* temperature-compensated voltage reference circuit
Q1 0  4 5 npn_transistor
QD1 4 4 6 npn_transistor
QD2 6 6 7 npn_transistor
R1  0 4 907   TC=1200u
R2  7 1 4.98k TC=1200u
R3  5 1 6.1k  TC=1200u
* BJT model statement
.model npn_transistor npn (Is=0.26fA Bf=100 Br=1
+                          Tf=0.1ns Cje=1pF Cjc=1.5pF Va=100)
** Analysis Requests **
* also try at temp of OC and 70C
.TEMP 27C
.DC Va -2V 0V 10mV
** Output Requests **
.Plot DC V(8) V(9) V(5)
.probe
.end
```

شکل ۲۱ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵۴-۱۴)

```
** Cascade Of Two ECL Gates Connected By A Lossless Transmission Line **

* ECL two-input OR/NOR gate
.subckt OR/NOR_ECL   12 11 8 9 1
* connections:        |  | | | |
*                 inputA  | | | |
*                    inputB | | |
*                  NORoutput | |
*                     ORoutput |
*                           Vee1
*
* ECL Gate
Qa 2 12 10 npn_transistor
Qb 2 11 10 npn_transistor
Qr 3  5 10 npn_transistor
Q2 0  3  9 npn_transistor
Q3 0  2  8 npn_transistor
Ra 12 1 50k TC=1200u
Rb 11 1 50k TC=1200u
Re 10 1 779 TC=1200u
Rc1 0 2 220 TC=1200u
Rc2 0 3 245 TC=1200u
* temperature-compensated voltage reference circuit
Q1 0  4 5 npn_transistor
QD1 4 4 6 npn_transistor
QD2 6 6 7 npn_transistor
R1  0 4 907   TC=1200u
R2  7 1 4.98k TC=1200u
R3  5 1 6.1k  TC=1200u
* BJT model statement
.model npn_transistor npn (Is=0.26fA Bf=100 Br=1
+                          Tf=0.1ns Cje=1pF Cjc=1.5pF Va=100)
.ends OR/NOR_ECL

** Main Circuit **
* dc supplies
Vee1 5 0 DC -5.2V
Vee2 6 0 DC -2.0V
* input digital signals
Va 1 0 PWL (0,-1.77V 2ns,-1.77V 3ns,-0.884V 30ns,-0.884V)
Vb 2 0 DC -1.77V
```

شکل ۲۲ - ت. فهرست شبکه ورودی PSPICE برای مدار شکل (۵۷-۱۴)

```
* 1st OR/NOR gate: inputB is held low
Xnor_gate1 1 2 3 4 5 OR/NOR_ECL
* 2nd OR/NOR gate: inputB is held low
Xnor_gate2 7 2 8 9 5 OR/NOR_ECL
* transmission line interconnect + terminations
* also try with Z0=300 (but keeping termination resistors of 50)
Tinterconnect 3 0 7 0 Z0=50 Td=10ns
Rt1 7 6 50
Rt2 4 6 50
Rt3 8 6 50
Rt4 9 6 50
** Analysis Requests **
* increase 30ns to 400ns for case of improper termination
.TRAN 0.05ns 30ns 0s 0.05ns
** Output Requests **
.Plot TRAN V(1) V(3) V(7) V(8)
.probe
.end
```

شکل ۲۲ - ت. (ادامه)

ضمیمه ث

تعدادی از قضایای مفید شبکه

مقدمه

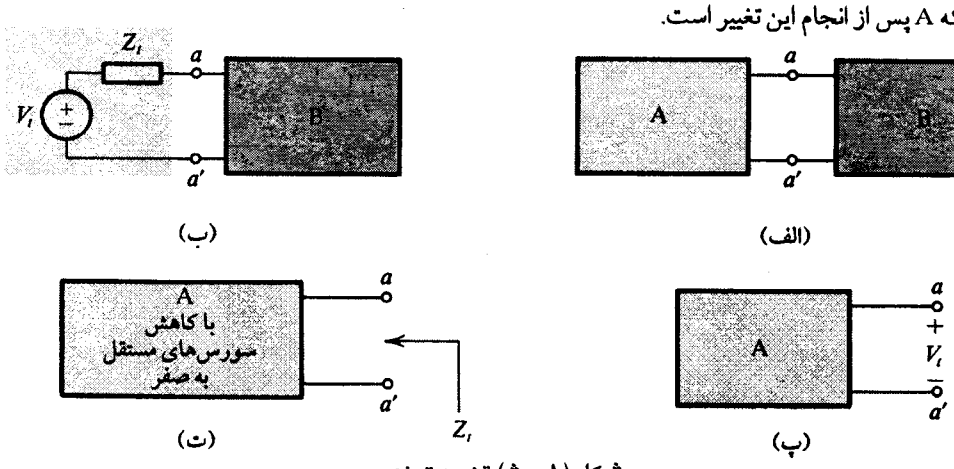
در این ضمیمه سه قضیه شبکه را که در ساده‌سازی تحلیل مدارهای الکترونیک مفید هستند، یعنی قضیه‌های تونن، نورتن و جذب منبع را بررسی می‌کنیم.

قضیه تونن

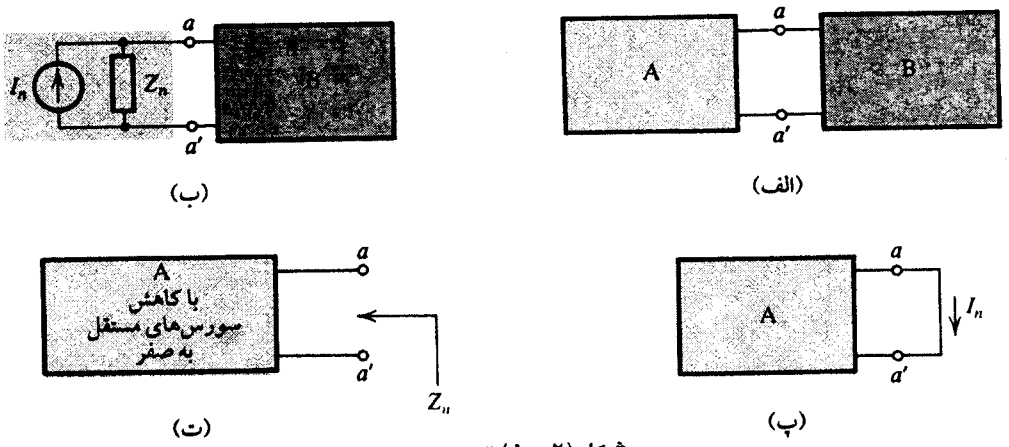
با استفاده از قضیه تونن می‌توان قسمتی از یک شبکه را با یک منبع ولتاژ V_t و امپدانس سری Z_t، مطابق شکل (۱ – ث) نمایش داد. شکل (الف ۱ – ث) شبکه‌ای را شامل دو قسمت A و B نشان می‌دهد. در شکل (ب ۱ – ث) بجای قسمت A، معادل تونن آن قرار گرفته است: منبع ولتاژ V_t و امپدانس سری Z_t. شکل (پ ۱ – ث) چگونگی تعیین V_t را تشریح می‌کند: به سهولت دو پایانهٔ شبکه A را مدار باز کرده، ولتاژ ظاهرشده بین آنها را اندازه‌گیری (یا محاسبه) می‌کنیم. برای تعیین Z_t همه منابع خارجی (یعنی منابع مستقل) شبکه A را با اتصال کوتاه کردن منابع ولتاژ و مدار بازکردن منابع جریان صفر می‌کنیم. امپدانس Z_t، مطابق شکل (ت ۱ – ث) امپدانس شبکه A پس از انجام این تغییر است.

قضیه نورتن

قضیه نورتن دوگان قضیه تونن است. در این روش قسمتی از یک شبکه مطابق شکل (۲ – ث) با منبع جریان I_n و امپدانس موازی Z_n نمایش داده می‌شود. شکل (الف ۲ – ث) شبکه‌ای را شامل دو قسمت A و B نشان می‌دهد. در شکل (ب ۲ – ث) بجای قسمت A معادل نورتن آن قرار گرفته است: منبع جریان I_n و امپدانس موازی Z_n. منبع جریان نورتن I_n را می‌توان مطابق شکل (پ ۲ – ث) اندازه‌گیری (یا محاسبه) کرد. پایانه‌های شبکه (شبکه A) اتصال کوتاه می‌شوند و I_n براحتی مساوی با جریان اتصال کوتاه خواهد بود. برای تعیین Z_n ابتدا تحریک خارجی در شبکه A را با اتصال کوتاه‌کردن منابع ولتاژ مستقل و مدار بازکردن منابع جریان مستقل، صفر می‌کنیم. امپدانس Z_n، امپدانس شبکه A پس از انجام این عمل است. بنابراین امپدانس نورتن Z_n با امپدانس تونن Z_t مساوی است. نهایتاً توجه کنید که $I_n = V_t/Z$ می‌باشد که $Z = Z_n = Z_t$ است.



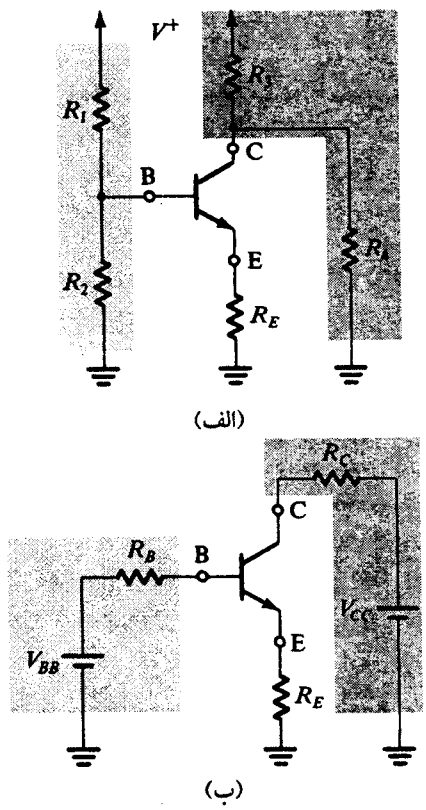
شکل (۱ – ث) قضیه تونن



شکل (۲ – ث) قضیه نورتن

مثال ۱ – ث

شکل (الف ۳ – ث) یک مدار BJT را نشان می‌دهد. ترانزیستور قطعه‌ای سه پایانه‌ای است که پایانه‌های آن، E (امیتر)، B (بیس)، C (کلکتور) نامیده می‌شوند. مطابق شکل، بیس از طریق مقسم ولتاژی شامل R_1 و R_2 به منبع تغذیه مثبت dc، V^+ متصل شده است. کلکتور، از طریق R_3 به تغذیه dc ی V^+ و از طریق R_4 به زمین اتصال یافته است. می‌خواهیم برای سهولت تحلیل، با استفاده از قضیه تونن، مدار را ساده‌تر کنیم.



شکل (۳ – ث) اِعمال قضیه تونن برای ساده کردن مدارِ (الف) به مدارِ (ب) [مثال (۱ – ث) را ببینید]

حل

قضیه تونن را در مورد شبکهٔ V^+، R_1 و R_2 بکار برده و منبع ولتاژ dc ی V_{BB} را بدست می‌آوریم:

$$V_{BB} = V^+ \frac{R_2}{R_1 + R_2}$$

مقاومت R_B عبارت است از:

$$R_B = R_1 // R_2$$

که // به معنای موازی‌بودن می‌باشد. انجام همین عمل در طرف کلکتور یعنی شبکه V^+، R_3 و R_4 منجر به نتایج زیر می‌شود: منبع ولتاژ dc ی V_{CC} با مقدار

$$V_{CC} = V^+ \frac{R_4}{R_3 + R_4}$$

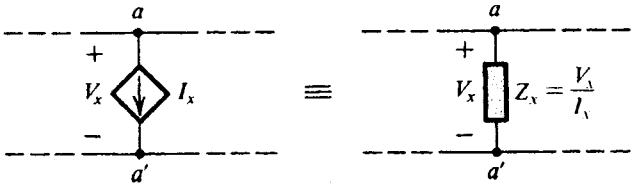
و مقاومت R_C به صورت

$$R_C = R_3 // R_4$$

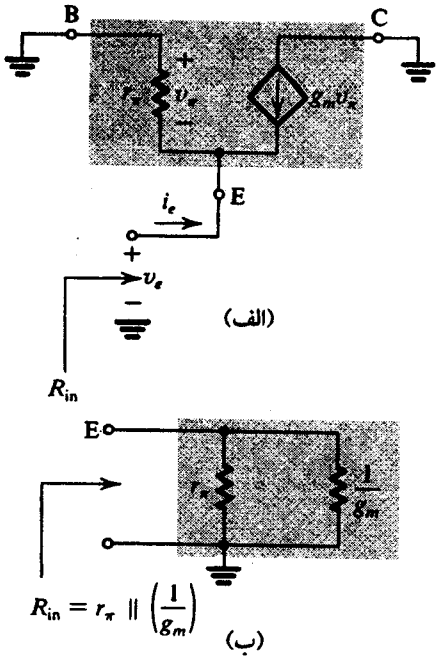
مدار ساده شده در شکل (ب ۳–ث) به نمایش درآمده است.

قضیه جذب منبع

شکل (۴ – ث) را درنظر بگیرید. در مقام تحلیل شبکه، منبع جریان کنترل شده I_x ظاهر شده بین دو گره را که اختلاف ولتاژ آنها، ولتاژ کنترل کننده V_x است، بدست می‌آوریم. یعنی، $I_x = g_m V_x$؛ که g_m پارامتر هدایت است. می‌توان به جای این منبع کنترل شده، مطابق شکل (۴ – ث) امپدانس $Z_x = \frac{V_x}{I_x} = 1/g_m$ را قرار داد، چون جریان کشیده شده توسط این مقاومت با جریان منبع کنترل شده، مساوی می‌باشد.



شکل (۴ – ث) قضیه جذب منبع



شکل (۵ – ث) مدار مثال (۲ – ث)

مثال ۲ – ث

شکل (الف ۵ – ث) مدل مدار معادل سیگنال کوچک ترانزیستور را نشان می‌دهد. می‌خواهیم مقاومت R_{in} را «با نگاه به» پایانه امیتر E– یعنی بین امیتر و زمین –با بیس B و کلکتور C زمین شده بدست آوریم.

حل:

با توجه به شکل (الف ۵ – ث)، ولتاژ v_π مساوی $-v_e$ ، خواهد بود. بنابراین با نگاه بین امیتر و زمین مقاومت r_π را موازی با منبع جریانی که جریان $g_m v_e$ را از پایانه E می‌کشد، خواهیم دید. این منبع را می‌توان با مقاومت $(1/g_m)$ جایگزین کرد که منجر به مقاومت ورودی R_{in} زیر می‌شود:

$$R_{in} = r_\pi // (1/g_m)$$

حاصل کار در شکل (ب ۵ – ث) به نمایش درآمده است.

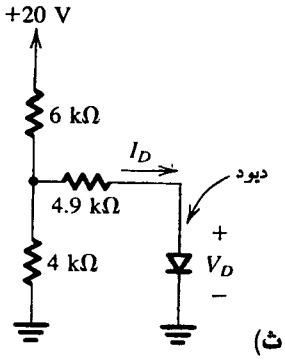
تمرینها

۱ – ث یک منبع، دارای ولتاژ مدار باز ۱۰ V و جریان اتصال کوتاه ۱mA است. پارامترهای منبع معادل نورتن و تونن آن را بدست آورید.

جواب. $I_n = 1$ mA ؛ $Z_t = Z_n = 10$ kΩ ؛ $V_t = 10$ V

۲ – ث در مدار شکل (تمرین ۲ – ث)، افت ولتاژ دیود، $V_D \cong 0/7$ V است. با استفاده از قضیه تونن مدار را ساده کرده، جریان دیود، I_D را بدست آورید.

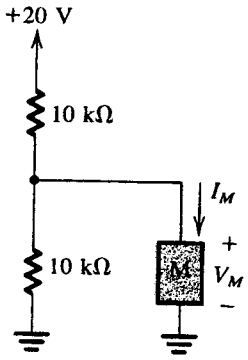
جواب. ۱ mA



شکل (تمرین ۲ – ث)

۳ – ث قطعه دو پایانه‌ای M در مدار شکل (تمرین ۳ – ث) دارای جریان $I_M \cong 1$mA مستقل از ولتاژ روی آن، V_M است. با بکارگیری قضیه نورتن مدار را ساده کرده، ولتاژ V_M را بدست آورید.

جواب. ۵ V



شکل (تمرین ۳ – ث)

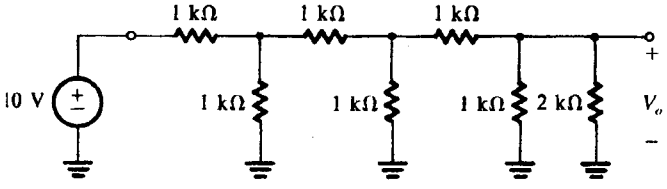
مسائل

۱ – ث یک مدار معادل تونن را با مشخصات V_t و Z_t درنظر بگیرید. ولتاژ مدار باز V_{OC} و جریان اتصال کوتاه (یعنی جریانی که در پایانه‌های متصل شده بهم برقرار می‌شود) I_{SC} را بدست آورید. Z_t را برحسب V_{OC} و I_{SC} بیان نمایید.

۲ – ث مسأله (۱ – ث) را برای مشخصات معادل نورتن با I_n و Z_n، تکرار کنید.

۳ – ث یک مقسم ولتاژ شامل مقاومت ۹ kΩ متصل شده به ۱۰V+ و مقاومت ۱ kΩ متصل به زمین است. معادل تونن این مقسم ولتاژ چیست؟ اگر مقاومت بار خروجی ۱ kΩ باشد، ولتاژ آن چقدر است، به دو روش مستقیم و استفاده از معادل تونن این محاسبه را انجام دهید.

۴ – ث ولتاژ خروجی و مقاومت خروجی مدار شکل (م ۴- ث) را با استفاده از مدارهای معادل تونن بدست آورید.



شکل (م ۴ – ث)

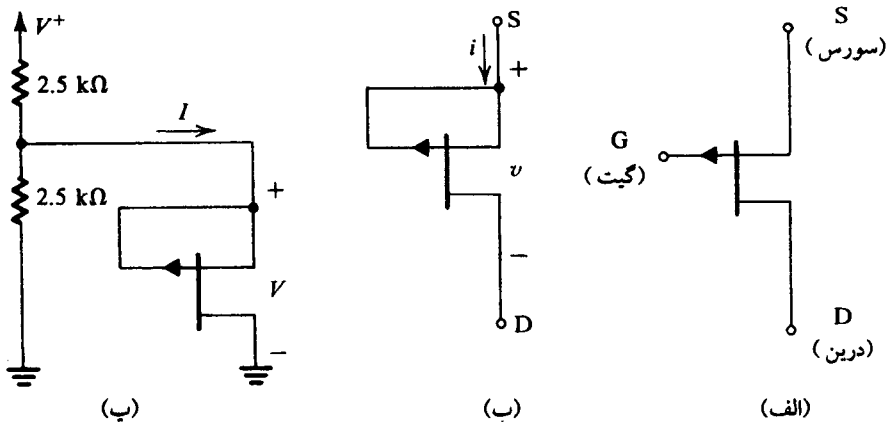
۵ – ث مثال (۲- ث) را با مقاومت R_B متصل بین B و زمین در شکل (۵- ث) (یعنی بجای اتصال بیس B به زمین) تکرار کنید.

***٦ – ث** شکل (م الف ٦ - ث) نماد مداری ترانزیستور اثر میدانی پیوندی (JFET) کانال p است، که در فصل ۵ مطالعه شده است. مطابق شکل JFET سه پایانه دارد. هنگامی که پایانه گیت G به پایانه سورس S متصل می‌شود، قطعه‌ای دو پایانه بدست می‌آید که در شکل (م ب ٦ - ث) به نمایش درآمده است. مشخصه $i - v$ آن عبارت است از:

$$i = I_{DSS} = [۲\frac{v}{V_P} - \left(\frac{v}{V_P}\right)^۲] \quad \text{به ازای } v \le V_P$$

$$i = I_{DSS} \quad \text{به ازای } v \ge V_P$$

که در آن I_{DSS} و V_P برای یک JFET خاص، ثابت هستند. حال، مدار شکل (م پ ٦ - ث) را با $V_P = ۲$ V و $I_{DSS} = ۲$ mA درنظر بگیرید. برای $V^+ = ۱۰$ V نشان دهید که JFET در حالت جریان ثابت کار می‌کند و ولتاژ روی آن را بدست آورید. کمترین مقدار V^+ برای پایداری این حالت چیست؟ برای $V^+ = ۲$ V مقادیر I و V را بیابید.



شکل (م ۶ - ث)

ضمیمه ج

مدارهای ثابت زمانی منفرد

مقدمه

مدارهای ثابت زمانی منفرد (STC)، مدارهایی هستند که شامل یک عنصر راکتیو (خازن یا القاگر) و یک مقاومت می‌باشند. ثابت زمانی یک شبکه STC، شامل القاگر L و مقاومت R، $\tau = L/R$ و شامل خازن C و مقاومت R، $\tau = CR$ است.

مدارهای STC با وجود سادگی زیاد نقش مهمی در طراحی و تحلیل مدارهای دیجیتال و خطی دارند. برای مثال، تحلیل مدار یک تقویت‌کننده را می‌توان به تحلیل یک یا چند مدار STC کاهش داد. به این دلیل در این ضمیمه، فرآیند ارزیابی پاسخ مدارهای STC را به سیگنالهای سینوسی و سایر ورودیها نظیر شکل موجهای پالسی و پله‌ای، مرور می‌کنیم. سیگنالهای پالسی و پله‌ای در بعضی از کاربردهای تقویت‌کنندگی وجود دارد، اما اهمیت ویژه آنان در مدارهای سوئیچینگ و دیجیتال جلوه می‌کند.

تعیین ثابت زمانی

اولین مرحله در تحلیل یک مدار STC تعیین ثابت زمانی آن، τ می‌باشد.

مثال ۱ - ج

مدار شکل (الف ۱ - ج) را به یک شبکه STC کاهش داده، ثابت زمانی آنرا به دست آورید.

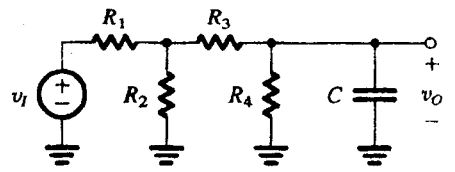
حل:

فرآیند کاهش در شکل (۱ - ج) تشریح شده و شامل کاربرد مکرر قضیه تونن است. مدار نهایی در شکل (پ ۱ - ج) به نمایش درآمده است. می‌توان ثابت زمانی را بصورت زیر به دست آورد:

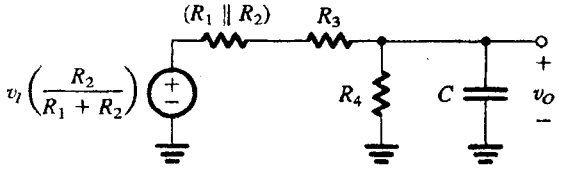
$$\tau = C\,\{R_4 \,//\, [R_3 + (R_1 \,//\, R_2)]\}$$

ارزیابی سریع τ

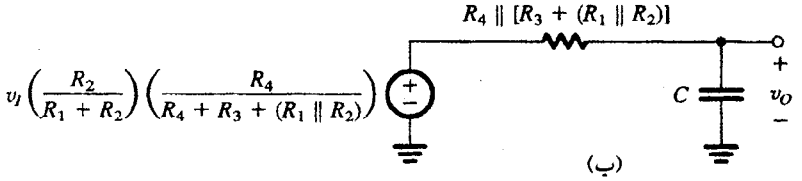
ارزیابی سریع ثابت زمانی τ برای یک مدار STC در بسیاری از مواقع مهم است. روشی آسان برای دستیابی به این هدف، صفرکردن تحریک، یعنی اتصال کوتاه‌کردن منبع ولتاژ و مدار بازکردن منبع جریان می‌باشد.



(الف)



(ب)



(پ)

شکل (۱ - ج) کاهش مدارِ (الف) به مدار STC در (پ) با کاربرد مکرر قضیه تونن

سپس اگر در مدار عنصر راکتیو و تعدادی مقاومت وجود داشته باشد، مقاومت معادل از دید دو پایانهٔ عنصر راکتیو (خازن یا القاگر)، یعنی R_{eq} را به دست می‌آوریم. ثابت زمانی L/R_{eq} یا CR_{eq} خواهد بود. بعنوان مثال، در مدار شکل (الف ۱ - ج)، خازن C مقاومت $R_۴$ را موازی با ترکیب سری $R_۳$ و $R_۲$ موازی با $R_۱$ می‌بیند، بنابراین داریم:

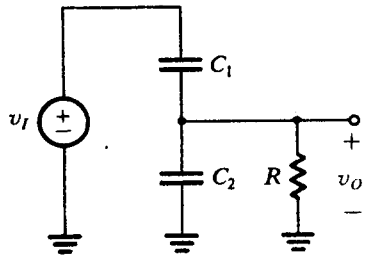
$$R_{eq} = R_۴ // [R_۳ + (R_۲ // R_۱)]$$

و ثابت زمانی CR_{eq} می‌باشد.

ممکن است در یک مدار، یک مقاومت و چند خازن یا القاگر وجود داشته باشد. در چنین مواقعی، فرآیند برعکس است، یعنی خازن معادل C_{eq} یا القاگر معادل L_{eq} مقاومت را به دست می‌آوریم و ثابت زمانی $C_{eq}R$ یا $L_{eq}R$ می‌باشد. این فرآیند در مثال (۲ - ج) تشریح شده است.

مثال ۲ - ج

ثابت زمانی مدار شکل (۲ - ج) را به دست آورید.



شکل (۲ - ج) مدار مثال (۲ - ج)

حل:

پس از صفرکردن تحریک با اتصال کوتاه کردن منبع ولتاژ، مقاومت R خازن $C_۱ + C_۲$ را می‌بینید. بنابراین ثابت زمانی τ عبارت است از:

$$\tau = (C_۱ + C_۲) R$$

نهایتاً هنگامی که مدار STC دارای چند مقاومت و چند خازن (یا چند القاگر) باشد، باید مدار را با استفاده از روشهایی ساده کرد که در مثال (۳ - ج) تشریح می‌شوند.

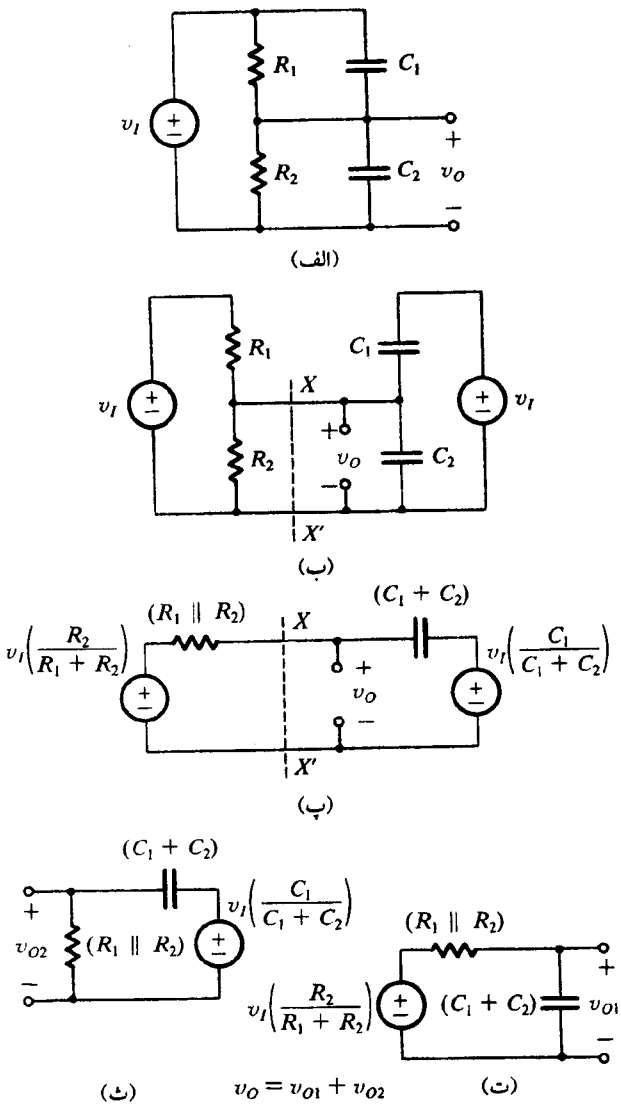
مثال ۳ - ج

می‌خواهیم با استفاده از روشهای تحلیل مدارهای STC، پاسخ مدار شکل (الف ۳ - ج) را به دست آوریم.

حل:

مراحل تحلیل در شکل (ب ۳ - ج) به نمایش درآمده‌اند. تحریک را به دو منبع ولتاژ مساوی تقسیم کرده‌ایم. مدارهای شکل (الف ۳ - ج) و (ب ۳ - ج) معادل هستند. روشی که در مدار (ب ۳ - ج) به کار رفته، مفید است.

به کارگیری قضیه تونن در مورد مدار سمت چپ خط XX' و



شکل (۳ - ج) پاسخ مدارِ (الف) را می‌توان با جمع آثار، یعنی جمع پاسخهای مدارهای (ت) و (ج) به دست آورد.

سپس به مدار سمت راست آن منجر به مدار شکل (پ ۳ - ج) می‌شود. چون این مدار خطی است، می‌توان پاسخ را با استفاده از قانون جمع آثار به دست آورد. مشخصاً، ولتاژ خروجی، حاصل جمع $v_{O۱}$ و $v_{O۲}$ می‌باشد. مولفه اول، $v_{O۱}$، خروجی حاصل از منبع ولتاژ سمت چپ با صفرکردن منبع ولتاژ دیگر است. مدار محاسبهٔ $v_{O۱}$ در شکل (ت ۳ - ج) به نمایش درآمده است که در واقع یک مدار STC با ثابت زمانی زیر است:

$$\tau = (C_۱ + C_۲)(R_۱ // R_۲)$$

بطور مشابه، $v_{O۲}$، خروجی حاصل از صفرکردن منبع ولتاژ سمت‌چپ است. از مدار شکل (ج ۳ - ج) که یک مدار STC با همان ثابت زمانی است، می‌توان آن را به دست آورد.

نهایتاً، می‌بینیم که در یک شبکه STC، با صفرکردن منابع مستقل، ثابت زمانی فوراً به دست می‌آید.

طبقه بندی مدارهای STC

مدارهای STC به دو گروه تقسیم می‌شوند: پایین‌گذر (LP) و بالاگذر (HP)، که هرکدام پاسخهای سیگنال متمایز دارند. به چند روش می‌توان نوع مدار STC را از نظر LP یا HP بودن، تعیین کرد که ساده‌ترین آنها بهره‌گیری از پاسخ حوزهٔ فرکانس است. مدارهای پایین‌گذر dc را عبور داده (یعنی سیگنالهایی با فرکانس صفر)، فرکانسهای بالا را تضعیف می‌کنند و انتقال آنها در $\omega = \infty$ صفر است. بنابراین می‌توان نوع مدار را با آزمایش آن در $\omega = 0$ یا $\omega = \infty$ تعیین کرد، در $\omega = 0$ خازنها مدار باز، ($1/j\omega C = \infty$) و القاگرها اتصال کوتاه هستند ($j\omega L = 0$). در نتیجه اگر خروجی صفر باشد مدار از نوع بالاگذر است، اگر خروجی مقدار محدودی داشت، مدار از نوع پایین گذر است. می‌توان این کار را برای $\omega = \infty$ نیز انجام داد، در این حالت خازنها اتصال کوتاه ($1/j\omega C = 0$) و القاگرها مدار باز ($j\omega L = \infty$) می‌باشند. حال، اگر خروجی محدود باشد مدار از نوع HP و اگر صفر باشد، از نوع LP است. جدول (۱ - ج) خلاصه‌ای از این قوانین را به نمایش می‌گذارد. (s.c به معنای اتصال کوتاه و o.c به معنای مدار باز است).

جدول (۱ - ج) قوانین تعیین نوع مدار STC

آزمایش در	جایگزینی	مدار LP است اگر	مدار HP است اگر
$\omega = 0$	بجای C، o.c بجای L، s.c	خروجی محدود باشد	خروجی صفر باشد
$\omega = \infty$	بجای C، s.c بجای L، o.c	خروجی صفر باشد	خروجی محدود باشد

شکل (۴ - ج) مثالهایی از مدار STC پایین‌گذر و شکل (۵ - ج) مثالهایی از مدار STC بالاگذر است. در هر مدار، متغیرهای موردنظر خروجی و ورودی، مشخص شده‌اند. دقت کنید که بر اساس متغیرهای خروجی و ورودی، یک مدار مشخص می‌تواند از هر نوعی باشد. به خواننده توصیه می‌کنیم که با استفاده از جدول (۱ - ج)، صحت این طبقه‌بندی را ثابت کند.

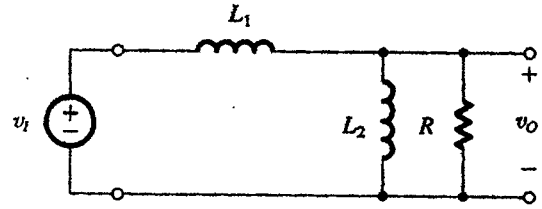
تمرینها

۱ - ج ثابت زمانی مدارهای شکل (تمرین ۱ - ج) را به دست آورید.

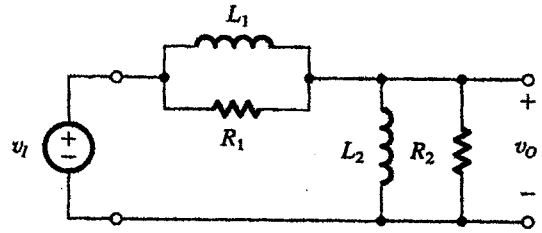
جواب. (الف) $\frac{L_1 // L_2}{R}$؛ (ب) $\frac{L_1 // L_2}{(R_1 // R_2)}$

۲ - ج نوع مدارهای STC زیر را از نظر پایین گذر بودن یا بالاگذربودن تعیین کنید: شکل (الف ۴ - ج) با خروجی i_O در C به طرف زمین؛ شکل (ب ۴ - ج) با خروجی i_O در C به طرف زمین؛ شکل (ب ۴ - ج) با خروجی i_O در R به طرف زمین؛ شکل (ت ۴ - ج) با خروجی i_O در R به طرف زمین؛ شکل (ب ۵ - ج) با خروجی i_O در L به طرف زمین؛ و شکل (ت ۵ - ج) با خروجی v_O روی C.

جواب. HP؛ LP؛ HP؛ LP؛ LP ❑

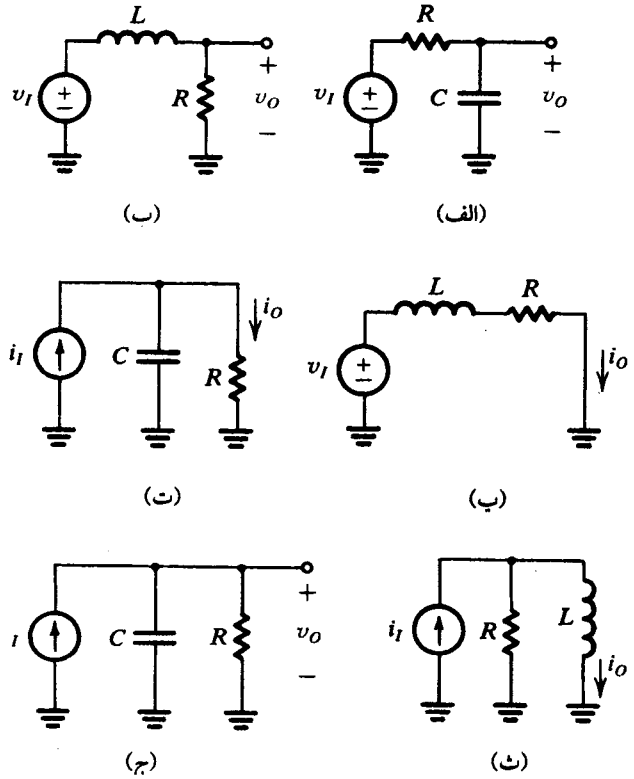


(الف)



(ب)

شکل (تمرین ۱ - ج)



(الف) (ب) (پ) (ت) (ث) (ج)

شکل (۴ - ج) مدارهای STC از نوع پایین‌گذر

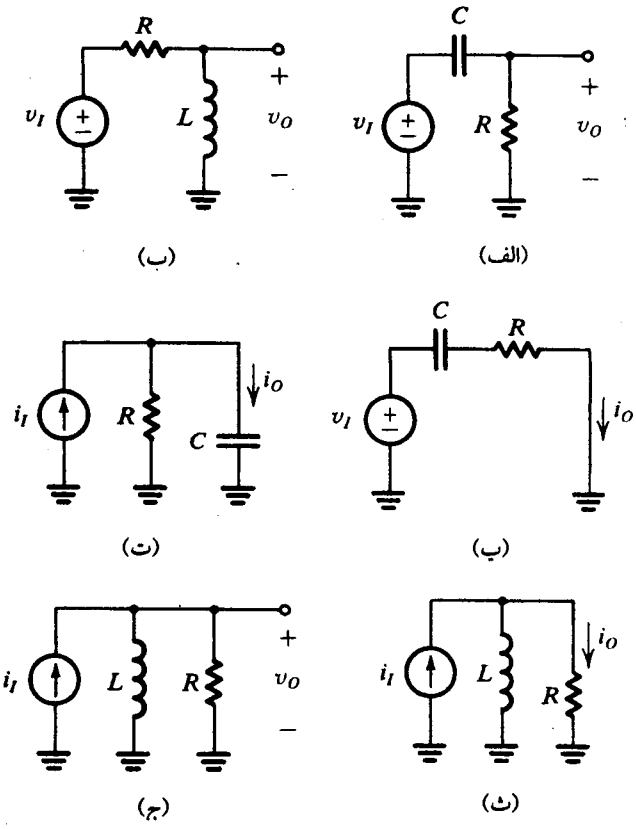
پاسخ فرکانسی مدارهای STC مدار پایین‌گذر

تابع انتقال $T(s)$ یک مدار پایین‌گذر STC را همیشه می‌توان بصورت زیر نوشت:

$$T(s) = \frac{K}{1 + (s/\omega_0)} \qquad (۱ - ج)$$

که در فرکانسهای فیزیکی به شکل زیر است:

$$T(j\omega) = \frac{K}{1 + j(\omega/\omega_0)} \qquad (۲ - ج)$$



شکل (۵ – ج) مدارهای STC از نوع بالا گذر

در رابطه فوق، K، اندازهٔ تابع انتقال در $\omega = ۰$ (یعنی dc) بوده و $\omega_۰$ عبارت است از:

$$\omega_۰ = ۱/\tau$$

τ ثابت زمانی است. بنابراین پاسخ اندازه از رابطه زیر به دست می‌آید:

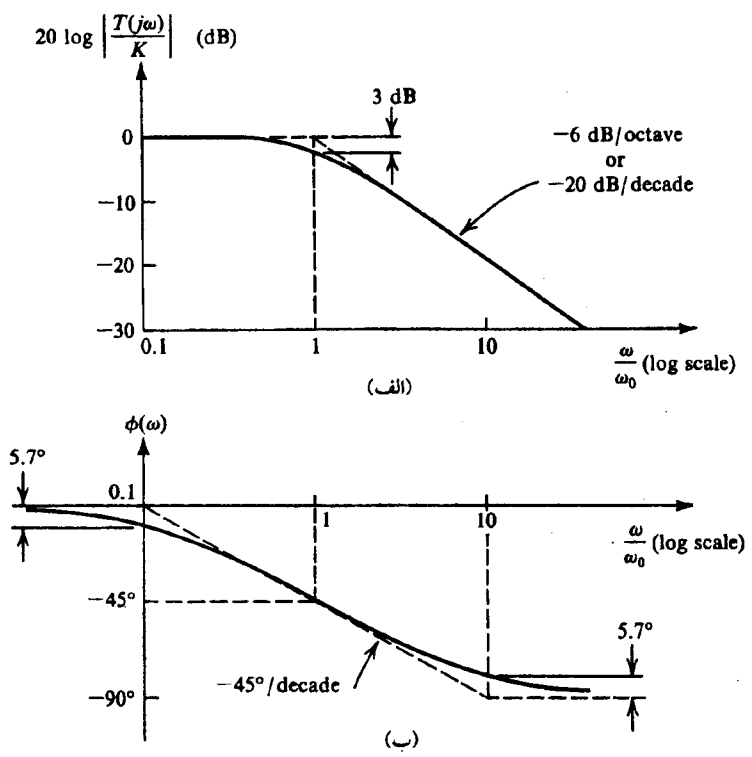
$$|T(j\omega)| = \frac{K}{\sqrt{۱ + (\omega/\omega_۰)^۲}} \qquad (۳-ج)$$

و پاسخ فاز نیز عبارت است از:

$$\phi(\omega) = -\tan^{-۱}(\omega/\omega_۰) \qquad (۴-ج)$$

شکل (۶ – ج) پاسخهای اندازه و فاز یک مدار STC پایین‌گذر را به نمایش می‌گذارد. پاسخ اندازه در شکل (الف ۶ – ج)، نمودار تابع معادلهٔ (۳ – ج) است. اندازه، نسبت به K نرمال شده و برحسب dB بیان می‌شود، یعنی نمودار $۲۰\log |T(j\omega)/K|$، با استفاده از مقیاس لگاریتمی برای محور فرکانس. فراتر از آن، می‌توان متغیر فرکانس را نیز نسبت به $\omega_۰$ نرمال کرد. همانطور که نشان داده شده، منحنی اندازه با دو مجانب خط راست تقریب زده شده است. مجانب فرکانس پایین خط افقی در ۰ dB می‌باشد. برای یافتن شیب این مجانب معادلهٔ (۳ – ج) را با فرض $\omega/\omega_۰ >> ۱$ درنظر بگیرید، نتیجه، عبارت است از:

$$|T(j\omega)| \approx K\frac{\omega_۰}{\omega}$$



شکل (۶ – ج) (الف) پاسخ اندازه و **(ب)** فاز مدارهای STC از نوع بالا گذر

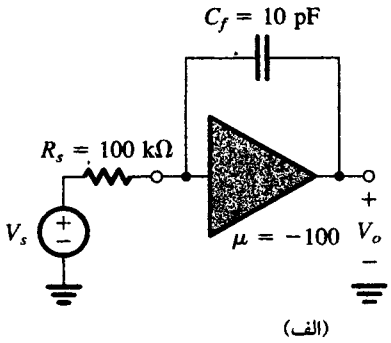
بنابراین اگر مقدار ω دو برابر شود، اندازه نصف می‌شود. روی محور لگاریتمی، دو برابرشدن ω بیانگر نقاطی است که بازهٔ هرکدام از آنها ۱ اکتاو (octave) نامیده می‌شود. کاهش متناظر تابع اندازه، ۶ dB در انتقال است ($۲۰\log ۰/۵ = -۶$ dB). بنابراین شیب مجانب فرکانس بالا ۶– dB/octave می‌باشد. که می‌توان بصورت معادل آن یعنی، ۲۰– dB/decade نیز، بیان شود، که decade نشان‌دهندهٔ ده برابرشدن فرکانس است.

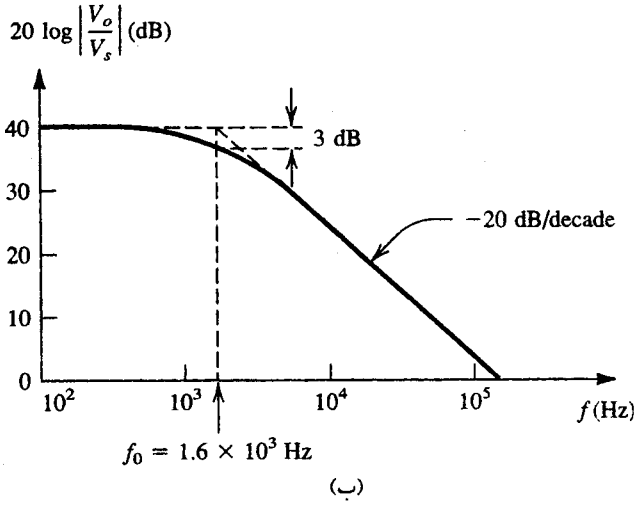
دو خط مستقیم مجانب منحنی پاسخ اندازه در «فرکانس گوشه» یا «فرکانس شکست» با یکدیگر تلاقی می‌کنند. اختلاف بین منحنی پاسخ اندازه واقعی و پاسخ مجانبها در فرکانس گوشه، حداکثر و مقدار آن ۳ dB می‌باشد. برای اثبات صحت این مقدار، با جایگزینی $\omega = \omega_۰$ در معادله (۳ – ج) به دست می‌آوریم:

$$|T(j\omega_۰)| = K/\sqrt{۲}$$

بنابراین در $\omega = \omega_۰$ بهره با ضریب $\sqrt{۲}$ نسبت به بهرهٔ dc کاهش می‌یابد که متناظر با ۳ dB کاهش بهره است. به همین علت، فرکانس گوشهٔ $\omega_۰$، فرکانس ۳ dB نامیده می‌شود.

منحنی پاسخ فاز نیز، مشابه پاسخ اندازه، با دو مجانب خط راست، تقریب زده می‌شود. دقت کنید که در فرکانس گوشه، فاز ۴۵°– است و در $\omega \gg \omega_۰$ به ۹۰°– نزدیک می‌شود، و خط مستقیم ۴۵°/decade– تابع فاز را با ماکزیمم خطای ۵/۷° در گسترهٔ فرکانسی $۰/۱\,\omega_۰$ تا $۱۰\,\omega_۰$ تقریب می‌زند.





شکل (۷ – ج) (الف) مدار یک تقویت‌کننده، (ب) ترسیم اندازهٔ تابع انتقال آن

مثال ۴ – ج

مدار شکل (الف ۷ – ج) را که یک تقویت‌کننده ولتاژ ایده‌آل با بهرهٔ ۱۰۰– و خازن کوچک (۱۰ pF) در مسیر فیدبک است، درنظر بگیرید. تقویت‌کننده با منبع ولتاژی با مقاومت منبع ۱۰۰ kΩ، تغذیه می‌شود. نشان دهید پاسخ فرکانسی V_o / V_s این تقویت‌کننده معادل مدار STC است و پاسخ اندازه را رسم کنید.

حل:

تحلیل مستقیم مدار شکل (الف ۷ – ج) منجر به تابع انتقال زیر می‌شود:

$$\frac{V_o}{V_s} = \frac{\mu}{1 + sRC_f(-\mu + 1)}$$

رابطه فوق معادل مدار STC پایین‌گذر، با بهرهٔ dc ی $\mu = -100$ (یا ۴۰ dB) و ثابت زمانی

$$\tau = RC_f(-\mu+1) = 100\times10^3\times10\times10^{-12}\times101 \cong 10^{-4}\,s$$

می‌باشد، که متناظر با فرکانس $\omega_0 = 1/\tau = 10^4$ rad/s است. پاسخ اندازه در شکل (ب ۷ – ج) به نمایش درآمده است.

مدارهای بالاگذر

تابع انتقال $T(s)$ یک مدار STC بالاگذر را می‌توان به فرم زیر نوشت:

$$T(s) = \frac{Ks}{s + \omega_0} \qquad (۵-ج)$$

که در فرکانسهای فیزیکی می‌شود:

$$T(j\omega) = \frac{K}{1 - j\omega_0/\omega} \qquad (۶-ج)$$

در رابطه فوق، K نمایانگر بهره است، هنگامی که s یا ω به سمت بی‌نهایت میل کرده و ω_0، عکس ثابت زمانی τ است، یعنی:

$$\omega_0 = 1/\tau$$

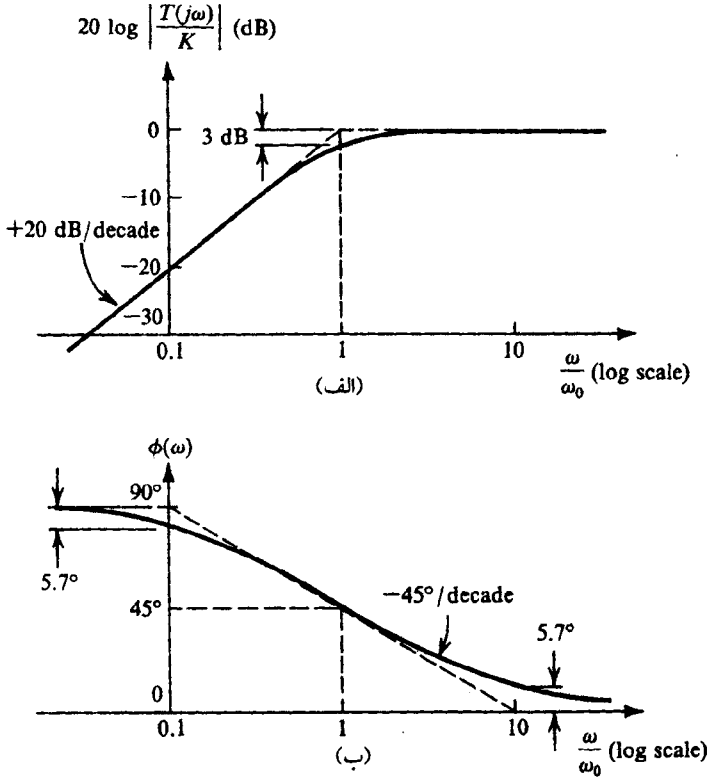
پاسخ اندازه برابر است با:

$$|T(j\omega)| = \frac{K}{\sqrt{1 + (\omega_0/\omega)^2}} \qquad (۷-ج)$$

و برای پاسخ فاز داریم:

$$\phi(\omega) = \tan^{-1}(\omega_0/\omega) \qquad (۸-ج)$$

این منحنی‌ها در شکل (۸ – ج) ترسیم شده‌اند. در حالت پایین‌گذر منحنی‌های اندازه و فاز به خوبی با مجانب‌های خط راست توصیف شده‌اند. به علت شباهت (یا به عبارت دقیق‌تر، دوگانی) با حالت پایین‌گذر، توضیح دیگری لازم نیست.

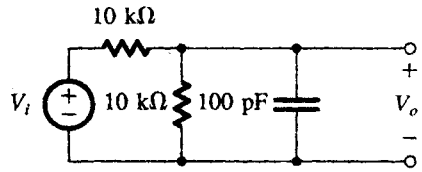


شکل (۸ – ج) (الف) پاسخ اندازه و (ب) فاز مدارهای STC از نوع بالا گذر

تمرینها

۳ – ج انتقال dc، فرکانس گوشهٔ f_0 و انتقال در $f = 2$ MHz را برای مدار STC پایین‌گذر شکل (تمرین ۳ – ج) به دست آورید.

جواب. ۶– dB ؛ ۳۱۸ kHz ؛ ۲۲– dB



شکل (تمرین ۳ – ج)

۴ – ج تابع انتقال $T(s)$ مدار شکل (۲ – ج) را به دست آورید. نوع این شبکه STC، چیست؟

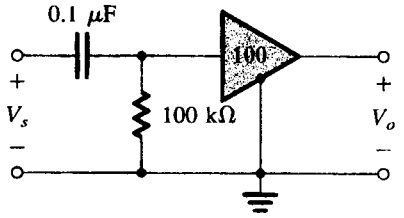
جواب. $T(s) = \dfrac{C_1}{C_1 + C_2} \dfrac{s}{s[1/(C_1 + C_2)R]}$ ؛ HP

۵ – ج در مدار تمرین (۴ – ج) اگر $R = 10$ kΩ باشد، مقدار خازنها را برای انتقال فرکانس بالای ۰/۵ V/V و فرکانس گوشهٔ $\omega_0 = 10$ rad/s به دست آورید.

جواب. $C_1 = C_2 = 5\,\mu$F

۶ – ج بهرهٔ فرکانس بالا، فرکانس ۳ dB ی f_0، و بهرهٔ $f = 1$ kHz مربوط به تقویت‌کننده با اتصال خازنی شکل (تمرین ۶ – ج) را با فرض ایده‌آل بودن آن به دست آورید.

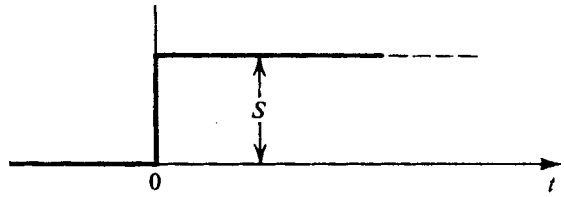
جواب. ۴۰ dB؛ ۱۵/۹ Hz؛ ۱۶ dB ❑



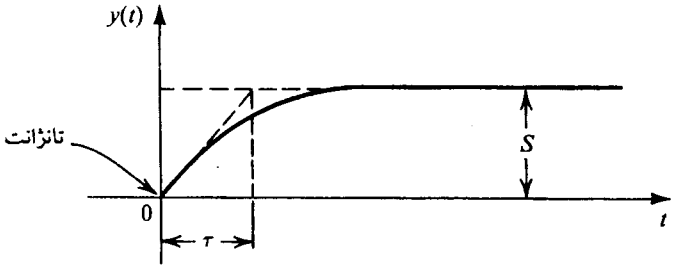
شکل (تمرین ۶ – ج)

پاسخ پلهٔ مدارهای STC

در این بخش پاسخ مدارهای STC را به سیگنال تابع پله شکل (۹ – ج) بررسی می‌کنیم. دانستن پاسخ پله، ارزیابی سریع پاسخ به سایر سیگنالها نظیر پالسها و موجهای مربعی را امکان‌پذیر می‌سازد.



شکل (۹ – ج) سیگنال تابع پله با ارتفاع S



شکل (۱۰ – ج) خروجی $y(t)$ یک مدار STC پایین گذر که با پله‌ای به ارتفاع S تحریک شده است.

مدارهای پایین‌گذر

مدار STC پایین‌گذر (با بهرهٔ dc ی $K=1$)، در پاسخ به یک سیگنال پله ورودی با ارتفاع S، شکل موج خروجی به نمایش درآمده در شکل (۱۰ – ج) را تولید می‌کند. دقت کنید که پاسخ مدار در لحظه $t = 0$ که S به حالت بالا می‌رود، سریع نبوده، و بصورت نمایی به سمت مقدار dc ی نهایی ورودی شروع به افزایش می‌کند. در زمان طولانی (یعنی در حالت $t >> \tau$) خروجی به مقدار dc ی S نزدیک شده، و این حقیقت را که مدارهای پایین dc را کاملاً عبور می‌دهند، آشکار می‌سازد.

معادله شکل موج خروجی را می‌توان از عبارت زیر به دست آورد:

$$y(t) = Y_\infty - (Y_\infty - Y_{0+})\,e^{-t/\tau} \qquad (۹ – ج)$$

در رابطه فوق Y_∞ بیانگر مقدار نهایی یا مقداری که خروجی به آن می‌رسد، و Y_{0+} بیانگر مقدار خروجی بلافاصله پس از $t = 0$ است. بر اساس این معادله، خروجی در هر زمان t، تفاضل بین مقدار نهایی Y_∞ و مقدار اولیه آن است یعنی $Y_\infty - Y_{0+}$ و بصورت نمایی «منقبض» می‌شود.

در بحث ما $Y_\infty = S$ و $Y_{0+} = 0$ می‌باشد، بنابراین داریم:

$$y(t) = S\,(1 - e^{-t/\tau}) \qquad (۱۰ – ج)$$

توجه خواننده را به شیب مماس بر $y(t)$ در $t = 0$، که در شکل (۱۰ – ج) نشان داده شده جلب می‌کنیم.

مدارهای بالاگذر

پاسخ مدار بالاگذر STC، (با بهره فرکانس بالای $K = 1$) به پلهٔ ورودی با ارتفاع S، در شکل (۱۱ – ج) به نمایش درآمده است. مدار بالاگذر حالت گذار سیگنال ورودی (تغییر حالت پله) را انتقال داده، اما dc را سد می‌کند. بنابراین خروجی در $t = 0$ ورودی را دنبال می‌کند. یعنی:

$$Y_{0+} = S$$

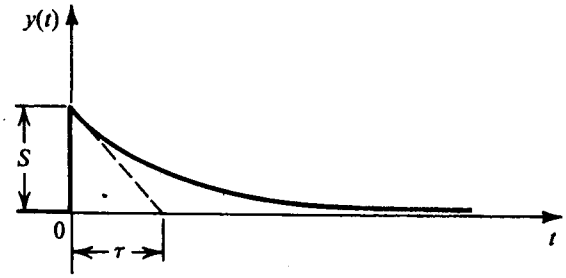
و سپس به سمت صفر کاهش می‌یابد

$$Y_\infty = 0$$

از تعویض Y_{0+} و Y_∞ در معادله (۹ – ج) خروجی $y(t)$ بصورت زیر به دست می‌آید:

$$y(t) = Se^{-t/\tau} \qquad (۱۱ – ج)$$

توجه خواننده به شیب خط مماس بر $y(t)$ در $t = 0$ در شکل (۱۱ – ج)، جلب می‌شود.



شکل (۱۱ - ج) خروجی $y(t)$ یک مدار STC بالا گذر که با پله‌ای به ارتفاع S تحریک شده است.

مثال ۵ - ج

این مثال در ادامهٔ مسئله مطرح شده در مثال (۳ - ج) می‌باشد. برای پله ورودی ۱۰ V، شرایطی را که تحت آنها، خروجی v_O پله کامل است، بیابید.

حل:

در ادامه تحلیل مثال (۳ - ج) که در شکل (۳ - ج) تشریح شده است، داریم:

$$v_{O1} = k_r\,[10\,(1 - e^{-t/\tau})]$$

که در آن:

$$k_r \equiv \frac{R_2}{R_1 + R_2}$$

می‌باشد و:

$$v_{O2} = k_c\,(10\,e^{-t/\tau})$$

که در آن:

$$k_c \equiv \frac{C_1}{C_1 + C_2}$$

بوده و

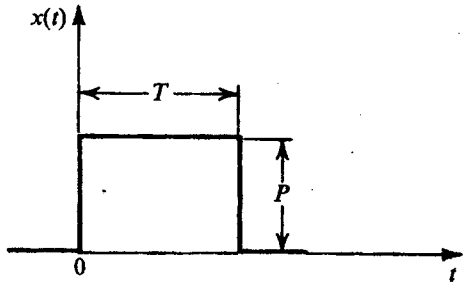
$$\tau = (C_1 + C_2)\,(R_1 \,//\, R_2)$$

است. بنابراین داریم:

$$v_O = v_{O1} + v_{O2}$$
$$= 10\,k_r + 10\,e^{-t/\tau}\,(k_c - k_r)$$

اگر ترتیبی دهیم که $k_c = k_r$ شود، خروجی یک پله کامل با ارتفاع $10k_r$ است، یعنی حالتی که نسبت مقسم مقاومتی، مساوی نسبت مقسم خازنی شود.

این مثال تکنیک مهمی را که «تضعیف‌کنندهٔ جبران‌سازی شده» نامیده می‌شود، تشریح می‌کند. یکی از کاربردهای آن در طراحی تصحیح‌کنندهٔ (Probe) نوسان‌نما می‌باشد که در مثال (۳ - ج) بررسی شد.



شکل (۱۲ - ج) یک سیگنال پالسی با ارتفاع P و پهنای T

تمرینها

۷ - ج در مدار شکل (ج ۴ - ج)، اگر i_I یک پلهٔ ۳ mA، $R = 1\ \text{k}\Omega$ و $C = 100\ \text{pF}$ باشد v_O را به دست آورید.
جواب. $3\,(1 - e^{-10^7 t})$

۸ - ج در مدار شکل (ج ۵ - ج)، اگر i_I یک پلهٔ ۲ mA، $R = 2\ \text{k}\Omega$ و $L = 10\mu\text{H}$ باشد v_O را بیابید.
جواب. $4\,e^{-2\times10^8 t}$

۹ - ج به مدار تقویت‌کننده شکل (تمرین ۶ - ج)، یک منبع سیگنال با پلهٔ ۲۰ mV اعمال می‌شود، اگر مقاومت منبع ۱۰۰ kΩ باشد، ثابت زمانی τ و $v_O(t)$ را به دست آورید.
جواب. $v_O(t) = 1 \times e^{-50t}$ ؛ $\tau = 2\times10^{-2}\ \text{s}$

۱۰ - ج در مدار شکل (۲ - ج) با $C_1 = C_2 = 0/5\,\mu\text{F}$ و $R = 1\text{M}\Omega$ $v_O(t)$ را اگر $v_I(t)$ یک پلهٔ ۱۰ V باشد، بیابید.
جواب. $5\,e^{-t}$

۱۱ - ج نشان دهید مساحت زیر قسمت نمایی شکل (۱۱ - ج) مساوی با مساحت قسمت مثلثی ارتفاع S و پهنای τ است. ❑

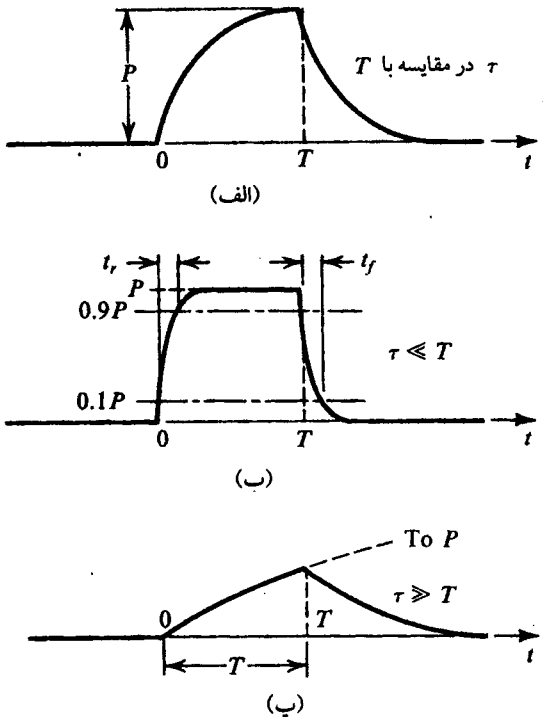
پاسخ پالسی مدارهای STC

شکل (۱۲ - ج) یک سیگنال پالسی را با ارتفاع P و پهنای T نشان می‌دهد. می‌خواهیم پاسخ مدارهای STC را به سیگنالهای ورودی به این شکل، به دست آوریم. توجه کنید که پالس خروجی را می‌توان به دو پله تقسیم کرد: یکی مثبت با ارتفاع P در $t = 0$ و دیگری منفی با ارتفاع P در $t = T$ بنابراین پاسخ مدار خطی به سیگنال پالسی را می‌توان از جمع پاسخهای به این دو سیگنال پله به دست آورد.

مدارهای پایین‌گذر

شکل (الف ۱۳ - ج) پاسخ یک مدار STC پایین‌گذر (با بهرهٔ واحد) را به پالس ورودی نشان داده شده در شکل (۱۲ - ج)، نمایش می‌دهد. فرض می‌کنیم ثابت زمانی τ در گستره پهنای پالس T باشد.

مطابق شکل، مدار LP به تغییر پله‌ای در لبه بالا رونده پالس، سریعاً پاسخ نمی‌دهد، بلکه خروجی شروع به افزایش نمایی به سمت مقدار نهایی P



شکل(۱۳-ج) پاسخ پالسی مدارهای پایین‌گذر

می‌کند. اما این افزایش نمایی در لحظه $t=T$ متوقف می‌شود، یعنی در لبه پایین روندهٔ پالس، هنگامی که تغییر پله‌ای، منفی است، مجدداً پاسخ بصورت نمایی تا مقدار نهایی ورودی، کاهش می‌یابد. نهایتاً دقت کنید که مساحت زیر شکل موج خروجی مساوی مساحت زیر شکل موج پالسی است چون مدار LP ، dc را بطور کامل عبور می‌دهد.

هنگام اتصال سیگنال پالسی از یک قسمت به قسمت دیگر یک سیستم الکترونیکی معمولاً حالت پایین‌گذر اتفاق می‌افتد. در این حالت، مدار پایین‌گذر شامل مقاومت خروجی (مقاومت معادل تونن) قسمتهایی از سیستم، که سیگنال از آن جا ارسال شده و خازن ورودی قسمتی از مدار که سیگنال به آن اعمال می‌شود، می‌باشد. این فیلتر پایین‌گذر اجتناب‌ناپذیر باعث اعوجاج -از نوع نشان داده شده در شکل (الف ۱۳ -ج) -سیگنال پالسی می‌شود. در سیستمی که خوب طراحی شده باشد، چنین اعوجاجی با تعیین ثابت زمانی τ بسیار کوچکتر از پهنای پالس T ، بسیار کم می‌شود. در این حالت ممکن است لبه‌های پالس مطابق شکل (ب ۱۳ -ج) کمی مدور شوند، اما دقت کنید که هنوز نمایی هستند.

اعوجاج یک سیگنال پالسی توسط مدار پایین‌گذر اغتشاشی (یعنی ناخواسته) با زمانهای صعود و نزول آن سنجیده می‌شود. زمان صعود، زمانی است که طی آن، دامنه از ۱۰٪ به ۹۰٪ مقدار نهایی خود می‌رسد. زمان نزول نیز، زمان رسیدن دامنه از ۹۰٪ به ۱۰٪ مقدار ماکزیمم است. این تعریف‌ها در شکل (ب -۱۳ ج) نشان داده شده‌اند. با استفاده از معادله‌های نمایی لبه‌های صعود و نزول شکل موج خروجی می‌توان به آسانی نشان داد که

$$t_r = t_f \cong ۲/۲\,\tau \qquad (۱۲\text{-ج})$$

می‌باشد. که می‌توان آن را بر حسب $f_0 = \omega_0 / ۲\pi = ۱/۲\pi\tau$ بصورت زیر بیان کرد:

$$t_r = t_f \cong \frac{۰/۳۵}{f_0}$$

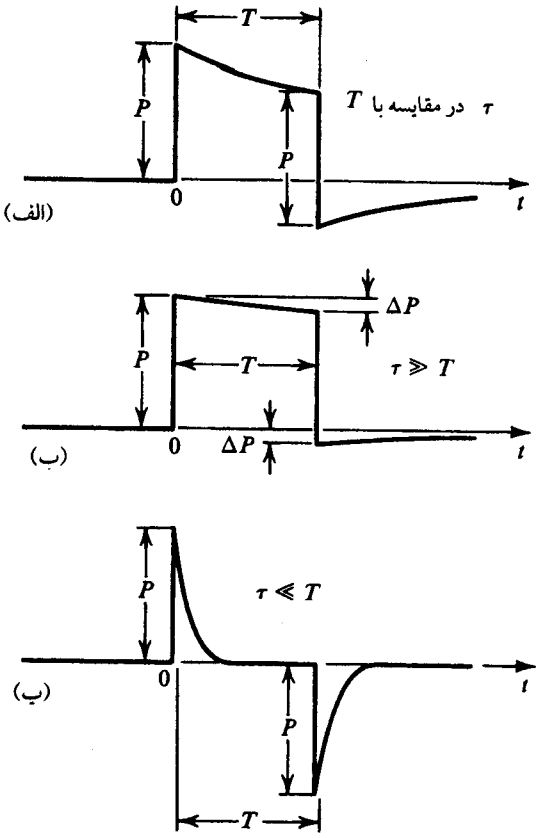
سرانجام، تذکر می‌دهیم که اثر مدارهای پایین‌گذر که همیشه در سیستم وجود دارد، باعث «کندشدن» سرعت کار سیستم می‌شود: به منظور محدودکردن اعوجاج سیگنال تا یک حد قابل قبول، مجبور به استفاده از پالسهای نسبتاً عریض هستیم. (برای یک ثابت زمانی پایین‌گذر مشخص شده).

حالت حدی دیگر یعنی هنگامی که $\tau \gg T$ است، در شکل (پ ۱۲-ج) به نمایش درآمده است. همانطور که نشان داده شده، شکل موج خروجی بطور نمایی به سمت P افزایش می‌یابد. اما چون $\tau \gg T$ می‌باشد، مقدار آن در $t = T$ بسیار کمتر از P خواهد بود. در لحظهٔ $t = T$ شکل موج خروجی بطور نمایی به سمت صفر کاهش می‌یابد. دقت کنید که در این حالت شکل موج خروجی با ورودی شباهت کمی دارد. همچنین، چون $T \gg \tau$ است، بخشی از منحنی نمایی از $t = ۰$ تا $t = T$ تقریباً خطی است. از آنجا که شیب این منحنی خطی متناسب با ارتفاع پالس ورودی است، شکل موج خروجی، انتگرال زمانی پالس ورودی را تقریب می‌زند. یعنی شبکه پایین گذر، با ثابت زمانی بزرگ تقریبی از عمل یک انتگرالگیر است.

مدارهای بالاگذر

شکل (الف ۱۴ -ج) خروجی یک مدار HP ی STC را (با بهرهٔ فرکانس بالای واحد) که با پالس ورودی شکل (۱۲ -ج) تحریک شده نشان می‌دهد. فرض بر این است که τ و T از نظر مقدار قابل قیاسند، مطابق شکل، تغییر پله‌ای لبه بالارونده پالس ورودی بطور کامل در خروجی مدار HP ظاهر می‌شود. اما چون مدار HP ، dc را سد می‌کند خروجی فوراً شروع به کاهش نمایی به سمت صفر می‌کند. این فرآیند کاهش در $t = T$ متوقف می‌شود. هنگام تغییر پله‌ای لبه پایین رونده ورودی، مدار HP بطور کامل آن را تولید می‌کند. بنابراین در $t = T$ شکل موج خروجی یک جهش منفی *(undershoot)* داشته و پس شروع به کاهش نمایی به سمت صفر می‌نماید. نهایتاً توجه کنید که سطح زیر شکل موج خروجی بالای محور صفر مساوی با زیر محور صفر، با مجموع سطح میانگین صفر است. که نمایانگر سدشدن dc ، توسط مدار HP می‌باشد.

مدار بالاگذر STC در کاربردهای زیادی برای انتقال پالس از یک قسمت سیستم به قسمت دیگر مورد استفاده قرار می‌گیرد. در این صورت باید اعوجاج شکل پالسی در حد امکان کوچک باشد. این عمل با تعیین τ بسیار بزرگتر از پهنای پالس T انجام می‌شود. اگر این کار صورت پذیرد، تلفات دامنه در دورهٔ تناوب T مطابق شکل (ب ۱۴ -ج) خیلی کم است. با این وجود، هنوز سیگنال خروجی دارای نوسان منفی است و سطح زیر بخش مثبت و منفی آن مساوی خواهد بود.



شکل (۱۴ - ج) پاسخ پالسی مدارهای بالا گذر

شکل موج به نمایش درآمده در شکل (ب ۱۴ - ج) رادرنظر بگیرید. چون τ بسیار بزرگتر از T است، قسمتی از منحنی نمایی از $t=0$ تا $t=T$ تقریباً خطی بوده و شیب آن مساوی شیب منحنی نمایی در $t=0$ است، که P/τ می‌باشد. با استفاده از این مقدار، می‌توان تلفات دامنه ΔP را بصورت زیر بیان کرد:

$$\Delta P \cong \frac{P}{\tau}T \qquad (۱۴-ج)$$

اثر اعوجاج مدار بالاگذر، بر پالس ورودی معمولاً بر حسب در واحد، یا درصد ارتفاع پالس تعیین می‌شود. به این مقدار «فرونشستگی» (sag) پالس خروجی می‌گوییم،

$$\text{درصد فرونشستگی} \equiv \frac{\Delta P}{P} \times ۱۰۰ \qquad (۱۵-ج)$$

بنابراین داریم:

$$\text{درصد فرونشستگی} = \frac{T}{\tau} \times ۱۰۰ \qquad (۱۶-ج)$$

سرانجام، تذکر می‌دهیم که اندازه جهش منفی در $t=T$ مساوی ΔP می‌باشد.

حالت حدی دیگر، یعنی $\tau << T$، در شکل (پ ۱۴ - ج) تشریح شده است. در این حالت، کاهش نمایی کاملاً سریع است، که باعث صفرشدن سریع خروجی پس از لبه بالا روندهٔ پالس می‌شود. در لبه پایین روندهٔ پالس، نوسان منفی خروجی به میزان ارتفاع پالس، وجود دارد. پس از آن، شکل موج سریعاً به سمت صفر کاهش پیدا می‌کند. همانطور که از شکل (پ ۱۴ - ج) پیداست، شکل موج خروجی شباهتی به پالس ورودی ندارد و شامل دو جهش است: یکی مثبت در لبه بالارونده و دیگری منفی در لبه پایین‌رونده. توجه کنید که شکل موج خروجی، تقریباً شبیه مشتق زمانی پالس ورودی است. یعنی در حالت $t << T$، یک مدار بالاگذر STC یک مشتق‌گیر را تقریب می‌زند. اما مشتق‌گیر حاصل، ایده‌آل نیست، یک مشتق‌گیر ایده‌آل باید دو ضربه تولید کند. با این وجود، مدارهای STC بالاگذر با ثابت زمانی کوتاه در کاربردهایی برای تولید پالسهای تیز یا جهش‌های حالت‌گذار شکل موج ورودی مورد استفاده قرار می‌گیرد.

تمرینها

۱۲ - ج زمانهای صعود و نزول یک پالس $۱\,\mu s$ را پس از عبور از مدار RC ی پایین‌گذر با فرکانس گوشهٔ ۱۰ MHz به دست آورید.
جواب. ۳۵ ns

۱۳ - ج پاسخ پالسی یک مدار STC پایین‌گذر مطابق شکل (پ ۱۳ - ج) را درنظر بگیرید. اگر $\tau = ۱۰۰\,T$ باشد، ولتاژ خروجی را در $t = T$ به دست آورید. اختلاف شیبهای قسمت صعودی شکل موج خروجی را در $t = ۰$ و $t = T$ نیز به دست آورید (بصورت درصدی از شیب در $t = ۰$)
جواب. $۰/۰۱\,P$؛ ۱ %

۱۴ - ج خروجی یک طبقه تقویت‌کننده به ورودی طبقه دیگر از طریق خازن C اتصال می‌یابد. اگر مقاومت خروجی اولین طبقه، ۱۰ kΩ و مقاومت ورودی طبقه دوم، ۴۰ KΩ باشد، کمترین مقدار C را طوری که فرونشستگی یک پالس $۱۰\mu s$ کمتر از ۱% باشد، بیابید.
جواب. $۰/۰۲\,\mu F$

۱۵ - ج یک مدار STC بالاگذر با ثابت زمانی $۱۰۰\,\mu s$ توسط پالسی با ارتفاع ۱ V و پهنای $۱۰۰\,\mu s$ تحریک می‌شود. مقدار جهش منفی شکل موج خروجی را پیدا کنید.
جواب. ۰/۶۳۲ V ❑

مسائل

۱ - ج مدار شکل (الف ۳ - ج) و معادلهای (ت) و (ث) آن را درنظر بگیرید. خروجی، $v_O = v_{O1} + v_{O2}$، حاصل جمع خروجی‌های مدار پایین گذر و بالاگذر می‌باشد که ثابت زمانی هر دو $\tau(C_1 + C_2)(R_1 // R_2)$ است. شرایطی را که تحت آنها، سهم هر دو مدار یکسان باشد، به دست آورید. نشان دهید این شرط بصورت $C_1R_1 C = ۲R_2$ است. اگر این شرط اعمال شود، $|V_o/V_i|$ را نسبت به فرکانس در حالت $R_1 = R_2$، رسم کنید.

۲ - ج با استفاده از قانون تقسیم ولتاژ، تابع انتقال $V_o(s)/V_i(s)$ مدار شکل (الف ۳ - ج) را به دست آورید. نشان دهید که تابع انتقال با شرط $C_1R_1=C_2R_2$، مستقل از فرکانس می‌شود. مدار با این شرط، تضعیف‌کننده جبران‌سازی شده نامیده می‌شود، انتقال آن را بر حسب R_1 و R_2 بیابید.

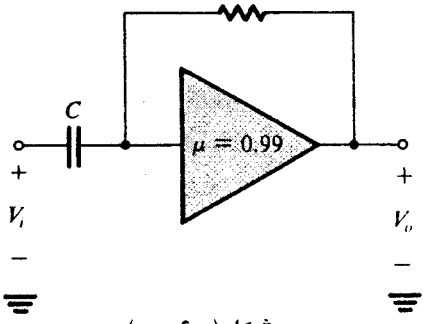
ط۳ - ج** مدار شکل (الف ۳ - ج) بعنوان تضعیف‌کننده جبران شده [مسائل (۱ - ج) و (۲ - ج) را ببینید] در تصحیح‌کنندهٔ (پروب) نوسان نما

(اسیلوسکوپ) به کار می‌رود. هدف، کاهش ولتاژ سیگنال اعمال شده به ورودی تقویت‌کنندهٔ نوسان نما است بصورتی که تضعیف سیگنال مستقل از فرکانس باشد. تصحیح‌کننده شامل R_1 و C_1 است و R_2 و C_2، مدار ورودی نوسان نما را مدل می‌کنند. در یک نوسان نما که دارای مقاومت ورودی ۱ MΩ و خازن ورودی ۳۰ pF است، یک «تصحیح‌کنندهٔ ۱۰ به ۱»، یعنی تضعیف سیگنال ورودی با ضریب ۱۰، طراحی کنید. امپدانس ورودی تصحیح‌کننده هنگامی که به نوسان‌نما متصل می‌شود، یعنی امپدانسی که توسط v_I در شکل (الف ۳ - ج) دیده می‌شود، را به دست آورید. نشان دهید این امپدانس ۱۰ برابر بزرگتر از امپدانس خود نوسان نماست. این امر، مزیت بزرگ تصحیح‌کننده ۱۰ به ۱ است.

۴ - ج در مدار شکل (۴ - ج) و (۵ - ج)، فرض کنید $L = ۱۰$ mH، $C = ۰/۰۱\mu$F و $R = ۱$ kΩ باشد. در چه فرکانسی زاویهٔ فاز °۴۵ می‌شود؟

***۵ - ج** یک تقویت‌کنندهٔ ولتاژ با بهرهٔ ولتاژ مدار باز $A_{vo}=-۱۰۰$V/V، $R_o = ۰$، $R_i = ۱۰$ kΩ و خازن ورودی $C_i = ۱۰$ pF (موازی با R_i)، درنظر بگیرید. تقویت‌کننده دارای خازن فیدبک $C_f = ۱$ pF (خازن متصل شده بین خروجی و ورودی) می‌باشد و به آن منبع ولتاژ V_s با مقاومت منبع $R_s=۱۰$ kΩ اعمال می‌شود.
تابع انتقال $V_o(s)/V_s(s)$ تقویت‌کننده را به دست آورده، پاسخ اندازه آن را نسبت به فرکانس (بر حسب dB نسبت به فرکانس روی محور لگاریتمی) رسم کنید.

۶ - ج در مدار شکل (م ۶ - ج) فرض کنید تقویت‌کنندهٔ ولتاژ ایده‌آل باشد. تابع انتقال $V_o(s)/V_i(s)$ را به دست آورید. پاسخ STC از چه نوعی است؟ برای $C = ۰/۰۱$ pF و $R = ۱۰۰$ kΩ فرکانس گوشه را بیابید.



شکل (م ۶ - ت)

۷ - ج در مدارهای شکلهای (ب ۴ - ج) و (ب ۵ - ج) اگر v_I یک پلهٔ ۱۰V، $R = ۱$ kΩ و $L = ۱$ mH باشد، v_O را به دست آورید.

۸ - ج پاسخ نمایی یک مدار پایین‌گذر STC را به ورودی پله ۱۰ V در نظر بگیرید. بر حسب ثابت زمانی τ، زمانی را طول می‌کشد تا خروجی به ۵ V، ۹V، ۹/۹ V و ۹/۹۹ V برسد بیابید.

۹ - ج پاسخ فرکانس بالای یک نوسان‌نما شبیه مدار LP ی STC با فرکانس گوشهٔ ۱۰۰ MHz است. اگر این نوسان نما برای نمایش شکل موج پلهٔ ایده‌آل به کار رود، انتظار دارید زمان صعود (۱۰٪ تا ۹۰٪) چقدر باشد؟

۱۰ - ج یک نوسان‌نما که پاسخ پلهٔ آن شبیه مدار STC پایین‌گذر است، دارای زمان صعود t_s ثانیه است. اگر زمان صعود سیگنال ورودی، t_W ثانیه باشد، زمان صعود شکل موج، t_d ثانیه خواهد بود، که با استفاده از فرمول تجربی $t_d=\sqrt{t^2_s+t^2_W}$ به دست می‌آید. اگر $t_s = ۳۵$ ns باشد، فرکانس ۳dB‌ی نوسان نما چقدر است؟ زمان صعود مشاهده شده برای موج خروجی، در ۱۰۰ ns، ۳۵ ns و ۱۰ ns چقدر است؟ زمان صعود واقعی موج خروجی که زمان صعودش ۴۹/۵ns دیده می‌شود، چقدر است؟

۱۱ - ج یک پالس با پهنای ۱۰ ns و دامنه ۱۰ V از طریق یک سیستم که با مشخصات پاسخ بالاگذر STC با فرکانس گوشه ۱۰ Hz مدل می‌شود، ارسال می‌گردد. انتظار دارید جهش منفی چقدر باشد؟

۱۲ - ج یک مشتق‌گیر با ثابت زمانی τ برای پیاده‌سازی یک آشکارساز پالس کوتاه به کار می‌رود. هنگامی‌که یک پالس طولانی $T >> \tau$ به مدار اعمال شود، نوکهای مثبت و منفی خروجی از نظر اندازه مساویند. در چه پهنای پالسی نوک منفی خروجی ۱۰٪ با نوک مثبت تفاوت دارد؟

۱۳ - ج یک مدار STC بالاگذر با ثابت زمانی ۱ ms توسط پالسی با ارتفاع ۱۰V و پهنای ۱ ms تحریک می‌شود. جهش منفی شکل موج خروجی را به دست آورید. اگر نیاز به جهش منفی ۱ V یا کمتر باشد، ثابت زمانی لازم چقدر است؟

ط ۱۴ - ج برای اتصال خروجی یک طبقه تقویت‌کنندهٔ به ورودی طبقهٔ بعد، از یک خازن استفاده می‌شود. اگر مقاومت خروجی اولین طبقه ۲ kΩ و مقاومت ورودی دومین طبقه ۳ kΩ باشد، مقداری C را طوری به دست آورید که یک پالس ۱ ms دارای زمان فرونشستگی کمتر از ۱ % باشد. فرکانس ۳ dB ی مربوطه چقدر است؟

ط ۱۵ - ج برای تبدیل تغییرات ولتاژ پله‌ای به یک پالس منفرد جهت کاربرد منطقی دیجیتال از یک مشتق‌گیر استفاده می‌شود. مدار منطقی که مشتق‌گیر آن را راه‌اندازی می‌کند سیگنالهای بیش از $V/۲$ را «بالا» و کمتر از $V/۲$ را «پایین» تلقی میکند. برای تبدیل ورودی پله به پالسی که برای ۱۰ μs در حالت «بالا» باشد، ثابت زمانی لازم چقدر است؟

ط ۱۶ - ج مدار شکل (الف ۷ - ج) را با $\mu = -۱۰۰$، $C_f = ۱۰۰$ pF و تقویت‌کنندهٔ ایده‌آل درنظر بگیرید. مقدار R را طوری به دست آورید که بهره $|V_o/V_s|$ دارای $f_{۳dB} = ۱$ kHz باشد.

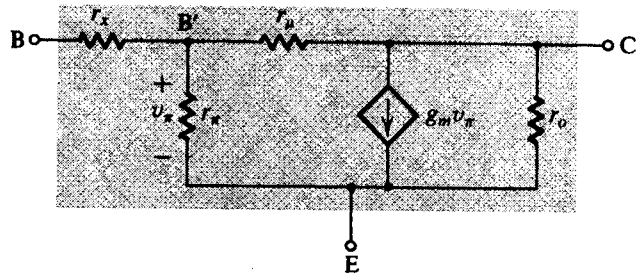
ضمیمه ج

تعیین مقادیر پارامتر مدل هیبرید π برای BJT

مقدمه

در این ضمیمه روشی برای تعیین مقادیر مولفه‌های فرکانس پایین مدل هیبرید π مربوط به BJT (شکل ۱-ج) از روی داده‌های اندازه‌گیری شده، ارائه می‌شود. یاد آوری می‌کنیم که ترانزیستور یک قطعه سه پایانه است که می‌توان آن را با زمین کردن یکی از پایانه‌هایش به یک شبکه دو درگاهی تبدیل کرد. در این صورت می‌توان آن با هر یک از گروه پارامترهای دو درگاهی (ضمیمه ب) مشخص نمود. برای BJT در فرکانس‌های پایین راحت‌ترین مدل، پارامترهای h است. در ادامه، بطور خلاصه روش‌هایی را جهت سنجش پارامترهای h برای ترانزیستور در ناحیه فعال، بررسی می‌کنیم. فرمول‌هایی را نیز برای به دست آوردن مدل هیبرید π از روی پارامترهای h اندازه‌گیری شده ارائه می‌کنیم. تأکید می‌کنیم که چون مدل هیبرید π مرتبط با عملکرد فیزیکی ترانزیستور است، طراح مدار باید بینشی عمیق در مورد عملکرد مدار داشته باشد. بنابراین علاقه ما به پارامترهای h، منحصراً برای تعیین مقادیر مولفه‌های هیبرید π است.

اگر امیتر ترانزیستور در ناحیه فعال، زمین شود، درگاه شماره ۱ بین بیس و امیتر و درگاه شماره ۲ بین کلکتور و امیتر است. در این صورت برای



شکل (۱-ج) مدار کامل هیبرید π فرکانس پایین

سیگنال کوچک حول نقطه کار داده شده می‌توانیم بنویسیم:

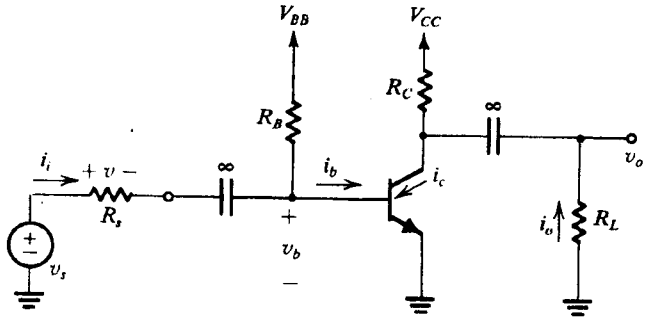
$$v_b = h_{ie} + h_{re}V_c \qquad (۱-ج)$$

$$i_c = h_{fe}i_b + h_{oe}V_c \qquad (۲-ج)$$

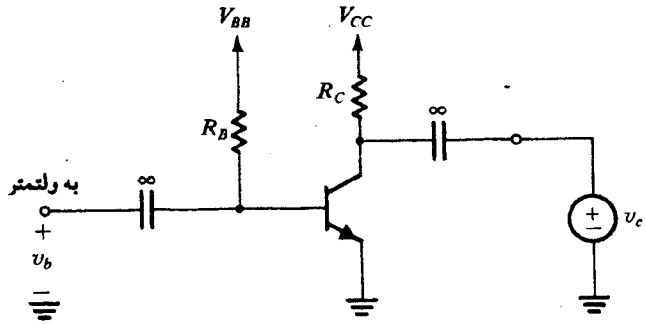
معادلات فوق، معادلات تعیین کننده پارامترهای h امیتر مشترک هستند که در آن، به جای استفاده از نماد h_{11}، h_{12} و نظایر آن، از زیر نویس‌های i به معنای ورودی، r به معنای معکوس، f به معنای مستقیم، o به معنای خروجی، و زیر نویس اضافه شده e به معنای امیتر مشترک است.

برای اندازه‌گیری h_{ie} و h_{fe}، مدار نشان داده در شکل (۲-ج) به کار می‌رود. در این جا R_B مقاومت بزرگی است که به همراه V_{BB}، I_B را تعیین می‌کند. مقاومت R_C برای ایجاد ولتاژ dc در کلکتور به کار می‌رود و مقاومت بسیار کوچک R_L به منظور اندازه‌گیری جریان کلکتور در مدار قرار دارد. کلکتور بطور موثر به زمین اتصال کوتاه شده است و داریم:

$$i_c \cong i_o = \frac{-v_o}{R_L}$$



شکل (۲-ج) مدار اندازه گیری h_{ie} و h_{fe}



شکل (۳ - چ) مدار اندازه گیری h_{re}

جریان سیگنال ورودی i_i با اندازه‌گیری ولتاژ V روی مقاومت معلوم R_s تعیین می‌شود، یعنی :

$$i_b \cong i_i = \frac{V}{R_s}$$

ولتاژ سیگنال ورودی V_b را می‌توان مستقیماً روی بیس اندازه‌گیری کرد. با استفاده از این مقادیر می‌توان h_{ie} و h_{fe} را محاسبه کرد:

$$h_{ie} = \frac{v_b}{i_b} \text{ و } h_{fe} = \frac{i_c}{i_b}$$

برای اندازه‌گیری h_{re} از مدار شکل (۳ - چ) استفاده می‌کنیم. در این جا نیز R_B باید بزرگ باشد (بسیار بزرگتر از r_π) و مقاومت ورودی ولت‌متر اندازه‌گیری کننده V_b نیز باید زیاد باشد تا مطمئن شویم که بیس مدار باز است، مقدار h_{re} را می‌توان بصورت زیر تعریف کرد:

$$h_{re} = \frac{v_b}{v_c}$$

سرانجام، از معادله (۲ - چ) در می‌یابیم که h_{oe} هدایت انتقالی با بیس مدار باز است، که از نظر مفهومی و توصیفی منحنی مشخصه $i_C - v_{CE}$ است. h_{oe} را می‌توان به آسانی از مشخصه‌های استاتیک امیتر مشترک به دست آورد.

عبارت‌های h_{ie} و h_{fe} بر حسب پارامترهای مدل هیبرید π را می‌توان با تحلیل مدار معادل شکل (۴ - چ) به دست آورد. تحلیل به نتیجه زیر منجر می‌شود:

$$h_{ie} = r_x + (r_\pi // r_\mu) \qquad (۳ - چ)$$

بطور تقریبی می‌توان رابطه فوق را بصورت زیر نوشت:

$$h_{ie} \cong r_x + r_\pi \qquad (۴ - چ)$$

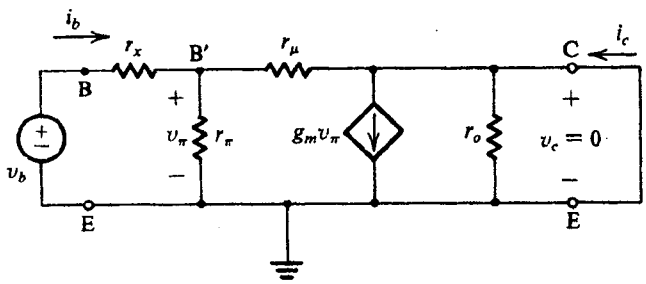
و

$$h_{fe} = g_m r_\pi \qquad (۵ - چ)$$

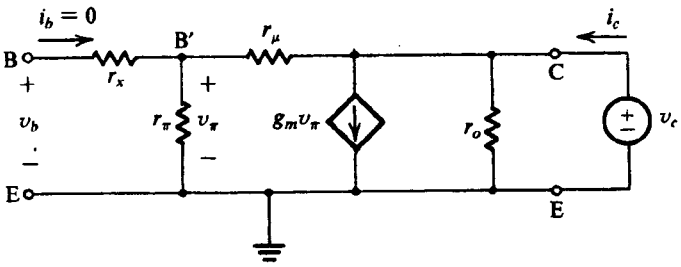
توجه کنید که h_{fe} از نظر توصیفی، معادل β ی ac یا β_{ac} و مقدار داده شده توسط معادله (۵ - چ) در واقع متناظر با فرمولی است که قبلاً برای β ی فرکانس یا بیس یا β_o به دست آورده‌ایم.

برای به دست آوردن عبارتی جهت h_{re} و h_{oe} از مدل مدار معادل شکل (۵ - چ) استفاده کرده به رابطه زیر می‌رسیم:

$$h_{re} = \frac{r_\pi}{r_\pi + r_\mu}$$



شکل (۴ - چ) مدار به دست آوردن عباراتی برای h_{ie} و h_{fe}



شکل (۵ - چ) مدار به دست آوردن عباراتی برای h_{re} و h_{oe}

که می‌توان آن را بصورت زیر نوشت:

$$h_{re} = \frac{r_\pi}{r_\mu} \qquad (۶ - چ)$$

$$h_{oe} = \frac{۱}{r_o} + \frac{\beta_o}{r_\mu}$$

آخرین عبارت، معادل شیب مشخصه $i_C - v_{CE}$ در حالت مدار باز بودن بیس است.

عبارت فوق را می‌توان برای تعیین مقادیر پارامترهای مدل هیبرید π از پارامترهای اندازه‌گیری شده h بصورت زیر به دست آورد:

$$g_m = I_C/V_T \qquad (۸ - چ)$$

$$r_\pi = h_{fe}/g_m \qquad (۹ - چ)$$

$$r_x = h_{ie} - r_\pi \qquad (۱۰ - چ)$$

$$r_\mu = r_\pi/h_{re} \qquad (۱۱ - چ)$$

$$r_o = \left(h_{oe} - \frac{h_{fe}}{r_\mu}\right)^{-۱} \qquad (۱۲ - چ)$$

$$= V_A/I_C \qquad (۱۳ - چ)$$

اما باید متذکر شویم که چون معمولاً $r_x << r_\pi$ است، معادله (۱۰ - چ) برای تعیین r_x خیلی دقیق نیست. در واقع، در فرکانس‌های پایین راه دقیقی برای تعیین r_x نیست، چون نقش آن در فرکانس‌های پایین، حداقل است.

تمرین

۱ - چ پارامترهای زیر برای یک ترانزیستور بایاس شده در $I_C = ۱mA$ ، $h_{ie} = ۲/۶K\Omega$ ، $h_{fe} = ۱۰۰$ ، $h_{re} = ۰/۵ \times ۱۰^{-۴}$ ، $h_{oe} = ۱/۲ \times ۱۰^{-۵}$

اندازه‌گیری شده است. مقادیر g_m، r_π، r_x، r_μ و r_o و V_A را تعیین کنید.
جواب. ۴۰mA/V ، ۲/۵kΩ ، ۱۰۰Ω ، ۵۰kΩ ، ۱۰۰kΩ و ۱۰۰V
❑

مسائل

۱ – چ به یک BJT که توسط یک منبع جریان امیتری ۱۰mA بایاس شده، و امیتر آن توسط یک خازن بزرگ، کنارگذر (bypass) شده است، یک جریان سیگنال-کوچک از طریق مقاومت خارجی ۱kΩ ، به بیس اعمال می‌شود. کلکتور آن از طریق مقاومت ۱۰۰Ω به تغذیه مناسب متصل شده است با اندازه‌گیری‌های دقیق *ac* نسبت به زمین، ولتاژهای زیر به دست آمده است: ولتاژ امیتر، تقریباً صفر میلی ولت، ولتاژ بین ۳/۳mV ، ولتاژ کلکتور ۱۲۰mV ، ولتاژ مقاومت ورودی دور از بیس ۱۳/۳mV r_e، r_π، h_{fe}، g_m و r_x را به دست آورید.

۲ – چ در مدار شکل (۲ – چ) ، R_S = ۱۰kΩ ، R_B = ۱۰۰kΩ ، R_C = ۱۰ kΩ و R_L = ۱۰۰Ω است. از اندازه‌گیری‌های AC ، مقادیر زیر به دست آمده است: v_s = ۱۵mV ، v_b = ۵mV ، v_o = ۲۰mV .

(الف) h_{ie} و h_{fe} را بصورت تقریبی و دقیق به دست آورید (یعنی با حساب کردن جریان R_B و R_C)
(ب) اگر r_x در اندازه‌گیری فرکانس بالا، ۵۰Ω باشد، r_π، r_e، g_m و I_E را به دست آورید.
(پ) سپس این مدار به مدار شکل (۳ – چ) تبدیل شده و سیگنال v_c = ۵V را به آن اعمال می‌شود. از روی اندازه‌گیری‌ها v_b = ۱mV به دست آمده است. h_{re} چقدر است؟ توجه کنید که هدف از این اندازه‌گیری تعیین r_μ است که باید در فرکانس‌های پایین به دست آید. چرا؟
(ت) با استفاده از نتایج (ب) و (پ) ، r_μ را به دست آورید. در چه فرکانسی اندازهٔ امپدانس ظرفیت خازنی ۱pF مساوی این مقدار r_μ است؟
(ث) مدار شکل (۳ – چ) را در حالتی که مقاومت ۱۰۰Ω بصورت سری به کلکتور آن اضافه شود در نظر بگیرید. با V_c = ۵V ، ولتاژ روی مقاومت ۱۰۰Ω ، ۸mV است. با این شرایط h_{oe}، r_o و V_A را به دست آورید.

۳ – چ پارامترهای زیر برای یک ترانزیستور بایاس شده در I_C=۱mA است. مقادیر g_m، r_π، r_e، r_x، r_o، r_μ و V_A را به دست آورید.
h_{ie}=۱/۳۵۰kΩ ، h_{fe}=۱۰۰ ، h_{re}=۵×۱۰$^{-۵}$ ، h_{oe}=۲/۴×۱۰$^{-۵}$A/V

ضمیمه ح

مقادیر مقاومت استاندارد و پیشوندهای واحدها

مقاومتهای مجزا فقط بصورت مقادیر استاندارد در دسترس هستند. جدول زیر، مضارب مقادیر استاندارد را برای مقاومتهای با درصد خطای (تولرانس) ۵% و ۱% فراهم آورده است. بنابراین در مقاومتهای ۵% مقادیر ۱/۰ و ۱/۱ و ۱/۲ و ۱/۳ و ۱/۵ و ..... برحسب kΩ وجود دارند. مقاومتهای ۱% نیز عبارتند از: ۱/۰۰ و ۱/۰۲ و ۱/۰۵ و ۱/۰۷ و ۱/۱۰، .... برحسب kΩ.

مقادیر مقاومت ۵٪	مقادیر مقاومت ۱٪			
۱۰	۱۰۰	۱۷۸	۳۱۶	۵۶۲
۱۱	۱۰۲	۱۸۲	۳۲۴	۵۷۶
۱۲	۱۰۵	۱۸۷	۳۳۲	۵۹۰
۱۳	۱۰۷	۱۹۱	۳۴۰	۶۰۴
۱۵	۱۱۰	۱۹۶	۳۴۸	۶۱۹
۱۶	۱۱۳	۲۰۰	۳۵۷	۶۳۴
۱۸	۱۱۵	۲۰۵	۳۶۵	۶۴۹
۲۰	۱۱۸	۲۱۰	۳۷۴	۶۶۵
۲۲	۱۲۱	۲۱۵	۳۸۳	۶۸۱
۲۴	۱۲۴	۲۲۱	۳۹۲	۶۹۸
۲۷	۱۲۷	۲۲۶	۴۰۲	۷۱۵
۳۰	۱۳۰	۲۳۲	۴۱۲	۷۳۲
۳۳	۱۳۳	۲۳۷	۴۲۲	۷۵۰
۳۶	۱۳۷	۲۴۳	۴۳۲	۲۶۸
۳۹	۱۴۰	۲۴۹	۴۴۲	۷۸۷
۴۳	۱۴۳	۲۵۵	۴۵۳	۸۰۶
۴۷	۱۴۷	۲۶۱	۴۶۴	۸۲۵
۵۱	۱۵۰	۲۶۷	۴۷۵	۸۴۵
۵۶	۱۵۴	۲۷۴	۴۸۷	۸۶۶
۶۲	۱۵۸	۲۸۰	۴۹۹	۸۸۷
۶۸	۱۶۲	۲۸۷	۵۱۱	۹۰۹
۷۵	۱۶۵	۲۹۴	۵۲۳	۹۳۱
۸۲	۱۶۹	۳۰۱	۵۳۶	۹۵۳
۹۱	۱۷۴	۳۰۹	۵۴۹	۹۷۶

پیشوندهای واحدها

ضریب	نماد	نام
$\times 10^{-15}$	f	فمتو
$\times 10^{-12}$	p	پیکو
$\times 10^{-9}$	n	نانو
$\times 10^{-6}$	μ	میکرو
$\times 10^{-3}$	m	میلی
$\times 10^{3}$	k	کیلو
$\times 10^{6}$	M	مگا
$\times 10^{9}$	G	گیگا
$\times 10^{12}$	T	ترا

A

analog signal سیگنال آنالوگ
analog to digital converter(A/D or ADC) مبدل آنالوگ به دیجیتال
astable multivibrator مولتی ویبراتور پایا
attenuating تضعیف
attenuation function تابع تضعیف
audio band باند صوتی
augment افزودن
avalanche effect اثر بهمنی

B

Barkhausan criterion معیار بارکهاوزن
barely on واقعاً روشن
barely off واقعاً خاموش
Bode plot نمودار بود
biasing بایاس
binary دودویی
BICMOS CMOS دو قطبی
bipolar junction transistor (BJT) ترانزیستور پیوندی دو قطبی
bistable multivibrators مولتی ویبراتور جفت پایا
مولتی ویبراتور بای استابل
body effect parameter شاخصه اثر بدنه
boundry مرز
buffer amplifier تقویت کننده میانگیر
bypass capasitor خازن کنارگذر

C

cascode آبشاری
cascade پشت سرهم - متوالی
channel length modulation مدولاسیون طول کانال
common - base بیس مشترک
common mode input resistance مقاومت ورودی حالت مشترک
common-mode rejection دفع حالت مشترک
common-mode rejection ratio (CMRR) نسبت دفع حالت مشترک
comparison circuit مدار مقایسه
compromise سازش
contrast عکس - مخالف
corner frequency فرکانس گوشه
coupling انتقال - تزویج
coupling capacitor خازن انتقال
critically بطورجدی
crossover distortion اعوجاج تقاطعی
current mirror آینه جریان
current mode حالت جریان
current steering circuit مدار کشش جریان

D

decoupling مجزاکننده
decoupling capacitor خازن مجزاکننده
depletion region ناحیه تهی
differential تفاضلی
diffusion انتشار
digital signal سیگنال دیجیتالی
discrete circuit مدار مجزا
distortion اعوجاج
drawback عیب - ایراد

E

emitter follower امیتر پیرو
emmision انتشار
enhancement افزایشی
epitaxial رونشستی
excursion گردش، گشت
extensive فراوان

F

factor ضریب
fall time زمان افت
field بدست آمدن - نتیجه شدن
filter capacitor خازن فیلتر
forward voltage ولتاژ مستقیم
frequency of interest فرکانس مورد نظر
full-wave rectifier یکسوساز تمام موج

G

gain بهره
graphical ترسیمی
graphical analisys تحلیل ترسیمی
graphical representation نمایش ترسیمی
grading coefficient ضریب شیب

H

heat sink گرما بَر
hence بنابراین، درنتیجه
high بالا
high input ورودی بالا
high pass (HP) بالاگذر
hole concentration تراکم حفره

I

ill- specified نامعلوم
illustrate نشان دادن (به کمک شکل)
induced القایی
induced channel کانال القایی
integrator frequency فرکانس انتگرالگیر
impedance امپدانس
in contrast برعکس
incremental resistance فزونی مقاومت
مقاومت نموی
inductorless filter فیلتر بی القاگر
infinitsimal بی اندازه خرد، غیرقابل سنجش
input bias current جریان بایاس ورودی
input feedback current جریان فیدبک ورودی
input high current جریان زیاد ورودی
input low current جریان کم ورودی
input offset voltage ولتاژ افست ورودی
ولتاژ انحراف از میزان در ورودی
insrtumentation amplifier تقویت کننده دستگاهی
instantaneous power dissipation اتلاف توان لحظه‌ای
IGFET (insulated-gate FET) FET باگیت عایق
internal capacitance ظرفیت داخلی
inverse معکوس
inverse active mode حالت فعال معکوس
inverting input terminal پایانه ورودی وارونگر
Integrated - circuit(IC) مدار مجتمع (آی سی)
iternally compensated با جبران داخلی
دارای جبران داخلی

J

JFET (junction field-effect transistor) ترانزیستور اثر میدانی پیوندی

L

least significant bit (LSB) بیت کمترین مقدار
level shifting تغییر سطح
lifetime طول عمر
linearity خطی بودن
load line خط بار
load regulation تثبت ولتاژ بار
رگولاسیون بار
low پایین
low input ورودی پایین
low pass (LP) پایین گذر

M

macromodel مدل بزرگ شده
majority electrons الکترونهای اکثریت
mean transit time زمان متوسط گذر
memory acess time زمان دستیابی به حافظه
MESFET ترانزیستور اثر میدانی با نیمه هادی و فلز
MOSFET ترانزیستور اثر میدانی با اکسید فلز و نیمه هادی
microcomputer ریزکامپیوتر
microprocessor ریزپردازنده
midband حد میانه - باند میانه
minority carriers حاملهای اقلیت
minority holes حفره‌های اقلیت
mismatch بی انطباقی
mobility جابجایی
monostable multivibrator مولتی ویبراتور تک پایا
MSB (most significant bit) بیت بیشترین مقدار
multivibrators مولتی ویبراتور

N

NMOS (n-channel MOSFET) MOSFET با کانال n
narrow-band باند باریک
negative feedback فیدبک منفی
negative feedback loop حلقه فیدبک منفی
neutralizing خنثی سازی
noise margin حاشیه نویز
noise reduction کاهش نویز

O

of interest موردنظر
offset nulling برطرف کننده ولتاژ انحرافی
بی اثر کننده ولتاژ افست
open loop gain بهره حلقه باز
open-loop transfer function تابع انتقال حلقه باز
operating point نقطه کار
optoisolator عایق سازی نوری
output resistance مقاومت خروجی
output-referred offset voltage ولتاژ افست خروجی
over driven فراراه اندازی

P

PMOS (p-channel MOSFET) MOSFET با کانال نوع p
pass band باند عبور
passive (active) غیرفعال (فعال)
passive LC filter فیلتر با عناصر غیرفعال LC
peak نوک
peak detector آشکارساز نوک
peak invers voltage ولتاژ معکوس نوک
peak rectifier یکسوساز نوک
periodic function تابع پریودیک
permitivity گذردهی
phase sliptter منشعب کننده فاز
pierce osillator نوسان ساز پیرس
pinch-off انسداد
pinched-off تنگ شده - مسدود
pinched-off channel کانال تنگ شده - کانال مسدود
pinch-off voltage ولتاژ انسداد
polarity قطبیت - پلاریته
pole frequency فرکانس قطب
pole quality factor ضریب کیفیت قطب
pole spliting انشعاب قطب
port درگاه - درگاهی
power dissipation اتلاف توان
power gain بهره توان
power transformer ترانسفورمر قدرت
power transistor ترانزیستور قدرت
power-supply hum ناصافی ولتاژ منبع تغذیه
power-supply rejection ratio نسبت دفع در منبع تغذیه
power-supply ripple موجک منبع تغذیه
preamplifier تقویت کننده مقدماتی
primary winding سیم پیچ‌های اولیه ترانسفورمر
process مرحله - فرآیند
profile نیمرخ - برش عمودی
propagation انتشار - توزیع
propagation delay تأخیر انتشار
provide ایجادکردن
provide negetive feedback فیدبک منفی ایجادکردن
proximity نزدیکی
pull-down network (PDN) شبکه پایین کش
pull-up network شبکه بالاکش
pulse standardizer عادی کننده موج ضربانی
استاندارد کننده پالس
pulse stretcher گسترنده پالس
punch-through منفذ
push-pull پوشپول ،کش - واکش

Q

quiescent سکون
quiescen current جریان سکون
quiescent power dissipation اتلاف توان ساکن

R

radio frequency فرکانس رادیویی
random acess memory (RAM) حافظه با امکان دستیابی اتفاقی
rather بلکه - در عوض
reactance واکنش مقاومتی - واکنایی
read only memory (ROM) حافظه فقط خواندنی
recombination بازترکیب
regenerative بازتولید
replenish دوباره پرکردن
replicate نسخه برداری کردن - کپی کردن
result نتیجه - پیامد
result نتیجه بدست آمدن، سبب شدن، حاصل شدن، ناشی شدن
reverse معکوس
reverse active mode حالت فعال معکوس
reverse voltage ولتاژ معکوس
rise and fall time زمان افت و خیز
rise-time زمان خیز

S

saturation اشباع
secondry winding سیم‌پیچ ثانویه ترانسفورماتور

semiconductor نیمه هادی
signla of interest سیگنال مورد نظر
signal-to-noise ratio نسبت سیگنال به نویز
simply همان
simplified version نمونه خلاصه شده
sketch ترسیم
slope شیب
steering راندن - کشش
stringent جدی
substitue قراردادن
switched - capacitor filter
فیلترهای سوئیچ خازنی
systematic مدوّن

T

terminal پایانه
thermal resistance مقاومت حرارتی
threshold voltage ولتاژ آستانه
transconductance
هدایت انتقالی - تراهدایتی
transducer مبدل
transfer characteristic منحنی انتقال
transistor characteristic
مشخصه ترانزیستور
transfer function تابع انتقال
transition band باند انتقال
transition region ناحیه انتقال
transmission gate گیت انتقال
transresistance انتقال مقاومتی
tuned amplifier تقویت کننده تنظیمی

U

unilateral یکطرفه
unity gain bandwidth
پهنای باند بهره واحد

V

very large scale integration
(VLSI) تراکم با مقیاس زیاد
version نمونه
virtually در عمل
volage controlled switch
سوئیچ کنترل با ولتاژ
volage gain بهره ولتاژ
voltage swing نوسان ولتاژ

W

waveform shaping شکل دهنده موج