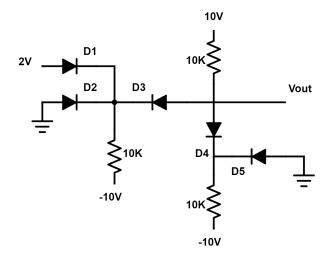
تمرین سری چهارم *

مبانی مدارهای الکتریکی و الکترونیکی دکتر سیاوش بیات دانشکده مهندسی کامپیوتر

۲۵ خرداد ۹۸

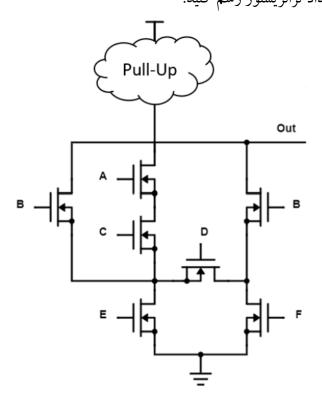
١

مقدار ولتاژ V_{out} و جریانهای عبوری از دیودهای D_1 و D_2 را به دست آورید (دیودها ایده آل هستند).

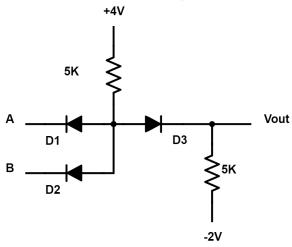


^{*}برای پاسخهای عددی خود، واحد بگذارید. در غیر اینصورت، نمره کسر می شود. همچنین، دور پاسخهای نهایی خود کادر بکشید.

شکل زیر شبکهی Pull-Down یک گیت CMOS استاتیک مکمل را نشان می دهد. الف) تابع منطقی این گیت را بنویسید. ب) شبکهی Pull-Up را با حداقل تعداد ترانزیستور رسم کنید.

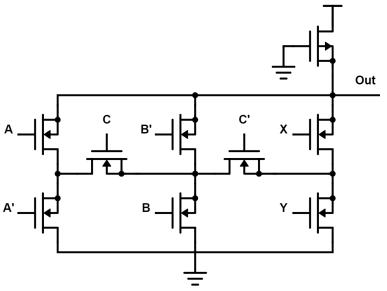


افت ولتاژ تمامی دیودها هنگام روشن بودن برابر 0.6 میباشد. به ازای مقادیر ورودی داخل جدول زیر، روشن/خاموش بودن دیودها و ولتاژ V_{out} را تعیین کنید.

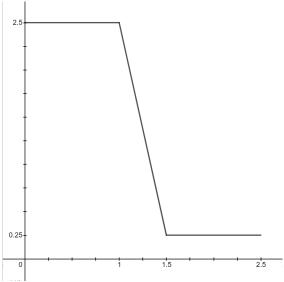


V _A	V _B	D_1	D ₂	D ₃	V_{out}
0V	0V				
OV	4V				
4V	4V				

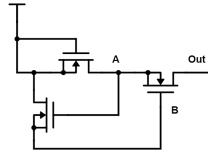
در مدار مقابل ورودیهای X و Y را به گونهای تعیین کنید که خروجی مدار یک XNOR سه ورودی شود.



مشخصهی انتقالی ولتاژ گیت فرضی به صورت مقابل است. حاشیهی نویز گیت را به دست آورید.



 $(V_{th}=0.5v$ و Out و Out و Out و Out مقادیر ولتاژ نقاط A، B و Out و Out مقادیر ولتاژ نقاط

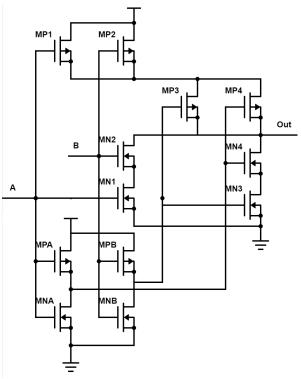


V

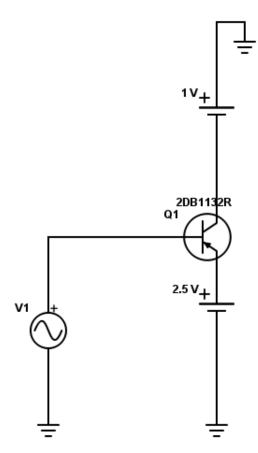
مدار زیر را در منطق CMOS رسم کنید.

$$Y = (A.B + C).(\bar{A} + D).\bar{C}$$

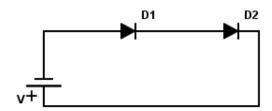
تابع خروجی مدار زیر را به دست آورید.



الف) یک سلول SRAM رسم نمایید که به طورهمزمان بتواند یک عمل نوشتن و دو عمل خواندن را پشتیبانی کند. خواندن را پشتیبانی کند. ب) در طراحی Bit-Line در SRAM سعی می شود که دامنه ولتاژ (Swing) محدود شود. مزیت و ایراد این امر را بنویسید. +2.5 V برای یک ترانزیستور PMOS در شکل زیر داریم $V_{tp}=0.5 v$ با تغییر ولتاژ گیت از $V_{tp}=0.5 v$ تا $V_{tp}=0.5 v$ را که به ازای آن ناحیه کاری تعیین می کند مشخص کنید.



 $I_{s1} = 0.1 pA, I_{s2} = 5 pA$ اگر $I_{s1} = 0.1 pA, I_{s2}$ در شکل زیر برابر با D1, D2 دو مربوط به دیود های V = 3v باشد و بدانیم V = 3v جریان مدار و ولتاژ های دو سر دیود های D1, D2 را حساب کنید.



در مدار شکل زیر $V_T = V_T = V_T = 36 \frac{mA}{V^2}, K_2 = 0.5 \frac{mA}{V^2}$ و $V_T = V_T = 2V$ است.مقدار ولتاژ خروجی را محاسبه کنید. A_v, R_i, R_o را محاسبه نمایید.

