

پاسخ تمرین شماره ۲ درس معماری کامپیوتر

امیر حسین عاصم یوسفی
۹۶۱۱۰۳۲۳

۳۱ خرداد ۱۳۹۸

برای انجام این آزمایش از برنامه Hanoi Tower با مقدار ورودی ۲۲ استفاده شده است که اجرای آن تقریباً ۷ دقیقه و ۲۶ ثانیه طول می‌کشد و کد آن به پیوست ارسال شده است. برای این که برنامه بر روی Config File ای که طراحی کرده ایم اجرا شود باید از دستور زیر استفاده کرد:

```
./build/X86/gem5.opt configs/example/MyConfig.py -c mytest/a.out
```

که نتایج اجرا برای هر کدام از Config های مختلف به صورت زیر است.


```
asay@ubuntu:~/gem5$ ./build/X86/gem5.opt configs/example/MyConfig.py -c mytest/a.out
gem5 Simulator System. http://gem5.org
gem5 is copyrighted software; use the --copyright option for details.

gem5 compiled Jun 1 2019 22:52:19
gem5 started Jun 21 2019 17:43:14
gem5 executing on ubuntu, pid 10729
command line: ./build/X86/gem5.opt configs/example/MyConfig.py -c mytest/a.out

Global frequency set at 1000000000000 ticks per second
0: system.remote_gdb: listening for remote gdb on port 7000
Beginning simulation!
info: Entering event queue @ 0. Starting simulation...
warn: ignoring syscall access(...)
warn: ignoring syscall access(...)
warn: ignoring syscall access(...)
warn: ignoring syscall mprotect(...)
DONE!!!!!!
Exiting @ tick 3097166537500 because exiting with last active thread context
asay@ubuntu:~/gem5$ ./build/X86/gem5.opt configs/example/MyConfig.py -c mytest/a.out
gem5 Simulator System. http://gem5.org
gem5 is copyrighted software; use the --copyright option for details.

gem5 compiled Jun 1 2019 22:52:19
gem5 started Jun 21 2019 18:00:08
gem5 executing on ubuntu, pid 13865
command line: ./build/X86/gem5.opt configs/example/MyConfig.py -c mytest/a.out

Global frequency set at 1000000000000 ticks per second
warn: DRAM device capacity (256 Mbytes) does not match the address range assigned (512 Mbytes)
0: system.remote_gdb: listening for remote gdb on port 7000
Beginning simulation!
info: Entering event queue @ 0. Starting simulation...
warn: ignoring syscall access(...)
warn: ignoring syscall access(...)
warn: ignoring syscall access(...)
warn: ignoring syscall mprotect(...)
DONE!!!!!!
Exiting @ tick 2929088007000 because exiting with last active thread context
```

سوال ۱

برای ارزیابی کارکرد مدل های مختلف پردازندۀ می توان زمان شبیه سازی (sim_seconds) را در نظر گرفت . علت آن هم این است که زمان شبیه سازی به راحتی می تواند تفاوت در تغییر فرکانس و حافظه را به مانشان دهد
زیرا در صورتی که حافظه نتواند یک در خواست را در یک کلک جواب دهد با توجه به حجم برنامه تاثیر به سزاپی در زمان شبیه سازی دارد .
همچنین درمورد پردازندۀ نتواند عملیات ها خود را در مدت یک کلک انجام دهد و نتیجه درست را بددهد می تواند با توجه به حجم برنامه تاثیر به سزاپی در زمان شبیه سازی بگذارد .

۲ سوال

یا توجه به معیار گفته شده در بالا می‌تواند به جدول زیر رسید

	1GHz Sim Time	2GHz Sim Time	4GHz Sim Time	2GHz vs 1GHz (Improvement Percentage)	4GHz vs 2GHz (Improvement Percentage)	Final Improvement
TimingSimpleCPU	8.397	7.557	7.036	10.0035727	6.894270213	16.89784292
MinorCPU	2.289	2.045	1.923	10.65967671	5.965770171	16.62544689

با توجه به جدول بالا می توان دید **TimingSimpleCPU** سیپار حساس تر می باشد .
علتش تفاوت در ساختار این دو پردازنده می باشد زیرا در پردازنده حساس تر از Timing Memory Access استفاده می شود و به این معناست که در دسترسی به cache متوقف می شود و منتظر یاسخ سیستم حافظه می ماند بنابراین تغییرات در فرکانس که ارتباط مستقیم با زمان دسترسی دارد بر روی این پردازنده بیشتر اثراتش را نشان می دهد .

سوال ۳

با توجه به معیار گفته شده در سوال ۱ می‌توان به چدول زیر رسید

	DDR3_2133_8x8 Sim Time	LPDDR2_S4_1066_1x32 Sim Time	HBM_1000_4H_1x64 Sim Time	LPDDR2 vs DDR3 (Improvement Percentage)	HBM vs LPDDR2 (Improvement Percentage)	Final Improvement
TimingSimpleCPU	6.838	8.906	9.123	-30.24276104	-2.436559623	-32.67932066
MinorCPU	1.846	3.097	2.929	-67.76814735	5.424604456	-62.34354289

همان طور که می توان دید **MinorCPU** نسبت به تغییرات حافظه حساس تر (اگر قدر مطلقی در نظر بگیریم) است. علت حساسیت این مدل پردازنده نسبت به تغییر تفاوت در ساختار آن می باشد این پردازنده به صورت Pipeline برنامه را اجرا می کند بنابراین تغییرات در Memory می تواند در مراحل DDR3_2133_8x8 : Cycle Time = 3.75 ns , PeakTransferRate = این خط لوله باعث stall های زیادی شود و با توجه به این که در این آزمایش سریع ترین حافظه LPDDR2_S4_1066_1x32 : CycleTime = 4ns , PeakTransferRate = 6.4GB/s می باشد بنابراین زمانی که آن را به s/s 17GB در زمان شبیه سازی می گذارد و زمانی که آخرین تغییر را بر روی حافظه انجام می دهیم و آن را به HBM_1000_4H_1x64 : CycleTime = 2ns , PeakTransferRate = می باشد یک تاثیر به سزایی تبدیل می کنیم مقدار عملکرد سیستم بهبود میابد ولی در کل عملکرد سیستم نسبت به حافظه DDR3 کاهش میابد که مقادیر آن در جدول موجود است.

سوال ۴

نسبت به تغییرات CPU حساس‌تر است زیرا ساختار این دو پردازنده که یکی Pipeline و دیگری به صورت Multicycle می‌باشد بیشتری تاثیر را در زمان شبیه‌سازی دارد.

سوال ۵

بله. زیرا هر برنامه تعداد منحصر به فرد دسترسی به حافظه و عملیات‌های پردازشی دارد بنابراین حتماً نتایج آزمایش متفاوت خواهد بود.