

پاسخ تمرین شماره ۵ درس معماری کامپیوتر

امیر حسین عاصم یوسفی
۹۶۱۱۰۳۲۳

۷ خرداد ۱۳۹۸

سوال ۱

با توجه به این طولانی ترین تاخیر مربوط به Mem می باشد که برابر با ۲ نانوثانیه می باشد و این که تاخیر رجیستر های میانی ۰/۱ نانوثانیه هستند پس برای Clock Time جدید داریم :

$$\text{Clock Time new} = 2\text{ns} + 0.1\text{ns} = 2.1\text{ns}$$

برای این که تاثیر stall را در نظر بگیریم باید CPI را برای زمانی که stall داریم طبق فرمول زیر به دست آوریم :

$$\text{CPI} = \text{IdealCPI} + \text{stall cycles}$$

در این جا $\text{IdealCPI} = 1$ در نظر می گیریم و چون به ازای هر ۴ دستور یک stall داریم پس

$$\text{stall cycles} = 1/4 = 0.25\text{ns}$$

بنابراین طبق فرمول گفته شده $\text{new CPI (with Stall)} = 1 + 0.25 = 1.25\text{ns}$ تا به حال مقادیر CT و CPI را برای معماری Pipeline به دست آوردیم حال Speedup را طبق فرمول زیر به دست می آوریم :

$$\text{SpeedUp} = \frac{\text{Single cycle EXE time}}{\text{Pipeline EXE time}}$$
$$\text{Execution Time} = \text{CPI} \cdot \text{IC} \cdot \text{Cycle time}$$

حال با توجه به بالا داریم :

$$\text{SpeedUp} = \frac{\text{IC} \times 1 \times 7}{\text{IC} \times 1.25 \times 2.1} = \frac{7}{2.625} = 2.67 \text{ ns}$$

سوال ۲

برای این سوال با توجه به قانون Amdahl داریم :

$$\text{SpeedUp} = \frac{1}{\frac{P}{N} + S}$$

که در این جا P نشان دهنده بخشی است که به صورت Parallel نوشته شده و N نشان دهنده تعداد پردازنده ها و S بیانگر بخشی است که به صورت موازی نوشته نشده است . پس داریم :

$$\text{SpeedUp} = \frac{1}{\frac{x}{4} + (1-x)} = 2 \rightarrow x = \frac{2}{3} \Rightarrow x = 66\%$$

بنابراین باید ۶۶ درصد از برنامه را به صورت موازی نوشت تا اجرای برنامه بر روی این ۴ پردازنده ۲ برابر سریع تر شود .

سوال ۳