

آروین آذرmina

96105542

تمرین سوم درس معماری کامپیوتر

سوال 1.

سوال 2.

از آنجا که در دستور Load بیشترین زمان مصرف می‌شود ، باید در آن در نظر گیریم :

$$1(I\text{-mem}) + 1(Add) + 4(Mux) + 2(Regs) + 1(D\text{-mem}) + 1(\text{Sign-extend}) + 1(ALU\text{-ctrl}) = \\ 200 + 70 + 80 + 90 + 180 + 250 + 15 + 30 = 915$$

حال اگر دستور D-mem را 10% کاهش دهیم ، مقدار speed-up می‌شود:

$$915 / (915 - 10\% * 250) = 915 / 890 = 1.028 \Rightarrow 2.8\% \text{ improvement}$$

سوال 3.

الف.

| RegWrite | RegDst | Branch | MemRead | MemtoReg | MemWrite | ALUSrc |
|----------|--------|--------|---------|----------|----------|--------|
| 0        | x      | 1      | 0       | x        | 0        | 0      |

ب.

| RegWrite | RegDst | Branch | MemRead | MemtoReg | MemWrite | ALUSrc |
|----------|--------|--------|---------|----------|----------|--------|
| 1        | 1      | 0      | 0       | 0        | 0        | 0      |

سوال 4.

از آنجا که Immediate در bne و beq یکسان است ، لزومی ندارد چیزی بابت آن به مدار اضافه کرد. حال باید تشخیص داد که دو مقدار برابرند یا خیر ، که این را می‌توان با not خروجی صفر ALU فهمید ، و این مقدار را باید با مقدار سیگنال جدید BranchNot، اند کرد و با اند داخل شکل Or کرد و به ورودی MUX داد. بقیه مقدارهای سیگنال‌های کنترلی ، مانند Beq اند.

سوال 5.

برای این کار ، می‌توانیم مقدار خروجی PC را به MUX بعد DataMemory متصل کرد و سیگنال کنترلی MemtoReg را دو بیتی کرد. پس مقدار سیگنال‌های کنترلی خواهند بود:

| RegDst | ALUSrc | MemtoReg | RegWrite | MemRead | MemWrite | Branch | ALUOp1 | ALUOp0 |
|--------|--------|----------|----------|---------|----------|--------|--------|--------|
| 0      | X      | 10       | 1        | 0       | 0        | X      | 0      | 0      |

سوال 6.

