



دانشگاه اصفهان

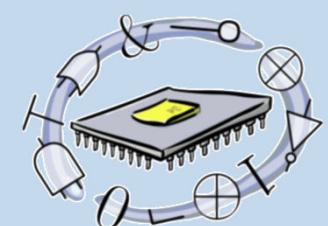
دانشکده مهندسی کامپیوتر

درس طراحی کامپیوترا سیستمهای دیجیتال
مقدمه و تاریخچه تکنولوژی طراحی مدارهای
دیجیتال

مقدمه

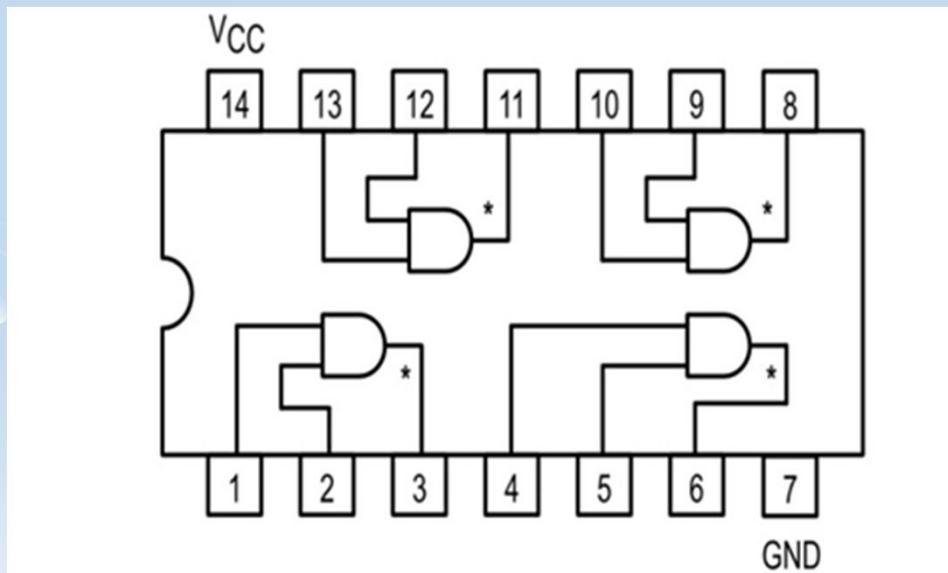
- مدارهای ترکیبی و ترتیبی IC چیست؟
- طراحی غیر کامپیوتراز سیستمهای دیجیتال
- مفهوم طراحی کامپیوتراز سیستمهای دیجیتال
- مقدمه ای بر طراحی چیپ به صورت ASIC و هزینه های آن
- مقدمه ای بر FPGA و مزايا و کاربردهای آن

تاریخچه تکنولوژی های مختلف برای طراحی مدارهای دیجیتال



تاریخچه

- نسل اول: تراشه‌های بدون قابلیت برنامه‌ریزی



تاریخچه

- مشکلات نسل اول
- تعداد زیاد تراشه های روی بورد مدار چاپی:
- با زیاد شدن قطعات، علاوه بر بزرگ شدن بورد، کار طراحی آن نیز سخت تر میشود
- زیاد شدن هزینه قطعات و طراحی بورد
- طولانی شدن زمان ساخت یک بورد

تاریخچه

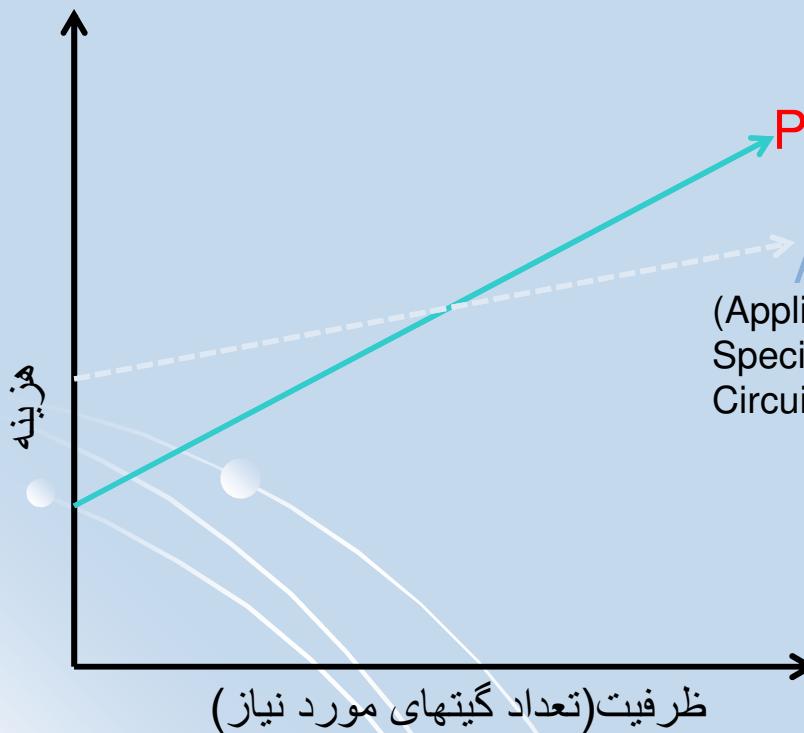
● نمونه بوردی که با استفاده از تراشه های غیر برنامه ریزی طراحی شده است



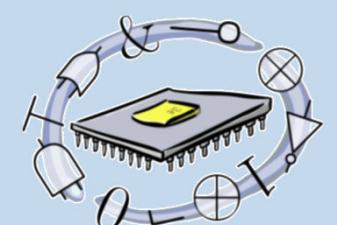
تاریخچه

- نسل دوم: تراشه‌های قابل برنامه‌ریزی (PLD)
- وجه تمایز PLD‌ها از نگاه استفاده کننده:
- تعداد دفعات قابل برنامه ریزی شدن؟ یکبار، چندین بار، بینهایت
- قابلیت برنامه ریزی روی بورد (In field) یا بیرون از بورد
- تعداد منابع موجود داخل تراشه

مزایای PLD ها

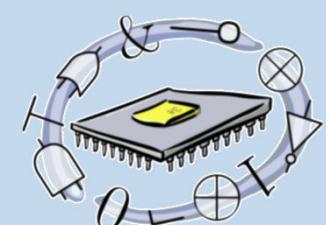


- در ظرفیتهای کوچک، از لحاظ هزینه به صرفه تر است
- زمان طراحی کوتاه
- برای نمونه سازی و محیطهای آموزشی مناسبتر است

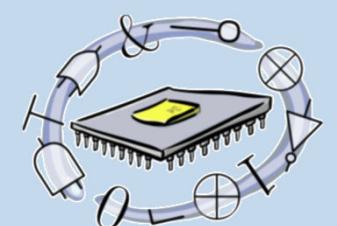
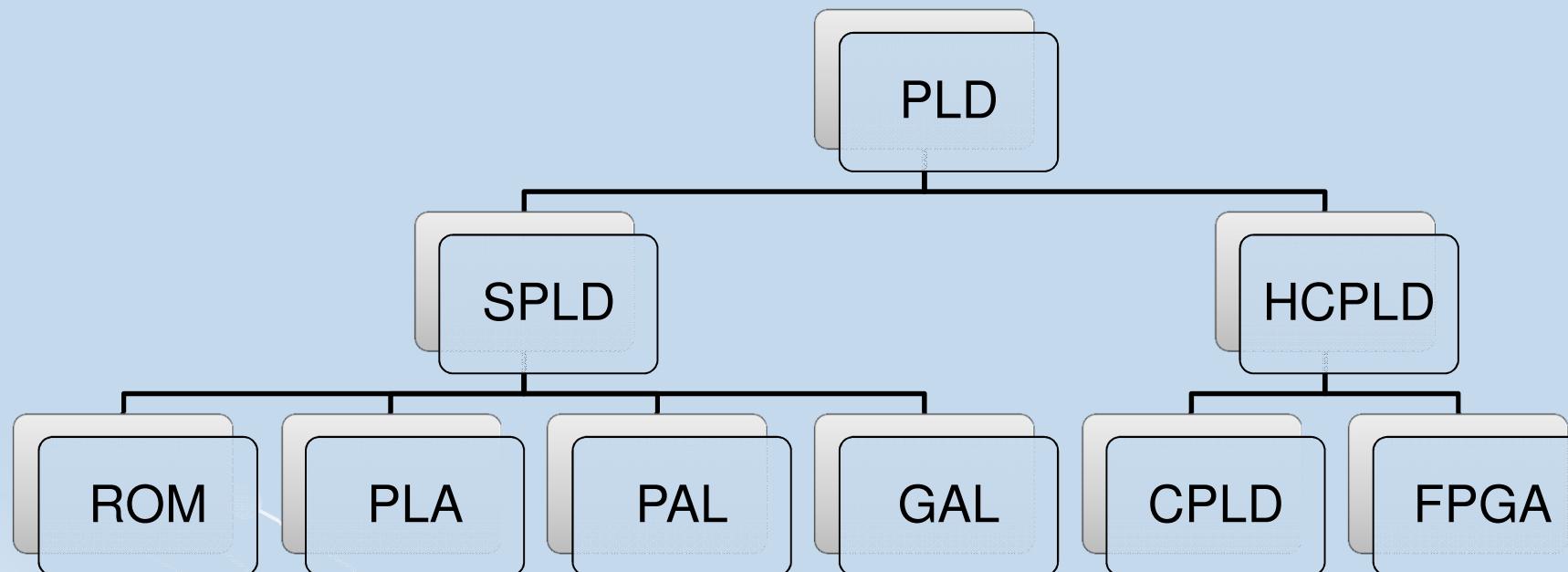


اهداف استفاده از PLD

- امکان طراحی مدار و پیاده سازی آن روی یک تراشه
- قابلیت پاک کردن تراشه و استفاده از آن برای طراحی مدارهای دیگر یا بهبود و ایجاد تغییرات در طرح قبلی

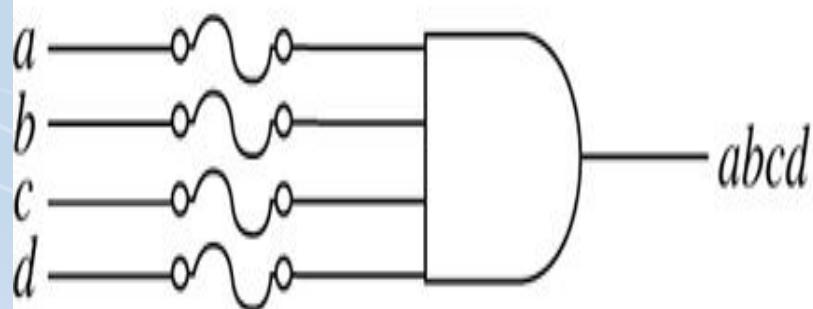


Types of PLDs (Cont.)



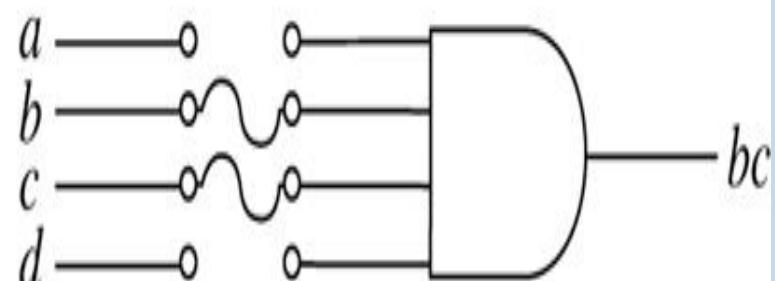
SPLD

- ساده ترین روش برای اضافه کردن قابلیت برنامه ریزی: استفاده از فیوز
- با عبور دادن جریان زیاد، میتوان فیوز را



(a)

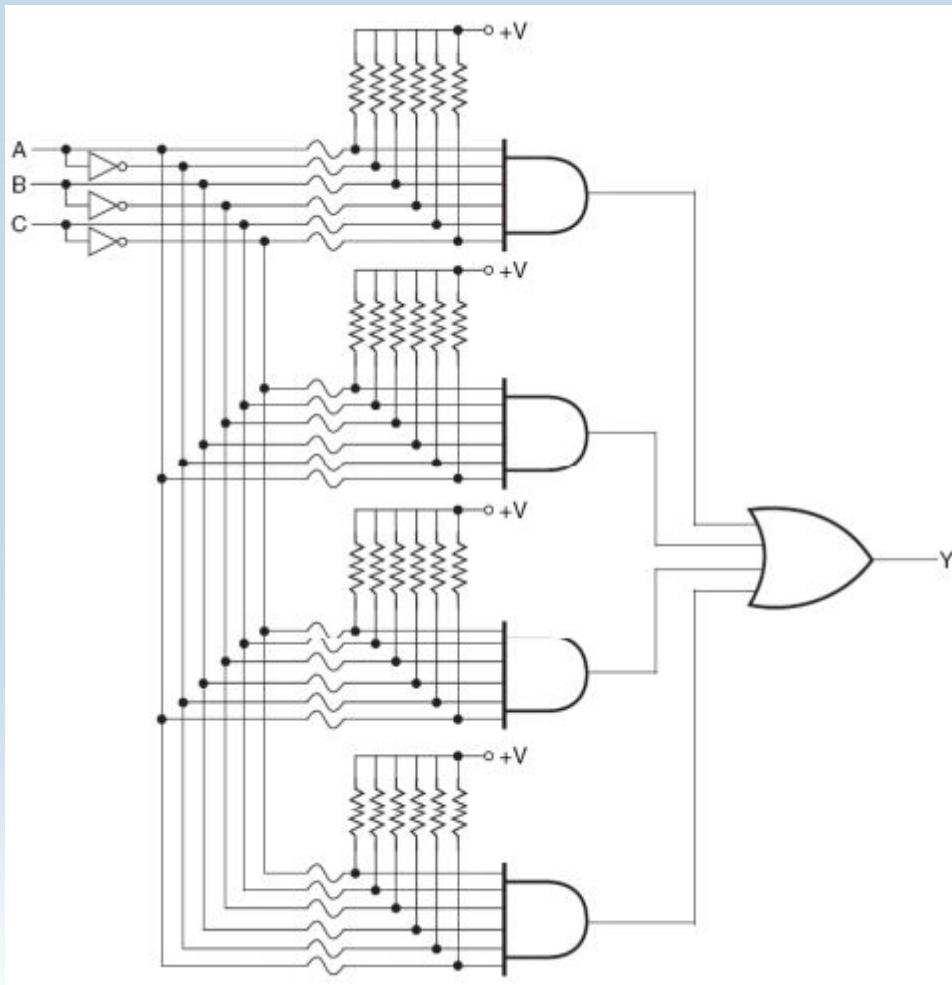
(a) Before programming.



(b)

(b) After programming.

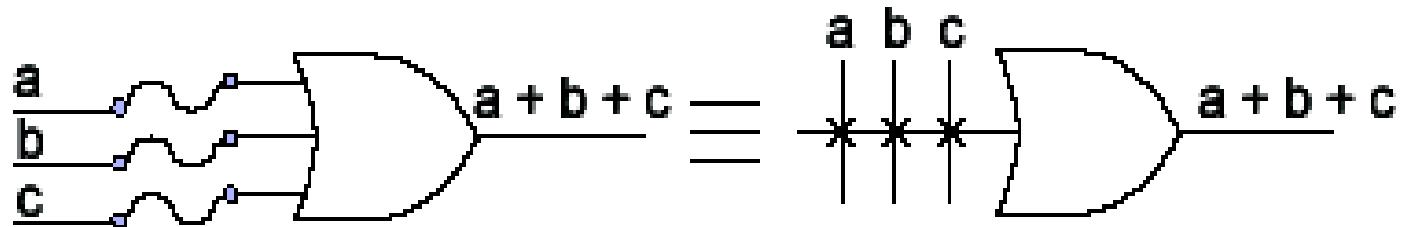
SPLD



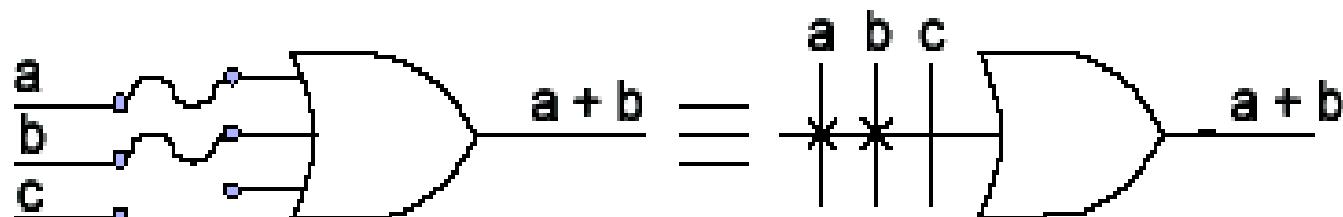
- نمونه مدار قابل برنامه ریزی با استفاده از فیوز
- با استفاده از این مدار می توان توابع منطقی سه متغیره با حداقل 4 مینترم را پیاده سازی کرد

SPLD

● قراردادهایی در شیوه نمایش

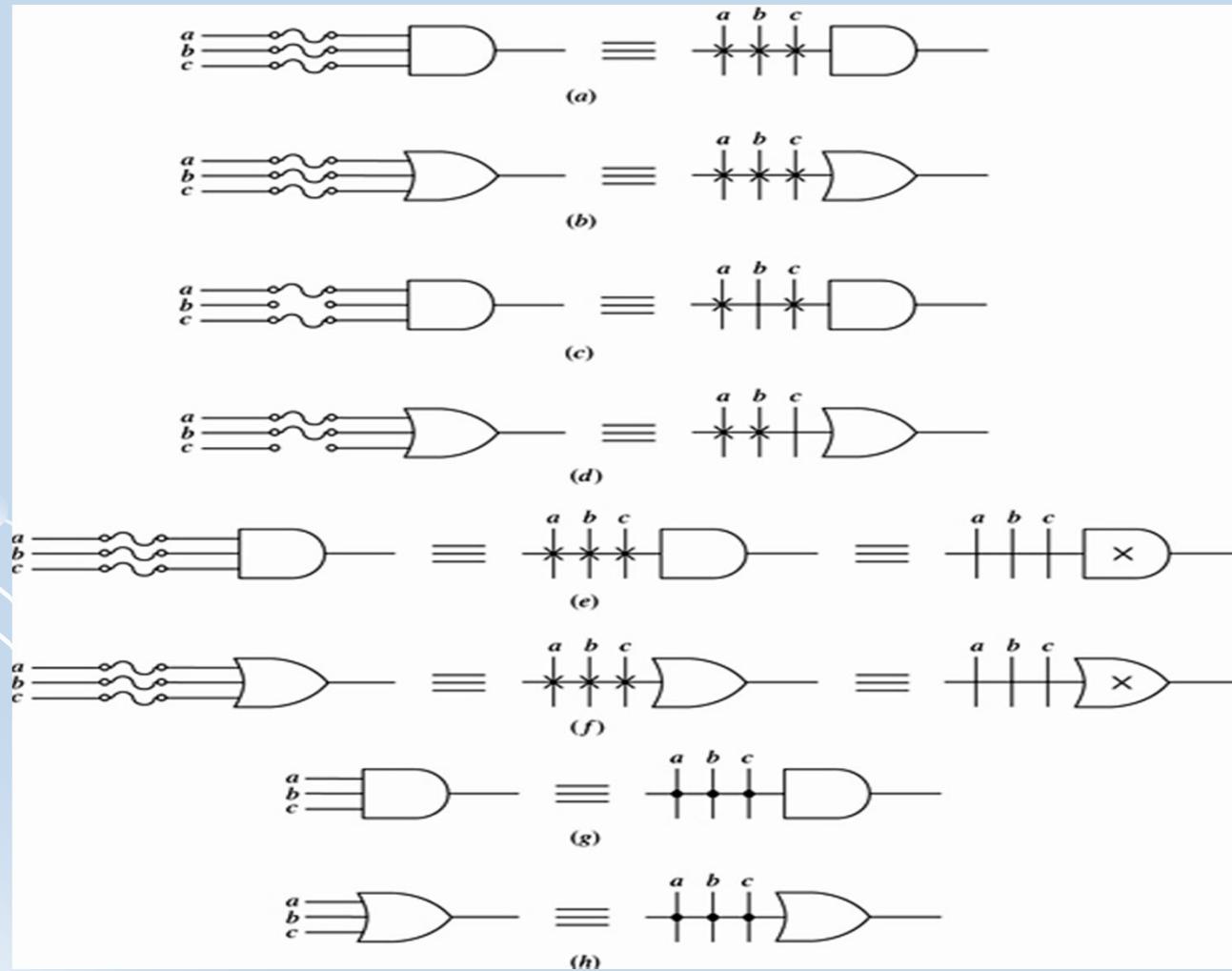


OR gate before programming



OR gate after programming

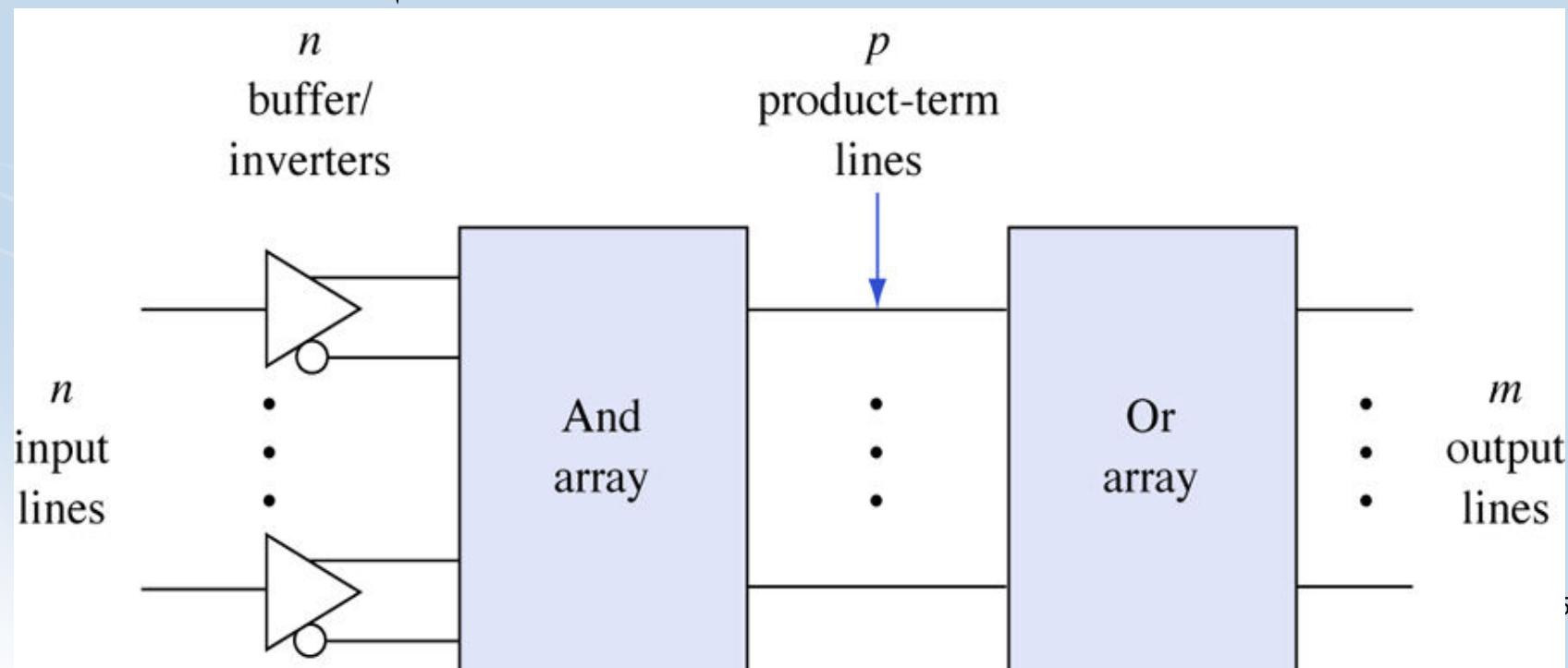
SPLD



SPLD

● ساختار عمومی

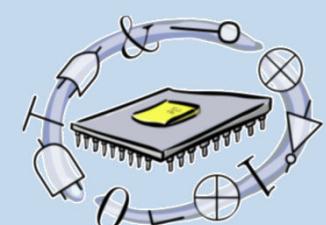
- مدارها به صورت جمع حاصلضرب بها پیاده سازی می شود
- در مرحله اول یکسری گیت AND و در مرحله دوم یکسری گیت OR



انواع SPLDs

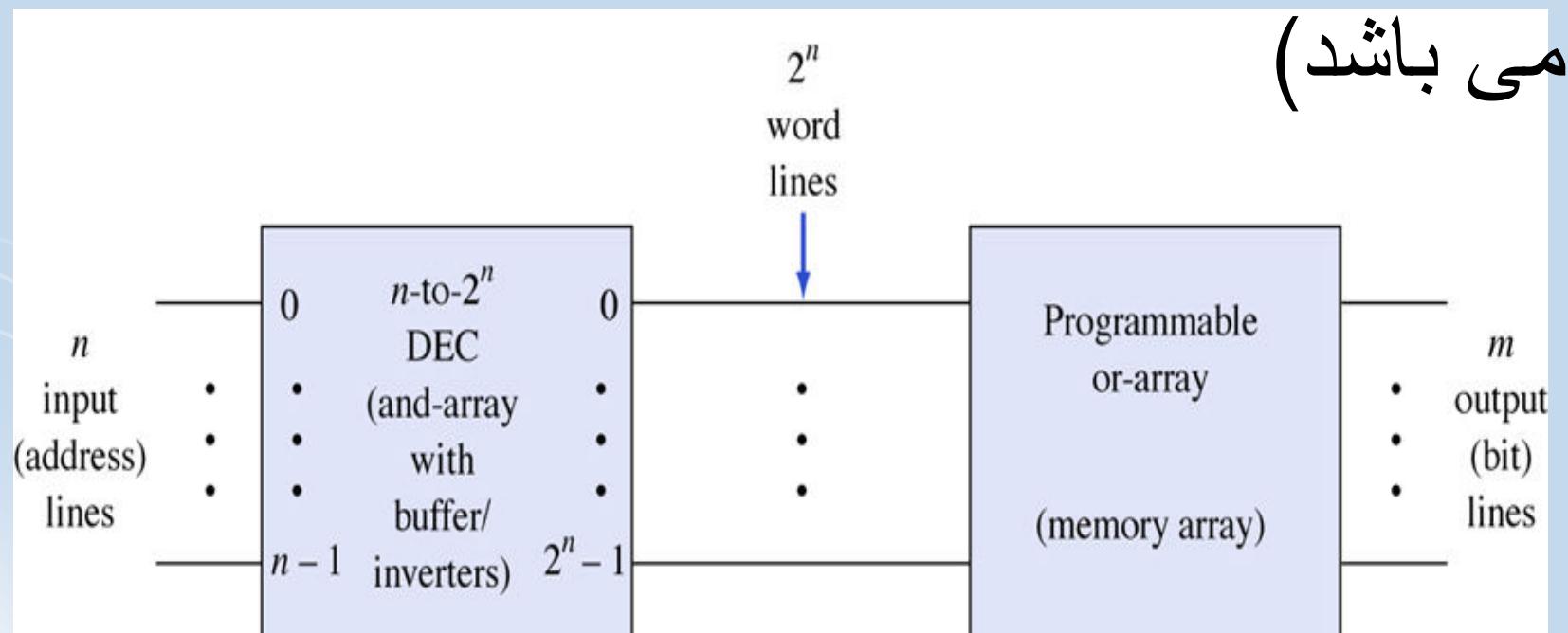
● بر اساس امکان پر اگر ام کردن ماتریس AND ها یا OR ها، انواع مختلف SPLD ها بوجود آمدند:

- ROM
- PAL, GAL
- PLA



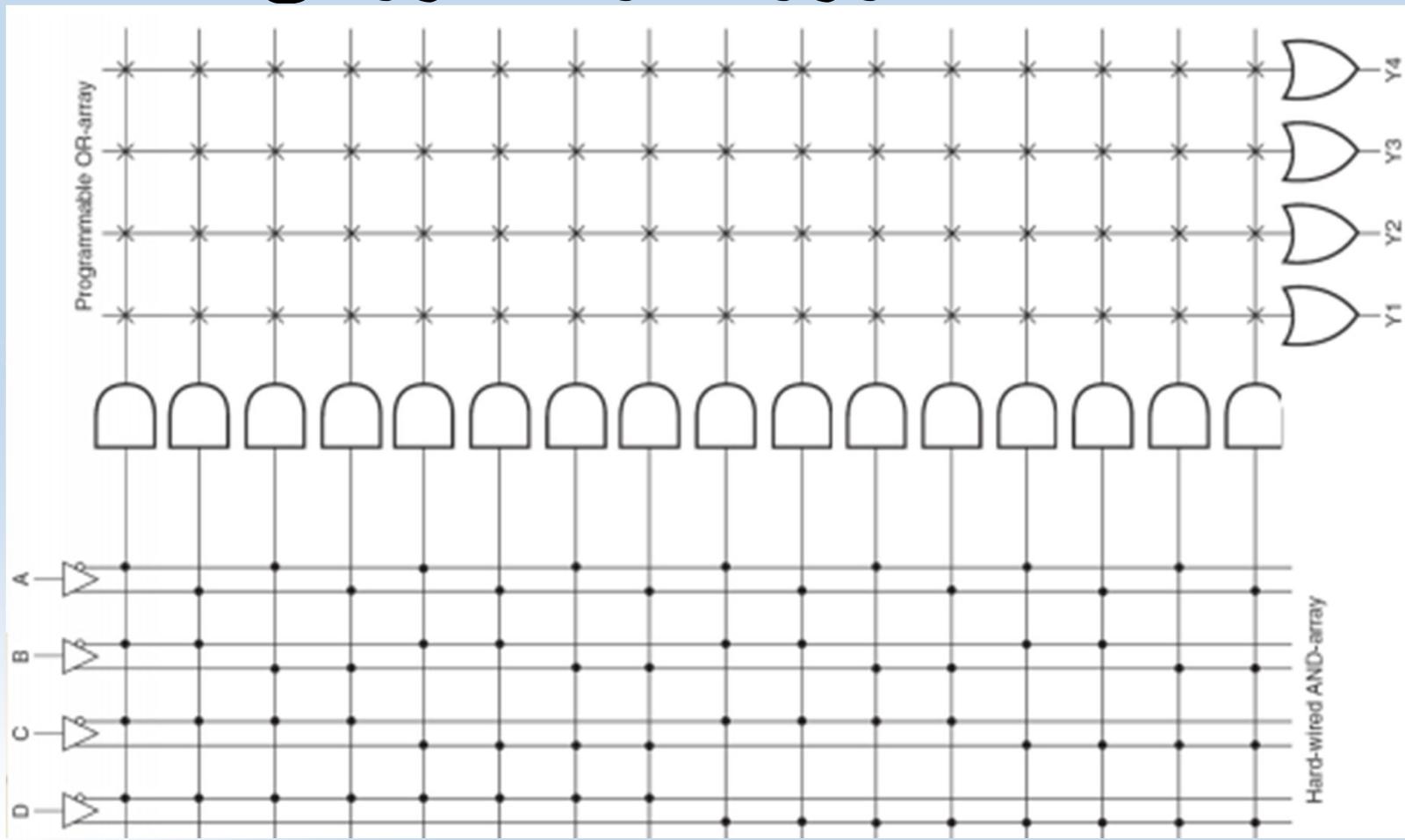
PROM Notation

• تمام 2^n مینترم تولید می شوند (ماتریس ANDها ثابت و ماتریس Orها قابل پیکربندی می باشد)

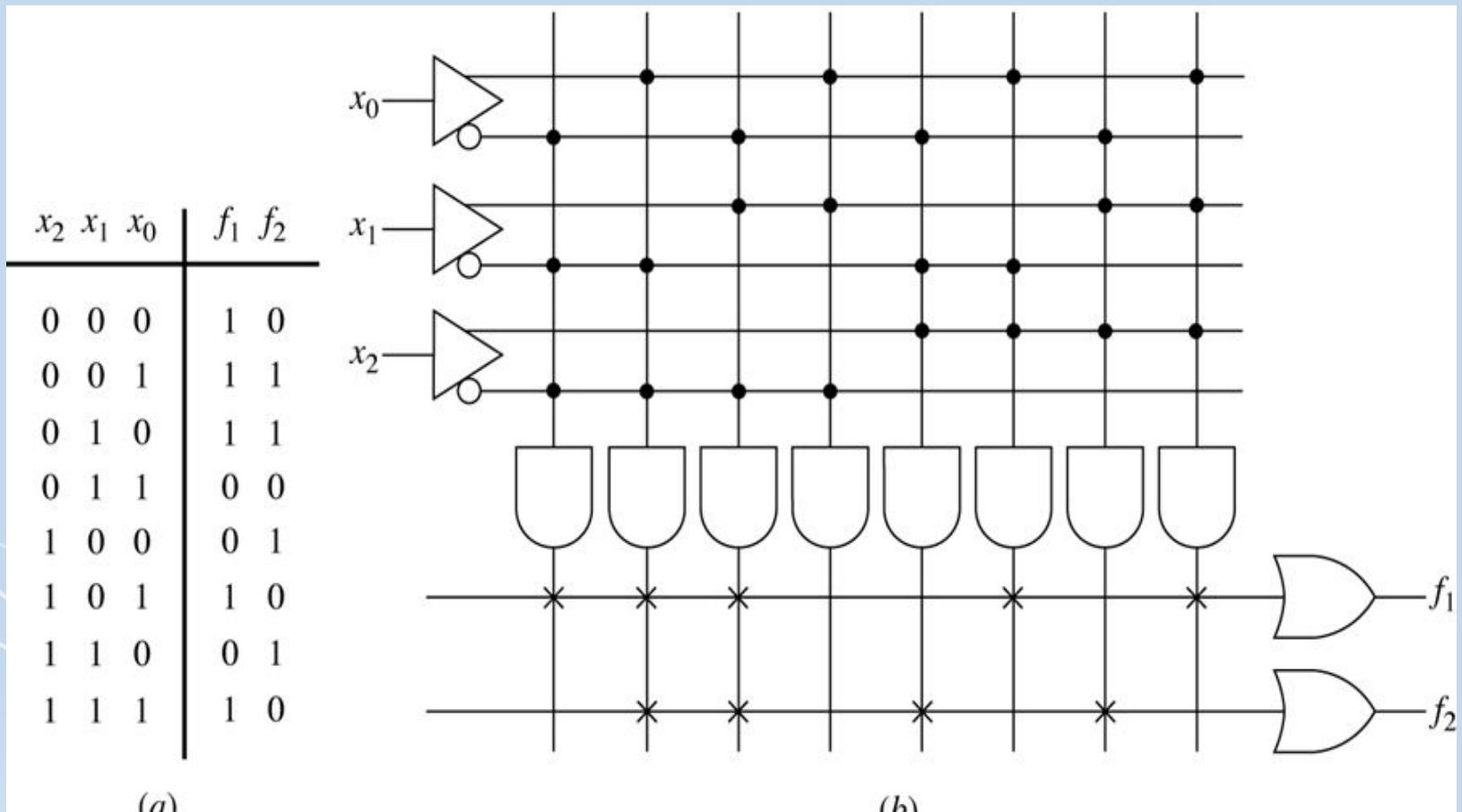


PROM

یک PROM با 4 ورودی و 4 خروجی ●



مثال از پیاده سازی با استفاده از PROM برای سیستمی که جدول درستی آن در اختیار است



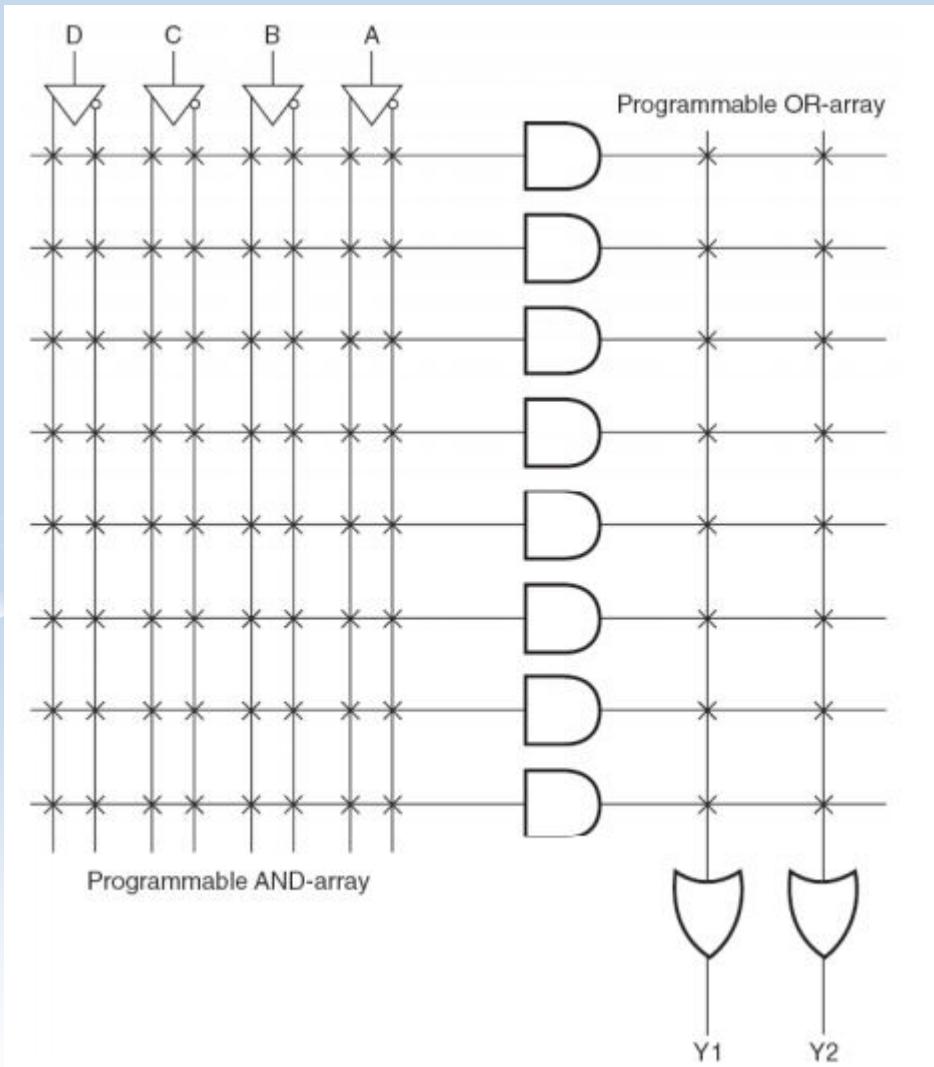
(a) Truth table.

(b) PROM realization.

معایب PROM

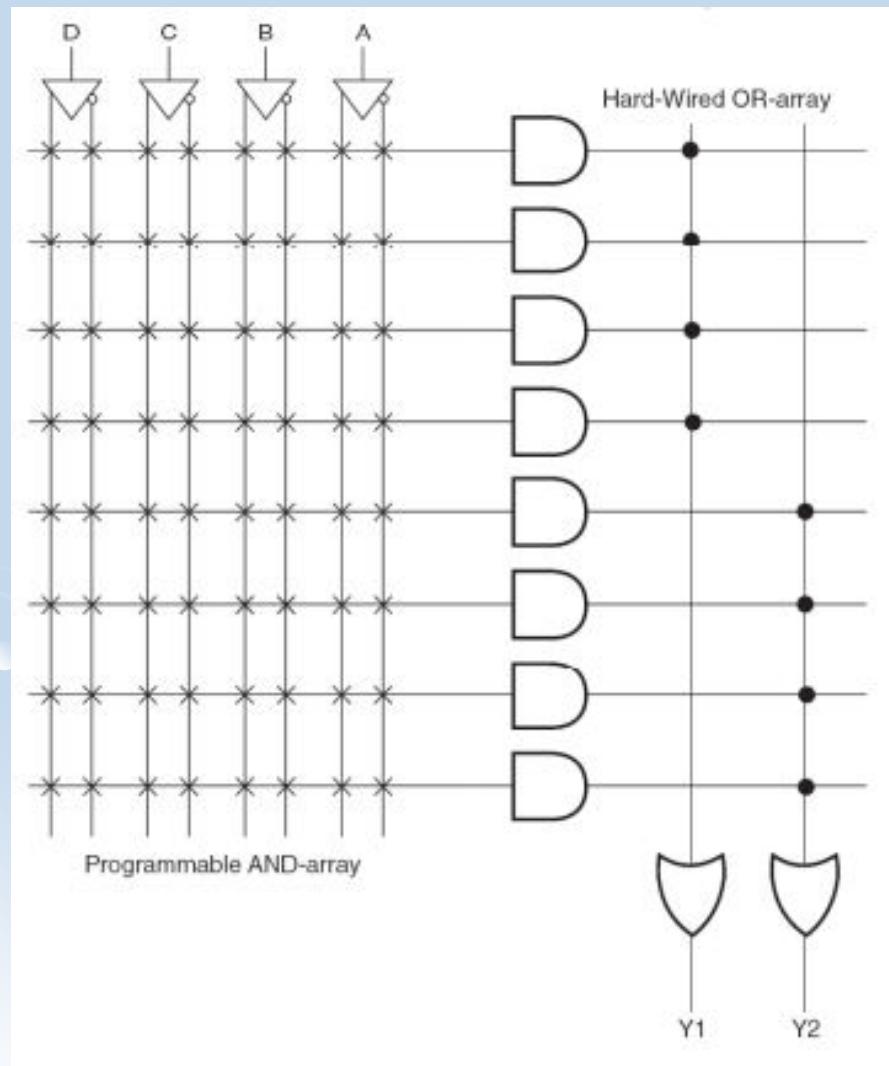
- عدم استفاده بهینه از ظرفیت گیت‌های منطقی
- عدم توانایی در پیاده سازی مدارهای ترتیبی
- مصرف بالای نوان

PLA

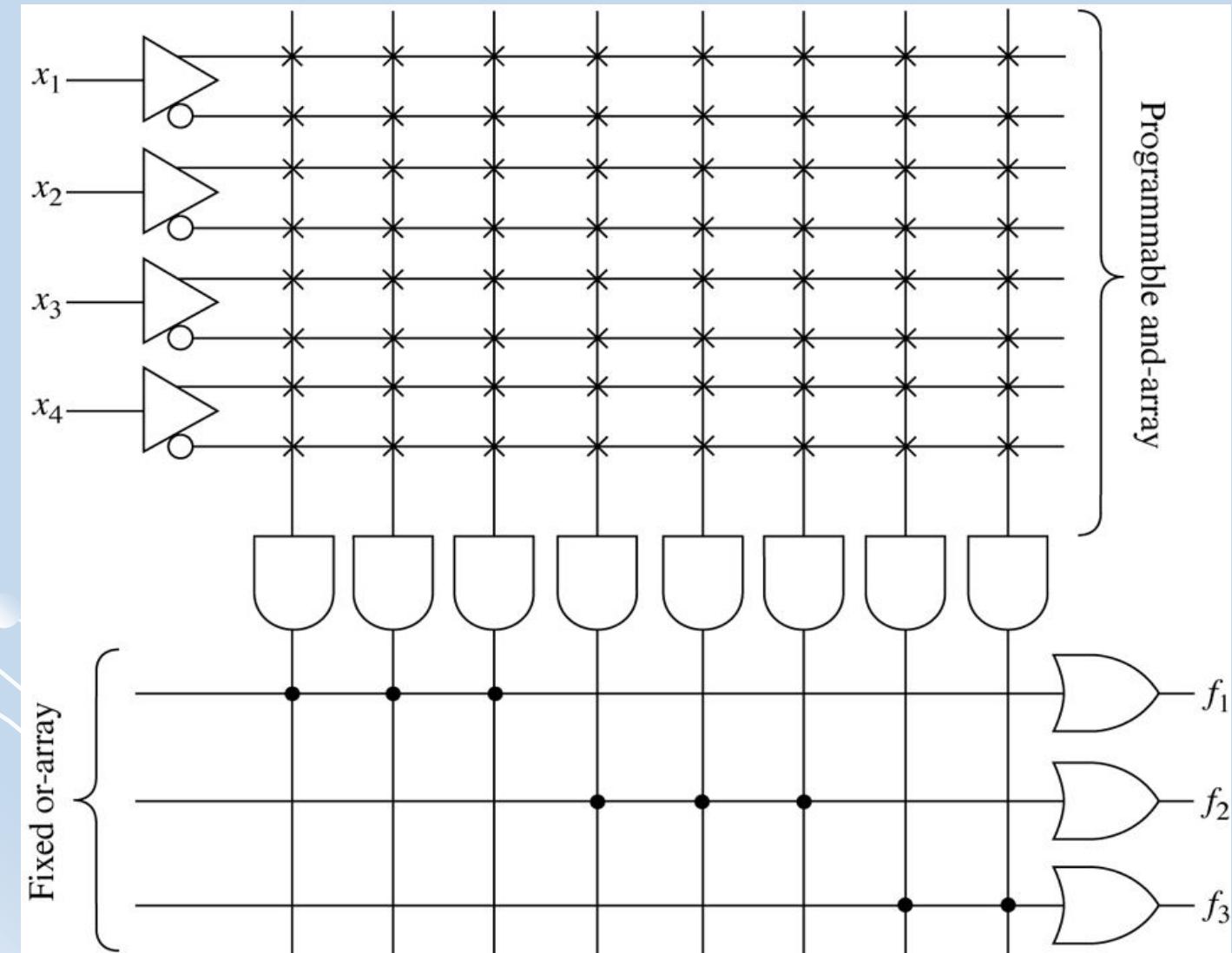


• هر دو ماتریس
قابل برنامه ریزی
است

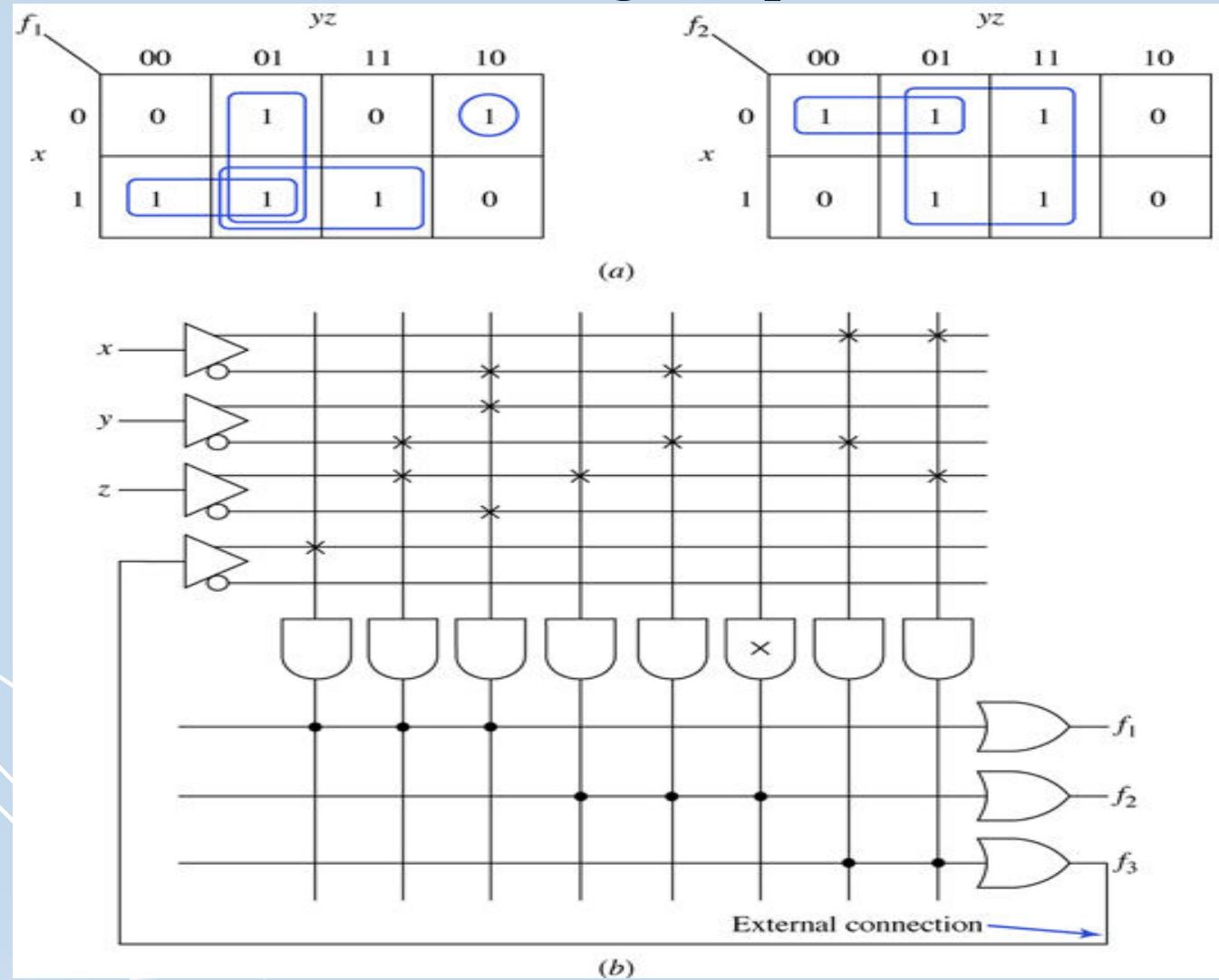
PAL



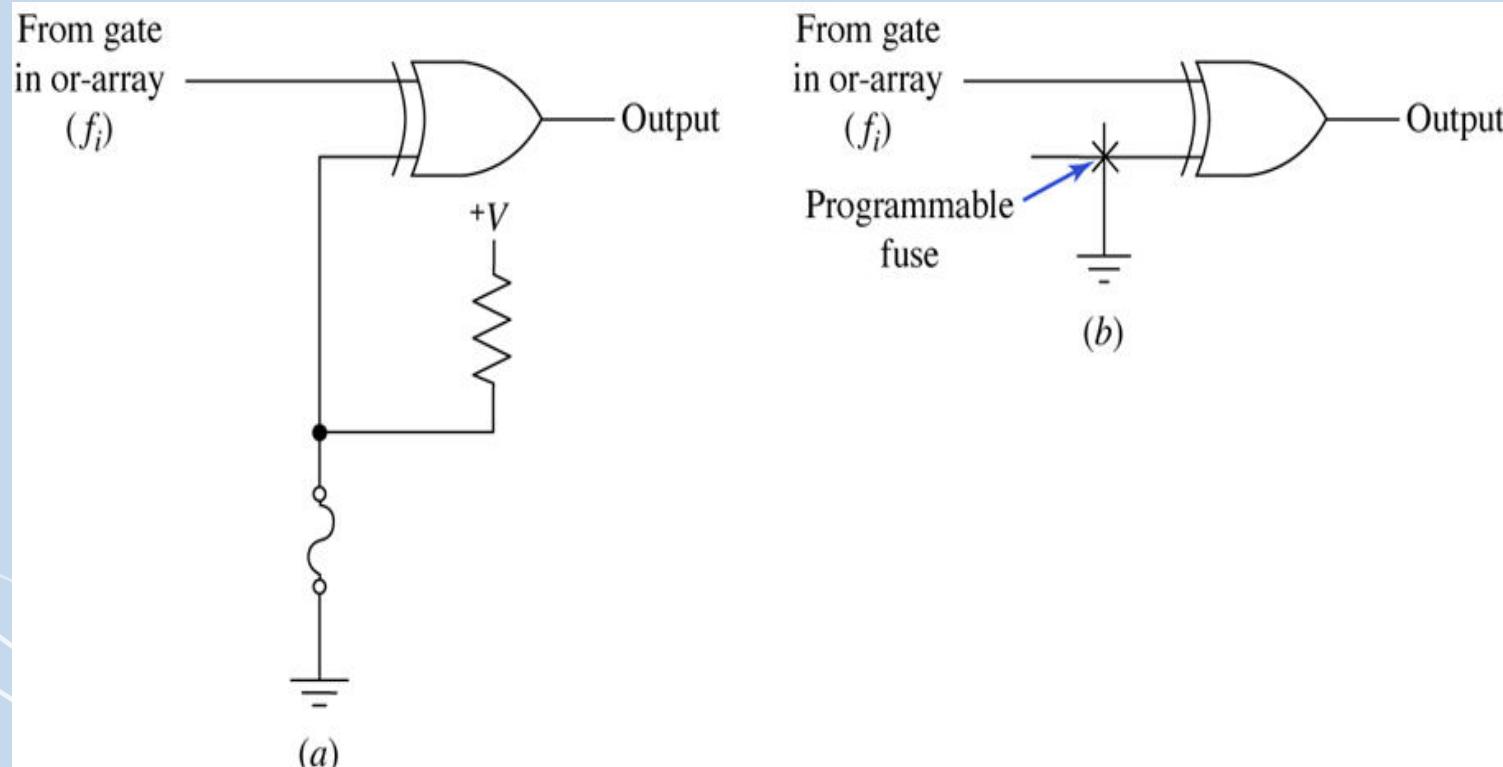
A simple four-input, three-output PAL device.



An example of using a PAL device to realize two Boolean functions. (a) Karnaugh maps. (b) Realization.



استفاده از گیت Not Xor جهت ایجاد یک گیت قابل برنامه ریزی



(a) Circuit diagram.

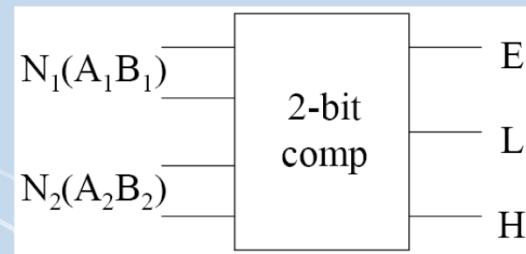
(b) Symbolic representation.

GAL

- مشابه PAL است با این تفاوت که می توان ماتریس AND و OR را پاک و مجدد برنامه ریزی نمود.

تمرین

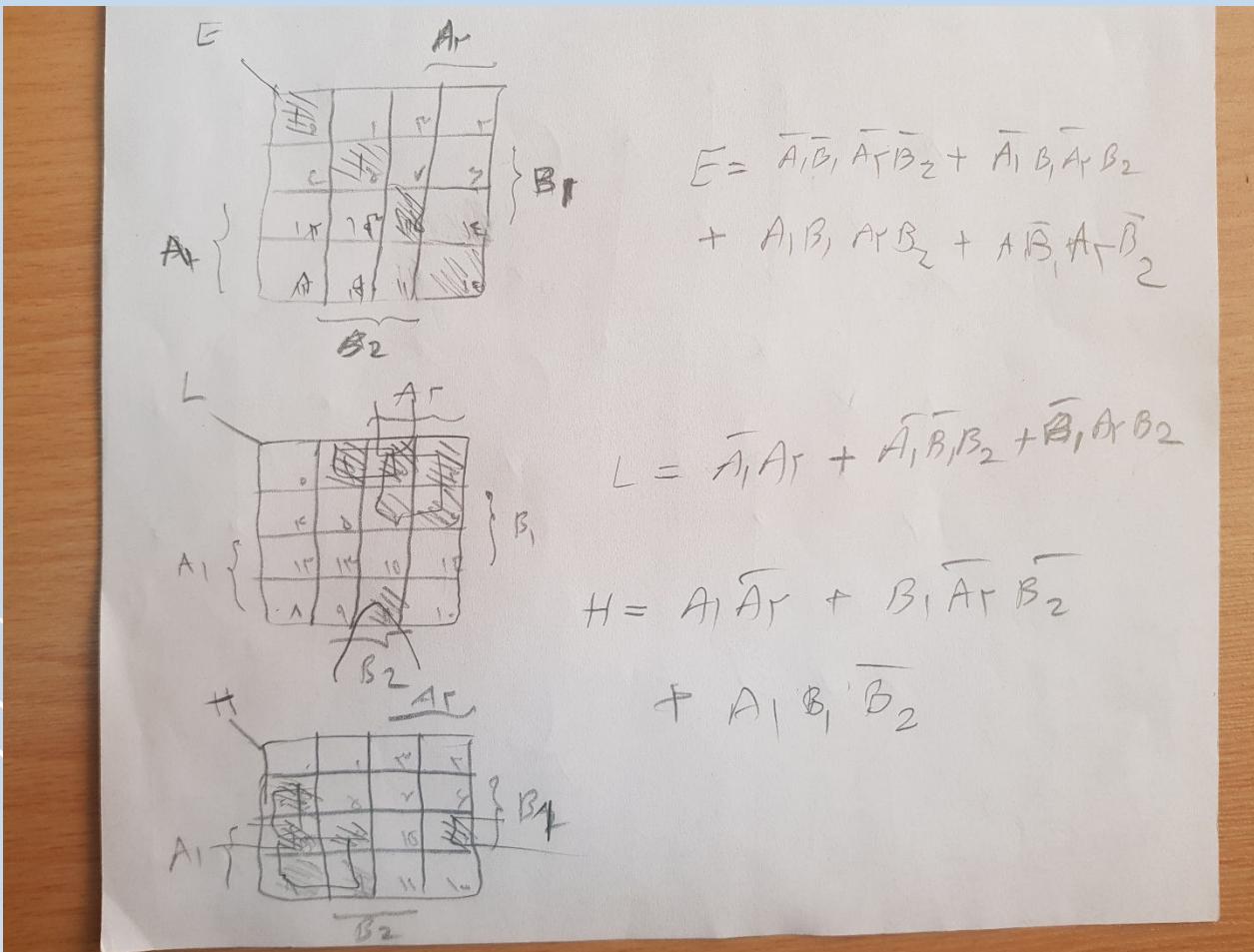
- به کمک یک 4×3 PLA و 10 جمله ضربی، یک مقایسه گر 2 بیتی طراحی نمایید.



پاسخ

A_1	B_1	A_2	B_2	E	L	H	(2_bit_Comp)
0	0	0	0	1	0	0	0000
0	0	0	1	0	1	0	0001
0	0	1	0	0	1	0	0010
0	0	1	1	0	1	0	0011
0	1	0	0	0	0	1	0100
0	1	0	1	1	0	0	0101
0	1	1	0	0	1	0	0110
0	1	1	1	0	1	0	0111
1	0	0	0	0	0	1	1000
1	0	0	1	0	0	1	1001
1	0	1	0	1	0	0	1010
1	0	1	1	0	1	0	1011
1	1	0	0	0	0	1	1100
1	1	0	1	0	0	1	1101
1	1	1	0	0	0	1	1110
1	1	1	1	1	0	0	1111

پاسخ

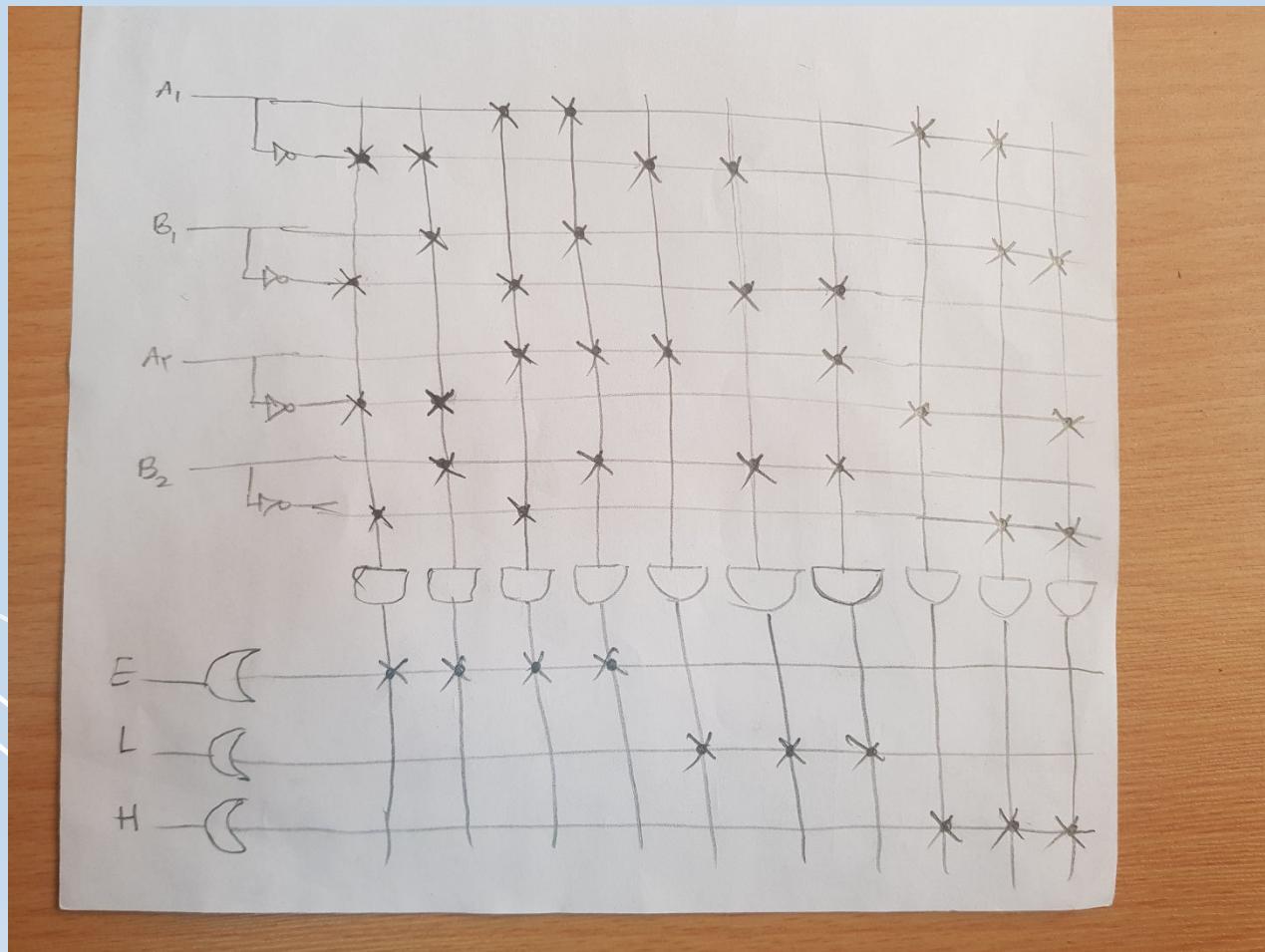


پاسخ

رسانیدم؟

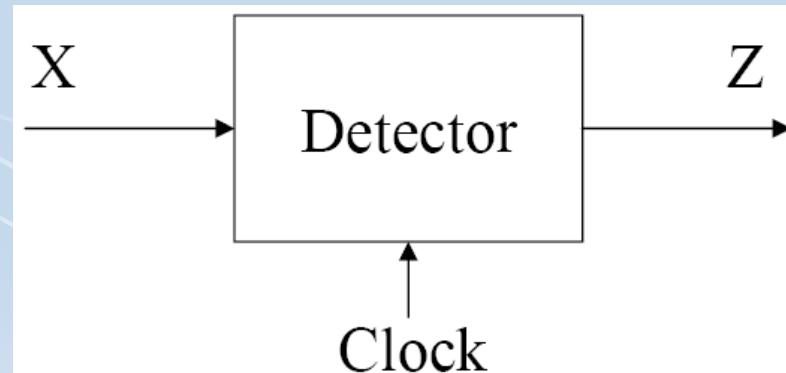
Function	A_1	B_1	$A_1 \oplus B_2$	E	L	H
$\bar{A}_1 \bar{B}_1 \bar{A}_1 \bar{B}_2$	0	0	0 0	1	0	0
$\bar{A}_1 \bar{B}_1 \bar{A}_1 B_2$	0	1	0 1	1	0	0
$A_1 \bar{B}_1 A_1 \bar{B}_2$	1	0	1 0	1	0	0
$A_1 B_1 A_1 \bar{B}_2$	1	1	1 1	1	0	0
<hr/>						
$\bar{A}_1 A_1$	0	-	1 -	0	1	0
$\bar{A}_1 B_1 B_2$	0	0	- 1	0	1	0
$\bar{B}_1 A_1 \bar{B}_2$	-	0	1 1	0	1	0
<hr/>						
$A_1 \bar{A}_1$	1	-	0 -	0	0	1
$A_1 B_1 \bar{B}_2$	1	1	- 0	0	0	1
$B_1 \bar{A}_1 \bar{B}_2$	-	1	0 0	0	0	1

پاسخ

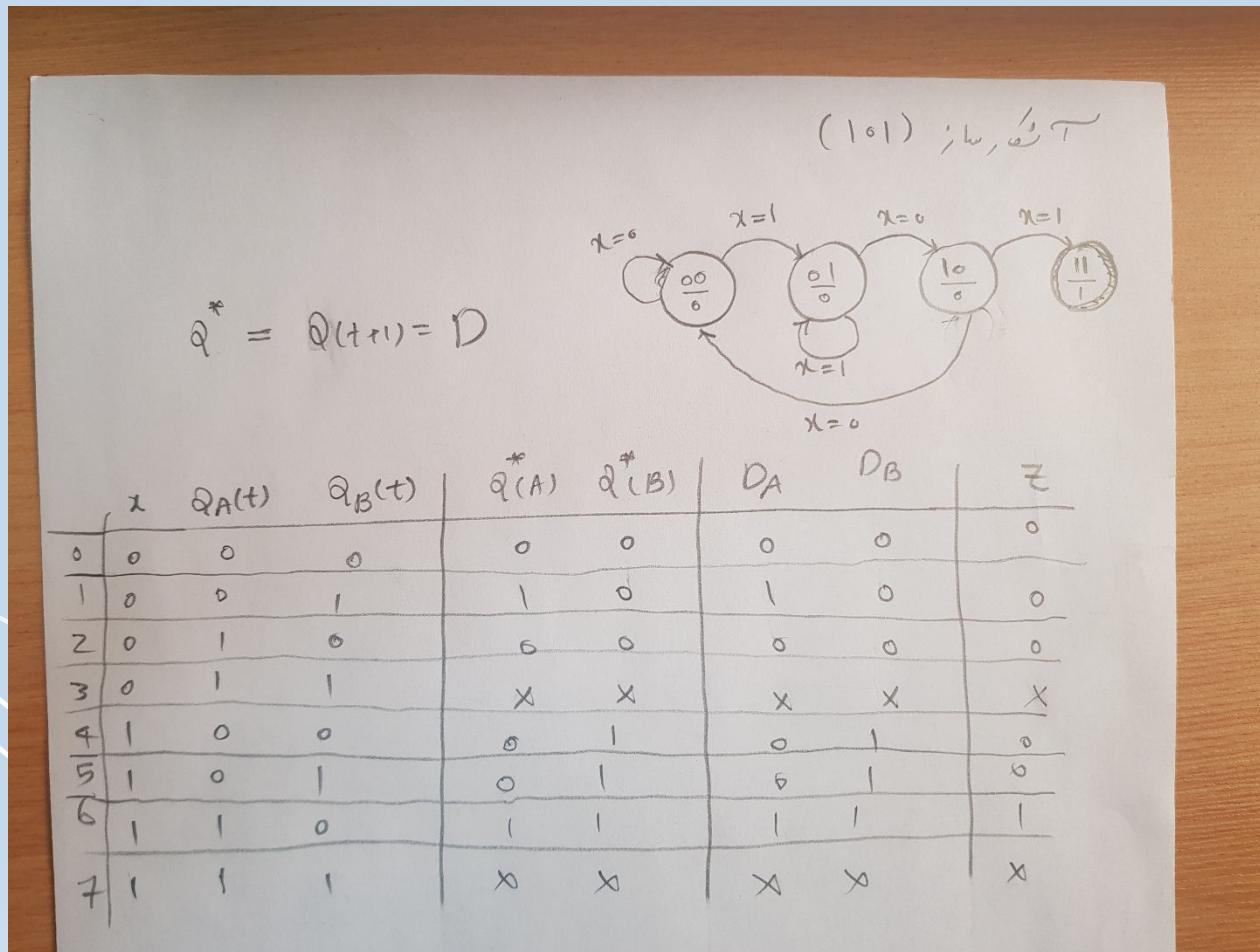


تمرین

- تابع آشکارساز رشته 101 را در PLA پیاده سازی نمایید.



پاسخ



پاسخ

$$d(Q_A(t), Q_B(t)) = \sum_{x \in D_A} (3, 7)$$

$$D_A(x, Q_A(t), Q_B(t)) = \bar{x} Q_B + x Q_A$$

		Q_A	
		x_3	x_6
x_0		x_3	x_6
4	5	x_7	x_6
2			

$$D_B(x, Q_A(t), Q_B(t)) =$$

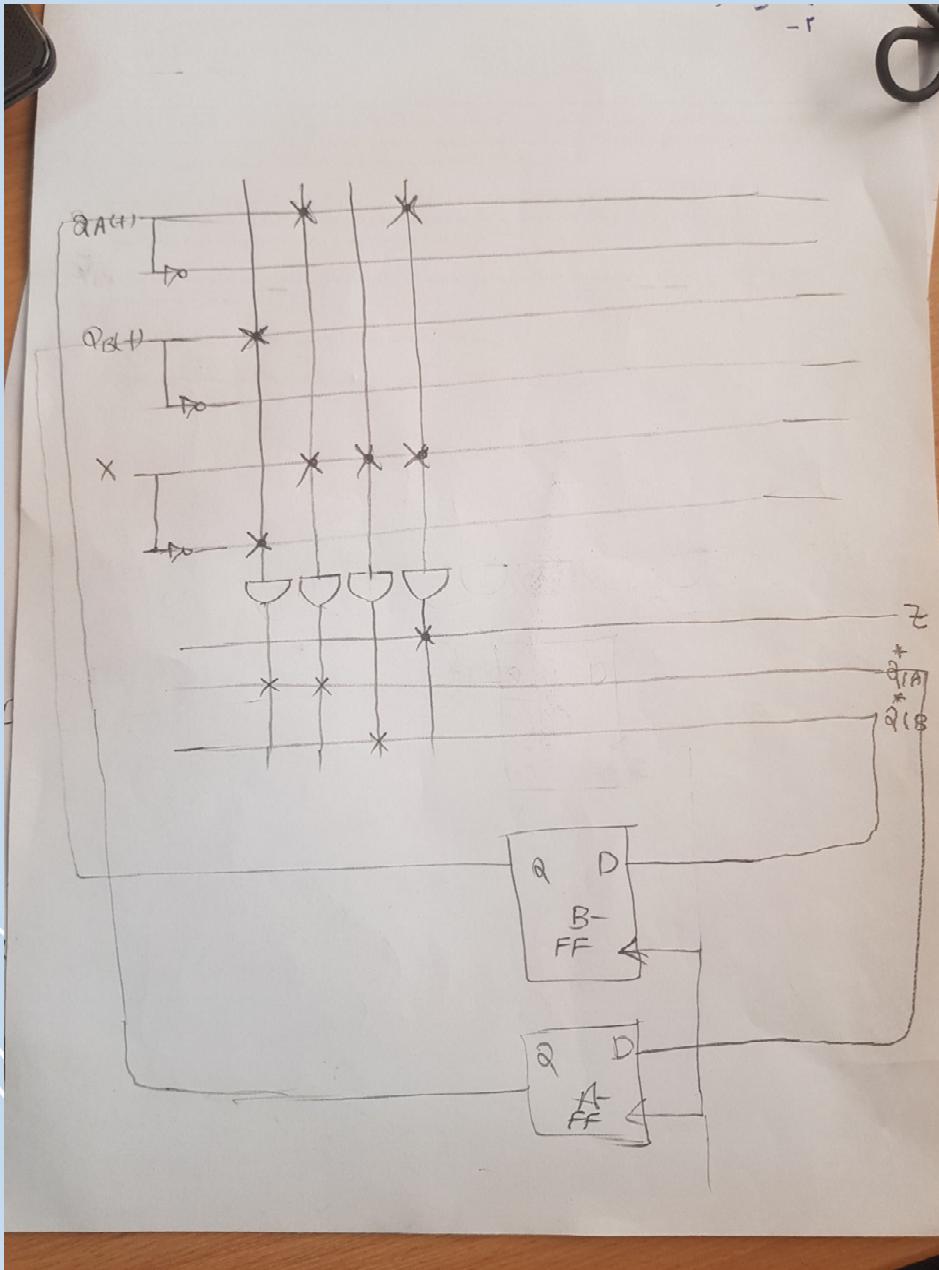
x

$$F(x, Q_A(t), Q_B(t)) =$$

x Q_A

		Q_B	
		x_3	x_6
x_0		x_3	x_6
4	5	x_7	x_6
2			

		Q_B	
		x_3	x_6
x_0		x_3	x_6
4	5	x_7	x_6
2			



مقایسه تراشه های برنامه پذیر

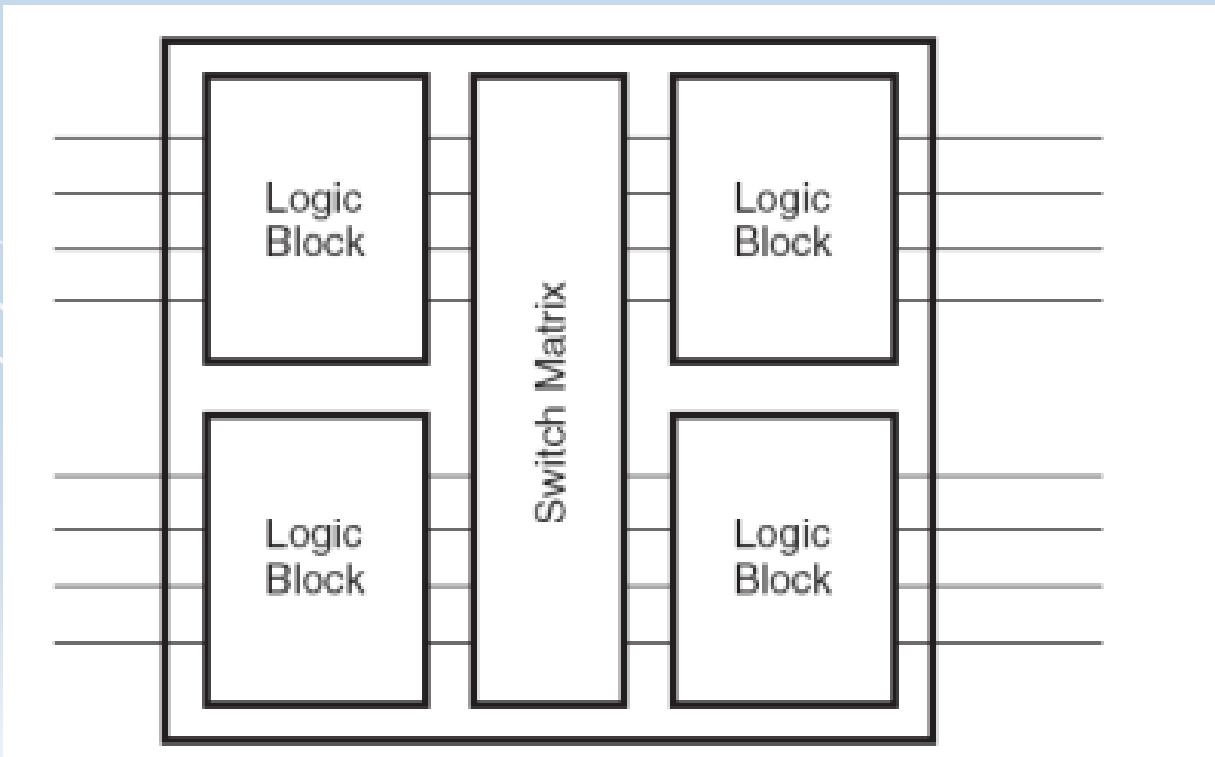
ROM	PAL	PLA
ارزان	*	انعطاف پذیر در پیاده سازی توابع
مولد تمامی مینیترم ها و ترکیب OR آنها	سریع در طراحی و عملکرد	گران قیمت ترین تراشه
سرعت متوسط	محدودیت در طراحی توابع	زمان طراحی زیاد
محدود برای طراحی یا داشتن ورودی های محدود	پر مصرف	تاخیر انتشار زیاد
	قابل استفاده در پیاده سازی توابع ترکیبی	

HCPLDs

- CPLD (Complex Programmable Logic Device)
 - از لحاظ پیچیدگی، بین SPLD‌ها و FPGA‌ها قرار دارد
 - ارزان قیمت هستند
- FPGA (Field-Programmable Gate Array)
 - طراحی و عملکرد واقعاً موازی
 - فوق العاده کوتاه بودن زمان طراحی
 - آرایه‌ای از سلولهای منطقی که با سوئیچهای قابل برنامه‌ریزی احاطه شده‌اند

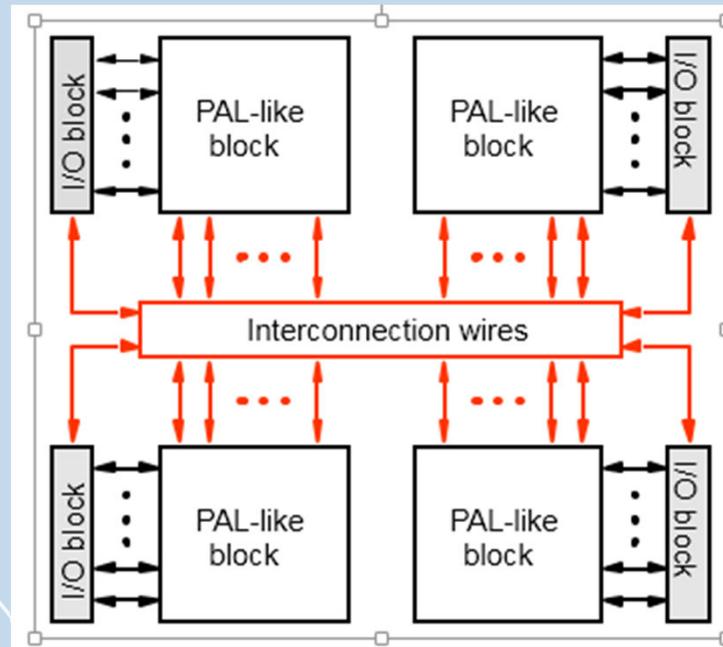
CPLD

- چندین SPLD که با استفاده از یک ماتریس سوئیچ به همپیگر متصل شده اند



CPLD

نحوه اتصال به ورودیها/خروجی ها



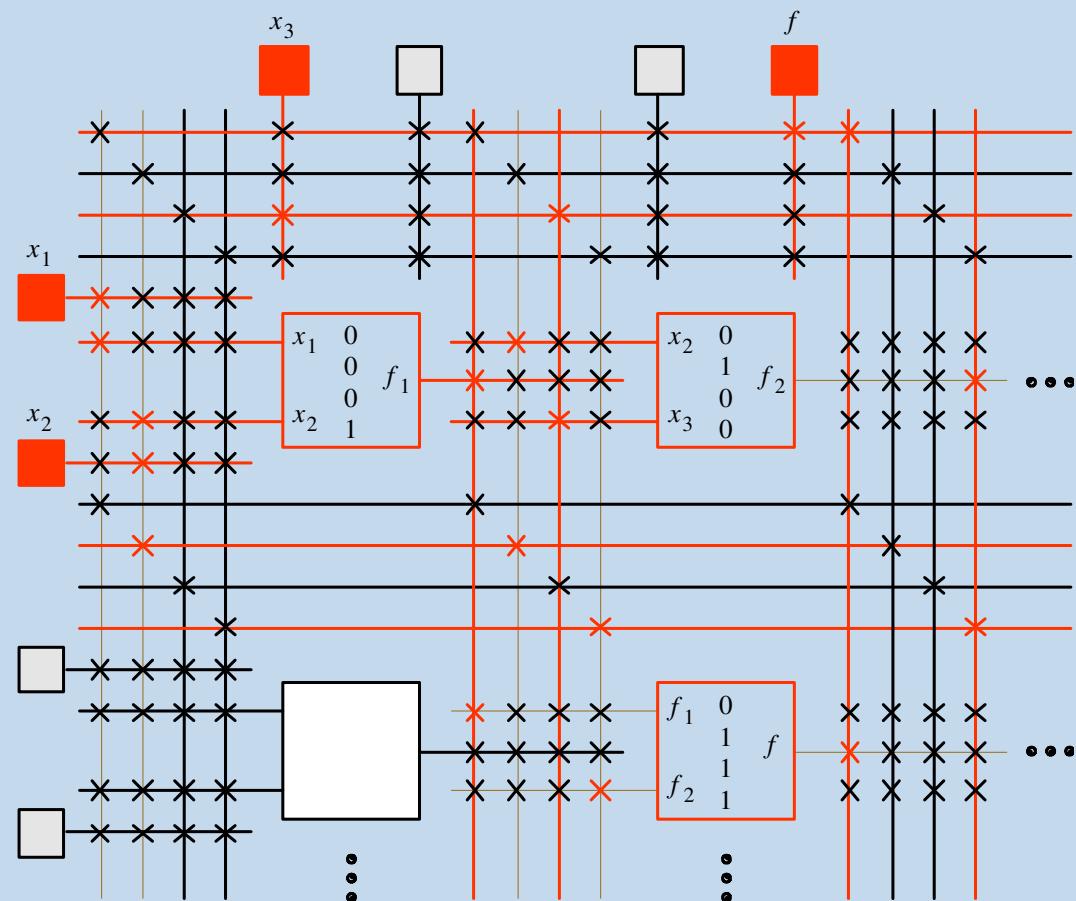
CPLD

$$f = x_1 x_2 + x_2' x_3$$

$$f_1 = x_1 x_2$$

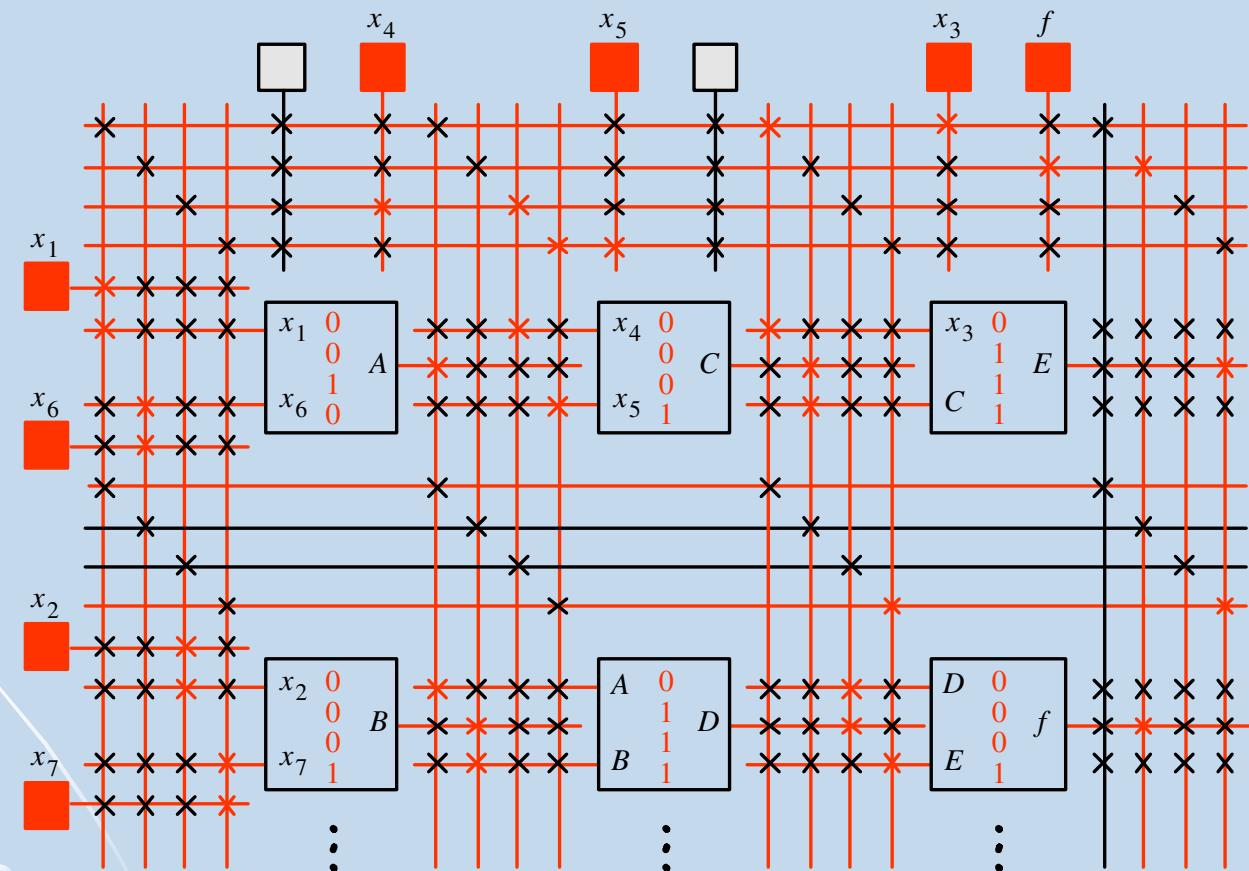
$$f_2 = x_2' x_3$$

$$f = f_1 + f_2$$



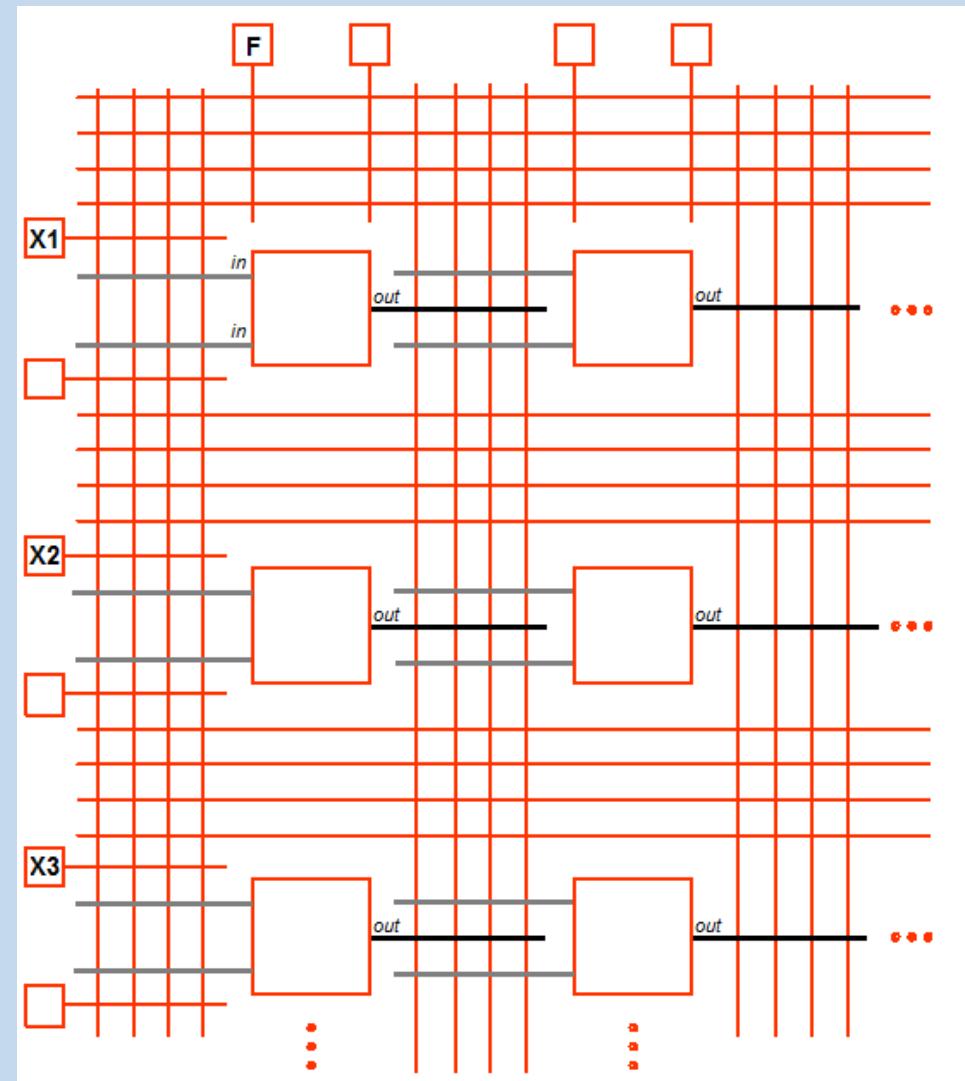
CPLD

$$f = (x_1 x_6' + x_2 x_7)(x_3 + x_4 x_5)$$

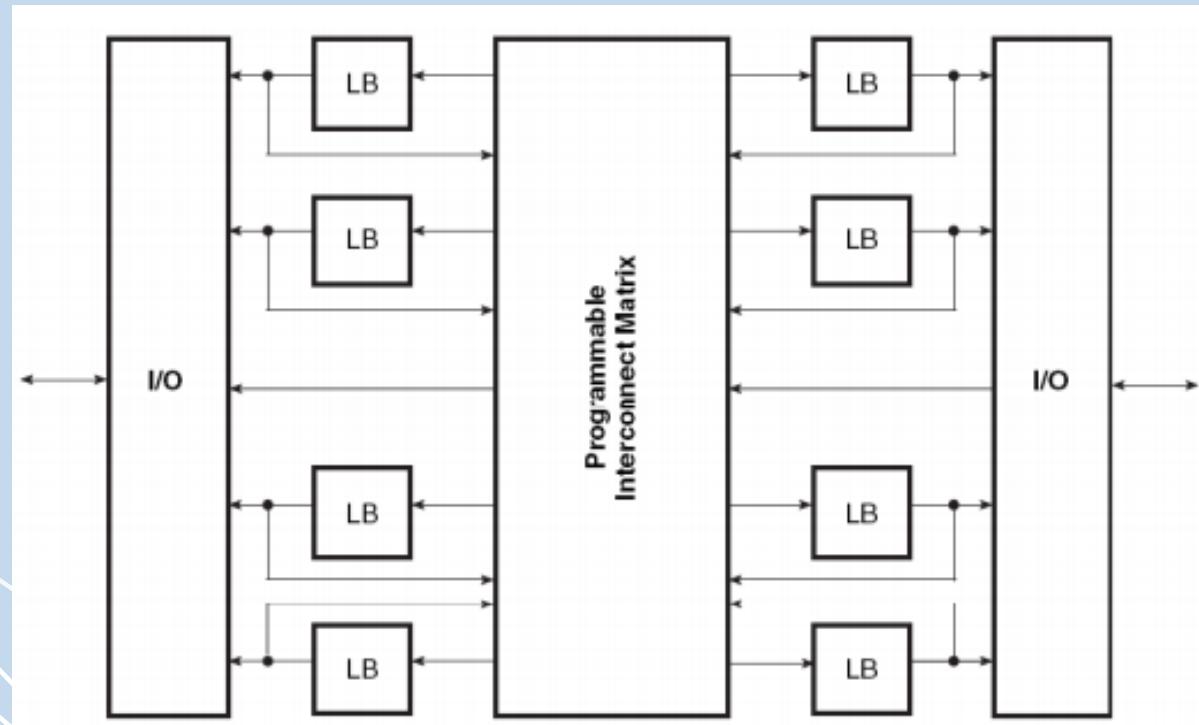


CPLD تمرین

$$F = X_1X_2 + X_1X_3 + X_2X_3$$

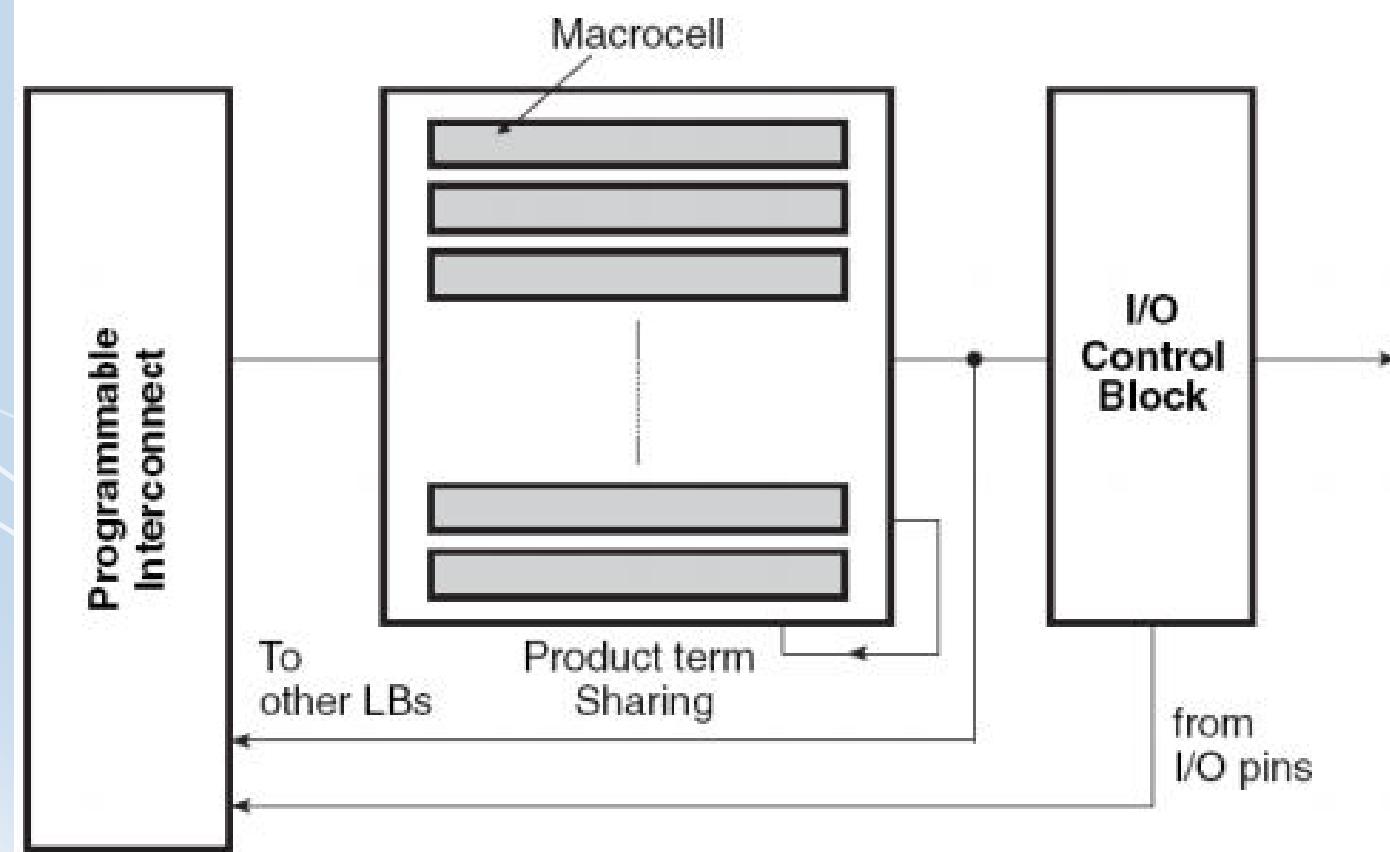


CPLD



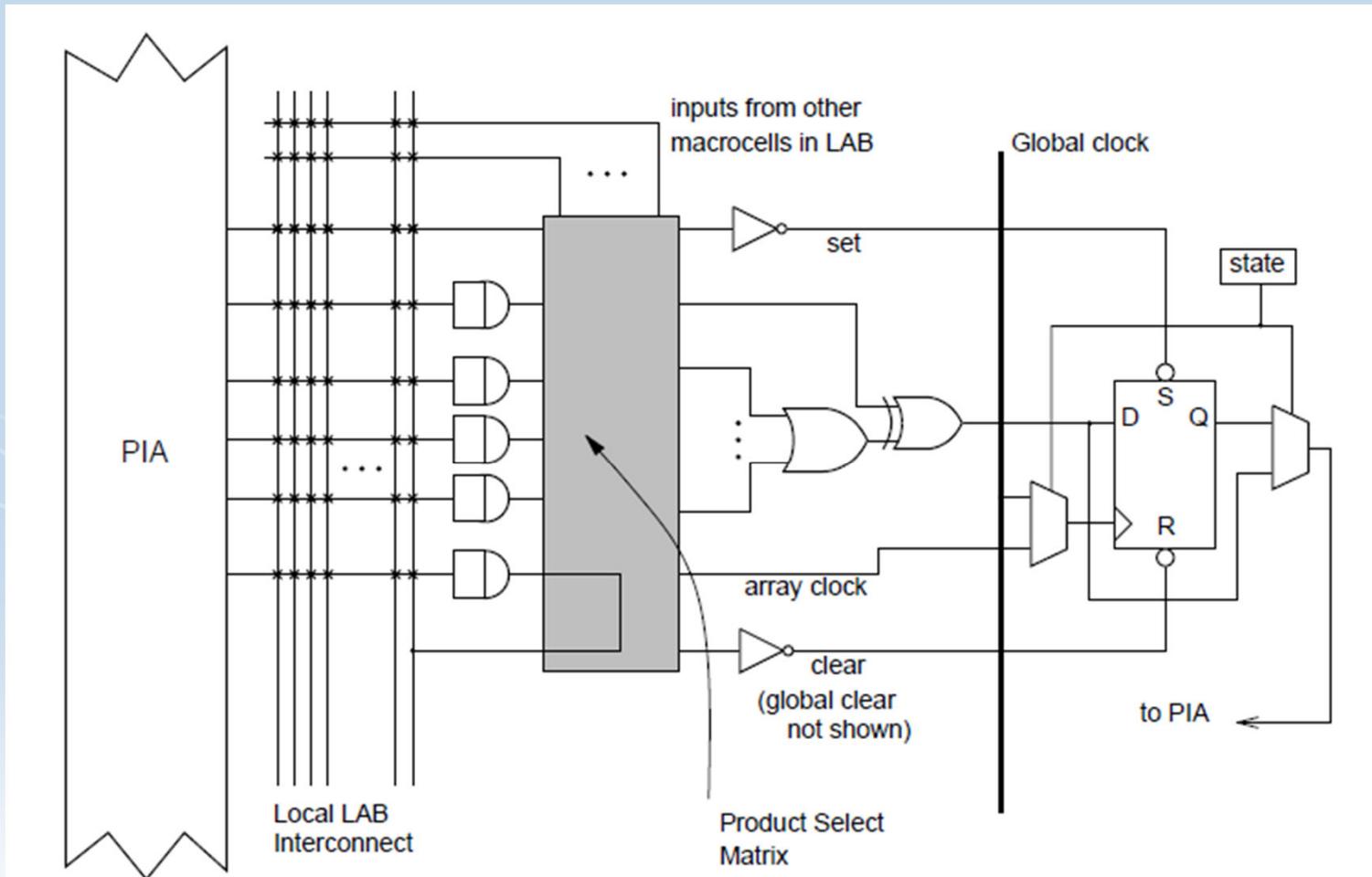
CPLD

- هر LB از چندین بخش به نام MacroCell تشکیل شده است



CPLD

نمونه مدار داخلی یک ماکروسل



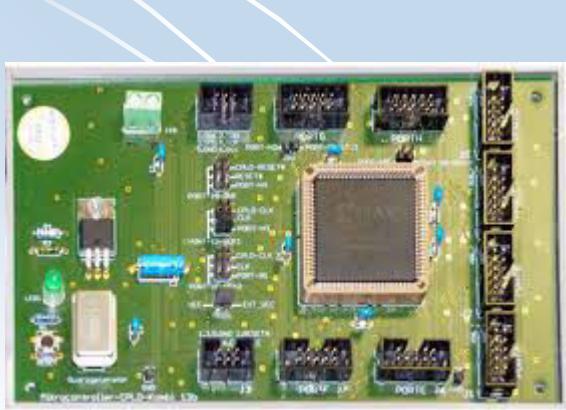
شرکتهای سازنده CPLD

Manufacturer	CPLD Products	URL
Altera	MAX 5000, 7000 & 9000	www.altera.com
Atmel	ATF & ATV	www.atmel.com
Cypress	FLASH370, Ultra37000	www.cypress.com
Lattice	ispLSI 1000 to 8000	www.latticesemi.com
Philips	XPLA	www.philips.com
Vantis	MACH 1 to 5	www.vantis.com
Xilinx	XC9500	www.xilinx.com



مثال کاربردی

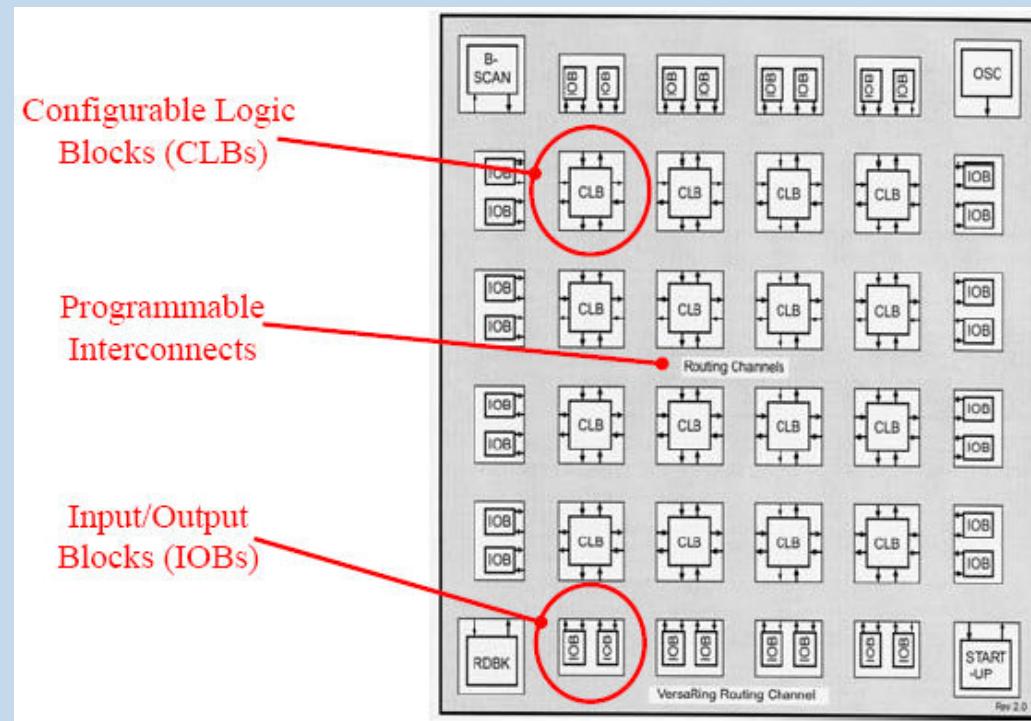
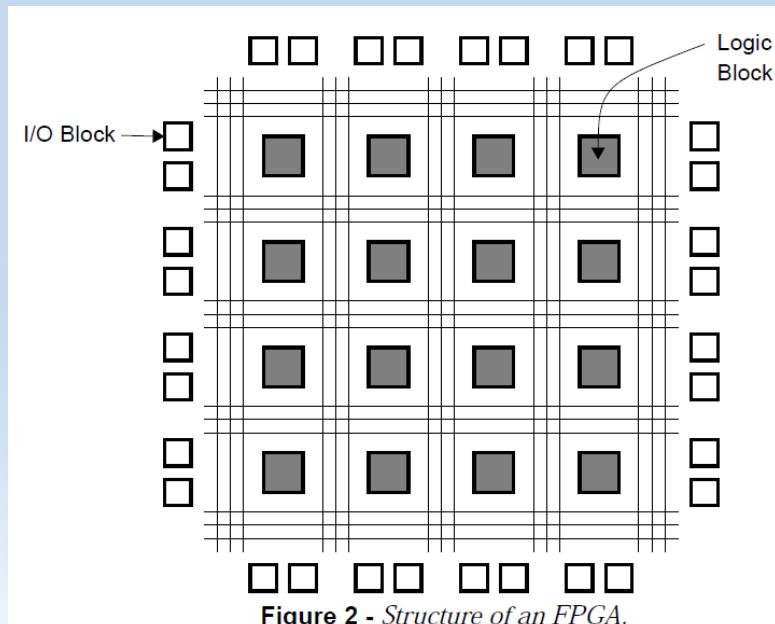
- جایگزینی واحد کنترل یک سیستم قدیمی با یک CPLD



FPGA

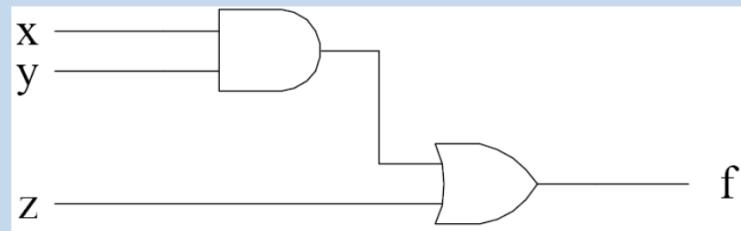
- حجم مدار داخلی خیلی بیشتر از CPLD

- لازم به ذکر است پیاده سازی توابع منطقی در این نوع تراشه ها، بر اساس جملات ضربی نبوده بلکه مبتنی بر نبوده بلکه مبتنی بر **LUT(Lookup Table)** و **MUX** مالتی پلکسر می باشد.

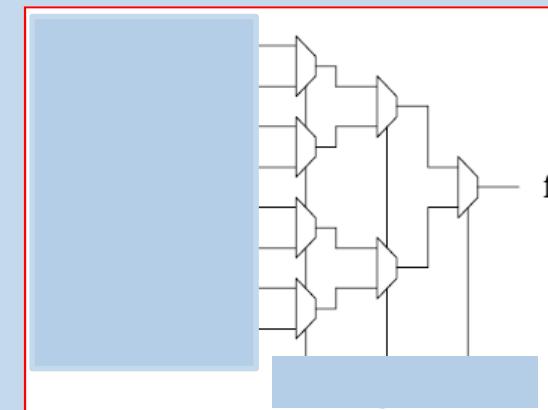


بلوک دیاگرام Xilinx شرکت سری FPGA 33

انواع تراشه های برنامه پذیر: **FPGA**، پیاده سازی توابع با **MUX** و **LUT**

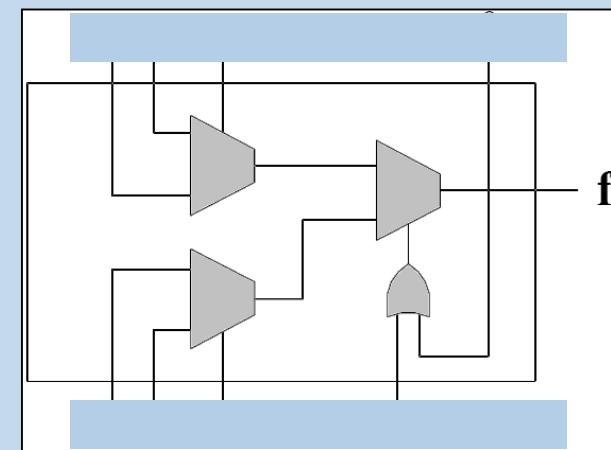


x	y	z	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



سه ورودی و حافظه **LUT** با **RAM** پیاده سازی تابع

ماژول منطقی ACTEL-1
ساخت شرکت Actel



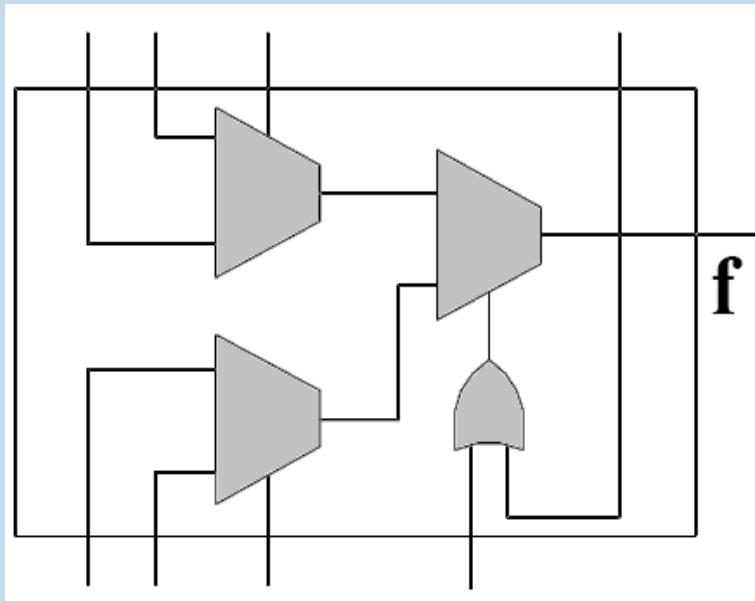
به کمک مالتی پلکسر $F = xy + z$ پیاده سازی تابع منطقی

MUX و LUT و FPGA، پیاده سازی توابع با

تمرین : تابع روبرو را در سخت افزار ذیل، پیاده سازی نمایید.

$$f = X_1X_2 + X_1X_3 + \overline{X_1}\overline{X_2}\overline{X_3}$$

ماژول منطقی
ACTEL-1
ساخت شرکت Actel

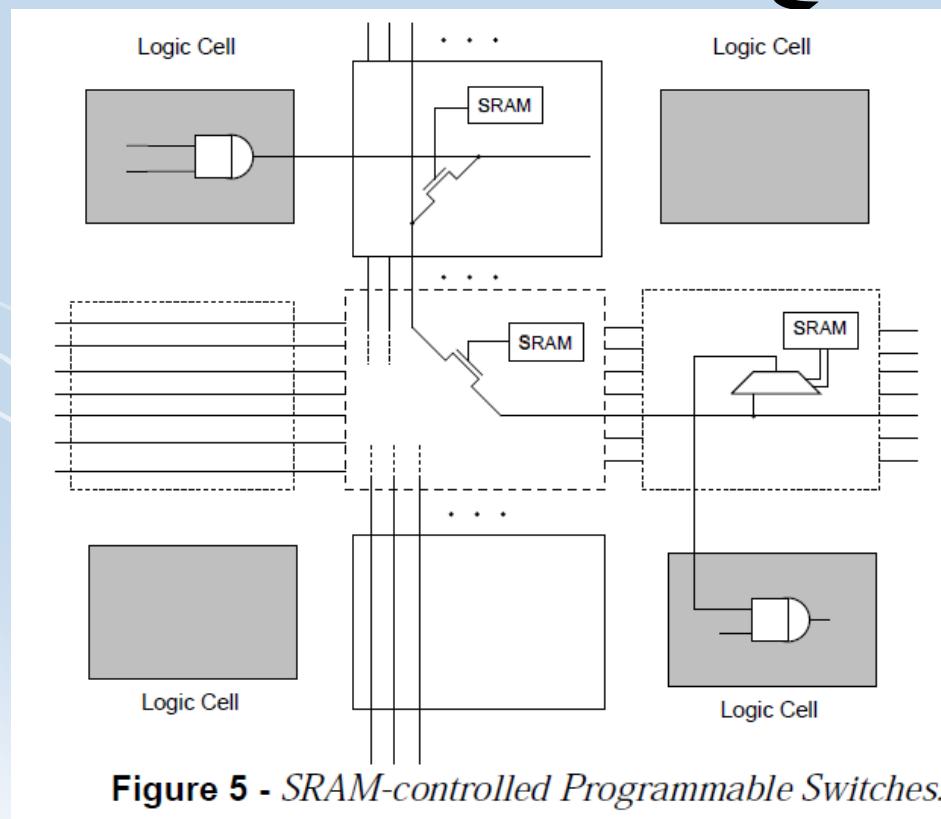


SRAM and DRAM

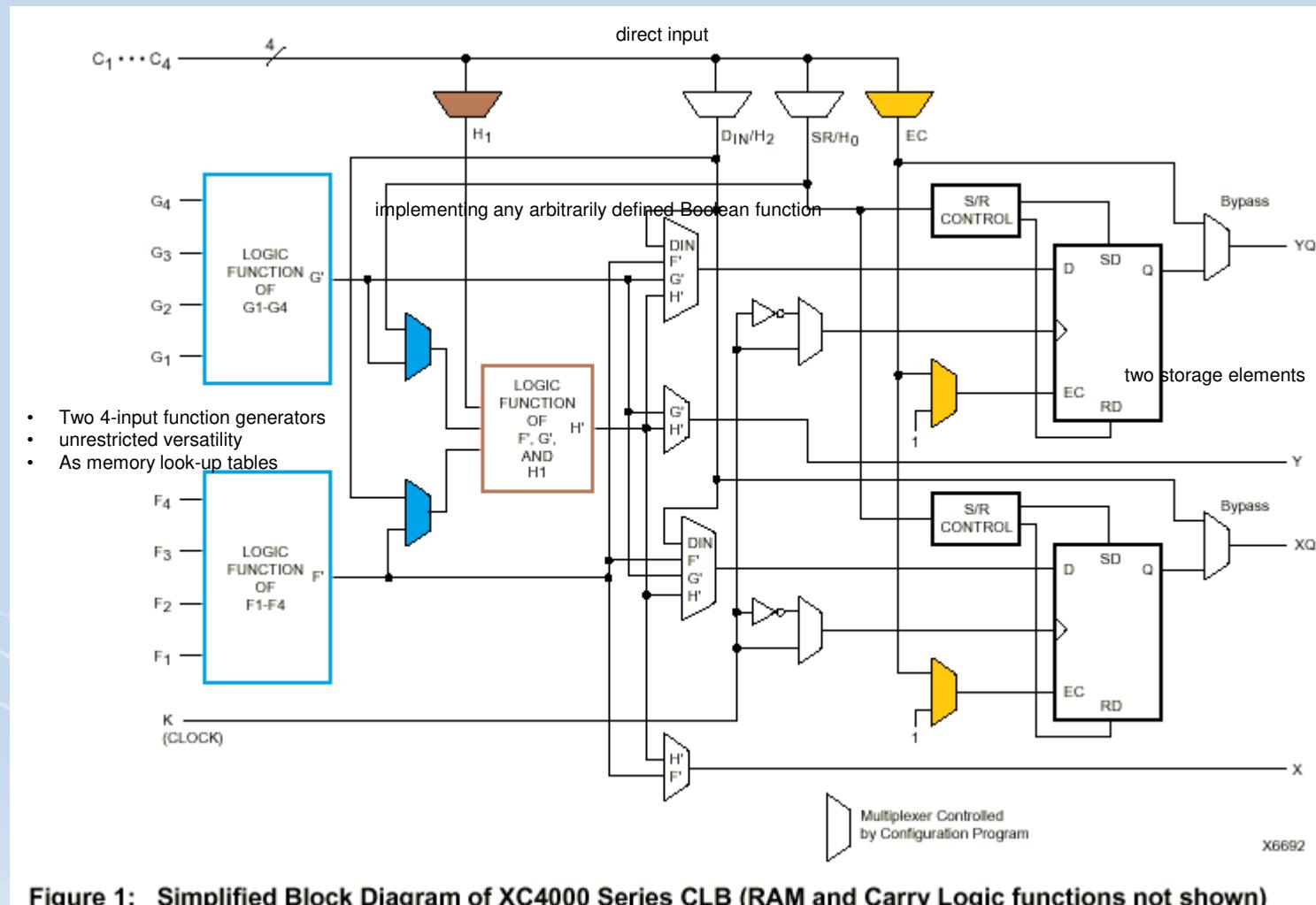
BASIS FOR COMPARISON	SRAM	DRAM
Speed	Faster	Slower
Size	Small	Large
Cost	Expensive	Cheap
Used in	Cache memory	Main memory
Density	Less dense	Highly dense
Construction	Complex and uses transistors and latches.	Simple and uses capacitors and very few transistors.
Single block of memory requires	6 transistors	Only one transistor.
Charge leakage property	Not present	Present hence require power refresh circuitry
Power consumption	Low	High

FPGA

• ارتباطات داخلی SRAM بر مبنای FPGA هستند. بنابراین با قطع برق برنامه داخلی حذف خواهد شد

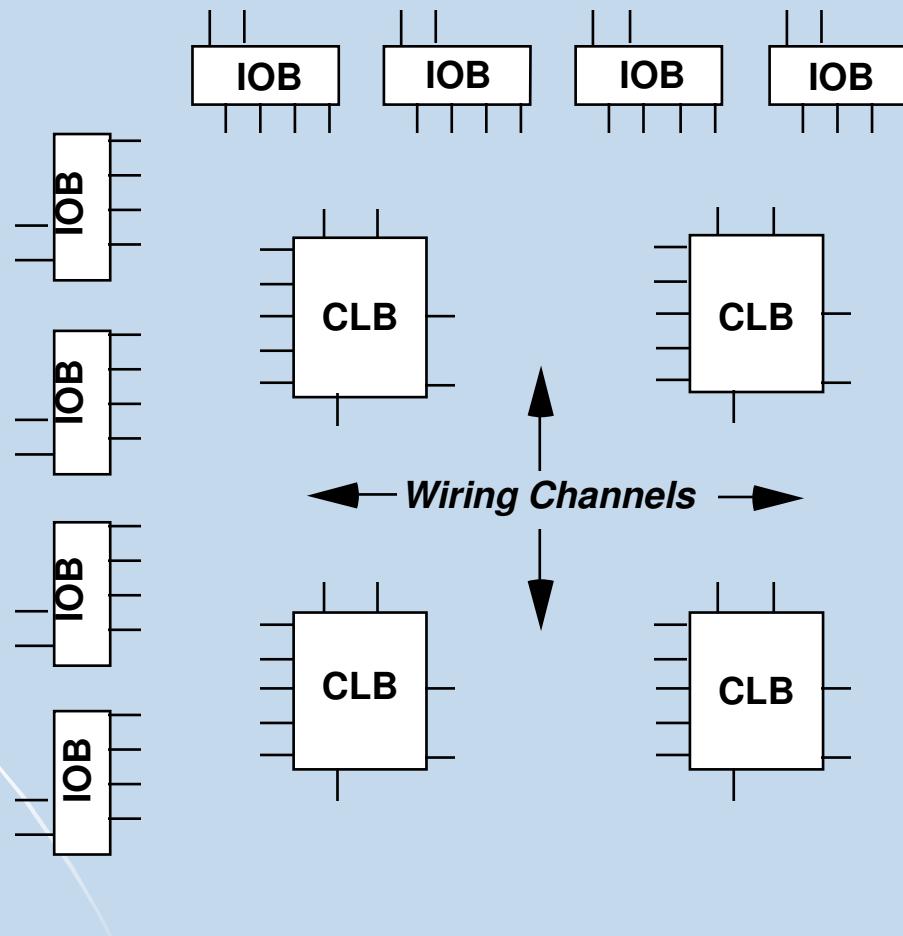


نمونه مدار یک FPGA: Logic Block

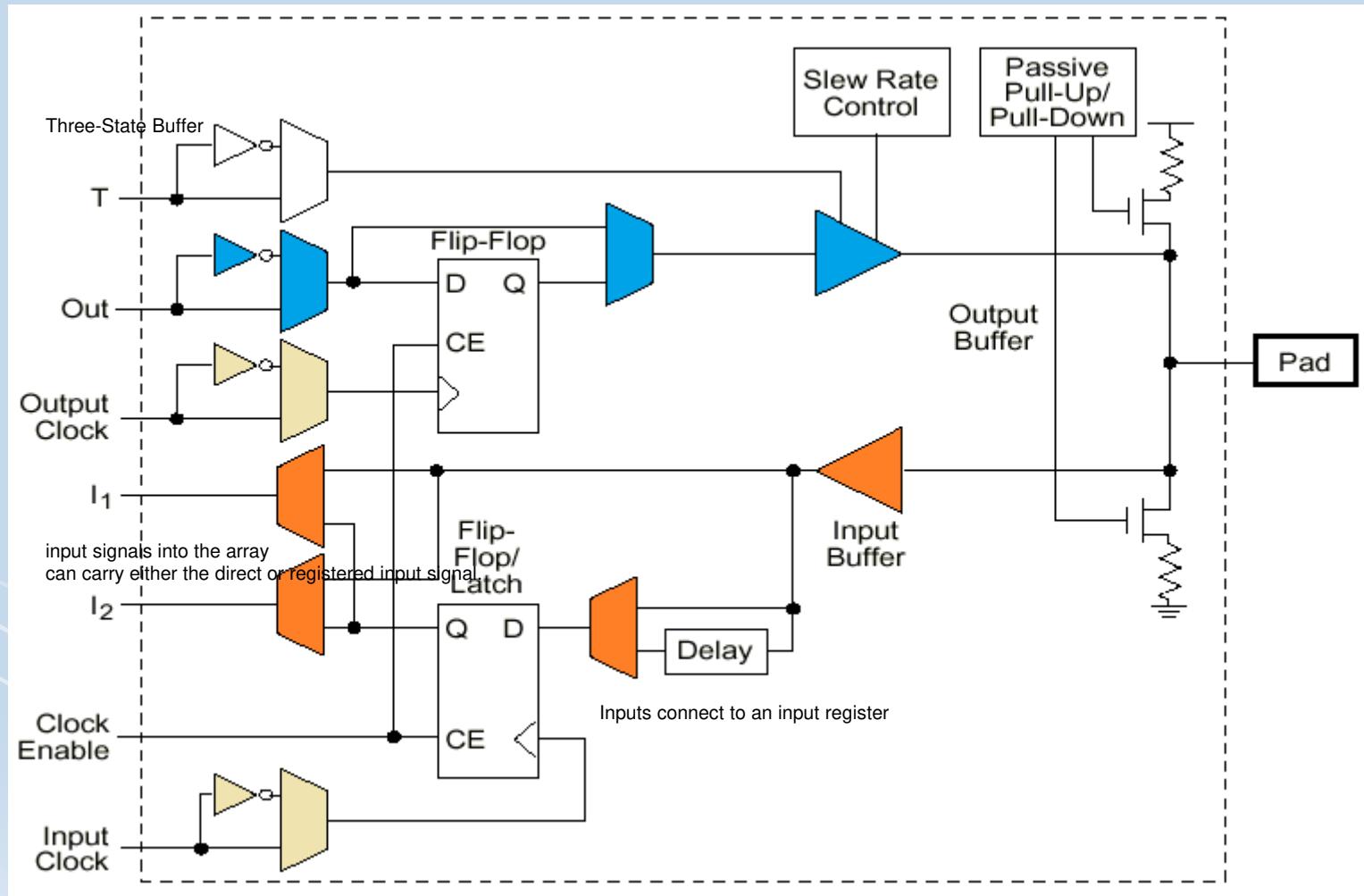


https://www.xilinx.com/support/documentation/data_sheets/4000.pdf

FPGA



: ساختار ورودی/خروجی FPGA



https://www.xilinx.com/support/documentation/data_sheets/4000.pdf



55

برخی اصطلاحات FPGA

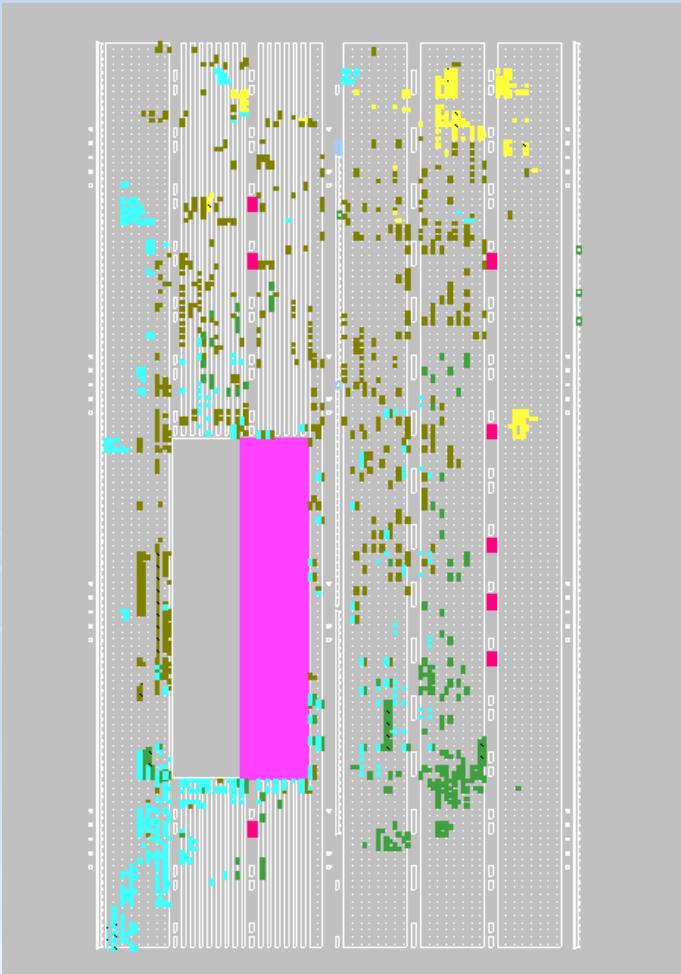
FlipFlop و LUT: ترکیبی از Logic Cell: •

Slice: ترکیبی از Logic Cell ها •

CLB: ترکیبی از Slice ها •



امکانات سخت افزاری بیشتر در FPGA ها



- علاوه بر بلوکهای پایه، برخی از FPGA ها دارای ماجولهای اضافه تری هستند که Core های سخت افزاری نامیده می شوند:
- مثال: جمع کننده سریع

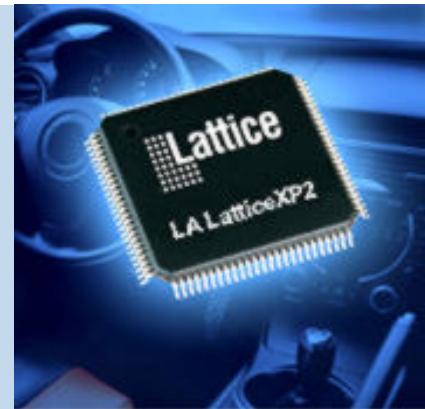
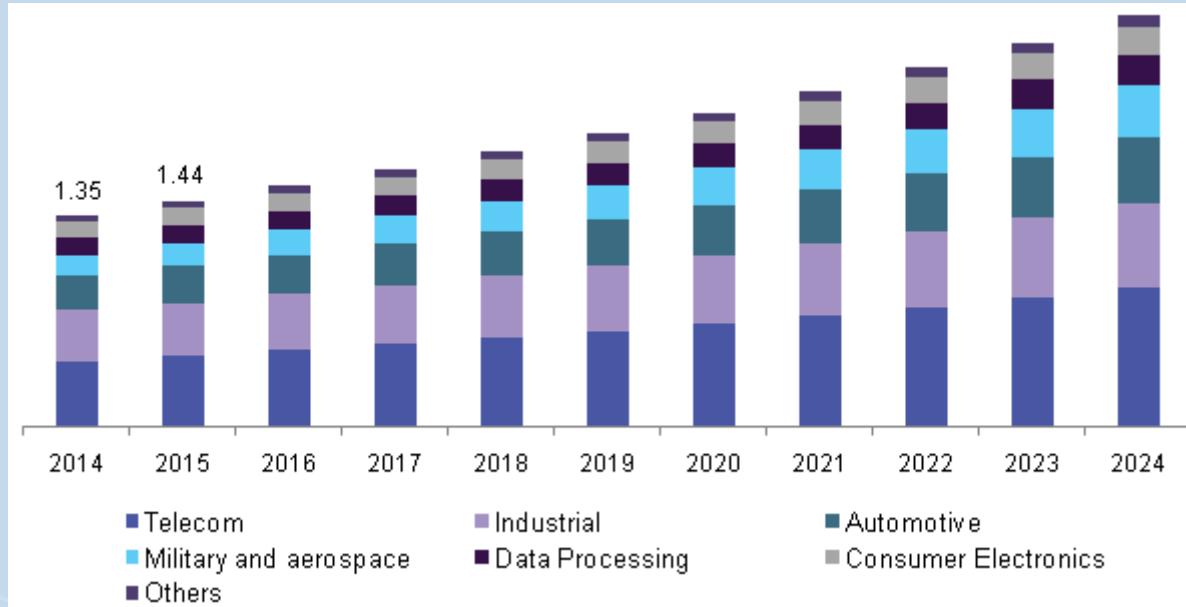
امکانات سخت افزاری بیشتر در FPGA‌ها

- مثال‌های دیگر از Core‌های سخت افزاری:
- ضرب کننده، حافظه (بلاک رم)، فیفو،
کنترلر حافظه های دینامیکی، بلوکهای پردازش
سیگنال، بلوکهای مدیریت کلاک سیستم (ضرب
کننده کلاک، حذف Skew کلاک)،
ریزپردازنده

شرکت‌های تولید کننده FPGA

- **SRAM-based FPGAs** ~ 51% of the market
 - Xilinx, Inc.
 - Altera Corp ~ 34% of the market
 - (subsidiary of Intel since 2015)
 - Lattice Semiconductor
 - Atmel
 - Achronix
 - Tabula (went out of business in 2015)
- **Flash & antifuse FPGAs**
 - Microsemi SoC Products Group (formerly Actel Corp.)
 - Quick Logic Corp.

کاربردهای FPGA



قابلیت ها و مزایای تراشه های برنامه پذیر

- کاهش توان مصرفی .
- افزایش سرعت پردازش و خطاهای انتشار به دلیل استفاده از فناوری پیشرفته و دستیابی به تاخیر انتشار حدود چند نانو ثانیه و پالس ساعت 178 مگاهرتز.
- توانایی کار با دو سطح ولتاژ 3.3v و 5v
- امنیت بالا به دلیل عدم امکان دستیابی به محتوای داخلی و عدم توان توصیف محتوای داخلی
- طراحی مدارات مجتمع با کاربرد خاص ASIC(Application Specific Integrated Circuit)
- ساخت نمونه اولیه طرح ها با توجه به هزینه ناچیز و زمان کم مورد نیاز برای تحقق آن
- پیاده سازی ماشین های محاسباتی مبتنی بر FPGA
- با قابلیت برنامه ریزی در مدار (ISP= In System Programming) این امکان به وجود می آید که بدون اعمال تغییرات در سخت افزاری مدار و تنها از طریق پورت برنامه ریزی، عملکرد تراشه تغییر کند.
- کاهش حجم مدار نهایی و مجتمع سازی در ابعادی به مساحت چند سانتی متر مربع.
- همسان سازی عناصر طراحی و از میان بدن تمامی مشکلات ناشی از عدم تطابق استاندارد های مختلفی چون ... TTL, CMOS, ...
- کاهش نویز های ناشی از وجود عناصر مختلف و مجزا در مدار.
- تعداد زیاد ورودی — خروجی (از بسته های 44 پایه تا 514 پایه و بالاتر) با حجم گیتی فراوان.
- امکان تعريف هر کدام از پایه های تراشه به عنوان ورودی، خروجی یا هر دو.
- تعیین وضعیت هر پایه (Z, 0, 1 و یا) در هنگام استفاده یا عدم استفاده از آن.
- قابلیت تشخیص تغییرات ولتاژ بر روی هر پایه با حساسیت سطح و یا لبه.
- برنامه ریزی تراشه به تعداد بسیار زیاد.
- تغییر متنابع معماری داخلی برخی از این تراشه ها که معماری درونی آنها در یک حافظه خارجی نگهداری شده و با تغییر آدرس برنامه ریزی می توان تراشه را با ساختار جدید روش کرده و از آن استفاده نمود. در برخی از کاربردهای شبکه که پروتکل آنها بطور مرتب تغییر می کند می توان با تغییر پیکربندی تراشه برنامه پذیر، دو مزیت سرعت و انعطاف را بدست آورد.
- با قابلیت برنامه ریزی در مدار (ISP= In System Programming) این امکان

References

<http://www.fpgacentral.com/pld-types/fpga-field-programmable-gate-array>

<http://www.fpga4fun.com/FPGAIinfo1.html>

(سه سایت زیر، نیاز به فیلتر شکن دارید)

[http://www.globalspec.com/learnmore/semiconductors/programmable logic devices/cpld](http://www.globalspec.com/learnmore/semiconductors/programmable_logic_devices/cpld)

[http://www.globalspec.com/learnmore/semiconductors/programmable logic devices/fpga](http://www.globalspec.com/learnmore/semiconductors/programmable_logic_devices/fpga)

[http://www.globalspec.com/learnmore/semiconductors/programmable logic devices/programmable logic devices](http://www.globalspec.com/learnmore/semiconductors/programmable_logic_devices/programmable_logic_devices)