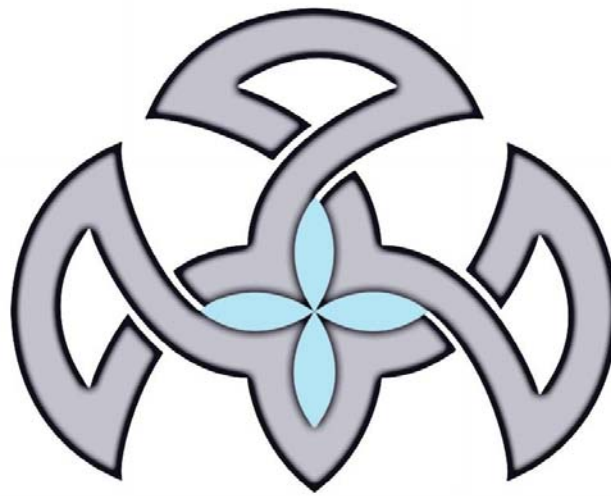


باسمه تعالی



دانشگاه صنعتی قزوین  
وزارت علوم تحقیقات و فناوری

دستور کار آزمایشگاه مدار منطقی

گروه مهندسی برق و کامپیوتر

سال تحصیلی ۹۳-۹۲

## بسمه تعالی

هدف از ارائه آزمایشگاه مدارهای منطقی ، آشنایی دانشجویان با چگونگی کار با تراشه‌های دیجیتال و همچنین چگونگی طراحی و پیاده سازی مدارات ساده ترکیبی و ترتیبی دیجیتال است . قبل از شروع کار در آزمایشگاه لازم نکاتی را در مورد چگونگی انجام آزمایشات و همچنین ارزیابی کار هر دانشجو متذکر شویم :

۱- دانشجو برای انجام هر آزمایش باید مقدمات آنرا قبل از ورود به آزمایشگاه انجام دهد . که این موارد عبارتند از :  
الف- مطالعه راهنمای ( Data Sheet ) آی سی هایی که قرار است در آزمایش آنروز با آن کار انجام شود .  
راهنمای هر آی سی در انتهای دستور کار موجود است . البته کتابچه های راهنما را می توانید از کتابخانه دانشکده نیز تهیه فرمایید . لازم به ذکر است که در ابتدای هر جلسه ممکن است یک امتحانک (کوئیز) از چگونگی کار یک آی سی به صورت کتبی گرفته شود .

ب- تهیه پیش گزارش : بسیاری از آزمایشاتی که انجام می دهید لازم است که مدار آنرا قبلا طراحی کنید . شما باید تمام مراحل طراحی را در پیش گزارش بیاورید . که این موارد شامل جداول درستی ، جداول ساده سازی ، عبارات و همچنین شکل مدار نهایی می باشد . پیش گزارش باید در دو نسخه و در کاغذ A4 تهیه شود که یک نسخه آن به مربی آزمایشگاه تحویل داده می شود و نسخه دیگر در اختیار دانشجو خواهد بود تا بر اساس آن آزمایش مربوطه را انجام دهد .

۲- حضور در تمام جلسات آزمایشگاه الزامی است و در صورت غیبت ، دانشجو باید در همان هفته و در یکی دیگر از گروه های آزمایشگاه و البته با هماهنگی مربی آزمایشگاه ، آزمایش مربوطه را انجام دهد . لازم به ذکر است غیبت بیش از دو جلسه مجاز نیست .

۳- هر آزمایش دارای چند قسمت می باشد که تمامی آنها در یک جلسه سه ساعته انجام می شود . بعد از اتمام هر جلسه آزمایشگاه دانشجو باید یک گزارش کار از آزمایشات انجام شده به مربی آزمایشگاه تحویل دهد . البته گزارش به صورت گروهی و حداکثر یک هفته بعد از انجام آزمایش تحویل می شود .

گزارش آزمایشگاه شامل نتایج هر آزمایش به صورت شکل و جداول و نتایج خروجی مدارها ، پاسخ سؤالات در هر آزمایش و در نهایت برداشت نهایی و تجربیات کسب شده دانشجو در آن آزمایش می باشد .

۴- نمره نهایی از مجموع نمرات زیر بدست خواهد آمد :

پیش گزارش ( ۲۵ درصد ) - کار در آزمایشگاه ( ۳۵ درصد ) - گزارش کار ( ۱۵ درصد ) - امتحان عملی یا کتبی ( ۲۵ درصد )

مقدمه : قبل از شروع کار در آزمایشگاه لازم است آشنایی اولیه در مورد انواع تکنولوژی آی سی های منطقی و همچنین نحوه کار با آنها داشته باشیم .

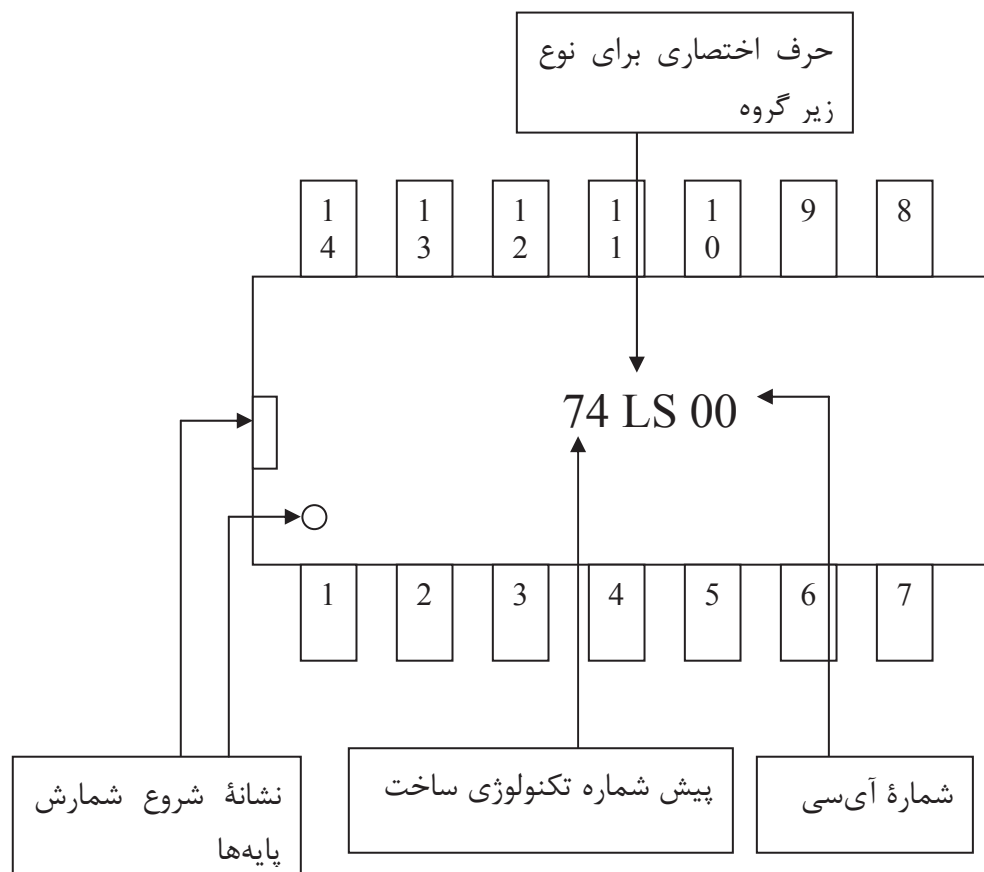
متداولترین خانواده های مدارهای منطقی که حاوی مدارهای پایه هستند عبارتند از خانواده CMOS و خانواده TTL که مورد اخیر دارای زیر گروه های مختلفی است که در جدول زیر به چند نمونه از آن اشاره شده است .

حرف اختصاری	مفهوم آن
C	نمونه CMOS آی سی TTL آن
F	نمونه سریع
H	نمونه سریع و پر قدرت
S	نمونه شاتکی
HC	نمونه سریع CMOS آی سی TTL که با CMOS سازگار است
HCT	نمونه سریع CMOS آی سی TTL که با TTL سازگار است
L	کم مصرف
LS	کم مصرف با ورودی شاتکی
ALS	نمونه پیشرفته کم مصرف با ورودی شاتکی

سطح تغذیه در خانواده TTL ولتاژ نامی ۵+ و در خانواده CMOS از ۳+ تا ۱۵ ولت تغییر می کند . همچنین سطوح منطقی صفر و یک برای هر کدام از این دو خانواده در جدول زیر ذکر شده است .

CMOS	TTL	
بیش از دو سوم تغذیه	بیش از ۲ ولت	سطح منطقی ۱
کمتر از یک سوم تغذیه	کمتر از ۰/۸ ولت	سطح منطقی ۰
بین یک سوم و دو سوم تغذیه	بین ۲ - ۰/۸ ولت	نا معتبر

برای شناخت یک تراشه دیجیتال از نظر نوع تکنولوژی و نوع کاربرد آن ، می توان از شماره مخصوصی که روی هر آی سی نوشته شده است استفاده کرد و با مراجعه به کتابچه های CMOS یا TTL با عملکرد آن تراشه بصورت کامل آشنا شد . متداولترین آی سی های TTL با پیشوند ۷۴ و آی سی های CMOS با پیشوند ۴ متمایز می گردند . در شکل بعد نحوه شناخت تراشه و ترتیب قرار گرفتن پایه های آن آورده شده است .



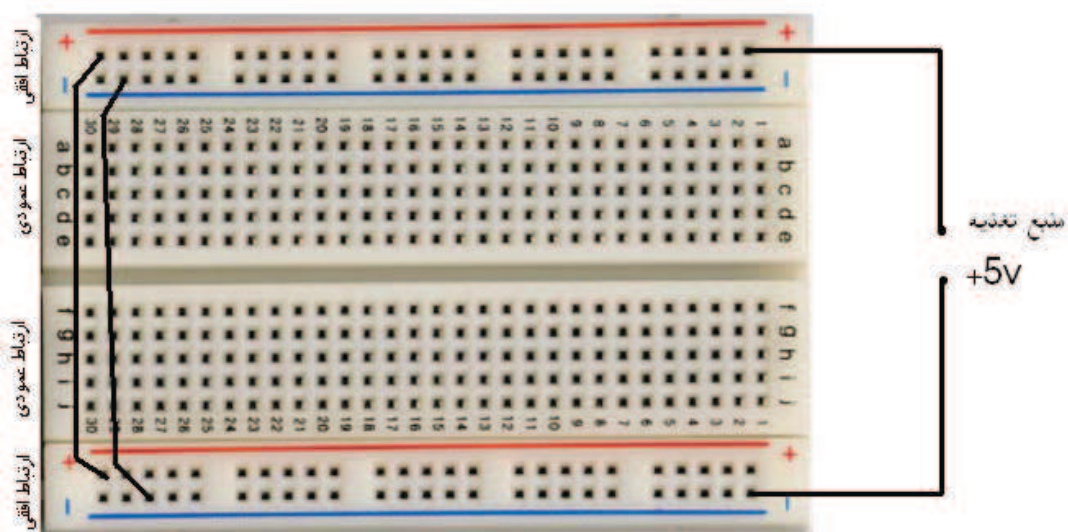
## آزمایش اول

### آشنایی با تراشه‌های گیت منطقی

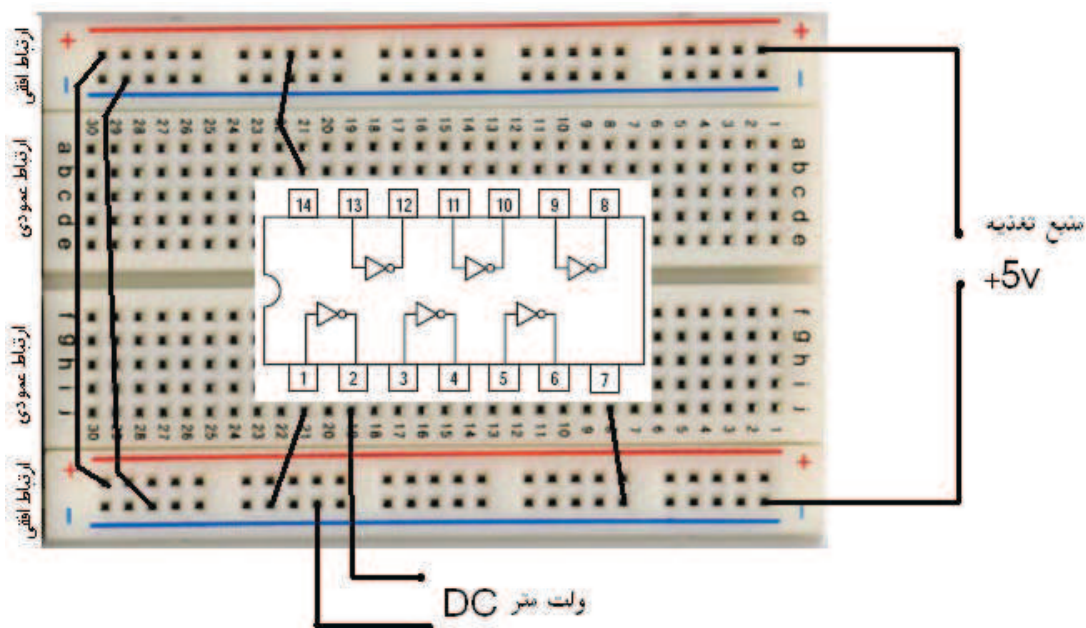
وسایل مورد نیاز بردبرد (Bread Board) ، تراشه‌های ۷۴۰۰ (NAND) ، ۷۴۰۴ (NOT) ، ۷۴۰۳ (NAND) و ۴۰۱۱ (NAND CMOS)

#### آزمایش ۱-۱

در این آزمایش تراشه ۷۴۰۴ که حاوی شش عدد معکوس کننده می باشد را مورد آزمایش قرار می‌دهید .  
الف - ابتدا طبق شکل زیر بردبرد (Bread Board) را برای انجام آزمایش آماده کنید . منبع تغذیه را روشن نموده و ولتاژ آنرا برای ۵ ولت تنظیم نمایید . اکنون موقتاً منبع را خاموش و یا در حالت Standby قرار دهید .



ب - تراشه ۷۴۰۴ را بر روی بردبرد قرار دهید و در ابتدا سرهای تغذیه تراشه را توسط سیم به ردیفهای تغذیه مربوطه روی بردبرد متصل نمایید . توجه کنید در هنگام متصل نمودن پایه‌های تغذیه تراشه به ولتاژ ، حتماً منبع ولتاژ خاموش و یا در حالت Standby باشد . بعد از این مرحله میتوانید تغذیه را روشن نمایید .



ورودی	خروجی	
	ولتاژ	منطق
۵ ولت		
۰ ولت		
باز		

ج - اکنون با استفاده از گیت NOT با ورودی سر شماره ۱ و خروجی سر شماره ۲ جدول را تکمیل کنید. ولتاژهای ۰ و ۵ ولت با اتصال دادن سرشماره ۱ به ردیف زمین یا ردیف ۵ ولت بدست می‌آید. ولتاژ خروجی سر شماره ۲ توسط ولت‌متر اندازه‌گیری می‌شود.

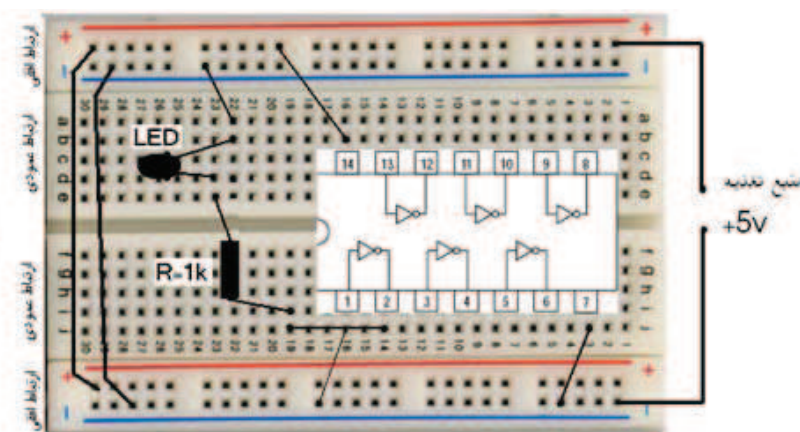
د - در این آزمایش می‌خواهیم خروجی را توسط دیود نورانی (LED) مشاهده کنیم. مطابق شکل زیر مدار را ببندید و جدول مربوطه را کامل کنید.

$$R = \frac{V_{DD} - V_{D(on)}}{I_{Dmax}}$$

$$V_{DD} = 5V$$

$$I_{Dmax} = 16mA$$

$$V_D = 1.6V$$



ورودی	خروجی	
	On/Off	منطق
۵ ولت		
۰ ولت		
باز		

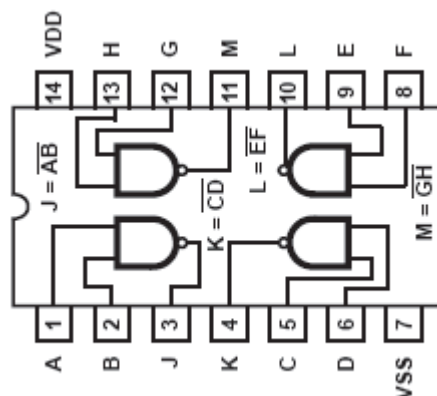
تحقیق ۱: در مورد مدار داخلی یک گیت NOT در خانواده TTL جستجو کنید و شکل آنرا در گزارش کار بیاورید.

سؤال ۱: در این آزمایش ورودی باز دارای چه منطقی است؟ با توجه به شکل داخلی گیت دلیل آن چیست؟ آیا این امر برای تمام خانواده TTL صادق است؟

## آزمایش ۲-۱

یک تراشه ۴۰۱۱ (حاوی چهار گیت NAND) را روی بردبورد قرار دهید و آنرا تغذیه نمایید و سپس مطابق جدول زیر گیت NAND را آزمایش کنید.

ورودی		خروجی	
A	B	ولتاژ	منطق
0	0		
0	1		
1	0		
1	1		
0	باز	oscop	
1	باز	oscop	



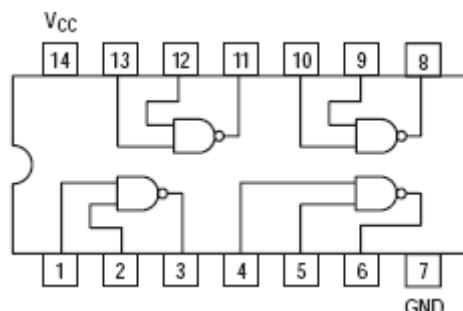
تحقیق ۲: در مورد مدار داخلی یک گیت NAND در خانواده CMOS جستجو کنید و شکل آنرا در گزارش کار بیاورید.

سؤال ۲: در این آزمایش ورودی باز دارای چه منطقی است؟ با توجه به شکل داخلی گیت دلیل آن چیست؟ آیا این امر برای تمام خانواده CMOS صادق است؟

### آزمایش ۳-۱

تراشه ۷۴۰۰ دارای چهار گیت NAND با خروجی معمولی است. با استفاده از یک تراشه ۷۴۰۰ مدار را ببندید و سپس جدول مربوطه را تکمیل نمایید.

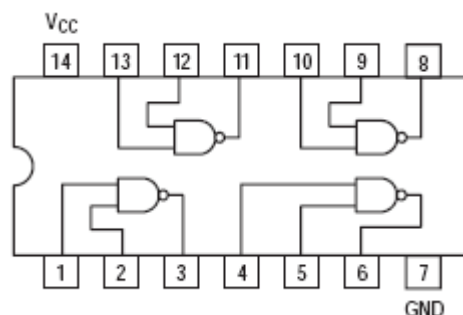
ورودی		خروجی	
A	B	ولتاژ	منطق
0	0		
0	1		
1	0		
1	1		



### آزمایش ۴-۱

الف - تراشه ۷۴۰۳ دارای چهار گیت NAND با خروجی کلکتور باز (Open Collector) است. با استفاده از یک تراشه ۷۴۰۳ مدار را ببندید و سپس جدول مربوطه را تکمیل نمایید.  
سؤال ۳ - آیا مقادیر بدست مطابق انتظار است؟ چرا؟

ورودی		خروجی			
		مرحله الف		مرحله ب	
A	B	ولتاژ	منطق	ولتاژ	منطق
0	0				
0	1				
1	0				
1	1				

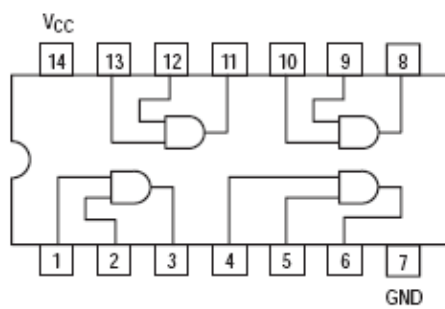


ب - در این مرحله یک مقاومت  $2.2K\Omega$  بین خروجی مدار و ولتاژ 5V قرار دهید و آزمایش مرحله قبل را تکرار کنید.

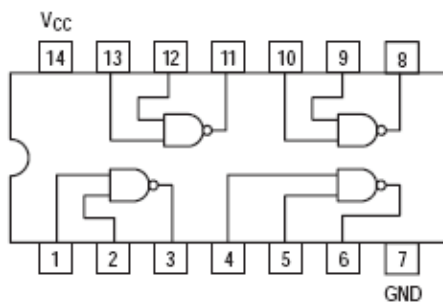
سؤال ۴ - تفاوت تراشه ۷۴۰۰ و ۷۴۰۳ در چیست؟

سؤال ۵ - آیا در این دو تراشه می توان خروجی دو گیت را به هم متصل نمود؟ در این صورت رابطه بین خروجی و ورودیها چگونه خواهد بود؟

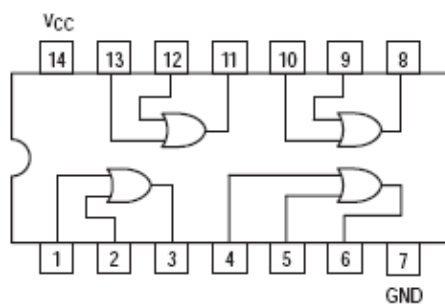
تحقیق ۳ - در مورد خروجیهای سه حالت (tree stat) تحقیق کنید و توضیحات لازم را در گزارش کار بیاورید.



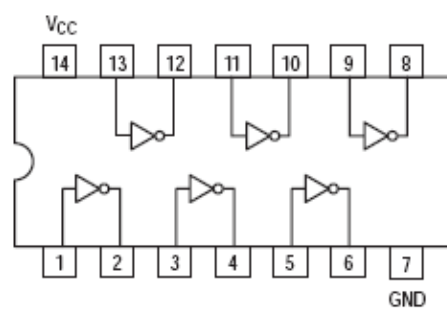
7408



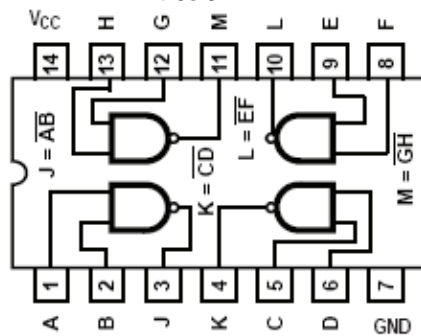
7400



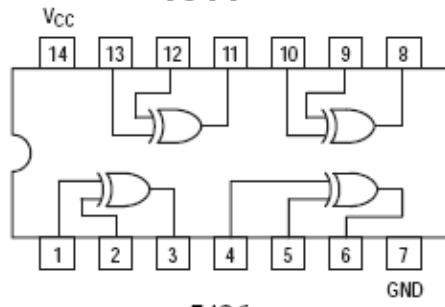
7432



7404



4011



7486



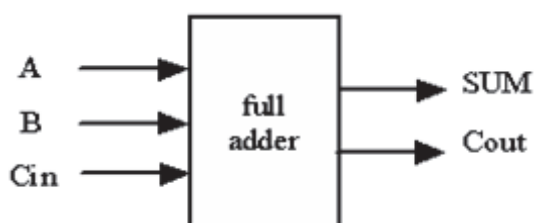
## آزمایش دوم

### مدارهای جمع کننده و مقایسه کننده

اهداف : طراحی مدارهای جمع کننده کامل و جمع کننده و تفریق کننده چهار بیتی ، و مقایسه کننده ها

#### آزمایش ۱-۲

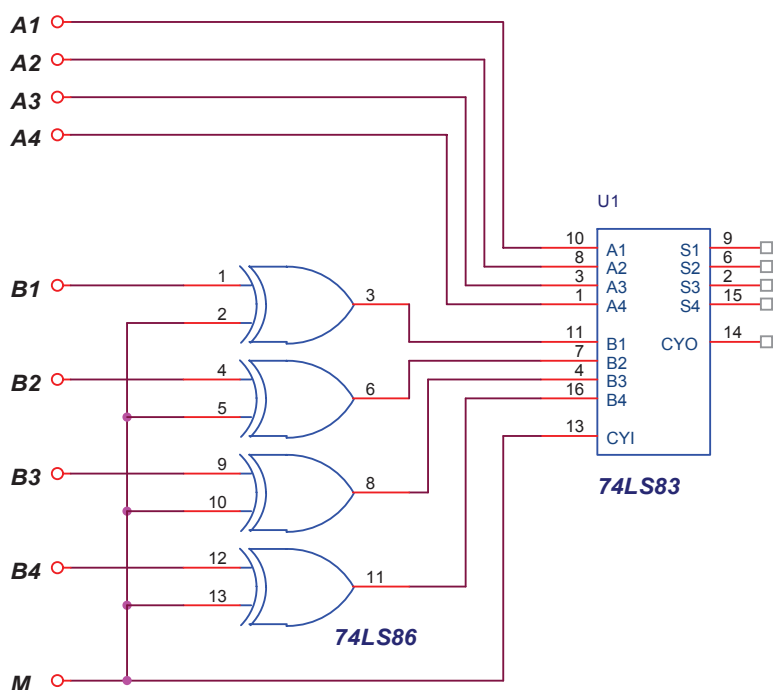
با استفاده از تراشه های ۷۴۰۰ و ۷۴۸۶ یک جمع کننده کامل یک بیتی (شکل زیر) طراحی نمایید . سعی کنید تعداد گیتها حداقل باشد . مدار خود را بسته و سپس جدول ترکیبات آنرا به کمک آزمایش بدست آورید . شکل مدار را بطور کامل با استفاده از گیتها رسم کنید .



Cin	A	B	Cout	SUM
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

#### آزمایش ۲-۲

شکل زیر یک جمع کننده و تفریق کننده چهار بیتی می باشد . ضمن توضیح در مورد طرز کار آن ، مدار را بسته ، آنرا طبق جدول زیر مورد آزمایش قرار دهید.



M	A	B	Sum	Co
0	0011	0010		
1	0011	0010		
0	0010	0011		
1	0010	0011		
0	1001	1000		
1	1001	1000		

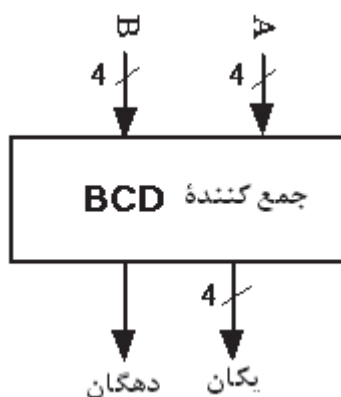
تحقیق ۱: بررسی کنید که در کامپیوتر یک عدد علامت دار چگونه در حافظه ذخیره می گردد. آیا جوابهای مدار در حالت تفریق با جواب تحقیق شما سازگار است؟ توضیح دهید.

سؤال ۱: چگونه می توان با استفاده از دو تراشه ۷۴۸۳ یک جمع کننده هشت بیتی ساخت؟ طرح خود را به طور کامل رسم نمایید.

سؤال ۲: با استفاده از کتابها و کاتالوگهای موجود شماره چند تراشه جمع کننده دیگر از خانواده TTL و CMOS را بنویسید.

## آزمایش ۲-۳

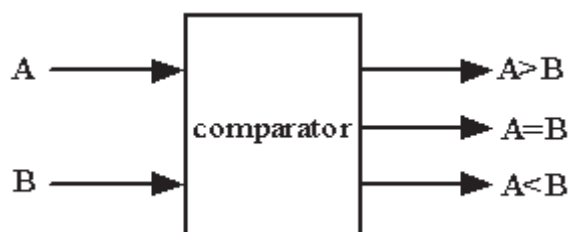
با استفاده از تراشه جمع کننده ۷۴۸۳ و گیتهای مناسب دیگر یک جمع کننده BCD بسازید. طرح خود را بصورت مناسب رسم نمایید. در آزمایشگاه آنرا بسته و مطابق جدول مورد آزمایش قرار دهید.



A	B	دهگان	یکان
2	3		
4	5		
6	5		
8	9		
9	9		

## آزمایش ۲-۴

با استفاده از تراشه های ۷۴۰۰ و ۷۴۸۶ مقایسه کننده یک بیتی طراحی و آنرا آزمایش کنید. این مدار دارای دو ورودی و سه خروجی همانند شکل زیر می باشد. (در هر حالت به ازای فعال بودن یک خروجی، خروجیهای دیگر باید صفر باشند)



A	B	>	=	<
0	0			
0	1			
1	0			
1	1			

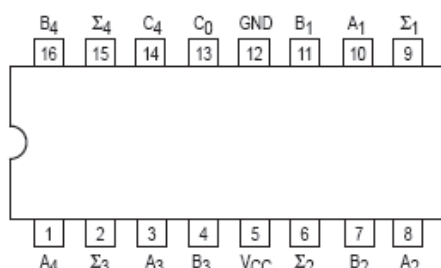
تحقیق ۲- تراشه ۷۴۸۵ یک مقایسه کننده چهار بیتی است. در مورد چگونگی عملکرد آن توضیح دهید. چگونه می توان توسط دو عدد از تراشه ۷۴۸۵ یک مقایسه کننده هشت بیتی ساخت؟ طرح کامل مدار را رسم کنید. در طرح خود مشخص کنید که کدام تراشه برای چهار بیت بالا (MSB) و کدام برای چهار بیت پایین (LSB) می باشد.



## 4-BIT BINARY FULL ADDER WITH FAST CARRY

The SN54/74LS83A is a high-speed 4-Bit binary Full Adder with internal carry lookahead. It accepts two 4-bit binary words ( $A_1$ – $A_4$ ,  $B_1$ – $B_4$ ) and a Carry Input ( $C_0$ ). It generates the binary Sum outputs  $\Sigma_1$ – $\Sigma_4$  and the Carry Output ( $C_4$ ) from the most significant bit. The LS83A operates with either active HIGH or active LOW operands (positive or negative logic). The SN54/74LS283 is recommended for new designs since it is identical in function with this device and features standard corner power pins.

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

### PIN NAMES

$A_1$ – $A_4$	Operand A Inputs
$B_1$ – $B_4$	Operand B Inputs
$C_0$	Carry Input
$\Sigma_1$ – $\Sigma_4$	Sum Outputs (Note b)
$C_4$	Carry Output (Note b)

### LOADING (Note a)

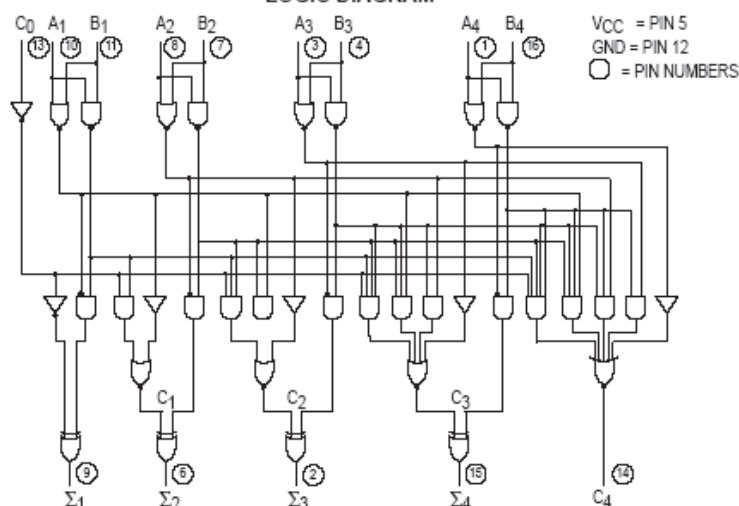
HIGH	LOW
1.0 U.L.	0.5 U.L.
1.0 U.L.	0.5 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.

### NOTES:

a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

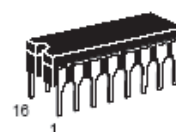
### LOGIC DIAGRAM



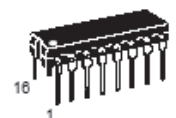
$V_{CC}$  = PIN 5  
GND = PIN 12  
○ = PIN NUMBERS

## SN54/74LS83A

### 4-BIT BINARY FULL ADDER WITH FAST CARRY LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 620-09



N SUFFIX  
PLASTIC  
CASE 648-08

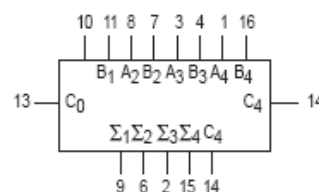


D SUFFIX  
SOIC  
CASE 751B-03

### ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

### LOGIC SYMBOL



# SN74LS85

## 4-Bit Magnitude Comparator

The SN74LS85 is a 4-Bit Magnitude Comparator which compares two 4-bit words (A, B), each word having four Parallel Inputs ( $A_0$ – $A_3$ ,  $B_0$ – $B_3$ );  $A_3$ ,  $B_3$  being the most significant inputs. Operation is not restricted to binary codes, the device will work with any monotonic code. Three Outputs are provided: "A greater than B" ( $O_{A>B}$ ), "A less than B" ( $O_{A<B}$ ), "A equal to B" ( $O_{A=B}$ ). Three Expander Inputs,  $I_{A>B}$ ,  $I_{A<B}$ ,  $I_{A=B}$ , allow cascading without external gates. For proper compare operation, the Expander Inputs to the least significant position must be connected as follows:  $I_{A<B} = I_{A>B} = L$ ,  $I_{A=B} = H$ . For serial (ripple) expansion, the  $O_{A>B}$ ,  $O_{A<B}$  and  $O_{A=B}$  Outputs are connected respectively to the  $I_{A>B}$ ,  $I_{A<B}$ , and  $I_{A=B}$  Inputs of the next most significant comparator, as shown in Figure 1. Refer to Applications section of data sheet for high speed method of comparing large words.

The Truth Table on the following page describes the operation of the SN74LS85 under all possible logic conditions. The upper 11 lines describe the normal operation under all conditions that will occur in a single device or in a series expansion scheme. The lower five lines describe the operation under abnormal conditions on the cascading inputs. These conditions occur when the parallel expansion technique is used.

- Easily Expandable
- Binary or BCD Comparison
- $O_{A>B}$ ,  $O_{A<B}$ , and  $O_{A=B}$  Outputs Available

### GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V
$T_A$	Operating Ambient Temperature Range	0	25	70	°C
$I_{OH}$	Output Current – High			–0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

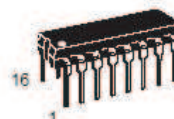


**ON Semiconductor**

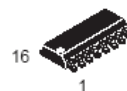
*Formerly a Division of Motorola*

<http://onsemi.com>

**LOW  
POWER  
SCHOTTKY**



PLASTIC  
N SUFFIX  
CASE 648



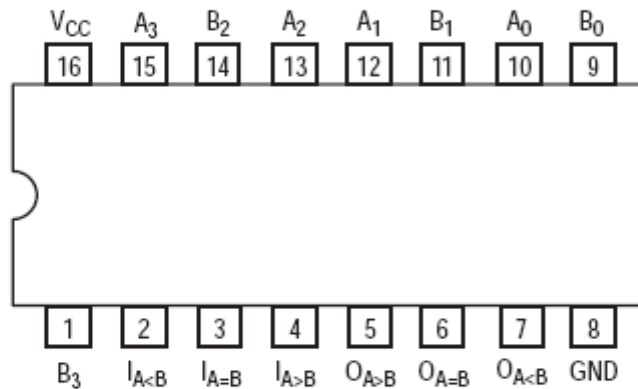
SOIC  
D SUFFIX  
CASE 751B

### ORDERING INFORMATION

Device	Package	Shipping
SN74LS85N	16 Pin DIP	2000 Units/Box
SN74LS85D	16 Pin	2500/Tape & Reel

# SN74LS85

## CONNECTION DIAGRAM DIP (TOP VIEW)



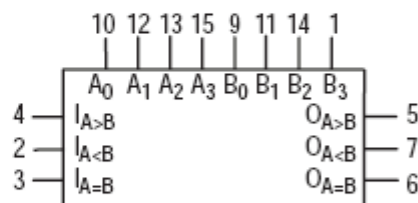
NOTE:  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a)	
		HIGH	LOW
$A_0 - A_3, B_0 - B_3$	Parallel Inputs	1.5 U.L.	0.75 U.L.
$I_A = B$	A = B Expander Inputs	1.5 U.L.	0.75 U.L.
$I_A < B, I_A > B$	A < B, A > B, Expander Inputs	0.5 U.L.	0.25 U.L.
$O_A > B$	A Greater than B Output	10 U.L.	5 U.L.
$O_A < B$	B Greater than A Output	10 U.L.	5 U.L.
$O_A = B$	A Equal to B Output	10 U.L.	5 U.L.

### NOTES:

a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

## LOGIC SYMBOL



$V_{CC}$  = PIN 16

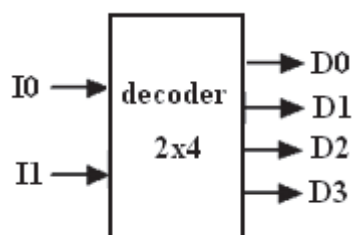
GND = PIN 8

## آزمایش سوم

# آشنایی با DEMUX و MUX ، ENCODER ، DECODER

## آزمایش ۳-۱

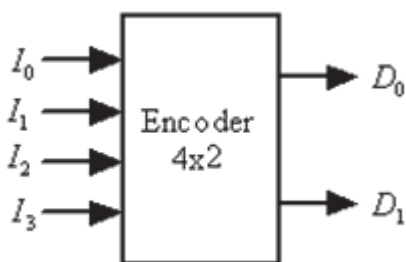
DECODER یا کدبردارها مدارهایی هستند ، با  $n$  ورودی که بر اساس هر یک از حالات ورودی یکی از  $2^n$  خروجی آن فعال می گردد . اکنون با استفاده از تراشه ۷۴۰۸ (AND) و ۷۴۰۰ (NAND) یک کدبردار ۲ به ۴ را طراحی کنید و سپس آنرا مورد آزمایش قرار داده و درستی جدول حالات آنرا بررسی کنید .



A	B	D3	D2	D1	D0
0	0				
0	1				
1	0				
1	1				

## آزمایش ۳-۲

ENCODER و یا کدگذارها عمل عکس کدبردارها را انجام می دهند . به اینصورت که دارای  $2^n$  ورودی (حداکثر) و  $n$  خروجی می باشند . اگر یکی از ورودیها فعال باشد ، خروجی یک عدد  $n$  بیتی متناظر با همان ورودی خواهد بود . اکنون با استفاده از تراشه ۷۴۰۰ یک کدگذار ۴ به ۲ را طراحی کرده و جدول درستی آنرا با توجه به آزمایش مورد بررسی قرار دهید .



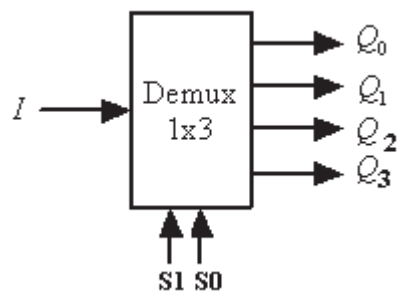
I3	I2	I1	I0	D1	D0
0	0	0	1		
0	0	1	0		
0	1	0	0		
1	0	0	0		

## آزمایش ۳-۳

DEMUX یا پخش کننده داده دارای  $n$  خط ورودی ( بعنوان آدرس و یا خطوط کنترل ) و حداکثر  $2^n$  خروجی و تنها دارای یک ورودی اطلاعات می باشد . بر اساس فرمانی که روی خطوط کنترل می آید ورودی به یکی از خروجیها منتقل می گردد .

حال یک پخش کننده داده که دارای چهار خروجی است طراحی کرده و آنرا مورد آزمایش قرار دهید . در طراحی از تراشه ۷۴۰۰ و ۷۴۰۸ استفاده کنید .

(مطابق شکل و جدول صفحه بعد )



S1	S0	I	Q3	Q2	Q1	Q0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

### آزمایش ۳-۴

تراشه ۷۴۱۵۳ دارای دو انتخاب کننده داده (MUX) چهار به یک می باشد. با مراجعه به کاتالوگ این تراشه، با نحوه کار آن آشنا شوید.

اکنون با استفاده از این تراشه و گیت های اضافی یک مالتی پلکسر ۸ به ۱ طراحی کنید و سپس آنرا مورد آزمایش قرار دهید.

### آزمایش ۳-۵

ب - با استفاده از مالتی پلکسر ساخته شده در قسمت قبل تابع  $F(A,B,C)=(0,2,4,5)$  را پیاده سازی نمایید. و در عمل آنرا مورد آزمایش قرار دهید.

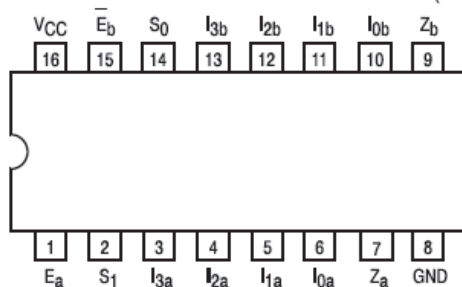
سؤال ۱ - تراشه ۴۰۵۱ یک مالتی پلکسر ۸ به ۱ می باشد با مراجعه به کتابهای CMOS، قابلیت های این تراشه را بنویسید. قابلیت اضافی این تراشه نسبت به مشابه TTL آن در چیست؟

**MOTOROLA**

## DUAL 4-INPUT MULTIPLEXER

The LSTTL/MSI SN54/74LS153 is a very high speed Dual 4-Input Multiplexer with common select inputs and individual enable inputs for each section. It can select two bits of data from four sources. The two buffered outputs present data in the true (non-inverted) form. In addition to multiplexer operation, the LS153 can generate any two functions of three variables. The LS153 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- Multifunction Capability
- Non-Inverting Outputs
- Separate Enable for Each Multiplexer
- Input Clamp Diodes Limit High Speed Termination Effects

**CONNECTION DIAGRAM DIP (TOP VIEW)**

NOTE:  
The Flatpak version  
has the same pinouts  
(Connection Diagram) as  
the Dual In-Line Package.

**PIN NAMES**

$S_0$  Common Select Input  
E Enable (Active LOW) Input  
 $I_0, I_1$  Multiplexer Inputs  
Z Multiplexer Output (Note b)

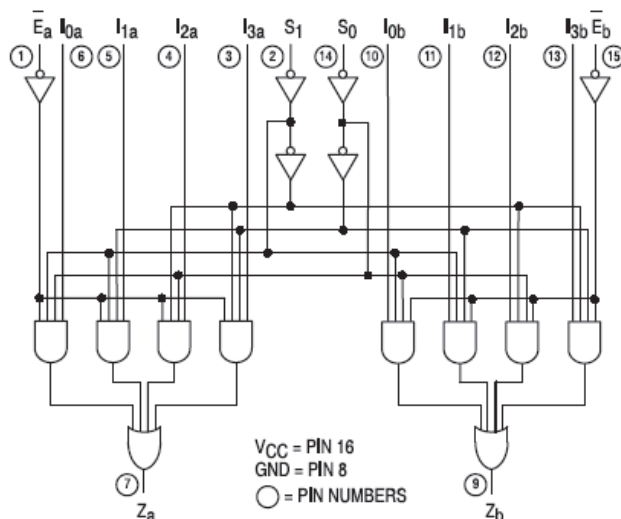
**LOADING (Note a)**

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.

**NOTES:**

a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

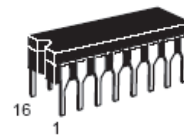
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

**LOGIC DIAGRAM**

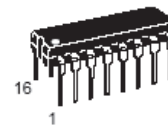
## SN54/74LS153

### DUAL 4-INPUT MULTIPLEXER

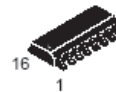
#### LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 620-09



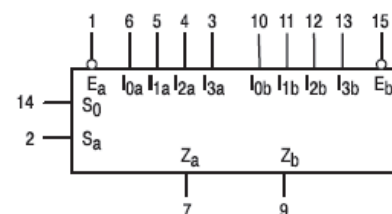
N SUFFIX  
PLASTIC  
CASE 648-08



D SUFFIX  
SOIC  
CASE 751B-03

**ORDERING INFORMATION**

SN54LSXXXJ Ceramic  
SN74LSXXXN Plastic  
SN74LSXXXD SOIC

**LOGIC SYMBOL**

$V_{CC}$  = PIN 16  
GND = PIN 8



## SN54/74LS153

### FUNCTIONAL DESCRIPTION

The LS153 is a Dual 4-input Multiplexer fabricated with Low Power, Schottky barrier diode process for high speed. It can select two bits of data from up to four sources under the control of the common Select Inputs ( $S_0$ ,  $S_1$ ). The two 4-input multiplexer circuits have individual active LOW Enables ( $E_a$ ,  $E_b$ ) which can be used to strobe the outputs independently. When the Enables ( $E_a$ ,  $E_b$ ) are HIGH, the corresponding outputs ( $Z_a$ ,  $Z_b$ ) are forced LOW.

The LS153 is the logic implementation of a 2-pole, 4-position switch, where the position of the switch is determined by the logic levels supplied to the two Select Inputs. The logic equations for the outputs are shown below.

$$Z_a = \bar{E}_a \cdot (I_{0a} \cdot \bar{S}_1 \cdot \bar{S}_0 + I_{1a} \cdot \bar{S}_1 \cdot S_0 + I_{2a} \cdot S_1 \cdot \bar{S}_0 + I_{3a} \cdot S_1 \cdot S_0)$$

$$Z_b = \bar{E}_b \cdot (I_{0b} \cdot \bar{S}_1 \cdot \bar{S}_0 + I_{1b} \cdot \bar{S}_1 \cdot S_0 + I_{2b} \cdot S_1 \cdot \bar{S}_0 + I_{3b} \cdot S_1 \cdot S_0)$$

The LS153 can be used to move data from a group of registers to a common output bus. The particular register from which the data came would be determined by the state of the Select Inputs. A less obvious application is a function generator. The LS153 can generate two functions of three variables. This is useful for implementing highly irregular random logic.

TRUTH TABLE

SELECT INPUTS		INPUTS (a or b)					OUTPUT
$S_0$	$S_1$	E	$I_0$	$I_1$	$I_2$	$I_3$	Z
X	X	H	X	X	X	X	L
L	L	L	L	X	X	X	L
L	L	L	H	X	X	X	H
H	L	L	X	L	X	X	L
H	L	L	X	H	X	X	H
L	H	L	X	X	L	X	L
L	H	L	X	X	H	X	H
H	H	L	X	X	X	L	L
H	H	L	X	X	X	H	H

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

### GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
$V_{CC}$	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
$T_A$	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
$I_{OH}$	Output Current — High	54, 74			-0.4	mA
$I_{OL}$	Output Current — Low	54 74			4.0 8.0	mA

# 74HC/HCT157

Philips Semiconductors

Product specification

## Quad 2-input multiplexer

74HC/HCT157

### PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	S	common data select input
2, 5, 11, 14	1I <sub>0</sub> to 4I <sub>0</sub>	data inputs from source 0
3, 6, 10, 13	1I <sub>1</sub> to 4I <sub>1</sub>	data inputs from source 1
4, 7, 9, 12	1Y to 4Y	multiplexer outputs
8	GND	ground (0 V)
15	$\overline{E}$	enable input (active LOW)
16	V <sub>CC</sub>	positive supply voltage

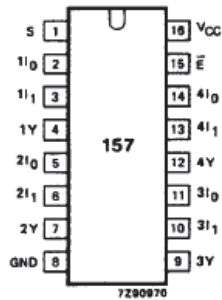


Fig.1 Pin configuration.

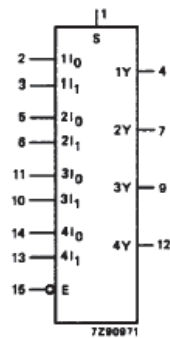


Fig.2 Logic symbol.

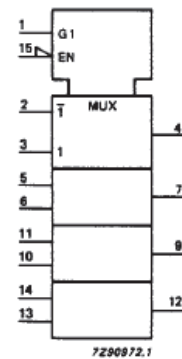
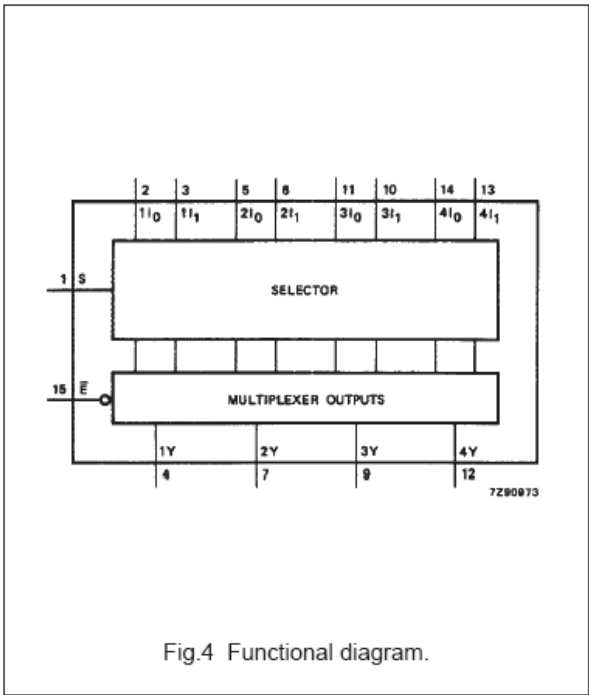


Fig.3 IEC logic symbol.

Quad 2-input multiplexer

74HC/HCT157

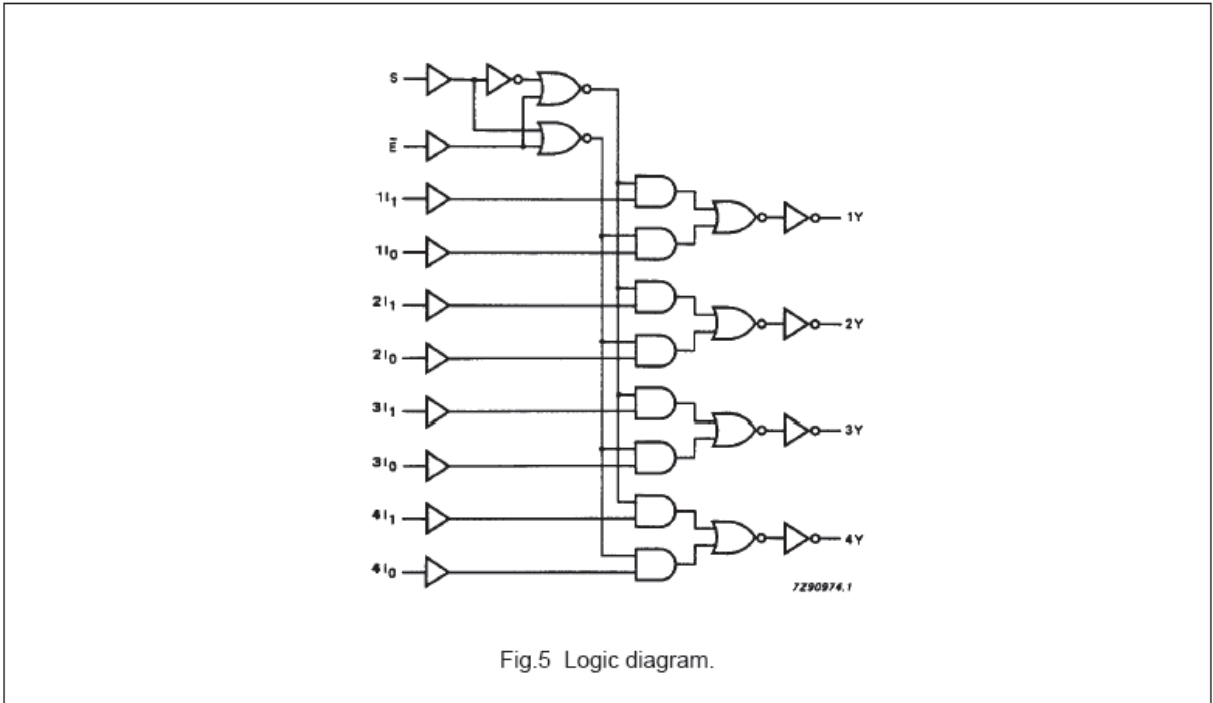


FUNCTION TABLE

INPUTS				OUTPUT
$\bar{E}$	S	$nI_0$	$nI_1$	$nY$
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Notes

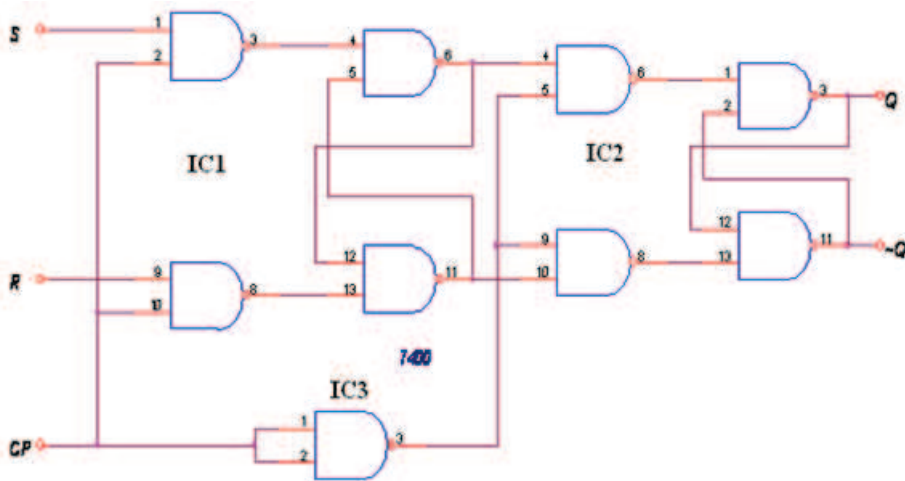
- 1. H = HIGH voltage level  
L = LOW voltage level  
X = don't care



## آشنایی با فلیپ فلاپها

## آزمایش ۴-۱

مدار RS دو مرحله‌ای همگام را طبق شکل زیر ببینید . با اعمال یک پالس مربعی با فرکانس کم به ورودی CP و تغییر دادن ورودیها ، طرز کار مدار را بررسی نمایید . جدول حالات را برای مدار بنویسید . بررسی کنید که تغییر حالات در خروجی ، در لبهٔ پایین روندهٔ پالس ورودی اتفاق می‌افتد یا در لبهٔ بالا روندهٔ آن ؟

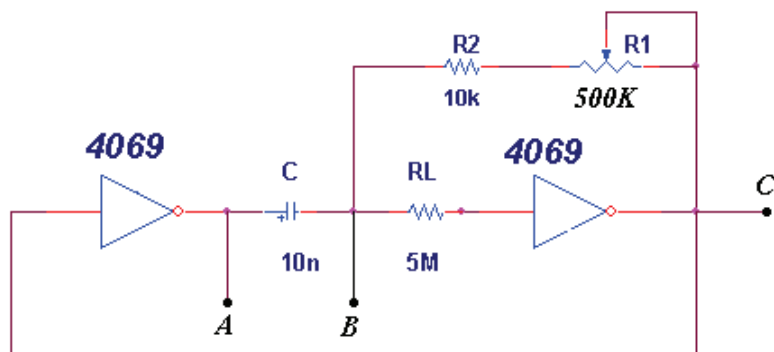


S	R	Q	Q'
0	0		
0	1		
1	0		
1	1		

## آزمایش ۲-۴

الف - مدار شکل زیر یک مول پالس خودکار می باشد . مدار را ببندید و خروجی نقاط A و B و C را توسط اسیلوسکوپ مشاهده کنید . ( نقطه A خروجی اصلی می باشد ) مدار را برای آزمایش بعد نگهدارید .

سؤال : مدار چگونه کار می کند ؟ توضیح دهید .



$$f = \frac{1}{2.2RC}$$

$$\mathbf{R} = \mathbf{R}_1 + \mathbf{R}_2$$

**RL> 10R**

*C* : set Range Of Operation  
*R2*: Sets Of Max Freq  
*R1+R2* : Sets Of Min Freq

## آزمایش ۲-۴

ب- تراشه ۷۴۷۳ حاوی دو عدد فلیپ فلاپ JK می‌باشد ، یکی از فلیپ فلاپها را انتخاب کرده مورد آزمایش قرار دهید و جدول درستی آنرا بنویسید . خروجی را همزمان با ورودی کلاک بصورت همزمان توسط اسیلوسکوپ مشاهده کنید .

توجه: برای پایه کلاک از مدار مولد پالسی که در آزمایش قبل ساخته اید استفاده کنید.

سؤال - این فلیپ فلاپ به چه لبه ای از پالس ساعت حساس است ؟

ج- با استفاده از تراشه ۷۴۷۳ مداری طراحی کنید که فرکانس پالس ساعت را به چهار تقسیم کند . طرح خود را آزمایش نمایید . خروجی و کلاک را توسط اسکوپ مشاهده کنید .

### **آزمایش ۳-۴**

الف - تراشه ۷۴۷۴ دارای دو فلیپ فلاپ D می باشد . اکنون این فلیپ فلاپ را مورد آزمایش قرار داده و جدول تغییر حالات آنرا بنویسید . بررسی کنید که تغییر حالات در خروجی ، در لبه پایین رونده پالس ورودی اتفاق می افتد یا در لبه بالا رونده آن ؟

ب- قسمت ج آزمایش قبل را توسط D فلیپ فلاپ تکرار کنید .

## Hex inverter

## HEF4069UB gates

### DESCRIPTION

The HEF4069UB is a general purpose hex inverter. Each of the six inverters is a single stage.

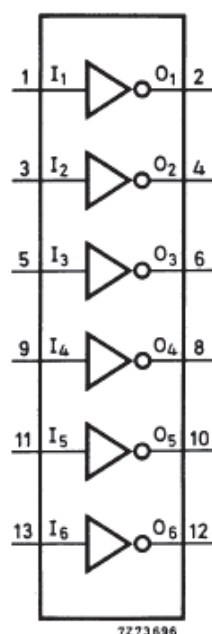


Fig.1 Functional diagram.

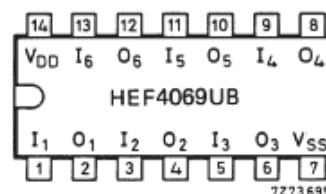


Fig.2 Pinning diagram.

- HEF4069UBP(N): 14-lead DIL; plastic (SOT27-1)
- HEF4069UBD(F): 14-lead DIL; ceramic (cerdip) (SOT73)
- HEF4069UBT(D): 14-lead SO; plastic (SOT108-1)
- ( ): Package Designator North America

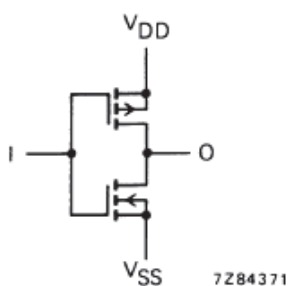


Fig.3 Schematic diagram (one inverter).

### FAMILY DATA, $I_{DD}$ LIMITS category GATES

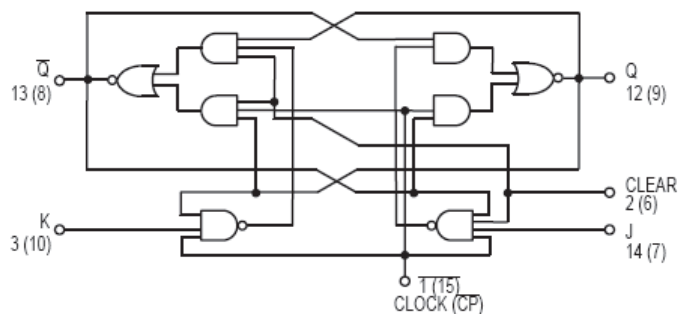
See Family Specifications for  $V_{IH}/V_{IL}$  unbuffered stages



## DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

The SN54LS/74LS73A offers individual J, K, clear, and clock inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

LOGIC DIAGRAM (Each Flip-Flop)



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{C}_D$	J	K	Q	$\overline{Q}$
Reset (Clear)	L	X	X	$\overline{Q}$	H
Toggle	H	h	h	q	q
Load "0" (Reset)	H	l	h	L	H
Load "1" (Set)	H	h	l	H	L
Hold	H	l	l	q	$\overline{q}$

H, h = HIGH Voltage Level

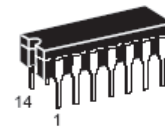
L, l = LOW Voltage Level

X = Don't Care

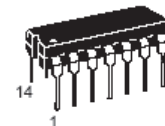
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

## SN54/74LS73A

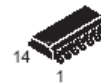
### DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 646-06

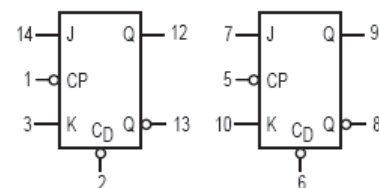


D SUFFIX  
SOIC  
CASE 751A-02

#### ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

#### LOGIC SYMBOL



$V_{CC}$  = PIN 4  
GND = PIN 11

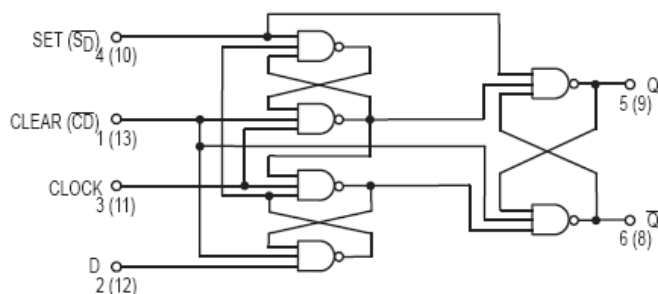


## DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and  $\bar{Q}$  outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

LOGIC DIAGRAM (Each Flip-Flop)



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{S_D}$	$\overline{S_D}$	D	Q	$\bar{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

\* Both outputs will be HIGH while both  $\overline{S_D}$  and  $\overline{C_D}$  are LOW, but the output states are unpredictable if  $\overline{S_D}$  and  $\overline{C_D}$  go HIGH simultaneously. If the levels at the set and clear are near  $V_{IL}$  maximum then we cannot guarantee to meet the minimum level for  $V_{OH}$ .

H, h = HIGH Voltage Level

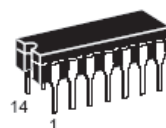
L, l = LOW Voltage Level

X = Don't Care

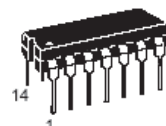
i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

SN54/74LS74A

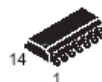
DUAL D-TYPE POSITIVE  
EDGE-TRIGGERED FLIP-FLOP  
LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 646-06

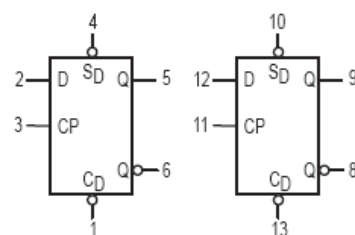


D SUFFIX  
SOIC  
CASE 751A-02

### ORDERING INFORMATION

SN54LSXXJ Ceramic  
SN74LSXXN Plastic  
SN74LSXXD SOIC

### LOGIC SYMBOL



$V_{CC}$  = PIN 14  
GND = PIN 7



## آزمایش پنجم

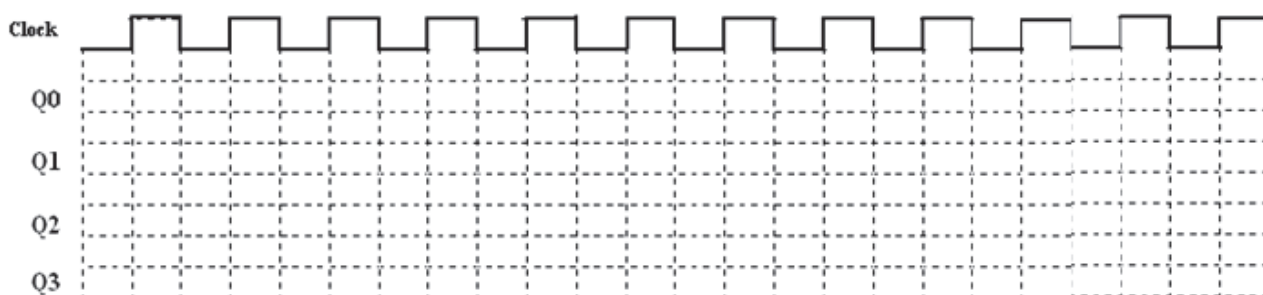
### طراحی شمارنده‌های همگام و ناهمگام

#### آزمایش ۵-۱

یک شمارنده همگام مبنای ۱۲ با استفاده از تراشه‌های ۷۴۷۳ و ۷۴۰۸ طراحی کنید. ابتدا با اعمال پالس ساعت با فرکانس پایین، خروجیها را توسط LED نمایش دهید.

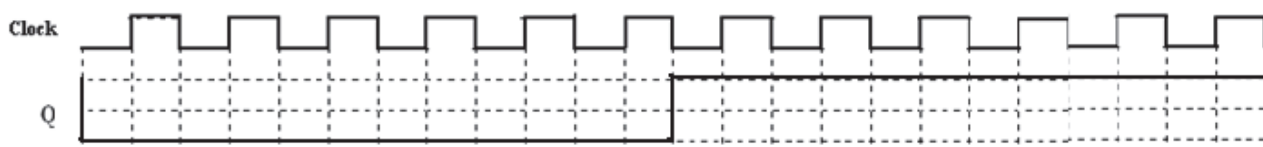
#### آزمایش ۵-۲

یک شمارنده ناهمگام مبنای ۱۰ طراحی کنید. با اعمال پالس ساعت با فرکانس پایین، خروجیها را توسط LED نمایش دهید. سپس فرکانس را تا ۱۰ کیلو هرتز افزایش دهید و خروجیها را توسط اسکوپ مشاهده و رسم نمایید.



#### آزمایش ۵-۳

یک مقسم فرکانس ۱۲ متقارن در حالت ناهمگام طراحی کنید. در این مدار خروجی در پنج پالس در حالت صفر و در پنج پالس بعدی در حالت یک خواهد بود. مدار را ببندید، ابتدا با دادن کلاک با فرکانس یک کیلو هرتز خروجی را با اسکوپ مشاهده نموده و با شکل زیر مقایسه کنید. سپس فرکانس را به یک هرتز کاهش دهید و خروجیها را با LED نمایش دهید. به ترتیب شمارش در خروجی دقت کنید.



#### آزمایش ۵-۴

یک شمارنده همگام صعودی/نزولی مبنای ۳ را توسط تراشه ۷۴۷۳ و حداقل گیت طراحی کنید. این شمارنده دارای یک ورودی کنترل M می‌باشد بطوریکه اگر  $M=0$  شمارنده بصورت صعودی و اگر  $M=1$  بصورت نزولی شمارش نماید. خروجی را توسط LED مشاهده نمایید.

سؤال ۱ - محاسن و معایب شمارنده‌های همگام و ناهمگام نسبت به یکدیگر چیست؟

## آزمایش ششم

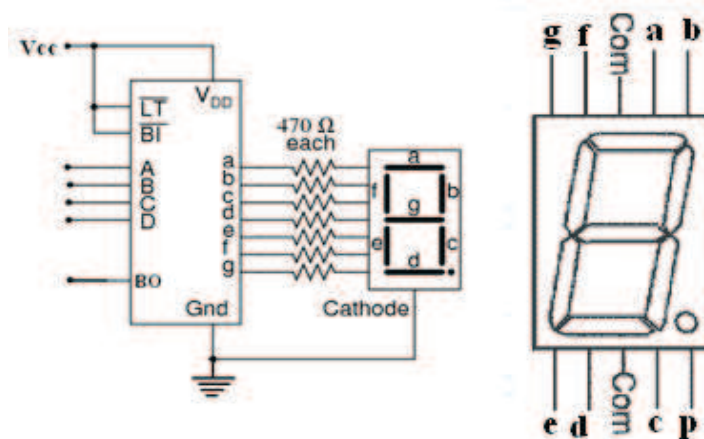
### آشنایی با تراشه شمارنده ۷۴۹۲ و ۷۴۱۹۲ و کدبرددهی به هفت قسمتی

#### آزمایش ۶-۱

الف - تراشه ۷۴۴۷ یا ۷۴۴۸ را به یک نمایشگر هفت قسمتی همانند شکل زیر متصل کرده و به ازاء حالات مختلف ورودی ( ۰۰۰۰ تا ۱۱۱۱ ) ، علائم مشخص شده روی نمایشگر را یادداشت کنید . توجه داشته باشید قرار دادن مقاومت بین تراشه و نمایشگر جهت جلوگیری از سوختن نمایشگر و تراشه الزامی است .

ب - پایه شماره ۳ تراشه ( Lamp Test ) را به ولتاژ LOW متصل کنید و به ازاء حالات مختلف ورودی تغییرات خروجی را مشاهده کنید .

ج - پایه شماره ۵ تراشه ( blank-in ) را به ولتاژ LOW وصل کرده و به ازاء حالات مختلف ورودی ، اشکال نمایش داده شده توسط نمایشگر و همچنین ولتاژ پایه ۴ تراشه ( blank-out ) را توسط ولت‌متر مشاهده نمایید . ( مدار را برای آزمایش بعد نگهدارید )



#### آزمایش ۶-۲

تراشه ۷۴۹۲ می‌تواند بصورت یک شمارنده مبنای ۱۲ ناهمگام عمل کند . با مراجعه به کاتالوگ این تراشه ، با شیوه کار آن آشنا شوید .

الف - با استفاده از تراشه ۷۴۹۲ یک شمارنده مبنای ۱۲ را پیاده سازی کنید . خروجی را توسط مدار 7\_segment مشاهده نمایید .

ب - با استفاده از دو ورودی RESET ( MR1 و MR2 ) می‌توان شمارش در مبنای دیگر را انجام داد . در ابتدا مدار را برای شمارش در مبنای ۱۲ ببندید ( قسمت الف ) سپس طبق جدول زیر با اتصال پایه‌های RESET به خروجیهای مشخص شده ، مبنای شمارش را در جدول بنویسید .

MR1	MR2	مبنا
Q3	Q1	
Q3	Q0	
Q3	Q3	
Q2	Q1	
Q0	Q1	

ج - مدار را بصورت یک مقسم ۱۲ متقارن بسته و سپس با اتصال خروجیها به مدار نمایشگر ، ترتیب شمارش را مشاهده کنید ( فرکانس کلاک 1Hz ) . سپس پالس ورودی و خروجی با مقسم ۱۲ متقارن را بصورت همزمان توسط اسکوپ مشاهده کنید ( فرکانس کلاک 10KHz ).

د - با استفاده از دو ۷۴۹۲ و گیت اضافی شمارنده‌ای طرح کنید که از ۱ تا ۲۰ را به صورت BCD شمارش نماید. مدار را ببندید و خروجی را با مدار نمایشگر مشاهده نمایید .

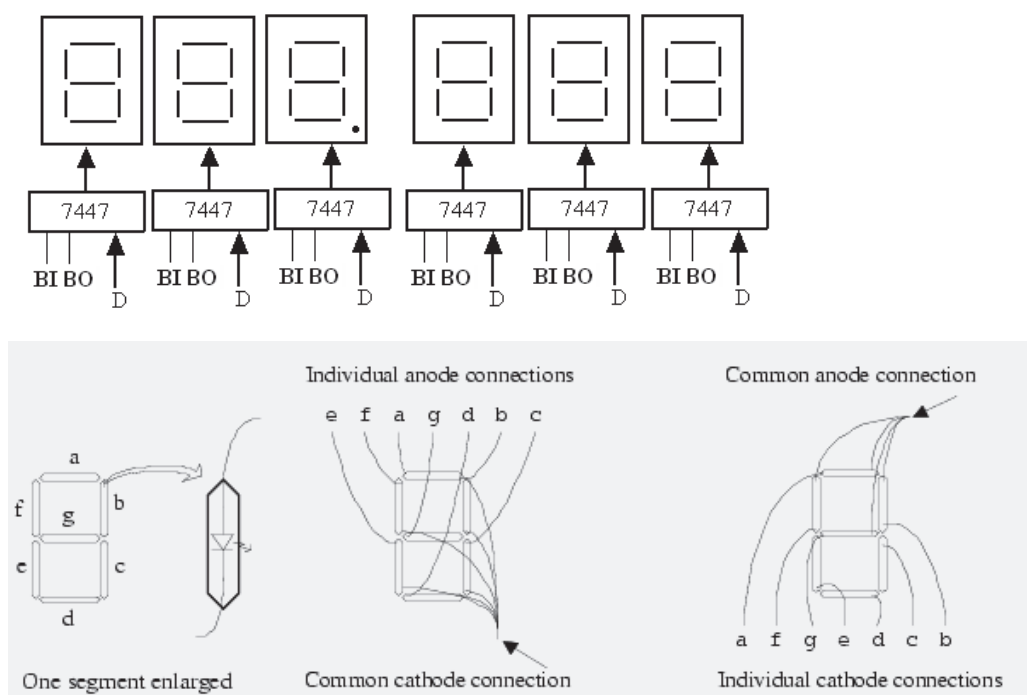
## آزمایش ۳-۶

شمارنده ۷۴۱۹۲ یک شمارنده در مبنای ۱۰ همگام می‌باشد . که قابلیت شمارش صعودی و نزولی و همچنین قابلیت بارگذاری را نیز دارد . با مراجعه به کتابچه TTL با نحوه عملکرد این تراشه آشنا شوید و سپس با استفاده از این تراشه آزمایش زیر را انجام دهید .

- برای شمارش صعودی و نزولی توسط یک خط کنترل مداری را با استفاده از ۷۴۰۰ طرح نمایید . مدار را ببندید و خروجی را با مدار نمایشگر 7\_seg مشاهده کنید .

## سؤالات :

- ۱- تراشه ۴۵۱۱ یک کد بردار BCD به هفت قسمتی از نوع CMOS برای نمایشگرهای کاتد مشترک می‌باشد . اکنون با مراجعه به کاتالوگ این تراشه ، تفاوت این تراشه با تراشه ۷۴۴۷ را بنویسید .
- ۲- نقش پایه Lamp-Test در تراشه‌های ۷۴۴۷ و ۷۴۴۸ چیست ؟
- ۳- نحوه استفاده از پایه‌های blank-in و blank-out در تراشه ۷۴۴۷ را شرح دهید .
- ۴- جهت نمایش دادن یک عدد اعشاری از شش نمایشگر استفاده شده است که طبق شکل زیر سه عدد آن ارقام اعشاری و سه نمایشگر دیگر آن ارقام صحیح را نمایش می‌دهند . اگر بخواهیم صفرهای قبل از عدد صحیح و صفرهای بعد از عدد اعشاری را نمایش ندهیم ، اتصالات لازم بین تراشه‌ها را طراحی و رسم نمایید .





**MOTOROLA**

## BCD TO 7-SEGMENT DECODER

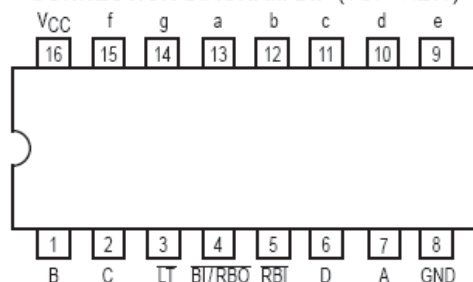
The SN54/74LS48 is a BCD to 7-Segment Decoder consisting of NAND gates, input buffers and seven AND-OR-INVERT gates. Seven NAND gates and one driver are connected in pairs to make BCD data and its complement available to the seven decoding AND-OR-INVERT gates. The remaining NAND gate and three input buffers provide lamp test, blanking input/ripple-blanking input for the LS48.

The circuit accepts 4-bit binary-coded-decimal (BCD) and, depending on the state of the auxiliary inputs, decodes this data to drive other components. The relative positive logic output levels, as well as conditions required at the auxiliary inputs, are shown in the truth tables.

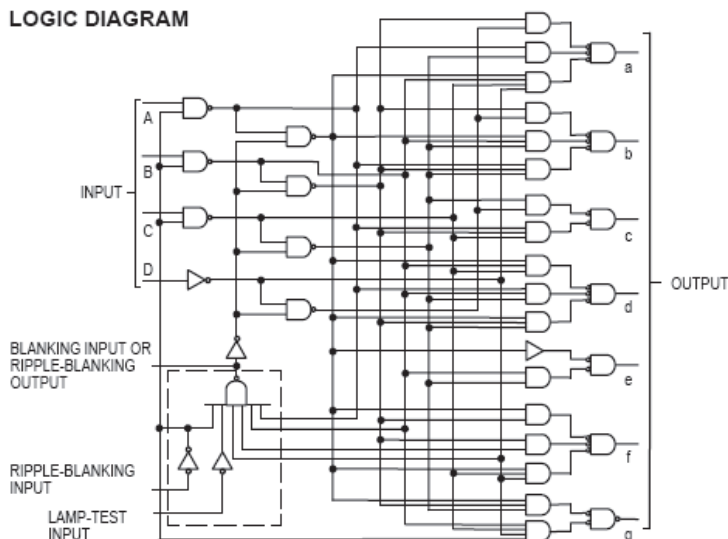
The LS48 circuit incorporates automatic leading and/or trailing edge zero-blanking control (RBI and RBO). Lamp Test (LT) may be activated any time when the BI/RBO node is HIGH. Both devices contain an overriding blanking input (BI) which can be used to control the lamp intensity by varying the frequency and duty cycle of the BI input signal or to inhibit the outputs.

- Lamp Intensity Modulation Capability (BI/RBO)
- Internal Pull-Ups Eliminate Need for External Resistors
- Input Clamp Diodes Eliminate High-Speed Termination Effects

**CONNECTION DIAGRAM DIP (TOP VIEW)**



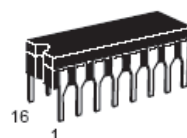
**LOGIC DIAGRAM**



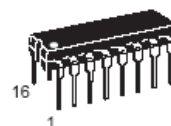
## SN54/74LS48

### BCD TO 7-SEGMENT DECODER

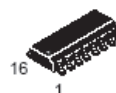
**LOW POWER SCHOTTKY**



**J SUFFIX  
CERAMIC  
CASE 620-09**



**N SUFFIX  
PLASTIC  
CASE 648-08**

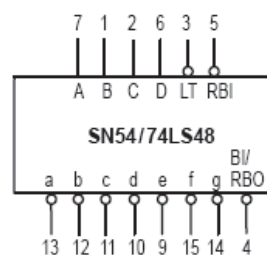


**D SUFFIX  
SOIC  
CASE 751B-03**

### ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

### LOGIC SYMBOL



VCC = PIN 16  
GND = PIN 8

# SN54/74LS48

## PIN NAMES

A, B, C, D	BCD Inputs
RBI	Ripple-Blanking (Active Low) Input
LT	Lamp-Test (Active Low) Input
BI/RBO	Blanking Input or Ripple-Blanking Output (Active Low)
BI	Blanking (Active Low) Input

## LOADING (Note a)

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.75 U.L.
1.2 U.L.	2(1) U.L.
0.5 U.L.	0.25 U.L.
Open-Collector	3.75 (1.25) U.L. (48)

## NOTES:

a) Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW

b) Output current measured at  $V_{OUT} = 0.5$  V

Output LOW drive factor is SN54LS/74LS48: 1.25 U.L. for Military (54), 3.75 U.L. for Commercial (74).

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----

## NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

## TRUTH TABLE SN54/74LS48

DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f	
0	H	H	L	L	L	L	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H
5	H	X	L	H	L	H	H	H	L	H	L	L	H	H
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	4

## NOTES:

- (1) BI/RBO is wired-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking out (BI) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (RBI) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X=input may be HIGH or LOW.
- (2) When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.
- (3) When ripple-blanking input (RBI) and inputs A, B, C, and D are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (RBO) goes to a LOW level (response condition).
- (4) When the blanking input/ripple-blanking output (BI/RBO) is open or held at a HIGH level, and a LOW level is applied to lamp-test input, all segment outputs go to a LOW level.

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	2	3	4	5	6	7	8	9	c	d	e	f	g	



## DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together ( $Q_0$  to  $\overline{CP_1}$ ) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects

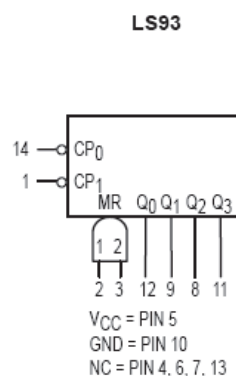
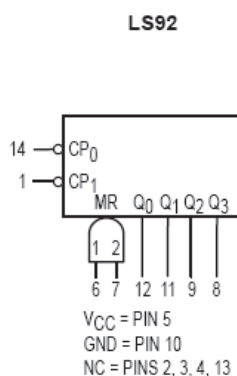
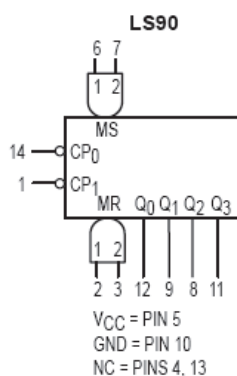
### PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
$\overline{CP_0}$	Clock (Active LOW going edge) Input to +2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to +5 Section (LS90), +6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to +8 Section (LS93)	0.5 U.L.	1.0 U.L.
$MR_1, MR_2$	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
$MS_1, MS_2$	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
$Q_0$	Output from +2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
$Q_1, Q_2, Q_3$	Outputs from +5 (LS90), +6 (LS92), +8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

### NOTES:

- 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.
- The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
- The  $Q_0$  Outputs are guaranteed to drive the full fan-out plus the  $\overline{CP_1}$  input of the device.
- To insure proper operation the rise ( $t_r$ ) and fall time ( $t_f$ ) of the clock must be less than 100 ns.

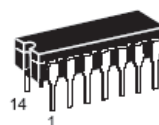
### LOGIC SYMBOL



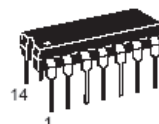
**SN54/74LS90  
SN54/74LS92  
SN54/74LS93**

**DECADE COUNTER;  
DIVIDE-BY-TWELVE COUNTER;  
4-BIT BINARY COUNTER**

**LOW POWER SCHOTTKY**



**J SUFFIX  
CERAMIC  
CASE 632-08**



**N SUFFIX  
PLASTIC  
CASE 646-06**



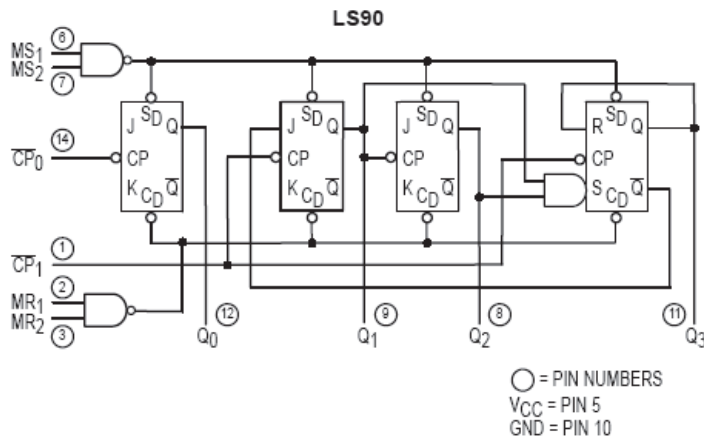
**D SUFFIX  
SOIC  
CASE 751A-02**

### ORDERING INFORMATION

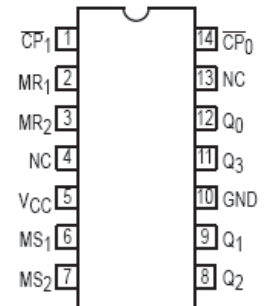
SN54LSXXJ Ceramic  
SN74LSXXN Plastic  
SN74LSXXD SOIC

**SN54/74LS90 • SN54/74LS92 • SN54/74LS93**

### LOGIC DIAGRAM



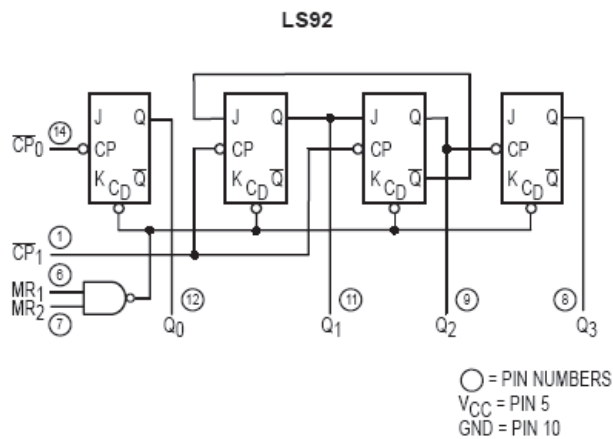
**CONNECTION DIAGRAM  
DIP (TOP VIEW)**



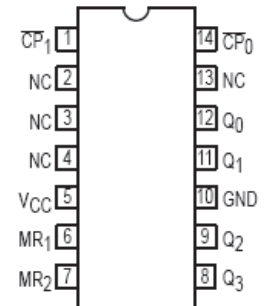
NC = NO INTERNAL CONNECTION

**NOTE:**  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

### LOGIC DIAGRAM



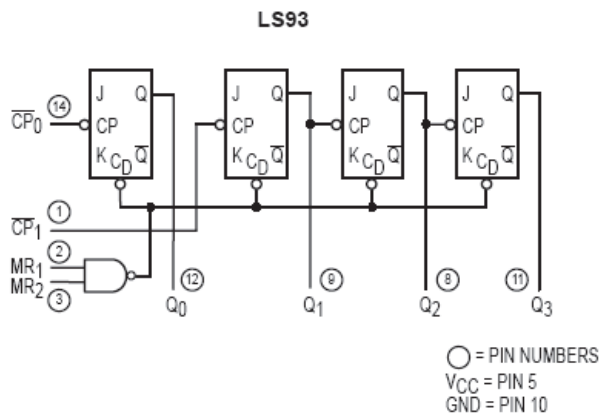
**CONNECTION DIAGRAM**  
**DIP (TOP VIEW)**



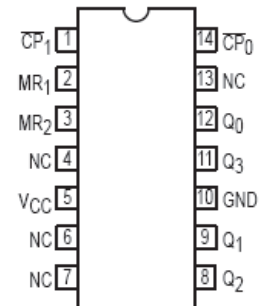
NC = NO INTERNAL CONNECTION

**NOTE:**  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

**LOGIC DIAGRAM**



**CONNECTION DIAGRAM**  
**DIP (TOP VIEW)**



NC = NO INTERNAL CONNECTION

NOTE:  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.



## FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q<sub>0</sub> output of each device is designed and specified to drive the rated fan-out plus the  $\overline{CP}_1$  input of the device.

A gated AND asynchronous Master Reset ( $MR_1 \bullet MR_2$ ) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ( $MS_1 \bullet MS_2$ ) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

### LS90

- A. BCD Decade (8421) Counter — The  $\overline{CP}_1$  input must be externally connected to the Q<sub>0</sub> output. The  $\overline{CP}_0$  input receives the incoming count and a BCD count sequence is produced.
- B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q<sub>3</sub> output must be externally connected to the  $\overline{CP}_0$  input. The input count is then applied to the  $\overline{CP}_1$  input and a divide-by-ten square wave is obtained at output Q<sub>0</sub>.

**LS90  
MODE SELECTION**

RESET/SET INPUTS				OUTPUTS			
MR <sub>1</sub>	MR <sub>2</sub>	MS <sub>1</sub>	MS <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

**LS90  
BCD COUNT SEQUENCE**

COUNT	OUTPUT			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q<sub>0</sub> is connected to Input  $\overline{CP}_1$  for BCD count.

- C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ( $\overline{CP}_0$  as the input and Q<sub>0</sub> as the output). The  $\overline{CP}_1$  input is used to obtain binary divide-by-five operation at the Q<sub>3</sub> output.

### LS92

- A. Modulo 12, Divide-By-Twelve Counter — The  $\overline{CP}_1$  input must be externally connected to the Q<sub>0</sub> output. The  $\overline{CP}_0$  input receives the incoming count and Q<sub>3</sub> produces a symmetrical divide-by-twelve square wave output.
- B. Divide-By-Two and Divide-By-Six Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The  $\overline{CP}_1$  input is used to obtain divide-by-three operation at the Q<sub>1</sub> and Q<sub>2</sub> outputs and divide-by-six operation at the Q<sub>3</sub> output.

### LS93

- A. 4-Bit Ripple Counter — The output Q<sub>0</sub> must be externally connected to input  $\overline{CP}_1$ . The input count pulses are applied to input  $\overline{CP}_0$ . Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q<sub>0</sub>, Q<sub>1</sub>, Q<sub>2</sub>, and Q<sub>3</sub> outputs as shown in the truth table.
- B. 3-Bit Ripple Counter — The input count pulses are applied to input  $\overline{CP}_1$ . Simultaneous frequency divisions of 2, 4, and 8 are available at the Q<sub>1</sub>, Q<sub>2</sub>, and Q<sub>3</sub> outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

**LS92 AND LS93  
MODE SELECTION**

RESET INPUTS		OUTPUTS			
MR <sub>1</sub>	MR <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

**LS92  
TRUTH TABLE**

COUNT	OUTPUT			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q<sub>0</sub> is connected to Input  $\overline{CP}_1$ .

**LS93  
TRUTH TABLE**

COUNT	OUTPUT			
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q<sub>0</sub> is connected to Input  $\overline{CP}_1$ .





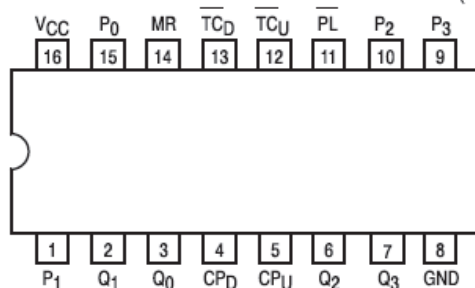
# **PRESETTABLE BCD/DECADE UP/DOWN COUNTER** **PRESETTABLE 4-BIT BINARY UP/DOWN COUNTER**

The SN54/74LS192 is an UP/DOWN BCD Decade (8421) Counter and the SN54/74LS193 is an UP/DOWN MODULO-16 Binary Counter. Separate Count Up and Count Down Clocks are used and in either counting mode the circuits operate synchronously. The outputs change state synchronous with the LOW-to-HIGH transitions on the clock inputs.

Separate Terminal Count Up and Terminal Count Down outputs are provided which are used as the clocks for a subsequent stages without extra logic, thus simplifying multistage counter designs. Individual preset inputs allow the circuits to be used as programmable counters. Both the Parallel Load (PL) and the Master Reset (MR) inputs asynchronously override the clocks.

- Low Power . . . 95 mW Typical Dissipation
- High Speed . . . 40 MHz Typical Count Frequency
- Synchronous Counting
- Asynchronous Master Reset and Parallel Load
- Individual Preset Inputs
- Cascading Circuitry Internally Provided
- Input Clamp Diodes Limit High Speed Termination Effects

**CONNECTION DIAGRAM DIP (TOP VIEW)**



NOTE:  
The Flatpak version  
has the same pinouts  
(Connection Diagram) as  
the Dual In-Line Package.

## **PIN NAMES**

CPJ	Count Up Clock Pulse Input
CPD	Count Down Clock Pulse Input
MR	Asynchronous Master Reset (Clear) Input
PL	Asynchronous Parallel Load (Active LOW) Input
P <sub>n</sub>	Parallel Data Inputs
Q <sub>n</sub>	Flip-Flop Outputs (Note b)
TCD	Terminal Count Down (Borrow) Output (Note b)
TCJ	Terminal Count Up (Carry) Output (Note b)

## **NOTES:**

a. 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

## **LOADING (Note a)**

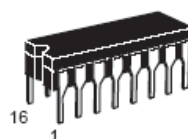
HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.

**SN54/74LS192**  
**SN54/74LS193**

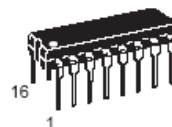
**PRESETTABLE BCD/DECADE  
UP/DOWN COUNTER**

**PRESETTABLE 4-BIT BINARY  
UP/DOWN COUNTER**

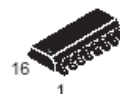
**LOW POWER SCHOTTKY**



**J SUFFIX**  
**CERAMIC**  
**CASE 620-09**



**N SUFFIX**  
**PLASTIC**  
**CASE 648-08**

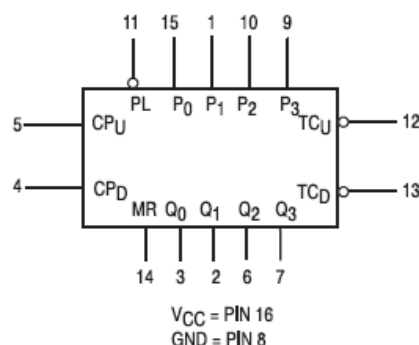


**D SUFFIX**  
**SOIC**  
**CASE 751B-03**

## **ORDERING INFORMATION**

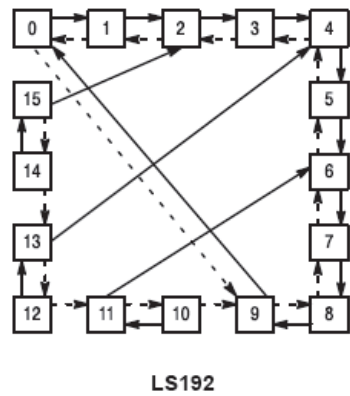
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

## **LOGIC SYMBOL**



# SN54/74LS192 • SN54/74LS193

## STATE DIAGRAMS



LS192 LOGIC EQUATIONS  
FOR TERMINAL COUNT

$$\overline{TC_U} = Q_0 \cdot Q_3 \cdot \overline{CP_U}$$

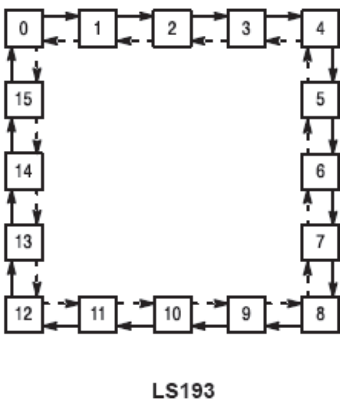
$$TC_D = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot \overline{CP_D}$$

LS193 LOGIC EQUATIONS  
FOR TERMINAL COUNT

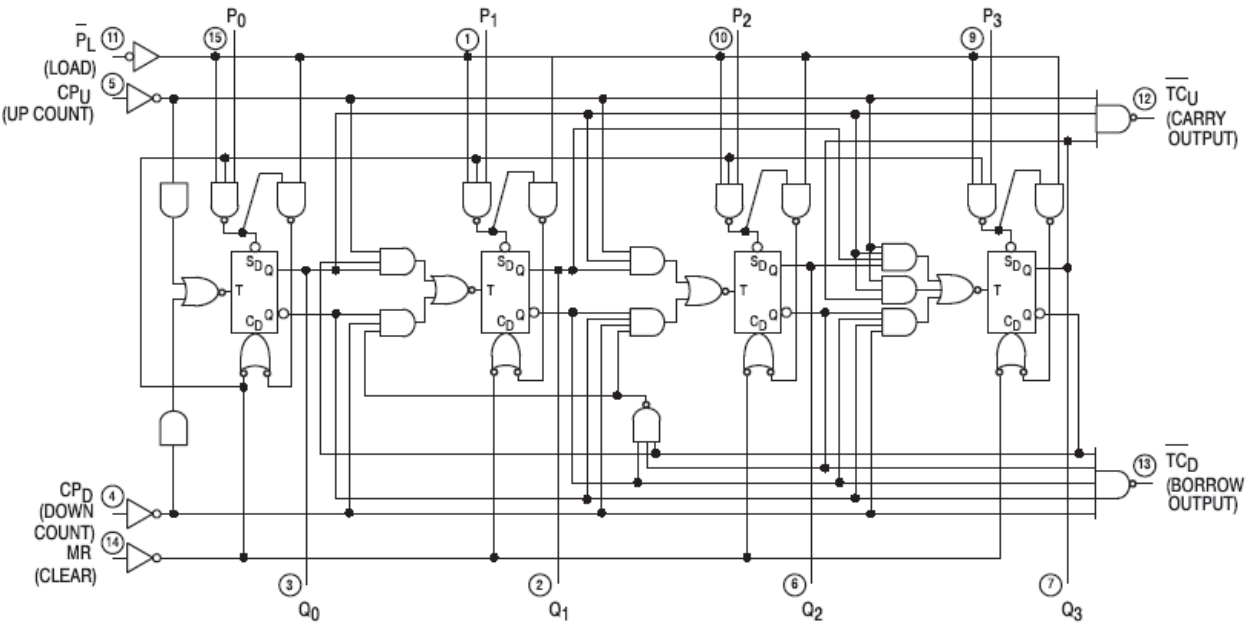
$$\overline{TC_U} = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot \overline{CP_U}$$

$$TC_D = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot \overline{CP_D}$$

COUNT UP ———  
COUNT DOWN - - - - -



## LOGIC DIAGRAMS



$V_{CC}$  = PIN 16  
GND = PIN 8  
○ = PIN NUMBERS

## SN54/74LS192 • SN54/74LS193

### FUNCTIONAL DESCRIPTION



The LS192 and LS193 are Asynchronously Presetable Decade and 4-Bit Binary Synchronous UP/DOWN (Reversible) Counters. The operating modes of the LS192 decade counter and the LS193 binary counter are identical, with the only difference being the count sequences as noted in the State Diagrams. Each circuit contains four master/slave flip-flops, with internal gating and steering logic to provide master reset, individual preset, count up and count down operations.

Each flip-flop contains JK feedback from slave to master such that a LOW-to-HIGH transition on its T input causes the slave, and thus the Q output to change state. Synchronous switching, as opposed to ripple counting, is achieved by driving the steering gates of all stages from a common Count Up line and a common Count Down line, thereby causing all state changes to be initiated simultaneously. A LOW-to-HIGH transition on the Count Up input will advance the count by one; a similar transition on the Count Down input will decrease the count by one. While counting with one clock input, the other should be held HIGH. Otherwise, the circuit will either count by twos or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either Clock input is LOW.

The Terminal Count Up ( $\overline{TC_U}$ ) and Terminal Count Down ( $\overline{TC_D}$ ) outputs are normally HIGH. When a circuit has reached the maximum count state (9 for the LS192, 15 for the LS193), the next HIGH-to-LOW transition of the Count Up Clock will cause  $\overline{TC_U}$  to go LOW.  $\overline{TC_U}$  will stay LOW until  $CP_U$  goes HIGH again, thus effectively repeating the Count Up Clock, but delayed by two gate delays. Similarly, the  $\overline{TC_D}$  output will go LOW when the circuit is in the zero state and the Count Down Clock goes LOW. Since the TC outputs repeat the clock waveforms, they can be used as the clock input signals to the next higher order circuit in a multistage counter.

Each circuit has an asynchronous parallel load capability permitting the counter to be preset. When the Parallel Load (PL) and the Master Reset (MR) inputs are LOW, information present on the Parallel Data inputs ( $P_0, P_3$ ) is loaded into the counter and appears on the outputs regardless of the conditions of the clock inputs. A HIGH signal on the Master Reset input will disable the preset gates, override both Clock inputs, and latch each Q output in the LOW state. If one of the Clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that Clock will be interpreted as a legitimate signal and will be counted.

MODE SELECT TABLE

MR	PL	$CP_U$	$CP_D$	MODE
H	X	X	X	Reset (Asyn.)
L	L	X	X	Preset (Asyn.)
L	H	H	H	No Change
L	H		H	Count Up
L	H	H		Count Down

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

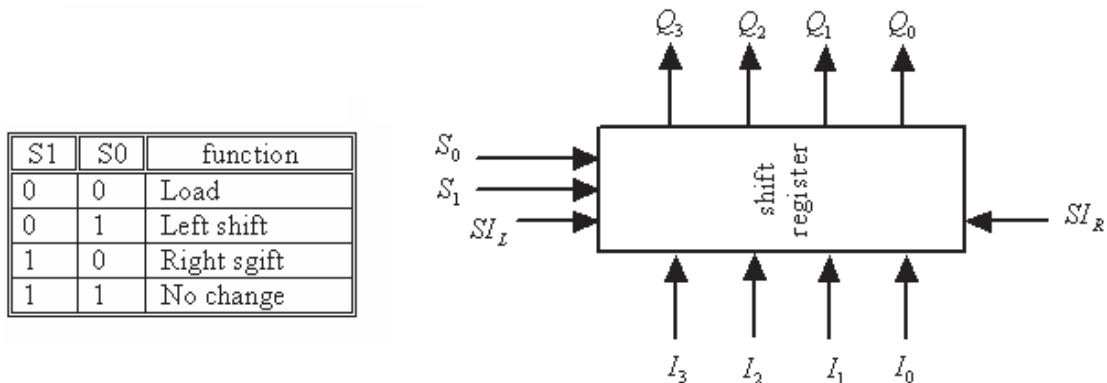
 = LOW-to-HIGH Clock Transition

## آزمایش هفتم

### آشنایی با SHIFT REGISTER

#### آزمایش ۷-۱

یک ثبات انتقالی ( shift register ) با ورودی و خروجی سریال و ورودی و خروجی موازی و قابلیت شیفت به راست و چپ با استفاده از تراشه‌های ۷۴۷۴ ( D-FF ) و ۷۴۱۵۳ ( MUX 4→1 ) طرح کنید و مورد آزمایش قرار دهید .



#### آزمایش ۷-۲

تراشه ۷۴۱۹۴ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و سری و انتقال به راست و چپ می‌باشد با مراجعه به کتابچه TTL با نحوه کار آن آشنا شوید . در ادامه آزمایشهای زیر را با تراشه انجام دهید .

الف - ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده خط Load ، آنرا بارگذاری کرده و سپس آنرا در خروجی به راست شیفت دهید. برای شیفت به چپ نیز این کار را تکرار کنید .

ب- با استفاده از دو شیفت رجیستر ، یک شیفت رجیستر هشت بیتی انتقال به راست و چپ طرح کرده و آنرا آزمایش کنید . مدار را به صورت کامل ترسیم نمایید .

#### آزمایش ۷-۳

تراشه ۷۴۱۹۵ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و سری و انتقال می‌باشد با مراجعه به کتابچه TTL با نحوه کار آن آشنا شوید . در ادامه آزمایشهای زیر را با تراشه انجام دهید .

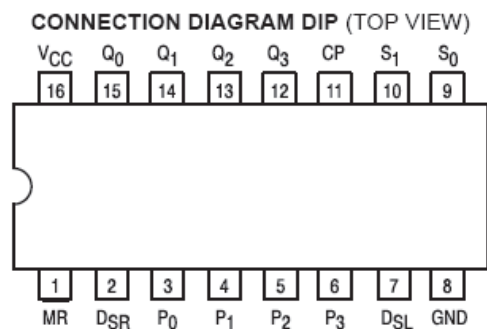
الف - ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده خط Load ، آنرا بارگذاری کرده و سپس آنرا در خروجی شیفت دهید .



## 4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

The SN54/74LS194A is a High Speed 4-Bit Bidirectional Universal Shift Register. As a high speed multifunctional sequential building block, it is useful in a wide variety of applications. It may be used in serial-serial, shift left, shift right, serial-parallel, parallel-serial, and parallel-parallel data register transfers. The LS194A is similar in operation to the LS195A Universal Shift Register, with added features of shift left without external connections and hold (do nothing) modes of operation. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all Motorola TTL families.

- Typical Shift Frequency of 36 MHz
- Asynchronous Master Reset
- Hold (Do Nothing) Mode
- Fully Synchronous Serial or Parallel Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects



### PIN NAMES

$S_0, S_1$	Mode Control Inputs
$P_0-P_3$	Parallel Data Inputs
DSR	Serial (Shift Right) Data Input
DSL	Serial (Shift Left) Data Input
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
$Q_0-Q_3$	Parallel Outputs (Note b)

### LOADING (Note a)

	HIGH	LOW
$S_0, S_1$	0.5 U.L.	0.25 U.L.
$P_0-P_3$	0.5 U.L.	0.25 U.L.
DSR	0.5 U.L.	0.25 U.L.
DSL	0.5 U.L.	0.25 U.L.
CP	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
$Q_0-Q_3$	10 U.L.	5 (2.5) U.L.

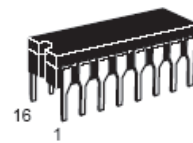
### NOTES:

- a. 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.  
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

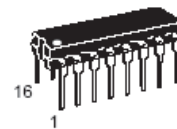
## SN54/74LS194A

### 4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

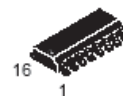
#### LOW POWER SCHOTTKY



**J SUFFIX**  
CERAMIC  
CASE 620-09



**N SUFFIX**  
PLASTIC  
CASE 648-08



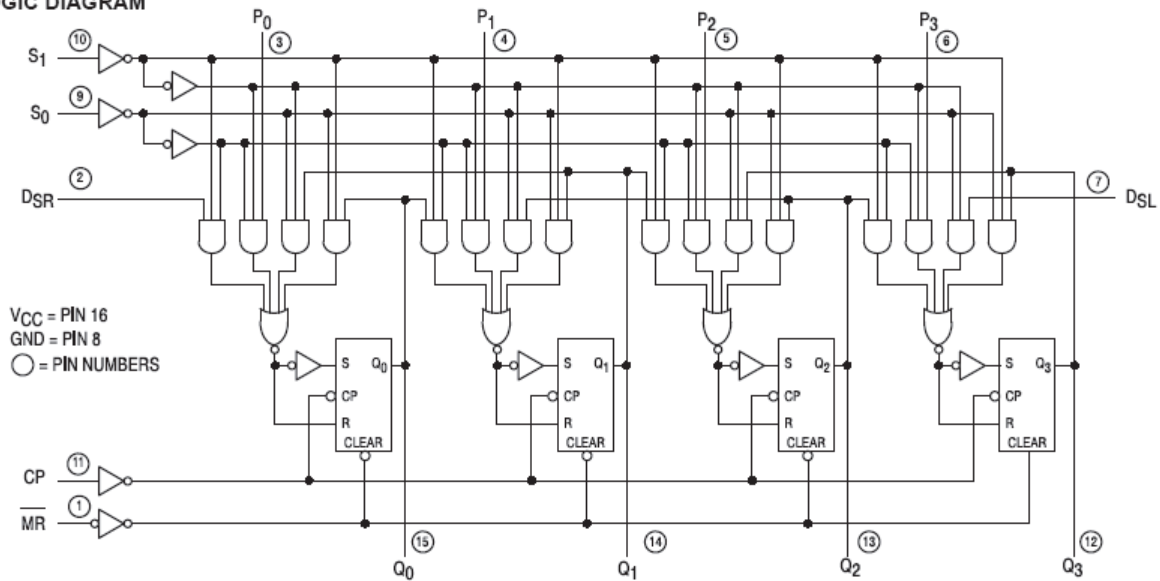
**D SUFFIX**  
SOIC  
CASE 751B-03

### ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

# SN54/74LS194A

## LOGIC DIAGRAM



## FUNCTIONAL DESCRIPTION

The Logic Diagram and Truth Table indicate the functional characteristics of the LS194A 4-Bit Bidirectional Shift Register. The LS194A is similar in operation to the Motorola LS195A Universal Shift Register when used in serial or parallel data register transfers. Some of the common features of the two devices are described below:

All data and mode control inputs are edge-triggered, responding only to the LOW to HIGH transition of the Clock (CP). The only timing restriction, therefore, is that the mode control and selected data inputs must be stable one set-up time prior to the positive transition of the clock pulse.

The register is fully synchronous, with all operations taking place in less than 15 ns (typical) making the device especially useful for implementing very high speed CPUs, or the memory buffer registers.

The four parallel data inputs (P<sub>0</sub>, P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>) are D-type inputs. When both S<sub>0</sub> and S<sub>1</sub> are HIGH, the data appearing on P<sub>0</sub>, P<sub>1</sub>, P<sub>2</sub>, and P<sub>3</sub> inputs is transferred to the Q<sub>0</sub>, Q<sub>1</sub>, Q<sub>2</sub>, and

Q<sub>3</sub> outputs respectively following the next LOW to HIGH transition of the clock.

The asynchronous Master Reset (MR), when LOW, overrides all other input conditions and forces the Q outputs LOW.

Special logic features of the LS194A design which increase the range of application are described below:

Two mode control inputs (S<sub>0</sub>, S<sub>1</sub>) determine the synchronous operation of the device. As shown in the Mode Selection Table, data can be entered and shifted from left to right (shift right, Q<sub>0</sub> Q<sub>1</sub>, etc.) or right to left (shift left, Q<sub>3</sub> Q<sub>2</sub>, etc.), or parallel data can be entered loading all four bits of the register simultaneously. When both S<sub>0</sub> and S<sub>1</sub> are LOW, the existing data is retained in a "do nothing" mode without restricting the HIGH to LOW clock transition.

D-type serial data inputs (DSR, DSL) are provided on both the first and last stages to allow multistage shift right or shift left data transfers without interfering with parallel load operation.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S <sub>1</sub>	S <sub>0</sub>	DSR	DSL	P <sub>n</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>
Shift Left	H	h	l	X	l	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	L
	H	h	l	X	h	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	H
Shift Right	H	l	h	l	X	X	L	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
	H	l	h	h	X	X	H	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
Parallel Load	H	h	h	X	X	P <sub>n</sub>	P <sub>0</sub>	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition

h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition

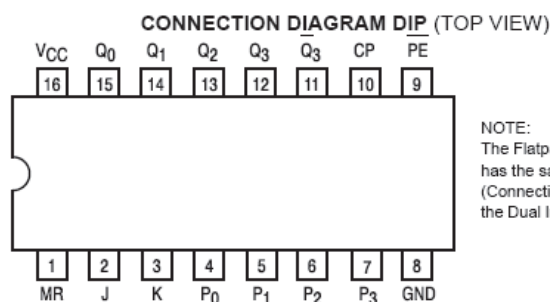
p<sub>n</sub> (q<sub>n</sub>) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.



## UNIVERSAL 4-BIT SHIFT REGISTER

The SN54/74LS195A is a high speed 4-Bit Shift Register offering typical shift frequencies of 39 MHz. It is useful for a wide variety of register and counting applications. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all Motorola TTL products.

- Typical Shift Right Frequency of 39 MHz
- Asynchronous Master Reset
- J, K Inputs to First Stage
- Fully Synchronous Serial or Parallel Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects



NOTE:  
The Flatpak version  
has the same pinouts  
(Connection Diagram) as  
the Dual In-Line Package.

### PIN NAMES

PE	Parallel Enable (Active LOW) Input
P <sub>0</sub> - P <sub>3</sub>	Parallel Data Inputs
J	First Stage J (Active HIGH) Input
K	First Stage K (Active LOW) Input
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
Q <sub>0</sub> - Q <sub>3</sub>	Parallel Outputs (Note b)
Q <sub>3</sub>	Complementary Last Stage Output (Note b)

### LOADING (Note a)

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.

### NOTES:

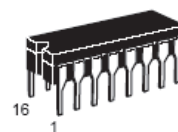
a. 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

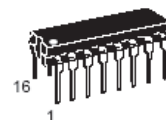
## SN54/74LS195A

### UNIVERSAL 4-BIT SHIFT REGISTER

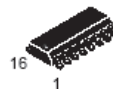
#### LOW POWER SCHOTTKY



**J SUFFIX**  
CERAMIC  
CASE 620-09



**N SUFFIX**  
PLASTIC  
CASE 648-08

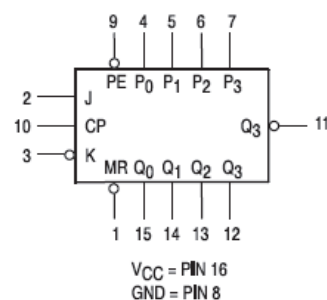


**D SUFFIX**  
SOIC  
CASE 751B-03

### ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

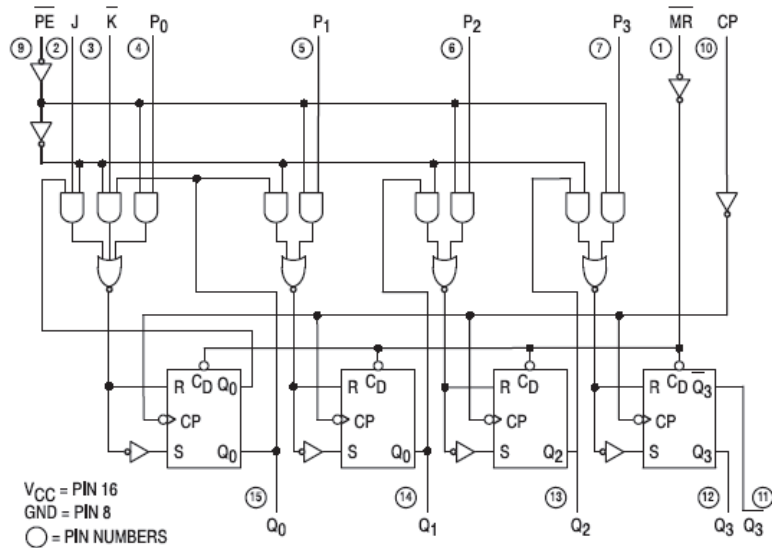
### LOGIC SYMBOL





# SN54/74LS195A

## LOGIC DIAGRAM



## FUNCTIONAL DESCRIPTION

The Logic Diagram and Truth Table indicate the functional characteristics of the LS195A 4-Bit Shift Register. The device is useful in a wide variety of shifting, counting and storage applications. It performs serial, parallel, serial to parallel, or parallel to serial data transfers at very high speeds.

The LS195A has two primary modes of operation, shift right ( $Q_0 \rightarrow Q_1$ ) and parallel load which are controlled by the state of the Parallel Enable (PE) input. When the PE input is HIGH, serial data enters the first flip-flop  $Q_0$  via the J and K inputs and is shifted one bit in the direction  $Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$  following each LOW to HIGH clock transition. The JK inputs provide the flexibility of the JK type input for special applications, and the simple D type input for general applications by tying the two

pins together. When the PE input is LOW, the LS195A appears as four common clocked D flip-flops. The data on the parallel inputs  $P_0, P_1, P_2, P_3$  is transferred to the respective  $Q_0, Q_1, Q_2, Q_3$  outputs following the LOW to HIGH clock transition. Shift left operations ( $Q_3 \rightarrow Q_2 \rightarrow Q_1 \rightarrow Q_0$ ) can be achieved by tying the  $Q_n$  Outputs to the  $P_{n-1}$  inputs and holding the PE input LOW.

All serial and parallel data transfers are synchronous, occurring after each LOW to HIGH clock transition. Since the LS195A utilizes edge-triggering, there is no restriction on the activity of the J, K,  $P_n$  and PE inputs for logic operation — except for the set-up and release time requirements.

A LOW on the asynchronous Master Reset (MR) input sets all Q outputs LOW, independent of any other input condition.

MODE SELECT — TRUTH TABLE

OPERATING MODES	INPUTS					OUTPUTS				
	MR	PE	J	K	$P_n$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_3$
Asynchronous Reset	L	X	X	X	X	L	L	L	L	H
Shift, Set First Stage	H	h	h	h	X	H	$q_0$	$q_1$	$q_2$	$q_2$
Shift, Reset First	H	h	l	l	X	L	$q_0$	$q_1$	$q_2$	$q_2$
Shift, Toggle First Stage	H	h	h	l	X	$q_0$	$q_0$	$q_1$	$q_2$	$q_2$
Shift, Retain First Stage	H	h	l	h	X	$q_0$	$q_0$	$q_1$	$q_2$	$q_2$
Parallel Load	H	l	X	X	$p_n$	$p_0$	$p_1$	$p_2$	$p_3$	$p_3$

L = LOW voltage levels  
H = HIGH voltage levels  
X = Don't Care  
l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition.  
h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition.  
 $p_n$  ( $q_n$ ) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.



## پروژه عملی اول

### ساخت ساعت

با استفاده از تراشه های شمارنده دهمی و همچنین نمایشگر سون سگمنت یک ساعت که فقط دارای دقیقه و ثانیه شمار است طراحی و پیاده سازی کنید . این ساعت دارای یک مولد کلاک ساعت با فرکانس مناسب است که آنرا باید بسازید. ضمناً قسمت دقیقه شمار دارای قابلیت تنظیم نیز می باشد (با استفاده از خاصیت بارگذاری) .

## پروژه عملی دوم

### تقسیم کننده دو عدد چهار بیت با استفاده از روش تفریق و مقایسه

مطابق شکل زیر و با استفاده از تراشه هایی که تاکنون با آن کار کرده اید مداری طراحی کنید که بتواند دو عدد چهار بیت را به هم تقسیم کرده (  $A \div B$  ) و در خروجیهای خود خارج قسمت و باقیمانده را نمایش دهد . مدار را با استفاده از تراشه هایی که تاکنون در آزمایشگاه از آن استفاده کرده اید طراحی کنید .

