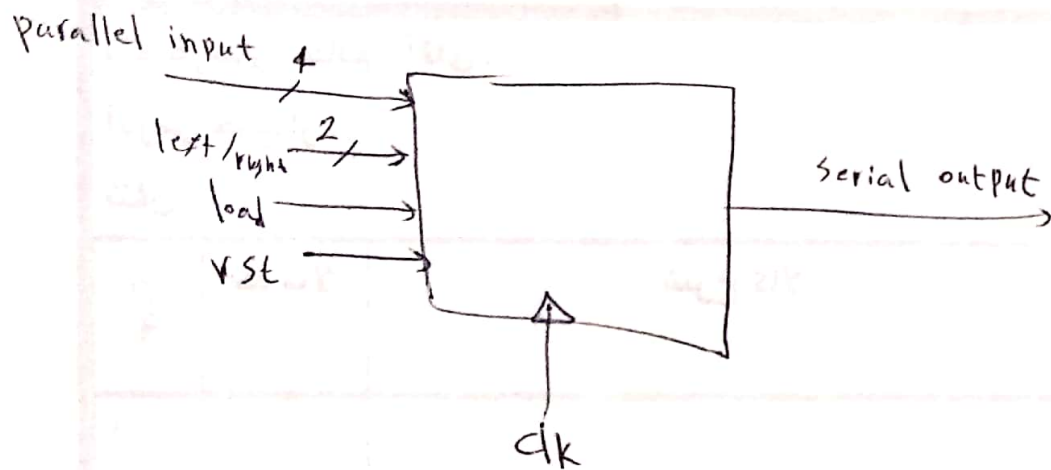


* گزارش آزمایش ۹

هدف از این آزمایش طراحی شیفت رجیستری است که دو ورودی پارالل ۴ بیتی دارد و خروجی سریال تک بیتی بدین صورت که با شیفت برابر است مثلاً، خروجی آخرین بیت را در هر لحظه بالا روزه کلاک نشان میدهد همچنین یک ورودی ۲ بیتی نیز داریم که مشخص میکند شیفت برابر است انجام شود یا چپ که در VHDL با عبارات شرطی طراحی شده اند به علاوه ۲ ورودی reset و load .



$01 \leftarrow$ شیفت برابر است
 $10 \leftarrow$ شیفت به چپ
 $00 \leftarrow$ hold