

Computer Architecture LAB Report

امیرحسین عالیان

4021120017

امیرمهدی عزیزی

4021120019

آزمایش اول

تاریخ انجام آزمایش: ۱۲ مهر ۱۴۰۴

تاریخ تحويل گزارش: ۲۶ مهر ۱۴۰۴

فهرست مطالب

۱	چکیده	۱
۱.۱	هدف آزمایش	۲
۲	قطعات و ابزارها	۲
۳.۱	پاسخ سوال ۱	۲
۴.۱	پاسخ سوال ۲	۲
۲	توضیح IC ها	۳
۱.۲	IC ۷۴۳۷۴ توضیح	۳
۲.۲	IC ۷۴۱۵۳ توضیح	۴
۳	اتصال قطعات و شماتیک مدار	۵
۱.۳	شکل اولیه	۵
۲.۳	شکل ثانویه (پاسخ سوال ۳)	۵
۴	نتایج	۶
۱.۴	نتایج شبیه سازی	۶
۲.۴	نتایج آزمایش عملی	۷

۱ چکیده

۱.۱ هدف آزمایش

هدف این آزمایش، پیاده‌سازی بخشی از مسیر داده (Datapath) است که عمدتاً به بخش‌های ارتباطی و گذرگاه (BUS) مربوط می‌شود. در این آزمایش، یک گذرگاه دو بیتی و همچنین چهار ثبات (Register) دو بیتی طراحی می‌کنیم. به کمک دو مالتی‌پلکسر چهار-به-یک (4-to-1 MUX)، محتواهی هر ثبات مورد نظر را می‌توان بر روی گذرگاه قرار داد.

برای اجرای آزمایش، مقادیر ورودی هر ثبات را به صورت دلخواه و با استفاده از خطوط V_{CC} و GND تنظیم می‌کنیم. همچنین برای بررسی درستی عملکرد مدار، خروجی گذرگاه را به دو LED متصل می‌کنیم (سبز برای بیت پر ارزش و قرمز برای بیت کم ارزش) و مقدار LED‌ها را با مقدار ثبات انتخاب شده مقایسه می‌کنیم.

۲.۱ قطعات و ابزارها

Component	Function	Quantity
IC 74374	8-bit Register with 3-state Output	1
IC 74153	Dual 4-to-1 Multiplexer	1
Green LED	MSB Indicator	1
Red LED	LSB Indicator	1
Breadboard	Component Placement	1
DC Power Supply	Provides V_{CC} and Common GND	1
Function Generator	Provides Clock and Common GND	1

لیست قطعات مورد استفاده در این آزمایش: Table 1

۳.۱ پاسخ سوال ۱

Select MUX - S_1S_0	Output BUS - Y_2Y_1
00	10
01	11
10	01
11	00

جدول مقادیر خروجی: Table 2

۴.۱ پاسخ سوال ۲

در واقع می‌خواهیم خروجی مالتی‌پلکسر ها را در یک ثبات دو بیتی ذخیره کنیم، برای اینکار نیاز به یک IC 74374 دیگر داریم.

۲ توضیح IC ها

۱.۲ توضیح IC ۷۴۳۷۴



شکل ۱: نمایی از پایه های IC ۷۴۳۷۴

در واقع این IC در خود ۸ عدد فلیپ فلاب (Flip-Flop) از نوع D دارد. که دارای مشترک اند (یک ۸ بیتی است).

پایه های D_i به عنوان ورودی های Register و پایه های Q_i به عنوان خروجی های Register استفاده میشوند.

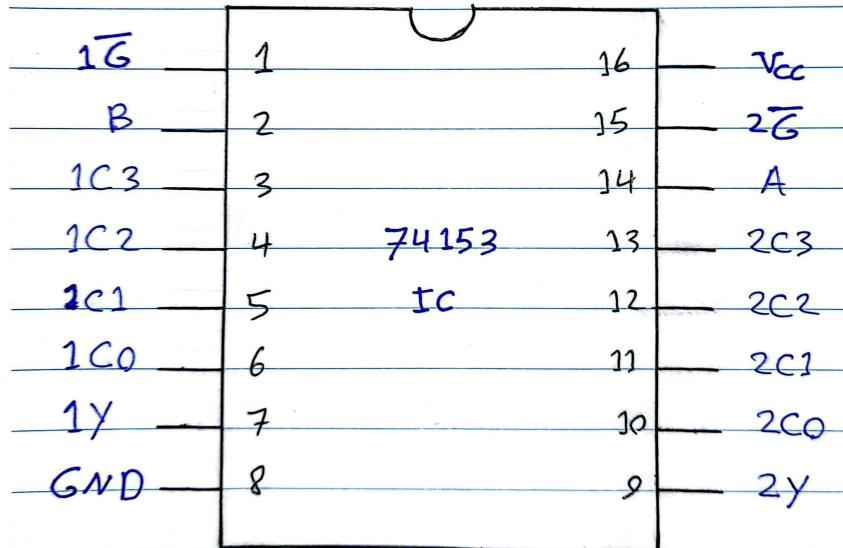
باید دقت داشت که خروجی هر یک از فلیپ فلاب ها به یک بافر ۳ حالته (3-State Buffer) متصل است و پایه های Q_i در واقع خروجی های بعد از بافر های ۳ حالته اند.

خطوط Enable این بافر ها همگی به هم دیگر متصل اند و توسط پایه \overline{OC} کنترل میشوند.

پایه \overline{OC} از نوع Active-Low است و در صورتی که به آن ۱ بدھیم خروجی مدار باز (High-Impedance) خواهد بود و در صورتی که به آن ۰ بدھیم محتوای فلیپ فلاب ها روی پایه های Q_i قابل مشاهده خواهد بود.

۲.۲ توضیح IC ۷۴۱۵۳

«Dual 4-to-1 MUX»



شکل ۲: نمایی از پایه های IC ۷۴۱۵۳

درون این IC دو عدد مالتیپلکسر چهار-به-یک (4-to-1 MUX) وجود دارد. (یک مالتیپلکسر چهار-به-یک ۲ بیتی است).

یکی از این مالتیپلکسر ها در سمت چپ IC و دیگری در سمت راست آن است.

به طوری که در سمت چپ پایه های 1C3 تا 1C0 به عنوان ۴ بیت ورودی و پایه Y1 تک بیت خروجی است.

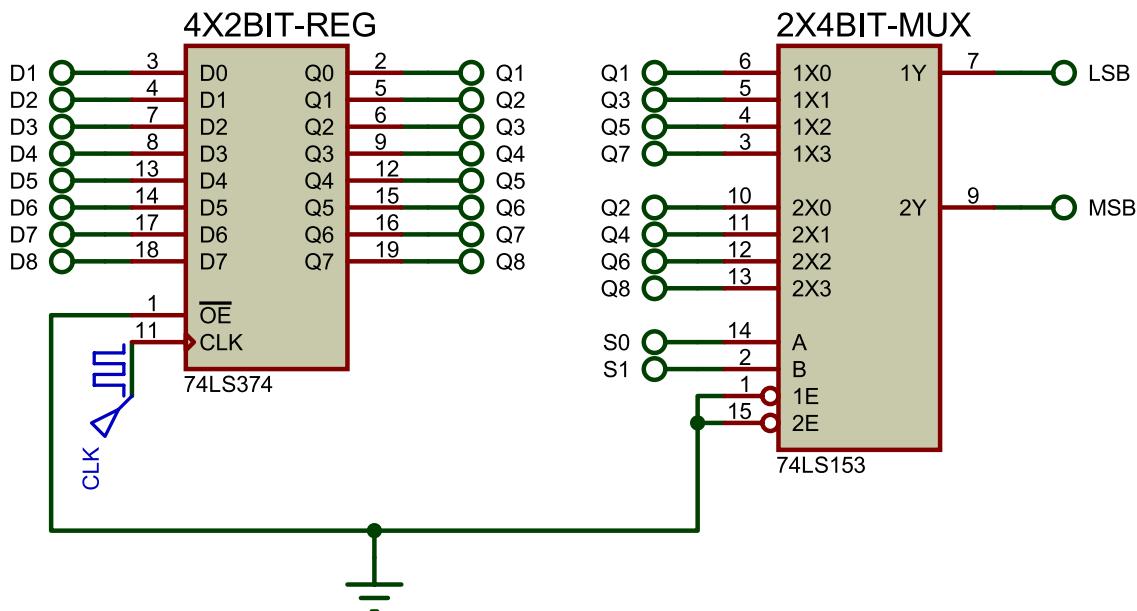
در سمت راست نیز پایه های 2C3 تا 2C0 به عنوان ۴ بیت ورودی و پایه Y2 تک بیت خروجی است.

خطوط انتخاب (Selection Lines) میان هر دو مالتیپلکسر مشترک و به همدیگر متصل است. به طوری که پایه A به عنوان خط انتخاب کم ارزش (S0) و پایه B به عنوان خط انتخاب پر ارزش (S1) مورد استفاده قرار می‌گیرد.

پایه های $\overline{1G}$ و $\overline{2G}$ از نوع Active-Low هستند و به هر کدام از آنها که ۱ بدهیم خروجی آن MUX خواهد بود و در صورتی که به هر کدام از آنها ۰ بدهیم، خروجی مقدار انتخاب شده از میان ورودی ها خواهد بود که روی پایه های Y1 و Y2 قابل مشاهده است.

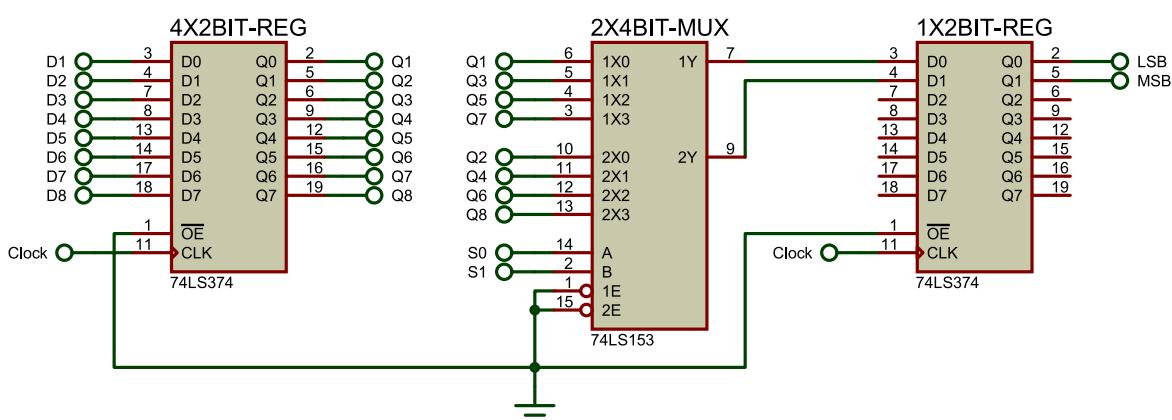
۳ اتصال قطعات و شماتیک مدار

۱.۳ شکل اولیه



شکل ۳: شماتیک مدار در پروتئوس - حالت ۴ ثبات

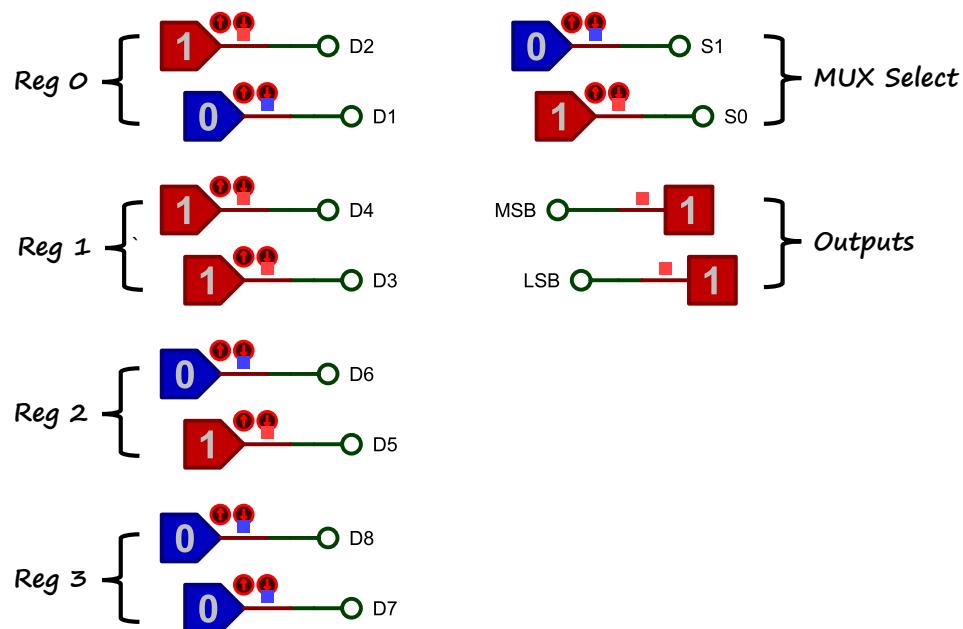
۲.۳ شکل ثانویه (پاسخ سوال ۳)



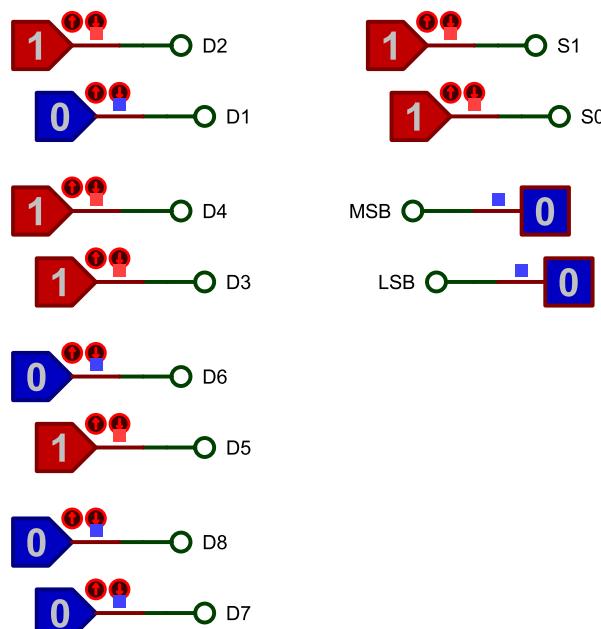
شکل ۴: شماتیک مدار در پروتئوس - حالت ۵ ثبات

۴ نتایج

۱.۴ نتایج شبیه سازی

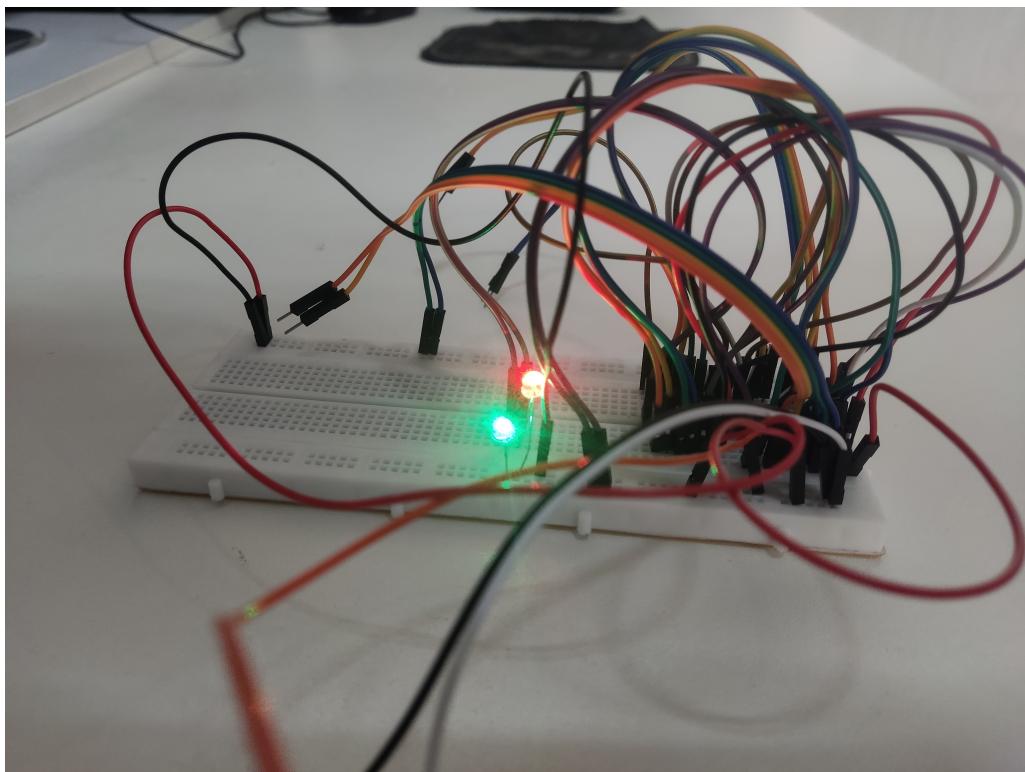


شکل ۵: خروجی شبیه ساز به ازای $S_1S_0 = 01$

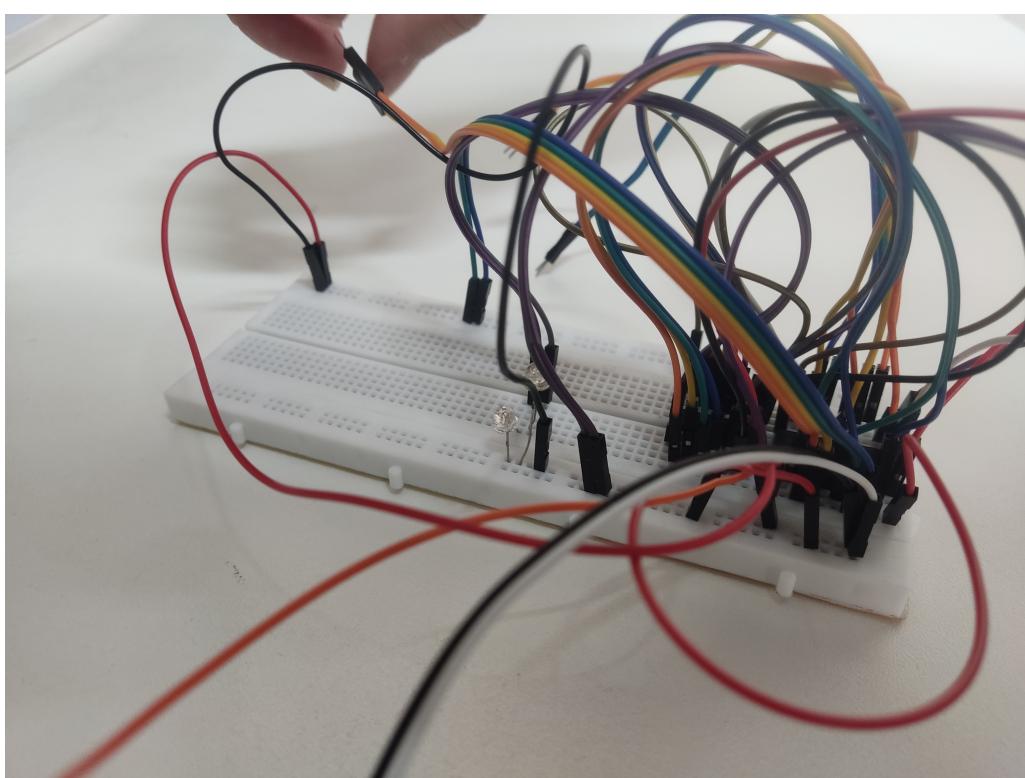


شکل ۶: خروجی شبیه ساز به ازای $S_1S_0 = 11$

۲.۴ نتایج آزمایش عملی



شکل ۷: نتیجه آزمایش عملی به ازای $S_1S_0 = 01$



شکل ۸: نتیجه آزمایش عملی به ازای $S_1S_0 = 11$