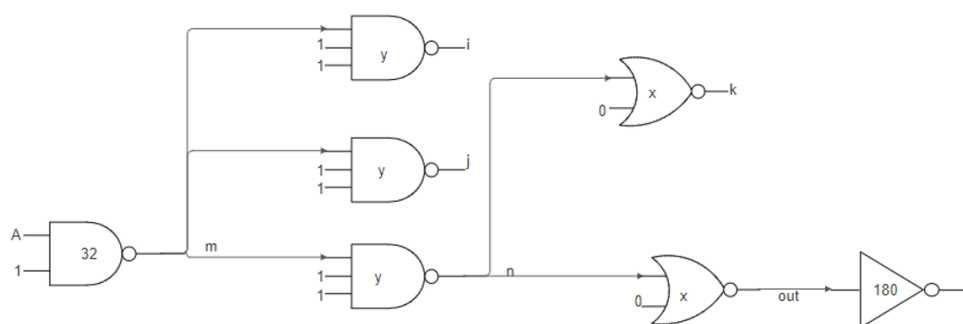


**هدف: بررسی تاثیر ابعاد گیت‌ها بر تأخیر و توان مصرفی**

در این تمرین کامپیوتری، به بررسی و پیاده‌سازی یک مدار ترکیبی در محیط HSPICE خواهید پرداخت و تأثیر تغییر ابعاد ترانزیستورها بر تأخیر و توان مصرفی مدار را بررسی خواهید کرد.

گام اول: در این تمرین کامپیوتری، مبنا را اندازه‌ی اینورتر پایه در نظر می‌گیریم (اندازه‌ی ۱ برای ترانزیستور NMOS و ۲ برای ترانزیستور PMOS). حال ابتدا برای inverter، NAND2، NAND3 و NOR2 مدارهای مربوطه را تعریف کنید. توجه کنید که برای هر کدام از آن‌ها علاوه بر تعیین اندازه‌ها به طوری که تأخیر آن‌ها معادل با تأخیر اینورتر پایه باشد، باید یک متغیر نیز تعریف کنید که با تغییر آن بتوانید ضریب اندازه‌ی W هر گیت را تعیین نمایید. (۱۵٪)



گام دوم: حال باتوجه به مطالبی که در درس آموختید، اندازه‌ی هر کدام از گیت‌ها را طوری طراحی کنید که تأخیر مسیر A تا out حداقل شود. توجه کنید که ورودی اینورتر به عنوان گره‌ی خروجی out در نظر گرفته شده است. همچنین توجه نمایید که اندازه‌ی این اینورتر برابر با ۶۰ در نظر گرفته شده است که $60 \times 3C = 180C$ را تولید می‌کند. در این گام شما باید مقادیر x و y را تعیین کرده و به عنوان پارامتر برای تعیین ضریب W گیت‌های خود استفاده نمایید. تمامی مراحل محاسبات این اندازه‌ها را به طور کامل گزارش نمایید. (۲۵٪)

گام سوم: ورودی‌های مدار طوری طراحی شده‌اند تا با تغییر ورودی A مقادیر تمامی گره‌ها تغییر کنند. با توجه به محاسبات انجام شده در گام دوم با اعمال ضرایب محاسبه شده به اندازه‌ی گیت‌ها، یک بار مدار را شبیه‌سازی کرده و شکل موج خروجی را برای گره‌های مختلف گزارش نمایید و درستی کارکرد مدار را بررسی نمایید. همچنین برای گره‌ی خروجی تأخیر t_{rise} و t_{fall} را با دستور measure اندازه بگیرید و نتایج به دست آمده را گزارش کنید. (۳۰٪)

- برای این منظور فایل کتابخانه 32nm در اختیار شما قرار داده شده است.



- مقدار V_{DD} را برابر با 1.8 V در نظر بگیرید.
- مقادیر t_{rise} و t_{fall} را برای ورودی A مقدار 0.01 ns در نظر بگیرید.
- l_{min} و W_{min} را برابر با کمینه‌ی مقدار تکنولوژی یعنی 32nm در نظر بگیرید.
- هرگونه فرضیات در محاسبات و اندازه‌گیری‌ها را ذکر نمایید و با توجه به فرضیات خود نتایج را گزارش کنید.
- چندین فایل آموزشی در کنار صورت پروژه برای شما قرار داده شده است. مثال‌های موجود در این فایل‌ها برای انجام پروژه مفید هستند.

گام چهارم: حال با ثابت نگه داشتن ابعاد تمامی گیت‌ها، پارامتر مربوط به اندازه‌ی گیت‌های NAND سه ورودی را با دستور alter. تغییر دهید. این پارامتر را برای ۲۰ مقدار مختلف حول عدد محاسبه شده‌ی بهینه در گام دوم، تغییر دهید و t_{rise} و t_{fall} برای سیگنال خروجی را برای هر مورد اندازه‌گیری نمایید. آیا محاسبات شما درست بوده و برای محاسبات انجام شده در گام دوم کمترین تأخیر را به دست می‌آورید؟ در صورتی که نتیجه‌ی عملی با مقدار تئوری محاسبه شده تفاوت دارد، علت آن را بیان نمایید. (۳۰٪)

گام امتیازی: برای ۶ مورد از اندازه‌هایی که در گام چهارم در نظر گرفتید، علاوه بر تأخیر، مقدار توان مصرفی مدار را نیز با دستور measure. محاسبه نمایید. حال داده‌های خود را ذخیره کرده و در متلب یا اکسل نمودار مربوط به آن را رسم کنید. محور افقی را تأخیر و محور عمودی را توان در نظر بگیرید. همچنین برای این ۶ مورد نمودار مربوط به انرژی (حال ضرب توان در تأخیر) را بر حسب اندازه‌ی گیت‌هایی که در نظر گرفتید رسم کنید. (۲۰٪)