|  |  |  |
| --- | --- | --- |
|  | به نام خدا |  |
| **دانشگاه تهران**  **دانشکده‌ مهندسی برق و کامپیوتر**  **VLSI**  **گزارش** **پروژه‌ چهارم** | | |

|  |  |
| --- | --- |
| امیرحسام جعفری راد | نام و نام خانوادگی |
| 810100247 | شماره‌ دانشجویی |
|  | تاریخ ارسال گزارش |

­

فهرست

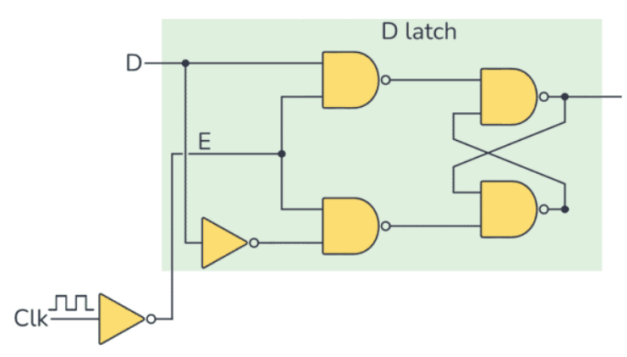
[1- رجیستر 2](#_Toc169895781)

[2- ضرب کننده 4](#_Toc169895782)

[3- حداکثر فرکانس کاری مدار 8](#_Toc169895783)

# 1- رجیستر

**الف) D-Latch**

 ابتدا مدار D-Latch زیر را در HSpice پیاده سازی می‌کنیم:

\* D-Latch

.subckt DLATCH D CLK Q Qbar Vdd Vss

x1 CLK CLkbar Vdd Vss INV

x2 D Dbar Vdd Vss INV

X3 D CLkbar out3 Vdd Vss NAND

X4 Dbar CLkbar out4 Vdd Vss NAND

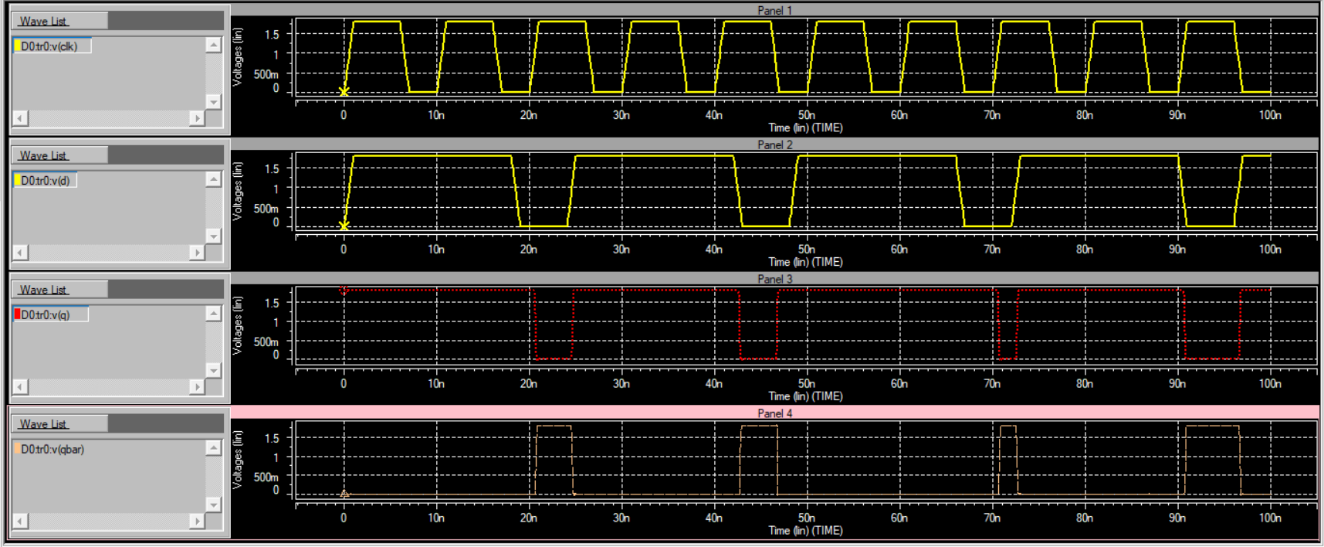
X5 out3 out6 Q Vdd Vss NAND

X6 out4 Q Qbar Vdd Vss NAND

.ends DLATCH



همچنین برای درستی سنجی آن شکل موج حاصل به شرح ذیل می‌باشد:



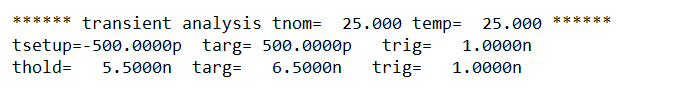
مشاهده می‌شود که خروجی به درستی نمایش داده شده است.

برای مشاهده setup time و hold time نیز دستور زیر را به کد اضافه می‌کنیم:

.measure tran tsetup TRIG v(D) VAL=1.8 RISE=1 TARG v(CLK) VAL=0.9

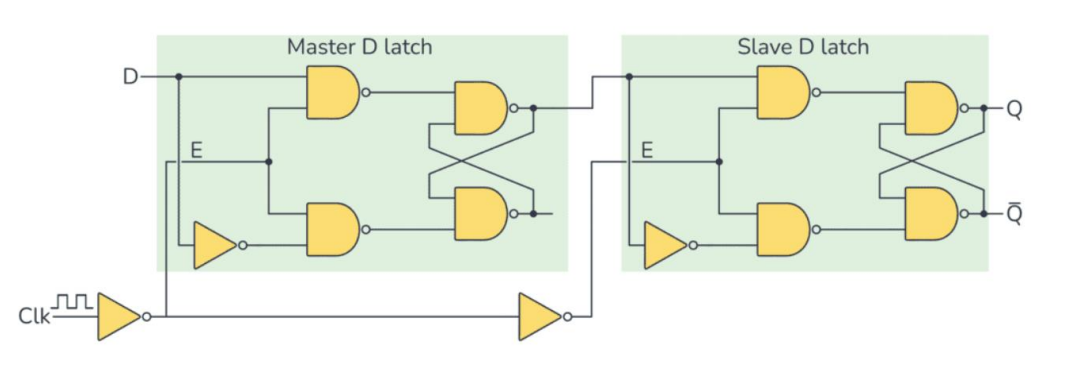
.measure tran thold TRIG v(D) VAL=1.8 RISE=1 TARG v(CLK) VAL=0.9 TD=1n

نتیجه در فایل .lis به شرح ذیل است:



**ب) D Flip Flop**

ابتدا به کمک مدار D-Latch بخش قبل مدار جدید زیر را در HSpice پیاده سازی می‌کنیم:

****



\* DFF

.subckt DFF D CLK Q Qbar Vdd Vss

x11 CLK CLkbar Vdd Vss INV

x22 D CLkbar q qbar Vdd Vss DLATCH

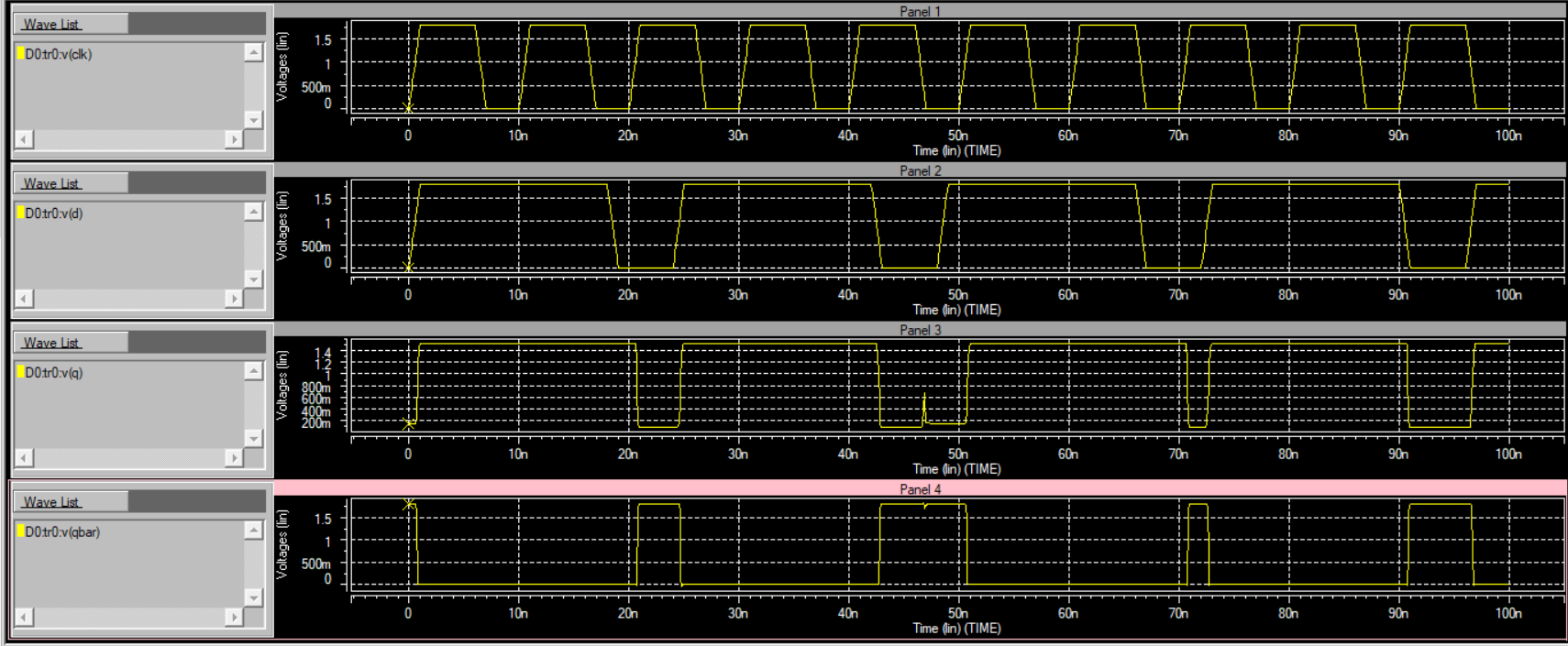
x33 CLkbar CLkbarbar Vdd Vss INV

x44 q CLkbarbar Q Qbar Vdd Vss DLATCH

.ends DFF

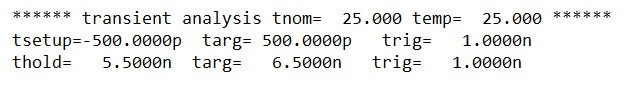


همچنین برای درستی سنجی آن شکل موج حاصل به شرح ذیل می‌باشد:



مشاهده می‌شود که خروجی به درستی نمایش داده شده است.

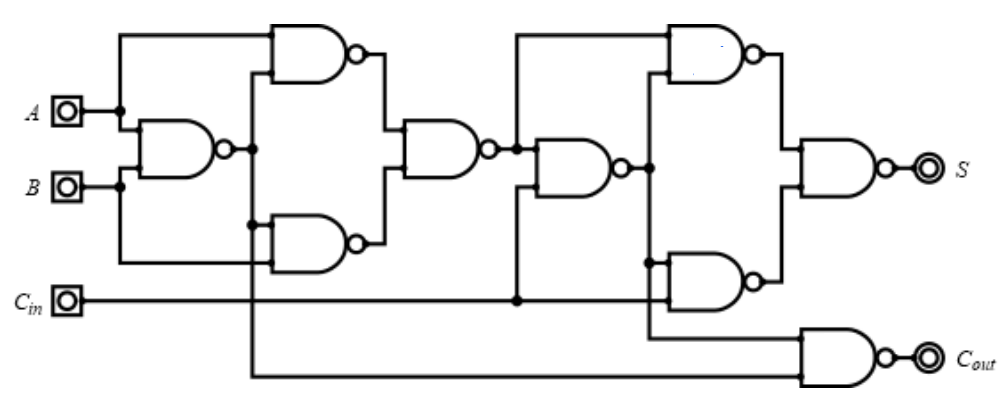
برای مشاهده setup time و hold time نیز مانند قبل عمل میکنیم. نتیجه در فایل .lis به شرح ذیل است:



# 2- ضرب کننده

**الف) Full Adder (FA)**

ابتدا کدهای مربوط به مدار را در HSpice مینویسیم:



\* FA

.subckt FA A B Cin S Cout Vdd Vss

x1 A B out1 Vdd Vss NAND

x2 A out1 out2 Vdd Vss NAND

x3 B out1 out3 Vdd Vss NAND

x4 out2 out1 out4 Vdd Vss NAND

x5 out4 Cin out5 Vdd Vss NAND

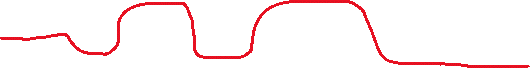
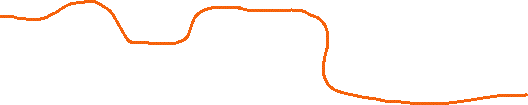
x6 out4 out5 out6 Vdd Vss NAND

x7 out5 Cin out7 Vdd Vss NAND

x8 out6 out7 S Vdd Vss NAND

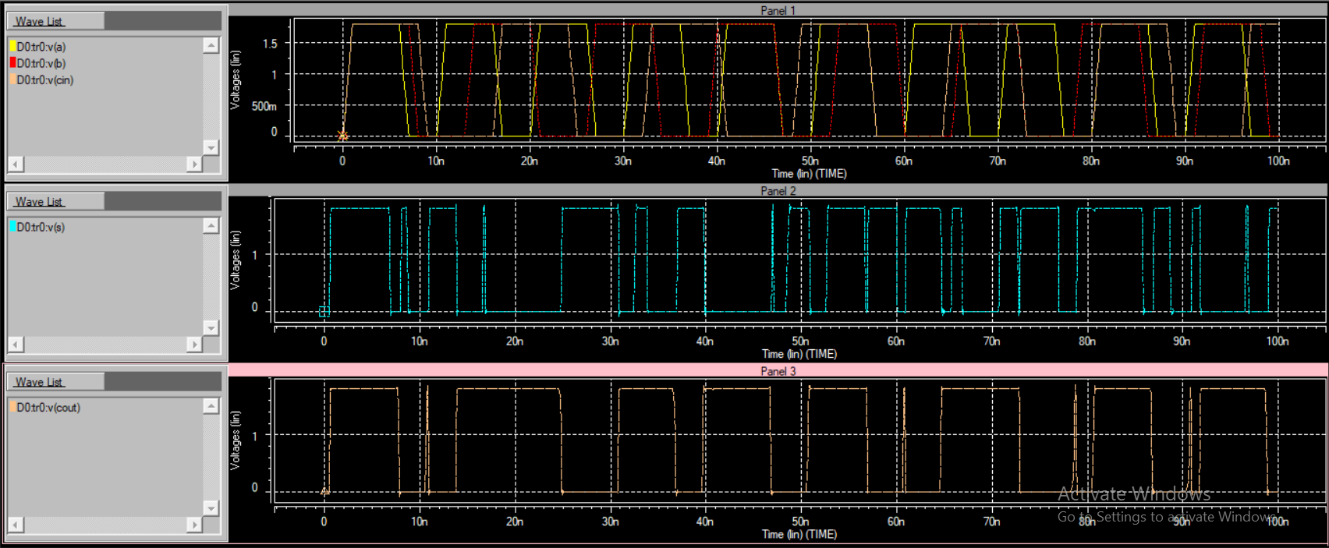
x9 out5 out1 Cout Vdd Vss NAND

.ends FA



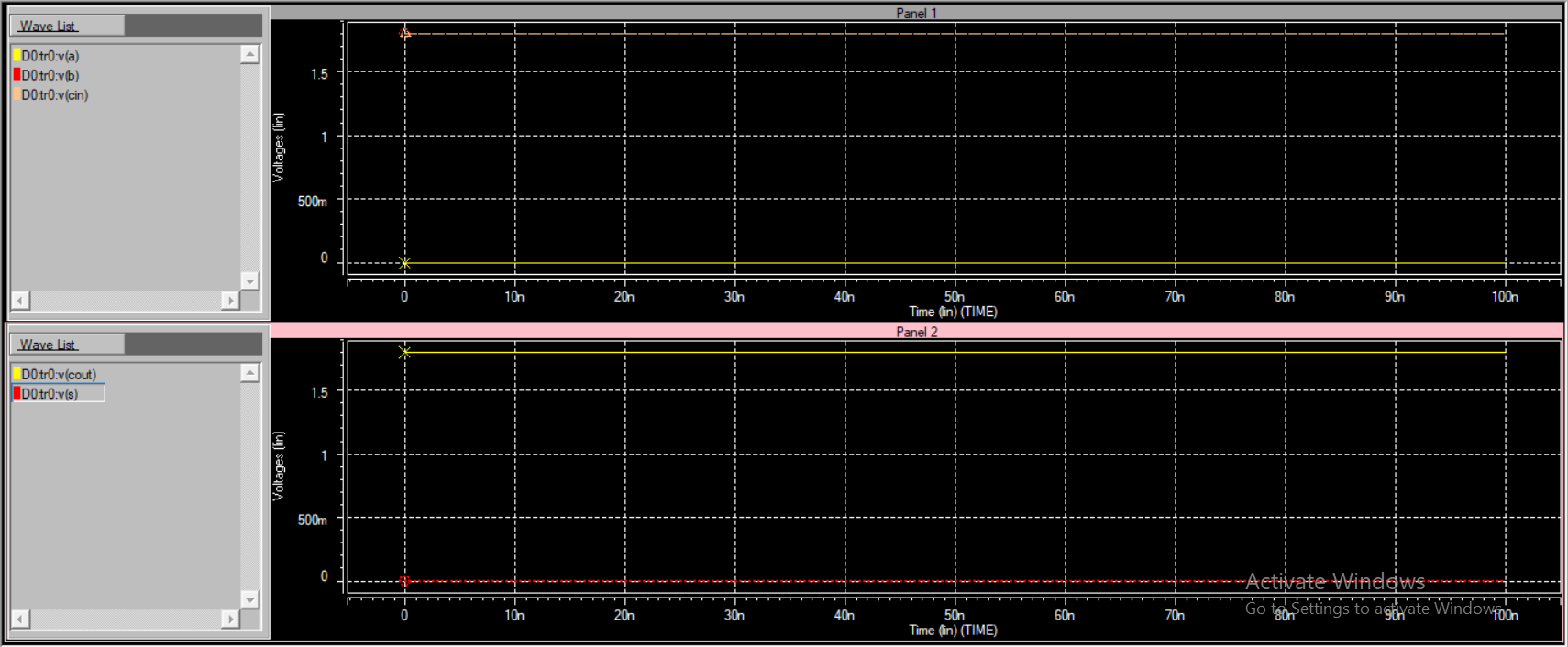
دو مسیری که با رنگ های قرمز و نارنجی مشخص شده اند به ترتیب طولانی ترین مسیر ها برای خروجی S و خروجی Cout می‌باشند. این حالت در زمانی پیش می آید که ورودی های A، B و Cin به ترتیب برابر با 1، 1 و 1 باشند.

این اتفاق در شبیه سازی و شکل موج نیز مشخص است که به شرح ذیل است:

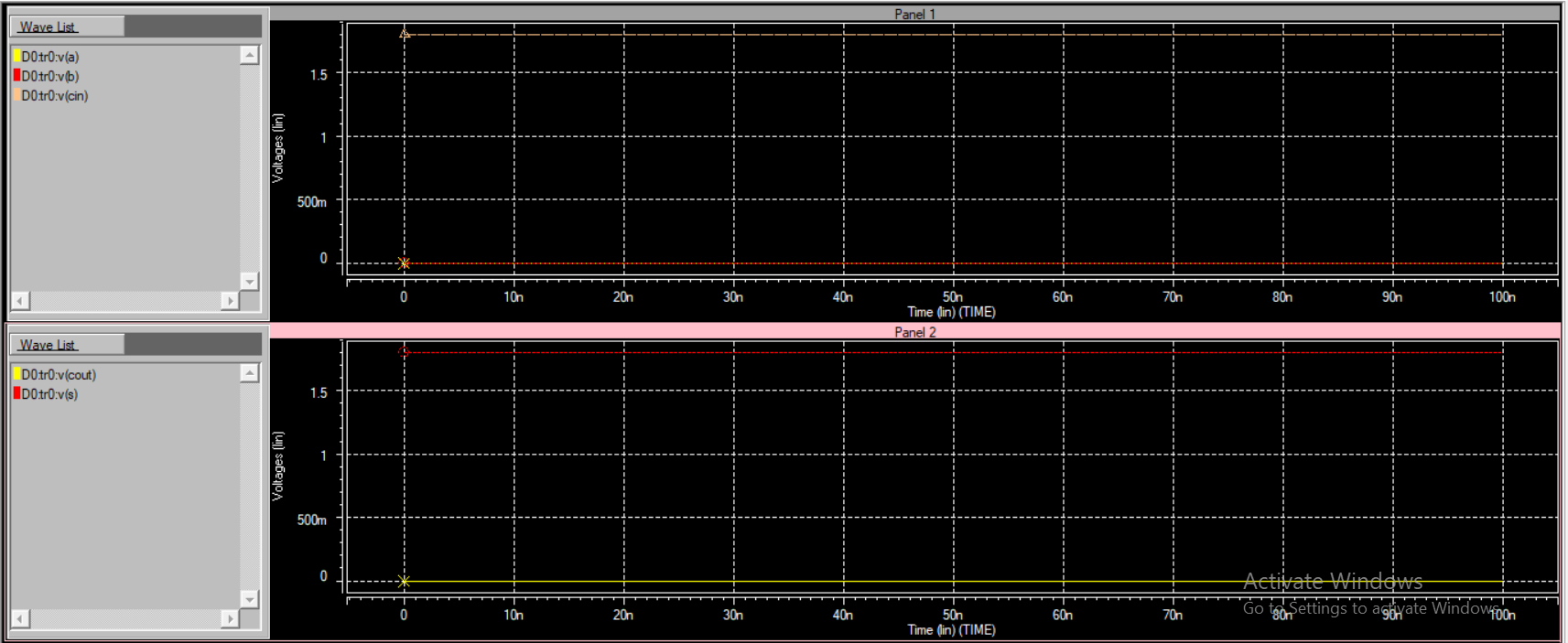


جهت تست کردن مدار نیز چند ورودی به شرح ذیل به مدار داده شده است:

* ABCin = 011. انتظار میرود S برابر با 0 و Cout برابر با 1 شود که همینطور مشاهده میشود:



* ABCin = 001. انتظار میرود S برابر با 1 و Cout برابر با 0 شود که همینطور مشاهده میشود:



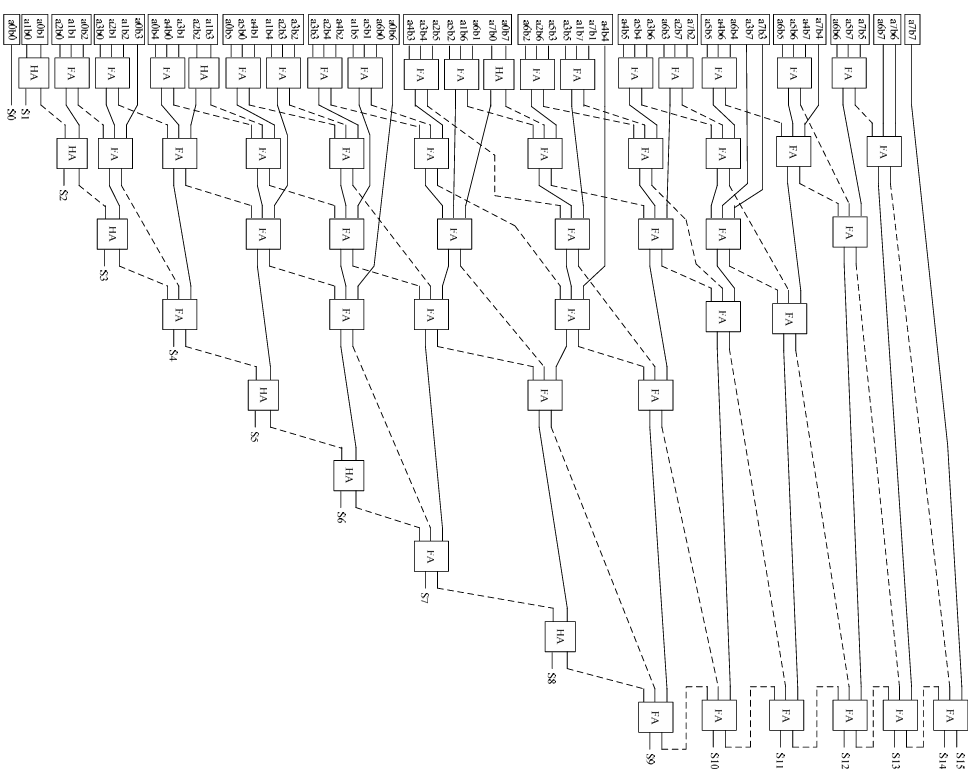
طبق این نمودار ها و تئوری نتیجه میشود که به ازای 1 بودن هر سه ورودی مدار دچار مسیر بحرانی میشود. درواقع تاخیر این مسیر برابر است با 6 تا تاخیر گیت NAND برای رسیدن به S و 5 تا تاخیر گیت NAND برای رسیدن به Cout.

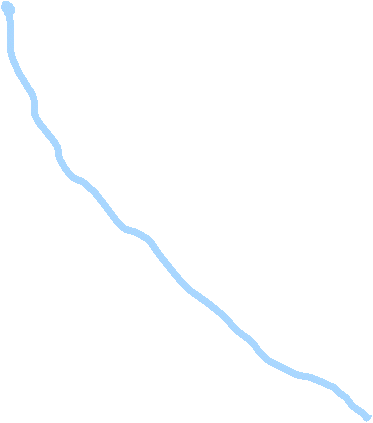
لذا طولانی ترین و بحرانی ترین مسیر مسیر 1 شدن خروجی S، با تاخیر 5\*NAND\_Delay می‌باشد.

**ب) Wallace Tree Multiplier**

در طراحی این نوع ضرب کننده به تعدادی FA و همچنین HA نیاز میباشد. در این بخش بجای استفاده از ماژول Half Adder از همان FA ها منتها با Cin صفر استفاده شده است.

شماتیک طراحی این نوع ضرب کننده به صورت زیر است





در این حالت ابتدا Partial Products که در کل به فرمت PPij مشخص شده اند توسط گیت های NAND تعریف شده و سپس با توجه به ساختار والاس در stage های بعدی مورد استفاده قرار می‌گیرند.

همچنین مسیر بحرانی در این طرح نیز با رنگ آبی مشخص شده است که شامل:

یک گیت NAND + شش عدد Half Adder + هشت عدد Full Adder می‌باشد.



همچنین برای تست کردن این مدار 2 عدد 2 و 3 را به عنوان ورودی ها به صورت زیر به مدار دادیم:

\* A = 3 -> 00000011

V\_A0 A0 0 DC 1.8V

V\_A1 A1 0 DC 1.8V

V\_A2 A2 0 DC 0V

V\_A3 A3 0 DC 0V

V\_A4 A4 0 DC 0V

V\_A5 A5 0 DC 0V

V\_A6 A6 0 DC 0V

V\_A7 A7 0 DC 0V

\* B = 2 -> 00000010

V\_B0 B0 0 DC 0V

V\_B1 B1 0 DC 1.8V

V\_B2 B2 0 DC 0V

V\_B3 B3 0 DC 0V

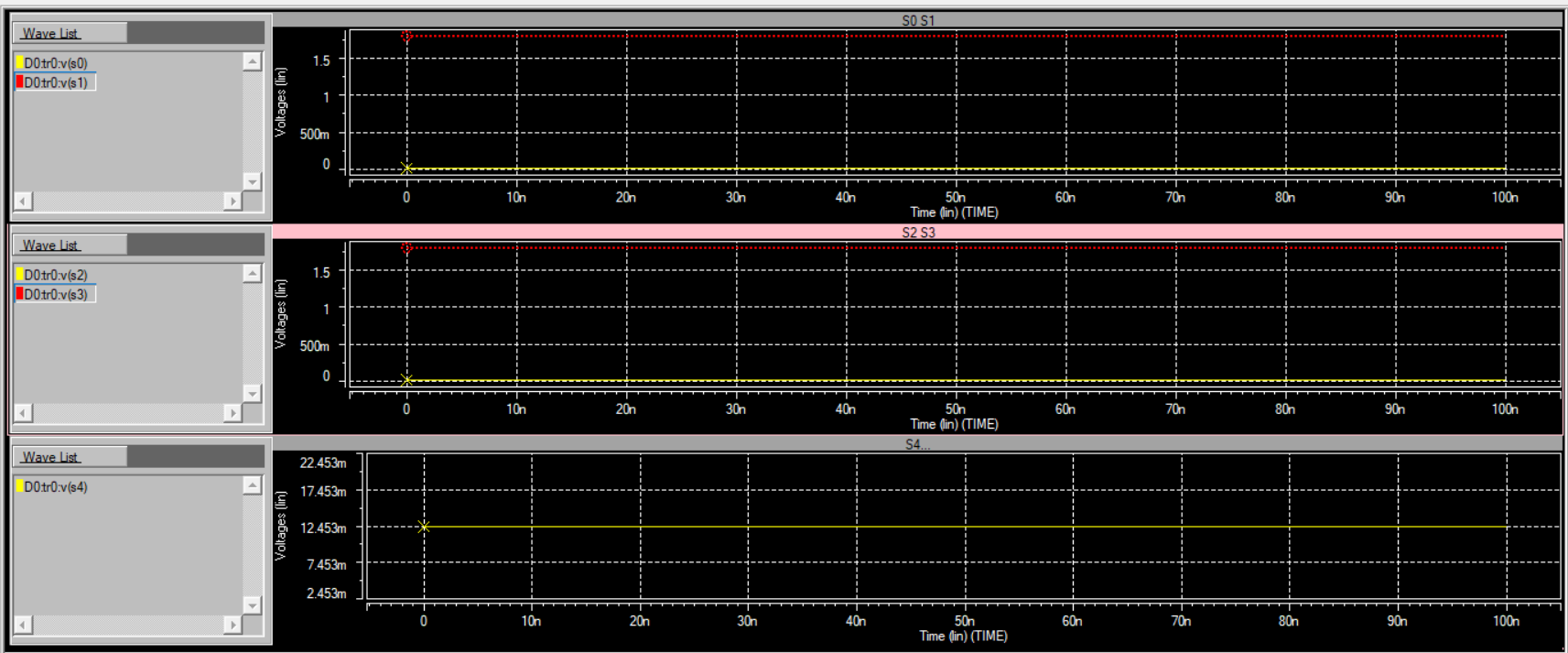
V\_B4 B4 0 DC 0V

V\_B5 B5 0 DC 0V

V\_B6 B6 0 DC 0V

V\_B7 B7 0 DC 0V

با توجه به اینکه حاصل ضرب این دو عدد برابر با 6 است درنتیجه خروجی S که درواقع از S0 تا S15 است باید بصورت 000000000001010 باشد. یعنی تنها بیت های S1 و S3 باید مقدار 1.8 ولتاژ داشته باشند و بقیه باید حدود صفر ولت ولتاژ داشته باشند. این موضوع در شبیه سازی نیز قابل مشاهده می‌باشد:



علت اینکه بقیه بیت ها مقدار 12.453 میلی‌ولت را نشان میدهند نیز خطاهای موجود است اما در عمل این مقدار ولتاژ نسبت به 1.8 ولت مقدار ناچیزی است و با تقریب برابر با 0 یا همان وضعیت خاموش است.

در نتیجه شبیه سازی مشخص است که بیت های S1 و S3 دارای مقدار 1.8 ولت و بقیه بیت ها مقدار 0 دارند که این نشان دهنده درست بودن مدار می‌باشد.

# 3- حداکثر فرکانس کاری مدار

با قرار دهی دو مدار در بین دو رجیستر DFF، پس از شبیه سازی نمودار به شرح زیر خواهد شد:

