



به نام خدا



دانشگاه تهران  
دانشکده مهندسی برق و کامپیوتر

VLSI

گزارش پروژه چهارم

نام و نام خانوادگی	امیرحسام جعفری راد
شماره دانشجویی	۸۱۰۱۰۰۲۴۷
تاریخ ارسال گزارش	

فهرست

- ۱- رجیستر..... ۲
- ۲- ضرب کننده..... ۴
- ۳- حداکثر فرکانس کاری مدار..... ۸

# ۱- رجیستر

## D-Latch (الف)

ابتدا مدار D-Latch زیر را در HSpice پیاده سازی می‌کنیم:

\* D-Latch

```
.subckt DLATCH D CLK Q Qbar Vdd Vss
```

```
  CLK CLKbar Vdd Vss INV
```

```
  D Dbar Vdd Vss INV
```

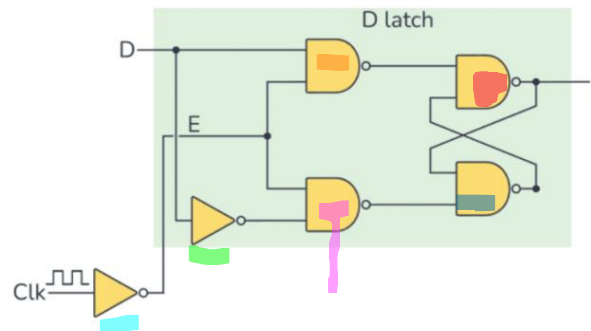
```
  X3 D CLKbar out3 Vdd Vss NAND
```

```
  X4 Dbar CLKbar out4 Vdd Vss NAND
```

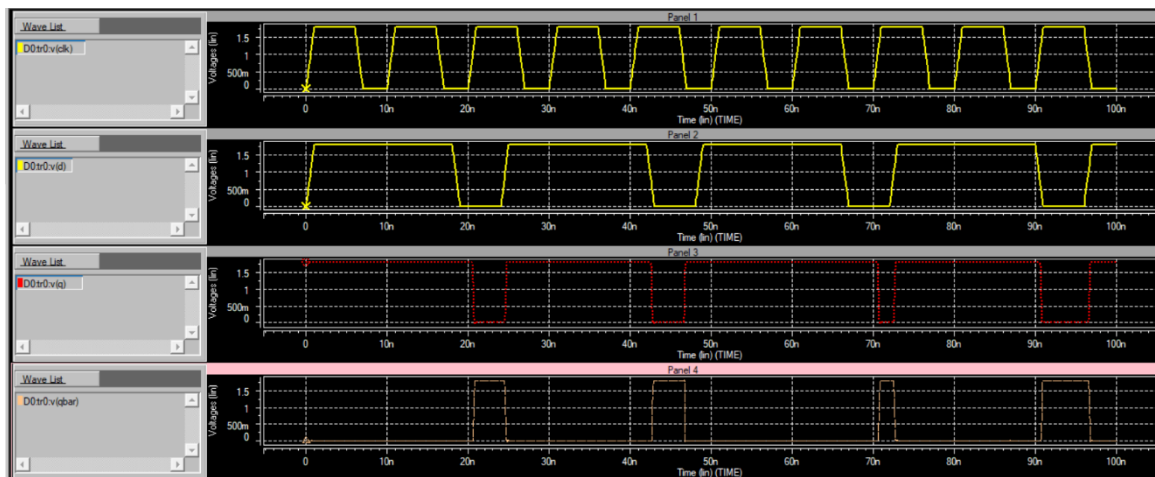
```
  X5 out3 out6 Q Vdd Vss NAND
```

```
  X6 out4 Q Qbar Vdd Vss NAND
```

```
.ends DLATCH
```



همچنین برای درستی سنجی آن شکل موج حاصل به شرح ذیل می‌باشد:



مشاهده می‌شود که خروجی به درستی نمایش داده شده است.

برای مشاهده setup time و hold time نیز دستور زیر را به کد اضافه می‌کنیم:

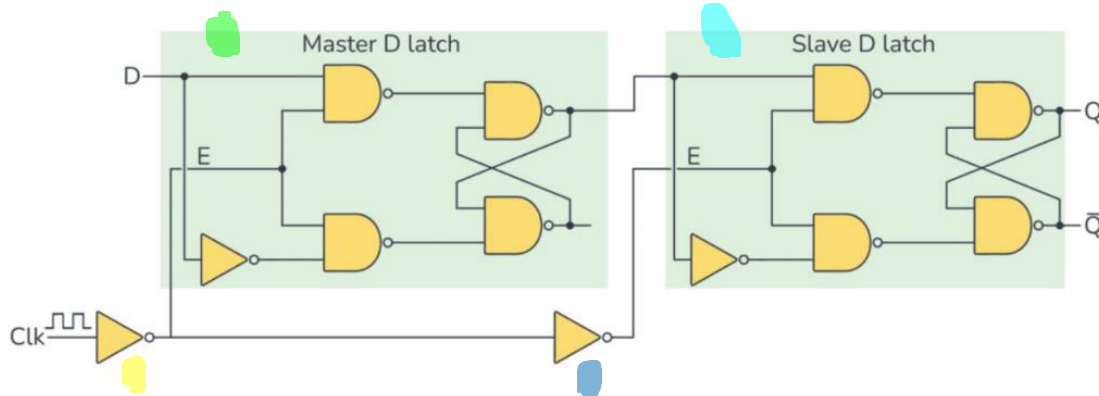
```
.measure tran tsetup TRIG v(D) VAL=1.8 RISE=1 TARG v(CLK) VAL=0.9
.measure tran thold TRIG v(D) VAL=1.8 RISE=1 TARG v(CLK) VAL=0.9 TD=1n
```

نتیجه در فایل lis. به شرح ذیل است:

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
tsetup=-500.0000p targ= 500.0000p trig= 1.0000n
thold= 5.5000n targ= 6.5000n trig= 1.0000n
```

## D Flip Flop (ب)

ابتدا به کمک مدار D-Latch بخش قبل مدار جدید زیر را در HSpice پیاده سازی می‌کنیم:



\* DFF

.subckt DFF D CLK Q Qbar Vdd Vss

x11 CLK CLKbar Vdd Vss INV

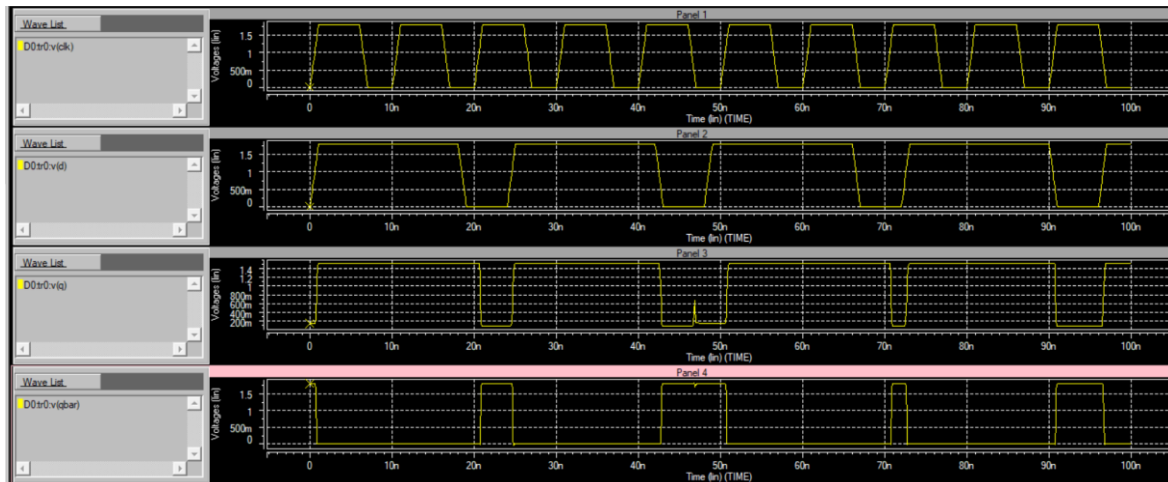
x22 D CLKbar q qbar Vdd Vss DLATCH

x33 CLKbar CLKbarbar Vdd Vss INV

x44 q CLKbarbar Q Qbar Vdd Vss DLATCH

.ends DFF

همچنین برای درستی سنجی آن شکل موج حاصل به شرح ذیل می‌باشد:



مشاهده می‌شود که خروجی به درستی نمایش داده شده است.

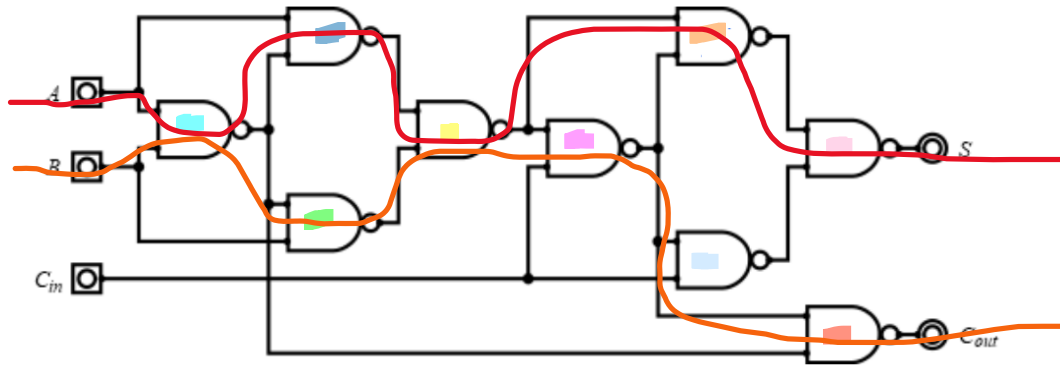
برای مشاهده setup time و hold time نیز مانند قبل عمل می‌کنیم. نتیجه در فایل lis. به شرح ذیل است:

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
tsetup=-500.0000p targ= 500.0000p trig= 1.0000n
thold= 5.5000n targ= 6.5000n trig= 1.0000n
```

## ۲- ضرب کننده

### الف) Full Adder (FA)

ابتدا کدهای مربوط به مدار را در HSpice مینویسیم:



\* FA

```
.subckt FA A B Cin S Cout Vdd Vss
```

```
x1 A B out1 Vdd Vss NAND
```

```
x2 A out1 out2 Vdd Vss NAND
```

```
x3 B out1 out3 Vdd Vss NAND
```

```
x4 out2 out1 out4 Vdd Vss NAND
```

```
x5 out4 Cin out5 Vdd Vss NAND
```

```
x6 out4 out5 out6 Vdd Vss NAND
```

```
x7 out5 Cin out7 Vdd Vss NAND
```

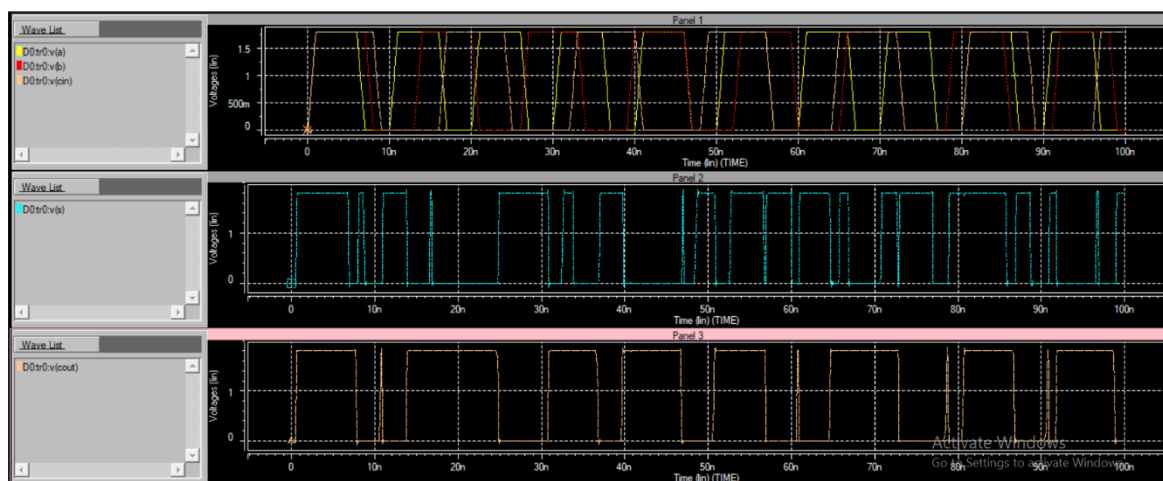
```
x8 out6 out7 S Vdd Vss NAND
```

```
x9 out5 out1 Cout Vdd Vss NAND
```

```
.ends FA
```

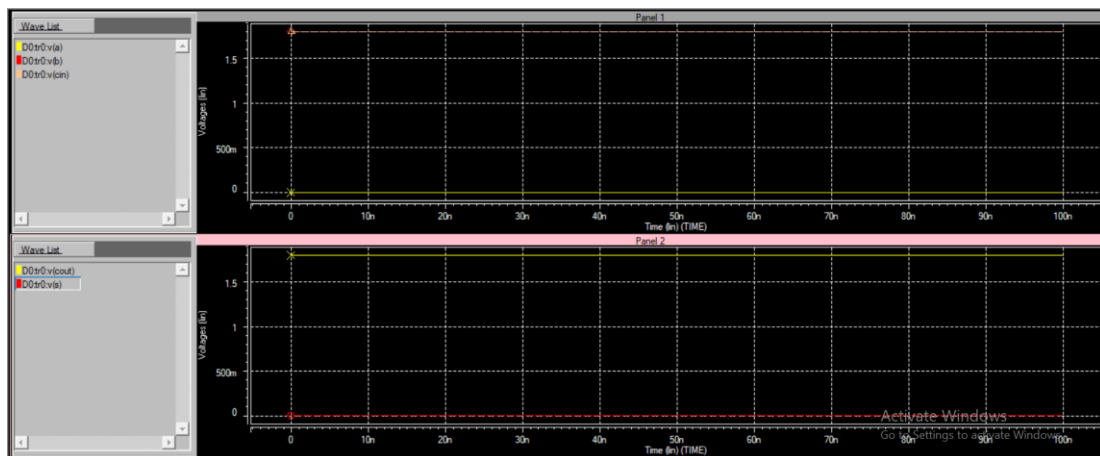
دو مسیری که با رنگ های قرمز و نارنجی مشخص شده اند به ترتیب طولانی ترین مسیر ها برای خروجی S و Cout می باشند. این حالت در زمانی پیش می آید که ورودی های A، B و Cin به ترتیب برابر با ۱، ۱ و ۱ باشند.

این اتفاق در شبیه سازی و شکل موج نیز مشخص است که به شرح ذیل است:

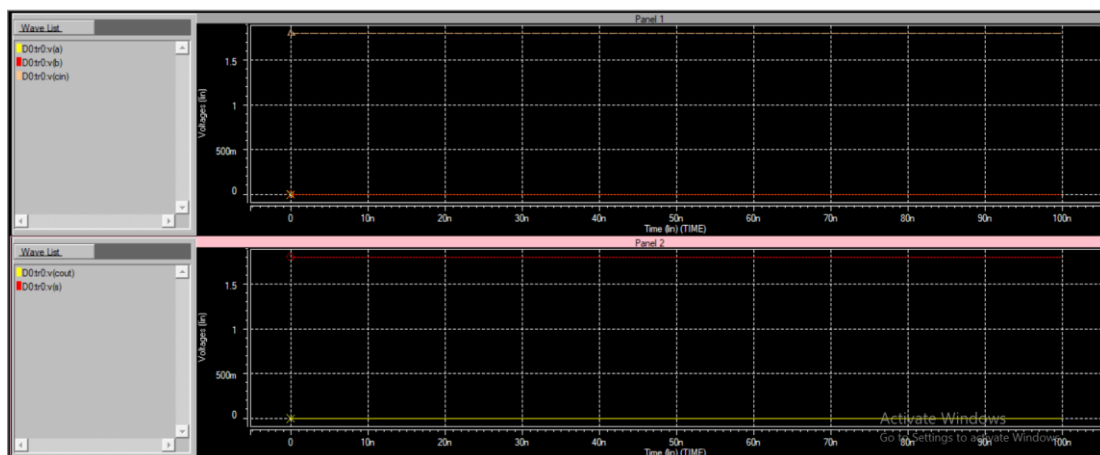


جهت تست کردن مدار نیز چند ورودی به شرح ذیل به مدار داده شده است:

-  $ABCin = 011$ . انتظار می‌رود  $S$  برابر با 0 و  $Cout$  برابر با 1 شود که همینطور مشاهده می‌شود:



-  $ABCin = 001$ . انتظار می‌رود  $S$  برابر با 1 و  $Cout$  برابر با 0 شود که همینطور مشاهده می‌شود:

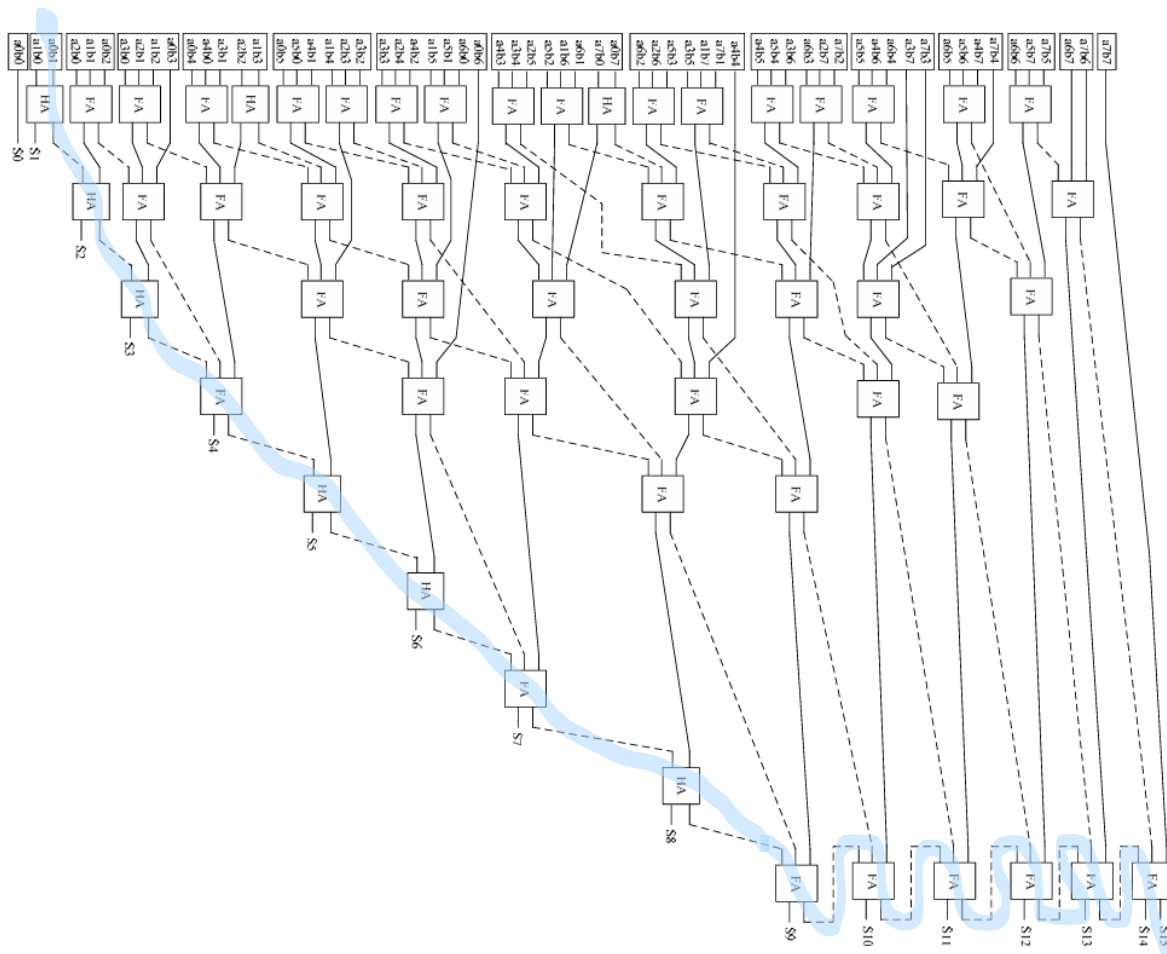


طبق این نمودارها و تئوری نتیجه می‌شود که به ازای ۱ بودن هر سه ورودی مدار دچار مسیر بحرانی می‌شود. درواقع تاخیر این مسیر برابر است با ۶ تا تاخیر گیت NAND برای رسیدن به  $S$  و ۵ تا تاخیر گیت NAND برای رسیدن به  $Cout$ . لذا طولانی‌ترین و بحرانی‌ترین مسیر مسیر ۱ شدن خروجی  $S$ ، با تاخیر  $5 * NAND\_Delay$  می‌باشد.

## ب) Wallace Tree Multiplier

در طراحی این نوع ضرب کننده به تعدادی  $FA$  و همچنین  $HA$  نیاز می‌باشد. در این بخش بجای استفاده از ماژول Half Adder از همان  $FA$  ها منتها با  $Cin$  صفر استفاده شده است.

شماتیک طراحی این نوع ضرب کننده به صورت زیر است



در این حالت ابتدا Partial Products که در کل به فرمت PPIz مشخص شده اند توسط گیت های NAND تعریف شده و سپس با توجه به ساختار والاس در stage های بعدی مورد استفاده قرار می گیرند.

همچنین مسیر بحرانی در این طرح نیز با رنگ آبی مشخص شده است که شامل:

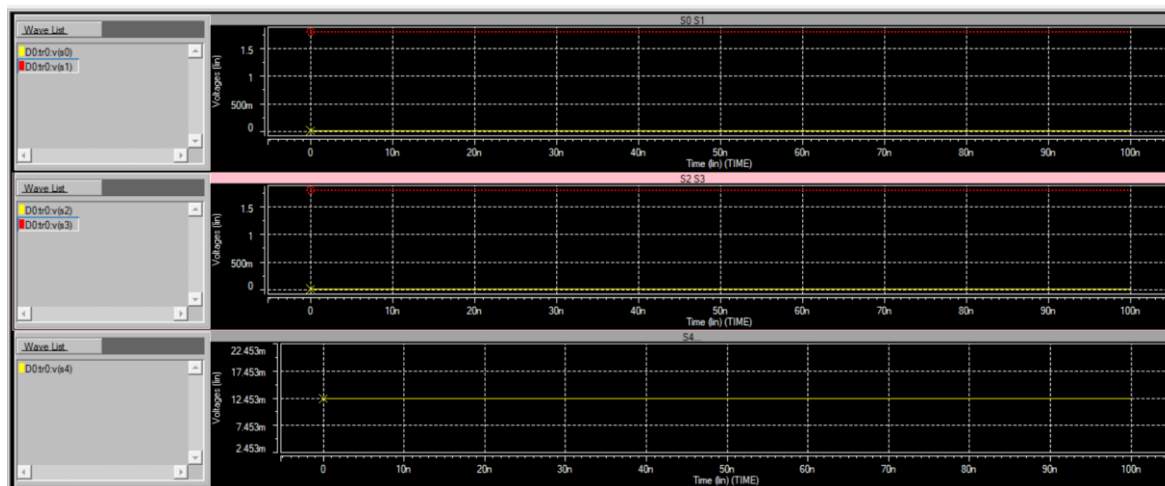
یک گیت NAND + شش عدد Half Adder + هشت عدد Full Adder می باشد.

همچنین برای تست کردن این مدار ۲ عدد ۲ و ۳ را به عنوان ورودی ها به صورت زیر به مدار دادیم:

\* A = 3 -> 00000011  
 V\_A0 A0 0 DC 1.8V  
 V\_A1 A1 0 DC 1.8V  
 V\_A2 A2 0 DC 0V  
 V\_A3 A3 0 DC 0V  
 V\_A4 A4 0 DC 0V  
 V\_A5 A5 0 DC 0V  
 V\_A6 A6 0 DC 0V  
 V\_A7 A7 0 DC 0V

\* B = 2 -> 00000010  
 V\_B0 B0 0 DC 0V  
 V\_B1 B1 0 DC 1.8V  
 V\_B2 B2 0 DC 0V  
 V\_B3 B3 0 DC 0V  
 V\_B4 B4 0 DC 0V  
 V\_B5 B5 0 DC 0V  
 V\_B6 B6 0 DC 0V  
 V\_B7 B7 0 DC 0V

با توجه به اینکه حاصل ضرب این دو عدد برابر با ۶ است در نتیجه خروجی S که در واقع از S0 تا S15 است باید بصورت 0000000000001010 باشد. یعنی تنها بیت های S1 و S3 باید مقدار ۱.۸ ولتاژ داشته باشند و بقیه باید حدود صفر ولت ولتاژ داشته باشند. این موضوع در شبیه سازی نیز قابل مشاهده می باشد:



علت اینکه بقیه بیت ها مقدار ۱۲.۴۵۳ میلی ولت را نشان می دهند نیز خطاهای موجود است اما در عمل این مقدار ولتاژ نسبت به ۱.۸ ولت مقدار ناچیزی است و با تقریب برابر با ۰ یا همان وضعیت خاموش است.

در نتیجه شبیه سازی مشخص است که بیت های S1 و S3 دارای مقدار ۱.۸ ولت و بقیه بیت ها مقدار ۰ دارند که این نشان دهنده درست بودن مدار می باشد.

### ۳- حداکثر فرکانس کاری مدار

با قرار دهی دو مدار در بین دو رجیستر DFF، پس از شبیه سازی نمودار به شرح زیر خواهد شد:

